

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

10 ES	11 NÚMERO	10 A1
	21	470788
	22	FECHA DE PRESENTACION

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NÚMERO		
77.18474	16 Junio 1977	FRANCIA

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G01R	

54 TITULO DE LA INVENCION
"DISPOSITIVO ELECTRONICO DE COMPARACION DE FASE".

71 SOLICITANTE (ES)	La Sociedad Anónima Francesa:
	INDUSTRIELLE DE CONTROLE ET D'EQUIPEMENT (I.C.E.)
DOMICILIO DEL SOLICITANTE	41, rue Crozatier - 75012 PARIS (Francia)
72 INVENTOR (ES)	André Guenin, francés
73 TITULAR (ES)	
74 REPRESENTANTE	D. FRANCISCO GARCIA CABRERIZO
	S/Ref ^o .: FL/5529 E 4 N/Ref ^o .: O.G. 34.256-TV.

POOR
QUALITY

En la realización de ciertas medidas eléctricas, es necesario situar el ángulo de fase de una o más magnitudes periódicas con relación a otra, tomada como referencia. El dispositivo detector utilizado a tal efecto es llamado

5. comparador de fase,

Las diversas realizaciones electrónicas de tales comparadores, conocidas hasta la fecha, recurren a los siguientes principios:

a) Comparación analógica entre combinaciones vectoriales de las magnitudes a comparar;

b) Comparación bajo forma de lógica binaria de señales resultantes principalmente de la transformación en señales rectangulares de las magnitudes a comparar o de la transformación en señales rectangulares de ciertas magnitudes mientras que otras, principalmente la referencia, son representadas por impulsos.

El comparador de fase que constituye el objeto de la presente invención se caracteriza por el hecho de que utiliza la o las magnitudes a comparar bajo su forma sinusoidal, mientras que únicamente la referencia es representada por un impulso. Este impulso es sincronizado con una o las dos alternancias de la magnitud de referencia. La detección del desfase se hace por la detección del signo del valor instantáneo de la o de las otras magnitudes a comparar, en el momento de la emisión del impulso sincronizado con la referencia.

La combinación de dispositivos electrónicos tales como simplificadores operacionales, puertas analógicas y básculas de tres entradas llamadas básculas J-K permite una realización posible según la invención. Otros montajes

pueden ser utilizados por ejemplo realizando las funciones similares a las de los dispositivos enunciados con ayuda de los esquemas de componentes separados.

Se explicará a continuación, a título de ejemplos

5. y con referencia al dibujo anexo, tres realizaciones posibles según la invención, correspondientes respectivamente a los tres casos siguientes:

- Comparación de dos magnitudes sinusoidales realizada sobre una sola alternancia de su período (figura 1);

10. - Comparación de dos magnitudes sinusoidales realizada sobre las dos alternancias de su período (figura 3);

- Comparación de tres magnitudes sobre las dos alternancias de su período (figura 5).

Con el fin de que sean claras las explicaciones, se recordará que una puerta analógica (o conmutador analógico) es tal que deje pasar por su salida la señal analógica presente en su entrada llamada "drenaje" cuando su segunda entrada llamada de validación es dispuesta a un nivel lógico conveniente, generalmente al nivel cero. Un amplificador operacional es un amplificador de ganancia muy grande. Posee generalmente dos entradas y una salida. Una entrada es llamada "no inversora" y es referenciada por el signo positivo (+). La otra entrada es llamada "inversora" y es referenciada por el signo negativo (-). La fase de una magnitud en la entrada "no inversora" es conservada en la salida. La misma se encuentra en oposición cuando se trata de la entrada "inversora".

15.

20.

25.

Una báscula del tipo J-K posee principalmente tres entradas referenciadas H, J y K, y dos salidas lógicas complementarias Q y \bar{Q} . La entrada H, comúnmente llama-

30.

da entrada de reloj, provoca la comparación de los niveles lógicos presentes en las entradas J y K. Se aplican generalmente impulsos, llamados señales o "tops" de reloj, a la entrada H. El funcionamiento de una bscula J-K pueda resumirse del siguiente modo:

5. A) si $J = K = 1$, las salidas Q y \bar{Q} cambian de estado a cada "top" de la entrada H;

10. B) si $J = 1$ y $K = 0$ en el momento del "top" de reloj, la bscula pasa a la posición de trabajo ($Q = 1$) si estuviese anteriormente en reposo y permanece en trabajo si estuviese ya en tal posición;

15. C) si $J = 0$ y $K = 1$ en el momento del "top" de reloj, la bscula pasa a la posición de reposo ($Q = 0$) si estuviese antes en posición de trabajo y permanece en reposo si estuviera ya en tal posición;

D) si $J = K = 0$ en el momento del "top" de reloj, la bscula permanece en su estado anterior.

20. En los esquemas electrnicos que siguen, se ha obrado de modo que J y K se encuentren siempre en estados lógicos complementarios (casos B y C antes indicados).

25. La figura 1 que sigue representa una realización posible que permite la comparación de dos magnitudes periódicas en una sola de sus alternancias. La magnitud de referencia es llamada V_r mientras que la magnitud a comparar es llamada V_a . El elemento A es un conmutador analógico, los elementos B y C son amplificadores operacionales, H y K son inversores de nivel lógico y el elemento inmediatamente anterior a la salida S es una bscula J-K.

30. La figura 2 indica los diversos niveles de las tensiones en los diferentes puntos del esquema de la figura

ra 1.

Se ha indicado en 11 el diagrama de la salida -- del amplificador B utilizado a su ganancia máxima (montaje en lazo abierto). El mismo es solicitado por la magnitud -- de referencia V_r en su entrada inversora que presenta la -- resistencia R_5 , estando conectada la otra entrada a la ma-- sa eléctrica. La salida del amplificador satura pues al -- signo + y luego al signo - de la tensión de alimentación, según el signo de la tensión de entrada, a cada alternan--
 5. cia del período de la misma. Las señales de salida están -- en oposición de fase con relación a la magnitud de entrada.
 10.

Los componentes C_1 , R_7 y Z_1 (condensador, resis-- tencia y diodo Zener) permiten adaptar las señales de sali-- da. En el curso de la transición de la salida de B del sig-- no + hacia el signo - de la alimentación, el condensador --
 15. C_1 se carga y el diodo Zener Z_1 , que se encuentra entonces en el sentido de paso directo, impide que el nivel en la -- entrada de H en el diagrama 12 descienda por debajo de la masa eléctrica. En el curso de la transición de la salida --
 20. de B del signo - hacia el signo +, el diodo Zener Z_1 , que se encuentra entonces en su sentido de regulación, descre^gta el pico de tensión debido al condensador C_1 , que es car^ggado, a un valor igual a la tensión positiva de la alimen-- tación.

De este modo, la entrada 12 del elemento H no ve más que un impulso breve, cuya transición lógica es 1 - 0 --
 1. Este impulso marca el instante de la comparación. La -- puerta K invierte el sentido de este impulso y suministra así, tal como se muestra en el diagrama 13, lo que se ha --
 30. llamado más arriba el "top" de reloj.

- Como se ha dicho anteriormente, el conmutador ana lógico A está abierto, es decir que no deja pasar nada, — mientras que la entrada de validación, referenciada por I, es dispuesta al nivel lógico 1. De este modo, el amplifica
5. dor operacional C tiene su entrada no inversora dispuesta al signo de la alimentación a través de la resistencia R3. Así pues, sean cuales fueren el valor y el signo de la — magnitud sinusoidal V_E presente en su entrada inversora, — la salida del amplificador C permanece saturada al signo —
10. de la alimentación. La resistencia R4 y el diodo d impiden que el nivel en la entrada de la puerta inversora K, según el diagrama 14, pase por debajo de la masa eléctrica. Se — ha indicado en R2 la resistencia en la entrada no inversora del amplificador operacional C.
15. El impulso 1 - 0 - 1, de la entrada del inversor H es aplicado igualmente a la entrada de validación de la puerta analógica A. Siempre que el nivel de esta entrada — permanezca a 0, el conmutador es considerado cerrado y reproduce en la salida lo que está presente en su entrada —
20. "drenaje" (referenciada por D). En el presente caso, se trata de una tensión nula ya que el drenaje está unido a la — masa eléctrica. De ello resulta que, en el curso de la duración del impulso, la entrada no inversora del amplificador C es puesta a la masa eléctrica (tensión nula). El es-
25. tado de la salida del amplificador C no depende entonces — más que del signo de la tensión presente en su entrada inversora. Son posibles los dos casos siguientes.
30. Si, en el curso de la duración del impulso, que corresponde al "top" de reloj, la tensión V_E , presente en la entrada inversora del amplificador C, es negativa, la —

- salida de este último se saturará al signo + de la alimentación. De ello resulta pues un impulso positivo en la salida de C; ésta última, tomada en el punto común de las resistencias R4 y D, constituye la señal J de la báscula J-K.
5. La puerta inversora K invierte éste impulso y suministra la señal K según el diagrama 15. En el momento del "top" de reloj, la báscula J-K ve pues $J = 1$ y $K = 0$. La misma pasa de este modo a la posición de trabajo ($Q = 1$) si estuviese en reposo o permanece en posición de trabajo si estuviese ya en tal posición. Este caso corresponde a la primera parte, izquierda, de los diagramas de la figura 2 en la que el diagrama 16 representa la salida Q de la báscula J - K.

- Si, en el momento del impulso, correspondiente al "top" de reloj, la tensión V_e presente en la entrada inversora del amplificador C es positiva, la salida de este último permanece saturada al signo - de la alimentación. En este caso, no hay pues modificación alguna del estado de la salida de C. Los niveles, aplicados a la báscula J-K, son pues, en el momento del "top" de reloj: $J = 0$ y $K = 1$. De ello resulta que la báscula vuelve a su posición de reposo ($Q = 0$) si estuviese en posición de trabajo o que permanece en reposo si ya estuviese en tal posición. Este caso corresponde a la segunda parte, derecha, de los diagramas de la figura 2.

- De ello resulta pues que el conjunto constituye un comparador capaz de detectar si la magnitud V_e está adelantada o retrasada con respecto a la magnitud V_r . La salida S se encuentra en el estado 1 cuando V_r está adelantada con respecto a V_e y en el estado 0 si V_r está retrasada. -

Dicho de otro modo, S está en 1 para un desfase comprendido entre 0 y 180° y en 0 para un desfase comprendido entre 180 y 360°. Se dice que la derecha de inversión del comparador es la derecha 0 - 180°. Se puede obtener cualquier otra recta de inversión deseada, según el procedimiento conocido que consiste previamente en hacer que sufra un desplazamiento de fase, por la utilización de un circuito desfasador, a una u otra de las magnitudes antes de efectuar la comparación. En la figura 2, se ha indicado en 17 el acontecimiento que provoca un cambio de fase de Ve.

La comparación descrita más arriba se efectúa una vez por período de las magnitudes a controlar. Como consecuencia de ello el tiempo de respuesta puede alcanzar el valor del período.

El conmutador de la figura 1, cuyo funcionamiento acaba de ser descrito, efectúa la comparación no tratando más que las alternancias negativas. Para obtener un tiempo de respuesta más breve, es preciso añadirle entonces un dispositivo complementario que trate igualmente las alternancias positivas. Es el conjunto de las dos que está representado en la figura 3. En este esquema, los elementos A1, B1 y C1, que están asociados de acuerdo con el esquema de la figura 1, tratan las alternancias negativas. Los elementos A2, B2 y C2 tratan las alternancias positivas. El funcionamiento en las dos alternancias es similar y conviene no obstante destacar que, para obtener impulsos del mismo nivel lógico, es necesario invertir las funciones de las entradas inversoras y no inversoras de los amplificadores operacionales según sean afectados los mismos por la

alternancia negativa o por la alternancia positiva. En la figura 3, se ha indicado los condensadores y diodos por las mismas letras que en la figura 1 pero completándolas por el índice 1 ó 2 según el caso.

5. Las salidas de los diferentes amplificadores operacionales son conectadas de tal modo que la función lógica 0 sea realizada antes del mando de la báscula J-K que constituye la salida única del comparador.

10. La figura 4 indica los niveles de las tensiones en los diferentes puntos del esquema de la figura 3. Las salidas de B1 y B2 están indicadas en 21 y 22; las dos entradas 1 y 2 de la puerta H están indicadas en 23 y 24 y su salida en 25. Las salidas de C2, C1, J y K están indicadas respectivamente en 26, 27, 28 y 29. Por último la salida de la báscula J-K de tres entradas está indicada en 30.

15. Tal comparador permite obtener unos tiempos de respuesta que son como máximo iguales a un semi-período de las magnitudes periódicas a comparar.

20. La figura 5 muestra una extensión suplementaria posible. Tal comparador permite comparar la fase relativa de dos magnitudes con relación a una tercera tomada como referencia. La comparación se efectúa dos veces por período. Está constituida por dos semi-comparadores idénticos al de la figura 3, estando distinguido el segundo por letras acentuadas (A'1, A'2, C'1, C'2, K', J').

25. No obstante, la elaboración de los "tops" de reloj, que están sincronizados con la referencia, es común a los dos comparadores. Las salidas de estos dos semi-comparadores pueden ser utilizadas por separado o ser conectadas en 0 para constituir una salida única como la representada en 30.

tada en la figura 5.

Tal esquema puede ampliarse evidentemente y permitir la realización de un comparador que controle la fase relativa de varias magnitudes con relación a otra tomada como referencia.

En la descripción de funcionamiento que precede, los "tops" de reloj eran sincronizados por el paso a cero de la magnitud de referencia. Mediante la utilización de un detector de valor de cresta, es posible sincronizarlos por el paso a su valor máximo de la magnitud de referencia. El comparador así realizado tiene una recta de inversión situada a $90 - 270^\circ$.

El hecho de que la apreciación de la fase se reduzca a una detección del signo del valor instantáneo de las magnitudes a comparar constituye una originalidad de la presente invención.

En efecto, esta particularidad permite conservar las magnitudes bajo sus formas sinusoidales. La detección del signo puede realizarse entonces por un amplificador operacional y la elevada ganancia presentada por el mismo hace al comparador realizado; según la invención, insensible a la amplitud de las diversas magnitudes.

La yuxtaposición de comparadores tales como los que han sido descritos, con un eventual reagrupamiento de las partes comunes, permite obtener una comparación, con o sin salida única, de un número cualquiera de magnitudes periódicas con un número cualquiera de magnitudes tomadas como referencia.

El comparador, según la invención, permite la realización de relés direccionales o de comparadores de fase.

ses que sirven principalmente para la elaboración de las - protecciones de distancia, utilizadas en las redes de muy alta tensión.

N O T A

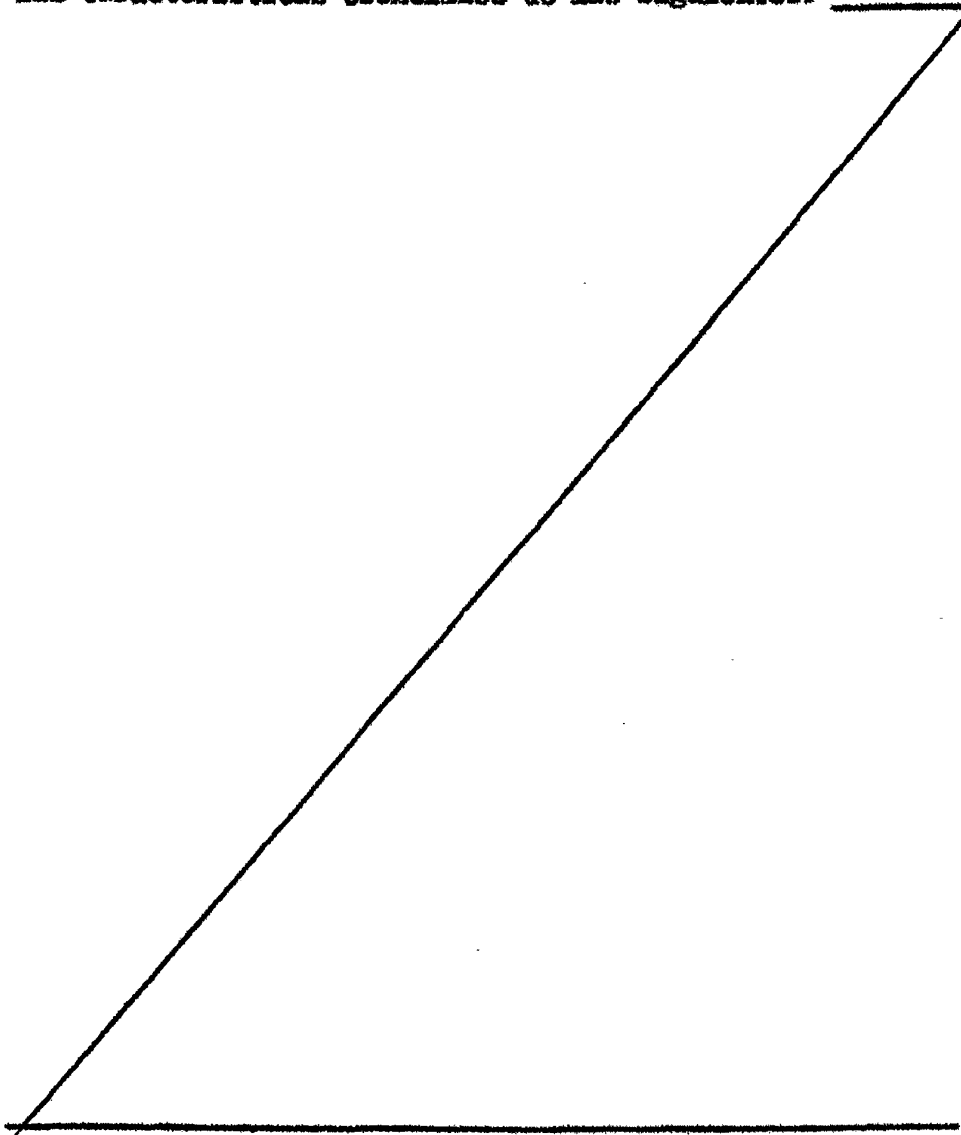
5. La Patente de Invención que se solicita por vein-
te años para España, de acuerdo con la vigente legislación,
deberá recaer sobre: "DISPOSITIVO ELECTRONICO DE COMPARA-
CION DE FASE", con Prioridad de la solicitud de Patente en
Francia n.º. 77.18474, de fecha 16 de Junio de 1977, según
10. las características esenciales de las siguientes: _____

15.

20.

25.

30.



REIVINDICACIONES

- 1.- Dispositivo electrónico de comparación de fase de una o varias magnitudes periódicas con relación a una o más magnitudes distintas tomadas como referencia, caracterizado por el hecho de que utiliza las diferentes magnitudes --
5. bajo sus formas sinusoidales mientras que el origen de la o de las comparaciones es marcado por la emisión de uno o varios impulsos sincronizados con la o las magnitudes de referencia.
10. 2.- Dispositivo electrónico de comparación de fase, según la reivindicación 1, caracterizado por el hecho de que la comparación de fase se reduce a la detección del signo -- del valor instantáneo de la o de las magnitudes a comparar -- en el momento de la emisión del impulso sincronizado con la
15. referencia.
- 3.- Dispositivo electrónico de comparación de fase, según la reivindicación 2, en el que la detección del signo es realizada por un amplificador de elevada ganancia y principalmente un amplificador operacional, de manera que sea in
20. sensible a la magnitud de las magnitudes a comparar.
- 4.- Dispositivo electrónico de comparación de fase, según la reivindicación 2 ó la reivindicación 3, en el que -- el impulso de salida del detector de signo es memorizado por un dispositivo lógico y principalmente una báscula J-K.
25. 5.- Dispositivo electrónico de comparación de fase, según una cualquiera de las reivindicaciones 1 a 4, en el -- que la detección de signo y el posicionamiento de la memoria se realizan una o dos veces por período de las magnitudes a comparar.
30. 6.- Dispositivo electrónico de comparación de fase,

según una cualquiera de las reivindicaciones precedentes, en el que se puede dar a la recta de inversión del comparador - la inclinación deseada desfasando una o más magnitudes antes de la comparación.

5. 7.-"DISPOSITIVO ELECTRONICO DE COMPARACION DE FASE".

Según queda sustancialmente descrito en la presente Memoria que consta de doce hojas, escritas a máquina por una sola cara y acompañada de dibujos.

Madrid, 19 JUN 1973

10.

INDUSTRIELLE DE CONTROLE ET D'EQUIPEMENT
(I.C.E.)

P.P.

FERNANDO GARCIA CABRERO

Firmado en Madrid el día 19 de junio de 1973

Fig. 1

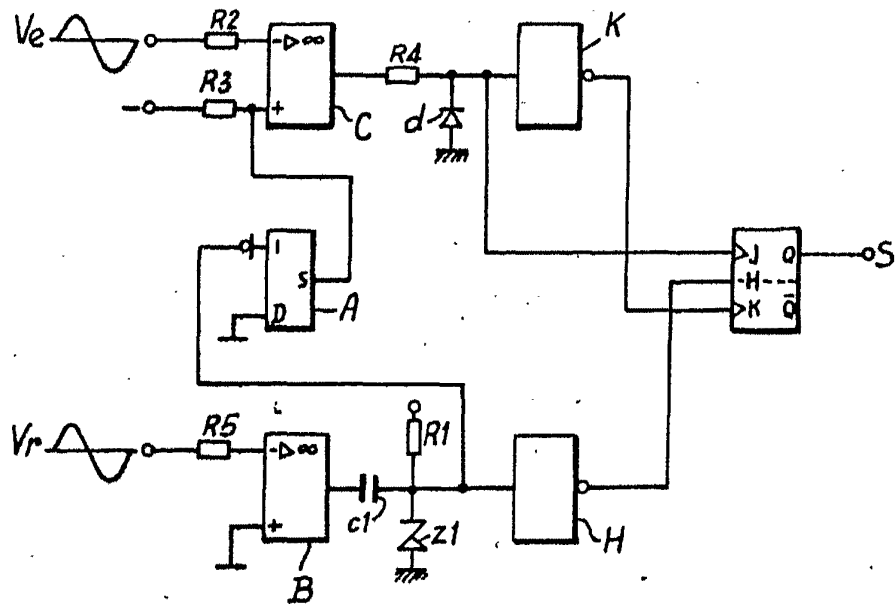
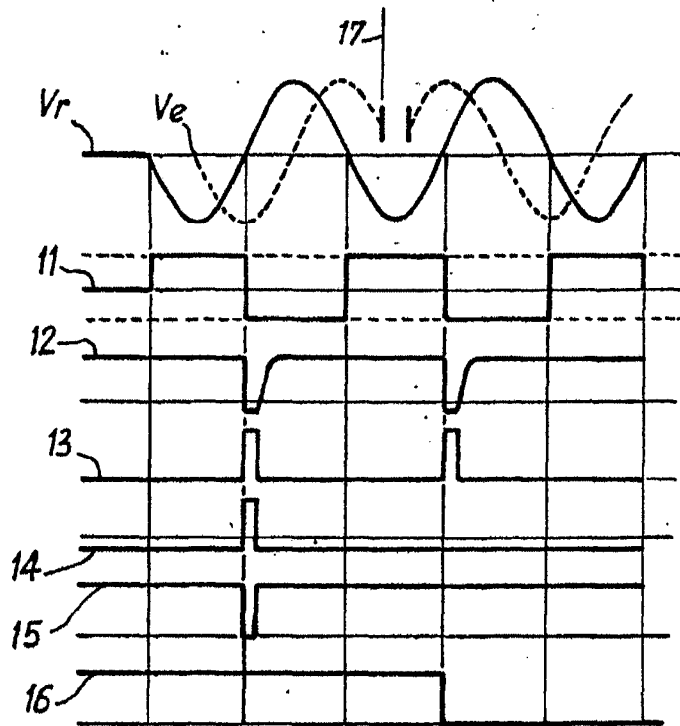


Fig. 2

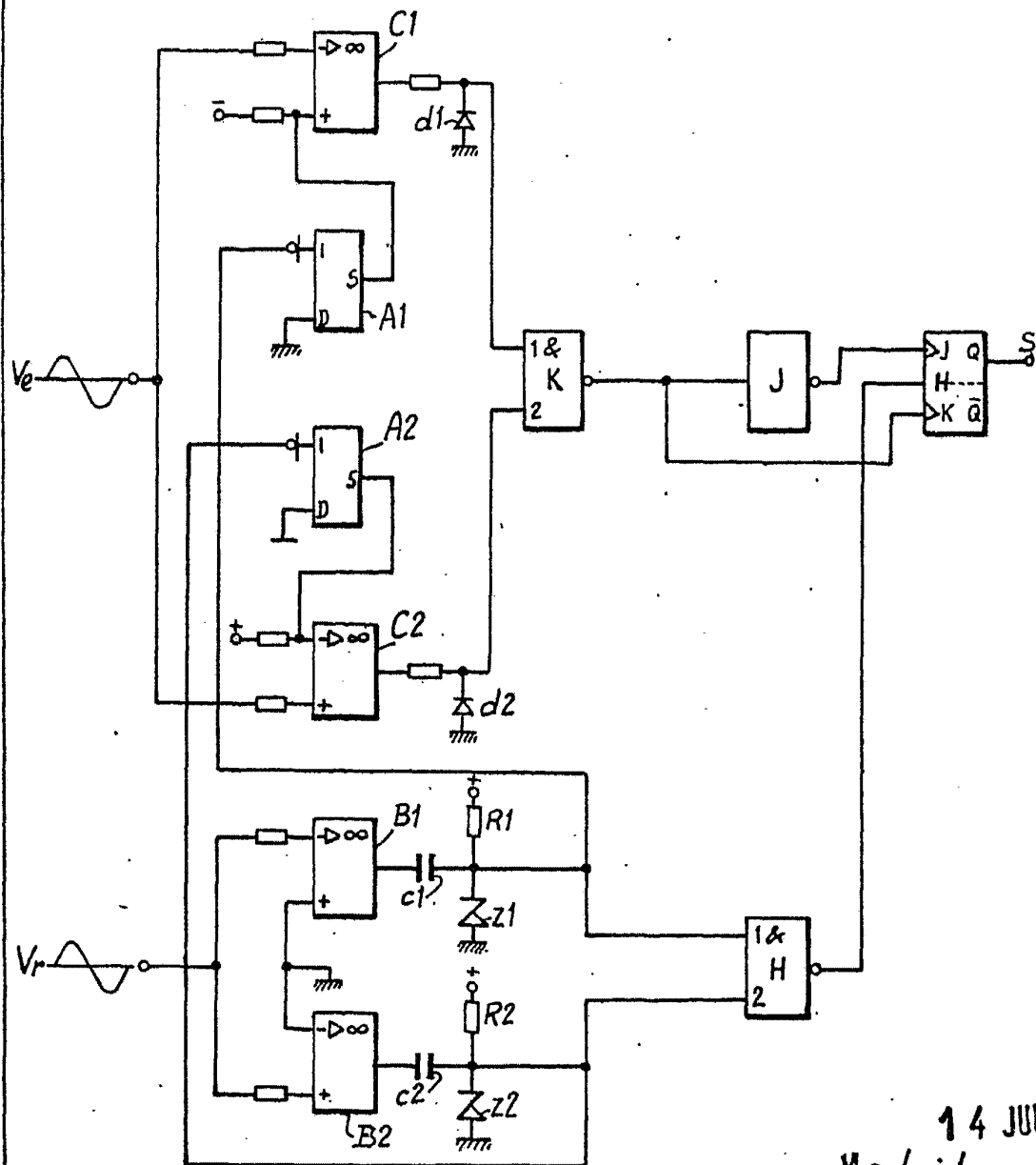


14 JUN. 1978
Madrid
P.P.

FRANCISCO GARCIA CASERES
F.P.

[Signature]
Firmado: N. del Sento Alort

Fig.3



14 JUN. 1970

Madrid

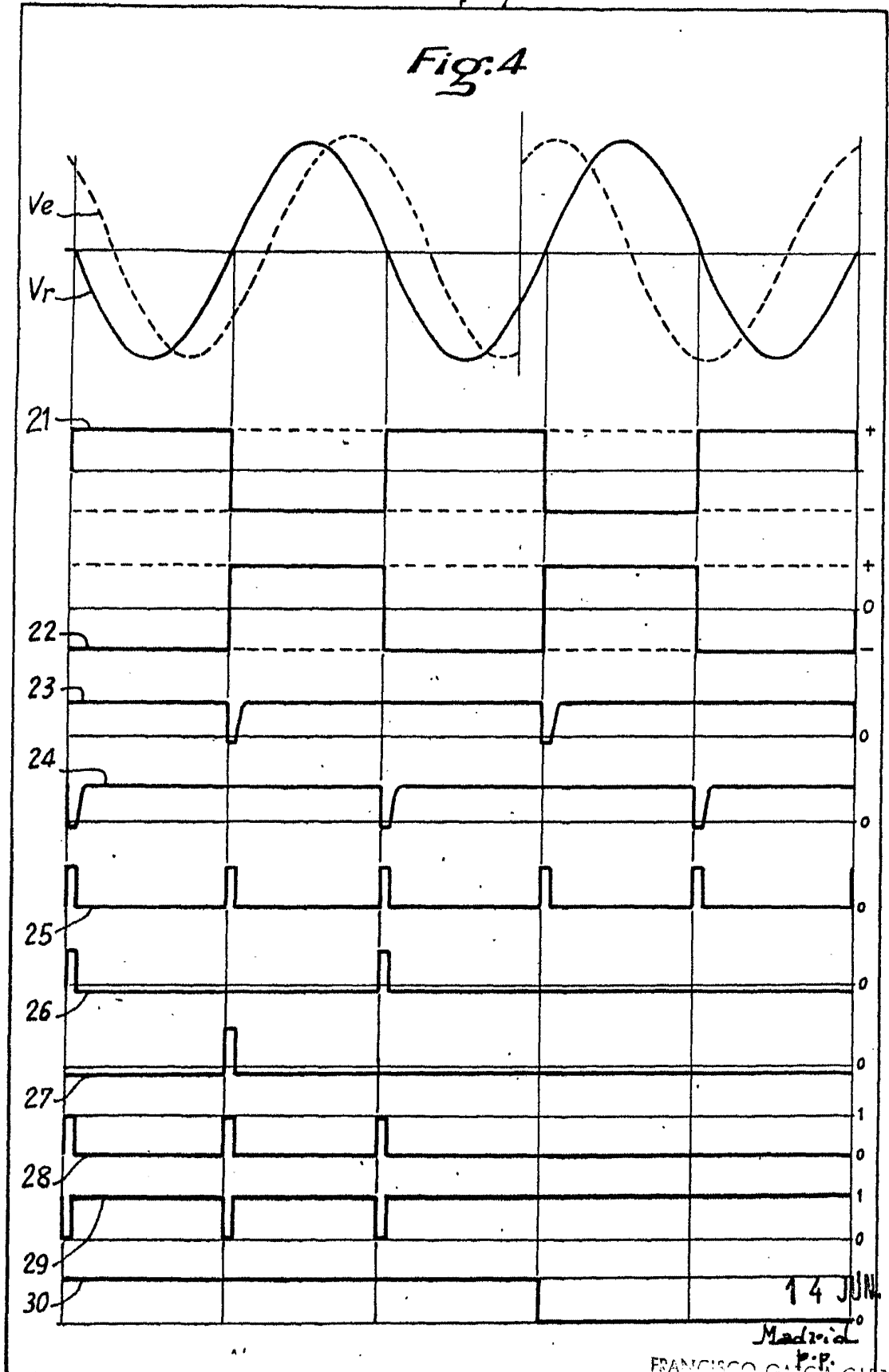
P.P.

FRANCISCO GARCIA CABRERO
P. P.

[Signature]

Firmador N. del Santo Abit

Fig. 4



14 JUN 1978

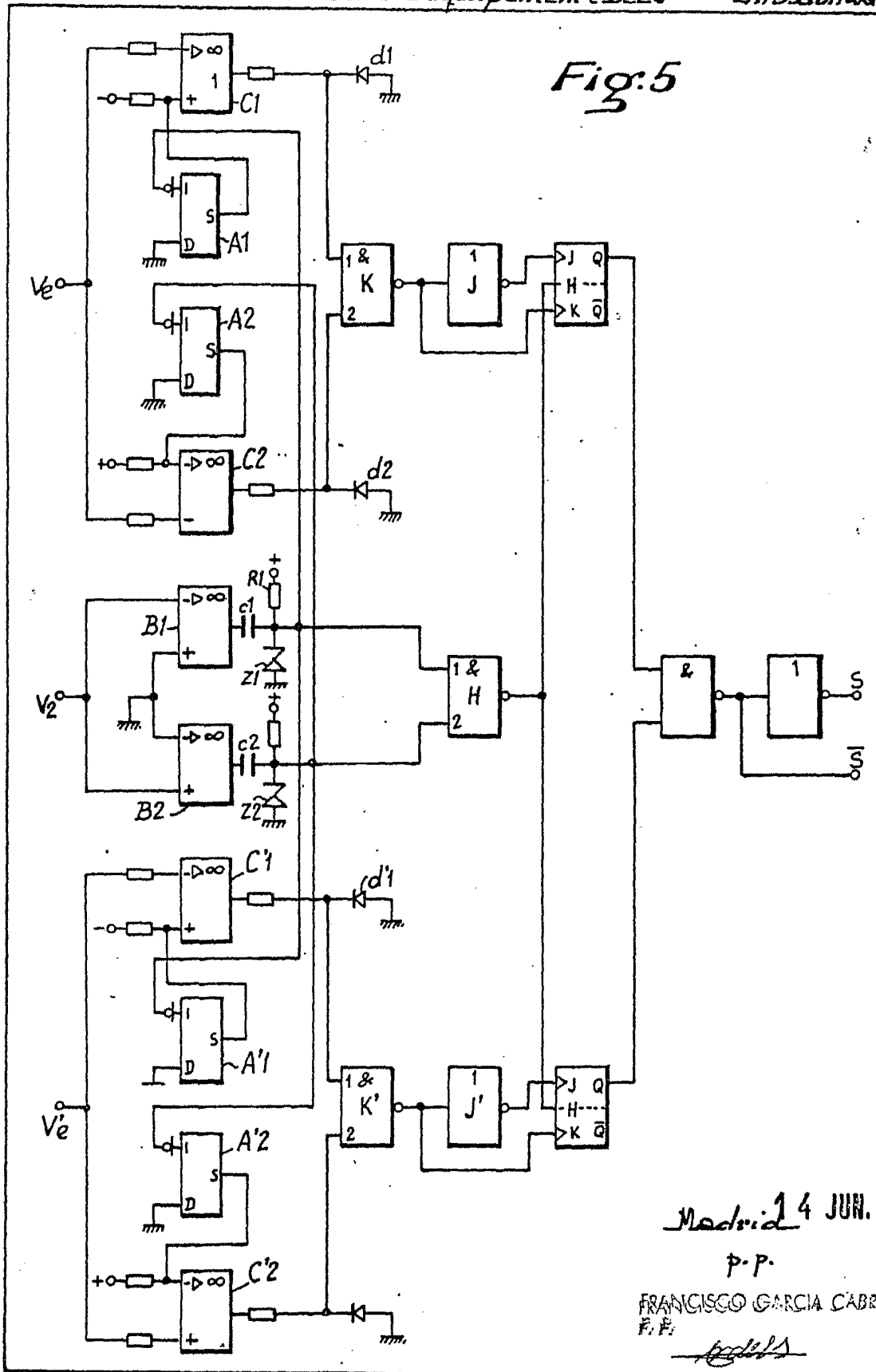
Madrid

FRANCISCO GARCÍA P. R.

ecclals

firmado: M. del Santo Abril

Fig. 5



Madrid 4 JUN. 1978

P.P.

FRANCISCO GARCIA CABRERIZ V
F. F.

[Signature]