

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

10	ES	11	NUMERO	10	A1
		21	<b>470734</b>		
		22	FECHA DE PRESENTACION		

20 DIC 1977

PATENTE DE INVENCION

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
77 18033	13 de Junio de 1977	Francia

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04Q	

54 TITULO DE LA INVENCION
"UN SISTEMA DE TRANSFERENCIA DE SEÑAL PARA CENTROS DE CONMUTACION POR DIVISION DE TIEMPOS".

71 SOLICITANTE (S)	STANDARD ELECTRICA, S.A.
--------------------	--------------------------

DOMICILIO DEL SOLICITANTE	Madrid, calle de Ramírez de Prado, no. 5.
---------------------------	---

72 INVENTOR (ES)	M. A. R. Henrion M. A. van Brussel
------------------	---------------------------------------

73 TITULAR (ES)	STANDARD ELECTRICA, S.A.
-----------------	--------------------------

74 REPRESENTANTE	D. Manuel Gómez Santamaria
------------------	----------------------------

El presente invento se refiere a un sistema de transferencia de señal para centros de conmutación por división de tiempo y, más concretamente, a un sistema de transferencia de señalización de "línea" entre, al menos, una ruta múltiplex con acceso a un centro de conmutación por división de tiempo y al menos, un multiregistrador existente en dicho centro.

El establecimiento, la retención y la reposición de las llamadas telefónicas requiere, en particular, la transmisión de una señalización entre centros de conmutación. A este respecto, se hace normalmente una distinción entre la señalización de "línea" que incluye el intercambio de señales referentes normalmente al estado de la llamada o de los canales existentes entre los centros, y la señalización de "registrador", que incluye el intercambio de señales referentes al destino de la llamada (número de abonado llamado, clase de llamada, etc..) y su situación de encaminamiento (congestión, condición de ocupado, abonado libre, etc). En realidad esta distinción está lejos de ser general y depende de las redes telefónicas. Aparece, típicamente, en las redes que utilizan señalización por multifrecuencia. Por supuesto que la señalización de registrador se intercambia como señales de frecuencia vocal durante el período de establecimiento de la llamada, y la señalización de línea se refiere a todas las otras señales intercambiadas durante todo el transcurso de la llamada.

La señalización de línea se intercambia normalmente entre unidades que están conectadas permanentemente al canal de llamada, mientras que la señalización de registrador requiere unidades complejas que están conectadas al canal

solamente sobre una base temporal.

Cuando la llamada utiliza una ruta múltiplex de modulación por impulsos codificados (MIC), la señalización de línea se transmite por un canal de señalización, mientras que la señalización de registrador utiliza el canal de conversación.

La ruta MIC (modulación por impulsos codificados) del tipo CEPT de 30 canales está basada en un cuadro recursivo dividido en 32 aberturas de tiempo iguales. Cada abertura de tiempo permite la transmisión de 8 dígitos binarios ó bits. La primera abertura de tiempo de cada cuadro se utiliza para la sincronización de cuadro. La abertura de tiempo de orden 17 se utiliza para el canal de sincronización. Las otras 30 aberturas de tiempo corresponden a 30 canales de conversación. En el caso de la señalización canal por canal, las aberturas de tiempo de orden 17 a 16 cuadros consecutivos que forman un multicuadro permiten la transmisión de la señalización de línea de los 30 canales de conversación. De entre las 16 combinaciones de 8-bits suministradas por estas aberturas de tiempo de orden 17 del multicuadro, la primera se utiliza para la sincronización del multicuadro, las otras 15 transportan cada una la señalización de línea de dos canales de conversación distintos y permiten así la transmisión de 4 bits por canal de conversación.

En un centro de conmutación por división de tiempo en dónde llega este tipo de ruta, puede reunirse la señalización de línea e inyectarse en las entradas del centro por un controlador señalizador de línea que sirve como equipo de interconexión entre las rutas MIC (modulación por impulsos codificados) y la unidad de control central del centro de

conmutación. Sin embargo, la señalización de registrador, requiere a un multiregistrador. En la etapa de establecimiento de la llamada, se conecta un canal de conversación a través del centro a un acceso de un multi-registrador que recibe y  
5 envía las señales de frecuencia vocal (en forma MIC (modulación por impulsos codificados)) de la señalización de registrador y, en este sentido, servirá por tanto como equipo de interconexión entre el canal de conversación y la unidad central.

10 Una tal concepción ofrece una oportunidad interesante para el proceso de la señalización, que consideramos en el presente invento. El invento proporciona un sistema para transferir la señalización de línea, en ambas direcciones entre una ruta múltiplex y un multi-registrador. El sistema  
15 permite la transferencia en ambas direcciones de la señalización de línea de un canal de conversación en la etapa de señalización de registrador (en otras palabras, en la fase de registrador) entre el canal de señalización correspondiente y el multi-registrador, de tal manera que el multi-  
20 registrador es solamente la interconexión en el intercambio de señalización relativo a este canal de conversación. El resultado será una simplificación del procesamiento de la señal en la unidad central, que tendrá solamente un interlocutor, en lugar de dos. También se consigue una mayor flexibilidad en la distribución de las funciones de señaliza-  
25 ción, ya que el multi-registrador, que tiene toda la información de señalización, puede tener entonces una mayor autonomía.

La principal característica del sistema de transferencia de señal del presente invento está en que, como  
30

existe una memoria de señalización con una célula por canal de conversación para el registro de la señal, al menos existe una célula de memoria marcadora por cada canal de conversación a fin de registrar la información que llega de la unidad central y que dice si el canal en cuestión está en fase de registrador o no, y porque existen elementos de transferencia controlados por el contenido de dicha célula de memoria marcadora para establecer la transferencia de información entre dicha célula de la memoria de señalización a un canal de conversación y la ruta múltiplex en el lado del centro de conmutación, en la fracción de la abertura de tiempo del canal de conversación en cuestión que corresponde a la transmisión de un bit. Este bit es, por conveniencia, el bit menos significativo de la combinación codificada transmitida en esta abertura de tiempo.

Ya que el canal de señalización porta varios bits de señalización de línea para el canal de conversación en el tiempo de un multicuadro, mientras que la transferencia realizada por los elementos mencionados anteriormente concierne a un bit de señalización por cuadro, existen elementos adicionales para la transferencia sucesiva de los mencionados bits de señalización de línea. En una forma considerada del invento, los mencionados elementos adicionales están dispuestos para constituir un mensaje de transferencia de señalización de línea de 16-bits, esto es, que tiene tantos bits como cuadros de multicuadro, conteniendo este mensaje dichos bits de señalización de línea y los bits de formato que facilitan la identificación.

Estos objetivos y características del invento, y otros más, serán descritos con detalle en lo que sigue,

junto con los dibujos que se acompañan.

La Fig. 1 muestra un diagrama general de un centro de conmutación por división de tiempo en donde se aplica el presente invento.

5 La Fig. 2 muestra en forma de diagrama los principios del sistema de transferencia de señalización de línea, objeto del invento.

La Fig. 3 es el diagrama de un ejemplo de una configuración simplificada del sistema objeto del invento.

10 La Fig. 4 es un diagrama esquemático de los dispositivos a agregar en el circuito CJ de la Fig. 3 para la transferencia de señalización de línea de un mensaje de 16 bits.

15 La Fig. 5 es el diagrama esquemático de los dispositivos a añadir en el multi-registro MR de la Fig. 3 para recibir los mensajes formados por los dispositivos de la Fig. 4.

El diagrama general de la Fig. 1 muestra un centro de conmutación por división de tiempo en el que puede aplicarse el presente invento.

20 Las rutas MIC (modulación por impulsos codificados) están conectadas a este centro, el centro establece las llamadas entre los canales por división de tiempo transportados por estas rutas MIC (modulación por impulsos codificados). Cada ruta jme comprende un canal de transmisión  
25 digital para cada dirección de transmisión. Está conectado, en el centro de conmutación, a un equipo de ruta individual JE que resuelve los problemas de sincronización de tal manera que, al nivel del equipo JE, dos canales de transmisión, de  
30 entrada y salida, aparecen como sincronizados en un cuadro

de referencia local. -

El equipo de ruta está conectado a un circuito de control de ruta CJ y conectado, por un enlace cje, a una unidad central UC. La unidad central UC controla directa o indirectamente todas las operaciones realizadas en el centro de conmutación, si se refieren al establecimiento, retención 5 reposición de llamadas, intercambios de señalización o todas las funciones accesorias. Constituye de hecho, un procesador digital de programa almacenado. Puede observarse que el circuito CJ es una sub-unidad periférica de la unidad central 10 UC que sirve para dar a la unidad central acceso a las rutas MIC (modulación por impulsos codificados).

En cuestiones de señalización, el circuito CJ comprende elementos para recibir del equipo JE la información 15 de señalización de línea de entrada que llega de la ruta jme elementos para almacenar esta información y elementos para transmitirla a la unidad central UC. También comprende elementos para recibir desde la unidad central UC la información de señalización de línea a transmitir, elementos para al- 20 macenar esta información y elementos para transmitirla por el canal de salida de la ruta jme. Respecto a la señalización de línea, el circuito CJ, por lo tanto, juega el papel de un controlador de señalización de línea, equipo de interconexión entre la ruta externa jme y la unidad central UC.

El equipo JE está conectado por una ruta interna 25 de mabas vías jmi a la malla de conexión RCX. Esta malla está controlada por la unidad central UC a través del enlace crx y, según el orden en que se recibe de la unidad central UC, establece conexiones de dos vías entre los canales 30 por división de tiempo y estas diferentes rutas. Otras rutas

internas (jmi, jmr) están conectadas a la malla RCX.

El centro de conmutación de la Fig. 1 también comprende al menos un equipo de ruta multi-registrador JMR acoplado a la malla RCX por la ruta interna a dos vías jmr.  
 5 Este equipo juega aproximadamente al mismo papel que el equipo JE, aunque en una forma simplificada, ya que no tiene acceso a una ruta externa. Está conectado a un multi-registrador MR, conectado a la unidad central UC por el enlace cmr.

10 La función esencial del multiregistrador MR es registrar el intercambio de señalización. Un canal por división de tiempo de la ruta tal como el jme, cuando se captura para establecer una llamada, lo que da lugar a un intercambio de señales en la estructura de la señalización de línea, se  
 15 conecta a un canal por división de tiempo de la unión jmr. El equipo JMR permite que el multi-registrador MR tenga acceso a este canal para enviar y recibir la señalización de registrador. En estas operaciones de señalización de registrador, el multi-registrador MR juega un papel de interconexión  
 20 entre la unidad central UC y cada uno de los canales por división de tiempo de la ruta jmr.

La señalización de registrador se realiza normalmente por la transmisión de señales de frecuencia vocal por el canal de conversación. Por el canal por división de  
 25 tiempo de dos vías de la ruta jmr, se transmiten estas señales como muestras MIC (modulación por impulsos codificados). El multi-registrador MR tiene por tanto la función, para cada uno de los canales de la ruta jmr, de generar y transmitir estas muestras MIC (modulación por impulsos codificados)  
 30 y de reconocer las señales de frecuencia vocal a las que co-

rresponden, a fin de especificar su recepción a la unidad central UC.

Durante este período, se continúa la señalización de línea.

5                    Cuando se han terminado los intercambios de señalización de registrador referentes a un canal por división de tiempo de una ruta externa, este canal por división de tiempo se desconecta del canal por división de tiempo de la ruta jmr a la que estaba conectado, como consecuencia del multi-registrador MR, el mismo puede conectarse entonces a un canal por división de tiempo de otra ruta externa (o de la misma) para establecer una llamada. La llamada ya no será controlada, excepto por el intercambio de señal efectuado en el conjunto de la señalización de línea.

15                    La unidad central UC intercambia por tanto señalización de línea con las rutas externas por medio de los circuitos de control de ruta (CJ) y la señalización de registrador a través del multi-registrador(es) (MR). Como se mostró anteriormente, es deseable que en todo momento la unidad central tenga solamente una vía de intercambio de señalización para cada canal de llamada.

25                    A este fin, el invento propone elementos utilizados cuando un canal por división de tiempo de una ruta externa se conecta a un acceso de un multiregistrador a fin de enviar la señalización de línea a este canal por división de tiempo de la ruta múltiplex a la ruta múltiplex del multi-registrador y recíprocamente. Así, el multi-registrador será la única interconexión entre la unidad central y el canal por división de tiempo en lo que concierne a la fase de registrador.

30

Nos referiremos ahora a la Fig. 2 a fin de describir el principio de la transferencia de información de señalización en que se basa el presente invento.

La línea superior TT de la Fig. 2 muestra la división de tiempo  $t$  para constituir un cuadro por división de tiempo de 32 aberturas de tiempo de iguales longitudes designadas IT0 a IT31. El tiempo de cuadro es de 125  $\mu$ s y el de cada abertura de tiempo es de 3,9  $\mu$ s. En el caso de una ruta MIC (modulación por impulsos codificados) del tipo CEPT, el IT0 está reservado para la sincronización de cuadro. El IT16 se utiliza para la transmisión de la información de señalización. Los otros 30 IT se utilizan cada uno como medio para el canal de conversación.

La siguiente línea IT16/IT17 de la Fig. 2 muestra la división de tiempo  $t$  que permite, en cada IT, transmitir 8 bits en sucesión denominados  $b_1$  a  $b_8$ , estos conciernen solamente a IT16 e IT17.

Las líneas T0 a T15 muestran la información transmitida por IT16 e IT17 durante 16 cuadros sucesivos que forman un multicuadro. IT16 se reserva para la señalización de línea y lo consideraremos el primero de todos. En el caso de una señalización canal a canal a la que se aplica el presente invento, IT16 transporta sucesivamente, en el cuadro T0, una combinación de sincronización "0000wxyz" luego, en los cuadros T0 a T15, la información de señalización de línea de los 30 canales de conversación, a la cadencia de dos grupos de 4 bits correspondientes a dos canales de rangos  $i$  e  $i+16$  por IT16, siendo  $i$  el número del cuadro en el multicuadro. Los cuatro bits de señalización de cada canal se designan por las letras A, B, C, D, seguidas del número

del canal de conversación al que están asignadas.

Refiriéndonos a la Fig. 1, el circuito de control CJ, en la función de recepción de señalización, muestrea en el equipo JE la información suministrada por IT16, identificando la combinación de cuadro "0000wxyz", almacenando entonces en una memoria de señalización de 30 células los 30 grupos de 4 bits que siguen a la combinación de sincronización. La información de señalización de línea quedará entonces a disposición de la unidad central UC que puede requerirla sólo una vez por multicuadro, esto es, una vez cada 2 ms.

El principio del invento consiste en proporcionar elementos para transferir la información de señalización de los canales en fase de registrador en la dirección del multi-registrador por una de las aberturas de bits del canal de conversación. Como ejemplo, consideraremos el canal de conversación transportado por IT17. La transferencia se realizará por el bit b8 de este IT17. Como se muestra por las líneas T10 a T15 de la Fig. 2, pueden así transferirse 16 bits en el IT17 de los 16 cuadros del multicuadro de señalización. Si el canal de señalización suministra solamente un bit por multicuadro, este bit puede transferirse de un modo repetitivo, 16 veces por multicuadro por bit b8 de IT17. Ya que el mismo suministra diferentes bits, puede preverse una transferencia cíclica de los bits recibidos (A, B, C, D, A, B, etc....). Con preferencia el invento propone la transferencia de mensajes de 16-bits comprendiendo los bits de formato, otros disponibles para otros usos y los cuatro bits de señalización recibidos en el multicuadro.

En la Fig. 2, este mensaje se muestra bajo la

abertura correspondiente al bit b8 de IT17. Comprende diferentes 0 en los cuadros TT0, TT1, etc..., varios 1 en los cuadros TT8, etc..y los cuatro bits de señalización A17, B17, C17, D17, del canal transportado por IT17, como se han recibido en el IT16 del cuadro TT1 y almacenados en la memoria de señalización, los mismos se transfieren en los cuadros TT12 a TT15.

El multi-registrador MR recibirá este mensaje, identificará sus diferentes partes y especialmente los bits A17 a D17 que pueden almacenarse en una célula de una memoria de señalización en orden a situarlos a disposición de la unidad central UC.

Si consideramos ahora la transmisión de señalización en lugar de la recepción de señalización, también son aplicables los principios del invento, de un modo similar, invirtiéndose la dirección de transmisión. La unidad central suministrará al multiregistrador los cuatro bits a ser transmitidos. Este multiregistrador compondrá y transmitirá un mensaje de 16 bits por el bit b8 del canal de conversación en la dirección de salida. Llegará al equipo JE en IT17, allí se muestreará por los elementos de transferencia que escribirán los cuatro bits de señalización de línea en la célula de la memoria de señalización asignada a este IT17 para que sean enviados en la unión jmr durante el IT16 del cuadro TT1.

La transferencia de la señalización de línea en el bit b8 del canal de conversación no dificultará la señalización de registrador. Por supuesto que este bit b8 es el bit menos significativo de la combinación transmitida por cada IT. Ahora, la señalización de registrador da lugar a la transmisión de señal de frecuencia vocal de banda estrecha,

cuya amplitud puede, con gran pérdida de rendimiento, ser representada por combinaciones codificadas por solamente 7 bits por codificación de 8 bits con el abandono del bit menos significativo. Así, en la fase de registrador, el multiregistrador portará simultáneamente los intercambios de señalización de registrador en los bits b1 a b7 del canal de conversación y los intercambios de señalización de línea en el bit b8, de la manera que se ha descrito brevemente.

Refiriéndonos a la Fig. 3, describiremos una forma de configuración de los elementos esenciales existentes para realizar esta transferencia de señalización de línea según el invento. El diagrama de la Fig. 3 muestra solamente los elementos utilizados en la dirección de recepción. Existen elementos similares en la dirección de transmisión.

Las rutas jme, jmi, jmr, los equipos JE, JRM, el circuito CJ, la malla RCX y el multiregistrador MR de la Fig. 1 pueden verse en la Fig. 3.

En el circuito CJ, se muestran una memoria de señalización MSR y una memoria de marca MKJ. La memoria MSR tiene al menos una célula por canal de conversación de la ruta jme. Cada célula registra la información de señalización recibida de la ruta jme y asignada a un canal de conversación específico. Esta información alcanza la ruta por el enlace rsj y se registra debido a una orden indicada IT16, TTi. Esta orden, que llega de un reloj que no se muestra, lo mismo que todas las órdenes del mismo tipo referentes a las porciones de la división de tiempo, especifica que la información suministrada por el enlace rsj durante IT16 debe registrarse en dos direcciones derivadas de la fila TTi del cuadro en el multicuadro. Recuérdese que un IT16 del

cuadro  $TT_i$  suministra información de señalización desde dos canales de conversación transportados por  $IT_i$  e  $IT_i + 16$ .

Los circuitos de control de la memoria MSR se dispondrán por tanto a fin de escribir en sucesión los primeros cuatro bits de  $IT_{16}$  en la célula de dirección  $i$ , y los siguientes cuatro; 5 bits en la célula de dirección  $i + 16$ .

La información de señalización almacenada de esta manera queda disponible para la unidad central, que puede leerla por el enlace cje enviando una orden apropiada por 10 la línea cl (dirección, orden de lectura) y recibe la información leída por la línea ll.

Además, la memoria MSR se lee en cada IT debido a una orden  $IT_n$ , b8 suministrada durante el bit b8 del IT, siendo la dirección el número  $IT_n$  del IT en el cuadro. La 15 información de señalización leída se suministra por el conductor bts.

La memoria MKJ posee solamente una célula por canal de conversación de la ruta jme. Cada célula contiene al menos un bit escrito por la unidad central UC por línea 20 ml del enlace cje (dirección, orden de escritura e información a ser escrito). Normalmente, este bit tiene el valor cero. Pero la unidad central escribe 1 cuando el canal de conversación se conecta al multiregistrador MR. Escribe un 0 de nuevo cuando el canal de conversación se desconecta del multiregistrador. La memoria MKJ se lee en cada IT, debido a la 25 orden  $IT_n$ , b8, al mismo tiempo que la memoria MSR. El bit de marca obtenido de esta manera se transmite por el conductor sts. Tiene el valor 1 solamente para los canales de conversación en fase de registrador y durante la abertura de tiempo 30 reservada para el bit b8.

- Normalmente, el conductor sts está en el nivel 0. La puerta AND pts está inhibida. El circuito NOT its suministra una señal que desbloquea la puerta pts. La salida del lado de la central del equipo JE está conectada por la puerta AND ptd y la puerta OR pm, al canal de recepción de la ruta interna jmi y a la malla RCX. Así, para cualquier canal que no esté en fase de registrador, los elementos de transferencia de señalización no tienen efecto, dado que la salida del equipo JE permanece conectada a la ruta interna jmi y a la malla RCX.

Sin embargo, para un canal de conversación en fase de registrador, durante el IT<sub>n</sub> que transporta este canal, pero sólo durante el período reservado para el bit b8 de este IT, el conductor sts se pone al nivel 1. Entonces por el circuito NOT its, la puerta ptd se bloquea, mientras que la puerta pts se desbloquea. La información de señalización que llega de la memoria MSR y está presente en este momento en el conductor bts se transmite así por las puertas pts y pm a la ruta jmi. Esto toma el lugar del bit b8 de la combinación suministrada en este IT<sub>n</sub> por el equipo JE, que llega de la ruta jme, en aplicación del principio descrito anteriormente.

En el multiregistrador se muestran una memoria de señalización MSL y un circuito de procesamiento de la señalización de registrador TMSE. Este último no forma parte del invento y no lo describiremos con detalle. Respecto al mismo solamente se han mencionado los enlaces le y ce por lo que la unidad central UC obtiene información de las señales recibidas dentro del cuadro de trabajo de la señalización de registrador, La memoria MSL posee al igual que la

memoria MSR una célula por canal de división de tiempo, pero es una cuestión de los canales por división de tiempo de la ruta jmr. Los canales por división de tiempo conectados al multiregistrador MR están todos, por este solo hecho, en fase de registrador y la transferencia de la señalización de línea está en funcionamiento; no existe por tanto necesidad de una memoria de marcación.

Durante el período que corresponde al bit b8 de cada IT de la ruta jmr, una orden ITp, b8 (dirección. orden de escritura) provoca el registro de una información de señalización de línea transferida como se describió anteriormente, y que parece por el conductor rse en la célula de memoria apropiada.

La unidad central UC obtiene conocimiento de esta información, por las líneas ls y cs, tal como en la memoria MSL. Esta información puede añadirse a la suministrada para el mismo canal por división de tiempo, por el circuito TMSE. Además, ya que el multiregistrador MR tiene al mismo tiempo a su disposición las señales de registrador y de línea, puede combinarlas él mismo para presentarlas a la UC de una manera integrada, o incluso realizar ciertas operaciones de señalización o procesamiento, autónomamente, sin utilizar la unidad central. Esto forma parte de las ventajas proporcionadas en el invento.

El ejemplo de configuración del invento que se ha descrito con referencia a la Fig. 3 permite por tanto, en la dirección multiregistrador-ruta externa transferir la señalización de línea en fase de registrador por medios sencillos, ya que comprenden solamente una memoria con un bit por memoria por división de tiempo y algunas puertas en el

nivel de la ruta MIC (modulación por impulsos codificados) y un almacenaje de señalización de línea en el multiregistrador. Nótese que la transferencia de señalización entre las memorias MSR y MSL se realiza a la cadencia de un bit por cuadro sin otros detalles. Esto es suficiente si la señalización de línea registrada en la memoria MSR comprende solamente un bit por multicadro. Este bit se transfiere entonces 16 veces de este modo, lo que es redundante pero no costoso. Sería también posible transferir de esta manera dos bits en alternancia, proporcionando un circuito que alterne cuadro a cuadro a la salida de la memoria MSR y la entrada de la memoria MSL y aún hacer una multiplexión por división de tiempo de los cuatro bits de señalización de línea del CEPT por ejemplo.

Sin embargo el invento propone hacer esta transferencia, preferiblemente de diversos bits de la señalización de línea por canal de conversación en un mensaje constituido por ejemplo, según el formato descrito en relación con la Fig. 2, esto es, por un mensaje de 16 bits transmitido en un multicadro de 16 cuadros, a la cadencia de un bit por cuadro, como el bit b8 de cada IT asignado al canal de conversación en cuestión. Los medios que se requieren a este fin se describen, como ejemplo, en la Fig. 4, que muestra solamente los elementos suplementarios añadidos en el circuito CJ de la Fig. 3, y en la Fig. 5 que muestra solamente los elementos suplementarios a ser añadidos al multiregistrador MR de la Fig. 3.

En el circuito CJ, como puede verse en la Fig. 4, estos elementos comprenden solamente un contador CT y un multiplexor MUX. El contador CT, liberado por una señal TTO

al comienzo del multicuadro, aumenta en cada ITO. Tiene cuatro etapas ct 0/2 y ct 3 y cuenta los 16 cuadros del multicuadro. El multiplexor MUX es un circuito que conecta una de sus entradas localizada a la izquierda, a su única salida localizada a la derecha, según la dirección adt que recibe de las etapas ct0/2 del contador CT y, equipándola, también recibe una señal de activación val de la etapa ct3 del contador CT.

En este caso, la memoria de señalización MSR (Fig. 3) tiene cuatro salidas y suministra el bit b8 de cada IT, los cuatro bits de señalización recibidos por el canal transportado por este IT. El multiplexor MUX se inserta él mismo entre estas cuatro salidas y el conductor bts que sirve para la transferencia de la señalización de línea (ver de nuevo la Fig. 3). El funcionamiento corresponde al mensaje ya descrito respecto a la Fig. 2

0000 0000 1111 ABCD

Este formato está determinado por el contador CT. Durante los primeros ocho cuadros del multicuadro, la etapa ct3 del contador CT permanece en la posición 0. El multiplexor MUX no está activado. El conductor bts permanece en el nivel 0. Por cada canal en fase de registrador el bit de señalización transferido es 0. Los mensajes de señalización empiezan así por 8 bits 0. Luego, la etapa ct3 pasa a la posición 1 y activa el multiplexor que conecta, cuadro a cuadro, el conductor bts, en primer lugar, a las cuatro entradas conectadas al nivel 1, luego a las cuatro entradas conectadas en secuencia a las salidas que suministran los bits de señalización A, B, C, D de la memoria MSR. Debido a esto, para cualquier canal de señalización en fase de registrador, el

mensaje la señalización transferido continúa por cuatro 1, después por los bits de señalización A, B, C, D.

En el multiregistrador MR, los elementos adicionales proporcionados, según el ejemplo de la Fig. 5, comprenden una memoria MKS que registra una palabra de 16 bits por canal de división de tiempo, un registro de conversión RFS y algunas puertas. Para cada canal por división de tiempo, se lee la memoria MKS por la orden de una señal ITp, b7 (dirección, orden de lectura) y la información leída se escribe en el registro RFS por la orden b7. Durante el período correspondiente al bit b8 que sigue inmediatamente a esta lectura, la señal b8 ordena la entrada del bit presente en el conductor rse (ver Fig. 3) en el registro RFS, cambiando una etapa a la izquierda. Luego, por la orden de la señal ITp, b1 (la misma dirección que la lectura temporalmente ahorrada por medios no mostrados, orden de escritura) el contenido del registro RFS se registra en la localización leída anteriormente. Estos elementos permiten la actualización en el registro RFS, para cada canal por división de tiempo de la ruta jmr en el momento en que el bit 8 que transporta la señalización de línea alcanza el multiregistrador MR, un estado de los últimos 16 bits recibidos. Una vez, cada 16 cuadros, el registro RFS contiene, para un canal dado, un mensaje de transferencia de señalización completo. La puerta de control pcf, del tipo OR, que recibe 8 bits 0 suministra un nivel 0, y el circuito NOT que sigue, un nivel 1. La puerta pct del tipo AND, suministra un nivel 1 que desbloquea una puerta pcl que controla la transmisión de la señal b1 (el bit b1 del siguiente canal por división de tiempo) que sirve para una orden de escritura en la memoria MSL.

La dirección ITp' es la del canal por división de tiempo cuyo IT justo ha terminado. La información a ser escrita se suministra por las cuatro etapas de la derecha del registro RFS y está formada por los cuatro bits de señalización A, B, C, D.

De esta manera, la información de señalización de línea transferida como se ha descrito, se escribe en la memoria MSL, a disposición de la unidad central UC, o para el uso de cualquier procesamiento en el multiregistrador MR como se mostró anteriormente en relación con la Fig. 3.

La transferencia de la señalización de línea en la otra dirección de transmisión se realiza por elementos similares, como los de la Fig. 4 que llegan a completar el multiregistrador MR (Fig. 3), respecto a una memoria de señalización de salida similar a la MSL, en la que las señales a ser transmitidas y las de la Fig. 5 necesarias para completar el circuito de control CJ, respecto a la señalización de línea que envía una memoria similar a la MSR, en donde se escribirán los bits de señalización a ser transmitidos por la ruta externa jme.

Es obvio que las descripciones precedentes se dan sólo a modo de ejemplo no limitativo y que pueden preverse numerosas alternativas sin apartarse del alcance del presente invento. Para mencionar solamente algunas, el modo de funcionamiento de las memorias dependerá, en la práctica, de la tecnología elegida. Será el mismo en lo que se refiere a las funciones de conmutación esto es, tipos de puertas y niveles lógicos. El compromiso entre la memoria y los elementos lógicos puede modificarse para realizar ciertas funciones, así la configuración de la Fig. 5 que requiere una

memoria de canal por división de tiempo de 16 bits, pero algunos circuitos lógicos podrían sustituirse por una memoria más pequeña que registre una secuencia de recepción de un mensaje de un canal por división de tiempo, al coste de circuitos lógicos más sofisticados responsables de hacer avanzar esta secuencia según las señales recibidas. Todos los datos, códigos y formatos dados pueden variar finalmente según la aplicación.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Francia el día 13 de Junio de 1977, señalada con el Nº 77 18033 y se acoge, por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 5                   1.- Un sistema de transferencia de señal para centros de conmutación por división de tiempo, que comprende al menos una ruta múltiplex MIC (modulación por impulsos codificados) de señalización canal por canal, que transporta un canal de señalización y canales de conversación,
- 10 un controlador de la señalización de líneas asociado con esta unión que contiene una memoria de señalización dispuesta para almacenar la información de señalización de línea recibida desde el canal de señalización, en una célula particular a cada canal de conversación, al menos un multire-
- 15 gistrador para recibir la señalización de registrador de un canal de conversación en fase de registrador conectado al mismo, una malla de conexión que permite la conexión selectiva de los canales de conversación uno a otro y al multire-
- 20 gistrador, una unidad de control central que tiene acceso al controlador de señalización, al multiregistrador y a la malla de conexión, teniendo este sistema de transferencia el objeto de transferir la señalización de línea de un canal de conversación en fase de registrador, desde el controlador de señalización al multiregistrador y estando caracterizado
- 25 porque comprende un controlador de señalización de línea, una memoria de marcación que tiene una célula por canal de conversación dispuesta para almacenar un bit suministrado por la unidad central, que tiene un valor específico cuando el canal de conversación está en fase de registrador, ele-
- 30 mentos para leer, en relación a una abertura de tiempo de

bit de cada canal de conversación, la célula de la memoria de señalización y la célula de la memoria de marcación particular a un canal de conversación, elementos de conmutación controlados por el bit que llega de la célula de la memoria de marcación, cuando tiene el mencionado valor específico, a fin de conmutar en la ruta múltiplex en lugar de un bit del canal de conversación, un bit de señalización de línea que llega de la célula de la memoria de señalización en el multiregistrador, elementos para seleccionar dicho bit de señalización situado en la información transmitida por el correspondiente canal de conversación, de tal manera que el multiregistrador recibe de esta manera, al mismo tiempo y por este canal de conversación, la señalización de línea y la información de señalización del registrador.

2.- Un sistema de transferencia de señal, según el punto 1, caracterizado porque el mismo comprende elementos similares para la transmisión de la señalización de línea desde el multiregistrador, en la dirección de transmisión opuesta.

3.- Un sistema de transferencia de señal según el punto 1, caracterizado porque existen elementos contadores de cuadro insertados entre la salida de la memoria de señalización y los elementos de conmutación, para permitir la transferencia sucesiva de diversos bits de señalización en sucesivos cuadros según la posición de dichos elementos contadores de cuadro.

4.- Un sistema de transferencia de señal, según el punto 3, caracterizado porque dichos elementos contadores de cuadro comprenden un contador que tiene tantas posiciones

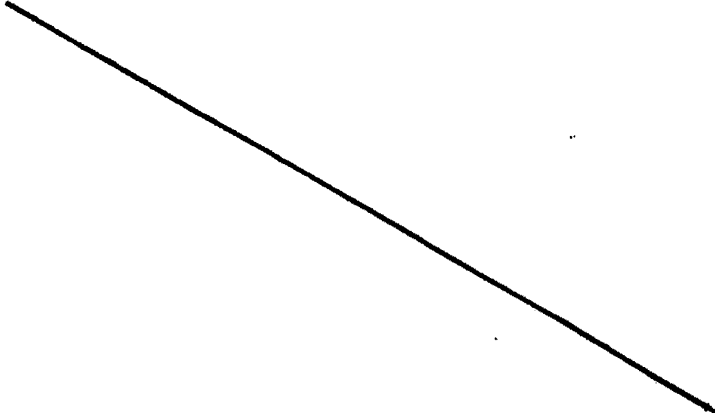
como cuadros existan en el período de el canal de señalización de transmisión en la ruta múltiplex MIC (modulación por impulsos codificados) de la información de señalización referente al mismo canal de conversación.

5                   5.- Un sistema de transferencia de señal, según el punto 4; caracterizado porque dichos elementos de selección están dispuestos a fin de seleccionar y permitir la transferencia, además de los bits de señalización que llegan de la memoria de señalización de los bits adicionales que tienen  
10 valores predeterminados, que constituye un mensaje de señalización.

6.- Un sistema de transferencia de señal, según los puntos 3, 4 ó 5 caracterizado porque comprende elementos similares a los de las reivindicaciones 3, 4, ó 5 para la  
15 transmisión de la señalización de línea desde el multiregistrador.

7.- Un sistema de transferencia de señal, según cualquiera de los puntos anteriores caracterizado porque la mencionada abertura de tiempo de bit, durante la cual se  
20 realiza la transferencia de señalización, es la del bit menos significativo en la abertura de tiempo del canal de conversación.

8.- Un sistema de transferencia de señal para centros de conmutación por división de tiempo.



Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

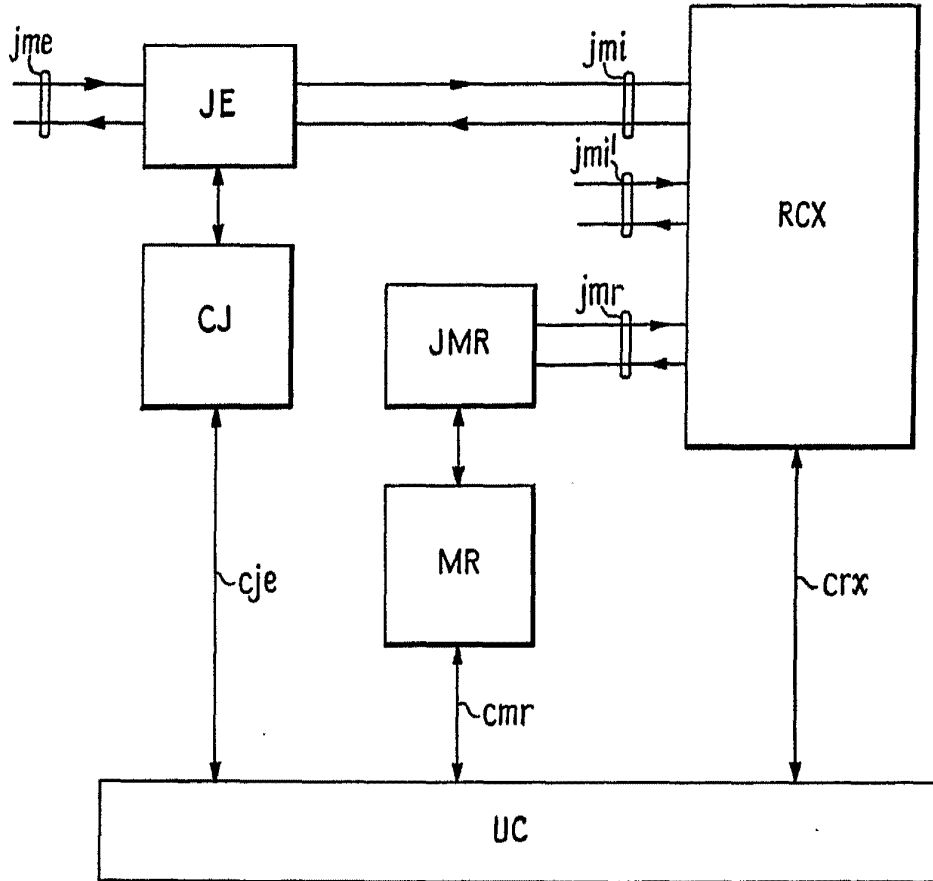
Esta memoria consta de veinticuatro hojas escritas  
5 por una sola cara.

Madrid, 13 JUN. 1978



*M. G. Santamaría*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

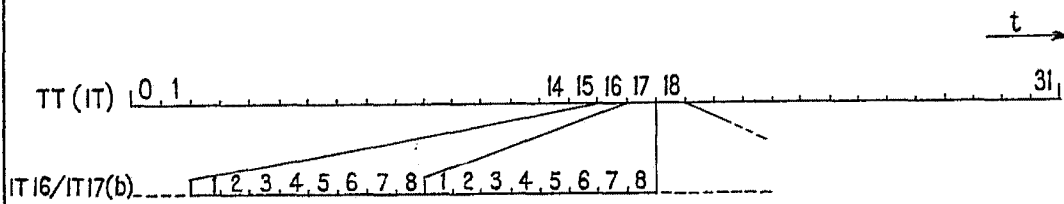
FIG.1



13 JUN. 1978

M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

FIG. 2



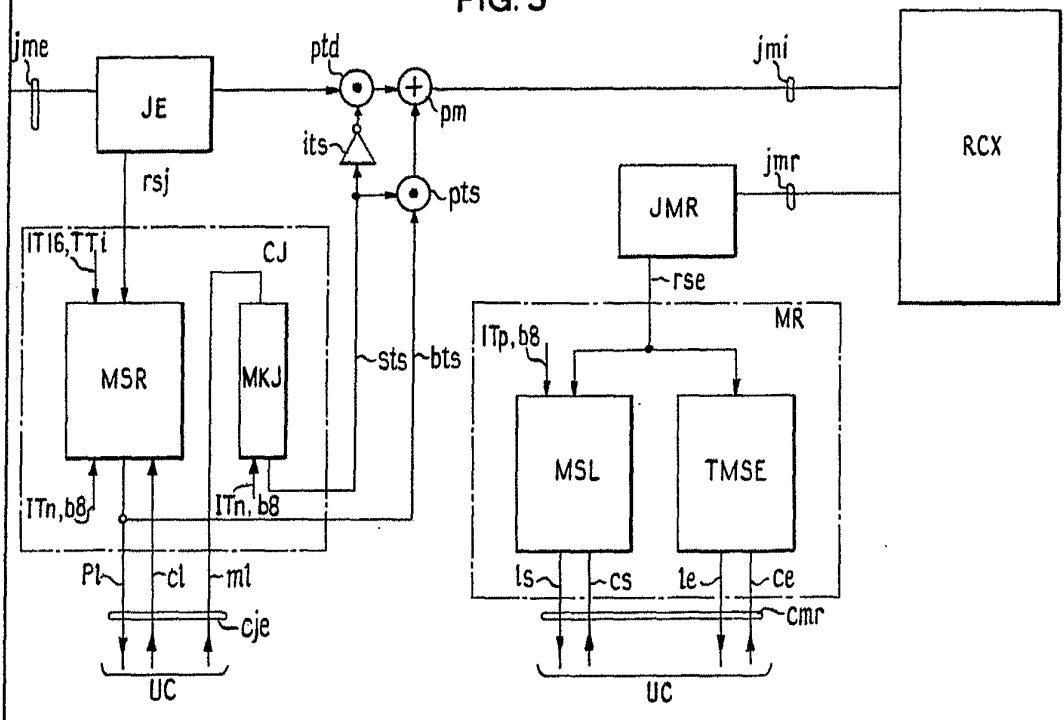
TT0	0 0 0 0 w x y z	0
TT1	A1 B1 C1 D1 A17 B17 C17 D17	0
TT8	A8 B8 C8 D8 A24 B24 C24 D24	1
TT12	A12 — D12 A28 — D28	A17
TT13	A13 — D13 A29 — D29	B17
TT14	A14 — D14 A30 — D30	C17
TT15	A15 — D15 A31 — D31	D17

13 JUN. 1978



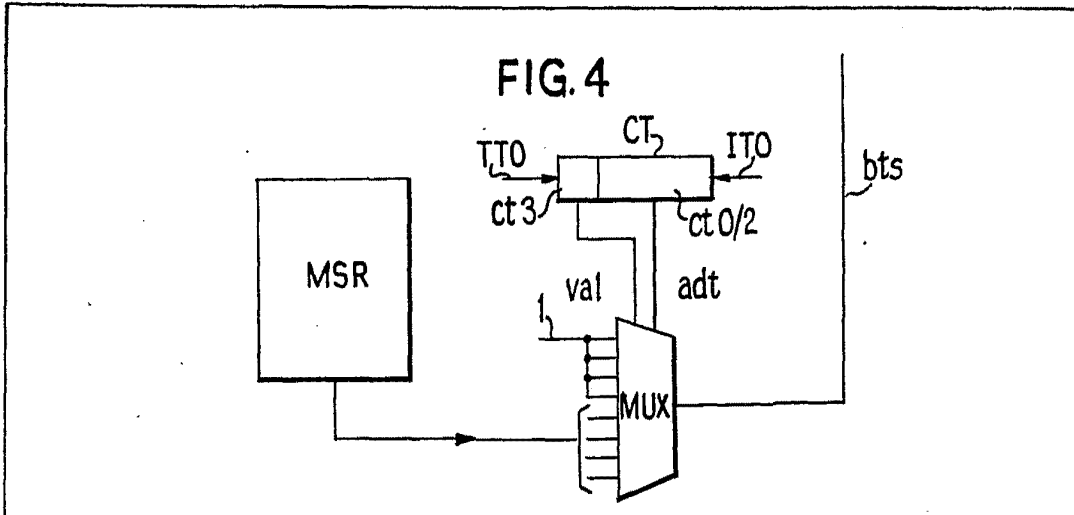
*M. G. Santamaria*  
**M. G. SANTAMARIA**  
 VICE-SECRETARIO GENERAL

FIG. 3

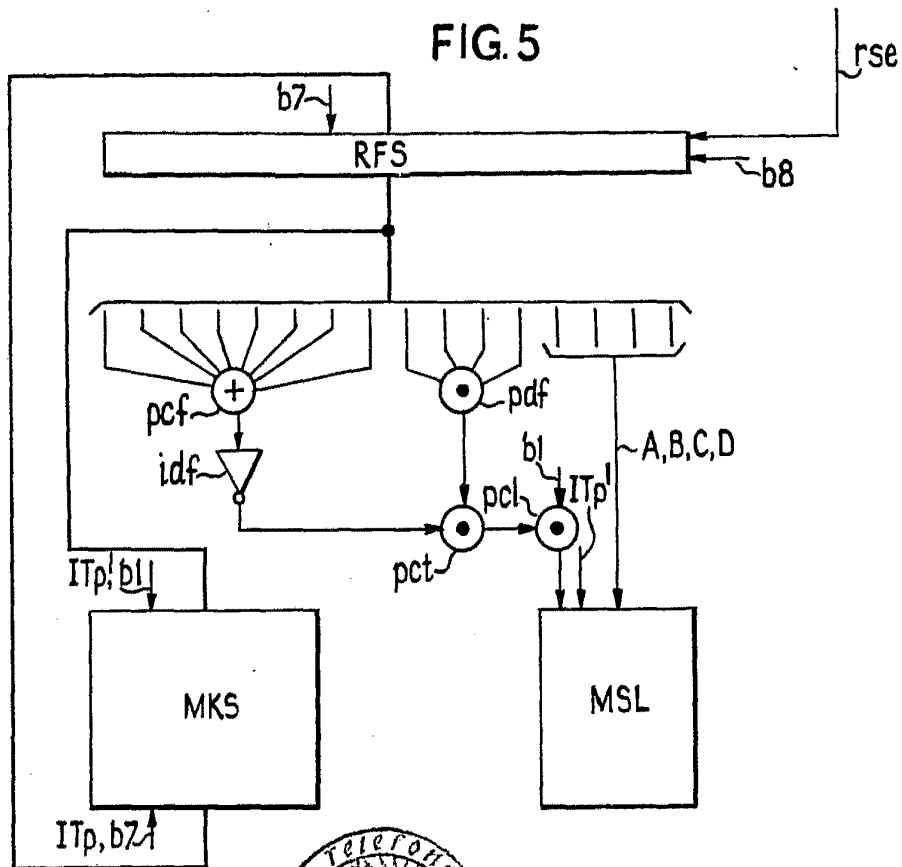


13 JUN. 1978

M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



13 JUN. 1978



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL