

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

19 ES	11	NUMERO	10 A1
	21	470733	
	22	FECHA DE PRESENTACION	
		H 04 J	

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
805.814	13. Junio. 77	USA

37 FECHA DE PUBLICIDAD	31 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H 04 J	

54 TITULO DE LA INVENCION
"UN METODO Y UN APARATO PARA LA SEÑALIZACION Y CONSTITUCION DE CUADROS EN UN SISTEMA DE COMUNICACION MULTIPLEX POR DIVISION DE TIEMPO"

71 SOLICITANTE (S)
STANDARD ELECTRICA, S.A.
DOMICILIO DEL SOLICITANTE
Madrid, calle de Ramirez de Prado, nº 5
72 INVENTOR (ES)
E. E. Steidl
73 TITULAR (ES)
STANDARD ELECTRICA, S.A.
74 REPRESENTANTE
D. Eugenio Barroso Espinosa de los Monteros.

Un sistema de comunicación TDM proporciona señalización entre una central telefónica digital y un conmutador de línea remoto sobre una línea T1 implicando el canal común combinado y la señalización D2 con retención de veinticuatro canales de comunicación MIC (modulación por impulsos codificados). El invento se refiere también a nuevas técnicas y elementos para la detección fuera de cuadro y la reconfiguración de cuadro.

El presente invento se refiere a dispositivos de reconfiguración de cuadro y señalización MIC en sistemas de comunicación telefónica digitales que utilizan datos organizados en cuadros o transmisión de conversación. La distribución de banco de canal D2 convencional utiliza el bit de orden 193 de los cuadros impares para proporcionar una distribución de repetición 1010... para la sincronización de cuadro. El bit de orden 193 de los cuadros pares se utiliza para proporcionar una distribución de repetición 000111... para la identificación por las transiciones 01 y 10 de los cuadros de órdenes sexto y duodécimo. El bit octavo de cada canal puede utilizarse entonces para supervisar la señalización relacionada con el canal respectivo.

Esta distribución convencional no proporciona señalización de canal común en combinación con la señalización D2 por la misma línea T1. Esto sería muy deseable para la señalización entre una central telefónica digital y un conmutador de línea remoto por muchas razones, entre ellas por ejemplo:

- (1) Puede ser necesaria una información de órdenes desde un conmutador de línea remoto a una central telefónica digital para funciones tales como (a) infor-

mar sobre nuevas capturas de línea que el conmutador de línea haya detectado por exploración, (b) informar sobre fallos detectados por el conmutador de línea, y (c) informar sobre los resultados de una prueba parcial.

5

(2) Puede ser necesaria una información de órdenes desde la central telefónica digital al conmutador de línea remoto para funciones tales como (a) requerir asignación de una línea a un canal de una línea T1 (b) requerir la reposición de una línea de un canal de la línea T1, (c) requerir la llamada a una línea incluyendo el código de llamada apropiado, (d) requerir la prueba de una línea, (e) requerir el control de pago en el caso de una línea telefónica de previo pago, (f) requerir las funciones de mantenimiento, y (g) requerir una prueba parcial para identificar la parte que origina una llamada en una línea compartida.

10

15

20

(3) Puede requerirse también información de órdenes entre un controlador en la central telefónica digital y un controlador en el conmutador de línea remoto. Un método de señalización de canal común sería una aproximación deseable para proporcionar un enlace de comunicación dedicado entre las dos unidades de control.

25

(4) Además de la señalización de órdenes, puede ser necesario proporcionar señalización de supervisión entre el conmutador de línea

30

remoto y la central telefónica digital para las líneas que han sido asignadas a un canal. Esto incluye el envío de impulsos de disco, descolgados de gancho, y señales de desconexión entre un circuito de línea de abonado y la central telefónica digital. En ciertos casos, también es deseable enviar información de supervisión desde la central telefónica digital a los circuitos de línea especiales. Por ejemplo, en ciertos casos es necesario devolver la supervisión de respuesta al circuito de línea y realizar una inversión de batería en la línea del abonado. La señalización D2 es el método preferido para comunicar la información de supervisión y la información de impulsos de disco entre el conmutador de línea remoto y la central telefónica digital. Con esta aproximación, la señalización de supervisión y de impulsos de disco desde las líneas de abonado aparecen en la central telefónica de una manera muy similar a la señalización de enlaces.

Así, la mayoría, de la recepción de impulsos y el lógico de supervisión en la central telefónica pueden compartirse entre el proceso de líneas y enlaces.

La utilización de la señalización D2 para la información de supervisión e impulsos de disco presenta problemas, dado que no ha sido factible previamente para combinar la señalización de canal común y D2 en una línea T1. Algunas soluciones a este problema que ya se han sugerido.

incluyen las siguientes:

- 5
- 10
- 15
- 20
- 25
- (1) Utilizar solamente la señalización de canal común. Con esta aproximación, el lógico en el conmutador de línea remoto se aumenta considerablemente, ya que el conmutador de línea remoto debe realizar la cuenta de los impulsos de disco, la detección del descolgado y el tiempo de desconexión. También, esta aproximación es poco flexible para el futuro de posibles ampliaciones, tal como de circuitos de enlace en un conmutador de línea remoto. Si existe señalización D2 en la línea T1, están totalmente disponibles las facilidades de señalización para proporcionar la señalización de supervisión necesaria a estos circuitos de enlaces controlados por el lógico de la central telefónica. Sin embargo, si solamente existe señalización de canal común, el lógico del conmutador de línea remoto debe aumentarse para proporcionar la necesaria señalización de enlace tales como parpadeos, marcaciones retardadas, etc.
- (2) Utilizar la señalización D2 junto con uno de los 24 canales de conversación como un canal común. Esta aproximación no es deseable, ya que reduce la capacidad de cursar tráfico de la línea T1 a 23 canales.

30

Seguidamente ofrecemos una breve descripción de tres patentes U.S. que ofrecen un panorama de cuál es el estado actual de esta técnica:

U.S. 3.541.456. Esta patente muestra un dispositivo de reconfiguración de cuadro rápido para reconfigurar el cuadro en una distribución lógica de repetición 10 ó 01. Cada bit en un cuadro es examinado para encontrar uno y solamente uno que confirme la candidatura de reconfiguración de cuadro sin que siga una comprobación de confianza. Esta patente no muestra el concepto de compartir el multicircuito de detección de violación de modo normal con el multicircuito de reconfiguración de cuadro. Este circuito no muestra la señalización combinada de canal común y D2. Este circuito no utiliza una máquina controlada ROM secuencial ni almacenaje RAM.

U.S. 3.940.563. Esta patente describe un método de reconfiguración de cuadro sobre una distribución lógica digital que comprende una combinación de distribuciones de repetición 010101 y 000111 sobre una línea T1 desde un banco de canal D2 para reducir la probabilidad de falsear la reconfiguración de cuadro sobre un tono de 2 KHz. Esta patente no examina todos los bits de un cuadro sino que busca uno y solamente un candidato a la reconfiguración de cuadro. Este método no proporciona la señalización combinada de canal común y D2. Esta patente no muestra la utilización de una máquina secuencial controlada ROM ni una RAM de almacenaje para todos los candidatos de bit de reconfiguración de cuadro.

U.S. 4.016.368. Esta patente, registrada el 5 de Abril de 1977, está asignada a la misma especialización que el presente invento. Describe una máquina secuencial controlada ROM que proporciona la detección del modo de violación normal, que protege contra los disparos transitorios y el modo de búsqueda para la reconfiguración de cuadro. Sin embargo, esta descripción no utiliza el almacenaje RAM para todos los

candidatos del bit de reconfiguración de cuadro, y no muestra el examen de todos los bits de un cuadro para uno y solamente un candidato a la reconfiguración de cuadro. Como consecuencia, no proporciona tal alto grado de protección
5 contra la reconfiguración de cuadro de un candidato espúreo como el presente invento. Tampoco este sistema proporciona la señalización combinada de canal común y D2.

El objetivo del presente invento es proporcionar métodos de señalización mejorados y elementos para
10 combinar la señalización de canal común y la señalización D2 sobre la misma línea de transmisión digital reteniendo todos los canales de comunicación MIC (modulación por impulsos codificados) para el servicio de comunicaciones normales. Es también el objetivo del presente invento proporcionar una
15 detección rápida fuera de cuadro y la reconfiguración de cuadro.

El presente invento proporciona dispositivos para la sincronización de cuadro sobre la distribución
000111.....sin perturbar la utilización de esta distribución
20 como se describió anteriormente, liberando así la posición de bit de la distribución 1010para la señalización de canal común. Esto se consigue en un canal de cuadro-kilobit por el cual se transmiten por acumulación bytes de ocho bits que transportan las órdenes de canal común. Cuando no se
25 está enviando ninguna orden, se envía continuamente un byte de sincronización 10111000 por el canal común. El comienzo de la orden se indica por un byte de no-sincronización. Se termina una orden de canal común volviendo a la transmisión de los bytes de sincronización.

30

El invento incluye también nuevos disposi-

tivos de reconfiguración de cuadro y detección fuera de cuadro que implican modos normal y de búsqueda. En el modo normal el multicircuito de cuadro muestrea solamente la posición del bit de cuadro (esto es, el bit de orden 193 de los cuadros impares) para controlar la condición de fuera de cuadro. En el modo de búsqueda, el multicircuito de cuadro prueba 386 posiciones de bits consecutivos hasta que tiene lugar una violación de cuadro en todas las posiciones de bits excepto en una. De esta manera no existe el peligro de reconfiguración de cuadro en un bit de no-configuración de cuadro que contenga temporalmente la distribución de configuración de cuadro, como ocurre con los circuitos convencionales que prueban un subconjunto a la vez de posiciones de bit. Esto requiere examinar tres muestras previas de cada posición de bit junto con la muestra en curso, ya que la distribución de cuadro es 000111.....De diez y seis combinaciones posibles de estos cuatro bits, seis son distribuciones válidas y diez son inválidas.

El presente invento proporciona también sincronización de cuadro en otras distribuciones de seis bits, proporcionando la señalización combinada de canal común y D2.

La Fig. 1 es un diagrama bloque de un sistema de conmutación digital que incorpora el invento.

Las Figuras 2A, 2B y 2C cuando están dispuestas según se indica en la Fig. 2D forman un diagrama bloque más detallado del conmutador de línea mostrado en la Fig. 1. Las tres Figuras 3A y 3B, cuando se disponen como en la Fig 3C, forman un diagrama bloque más detallado de la central telefónica digital de la Fig. 1. Además, cuando la

Figura 2B se sitúa encima de la Fig. 3A, como se muestra en la Fig. 3D, las Figs. 2 y 3 están interconectadas para formar un sistema de conmutación digital completo según se representa en la Fig. 1. Se han utilizado diagramas de una línea para representar los canales de comunicación y control en las Figs. 1, 2 y 3 a fin de evitar una complejidad innecesaria en dichos diagramas. Sin embargo, debe entenderse que muchos canales pueden incluir vías múltiples. Por ejemplo en las configuraciones de las Figs. 2 y 3, los números reales de vías representadas por una línea se indican en algunos casos por números adyacentes entre paréntesis.

La Fig. 4 es un diagrama bloque detallado de un circuito de decodificación de reloj mostrado en las vías de recepción de las Figs. 2 y 3.

La Fig. 4A es una carta que muestra los estados del contador de decodificación del reloj de la Fig. 4.

La Fig. 5 es un diagrama de circuitos de cuadro que se muestran en las Figs. 2 y 3.

La Fig. 5A es un diagrama de un detector "385" mostrado en la Fig. 5.

La Fig. 5B es un diagrama de un detector de violación mostrado en la Fig. 5.

La Fig. 5C es un diagrama de forma de onda que muestra los tiempos del circuito de cuadro.

La Fig. 5D es un diagrama de estado que ilustra el modo normal del circuito de cuadro según está programado en la ROM mostrada en la Fig. 5.

La Fig. 5E es un diagrama de estado que ilustra el modo de búsqueda del circuito de cuadro según es-

ta programado en la ROM de la Fig. 5.

La Fig. 6 es un diagrama de un emisor-receptor de canal común mostrado en la Fig. 2B.

La Fig. 7 es un diagrama de un receptor de señalización D2 mostrado en la Fig. 3B.

La Fig. 8 es un diagrama de un receptor de canal común mostrado en la Fig. 3B.

La Fig. 9 es un diagrama de un circuito de decodificación de reloj mostrado en la Fig. 3A.

La Fig. 10 es un diagrama de un emisor de señalización D2 mostrado en la Fig. 3A.

La Fig. 11 es un diagrama de un emisor de canal común mostrado en la Fig. 3A.

La Fig. 12 describe las formas de onda del multicircuito emisor, flujos digitales y designaciones de canal en la central telefónica digital incluyendo el reloj de bit de la central BC y 193 BC. Estos se designan por A - L y se relacionan con varios componentes en las Figs. 2 y 3.

La Fig. 13 describe las formas de onda del multicircuito de recepción flujos digitales y designaciones de canales en el conmutador de línea y en la central telefónica digital. Estos se designan por A - M y están de la misma manera relacionados con varios componentes de las Figs. 2 y 3.

La Fig. 14 es un diagrama de ciertas características de un circuito de línea incorporado en el conmutador de línea de las Figs. 2 y 3.

En principio observese que, aunque el presente invento se presenta aquí por razones de simplicidad en el contexto de una central telefónica digital en donde los circuitos de señalización están ahora sobre una base de uno por línea T1, el invento es también aplicable en el contexto de una central telefónica digital en la que los circuitos de señalización están sobre una base de superrutas después

de multiplexar varias líneas T1.

Refiriéndonos primeramente a la Fig. 1, en ella se muestra un sistema de conmutación digital para establecer y reponer comunicaciones incluyendo conexiones telefónicas. Un conmutador de línea remoto LS designado por 101 sirve a varias vías 101-0 a 101-N que pueden incluir líneas o enlaces. Se muestra el conmutador de línea 101 interconectado en serie con otro conmutador de línea 104 sobre una línea 102 de T1 (incluyendo unidades de equipo de terminación de tramo STE) con una central telefónica digital 103. Pueden conectarse también en el bucle conmutadores de línea adicionales. Los diferentes conmutadores de línea comparten los canales de la línea T1. Si el único conmutador de línea es el conmutador de línea 101, se aplicaría de conexión de puntos 105 ilustrada. Normalmente, existen dos líneas T1 entre los conmutadores de línea y la central telefónica digital, pero solo se representa una por razones de simplicidad. La transmisión MIC desde la central telefónica digital al conmutador de línea tiene lugar por la vía 102A que comprende dos conductores, como queda sobreentendido y la transmisión MIC desde el conmutador de línea a la central telefónica digital tiene lugar por la vía 102B que comprende también dos conductores. Según el presente invento, existen la señalización de canal común y la señalización D2 por la línea T1 en combinación con los veinticuatro canales de comunicación convencionales. Como se indicó en la Fig. 1, otros detalles del conmutador de línea LS se encontrarán en la Fig. 2; y otros detalles de la central telefónica digital se encontrarán en la Fig. 3. Como se indica en la Fig. 1, la central telefónica digital puede dar servicio a diferentes conmutadores de línea.

Nos referiremos seguidamente a las Figs. 2 y 3. Cuando la figura 2B está situada encima de la Fig. 3A, forman un conmutador de línea único interconectado con una central telefónica digital. Puede verse que una vía desde la Fig. 3 a la Fig. 2 incluye los datos T1 fuera de vía (T1-DO) designado por 334, el interface de T1 335 (que efectúa la conversión de señal unipolar a bipolar), la vía 336, el equipo de terminación de tramo STE designado por 337, la vía 102A desde la Fig. 3A a la Fig. 2B, un equipo de terminación de tramo 215, la vía 216, el interface de entrada de T1 217 (que efectúa la conversión bipolar a unipolar) y la vía de datos de entrada T1 (T1-D1) designada por 219. También puede verse que una vía desde la Fig. 2B a la Fig. 3A incluye una vía de salida de datos T1 (T1-DO) designada por 209, el interface de salida de T1 210 (que efectúa la conversión unipolar a bipolar), la vía 211, el equipo de terminación de tramo 212, la vía 102B desde la Fig. 2B a la Fig. 3A (que proporciona conversión bipolar a unipolar) y la vía de datos de entrada de T1 (T1-D1) designada por 342. Pueden incluirse opcionalmente repetidores (no mostrados) en las vías de T1.

La señalización de canal común proporciona un enlace de comunicación de cuatro-kilobit dedicado entre el controlador del conmutador de línea LS-CTR, designado por 231 en la Fig. 2A, y el controlador de la central telefónica digital CO-CTR (que puede ser un microprocesador) designado por 305 en la Fig. 3B. Esto implica el emisor-receptor de canal común 247 de la Fig. 2B, el emisor de canal común 327 en la Fig. 3A y el receptor de canal común 352 en la Fig. 3B.

por el conmutador de línea LS a la central telefónica común CO incluyen lo siguiente:

1. Informe de las capturas de línea que el conmutador de línea ha detectado por exploración.
- 5 2. Informe de un fallo detectado en el conmutador de línea.
3. Informe del resultado de una prueba parcial.

Las órdenes de canal común típicas enviadas por la central telefónica digital al conmutador de línea incluyen lo siguiente:

1. Requisición para asignar una línea de abonado a un canal o reponer una línea de un canal.
2. Requisición de llamada a una línea, incluyendo el código de llamada apropiado.
- 15 3.- Requisición de prueba de una línea.
- 4.- Requisición del control de pago en el caso de un teléfono de previo pago.
- 5.- Requisición para realizar las funciones de mantenimiento.
- 20 6.- Requisición de una prueba parcial a fin de identificar unaparte de la línea.

La señalización D2 proporciona comunicación de información de supervisión entre circuitos de línea, tales como 201-0 y 201-N en las Figuras 2A y 2C y el controlador de la central telefónica digital CO CTR, designado por 305 en la Fig. 3B, para las líneas y enlaces que han sido asignados a un canal. Esto incluye el envío de impulsos de disco, descolgados de microteléfono, y señales de desconexión entre un circuito de línea de abonado y la central telefónica digital. Como

se muestra con más detalle en los circuitos del conmutador de línea de la Figura 14, estos se envían a través de los bits A y B desde el control del circuito de línea 1410 a través del selector de datos 1408. En ciertos casos, también es deseable enviar información de supervisión desde la central telefónica digital a los circuitos de línea especiales a través de los flip-flops 1430 y 1429 y los conductores A y B al control del circuito de línea 1437. Por ejemplo, en ciertos casos, devolver el comienzo de la marcación y la supervisión de la respuesta al circuito de línea y la inversión de batería por la línea. Con esta aproximación, la señalización de impulsos de disco y de supervisión desde las líneas de abonado aparece en las centrales telefónicas muy similar a la señalización de enlace. La posibilidad de señalización D2 completa entre una tarjeta de línea en un LS remoto y la central telefónica permite una flexibilidad para conectar cualquier tipo de circuito de enlace en un LS remoto (por ejemplo, un enlace de comienzo de tierra para adaptar a una PBX en el área del LS remoto). Los selectores de datos, tales como 1408 en la Fig. 14, 204 en la Fig. 2A y 206 y 208 en la Fig. 2B, seleccionan las entradas apropiadas para formar apropiadamente la información que debe enviarse desde el conmutador de línea por la línea T1 a la central telefónica digital. Discutiremos después la temporización para este fin.

Los selectores de datos 329, 331 y 333 en la Fig. 3A seleccionan las entradas apropiadas para la formación apropiada de la información que debe enviarse desde la central telefónica digital por la línea T1 al conmutador de línea. Discutiremos después la temporización para este fin.

se representa en la Fig. 3, contiene un reloj central de control (reloj CO) designado por 300 en la Fig. 3A, que proporciona impulsos de reloj de 1,544 megabits para la central por la vía BC designada por 301. Este reloj proporciona también un impulso de salida 193 BC por la vía 302 a la central durante cada bit de orden 193. Los impulsos BC se ilustran en los diagramas de tiempos de A, G y J de la Fig. 12. Estas señales de reloj de bit y las señales de reloj del bit de orden 193 controlan el circuito de decodificación de reloj 318 en la Fig. 3A, que a su vez controla las señales por la línea T1 desde la central al conmutador de línea. Aunque tiene lugar un retardo de transmisión por las conexiones de la línea T1, el interface de entrada de T1(T1 INT-IN), designado por 217 en la Fig. 2B, extrae la temporización del reloj de bit y proporciona una señal de reloj de bit BC designada por 218 que se distribuye al multicircuito del conmutador de línea de la figura 2 y al multicircuito de línea de la Fig. 14.

El circuito de cuadro 221 de la Fig. 2C recibe esta señal de reloj de bit y las señales T1-D1 y deriva una señal de reloj de cuadro FC que se aplica por el terminal 222 al circuito de decodificación de reloj 224. Esta señal de reloj de cuadro comprende un impulso por cada bit de orden 386 recibido por la línea T1. El circuito de decodificación de reloj 224 proporciona señales de temporización al conmutador de línea. Si se pierde la configuración de cuadro, el circuito de cuadro detecta esta anomalía y recupera dicha configuración.

El circuito T1 INT-IN 217 en la Fig. 2B proporciona la señal de alineación de bit al circuito T1

INT-OUT 210 alineando los bits de las señales T1-DO que se transmiten desde el circuito del conmutador de línea a la central por la vía 102B. En la central, el circuito de cuadro 344 en la Fig. 3B suministra una señal de reloj de cuadro designada FC 345 al circuito de decodificación 347 y al circuito de alineación de cuadro 343 cada posición del bit de orden 386. Si se pierde la configuración de cuadro, el circuito de cuadro lo detecta y lo recupera. El circuito de alineación de cuadro 343 proporciona también las señales de bit y cuadro alineados a la matriz de conmutación digital 373.

Las conexiones de comunicación entre las líneas 101-0 y 101-N en las Fig. 2A y 2C comprenden una primera vía para la transmisión de la línea 101-0 a la 101-N, y una segunda vía para la transmisión de la línea 101-N a la 101-0. Supongamos, por ejemplo, que el canal MIC 3 está asignado a la línea 101-0 y que el canal MIC 17 está asignado a la línea 101-N. La primera vía puede trazarse desde la línea 101-0 en la Fig. 2A a través del codificador del circuito de línea 201-0, LC-DO 202-0, el selector de datos 204, LC-DO 205, el selector de datos 206 en la Fig. 2B, la vía 207, el selector de datos 208, T1-DO 209, T1 INT-OUT 210, la vía 211, STE 212, la vía 102B de la línea T1 102 en el canal 3, STE 339 en la Fig. 3B, la vía 340, T1 INT-IN 341 T1-D1 342, el circuito de alineamiento de cuadro 343, la vía 304, en la matriz de conmutación digital 373 en el canal 3, salida de la matriz 373 en el canal 17 por medio del intercambio de abertura de tiempo, desde allí a través de la vía 303 en la Fig. 3A, el selector de datos 329, la vía 330, el selector de datos 331, la vía 332, el selector de datos 333, T1-DO 334, T1 INT-OUT 335, la vía 336 STE 337, la vía

102A de la línea T1 102 en la abertura de tiempo 17, STE 215 en la Fig. 2B, la vía 216, T1 INT-IN 217, T1-D1 219, y a través del codificador del circuito de línea 201-N en la Fig. 2C a la línea 101-N.

5 La segunda vía puede trazarse desde la línea 101-N en la Fig. 2C, a través del codificador del circuito de línea 101-N, la vía 202-N al selector de datos 204 de la Fig. 2A, LC-DO 205 al selector de datos 206 de la Fig. 2B, la vía 207, el selector de datos 208, T1-DO 209, T1 INT-OUT
10 210, la vía 211, STE 212, por la vía 102B de la línea T1 102 en el canal 17 a STE 339 en la Fig. 3B, la vía 340, T1 INT-IN, T1-D1 342, del circuito de alineamiento 343, la vía 304, en la matriz de conmutación digital 373 en el canal 3 por medio del intercambio de abertura de tiempo, desde allí al selec-
15 tor de datos 329 de la Fig. 3A a través de la vía 303, la vía 330, el selector de datos 331, la vía 332, el selector de datos 333 T1-DO 334, T1 INT-OUT 335, la vía 336, STE 337, la vía 102A de la línea 102 de T1 en la abertura de tiempo 3 STE 215 en la Fig. 2B, la vía 216, T1 INT-IN 217, T1-D1 219,
20 y a través del decodificador del circuito de línea 201-O en la Fig. 2A a la línea 101-O.

 En una llamada entre dos conmutadores de línea diferentes a través de la matriz de conmutación digital 373, podría asignarse el mismo número de canal (sin embargo,
25 en una línea de T1 diferente), si está disponible, a los dos circuitos de línea. La vuelta del bucle de las señales T1-D1 en la Fig. 2B desde la vía 219 a través de los selectores de datos 206 y 208 a la vía de salida de datos T1-DO designada por 209, permite que desde la central lleguen a otros
30 conmutadores de línea que pueden estar en la misma línea T1,

y permite tambien que ciertas señales de la central se cierren en cable.

Dentro del conmutador de línea LS de la Fig. 2 los canales de conversación libres se conmutan simplemente desde la ENTRADA-DATOS de T1 (T1-D1) a la SALIDA-DATOS de T1 (T1-DO) a través de los selectores de datos 206 y 208 de la Fig. 2B. Esto permite que la información en estos canales pase a través de este conmutador de línea a otros conmutadores de línea por la línea T1 si se incluye más de un conmutador de línea en el bucle de la línea T1. Tambien, las órdenes de canal común recibidas por este conmutador de línea se envían por la línea T1 en el caso de que la orden se dirija a otro conmutador de línea en la línea T1. Normalmente, durante la posición de bit de señalización de canal común, se envía directamente desde el T1-D1 (ENTRADA-DATOS) al T1-DO (SALIDA-DATOS) a través de los selectores de datos 206 y 208. Sin embargo, mientras que el emisor de canal común para este conmutador de línea está enviando un orden, el selector de datos (208 en la Fig. 2B) selecciona el emisor de canal común durante las posiciones de bit de canal común. Si el receptor de canal común recibe una orden durante el tiempo en que se está enviando la orden, el controlador del conmutador de línea LS CTR de la Fig. 2A almacena esta orden. El LS CTR puede efectuar entonces la retransmisión de esta orden por la línea T1 después de que haya completado el envío de la orden precedente. De esta manera, la orden recibida se almacena y se envía.

Para los canales asignados en el conmutador de línea LS, se envía un impulso de canal en lo que dura el tiempo de canal al circuito de línea LC por la vía activada

asignada al canal, tal como 220-0 en la Fig. 2A. El LC seleccionado recibe entonces las muestras de conversación codificadas en 8-bits durante este canal. Esta muestra de 8-bits se aplica a la posición de decodificador del codec en el LC. Durante este mismo tiempo de canal, la muestra de conversación de 8-bits del codificador se aplica por la línea LC-D0 a la línea T1 a través de los selectores de datos. De esta manera, para los canales asignados, la muestra de conversación de 8-bits del codificador se sustituye en la línea de la línea T1 por la muestra de conversación de 8-bits enviada al decodificador por el circuito de línea LC. El multicircuito proporciona también información al LC por las vías LSBC (226) y ABS (227) la Fig. 2C, identificando la aparición de las posiciones de bit de la señalización D2. Esto notifica al circuito de línea si o no se inserta o extrae información de señalización D2 del bit menos significativo de la muestra de conversación durante su tiempo de canal.

Selector de Datos 206. Como se muestra en la Fig. 2A, la puerta NAND 238 tiene tres entradas. La primera entrada B/I 237 indica "OCUPADO", esto es, indica que el canal de conmutador de línea ha sido asignado a una línea, la segunda entrada 280 indica "no hay bit de orden 193" y la tercera entrada MB 233 indica modo normal, la salida de la puerta 238 por la vía 239 a través del decodificador 220 permite que se active el circuito de línea y sitúe el selector de datos 206 de la Fig. 2B para permitir que la información por la vía LC-D0 205 pase a través del selector de datos 206 a la vía 207. Cualquier otra combinación de señales de entrada a la puerta 238 se activará el circuito de línea y condicionará el selector de datos 206 para permitir que la informa-

ción por la vía 219 de T1-D1 de la línea T1 pase a través del selector de datos 206 a la vía 207.

Selector de Datos 208. Para casi todas las posiciones de bit, el selector de datos 208 en la Fig. 2B permitirá que la información en la vía 207 pase a la línea T1. La excepción está en que, en el modo normal, en posiciones del bit de orden 193 alternas, el LS CRT 231 (Fig. 2A) hará, por medio de señales por las vías DO 244, CC-WE 243, y SED-WE 241, como órdenes de ocasión, que el circuito de emisión/recepción 247 de canal común (Fig. 2B) a través de la puerta 251 y la vía de activación 252, acondicione el selector de datos 208 para dar paso a un bit de señalización de canal común por la vía CCD a la línea T1. Obsérvese que todos los bits en la línea T1 que entran en un conmutador de línea o la central introducen el circuito de cuadro asociado. Seguidamente se ofrece una descripción más detallada relativa a la distribución de bit por la línea T1.

Sincronización de cuadro combinado y distribución de repetición de identificación A, B, 000111.

El circuito de decodificación de reloj 319 (ver Figs 3A, 9 y 12) recibe las señales de reloj, mostradas en la forma de onda J, Fig. 12, por la vía BC 301 y las señales de reloj que indican la posición del bit de orden 193 mostrada como la forma de onda A por la vía 193 BC 302. Como resultado de ello, el circuito 319 proyecta las señales mostradas en la forma de onda E, Fig. 12, por la vía ABS 321 y las señales mostradas en la forma de onda C por la vía FC 320 durante el tiempo del bit de orden 193 de los cuadros pares al selector de datos 333. Como consecuencia de ello, el selector de datos 333 proyecta en la línea T1 señales

eléctricas altas y bajas que constituyen la distribución ló-
gica de repetición 000111 mostrada en la forma de onda B,
Fig. 12, en la posición del bit 193 de cuadros pares. Esto
tiene el doble propósito de: (a) sincronización de cuadro
5 y (b) identificación de los cuadros sexto y duodécimo por
las transiciones 01 y 10, respectivamente. Esta distribución
como se ve en la forma de onda A y Fig. 2C, se transmite
por la línea T1 al conmutador de línea y entre en el circuito
de cuadro 221 y circuito de decodificación de reloj 224, ac-
10 tivando el circuito 224 para proyectar las señales como se
muestran en la forma de onda E por la vía ABS 227, en res-
puesta a las transiciones 01 y 10, para distinguir entre los
canales de señalización D2A y D2B y el reloj del bit menos
significativo LSBC, descrito después. La distribución de
15 repetición 000111 en la vía 219 de T1-DI se extiende a los
selectores de datos 206 y 208 de la Fig. 2B por la línea T1
y, a través de otros conmutadores de línea que pueden estar
en la misma línea T1, hacia la central telefónica. En la cen-
tral, como se ve en la Fig. 3B, esta distribución de señali-
20 zación entre en el circuito de cuadro 334 y en el circuito
de decodificación de reloj 347, activando 347 para proyectar
las señales que se muestran en la forma de onda E por la vía
ABS 348. En otros conmutadores de línea que pueden estar en
la línea T1, la distribución de señalización 000111 consigue
25 los mismos fines descritos para el conmutador de línea 101
de las Figs. 2A, 2B y 2C. En caso de pérdida de la sincroni-
zación de cuadro, los circuitos de cuadro detectan dicha pér-
dida y efectúan la reconfiguración de cuadro.

Bit de Canal Común. En la central telefónica, la señalización
30 de canal común se inicia por el controlador CO-CTR en la

Fig. 3A que escribe una orden de canal común (un byte a la vez) para su envío al circuito emisor de canal común 327. El circuito 327 inserta esta orden, compuesta de bytes múltiples de 8-bits, un bit a la vez, en la línea T1 durante las posiciones de bit de canal común. Cuando no se está enviando una orden de canal común, se envía continuamente por el canal común un byte de sincronización que comprende la distribución lógica 10111000. Esto permite que el extremo de recepción se sincronice con este byte de sincronización. El comienzo de una orden se indica por un código de no-sincronización. Se termina una orden de canal común volviendo a enviar hacia atrás los bytes de sincronización.

El controlador CO-CTR 305 en la Fig. 3A, por medio de la vía de activación de escritura 307 y la vía de datos 306 escribe el byte que tiene que enviarse en el emisor de canal común 327. El emisor 327, controlado por las señales de reloj de canal común, mostradas en la forma de onda D, Fig. 12, proyecta señales eléctricas por la vía CCC324 a través de la vía CCD 328 y los selectores de datos 331 y 333 en la línea T1, que comprenden los bytes de señalización de canal común y la distribución de sincronización 10111000 como se describió anteriormente. Estos bits de canal común, enviados por la línea T1 al conmutador de línea, entran en el circuito de cuadro 221 (Fig. 2C) y en el circuito emisor/receptor de canal común 247 (Fig. 2B). El circuito 247 reporta estas señales al LS-CTR 231 (Fig. 2A) por medio de las vías de Interrupción INT 246 y DI 245 y REC-WE 242. Estos bits pasan de la vía 219 de TI-DI a través de los selectores de datos 206 y 208 (Fig. 2B), hacia la línea T1 y, a través de otros conmutadores de línea que pueden estar sobre la línea

T1, hacia la central telefónica. En la central, estos bits de canal común entran en el circuito de cuadro 344 y en el receptor de canal común 352 (Fig. 3B). El receptor 352 reporta estas señales a CO-CTR 305 por medio de la vía de Interrupción 314 y la vía de Datos 312.

En el conmutador de línea, tal como 101 en la Fig. 1. la señalización de canal común solamente puede iniciarse en el momento en que el código de sincronización 10111000 se está recibiendo desde la central. El controlador del conmutador de línea LS-CTR 231 (Fig. 2A), por medio de las vías SEND-WE 241, CC-WE 243 y DO 244, condiciona el emisor/receptor 247 (Fig. 2B), bajo el control de las señales de reloj GCC como se muestra en la forma de onda C, Fig. 13 para controlar el selector de datos 208 por medio de las vías CCS 249 y CCD 248. Esto activa la transferencia desde la vía 207, a través del selector de datos 208, a la vía CCD 248 a través del selector de datos 208, proyectando por tanto los bits de señalización de canal común en la línea T1. Estos bits de señalización pasan a través de otros conmutadores de línea que pueden estar sobre la línea T1 al circuito de cuadro 344 en la Fig. 3B y al receptor de canal común 352 en la central bajo el control de las señales CCC como se ilustra en la Fig. 13C. El receptor 352, a través de la vía de Interrupción 314 y la vía de Datos 312 reporta estas señales recibidas (un byte a la vez) al CO-CTR 305. Como se indicó anteriormente, si el receptor de canal común dentro de la unidad 247 (Fig. 2B) recibe una orden durante el tiempo en que la unidad 247 está enviando, LS-CTR 231 almacena esta orden y la envía después de que la unidad 247 termine de enviar su orden.

Bits de canal - Canales Libres. Durante cada canal libre de los 2⁴ canales en la línea T1, la central proyecta continuamente el byte de canal libre 01111111 a la línea T1, excepto durante los cuadros sexto y duodécimo, según la ya conocida conversión de señalización D2, en que la central proyecta continuamente el byte de canal libre 01111110. Los conceptos de la señalización D2 se describen con detalle, por ejemplo, en la "Revista Técnica del Sistema Bell", Vol. 51, No 8, Octubre de 1972, págs. 1641, 1766.

Más concretamente, para los canales libres, el procesador escribe en el multicircuito de la matriz de conmutación digital 373 de la Fig. 3 para requerir que se envíe un código de libre 01111111 durante el canal libre. Esto implica la escritura en una memoria de control de salida (no mostrada) para direccionar una localización en una memoria auxiliar de salida (no mostrada). La localización en la memoria auxiliar de salida contiene el código de libre compuesto de 0 seguido por siete unos. Este código de libre se envía continuamente en el canal libre por el conductor 303 de la Fig. 3A. Este código de libre llega a una de las entradas del selector de datos 329 durante el canal libre. El reloj del bit menos significativo D2 (LSBC) generado por el circuito de decodificación de reloj 319 de la Fig. 3A hace que el selector de datos 329 seleccione la otra entrada, esto es, la entrada DDD durante las posiciones de bit D2 para este canal. Durante estas posiciones de bit D2, el emisor de señalización D2 325 presenta bien el bit de señalización A o B a la entrada del selector de datos 329. Si se envía el bit de señalización A o B por el emisor de señalización D2 dependerá de la condición del terminal de salida de se-

lección A/B, ABS 321, del circuito de decodificación de reloj 319. Durante la condición de libre de este canal, estos bits de señalización A y B en el emisor de señalización D2 son ambos 0. Estos bits en el emisor, cargados a 0 por una requisición desde el procesador PRO-371, se envían al CO-CTR 5 305. El CO-CTR escribe estos bits a 0 por medio del bus de dirección 309, un terminal de activación de escritura 310 y el bus de datos 306. El emisor de señal D2 contiene un total de 48 flip-flops para los bits de señalización A y B 10 para cada uno de los 24 canales. En la inicialización del sistema, el procesador requisiona al CO-CTR 305 para escribir todos estos 48 bits a cero. Entonces para los canales libres, los datos presentes en T1-DO 334 contienen la distribución 0 seguido de siete unos en todos los cuadros excepto 15 en los cuadros de señalización D2 (cuadros sexto y duodécimo). Durante estos cuadros sexto y duodécimo de señalización D2, los datos proyectados en la vía T1-DO 334 por los canales libres contienen el 0 seguido por seis unos y luego un 0. De esta manera los bits de señalización D2 indican una 20 condición de libre o colgado. Por el canal libre, estos 8 bits llegan al conmutador de línea por la línea 102 de T1 y eventualmente se transmiten dentro del conmutador de línea al seleccionador de datos 206 en la Fig. 2B a través del conductor 219. Estos canales libres se conmutan entonces a través de los selectores de datos 206 y 208 volviendo por la 25 línea T1 a la central. El receptor de señalización D2 360 en la Fig. 3B recibe entonces el 0 en los bits A y B de los cuadros sexto y duodécimo. La posición de los cuadros sexto y duodécimo se pasa al receptor de señalización D2 360 por 30 el circuito de cuadro 344 en unión del circuito de decodi-

ficación de reloj 347. Estos bits A y B se reciben y almacenan en la memoria en el receptor de señalización D2 360. Estos bits por el canal libre indican entonces una condición de libre o colgado. El CO-CTR 305 explora continuamente los bits A y B para los 24 canales (los 48 bits de memoria) en el receptor de señalización D2 para detectar cambios. Siempre que exista un cambio en cualquiera de estos bits en el canal libre, el CO-CTR 305 reconoce el cambio y realiza el filtraje de golpe sobre el cambio. Cuando se detecta un cambio persistente, el CO-CTR 360 reporta tal cambio al procesador 371. En el conductor 304 (Fig 3B) de canales libres que entra en la matriz de conmutación digital, existe una distribución de 0 seguido por siete unos durante todos los canales excepto durante los cuadros de señalización D2 (cuadros sexto y duodécimo). Durante estos cuadros en el canal libre, existe una distribución de 0 seguido por seis unos seguido por un 0. La información en los canales libres en el conductor 304 simplemente se detiene en la entrada a la matriz de conmutación digital y se ignora, ya que este canal no ha sido conmutado a ninguna conexión de salida en la matriz en ese momento. Todos estos bits de canal libre entran en los circuitos de cuadro en los conmutadores de línea y en la central.

Bits de Canal - Canales Ocupados. Una vez que el número de línea se ha introducido en la memoria de asignación de canal 234 de la Fig. 2A (que describiremos después con más detalle), este canal ya no se pone en bucle desde la ENTRADA-DATOS 219 de T1 a la SALIDA-DATOS 209 de T1 en la Fig. 2B. En su lugar, como se muestra con más detalle en la Fig. 14, los Datos de Entrada de T1 se aplican a un decodificador, tal como el 1433, y a los flip-flops de señalización D2, tales

como 1427 y 1428 en el circuito de línea. También, los Datos de Salida de T1 se aplican desde un codificador tal como el 1406, de la misma manera que los bytes MIC y los bits de señalización D2 se aplican desde el control, tal como 1410.

5 Normalmente los bits de señalización D2 y las posiciones de bit A y el B indican simplemente el estado del gancho conmutador. Así, seguidamente a una nueva captura de línea después de haber sido asignado el canal en 234, los bits A y B cambian en el T1-D0 209 para este canal de 0, como lo fueron en la

10 condición de en bucle, a unos, según se están aplicando desde el control 1410. Estos bits son ahora 1, ya que la línea está ahora descolgada. Los bytes MIC y los unos en los bits A y B pasan por la línea T1 a la central, Ya que estos bits A y B de D2 son ahora 1, se recibirán en las localizaciones

15 de memoria A y B en 360 (Fig. 3B) correspondientes a este canal. El CO-CTR 305 en la exploración de los bits de señalización D2 en el receptor de la señal D2 360, detectará el cambio de estado de estos bits de señalización D2, El CO-CTR reportará este cambio (descolgar en este canal) al procesador.

20 Estos es una verificación de que la línea ha sido asignada con éxito al canal y esta todavía descolgada. Con la vía T1-D1 fuera de bucle a través del selector de datos 206 en la Fig. 2B (esto es, con la separación de la vía en entrada-salida), la central CO-CTR 305, por medio de la DIRECCION

25 de vías 309, la Activación de Escritura 310, y los Datos 306, condiciona el emisor de señalización D2 325 para enviar los bits A y B del control D2 por la línea T1 a los flip-flops 1427 y 1428 del circuito de línea de la Fig. 14 en el establecimiento de la llamada. Estos bits entran tam-

30 bien en el circuito de cuadro 221 en la Fig. 2C. Después de

haberse establecido la llamada, los bytes del codificador 1406 en el circuito de la línea que llama 201-0 pasan a través de la matriz de conmutación digital 373 y llegan al decodificador, tal como el 1433 de la Fig. 14 en el circuito de la línea llamada.

Descripciones de Circuitos Específicos. Seguidamente ofrecemos unas descripciones más detalladas de ciertos circuitos específicos del sistema, empezando con las secciones de emisión en la central telefónica, y siguiendo con los circuitos de recepción y emisión en el conmutador de línea, y terminando con las secciones de recepción en la central telefónica.

Circuito de Decodificación de Reloj 319 (Fig. 9). El circuito de decodificación de reloj 319, asociada con el envío de señalización en los circuitos de la central telefónica de la Fig. 3A, se muestra con detalle en la Fig. 9. Las entradas al circuito de decodificación de reloj 319 en la central telefónica digital son el 193 BC 302 (forma de onda A en la Fig. 12) y el BC 301 Y (forma de onda J en la Fig. 12). El circuito de decodificación de reloj deriva de estas entradas los impulsos de reloj necesarios para insertar la información de señalización en la línea T1. Estos relojes y señales de salida se ilustran en las formas de onda de la Fig. 12 y se describen como sigue:

1.-Terminal de Reloj de Cuadro FC 320. (Formas de Onda C y H en la Fig. 12).

El reloj de cuadro indica la posición de la posición del bit de cuadro en la línea T1. Este reloj es bajo cada posición del bit de orden 193 alterna. Siempre que este reloj sea bajo, el selector de datos 333 (Fig. 3) se conmuta para seleccionar

la entrada de selección A/B ABS 321. Esto resulta en la inserción del bit de cuadro apropiado en la línea T1 en la posición del bit de cuadro. Una distribución de repetición 000111 se inserta en esta posición de bit.

5 2. Terminal de Selección A/B, ABS 321 (Forma de Onda E en la Fig. 12)

El terminal de selección A/B identifica la posición de los cuadros A y B de señalización D2. Este reloj es alto durante seis cuadros y bajo durante otros seis cuadros. El segundo cuadro después de una transición de bajo a alto de esta señal es un cuadro A de señalización D2. El segundo cuadro después de una transición de alto a bajo de esta señal es un cuadro B de D2. La selección A/B proporciona la inserción de la distribución de cuadro apropiada en la Línea T1. También es utilizada por el circuito de emisión de señalización D2 325 de la Fig. 3A para identificar si los bits de señalización A o B tienen que enviarse durante un cuadro de señalización D2.

15 3. Terminal de Reloj de Canal Común CCC 324 (Formas de Onda D e I en la Fig. 12)

El reloj CC identifica la posición de bit para proporcionar el canal común de cuatro kilobits. Este reloj se hace bajo cada posición de bit de orden 193 alterna entre la posición del bit de cuadro. Siempre que el reloj CC se hace bajo, el selector de datos 331 de la Fig. 3A se conmuta para seleccionar la salida de CCD 328 en la Fig. 3A. Esto proporciona la inserción del siguiente bit de señalización de canal común en el flujo de datos de la línea T1. El Reloj CC es también entrada al emisor de canal común 327 de la Fig. 3A para indicar cuando el circuito tiene que avanzar al siguiente bit

de señalización de canal común.

4. Terminal de Reloj del Bit Menos Significativo LSBC 322
(Formas de Onda F y K de la Fig. 12).

Este reloj se hace bajo durante la posición del bit menos
 5 significativo de cada tiempo de canal, bien durante el cua-
 dro de señalización A o el B. Siempre que este reloj se hace
 bajo, el selector de datos 329 (Fig. 3A) selecciona la salida
 del emisor de señalización D2, DDD 326. Esto proporciona la
 inserción del bit de señalización D2 apropiado en la línea
 10 T1. Este reloj indica también al emisor de señalización D2
 325 cuando tiene que enviarse un bit D2.

5. Vía del Número de Canal \neq (323). (Formas de Onda L en
la Fig. 12).

La vía está constituida por cinco conductores que indican,
 15 en forma binaria, el número de canal asociado con los bits
 de conversación MIC que se están enviando por la línea T1.
 El valor equivalente decimal de estos cinco bits CH \neq se
 indica en la Fig. 12L. El CH \neq se utiliza por el emisor de
 señalización D2 para identificar el número de canal durante
 20 las posiciones de bit de señalización D2.

Más concretamente, el flip-flop D 901 de
 la Fig. 9 se carga en el centro de cada tiempo de bit. Así,
 la salida de este flip-flop es el reloj del bit de orden
 193 retardado en la mitad de la posición de bit. Esta sali-
 25 da proporciona una puesta en sincronismo al contador de 8-bits
 903 a través de la vía 902. El contador de 8-bits 903 bien
 se aumenta o se pone a cero al comienzo de cada tiempo de
 bit. La puesta en sincronismo hace que este contador se pon-
 ga a cero al comienzo de la posición de bit inmediatamente
 30 después de la posición del bit de orden 193. Los tres bits

menos significativos de este contador identifican la posición del bit que se está enviando en ese momento por un canal de la línea T1. Una cuenta de cero en los tres bits menos significativos de este contador indica que el bit de conversación más significativo se está enviando en ese momento por el canal asociado. Una cuenta de siete en estos bits indica que se está enviando en ese momento por el canal asociado el bit de conversación menos significativo. Los cinco bits más significativos del contador de 8-bits indican el número de canal por el que se está enviando en ese momento sobre la línea T1. Estos cinco bits indican cero cuando se está enviando el primer canal y 23 cuando se está enviando el canal de orden 24.

El contador de estado-12 mostrado en la Fig. 9 se utiliza para generar el reloj de cuadro por el terminal FC 320, el reloj de canal común por el terminal CCC 324 y las señales necesarias para el emisor de señalización D2 por el terminal ABS 321. Este contador se aumenta al final de cada posición de bit de orden 193. El bit menos significativo de este contador se utiliza para distinguir entre las posiciones de bit de cuadro y las posiciones de bit de canal común. Siempre que este bit menos significativo sea "0" al comienzo de una posición de bit de orden 193, se genera un impulso de reloj de cuadro. Al final de esta posición de bit, se aumenta el contador de estado-12, haciendo así el bit menos significativo "1". Así en la siguiente posición de bit de orden 193, se genera un impulso de reloj de canal común.

Cuando el contador de estado-12 alcanza una cuenta de 5, el siguiente cuadro es un cuadro de señali-

zación A de D2. Cuando este contador alcanza una cuenta de 11, el siguiente cuadro es un cuadro de señalización B de D2. Tanto para una cuenta 5 como para una 11 en el contador de estado-12, aparece una activación para generar los relojes LSB de D2. Una puerta NAND 908 combina esta activación con todos los unos en los tres bits menos significativos del contador de 8-bits para generar el reloj LSB D2 por el terminal LSBC 322.

La otra señal generada por el contador de estado-12 de la Fig. 9 es la selección A/B 321. Esta señal es baja cuando el contador de estado-12 está en los estados del 0 a 3. ABS 321 pasa a alto para los estados del contador de estado-12 de 4 a 9. ABS 321 pasa de nuevo a bajo para los estados del contador de estado-12 de 10 a 11. Así, este elemento es alto durante 6 cuadros y bajo durante 6 cuadros.

Emisor de Canal Común 327 (Fig. 11).

El controlador CO-CTR 305 en la central de la Fig. 3A escribe un byte de orden de canal común para ser enviado al circuito de emisión de canal común 327 por medio de las vías de Datos 306 y de Activación de Escritura CC 307. El emisor de canal común simplemente inserta un bit a la vez de esta orden en el flujo de datos de la línea T1 durante las posiciones de bit de canal común. Estos son diferentes formatos posibles para la señalización de canal común utilizando el canal de cuatro-klobits.

Las órdenes de señalización de canal común están compuestas de bytes de 8-bits. Cuando no se está enviando una orden de canal común, se envía continuamente un byte de sincronización compuesto por 10 111000 por el canal común. Esto permite que el extremo de recepción se sincronice en

este byte de sincronización. Las órdenes de canal común están compuestas por bytes múltiples. El comienzo de una orden se indica por un código de no sincronización. La información en una orden de canal común incluye generalmente lo siguiente:

5

1.- Un información de la Dirección de Destino. (Esto identifica un conmutador de Línea Particular en el bucle de la línea T1).

10

2.- Código de Operación. Esto identifica la operación a ser realizada por esta orden de canal común.

3.- Información de Datos.

15

4.- Suma de Comprobación. La suma de comprobación indica la suma de los bytes previos en la orden de canal común. Esto permite que el extremo de recepción compruebe la transmisión válida de la orden. Si la suma de comprobación falla en el extremo de recepción, toda la orden es ignorada.

20

5.- Código de Sincronización. Una orden de canal común se termina volviendo a enviar los códigos de sincronización. Los códigos de sincronización continúan enviándose hasta el comienzo de la siguiente orden de canal común.

25

Cuando el extremo de recepción recibe una orden de canal común con una suma de comprobación válida, envía una verificación de canal común al extremo emisor. Esto proporciona verificación al extremo emisor de la transmisión apropiada de la orden de canal. El formato de verificación es similar al formato de la orden excepto en que el código de operación indica una verificación. Si la orden es del tipo que pueda ejecutarse rápidamente por el extremo de recepción, la verificación puede incluir los datos requeridos por la orden. Si el emisor no recibe una verificación

30

dentro de 100 ms, se inicia una retransmisión de la orden de canal común. Generalmente, la retransmisión tiene lugar hasta un total de tres intentos de enviar la orden de canal común. Si la orden todavía no tiene éxito, se declara una
5 condición de fallo.

Refiriéndonos a la Fig. 11, un contador de 3-bits 1101 se incrementa en cada posición de bit de canal común sobre la vía CCC 324. Siempre que este contador alcanza una cuenta de 7 (o cada aparición de orden octava
10 el reloj de bit de canal común por el conductor CCC 324) se genera una señal de interrupción que pasa al CO-CTR por el conductor 308. En esta interrupción el controlador CO-CTR retiene el siguiente byte a ser enviado por el canal común, proporciona una señal de activación de escritura de canal
15 común por la vía 307 al registro de conversión de 8-bits 1106, y proporciona las señales correspondientes a los bits de este byte de orden en paralelo a este registro, almacenándolo en el mismo. Esto se controla también por las señales de reloj por la vía CCC 324. Si no hay posición de bit
20 de canal común que permite la aparición de una interrupción el bit más significativo del byte de orden de canal común en el registro de conversión se envía en los datos de canal común por el conductor CCD328. El registro de conversión cambia entonces al final de la posición del bit de canal
25 común en preparación del envío del siguiente bit en la próxima aparición del reloj de canal común. Cuando se está enviando el bit menos significativo de la orden de canal común, tiene lugar otra interrupción para requerir al CO-CTR que empiece a preparar el envío del siguiente byte de la orden
30 de canal común.

Emisor de Señalización D2 325 (Figura 10).

El CO-CTR en la central de la Fig. 3 funciona por medio de la Via de Datos 306, la Via de Dirección 309 y la Activación de Escritura 310, para escribir en el emisor de señalización D2 325 la información a ser enviada en las posiciones de bit A y B de señalización D2 para cada uno de los 24 canales de la Línea T1 a través de la vía DDD 326. Así, existen un total de 48 bits de señalización para ser cargados en el emisor por el CTR. Esto incluye un bit A y un bit B para cada uno de los 24 canales. El emisor de señalización D2 utiliza los conductores CH \neq 323, junto con el de selección A/B ABS 321 para identificar cual de estos bits 48 bits de señalización debería insertarse en cada posición de bit de señalización D2. La aparición de una posición de bit de señalización D2 se identifica porque el elemento LSBC pasa a bajo.

Refiriéndonos a la Fig. 10, una memoria de acceso aleatorio 1004 de 64x1 contiene los bits de señalización D2 a ser enviados por la línea T1. Esta memoria contiene un bit A y un bit B asociados con cada uno de los 24 canales. Así, solamente se utilizan las primeras 48 localizaciones de memoria (localizaciones de 0 a 47) en dicha memoria. Dos localizaciones de dirección consecutivas, tales como las localizaciones 0 y 1 designadas CHO en la Fig. 10, se utilizan para cada uno de los canales y contienen respectivamente los bits de señalización A y B para cada uno de los canales.

Durante cada posición de bit menos significativo de D2 indicado sobre el conductor LSBC 322 el selector de datos 1001 selecciona los terminales del número de canal CH \neq 323 y los terminales de selección A/B de D2 ABS

321 para suministrarlos como terminales de dirección 1002 a la memoria 1004. Esta lee el bit de señalización D2 apropiado de la memoria para ser enviado por el terminal de salida de datos D2 D2D 326 a la línea T1.

5 El CO-CTR tiene la posibilidad de escribir cualquier posición de bit en la memoria para cambiar el bit de señalización de D2 asociado con cada canal. El CO-CTR puede escribir en esta memoria durante cualquier momento excepto durante las posiciones del bit menos sig-
10 nificativo de D2.

El CO-CTR suministra la dirección deseada a la RAM a través de seis terminales de dirección 309, como se indica en la Fig. 3.

15 El valor (0 ó 1) a ser escrito en el bit direccionado se suministra por el terminal de datos 306.

Un impulso en el terminal de activación de escritura de D2 310 hace que se escriben los datos en la posición de bit direccionada. Si el CO-CTR
20 intenta escribir en la memoria durante una posición de bit LSB de D2, se inhibe la activación de escritura a la RAM a través de la puerta NAND 100 1003 y se suministra una señal de espera al CO-CTR a través del terminal de espera 311.

25 El CO-CTR espera entonces y completa la operación de escritura después de que haya desaparecido la señal de escritura.

Interface de Salida de T1 335 (Fig. 3A)

30 El circuit de Interface de Salida T1 proporciona simple-

mente una conversión convencional unipolar a bipolar para preparar los datos para su transmisión por la línea Tl.

5 El equipo de terminación de tramo STR proporciona también los cambios de nivel necesarios para transmitir la información por la línea Tl.

No ofrecemos más detalles del interface y la unidad de terminación de tramo, ya que son bien conocidos en esta técnica y no necesarios en el concepto de los principios del invento.

Interface de Entrada de Tl 217 (Fig 2B).

El circuito de Interface de Entrada de Tl 217 recibe la información de la línea Tl bipolar desde el STE de recepción. El Interface de Entrada de Tl proporciona la conversión convencional bipolar a unipolar del flujo de bit de entrada de datos de Tl.

El reloj de bit también se extrae por métodos que son bien conocidos en esta técnica del flujo de bits mediante este circuito y suministrados como RC-218 al conmutador de línea que incluye el Interface de Salida de Tl 210.

Circuito de Cuadro 221 (Fig. 2C).

La configuración de cuadro utilizada en el conmutador de línea se describe con más detalle en la última sección de la especificación.

Las entradas al circuito de configuración de cuadro son el flujo de datos de Tl y el reloj de bit.

Las salidas de los circuitos de configuración de cuadro son el reloj de cuadro por el

terminal FC 222 y el bit de modo de indicación fuera-de-cuadro por el terminal MB 223.

La salida del reloj de configuración de cuadro es baja durante cada posición de bit de configuración de cuadro en la línea T1. Esto tiene lugar cada posición de bit de orden 193 alterna. Este reloj identifica la posición de bit que porta la distribución 000111000111. El bit de modo por el terminal MB 223 indica que el circuito de configuración de cuadro está en el modo normal (en cuadro) o en el modo de búsqueda (fuera de cuadro).

Circuito de Decodificación de Reloj (Fig. 4).

Se utiliza el mismo circuito en el conmutador de línea (designado por 224 en la Fig. 2C) y en la central (designado por 347 en la Fig. 3B). Sin embargo, la salida BC 193 del mismo se utiliza en el conmutador de línea pero no en la central. Las salidas del circuito de conformación de cuadro, junto con el reloj de bit y T1-DI, se utilizan como entradas al circuito de decodificación del reloj. Las salidas del circuito de decodificación del reloj se describen como sigue respecto al circuito conmutador de línea y, en general, tienen funciones similares en relación con la central:

1. Terminal de reloj del bit de orden 193 (Formas de Onda D e I de la Fig. 13).

El Reloj de Bit de orden 193 es bajo durante cada posición de bit de orden 193 en el flujo de datos de entrada de la línea T1.

2. Terminal de Reloj de Canal común. (Forma de Onda C de la Fig. 13).

El Reloj de Canal Común en la vía 225 de la Fig. 2C es bajo durante las posiciones de bit de señalización de canal común.

Estas son las posiciones de bit de orden 193 alternas entre las posiciones de bit de configuración de cuadro. El reloj de canal común identifica el receptor/emisor de canal común 247 (Fig. 28) para recibir y enviar un bit de señalización de canal común. Siempre que este reloj sea bajo y está teniendo lugar el envío por el canal común, el selector de datos se conmuta 208 (Fig. 28) para seleccionar la salida del emisor de canal común.

3. Código de Reloj del Bit Menos Significativo de D2-LSBC
(Forma de Onda E de la Fig. 13).

El reloj LSBC es bajo en la vía 226 de la Fig. 2C durante la posición del bit menos significativo de cada uno de los 24 canales durante los cuadros de señalización D2. Este reloj identifica la posición de bit de los bits de señalización D2 en la línea T1. Se distribuye a cada circuito de línea, tal como el 201-0 (Fig. 14) en el conmutador de línea, y se utiliza por el circuito de línea durante su canal asignado (cuando su señal de comienzo de canal es baja). El reloj LSBC indica al circuito de línea durante su canal si se realiza o no la extracción e inserción de la señalización D2 durante la posición del bit en curso.

4. Código de Selección A/B ABS (Formas de Onda E en la Fig. 13).

El Código de Selección A/B se distribuye a través de la vía ABS 227 de la Fig. 2C a los circuitos de línea. Esta información se utiliza junto con el reloj LSBC por el circuito de línea asignado al canal en curso para determinar durante una posición de bit de D2 si tiene que insertarse o extraerse un bit A ó B. El código de Selección A/B es alto durante un cuadro de señalización A de D2 y bajo durante un cuadro de señalización B de D2.

5. Código de Reloj de Canal CHC (Código 229 en la Fig. 2C).

El Reloj de Canal cambia de alto a bajo al final de cada tiempo de canal (como se indica por la forma de onda M en la Fig. 13) y de bajo a alto en el centro de cada tiempo de canal. Se utiliza por la circuitería, incluyendo el Registro 236 en la Fig. 2A, asociado con la asignación de un circuito de línea a un canal a través de la memoria de asignación de canal 234 de la Fig. 2A.

6. Código de Número de Canal CH \neq (Forma de Onda L L de la Fig. 13).

Como se muestra en la Fig. 2, la vía CH \neq incluye cinco conductores que identifican el número de canal que se está recibiendo en ese momento en la línea T1. Esta información representada por la forma de onda L de la Fig. 13, se utiliza por la circuitería (incluyendo la memoria de asignación de canal 234 de la Fig. 2A) asociada con la asignación de una línea a un canal. El CH \neq se utiliza para direccionar secuencialmente la memoria de asignación de canal.

Refiriéndonos particularmente a la Fig. 4, para la generación de diversas señales, se utiliza un dispositivo montador, que comprende un contador binario de 4-bit 411, un contador de estado-12 de 4-bit 416, y dos flip-flops D 418 y 420, que forman un contador de estado 386. Los tres bits menos significativos, designados por 0, 1 y 2 del contador binario 411, identifican la posición de bit en el canal de conversación. Dos posiciones de bit de este contador (que es bajo para los bits 0-3 y alto para los bits 4-7 de un canal) pueden utilizarse directamente por el reloj de canal CHC. El bit más significativo del contador binario de cuatro-bit designado por 3, junto con las salidas del

contador de estado-12, identifican el número de canal (CH ≠) directamente. El contador binario de 4-bits, junto con el contador de estado-12, proporcionan la cuenta de 0 a 191 decimal. Cuando el contador de estado-12 se sobrepasa (aumentando de una cuenta 191 a 192), se activa el flip-flop 418. Esto indica una posición de bit de señalización de canal común. Durante esta posición de bit, se activa el flip-flop 418 y se libera el flip-flop 420. Esto conlleva que el código de reloj de canal común CCC sea bajo. En el centro de este tiempo de bit (en la cuenta 192) se activa el flip-flop 424.

El flip-flop 424 proporciona una señal de liberación al contador de estado-12 416 y al contador binario de 4-bits 411 para retener estos contadores en el estado cero a la aparición del reloj de bit aumentando a la cuenta 193. El único cambio que llega a una cuenta 193 es que el flip-flop 420 se active. Cuando este flip-flop está activado el reloj de canal común vuelve a ser alto. También, en el centro del tiempo de bit en una cuenta de 193, el flip-flop 424 se libera (ya que la entrada D es ahora "0"). Esto permite que los contadores 411 y 416 empiecen a aumentar nuevamente, empezando en el reloj de bit para aumentar al estado 194. Para las cuentas 194 a 384, los flip-flops 418 y 420 permanecen en el estado de 11. Durante estas cuentas, los contadores 418 y 420 continúan aumentando de una cuenta 1 a 191 de nuevo. Estos contadores están en una cuenta de 191 cuando la cuenta total ha alcanzado una cuenta de 384. En una cuenta de 384, el siguiente impulso de reloj de bit efectúa la reposición de los contadores 418 y 420 a cero aumentando a una cuenta de 385. En este momento, llega una

saturación al flip-flop 418 que libera este flip-flop. El flip-flop 420 está ahora activado. La entrada del conductor FC va ahora a bajo en una cuenta de 385. Un bajo en el terminal FC hace que el flip-flop 424 se active durante el centro de esta posición de bit que representa una cuenta de 385. Esto hace que el contador de estado-12 y el contador binario 416 se mantengan repuestos durante la aparición del reloj de bit en la siguiente posición de bit. También, el terminal FC bajo hace que el flip-flop 418 se libere para sincronizar el contador al reloj FC. Esto hace que todo el contador se reponga a la aparición del siguiente reloj de bit (flip-flop 420 liberado en este momento) lo cual vuelve el dispositivo de cuenta a una cuenta cero. Cuando el conductor FC va alto, el flip-flop 424 se libera en el centro del tiempo de bit para una cuenta de cero. Esto permite que los contadores binario y de estado-12 empiecen a aumentar de nuevo en subsiguientes relojes de bit. Todo el contador de decodificación forma así un contador de estado 386, que cuenta desde una cuenta de 0 a 384. Una representación de los diferentes estados de cuenta se muestra en la Fig. 4A. Esta figura muestra los valores lógicos de diferentes contadores flip-flops y conductores en el circuito contador de decodificación de reloj.

El multicircuito para la extracción del reloj D2 se muestra a la derecha de la Fig. 4. Este multicircuito incluye dos flip-flops D y las puertas lógicas asociadas. El flip-flop 404 muestrea el flujo de entrada de datos de T1 en el centro de cada posición de bit de cuadro. Así, el flip-flop 404 muestrea el valor de la distribución de identificación de la señalización D2. La salida del flip-flop

404 es la señal de selección A/B por la vía ABS.

El flip-flop 405 registra el valor en curso del flip-flop 404 al comienzo de cada posición de bit de canal común. De esta manera, los flip-flops 404 y 405 contienen diferentes valores solamente durante los cuadros de señalización D2. Así, las salidas de estos flip-flops se tratan a través de la puerta Exclusiva-OR 407 para formar una señal a la salida de la puerta Exclusiva-OR 407 que indica la presencia de un cuadro A ó B de D2 en el terminal 408.

La salida de esta puerta Exclusiva-OR se trata de modo AND con el reloj del bit menos significativo (conductor 413) para formar el CLK LSB de D2 en el conductor LSBC.

Cuando el circuito de configuración de cuadro indica una condición de fuera de cuadro en el terminal MB (bit de modo), esto mantiene los flip-flops 404 y 405 liberados para desconectar los relojes ABS y LSBC durante la condición de fuera de cuadro.

Receptor-Emisor de Canal Común 247 (Fig. 2B y Fig. 6).

El emisor-receptor de canal común 247 en el conmutador de línea de la Fig. 2B proporciona la función de enviar y recibir las órdenes de canal común en la Línea T1. Un bit de orden de canal común se recibe durante cada tiempo de bit para el cual el reloj de canal común por el terminal CCC 225 es bajo. El bit de canal común en este tiempo se recibe por la vía de Datos de Entrada de T1, 219. Cuando se ha reunido un byte de orden de canal común (8 bits) se interrumpe el controlador del conmutador de línea LS CTR 231 (Fig. 2A) por el conductor INT 246. El byte de orden de canal común se lee entonces por el LS CTR 231. Se recibe un byte de canal común por el emisor-receptor de canal común cada 2 milisegundos.

El LS CTR 231 ignora los bytes que representan los códigos de sincronización. Cuando no se recibe código de sincronización, el LS CTR 231 ahorra este byte de orden, junto con los bytes de orden subsiguientes, hasta que se encuentra el siguiente código de sincronización. En ese momento, el LS CTR 231 realiza una comprobación de suma en la orden. Si falla la suma de comprobación, la orden es ignorada. Si pasa la suma de comprobación se interpreta la orden. Si la orden está dirigida a este conmutador de línea, la misma se ejecuta. Esto incluye el tomar acción para enviar una verificación por el canal común con el emisor de canal común.

Cuando no está teniendo lugar el envío de canal común por este conmutador de línea, los bits de orden de canal común recibidos por el conmutador de línea se envían inmediatamente fuera de la línea T1. Este envío tiene lugar a través de los selectores de datos 206 y 208 en la Fig. 2B. Esto proporciona el envío de órdenes de canal común a otros conmutadores de línea en el bucle de T1 (si existen otros conmutadores en el bucle).

El envío de una orden de canal común por este conmutador de línea puede ser iniciada solamente mientras se están recibiendo los códigos de sincronización en la línea T1 por este LS. El envío empieza en el momento de una interrupción al LS CTR desde el emisor-receptor de canal común 247. En este momento el terminal de envío CCS 249 de CC está alto para iniciar el envío del canal común a través de la puerta AND 251. También un byte de canal común a ser enviado se carga en el emisor-receptor de canal común 247 desde el LS-CTR 231 por medio de los conductores DO 244 y CC-WE 243. Cuando el terminal 249 de CCS está alto, el selector de datos

208 de la Fig. 2B selecciona el terminal 248 de CCS durante el tiempo de bit de canal común. El emisor de canal común da salida entonces a un bit de canal común en cada aparición del reloj CC por el terminal 225 de COC. En interrupciones siguientes, el LS CTR 231 continua para cargar los bytes de canal común subsiguientes en el emisor de canal común. Después de haberse enviado la orden completa o verificación seguida por un código de sincronización, el terminal 249 de CCs se libera al estado lógico bajo.

10 Si se recibió una orden de canal común durante el período de tiempo en que se estaba enviando una orden de canal común o verificación, la orden de canal común recibida se almacena en el LS CTR 231. Después de que el LS CTR 231 completa el envío de la orden o verificación, la orden recibida puede enviarse por la línea T1 enviando esta orden recibida de la misma manera descrita anteriormente a través del emisor de canal común.

Como se puede ver más específicamente en la Fig. 6, para la recepción del canal común un fli-flop D 608 muestrea los datos de T1 en el centro de cada posición de bit. La salida de este flip-flop se muestrea solamente al final de cada posición de bit de canal común. La señal de reloj de canal común por el terminal CCC 225 se utiliza para cambiar este bit de canal común en un registro de conversión de 8-bits 610. Durante un período de 2ms se reúne un byte de orden de canal común completo en este registro de conversión empezando con el bit más significativo de la orden de canal común a través del bit menos significativo.

Un contador de 3-bits 601 se aumenta a la aparición de cada posición de bit de canal común por el

terminal CCC225. Cuando este contador alcanza una cuenta de 7 (esto es, cada octava posición de bit de canal común) se envía una orden de interrupción al LS CTR por la vía 246. Cuando se envía esta interrupción, que tiene lugar cada 2 ms o cada 16 cuadros, el LS CTR lee el registro de conversión de 8-bits a través de la vía 245 para leer el byte de orden de canal común reunido en los anteriores 2 ms. Si el byte recibido es un código de sincronización, se ignora por el LS CTR a no ser que el byte anterior recibido en la última interrupción fuera un código de no-sincronización. Si el byte anterior fue un código de no sincronización, este código de sincronismo marca el final de una orden de canal común. En este caso, el LS CTR realiza una prueba de suma de comprobación en todos los bytes recibidos en la orden de canal común.

Si falla la suma de comprobación, se ignora la orden. Si pasa la suma de comprobación, el LS CTR interpreta y ejecuta la orden y se aplica a este conmutador de línea. Si el byte leído en el registro de conversión de 8-bits en el momento de una interrupción es un código de no-sincronización, el LS CTR simplemente reúne el byte de la orden en un almacén de alimentación hasta que se recibe el siguiente código de sincronismo el cual marca el final de la orden.

Si el LS CTR recibe el mismo byte de orden repetidamente (pongamos cinco veces en una fila) el LS CTR realizar un procedimiento de resincronización. La recepción repetida del mismo byte indica una probabilidad de que la interrupción no está ocurriendo en las posiciones de bit de canal común 1-de-8 correctas. Así el byte que se está leyendo

repetidamente es probablemente una versión repetida del código de sincronización. En este caso, el LS CTR puede determinar el número de posiciones de bit que el byte leído ha rotado desde el código de sincronización correcto. A partir de esto, el LS CTR puede determinar el valor apropiado a cargar en el contador de 3-bits 601 para obtener la sincronización correcta. El LS CTR carga este valor en el contador de 3-bits 601 a través del DO 244 y el RECWE 242.

En una interrupción, después de que el CTR ha leído el registro de conversión de 8-bits 610, el LS CTR determina si ha de tener lugar el envío de cualquier orden de canal común. Si no ha de tener lugar ningún envío, no se requiere ninguna otra acción asociada con el envío por el LS CTR. En este caso, el terminal CCS-249 está bajo por lo que los bits de orden de canal común recibidos por la línea T1 se encaminen directamente fuera de la línea T1. El envío de la orden de canal común por el LS CTR puede iniciarse solamente si justamente se ha recibido un código de sincronización. Entonces, para empezar a enviar la orden de canal común, el LS CTR carga el primer byte de la orden en el registro de conversión de 8-bits 610 a través de la vía 244. El LS CTR activa también el flip-flop D 607 por el terminal Send WE 241 para situar el terminal CCS 249 en el lógico 1. El byte de orden envía entonces por la línea T1 durante las siguientes ocho posiciones de bit de canal común. Los bits de canal común recibidos en la línea T1 por la vía T1-D1 219 se convierten en el registro de conversión 610 como los bits de canal común que se están enviando por la vía CCD 248 se convierten fuera del registro de conversión de 8-bits. En cada interrupción consecutiva, los restantes bytes de la

orden que se está enviando se cargan en el registro de conversión de 8-bits seguidos por una suma de comprobación y luego por el código de sincronización. En la interrupción que sigue al envío del código de sincronización, el bit CCS del flip-flop 607 se libera a no ser que se envíe inmediatamente otra orden.

Si se recibe cualquier código de no-sincronización en la línea T1 mientras que se está enviando una orden de canal común, los bytes de la orden de canal común recibidos deben ser enviados por la línea T1 en caso de que vayan dirigidos a otros conmutador de línea. De esta manera, después de que el LS CTR haya completado el envío de la orden en curso seguido del código de sincronización, el LS CTR procede al envío de los bytes de la orden que se recibieron. Así, el LS CTR almacena y envía las órdenes de canal común que se reciben mientras está en el proceso de enviar una orden de canal común.

LS CTR 231. El LS CTR 231 de la Fig. 2A reúne, interpreta y ejecuta las órdenes de canal común. También conforma e inicia las verificaciones de envío que siguen a la recepción de la orden de canal común. El LS CTR 231 inicia el envío de la orden de canal común cuando es necesario, tal como la siguiente detección de una nueva captura de línea o una condición de fallo. El circuito de configuración de cuadro 221 de la Fig. 2C indica una condición de fuera de cuadro al LS CTR 231 por medio del bit de modo del circuito de configuración de cuadro por el terminal MB 223. Si este bit de modo indica el modo de búsqueda, existe una condición de fuera de cuadro. En este caso, el LS CTR 231 ignora las órdenes de canal común hasta que se haya recibido la reconfi-

guración de cuadro. Las órdenes interpretadas por el LS CTR 231 incluyen funciones tales como: asignar una línea de abonado a un canal, reponer una línea de abonado de un canal requerir la llamada a una línea, requerir la prueba de una línea, requerir el control del pago, requerir las funciones de mantenimiento, y requerir una prueba parcial. El LS CTR 231 realiza las funciones necesarias para realizar estas órdenes.

Memoria de Asignación de Canal 234.

10 La memoria de asignación de canal 234 de la Fig. 2A se utiliza para asignar una línea de abonado a un canal. Esta memoria contiene una palabra por cada canal de la línea T1, en un total de 24 palabras. Cada una de estas palabras contiene un bit de libre/ocupado (B/I) que indica si o no el canal asociado está ocupado. Cada palabra contiene también un campo de número de línea. Si el canal asociado está ocupado, el campo del número de línea indica la línea que emplea el canal asociado. El conmutador de línea puede contener hasta 320 líneas. Así el campo del número de línea es una entrada de 9-bits. La memoria de asignación de canal se actualiza por el LS CTR 231 en respuesta a las órdenes de canal común para asignar una línea a un canal o reponer una línea de un canal. El registro 236 (Fig. 2A) asociado con la memoria de asignación de canal 234 por la vía designada por LINEA 25 \neq 235 se carga al final de cada tiempo de canal bajo el control de la transición alto-a-bajo de CHC 229 del terminal de reloj de canal del circuito de decodificación de reloj 224 de la Fig. 2C. La dirección del canal que se lee en la memoria de asignación de canal en este momento se aplica por los terminales del número de canal CH \neq 228 del 30

circuito de decodificación del reloj 224. El registro se carga con el número de línea asignado al siguiente canal. Así la dirección en la memoria de asignación de canal debe ser de uno menos que el número de canal al que la línea ha de ser asignada. Por ejemplo, para asignar una línea al número de canal 5, el número de línea debe ser introducido en la localización de dirección 4 en la memoria de asignación de canal. Para asignar una línea al canal 0, el número de línea debe introducirse en la localización de dirección 23 en la memoria de asignación de canal.

El número de línea en el registro 236 se aplica al decodificador 220 de la Fig. 2A por la vía LINEA # 240 que incluye nueve terminales para nueve bits. En una realización real este decodificador decodifica 9 bits para seleccionar uno de los 320 circuitos de línea durante un canal ocupado. Ya que este decodificador es realmente grande, se construye actualmente en varias etapas, pero por razones de simplicidad se representa como un bloque. Este decodificador se activa durante los 8 bits de conversación para todos los canales ocupados y se desactiva durante la posición del bit de orden 193 en la línea T1. El decodificador, cuando está activado, proporciona un lógico 0 en un terminal de comienzo de canal del grupo 220-0 a 220-N al circuito de línea asignado al canal en curso. Esto activa el circuito de línea seleccionado para enviar y recibir los bits de conversación codificados a y desde la línea T1 asociada, observándose que la vía 240 del registro 236 controla también el selector de datos 204. En una realización real, existirán dos líneas T1 conectadas a cada conmutador de línea. Así todos los multicircuitos mostrados en la Fig. 2 para el LS estarán

duplicados. La ocupación separada se suministraría desde el multicircuito para la otra línea T1 a todos los circuitos de línea.

Recepción y Emisión D2 en el Conmutador de Línea.

5 El envío y recepción de la señalización D2 en el conmutador de línea se realiza por los circuitos de línea (ver Fig. 14). Como se mencionó anteriormente, el terminal de comienzo de canal designado por ACTIVACION a un conmutador de línea es bajo para 8 tiempos de bit durante su canal asignado. Mientras
10 el terminal de comienzo de canal (ACTIVACION) está bajo, el circuito de línea recibe normalmente 8 bits de conversación por el terminal T1-D1 219 de la Fig. 2A y simultáneamente da salida a 8 bits de conversación por el terminal LC-DO tal como 202-0 de la Fig. 2A. El selector de datos 204 mostrado
15 en la Fig. 2A selecciona la salida del codec del circuito de línea apropiado para devolver los datos de conversación a la salida de la línea T1. El reloj LSB de D2 por el terminal LSBC 226 del circuito de decodificación de reloj 224 en la Figl 2C es bajo durante el tiempo del bit menos signifi-
20 cativo de los 24 canales durante los cuadros de señalización D2. Este reloj se aplica a todos los circuitos de línea según se indica por el signo múltiple en la Figl 2C. Para el circuito de línea asignado al canal en curso (esto es, cuando el terminal de comienzo de canal (ACTIVADO) es bajo),
25 un bajo en el reloj LSB de D2 indica que la posición de bit en curso es el bit de señalización D2. El terminal de selección A/B de D2 designado ABS 227, multiplica también a todos los circuitos de línea, e indica si este bit es un bit de señalización A o un bit de señalización B. Durante esta po-
30 sición de bit, la información de señalización D2 se aplica

al terminal del circuito de línea LC-D0 tal como 220-0 del
circuito en lugar de el bit menos significativo del codifi-
cador de conversación. Para ciertos circuitos de línea, por
ejemplo aquellos conectados a aparatos telefónicos normales,
5 la información de señalización D2 suministrada durante esta
posición de bit es simplemente la salida del circuito detec-
tor del conmutador de gancho del circuito de línea. Esto in-
dica la condición de colgado o descolgado del "gancho conmu-
tado" encontrada en el control 1410 de la Fig. 14. Esta
10 información del estado del gancho conmutador se suministra
independientemente de si es un cuadro de señalización A ó B
esto es, en ambos bits.

Para las condiciones del circuito de línea en que
sea necesario hacer una distinción entre una información de
15 señalización A y B, el terminal de selección A/B de D2 ABS
227 identifica si este es un bit de señalización A ó B. En
tales situaciones, este terminal puede seleccionar si inser-
tar la información de señalización A ó B durante una posición
de bit de señalización D2 para el circuito de línea sginado
20 al canal en curso. Por ejemplo, en un circuito de línea
para aplicaciones PABX, uno de los bits de señalización
indica en cierre del bucle y el otro bit indica tierra.

Para los circuitos de línea conectados a aparatos
telefónicos normales la información de señalización D2 no
25 se recibe por el circuito de línea. Para los circuitos de
línea conectados a instrumentos o circuitos de entrada que
requieran información de señalización D2 desde la central,
la información de señalización D2 se recibiría en el ter-
minal 219 de T1-DI el circuito de línea durante una posición
30 de bit de señalización D2 para el circuito de línea asignado

al canal en curso. Durante las posiciones de bit de señalización D2, esto es, con las vías LSBC y Activada excitadas en la Fig. 14 la información en el terminal del circuito de línea T1-DI se carga en los flip-flops de recepción de la
5 señalización D2 1427 y 1428 de un modo apropiado. Esto tiene lugar durante una posición de bit menos significativo durante cada sexto cuarto. En estos circuitos de línea especiales si tiene que hacerse una distinción entre los bits de señalización A y B el terminal de selección A/B de D2 ABS 227
10 puede utilizarse para indicar si los bits de señalización D2 recibidos en el terminal de T1-DI tienen que ser retenidos en el flip-flop de recepción de señalización A o B 1427 o 1428, respectivamente, del circuito de línea.

Interface de Salida de T1 (Fig. 2B). El interface de salida
15 210, proporciona la conversión unipolar a bipolar para preparar los datos a ser enviados fuera de la línea T1 del conmutador de línea a través del equipo de terminación de tramo STE 212. El terminal de reloj de bit BC 218 de T1 INT 217 proporciona un reloj de bit para los bits de alineamiento
20 fuera del Interface de Salida de T1 210.

Interface de Entrada de T1 341 (Fig. 3B).

El interface de Entrada de T1 341 proporciona conversión bipolar de la información recibida del equipo de terminación de tramo de entrada STE 339 y proporciona también el alineamiento de bit del flujo de datos de la línea T1 de entrada
25 con el reloj de bit de la central por el terminal BC 301.

Circuito de Configuración de Cuadro 344 (Fig. 3B).

Las entradas al circuito de configuración de cuadro son el flujo de datos de entrada a T1, T1-DI y el reloj de bit de
30 la central BC 345. Las salidas del circuito de configuración

de cuadro son el reloj de cuadro (Fig. 13B) por la vía FC 345 y el bit de modo por la vía MB 346. El bit de modo proporciona una indicación de modo normal o modo de búsqueda (indicación de fuera de cuadro). La indicación de fuera de cuadro notifica al CO CTR 305 para que ignore la información de señalización durante una condición de fuera de cuadro.

Circuito de Alineación de Cuadro 343 (Fig. 3B).

El circuito de alineación de cuadro 343 proporciona un retardo del flujo de entrada de datos de T1 para alinearlos con el reloj del bit de orden 193 de la central. Esto se consigue con un almacenaje elástico en el circuito de alineamiento.

Las entradas al circuito de alineamiento de cuadro son el reloj de cuadro del circuito de configuración de cuadro por la vía FC 345, el flujo de entrada de datos a T1 alineado en bits por la vía T1-D1, el reloj de bit por la vía BC 301, y el reloj de bit de orden 193 por la vía 193 BC 302 asociada con la central. El reloj de cuadro del circuito de configuración de cuadro 344 no está normalmente alineado con el reloj del bit de orden 193 de la central, El circuito de alineación de cuadro retarda el flujo de bits de entrada hasta que la posición del bit de configuración de cuadro está alineada con el reloj de bit de orden 193 de la central. La salida del circuito de alineamiento de cuadro es el flujo de entrada de datos a T1 alineados en cuadros en la vía 304.

Receptor de Canal Común 352 (Fig. 8).

El circuito receptor de canal común 352 recibe un bit de canal común durante las posiciones de bit cuando el reloj de canal común por el terminal 351 está bajo. El bit de canal común se recibe de la información de entrada de datos de T1 por la vía T1-DI 342. El receptor realiza el alineamiento

de byte de canal común detectando los códigos de sincronización. Se reúnen, en un byte a la vez, en el receptor de canal común, los códigos de no-sincronización y el primer código de sincronización que sigue inmediatamente a una orden, el cual se utiliza para terminar la orden. Estos bytes de orden de canal común pueden leerse y reunirse por el CO CTR 305. Las órdenes de canal común reunidas se interpretan y ejecutan por un nivel de control más elevado, esto es, por PRO 370 en la Fig. 2. Este circuito funciona de una manera similar a la porción de recepción del emisor-receptor de canal común en el conmutador de línea. Las órdenes de canal común se reúnen de una manera similar. También la resincronización se realiza de la misma manera que en el conmutador de línea si se determina que se ha perdido la sincronización. El CO-CTR 305 contiene un microprocesador que se utiliza para controlar el envío y recepción de la señalización sobre la línea T1 y puede compartirse por diferentes líneas de T1 si es suficiente el tiempo real.

Receptor de Señalización D2 360 (Fig. 7).

El receptor de señalización D2 360 reúne y almacena los bits de señalización A y B de D2 asociados con cada uno de las 24 canales de la línea T1. Así almacena un total de 48 bits de señalización D2. La presencia de un bit de señalización D2 está indicada por el reloj LSBC por el terminal 349. El número de canal en ese momento se indica por los terminales de número de canal en la vía 350 de CH \neq . Si este es un bit de señalización A ó B viene indicado por el terminal de selección A/B de D2 ABS 348. Este terminal junto con los terminales CH \neq indica a cual de los 48 bits de almacenaje debe almacenarse en el receptor de señalización D2 el bit

de señalización D2 en curso. El bit de señalización D2 se recibe en el flujo de entrada de datos de T1 por la vía T1-DI. El CO-CTR 305 lee periódicamente el estado de cada uno de estos 48 bits de señalización D2.

5 Más concretamente, los bits de señalización D2 recibidos en la línea T1 se escriben en la RAM 64xl designada por 705 en la Fig. 7. El formato para escribir los bits en esta RAM es idéntico al utilizado para el smisor de señalización D2. Los datos de entrada a T1 se muestrean en el
10 centro de cada posición de bit por el flip-flop D, 706. La salida de este flip-flop D suministra el bit A ó B de la señalización D2 al terminal de entrada de datos a la RAM durante la posición del bit de señalización D2. Durante las
15 posiciones de bit de señalización D2, se suministra la dirección apropiada por el selector de datos 701 a la RAM 705 por la vía 710 del número de canal por la vía CH \neq 350 y la selección A/B de D2 por el terminal ABS-348 del circuito de decodificación del reloj. Se aplica una activación de escritura a la RAM por la vía 711 durante la segunda mitad de la posición
20 de bit de señalización D2. Esto hace que el bit de señalización se escriba en la localización apropiada a la RAM. El CO CTR 305 puede leer cualquier bit de señalización de la RAM en cualquier momento excepto durante las posiciones de bit de señalización D2. El CO CTR 305 suministra la dirección
25 del bit de la RAM a ser leído por seis terminales de dirección de la vía 316. El bit leído en la RAM se devuelve al CO CTR 305 por el terminal 315 de DATOS de D2. Si el CO CTR 305 intenta leer la RAM durante una posición de bit de señalización D2, se suministra una señal de ESPERA por la vía 317 al
30 CO CTR 305 por el terminal LSBC 349. El CO CTR 305 se retra-

sa entonces hasta que desaparece la señal de espera antes de completar la operación de lectura. El CO CTR 305 puede entonces explorar periódicamente los 48 bits de señalización de la RAM. El CO CTR 305 puede también controlar los cambios de estado en cualquiera de los bits de señalización y realizar el filtraje de estos cambios de estado. Si se detecta un cambio de estado y persiste en lo que dura el filtraje, el CO CTR 305 reporta el cambio a un nivel de control más elevado en la central, esto es, al PRO 371.

Refiriéndonos nuevamente a la Fig. 3 puede apreciarse por las personas familiarizadas en esta técnica que el PRO 371 puede conectar una pluralidad de CO CTR para cooperar con diferentes líneas T1; y que la Matriz de Conmutación Digital puede acomodar diversas líneas T1.

15 Círculo de Línea 201-0 (Figs. 2, 3 y 14).

Pueden escribirse y leerse hasta ocho bits de estado en un circuito de línea, tal como el 201-0 de la Fig. 2A, por el controlador del conmutador de línea LS CTR 231, que puede ser un microprocesador. Para direccionar estos bits de estado, el LS CTR 231 suministra la dirección del número de línea por la vía 268 en el terminal 262 y la dirección del número de bit por el terminal 266.

Para escribir un bit de estado, el decodificador 264 en la Fig. 2A selecciona el circuito de línea apropiado por un terminal de activación de escritura tal como el WE 264-0. El LS CTR 231 suministra los datos a ser escritos en el bit de estado por el terminal 267 de DATOS. Cuando se han fijado los datos y direcciones por las vías 262 y 266, el LS CTR 231 suministra un impulso negativo en el terminal de activación de escritura WE 265. Este suministra una acti-

vación de escritura por la vía tal como la WE 264-0 al circuito de línea seleccionado que escribe el bit de datos en el terminal 267 en el bit de estado seleccionado de un latch direccionable de 8-bits 1419, mostrado en la Fig. 14. El bus de dirección de tres bits 266 a la tarjeta de línea selecciona uno de los bits de estado en el latch direccionable 1419.

Para leer los bits de estado, el LS CTR 231 suministra también la dirección del bit de estado a ser leído por los terminales 262 y 266 de la Fig. 2A. El bit de estado seleccionado y direccionado a través de los terminales 266 se direcciona en todos los circuitos de línea como se indica por el signo múltiple en la Fig. 2A. El bit de estado seleccionado se presenta entonces en la salida de un selector de datos 1417 (Fig. 14) a los terminales tales como 260-0. La línea apropiada que se está leyendo se selecciona entonces por el selector de datos 260 (Fig. 2A) para presentar el bit de estado seleccionado al LS CTR 231 por el terminal 261. Así el LS CTR 231 puede escribir o leer directamente cualquier bit de estado con instrucciones de escritura y lectura. Uno de los bits de estado que puede leerse por el LS CTR 231 es la señal para detectar una nueva captura. La señal de nueva captura se lee a través del terminal 1416 en el circuito de línea de la Fig. 14. Normalmente, esta señal de nueva captura es un cierre de bucle para tarjetas de línea normales para la conexión a aparatos telefónicos normales, por ejemplo. En ciertos tipos especiales de tarjetas de línea tal como líneas PBX, la señal de nueva captura podría ser alternativamente una tierra.

Los siete bits de estado restantes que se pueden leer por el LS CTR 231 son bits de estado del latch di-

reccionable 1419 que también se pueden escribir desde el LS CTR 231. Estos bits de estado pueden incluir, por ejemplo un bit de estado para el funcionamiento de un relé de llamada, para el funcionamiento de un relé de prueba y para la información de libre/ocupado (B/I).

Para detectar las nuevas capturas de líneas, el LS CTR 231 explora continuamente el terminal de nuevas capturas 1416. Para explorar un circuito de línea en particular el LS CTR sitúa la dirección del circuito de línea en la vía 262 y la dirección del bit de estado detector del "gnacho conmutador" en la vía 266. Si este bit de estado indica un descolgado, el LS CTR 231 debe comprobar además el bit de estado de libre/ocupado (B/I) para determinar si esta es una nueva captura. Para hacer esto, el controlador del conmutador de línea 231 sitúa la misma dirección de línea en los terminales 262 al selector de datos 260 y la dirección de bit del bit de estado de libre/ocupado B/I en los terminales 266. Esto hace que el controlador del conmutador de línea lea el bit de estado B/I. Si ésta es una nueva captura, el bit de estado B/I indica una condición de libre. En este caso la línea está descolgada y libre. Si no es una nueva captura, el bit de estado B/I indica una condición de ocupado. Esto indica que la línea asociada está descolgada y ocupada, esto es, una línea ya en conversación o una línea para la que se ha detectado ya una nueva captura.

Cuando se detecta una nueva captura por el LS CTR 231, se activa el bit de B/I para esta línea. Esto se realiza escribiendo un 1 en este bit de estado mediante la presentación de los datos por el terminal 267 (poniendo este terminal en 1). La dirección de la línea y la dirección del

bit de estado se sitúan en los terminales 262 y 266 y la activación de escritura se activa a 265 y a través del decodificador 264 al terminal 264-0, después de haber sido establecidas otras señales, para realizar la escritura en el bit de B/I. El LS CTR 231 procede entonces a enviar una nueva orden de canal común de nueva captura a través del emisor de canal común en 247 de la Fig. 2B. Esta orden de canal común, que incluye la identidad del número de línea de la línea con una nueva captura, se emite en forma de impulsos por 247, y se recibe por el receptor de canal común 352 (Fig. 3B). La central, a la recepción de la orden de canal común, la interpreta. Esta interpretación de la orden se realiza principalmente por un nivel de control más elevado (tal como el PRO 371) que el CO CTR 231. La central captura un canal libre en la línea de Tl asociada y forma luego una verificación de orden de canal común para ser enviada en la línea Tl para asignar la línea asociada a este canal libre de la línea Tl capturado. Esta verificación de orden de canal común se presenta al CO CTR 231 que, junto con el emisor de canal común 327, envía la asignación de canal/verificación de canal común al conmutador de línea. Esta verificación de canal común se recibe por el circuito 247 junto con el LS CTR 231. Cuando el LS CTR 231 recibe la orden entera, interpreta y ejecuta esta orden de verificación de asignación de canal, efectuando la asignación del número de línea en la dirección del canal en la memoria de asignación de canal 234. El bit de B/I en la memoria de asignación de canal que corresponde a este canal también se activa por el LS CTR 231. En este momento, el circuito de línea está asignado al canal asociado. Los ocho bits de conversación del codificador

1406 (Fig. 14) están entonces presentes a través del selector de datos 1408 (Fig. 14) en la vía 202-0 del LC-DO y eventualmente en T1-DO durante su tiempo de canal. Una vez que ha sido establecida esta vía de conversación MIC puede devolverse tono de marcar desde la matriz de conmutación digital 373 en la central por el canal asignado al abonado.

También, durante el bit menos significativo en los cuadros sexto y duodécimo, pueden insertarse los bits de señalización D2 en la posición del bit de conversación menos significativo en lugar de en la salida del codificador por el selector de datos 1408. En la mayoría de los circuitos de línea se inserta el estado del detector del gancho conmutador tanto en la posición del bit A como en la del B.

Una vez que se ha introducido el número de línea en la memoria de asignación de canal 234, este canal ya no se pone en bucle de la entrada de datos de T1 219 a la salida de datos de T1 209. En su lugar, la entrada de datos de T1 se aplica al decodificador, tal como el 1433 en la Fig. 14 y a los flip-flops de señalización D2, tales como 1427 y 1428, en el circuito de línea. La salida de datos de T1 se aplica también desde el codificador, tal como el 1406 como los bits de señalización D2 y MIC desde el control, tal como el 1410. De los circuitos de línea conectados a los teléfonos normales, los bits de señalización D2 en las posiciones de bits A y B son simplemente el estado de gancho conmutador. Así, a continuación de una nueva captura de línea después de que el canal haya sido asignado en la memoria de asignación de canal 234, los bits A y B cambian en la salida de datos de T1 209 para este canal de 0 (dado que estaban en la condición de bucle) a 1 dado que se están sumi-

nistrando desde el control 1410. Estos bits son ahora unos ya que la línea está ahora descolgada. Esta condición de unos en los bits A y B continuará en la línea T1 a la central y se recibirá en las localizaciones de la memoria A y B que corresponden a este canal en el receptor de señal D2, 360. El CO CTR 305, al explorar los bits de señalización D2 en el circuito 360 (Fig. 3B) detectará el cambio de estado (un cambio estable de estado) para estos bits de señalización D2 y reportará este cambio a descolgado en este canal al procesario PRO 371. Esta es una verificación de que la línea ha sido asignada con éxito al canal y está todavía en descolgado. Esto permite que los impulsos de disco por medio de los bits A y B de D2 se transmitan desde el circuito de línea al circuito receptor de señalización D2 360. También los bits de señalización D2 pueden enviarse desde el emisor de señalización D2 325 al circuito de línea asignado al canal asociado a los flip-flops 1427 y 1428 en el circuito de línea. Esta característica de enviar la señalización D2 al circuito de línea se utiliza solamente en tipos especiales de circuitos de línea para usar con líneas de PBX en donde un bit, tal como el bit A, puede indicar una requisición para la inversión de batería en la línea; y otro bit tal como el bit B, puede indicar la situación de una tierra en un lado de la línea.

En este punto, debe observarse que el selector de datos 1408 en la Fig. 14, que puede ser de un tipo comercial, tiene cuatro entradas seleccionables por combinaciones de señales sobre los terminales LSBC 226 y ABS 227. Dos de estas entradas están unidas como se muestran en la vía 1407 para prolongar el codificador 1406 al selector de datos 1408 y

hace el codificador seleccionable por dos de estas combinaciones de código.

Por medio de los impulsos LSBC y ABS, la selección tiene lugar como sigue, extendiéndose la entrada(s) seleccionada(s) a través del selector de datos 1408 a su terminal de salida LC-DO 202-0:

	LSBC	ABS	Selección
	1	1	Codificador 1407
	1	0	
10	0	1	Control 1410 D2 A
	0	0	Control 1410 D2 B

Para líneas conectadas a teléfonos normales, el control 1410 da salida a niveles de señal A y B idénticos que responden a impulsos de disco, después de los cual esta señales se convierten en señales de colgado y descolgado A y B de D2 que comprenden los lógicos 0 y 1, por medio de los impulsos en los terminales LSBC y ABS para la transmisión; al receptor de señal D2 360, convirtiéndose allí en una tira de 0 para un período de apertura de un impulso de disco, y una tira de 1 para el período de trabajo.

Descripción del Circuito de Configuración de Cuadro

Nos referiremos aquí al circuito de configuración de cuadro 221 (Fig. 2C) en el circuito conmutador de línea y al circuito de configuración de cuadro 344 (Fig. 3B) en la central. En las Figs. 5 a 5E se encuentran diagramas esquemáticos más detallados y diagramas de estado para cada uno de tales circuitos, y seguidamente ofrecemos una descripción más detallada de los mismos.

El circuito de configuración de cuadro proporciona detección de violación (detección de pérdida de sincronización;

de cuadro) y reconfiguración de cuadro en la distribución 000111 de repetición, asociada con el bit de orden 193 de los cuadros pares, sin perturbar la identificación del cuadro sexto y duodécimo normal para fines de señalización A, B de D2, liberando así el bit de orden 193 de los cuadros impares para la señalización de canal común de cuatro-kilobits por segundo, la reconfiguración de cuadro se consigue sobre el promedio en menos de 6 milisegundos, Ya que la distribución de configuración de cuadro 000111 se repite solo cada doce cuadros, se inventó un nuevo tipo de circuito de configuración de cuadro para cumplir los requerimientos de la temporización de recuadro. El circuito necesita solamente doce pastillas de circuitos integrados disponibles comercialmente.

El circuito de configuración de cuadro funciona en dos modos: en el modo normal cuando se obtiene la sincronización de cuadro, y en el modo de búsqueda cuando está fuera de sincronismo pero en la búsqueda de sincronización.

El circuito de configuración de cuadro del ejemplo de la Fig. 5 incluye una memoria histórica 507 constituida por tres memorias de acceso aleatorio, RAM 1, 2 y 3. Como el flujo continuo de bits que comprende los cuadros llega por la vía T1-DI, los bits de los dos primeros cuadros se almacenan bit-a-bit en las localizaciones de la memoria 0-385 de la RAM 1, Como cada uno de estos bits se almacena en la RAM 1, el correspondiente bit que estaba en la RAM 1 se transfiere a la RAM 2, y el correspondiente bit que estaba en la RAM 2 se transfiere a la RAM 3, suplantando al bit que estaba en la RAM 3. Este proceso es continuo si el circuito de configuración de cuadro está en el modo normal o en el modo de búsqueda. Así, cada RAM de la memoria histórica al-

macena bits de dos cuadros sucesivos, por lo que la memoria histórica 507 actúa en realidad, como un registro de conversión para cada una de las 386 potenciales posiciones de bit de cuadro. Así cada posición de las tres RAM proporciona una historia de los tres últimos bits en cuadros alternos.

En la prueba y control de cualquier posición de bit, el circuito de configuración de cuadro, por medio de detector de violación 510, controla efectivamente los tres bits en la memoria histórica y el bit de entrada en curso en el T1-DI. En el modo normal, solamente se prueba la posición de bit de configuración de cuadro, esto es, la posición de bit 385. En el modo de búsqueda, se prueban todas las posiciones de bit 0-385.

Las razones para controlar cuatro bits de una posición de bit dada son las siguientes. Debido a que la distribución de configuración de cuadro es 000111000..... es necesario examinar tres muestras previas de la posición de bit particular junto con la muestra en curso para determinar si o no está presente una condición de fuera de cuadro (violación). Las posibilidades de combinación válidas son las seis siguientes:

0001

0011

0111

25 1110

1100

1000

Las otras diez combinaciones de cuatro bits son combinaciones no válidas.

30 Así, al controlar la posición de bit de configura-

ción de cuadro 385 en el modo normal, si se encuentra una de las seis combinaciones válidas, se supone una condición en-cuadro. Una transición al modo de búsqueda se realiza solamente si falla un número predeterminado de comprobaciones de control, impidiendo así las transferencias debidas a condiciones de errores transitorios.

También, al comprobar las 386 posiciones de bits 0 - 385 en el modo de búsqueda se espera que solamente una de las 386 posiciones pueda exhibir continuamente una combinación válida. Solamente después de que esta combinación válida permanece en una y solamente una posición de bit y persiste luego durante un número predeterminado de comprobaciones, se trata de una transición que vuelve al modo normal efectuado. En los circuitos de configuración de cuadro convencionales si una posición de bit de datos contiene la distribución de configuración de cuadro durante el modo de búsqueda durante un período de tiempo que exceda la comprobación del nivel de confianza, puede ocurrir una configuración de cuadro falsa.

Más concretamente, seguidamente describimos varios elementos del circuito de configuración de cuadro de la Fig. 5.

1. Contador de Cuadro 503.

Cuando el circuito de configuración de cuadro está en el modo normal, se utiliza el contador de cuadro de 9-bit para identificar la posición de bit de configuración de cuadro. Este contador se pone a cero en el impulso de reloj de bit después de haberse alcanzado una cuenta de 385. Así, el contador recicla cada 386 bits contando de 0 a 385. Una cuenta de 385 indica que está presente la posición de bit de confi-

guración de cuadro. El contador de cuadro identifica también las direcciones en las memorias históricas para usar en el modo de búsqueda. Las direcciones 0 a 385 en las memorias históricas se utilizan para almacenar información para todas las potenciales posiciones de bit de configuración de cuadro.

2. Memoria Histórica 507.

Como se mencionó anteriormente la memoria histórica está constituida por tres RAM. Esta memoria se utiliza durante el modo de búsqueda para almacenar las tres búsquedas previas asociadas con cada una de las 386 potenciales posiciones de bit de configuración de cuadro. La memoria histórica está direccionada por el contador de cuadro de 9-bit para proporcionar una dirección diferente para cada una de las 386 posiciones de bit. La memoria histórica se lee durante la primera mitad de cada tiempo de bit (ver Fig. 5C) y se escribe durante la segunda mitad de cada tiempo de bit. La información leída en la memoria histórica, junto con el bit de datos de T1 en curso, se utilizan para comprobar una violación de cuadro en esta posición de bit.

20 Cuando se escribe la memoria histórica en la segunda mitad del tiempo de bit, los dos bits menos significativos leídos en la memoria histórica se escriben en las dos posiciones de bits más significativos. El bit de datos de T1 en curso se escribe en la posición de bit menos significativo de la memoria histórica, siendo almacenada esta información en el registro de 3-bit antes de ser escrita en la memoria histórica. Este actualiza esta entrada en la memoria histórica para la siguiente aparición de esta posición de bit (último de los 386 bits). En el modo normal, solamente interesa la dirección 385 de la memoria histórica. Esta localiza-

ción contiene la información histórica asociada con el bit de configuración de cuadro en curso. Esta información se utiliza para comprobar las violaciones de cuadro en la posición de bit de configuración de cuadro en curso.

5 3. Memoria Histórica de Violación 512.

La memoria histórica de violación 512 está constituida por una RAM de 1Kx1. Esta memoria se direcciona por el contador de cuadro de 9-bit 503 para proporcionar una dirección diferente para cada una de las 386 potenciales posiciones de bit de configuración de cuadro en el modo de búsqueda. Solamente se utilizan las localizaciones direccionadas como 0 a 385 en la memoria histórica de violación. Esta memoria se lee durante la primera mitad de cada tiempo de bit y se escribe durante la segunda mitad de cada tiempo de bit. Una posición de bit en esta memoria contiene una "0" en el modo de búsqueda solamente si ha ocurrido ya una violación de cuadro para la posición del bit asociado desde que empezó la búsqueda. En el modo normal, esta memoria se carga continuamente con 1 (unos).

20 4. Detector de Violación 510. El Detector de violación 510 se utiliza para comprobar la violación de cuadro en la posición del bit en curso. El circuito comprueba el bit de datos de T1 en curso junto con las tres muestras anteriores de este bit leídas en la memoria histórica. Como se describió anteriormente, existen seis códigos de 4-bits que utilizan los cuatro bits que representan las distribuciones de configuración de cuadro válidas. Los otros diez posibles códigos de 4-bit representan violaciones de cuadro. La salida VP511 del detector de violación 510 es un lógico "0" siempre que se detecte una distribución que represente una violación

25

30

de cuadro para la muestra de bit presente. Una posible realización del detector de violación se muestra en la Fig. 5B. Esta realización requiere menos de tres pastillas de circuito integrado.

5 Refiriéndonos a la Fig. 5B, la salida 508 de la RAM 3 de la memoria histórica 507, representa el valor del bit recibido, 1158 bits antes de la muestra en curso en la vía T1-DI. La vía 508 se acopla directamente a una primera entrada de la puerta NAND 556 y a una primera entrada de la puerta
10 NAND 555 a través del inversor 552.

 La salida 509A, de la RAM1 de la memoria histórica 507, representa el valor del bit recibido 386 bits antes de la muestra en curso en la vía T1-DI. La vía 509A está directamente acoplada a una segunda entrada a la puerta NAND 555
15 y a una segunda entrada de la puerta NAND 556 a través del inversor 553.

 Las salidas de las puertas NAND 555 y 556 se acoplan respectivamente a las segundas entradas de las puertas NAND 557 y 558. La muestra del bit en curso en T1-DI se acopla
20 directamente a una tercera entrada de la puerta NAND 558 y a una tercera entrada de la puerta NAND 557 a través del inversor 554. Las salidas de las puertas NAND 557 y 558 se acoplan respectivamente a las entradas primera y segunda de la puerta NAND 559. La salida de la puerta NAND 559 se acopla
25 a la salida del detector de violación VP.

 De un examen de la estructura lógica descrita aquí con referencia a la Fig. 5B, puede verse que la salida del detector VP será un lógico 0 siempre que aparezca en las
entradas del detector 508, 509A, 509B, y T1-DI una de las
30 10 distribuciones de 4-bits no-permitidas.

5. Puerta NAND de 2-Entradas 514.

La puerta NAND de 2-Entradas 514 proporciona una función OR entre la salida VP511 del detector de violación 510 en la Fig. 5 y al salida VH513 de la memoria histórica de violación 512. Si bien VP o VH están el lógico "0", la salida 512 de la puerta NAND 514 está en el lógico "1". En el modo de búsqueda un "1" en el terminal V indica una violación en la distribución de la configuración de cuadro, bien para la muestra en curso o para una muestra anterior asociada con la posición de bit en curso desde que empezó la búsqueda. En el modo normal, se examina el terminal V solamente para la posición de bit de configuración de cuadro a fin de detectar violaciones. En este caso, la salida VH de la memoria histórica de violación 512 es siempre "1". Así, un "1" en la salida V indica una violación de la distribución de configuración de cuadro para la muestra de bit de configuración de cuadro en curso (esto es, $V = VP$ en el modo normal).

6. Detector de "385", 505.

La salida del detector de "385" 505 en la Fig. 5 es un lógico "0" cuando el contador de cuadro 503 alcanza una cuenta de 385. La salida FC de este detector en el terminal 506 es un lógico "1" cuando el contador de cuadro está en los estados 0 a 384. En el modo normal, una salida "0" del detector 505 indica la presencia de una posición de bit de configuración de cuadro. Una salida "0" de este detector hace que se introduzca un "0" en el bit CLR (el bit más significativo) del registro de 7-bits 518 a través de la ROM 516. Esto hace que el contador de cuadro se ponga a cero a la aparición del siguiente impulso de reloj de bit. Una posible realización de este detector que requiere una puerta

NAND de 3-entradas se muestra en la Fig. 5A. Utilizando las realizaciones mostradas en las Figs. 5B y 5A, el detector de violación 510, la puerta NAND de 2-entradas 514, y el detector de "385" 505 juntos, requieren tres pastillas de circuitos integrados disponibles en el mercado.

7. ROM (memoria de lectura solamente) 516.

La ROM 515 de 128x8 se utiliza para proporcionar la porción lógica combinacional de una máquina secuencial generalizada utilizada en la realización. Si se utiliza una ROM de 256x8, podría eliminarse la puerta NAND de 2-entradas 514 en la fig. 5 utilizando tanto VP como VH como entradas a la ROM. Las siete entradas del terminal de dirección a la ROM son las siguientes:

- a. Entrada FC por el terminal 506. La entrada FC es un "0" solamente cuando el contador de cuadro está en una cuenta de 385.
- b. Entrada VH por el terminal 515. En el modo normal, la entrada V es "1" solamente cuando está presente una distribución de violación de la configuración de cuadro para la muestra de bit de configuración de cuadro en curso. En el modo de búsqueda, un "1" en la entrada V indica una violación de la configuración de cuadro, bien para la muestra en curso o para una muestra anterior de la posición de bit en curso desde que empezó la búsqueda.
- c. Modo MB por el terminal 520. El bit de modo MB por el terminal 520 identifica el estado de sincronización del circuito como siendo bien el modo normal o el modo de búsqueda. Un lógico "0" en este terminal indica el modo normal mientras que un "1" indica el modo de búsqueda (para una condición de fuera-de-cuadro).

d. Terminales de Estado 519 (4 terminales). Las entradas a los terminales de estado 519 identifican el número de estado en curso de la máquina secuencial generalizada. En el modo de búsqueda, estos terminales identifican hasta diez y seis estados diferentes. Solamente se utilizan siete de las salidas de la ROM. Estas salidas identifican el estado siguiente y las salidas de la máquina secuencial generalizada. Estas salidas se introducen todas en un registro de flip-flop-D de 7-bit 518. La utilización de cada una de estas salidas se describe en el punto 8 siguiente.

8. Registro de 7-bits 518.

El registro de 7-bits contiene el estado y las salidas de la máquina secuencial generalizada, este registro junto con el registro de 3-bits consiste de dos pastillas de circuitos integrados de flip-flop D hex. Las posiciones de bit en este registro se identifican como bits de 0 a 6, desde el bit menos significativo al bit más significativo, respectivamente. La identidad de cada una de estas posiciones de bit en el registro es la siguiente:

a. Bit 6 (Terminal 522 de CLR). La posición 6 de bit contiene el valor lógico enviado a la entrada de liberación de sincronismo del contador de cuadro. Este bit en el registro se carga con el lógico "0" siempre que la entrada FC de la ROM contenga un lógico "0". Esto hace que el contador de cuadro se ponga a cero en el siguiente impulso de reloj de bit. Este bit en el registro se carga también con un lógico "0" en el modo de búsqueda cuando se ha localizado la posición del bit de configuración de cuadro. Esto hace que el contador de cuadro se sincronice con la posición del bit de configuración de cuadro. En todos los otros

casos, esta posición de bit en el registro contiene un lógico "L".

b. Bit 5 (V FUERA en el terminal 521). Esta posición de bit en el registro se utiliza para almacenar la información a ser escrita en la memoria histórica de violación 512 de la Fig. 5. Durante una búsqueda de recuadro, el bit 5 en el registro se carga con un lógico "0" siempre que la entrada V a la ROM contenga un "1". Esto hace que se escribe un "0" en la memoria histórica de violación 512 bien si existe una distribución de violación para la muestra de bit en curso ($VP = 0$) o una muestra pasada de la posición de bit en curso desde que empezó la búsqueda ($VH=0$). Si tanto VP como VH son "1", (esto es, $V = "0"$), se carga un "1" en la posición de bit 5 del registro, que se escribe entonces en la memoria histórica de violación 512. Esto indica que no ha ocurrido todavía una violación para esta posición de bit desde el comienzo de la búsqueda de cuadro. En el modo normal, el bit 5 se carga continuamente en el registro con un "1" para escribir todos 1 en la memoria histórica de violación 512.

c. Bit 4 (Bit de Modo por el Terminal 520). La posición de bit 4 en el registro contiene la identidad del modo en curso, bien el modo normal o el modo de búsqueda.

d. Bits 0-3 (Bits de Estado por la Vía 519). Las posiciones de bit 0 a 3 en el registro contienen el estado en curso de la máquina secuencial generalizada. En los modos normal y de búsqueda estos bits identifican uno de los diez y seis estados. Las salidas de ROM contienen el siguiente estado a ser cargado en este registro.

30 Temporización del Circuito de Configuración de Cuadro.

La temporización del circuito de configuración de cuadro se ilustra en la Fig. 5C. El único reloj requerido por el circuito de configuración de cuadro es el reloj de bit que se extrae del flujo de bits de datos de la línea T1 de entrada.

5 Se supone que la transición de bajo a alto del reloj de bit tiene lugar al comienzo de cada tiempo de bit. El reloj de bit permanece entonces alto durante el 50% del tiempo de bit. Refiriéndonos de nuevo a la Fig. 5, las acciones del circuito de configuración de cuadro derivadas del reloj de bit son
10 las siguientes:

- a. El contador de cuadro de 9-bits 503 se incrementa o se repone a cero sincronicamente en el borde ascendente del reloj de bit. Esto bien aumenta o repone este contador al comienzo de cada tiempo de bit.
- 15 b. Los registros de flip-flop-D 518 y 501 se cargan en el centro de cada tiempo de bit en la transición de alto a bajo del reloj de bit.
- c. Las entradas en la memoria histórica 507 y la memoria histórica de violación 512 se escribe durante la segunda
20 mitad de cada tiempo de bit excitando la activación de la vía de escritura WE a estas memorias cuando el reloj de bit está bajo.

Diagrama de Estado de Modo Normal.

Un diagrama de estado para el modo normal se representa en la Fig. 5D. Los estados para el modo normal se representan
25 por una "A" seguida del número de estado. Existen diez y seis estados en el modo normal representados por los estados A0 a A15. El modo de búsqueda se representa por una "B" seguida por un número. El primer estado introducido en el
30 modo de búsqueda que sigue a una declaración de pérdida de

cuadro es el Estado B1. El estado B1 se introduce en transferencia del modo normal al modo de búsqueda en lugar del Estado B0. El estado B0 se utiliza solamente para inicializar la memoria histórica de violación 512 a todos 1. El
5 estado B0 puede saltarse en este caso, ya que la memoria histórica de violación se carga continuamente con 1 (unos) en el modo normal. El estado A15 no se utiliza en la operación normal. Si se introduce todavía el Estado A15, tiene lugar una transferencia incondicional en el primer impulso de reloj de bit al Estado B0. Así, si se introduce el estado A15
10 cuando se aplica la alimentación al circuito o debido a un error, se iniciará una búsqueda de cuadro.

El diagrama de estado de modo normal en la Fig. 5D es similar al descrito en la Patente U.S. mencionada
15 anteriormente 4.016.388. Sin embargo el número de estados en el modo normal ha sido aumentado para permitir mayores tolerancias de error antes de declarar una pérdida de cuadro e introducir el modo de búsqueda (Estado B1). En el modo normal, el circuito de configuración de cuadro está normalmente en el Estado A0. Las transiciones de estado en el modo
20 normal tienen lugar solamente durante la posición de bit de configuración de cuadro (cuando la entrada a la ROM por el terminal FC = "0"). Los estados distintos del A0 se introducen solamente si se detectan distribuciones de violación de la configuración de cuadro (entrada a la ROM = "1" por el
25 terminal V). El número aumentado de estados en el diagrama de estado del modo normal es necesario para impedir la entrada del modo de búsqueda debido a solo errores de transmisión de bit en la posición del bit de configuración de cuadro.
30 Por ejemplo, la secuencia de configuración de cuadro normal

de 000111000 podría hacerse 000101000 debido a un solo error de transmisión de bit en la posición de bit de configuración de cuadro. En este caso, se detectará una violación de la distribución de configuración de cuadro durante cuatro muestras consecutivas del bit de configuración de cuadro. Las entradas al detector de violación para estas cuatro violaciones consecutivas vienen dadas por 0010, 0101, 1010 y 0100. Estas cuatro violaciones consecutivas harán que el circuito de configuración de cuadro avance el estado A12. Después de esto, si no existen otros errores de transmisión en el bit de configuración de cuadro durante los siguientes doce cuadros, el circuito regresará al Estado A0. Si el circuito de configuración de cuadro no se hace fuera-de-cuadro, el circuito progresará rápidamente al Estado B1 para iniciar el modo de búsqueda.

Diagrama de Estado para el Modo de Búsqueda.

Los diez y seis estados en el diagrama de estado para el modo de búsqueda se muestran en la Figura 5E. Una descripción de los estados en este diagrama es la siguiente:

1. Estado B0. El Estado B0 se introduce cuando existen dificultades en encontrar la posición de bit de configuración de cuadro durante el modo de búsqueda. El Estado B0 se utiliza para iniciar de nuevo la búsqueda. La transición para introducir el Estado B0 tiene lugar cuando el terminal FC está en el lógico "0". El circuito de configuración de cuadro permanece en el Estado B0 durante 386 tiempos del bit hasta que el terminal FC pasa de nuevo del lógico "0", en cuyo momento el circuito de configuración de cuadro introduce el Estado B1. Mientras está el Estado B0, la ROM efectúa continuamente la aplicación de la salida lógica "1" por

el terminal de SALIDA V. Esto inicializa la memoria histórica de violación 512 escribiendo 1 (unos) en las primeras 386 localizaciones de la memoria. El Estado B0 se salta cuando se detecta una condición de pérdida de cuadro en el modo normal. En este caso, el Estado B1 puede introducirse directamente, ya que la memoria histórica de violación está cargada continuamente con 1 (unos) en el modo normal.

2. Estado B1. La búsqueda normal para la posición del bit de configuración de cuadro empieza en el Estado B1, ya que el Estado B0 se utiliza simplemente para inicializar la memoria histórica de violación 512. El circuito permanece en el Estado B1 hasta que se localiza una posición de bit para la cual V sea "0", lo que indica una posición de bit sin violación de cuadro detectada bien en la muestra en curso o en la historia pasada. En el primer paso a través del Estado B1, el bit VH de la memoria histórica de violación 512 es "1" para todas las posiciones de bit. Sin embargo, en pasos subsecuentes a través del Estado B1 el terminal VH puede contener un valor de lógico "0" si ha existido una violación del Estado B1 al Estado B2 tiene lugar para la primera posición de bit sin distribuciones de violación en la configuración de cuadro que sigue a la última aparición de "0" en el terminal FC.

Si el circuito permanece en el Estado B1 hasta la siguiente aparición de "0" en el terminal FC, ello indica que existieron violaciones de cuadro para todas las 385 posiciones de bit para las que el terminal FC era "1". Si el terminal FC pasa a "0" en el Estado B1, existen dos transiciones posibles del Estado B1 según lo siguiente:

a. Si V es "0", ello indica que esta es una posición de bit

de configuración de cuadro y el circuito pasa al Estado B4.

b. Si V es "1", ello indica que no existían posiciones de bit sin distribuciones de violación de cuadro.

Esta es una situación distinta, ya que indica
 5 que ninguna de las 386 posiciones de bit contienen distribuciones de configuración de cuadro válidas. Esta condición resultaría si hubiera un error de transmisión en la posición de bit de configuración de cuadro válida durante la búsqueda de si existe una condición de fallo del hardware. En este
 10 caso, el circuito de configuración de cuadro vuelve al Estado B0 para reiniciar la memoria histórica de violación a todos 1 (unos). En este caso, se inicia de nuevo la búsqueda del bit de configuración de cuadro válido.

3. Estado B2. El circuito introduce el Estado B2 cuando se
 15 localiza un primer candidato de bit de configuración de cuadro (que sigue a la última aparición de "0" en el terminal FC). Si se localiza otro candidato de bit de configuración de cuadro antes de la siguiente aparición de "0" en el terminal FC, el circuito pasa al Estado B3. Si el circuito permanece en el Estado B2 hasta la siguiente aparición de "0"
 20 en el terminal FC, existen dos transiciones posibles desde el estado B2, esto es a. Si V es "1" la posición de bit para la cual el terminal FC = "0" no es un candidato del bit de configuración de cuadro. Esto indica que existe uno y
 25 solamente un candidato al bit de configuración de cuadro en todas las 386 posiciones de bit muestreadas. En este caso, el circuito de configuración de cuadro pasa al Estado B4.

b. Si V es "0", indica que la posición de bit para la cual
 30 el terminal FC = "0" es una segunda candidata al bit de con-

figuración de cuadro. En este caso, el circuito de configuración de cuadro vuelve al Estado B1.

5 4. Estado B3. El circuito introduce el Estado B3 cuando tiene lugar un segundo candidato de bit de configuración de cuadro en las primeras 385 posiciones de bit examinadas. La entrada del Estado B3 indica que existen todavía dos o más candidatos del bit de configuración de cuadro. El circuito permanece en el Estado B1 hasta que la siguiente aparición de "0" en el terminal FC, en cuyo momento el circuito pasa nuevamente al Estado B1. Así, el circuito vuelve al Estado B1 cada 386 posiciones de bit. El circuito continúa a través de los Estados B1, B2 y B3 hasta que un paso a través de las 386 posiciones de bit resulta en uno y solamente un candidato de bit de configuración de cuadro, en cuyo caso el
10
15 circuito pasa al Estado B4.

5. Estado B4. El circuito introduce el estado B4 cuando existe uno y solamente un candidato bit de configuración de cuadro restante. El circuito permanece en este Estado hasta que tiene lugar nuevamente solamente es el candidato restante
20 (indicado por $V = "0"$) en cuyo momento el circuito pasa al Estado B5. En el momento de esta transición de estado, la ROM da salida también a un lógico "0" por el terminal CLR, para proporcionar una reposición de sincronismo al contador de cuadro, Esto hace que el contador de cuadro se reponga a cero
25 a la siguiente aparición del reloj de bit. Esto sincroniza el contador de cuadro a la nueva posición del bit de configuración de cuadro. Si el circuito permanece en el Estado B4 para todas las 386 posiciones de bit sin detectar el candidato del bit de configuración de cuadro, el circuito vuelve
30 ve al Estado B0. Esta es una situación distinta en dónde ha

ocurrido una violación de cuadro solamente para el candidato restante. Esta transición hacia detrás al Estado B0 tiene lugar si el terminal FC es "0" y el terminal V es el lógico "1".

5 6. Estados B5, B6 y B7. El circuito introduce el Estado B5 a la aparición de la nueva posición de bit de configuración de cuadro. Los Estados B5, B6 y B7 proporcionan un retardo que requiere tres apariciones más de la nueva posición de bit de configuración de cuadro antes de que el circuito avance al Estado B8. Este retardo permite que la localización "385" en la memoria histórica 507 se actualice por la nueva posición de bit de configuración de cuadro. Esta localización en la memoria histórica se utiliza para detectar las violaciones de cuadro asociadas con la nueva posición de bit de configuración de cuadro.

10 7. Estados B8 a B15. El circuito introduce el Estado B8 cuando se ha actualizado la localización "385" de la memoria histórica por la nueva posición de bit de configuración de cuadro. Los Estados B8 a B15 se utilizan para establecer la confianza de que ésta realmente es una posición de bit de configuración de cuadro antes de introducir el modo normal. El establecimiento de un nivel de confianza impide que el circuito oscile entre el modo de búsqueda y el modo normal en condiciones de perturbación cuando no puede ser encontrada una posición de bit de configuración de cuadro estable.

25 De esta manera, se verifica que la nueva posición de bit de configuración de cuadro sea estable antes de volver al modo normal (Estado A0). Para los Estados B8 a B15, las transiciones se hacen solamente durante la nueva posición de bit de configuración de cuadro, cuando el terminal FC está en

30

"0". Durante esta posición de bit si el terminal V es "0", el circuito pasa al siguiente estado de orden más elevado. Si el terminal V está en el lógico "1", ello indica que ha sido detectada una distribución de violación de configuración de cuadro para la nueva posición de bit de configuración de cuadro. En este caso, el circuito vuelve al Estado B0 para empezar nuevamente la búsqueda de recuadro.

Tiempo de Recuadro y Tiempo de Detección de Pérdida de Cuadro.

Como se mencionó anteriormente el diagrama de estado de la Fig. 5D requiere la detección de más violaciones para llegar al modo de búsqueda que en la aproximación propuesta por la norma de configuración de cuadro D2 en la patente U.S.

4.016.388. Sin embargo, se espera que el tiempo de detección de pérdida de cuadro medio para el circuito propuesto sea tan rápido como el tiempo de detección de pérdida de cuadro en los circuitos de la patente 4.016.388 para la aproximación D2 (1,89 ms). Esto es verdad, ya que la aproximación D2 examina solamente el bit de configuración de cuadro precedente junto con la muestra en curso para detectar una violación. En este caso, en una condición de pérdida de cuadro existe una probabilidad de un 50% de detectar una violación en cada muestra de cuadro. En el circuito propuesto, en el modo normal, la muestra de configuración de cuadro en curso se examina junto con tres muestras previas del bit de configuración de cuadro. En este caso, existe una probabilidad de 10 entre 16 ó de un 62,5% de detectar una violación en cada muestra durante una condición de pérdida de cuadro. Así cuando tiene lugar la pérdida de cuadro el circuito pasará rápidamente del Estado A0 al Estado B0.

30

Las estimaciones indican que el tiempo medio

para reducir el número de candidatos del bit de configuración de cuadro a uno y solamente uno (en los Estados B1, B2 y B3 de la Fig. 5E) es solamente de 2,25 ms. Siguiendo esto, se necesitan otras 13 apariciones de la posición de bit de configuración de cuadro de 3,25 ms para pasar el Estado B2 al Estado A0. Así el tiempo de recuadro medio total es solamente de 5,5 mseg. Seguidamente consideraremos la probabilidad de que la reconfiguración de cuadro esté dentro de los 10 ms. En este caso, el tiempo permitido para reducir a uno y solamente uno el candidato del bit de configuración de cuadro es de $10 - 3,25 = 6,75$ ms. Esto permite $6,75/0,25 = 27$ pasos a través del bucle de Estados B1, B2 y B3 de la Fig. 5E. La probabilidad de recuadro dentro de los 10 ms viene dada por lo siguiente:

$$(1 - \frac{6}{16} \cdot \frac{1}{2} \cdot 26) \cdot 385 = 0,999998$$

Esto es, la probabilidad de recuadro dentro de los 10 ms es de 0,999998.

Nótese que este dispositivo de configuración de cuadro podría aplicarse también para configurar cuadros sobre la distribución de cuadro D2 normal de 010101 con una reducción en el tiempo de recuadro. Una modificación de este circuito para la configuración de cuadro D2 normal reduciría la memoria histórica 507 a una RAM de $1Kx_1$ y cambiaría el detector de violación 510 a una puerta OR exclusiva.

Este principio puede también usarse para conseguir una configuración de cuadro rápida en cualquier distribución repetitiva eligiendo el número apropiado de bits en la memoria histórica y designando el detector de violación apropiado. Por ejemplo, el circuito podría modificarse fácilmente para encuadrar una distribución 000101000101...

utilizando una memoria histórica de 3-bit de anchura con un diferente detector de violación.

En este caso, todas las distribuciones al detector de violación distintas de 001, 0010, 0101, 1010 y 1000 son violaciones. Existe una posibilidad remota de una configuración de cuadro falsa en el bit de signo de un canal MIC que transporta una señal de 666-2/3 Hz, provocando así una perturbación por la simulación de la distribución 000111 de repetición. Esto podría reportarse como una alarma por medio del terminal MB. La distribución 000101 de repetición alternativa puede utilizarse opcionalmente para eliminar esta posibilidad remota.

Adicionalmente, existen otras distribuciones de repetición, aparte de 000111 y 000101, adaptables para proporcionar la identificación del cuadro de señalización D2 sexto y duodécimo y la sincronización de cuadro. Estas distribuciones son:

000001
 000011
 001011
 001101
 001111
 010111
 011001
 011111

La utilización de cualquiera de estas alternativas podría por supuesto requerir una modificación apropiada del multicircuito de decodificación de reloj y del multicircuito de extracción del reloj D2. Tal modificación a la vista de la configuración práctica sería evidente para

las personas familiarizadas con esta técnica y no la describiremos con detalle.

Circuitos de Configuración de Cuadro de Uso General.

En general, el multicircuito de configuración de cuadro mostrado en la Fig. 5 puede utilizarse para formar cuadros sobre cualquier distribución de configuración de cuadro repetitiva. También, la longitud de un cuadro (esto es, el número de bits entre las posiciones de bit de configuración de cuadro) puede ser cualquier número. Los cambios en el circuito necesarios para adaptar esta aproximación de configuración de cuadro para otras distribuciones de configuración de cuadro vienen dadas por lo siguiente:

1. El contador de cuadro 503 debe tener suficientes bits para contar el número de posiciones de bit entre los bits de configuración de cuadro. Por ejemplo, en el caso en que existan 386 bits entre las posiciones de bits de configuración de cuadro, este contador debe tener bits suficientes (9 bits) para contar hasta 385.

2. El detector 505 debe elegirse para detectar una cuenta de uno menos que el número de posiciones de bits correspondientes a la cadencia de repetición del bit de configuración de cuadro. Por ejemplo, si el bit de configuración de cuadro tiene lugar cada 386 bits, este detector debe detectar una cuenta de 385.

3. Para la configuración de cuadro en otras distribuciones el número de columnas en la memoria histórica 507 debe disminuirse o aumentarse. También el número de bits en cada columna de la memoria histórica debe corresponder al número de posiciones de bit entre repeticiones de la posición de bit de configuración de cuadro. El registro 501 debe elegirse

de igual anchura que la anchura de la memoria histórica 507.
La anchura requerida de la memoria histórica se determina
examinando la distribución de la configuración de cuadro re-
petitiva. En cada posición de bit, las salidas de la memoria
5 histórica junto con una muestra del bit en curso se examinan
para determinar si la muestra en curso indica una violación
de cuadro o no. La anchura de la memoria histórica debe ele-
girse de tal manera que las muestras previas de la memoria
histórica junto con la muestra del bit en curso proporcionen
10 bits suficientes de tal manera que al menos la mitad de las
distribuciones posibles para este número de bits (número de
bits históricos más bits en curso) indique las violaciones
de configuración de cuadro. Si este número de bits se elige
de tal manera que al msnos la mitad de la distribución indi-
15 ca violaciones de configuración de cuadro, entonces puede
conseguirse rápidamente la reconfiguración de cuadro. La
anchura de la memoria histórica podría reducirse de tal
manera que menos de la mitad de las distribuciones indiquen
violaciones de cuadro. Sin embargo, en tal caso se aumenta
20 el tiempo de recuadro. La memoria histórica debe elegirse
al menos lo suficientemente ancha como para que algunas de
las distribuciones (salida de la memoria histórica más la
muestra en curso) indiquen las violaciones de cuadro.

4. El circuito detector de violación debe ser de diseño lógico
25 combinacional de tal manera que indique apropiadamente si
la distribución presentada a sus entradas indican una dis-
tribución de violación de configuración de cuadro, o no,
por el terminal 511 de la salida VP. Las entradas son simple-
mente muestras previas de la posición del bit en curso de
30 la memoria hsitórica junto con la muestra en curso de esta

posición de bit. El detector de violación 510 proporcionaría esta función lógica de combinación con una ROM.

5 El número de bits en la columna de la memoria histórica de violación 512 debe ser igual al número de posiciones de bits correspondientes a la cadencia de repetición de la posición de bit de configuración de cuadro.

Las porciones restantes del circuito de configuración de cuadro permanecen como se muestra en la Fig. 5. El diagrama de estado de los modos de búsqueda permanece como se muestra en la Fig. 5E. El número de estados proporcionado para ganar confianza en la posición de bit de configuración de cuadro, uno y solamente un candidato permanece a la vez (estados del B8 al B15) podría aumentarse o disminuirse si tiene que cambiarse el nivel de confianza. El diagrama de estado del modo normal permanece como se muestra en la Fig. 5D. El número de estados en este diagrama podría aumentarse o disminuirse dependiendo de la cadencia de fallos de violación deseado antes de que se inicie una búsqueda.

20 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Estados Unidos el día 13 de 25 Junio de 1977, señalada con el N^o 805,814 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un método para la señalización y constitución de cuadros en un sistema de comunicación múltiple por división de tiempo organizado en cuadro en donde cada cuadro comprende varios canales de información multi-bit y, al menos, un bit adicional, y en donde se utilizan cuadros
10 predeterminados para sustituir la información de señalización en, al menos, una posición de bit determinada de cada canal de información multi-bit,

Utilizando el mencionado, al menos, un bit adicional, para proporcionar la sincronización y la reconfiguración de
15 cuadro combinadas, a la identificación de cuadro de dichos cuadros predeterminados, y la señalización de canal común; comprendiendo las siguiente etapas:

(a) generar en la mencionada al menos una posición de bit adicional de los cuadros de orden para una distribución
20 ción de bit repetitiva apropiada para identificar dichos cuadros predeterminados,

(b) generar una señal de estado de la sincronización de cuadro controlando los estados de la señal recibida sucesivamente en dicha, al menos una posición de bit adicional
25 de los mencionados cuadros de orden par,

(c) reconfigurar los cuadros controlando la presencia de dicha distribución de bit repetitiva siempre que dicha señal de estado indique la ausencia de sincronización de cuadro, y

30 (d) realizar la señalización de canal común en dicha

al menos, una posición de bit adicional de los cuadros de orden impar siempre que dicha señal de estado indique la presencia de la sincronización de cuadro.

5 2.- Un método, según la reivindicación 1, en donde dichos cuadros predeterminados comprenden cada sexto y duodécimo cuadro, y en donde dicha, al menos una posición de bit predeterminado comprende la posición de bit menos significativo de cada canal de dichos cuadros predeterminados.

10 3.- Un método según la reivindicación 2, en donde dicha distribución de bit repetitiva comprende la secuencia 000111.

4.- Un método según la reivindicación 2, en donde dicha distribución de bit repetitiva comprende la secuencia binaria 000101.

15 5.- Un aparato para la señalización y constitución de cuadros en un sistema de comunicación múltiple por división de tiempo según reivindicaciones 1 a 4 para efectuar la sincronización y reconfiguración de cuadro combinadas, identificación de dichos cuadros predeterminados, y señalización de canal común, comprendiendo dicho aparato:

20 elementos, acoplados a los elementos para enviar la información, para generar en la mencionada al menos una posición de bit adicional de cuadros de orden par consecutivos una distribución de bit repetitiva apropiada para la identificación de dichos cuadros predeterminados,

25 elementos de constitución de cuadro que tienen una entrada acoplada a dichos elementos para recibir la información, incluyendo elementos de detección para examinar cada posición de bit de pares consecutivos de cuadros a fin de detectar la aparición de dicha distribución de bit repetitiva, elementos de control de cuadro acoplados a dichos
30 elementos de detección para generar una primera señal del

estado de sincronización siempre que se detecte dicha distribución de bit repetitiva en la mencionada, al menos, una posición de bit adicional de los cuadros consecutivos de orden par y para generar una segunda señal del estado de la sincronización siempre que no se detecte dicha distribución de bit repetitiva, funcionando además dichos elementos de control de cuadro para controlar la subsecuente reaparición de dicha distribución de bit repetitiva en una, y scilicet una, posición de bit de dichos cuadros de orden par consecutivos siempre que dicha segunda señal de estado se genere, y

elementos de señalización de canal comunes, acoplados a dichos elementos de constitución de cuadro y a los elementos de envío, que funcionan para insertar la información de señalización en dicha, al menos, una posición de bit adicional de los cuadros de orden impar enviados por dichos elementos de envío siempre que se genere dicha primera señal de estado.

6.- Un aparato, según la reivindicación 5, en donde dichos cuadros predeterminados comprenden cada sexto y duodécimo cuadro, y en donde dicha, al menos, una posición de bit predeterminada comprende la posición de bit menos significativo de cada canal de dicho cuadro predeterminado.

7.- Un aparato, según la reivindicación 6, en donde dicha distribución de bit repetitiva comprende la secuencia binaria 000101.

8.- Un aparato, según la reivindicación 6, en donde dicha distribución de bit repetitiva comprende la secuencia binaria 000101.

9.- Un aparato, según la reivindicación 5, en dónde dichos elementos de detección comprenden además:

elementos de memoria histórica acoplados a la entrada de dichos elementos de constitución de cuadro, incluyendo al menos diferentes localizaciones de memoria 5 direccionables individualmente igual al número total de posiciones de bit de un par de cuadros recibidos consecutivamente, teniendo cada una de dichas localizaciones de memoria capacidad para almacenar los valores de señal recibidos 10 en la posición de bit de cuadro correspondiente para un número predeterminado de cuadros recibidos previamente, elementos para leer cualquiera de dichas localizaciones de la memoria y situar los resultados en dicho número predeterminado de salidas de los elementos de la memoria histórica, y 15 elementos lógicos combinables que tienen entradas acopladas a dichas salidas de los elementos de memoria histórica y a la entrada de los elementos de constitución de cuadro, que funcionan durante cada posición de bit de cuadro recibida para generar en la salida de los elementos 20 de detección una primera señal de violación siempre que los valores de señal concatenados procedentes de las salidas de los elementos de la memoria histórica junto con el valor de la señal para la posición de bit que se está recibiendo en ese momento no correspondan a una subsecuencia válida de 25 dicha distribución de bit repetitiva.

10.- Un aparato, según la reivindicación 9, en dónde dichos elementos de control de constitución de cuadro comprenden además:

elementos de memoria histórica de violación 30 para almacenar una pluralidad de bits indicadores corres-

pondiendo cada uno posición de bit del par de cuadros recibidos consecutivamente cuyos valores de señal de bit históricos están almacenados en dichos elementos de memoria histórica,

una máquina lógica de estado secuencial que
5 tiene una primera salida acoplada a elementos para escribir en dichos elementos de memoria histórica de violación y una segunda salida para indicar la presencia de la primera y segunda señales de estado de sincronización, estando acoplada dicha segunda salida a una primera entrada de la mencionada
10 máquina lógica de estado secuencial,

un elemento lógico combinable que tiene una primera entrada acoplada a la salida de los elementos de detección y una segunda entrada acoplada a los elementos para leer el contenido de cualquier localización de los elementos
15 de memoria histórica de violación, operando dicho elemento lógico con las señales de estado lógico OR que aparecen en su primera y su segunda entradas a una salida del elemento acoplado a una segunda entrada de la máquina lógica secuencial;

20 dicha máquina lógica de estado secuencial funciona, cuando está conectada, para examinar solamente la mencionada, al menos, una posición de bit adicional de los cuadros de orden par para la presencia de dicha distribución de bit repetitiva siempre que dicha primera señal de
25 estado de sincronización sea generada y para examinar cada posición de bit de cuadro junto con dichos elementos de memoria histórica y dichos elementos de memoria histórica de violación para dicha distribución de bit repetitiva siempre que se genere dicha segunda señal de estado de sincronización.
30 zación.

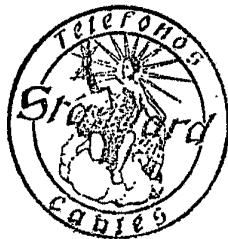
11.- Un aparato, según la reivindicación 10, en dónde la porción lógica combinable de la máquina lógica de estado secuencial comprende una memoria de lectura solamente programada para proporcionar una serie de estados lógicos apropiados para su utilización en la detección con el filtraje de transitorios la pérdida de la sincronización de cuadro en dicho, al menos, un bit adicional de los cuadros de orden par y para su utilización en la búsqueda de la reaparición de dicha distribución de bit repetitiva en una, y sólo en una, posición de bit de los cuadros de orden par durante un intervalo de tiempo de confianza predeterminado siempre que la pérdida de la sincronización de cuadro se indique por la segunda señal de estado de sincronización.

12.- Un método y un aparato para la señalización y constitución de cuadros en un sistema de comunicación múltiplex por división de tiempo.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de noventa y una hojas escritas por una sola cara.

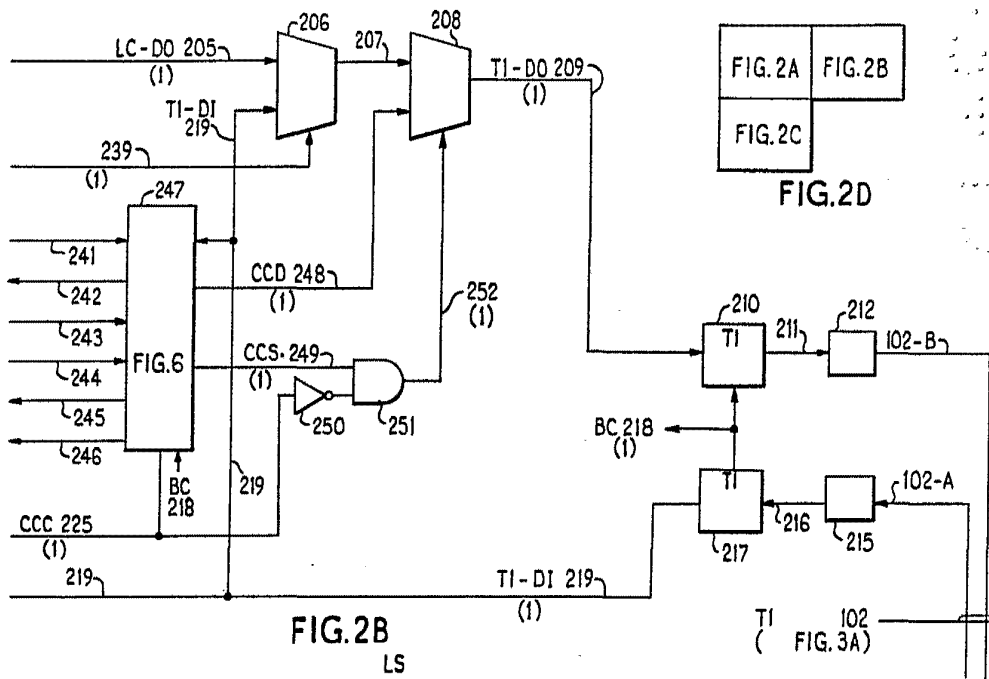
Madrid, 14 MAR. 1979



Eugenio Barroso
EUGENIO BARROSO
Secretario General

19/1/3

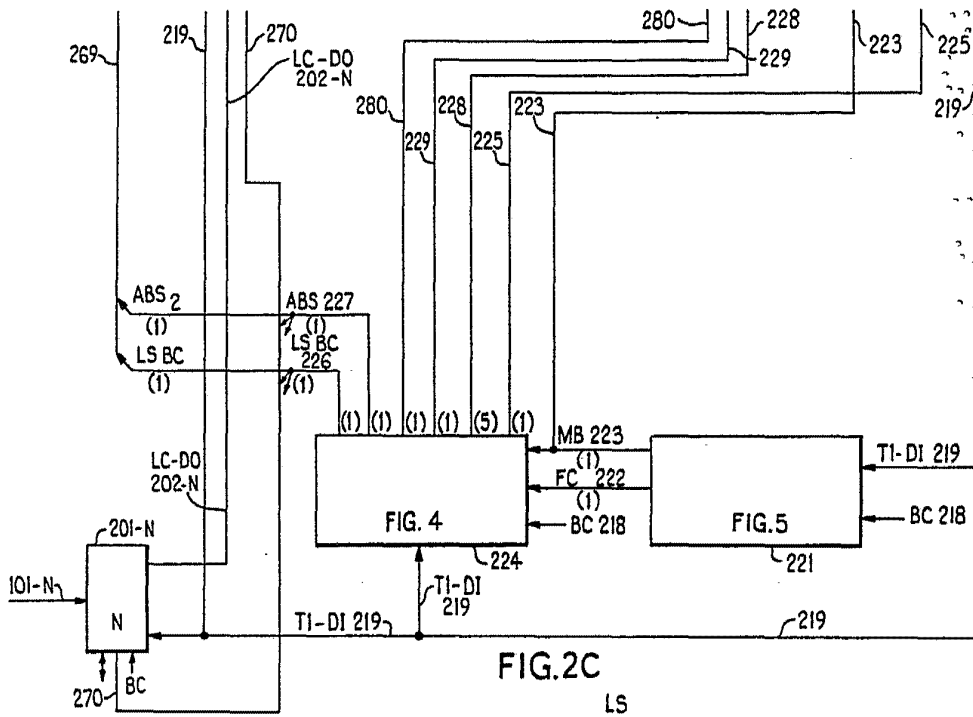
14 MAR. 1979



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

19/4

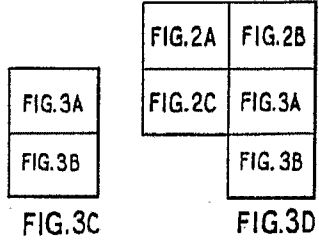
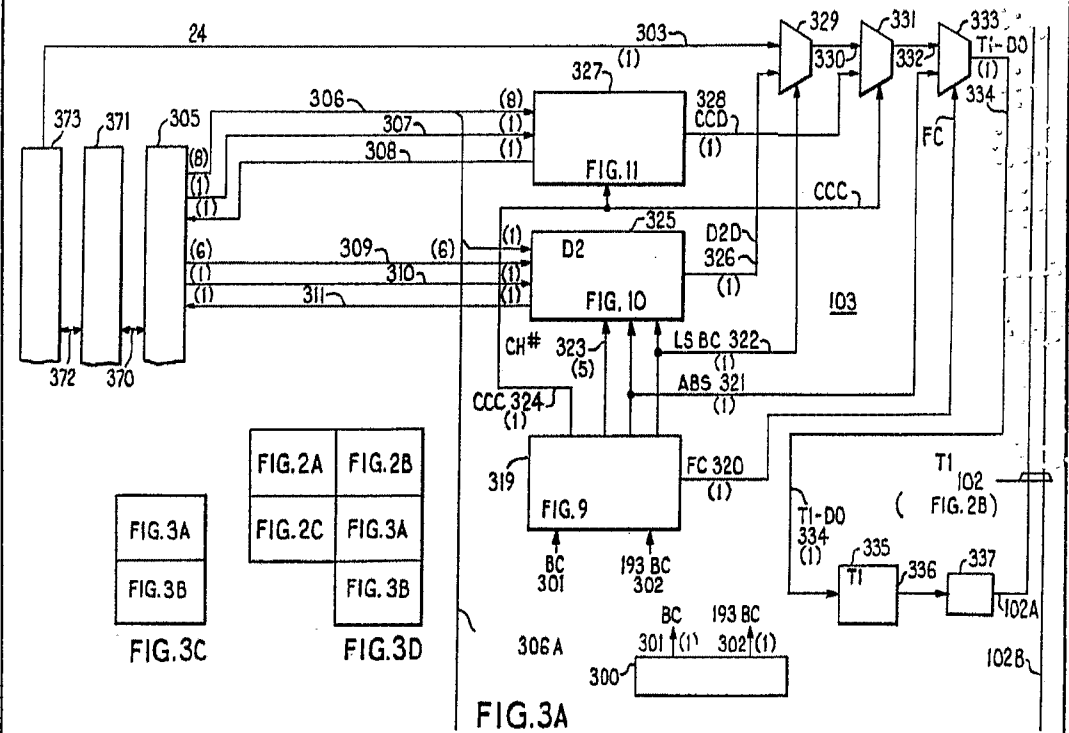
14 MAR. 1979



E. Barros
EUSONIO BARROSO
Secretario General

19/5

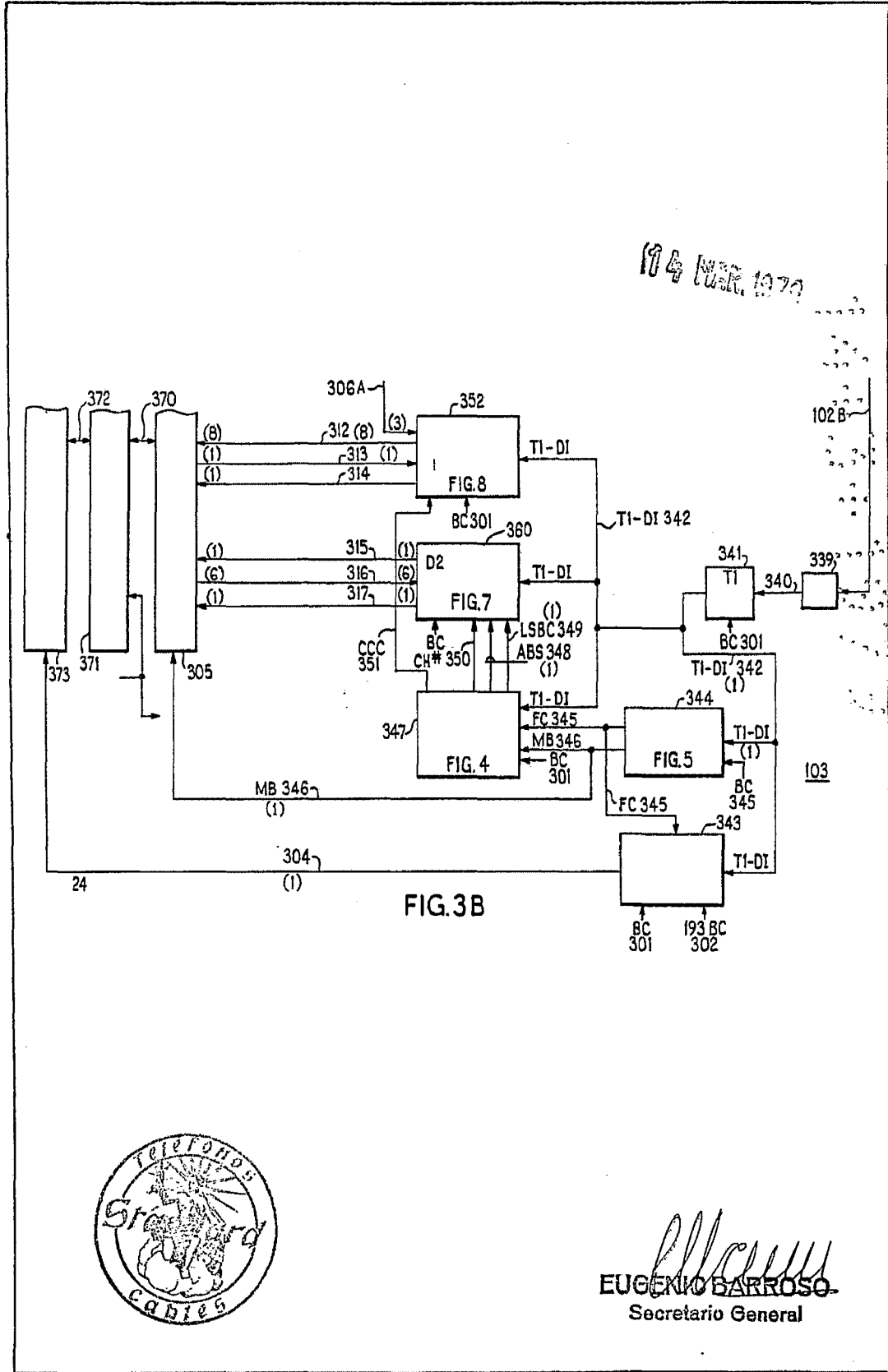
14 MAR. 1979



Eugenio Barrios
 EUGENIO BARRIOS
 Secretario General

19/6

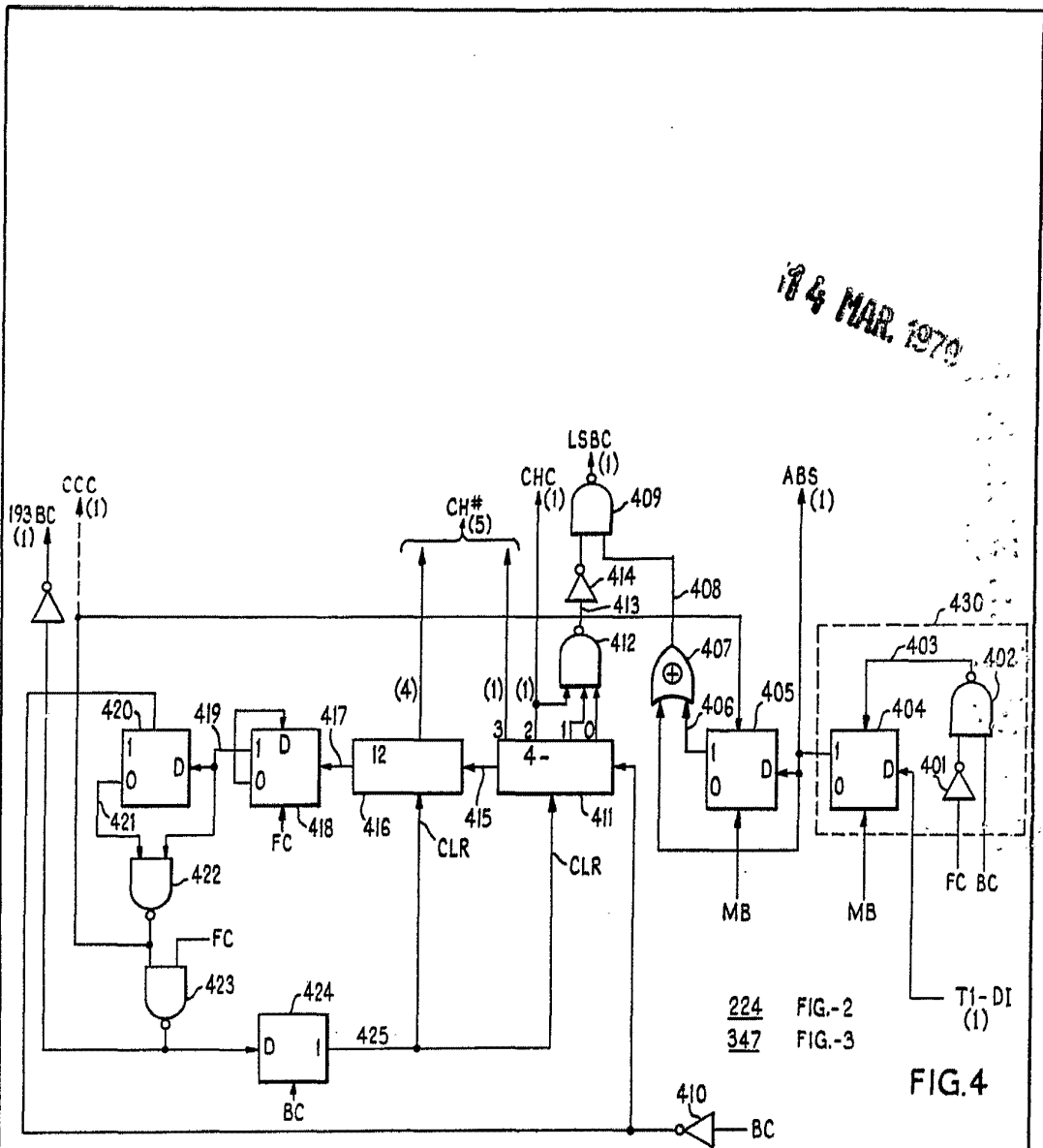
10 & MAR 1970



Eugenio Barroso
EUGENIO BARROSO
Secretario General

19/7

18 & MAR. 1970



224 FIG.-2
347 FIG.-3

FIG. 4



Eugenio Barroso
EUGENIO BARROSO
Secretario General

14 MAR. 1979

#	FC	CCC	193 BC	424	420	418	411	416
0	1	1	0		0	0	0	0
1	1	1	0	0	0	0	1	} 24
2	1	1	0	0	0	0	2	
:	:	:	:	:	:	:	:	
191	1	1	0	0	0	0	191	} CC
192	1	0	1	0	0	1	0	
193	1	1	0	1	1	1	0	} 24
194	1	1	0	0	1	1	1	
195	1	1	0	0	1	1	2	
:	:	:	:	:	:	:	:	} CC
384	1	1	0	0	1	1	191	
385	0	1	1	0	1	0	0	} CC
0	1	1	0	1	0	0	0	

FIG.4A

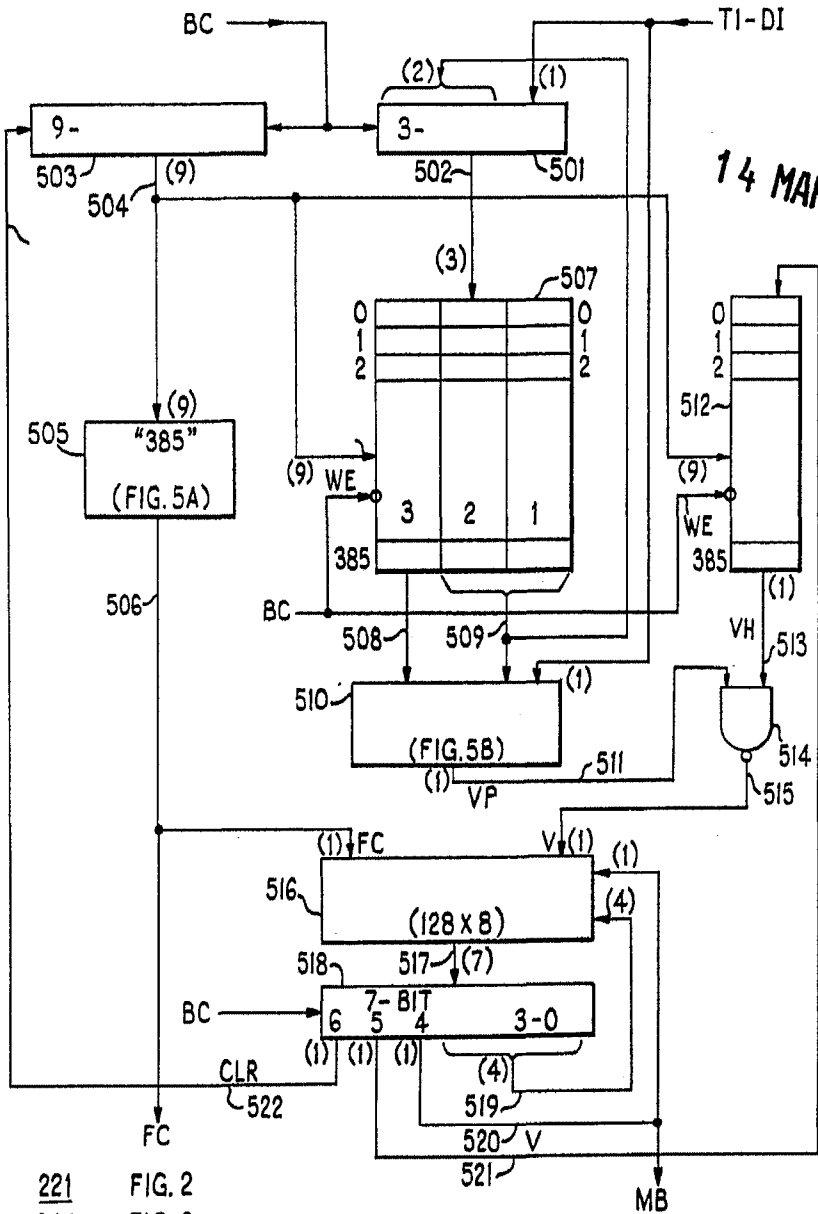
FIG.4



Eugenio Barrero
EUGENIO BARRERO
 Secretario General

19/9

14 MAR. 1979



221 FIG. 2
344 FIG. 3

FIG. 5



[Signature]
Secretary General

19/80

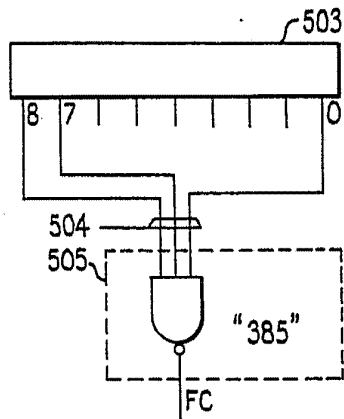


FIG. 5A
"385"

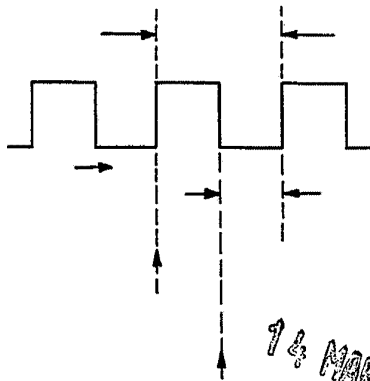


FIG. 5C

14 MAR. 1977

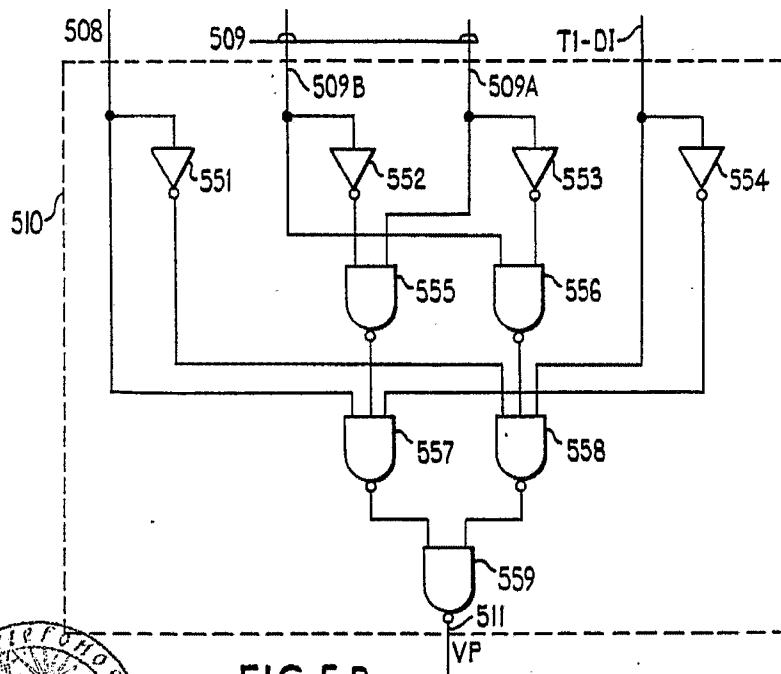
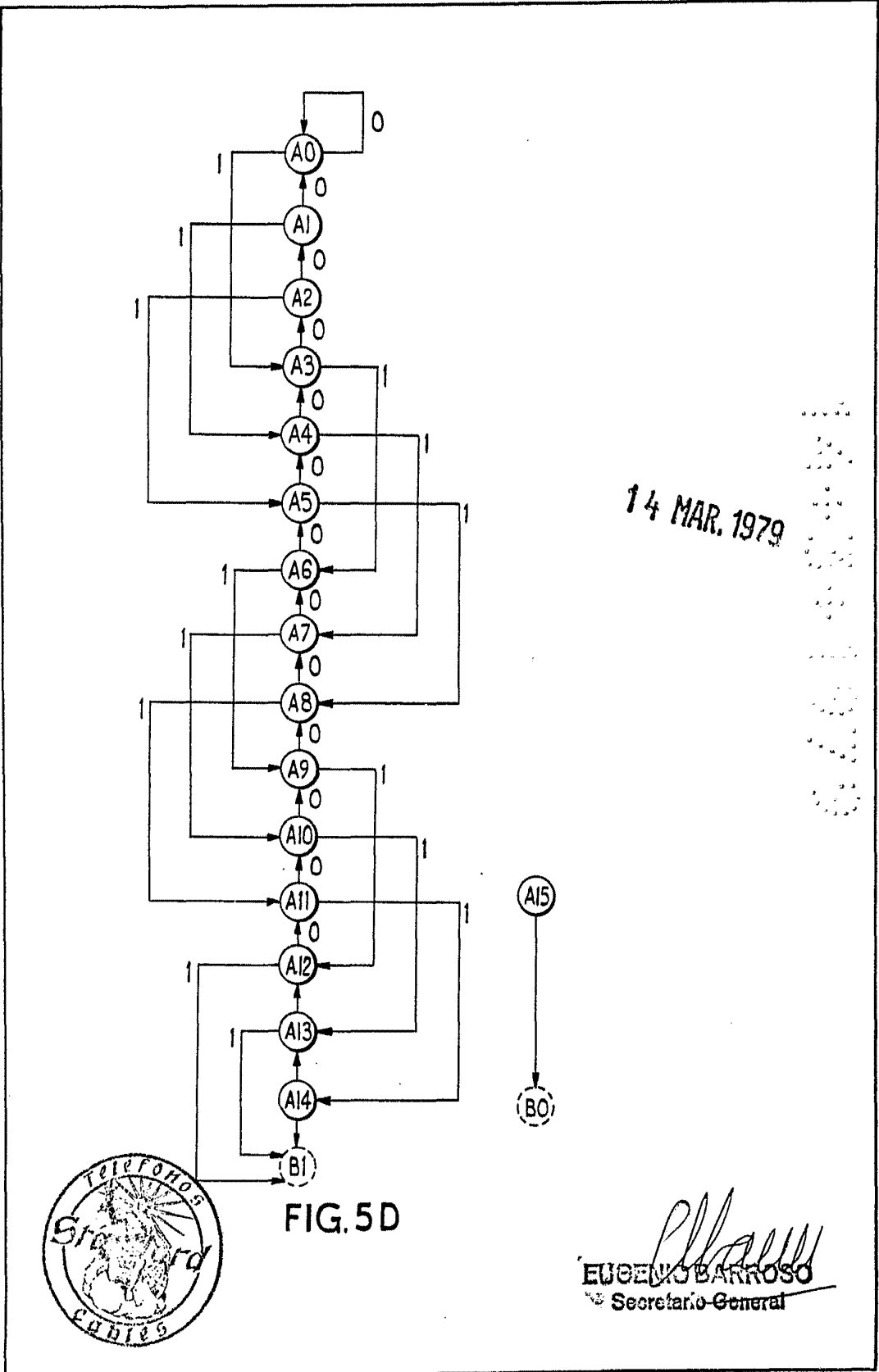


FIG. 5B



Eugenio Carrasco
EUGENIO CARRASCO
Secretario General

19/11



14 MAR. 1979



FIG. 5D

Eugenio Barroso
EUGENIO BARROSO
Secretario General

19/12

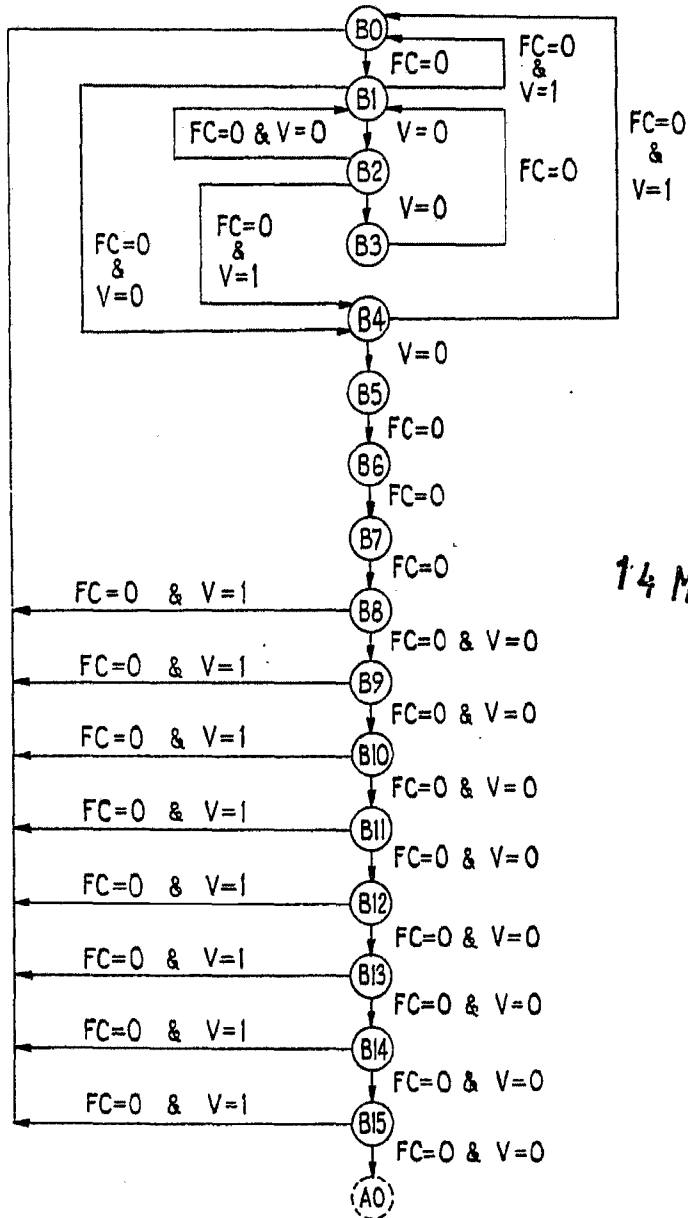
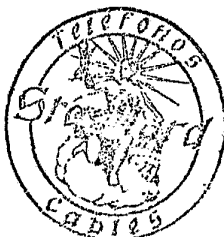
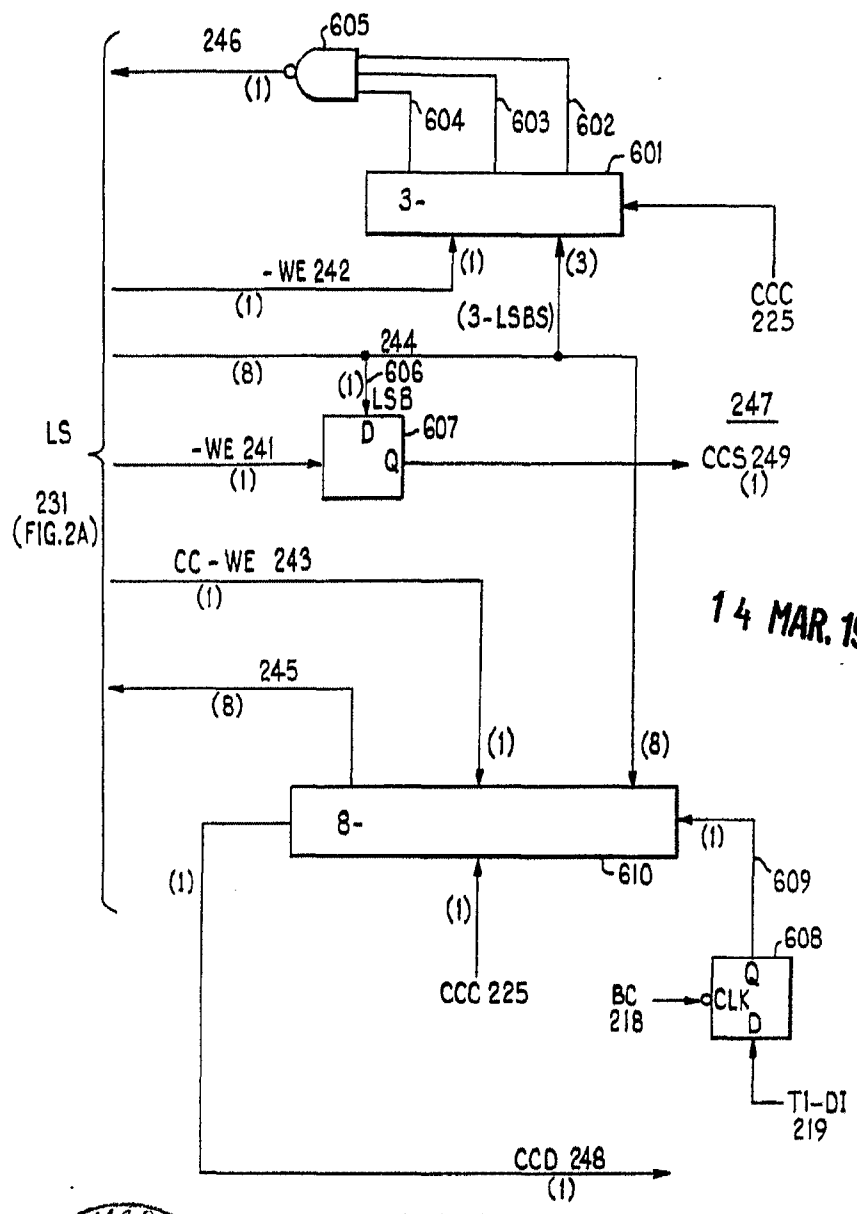


FIG.5E



Eugenio Lacroza
EUGENIO LACROSA
Secretario General



14 MAR. 1979

FIG. 6



Eugenio Barredo
EUGENIO BARREDO
Secretario General

19/1/74

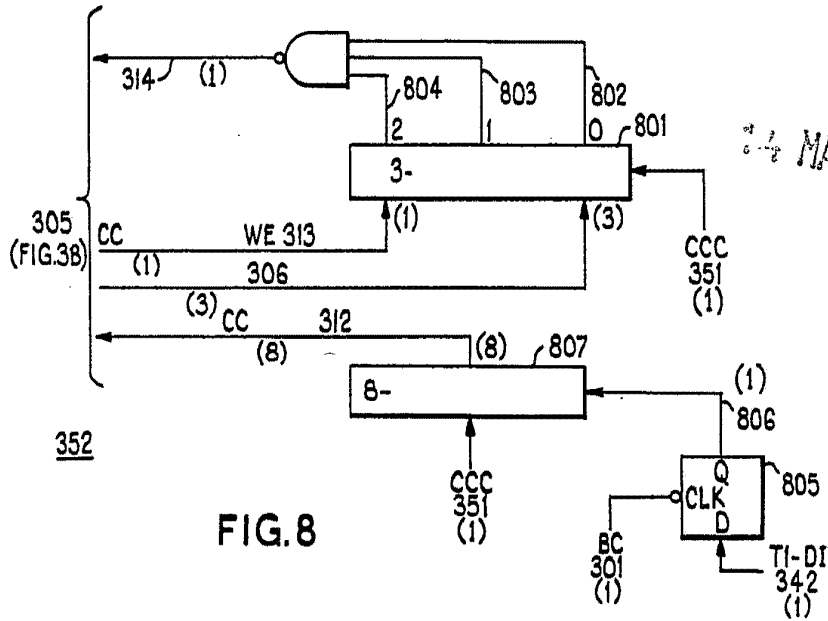


FIG. 8

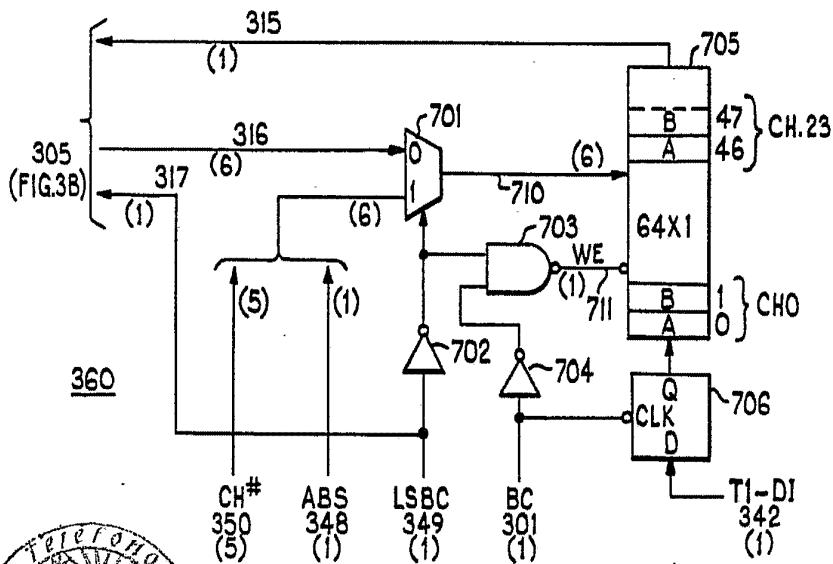


FIG. 7

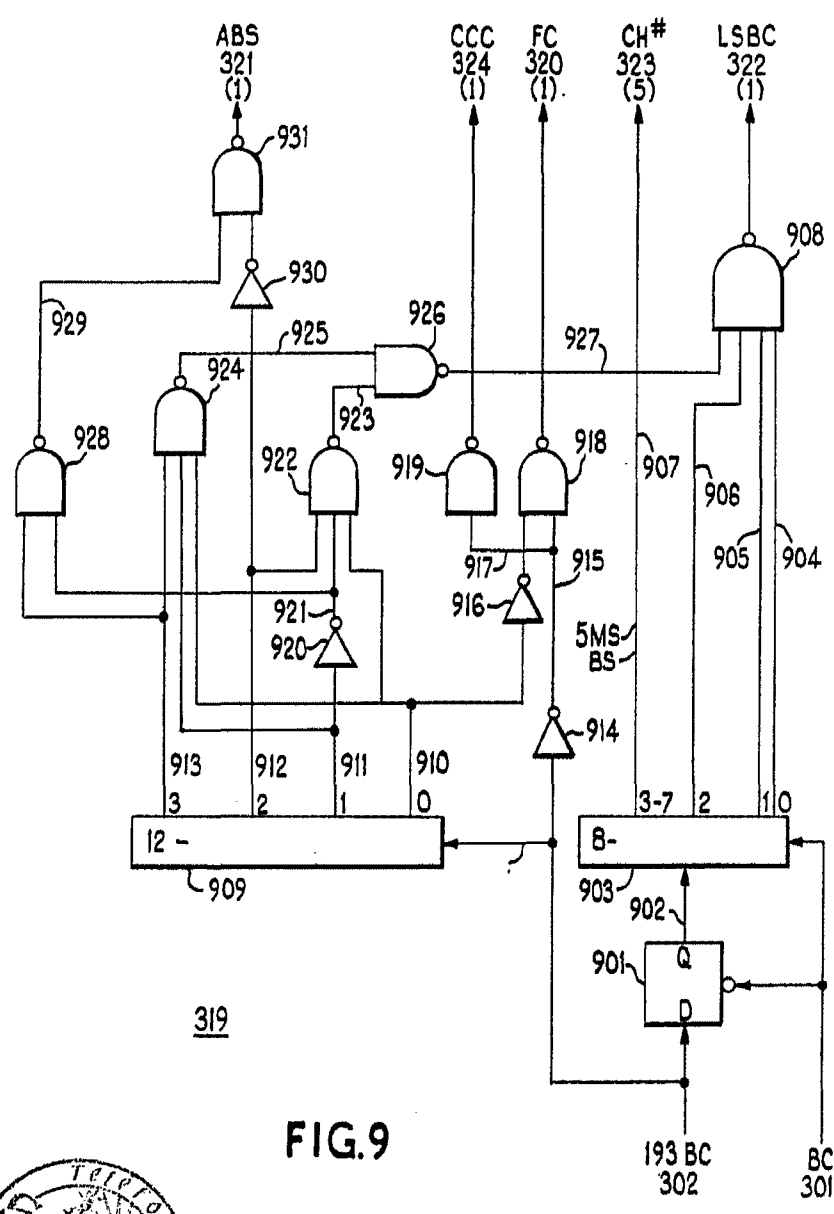


D2

EUGENIO BARRIOSO
Secretario General

19/15

14 MAR. 1979

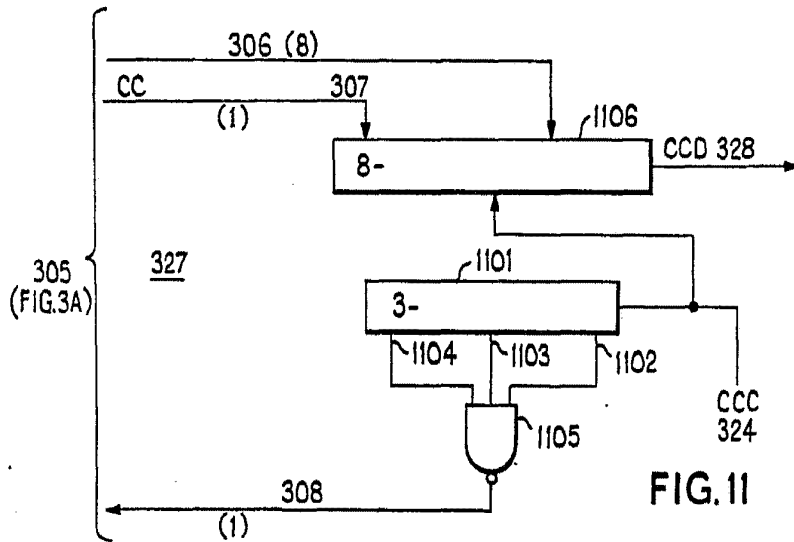


319

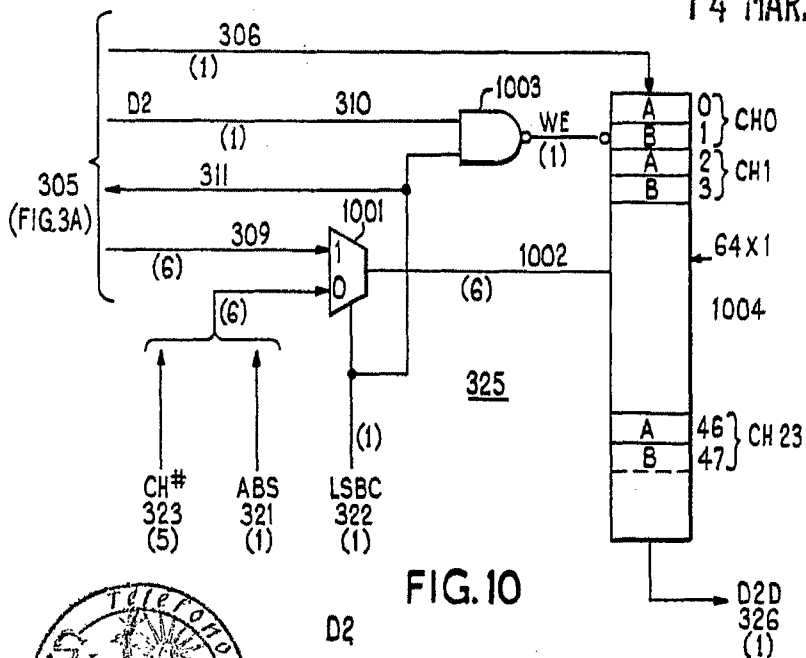
FIG. 9



Eugenio Santos
 EUGENIO SANTOS
 Secretario General



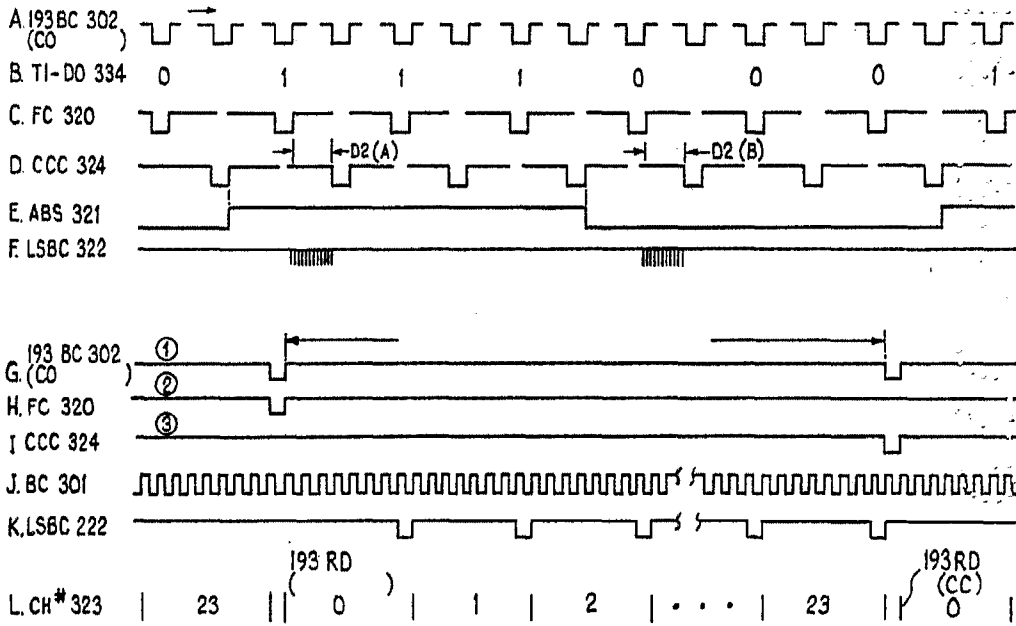
14 MAR. 1979



EUGENIO BARROSO
Secretario General

14 MAR. 1979

FIG. 12

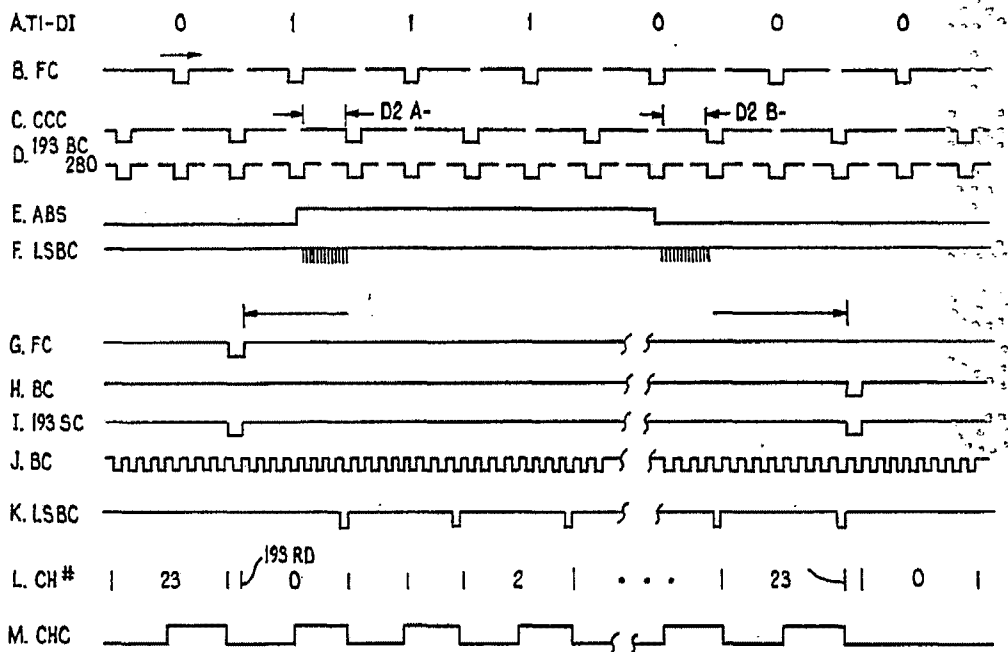


Eugenio Accoso
 Eugenio Accoso
 Secretario General

19/18

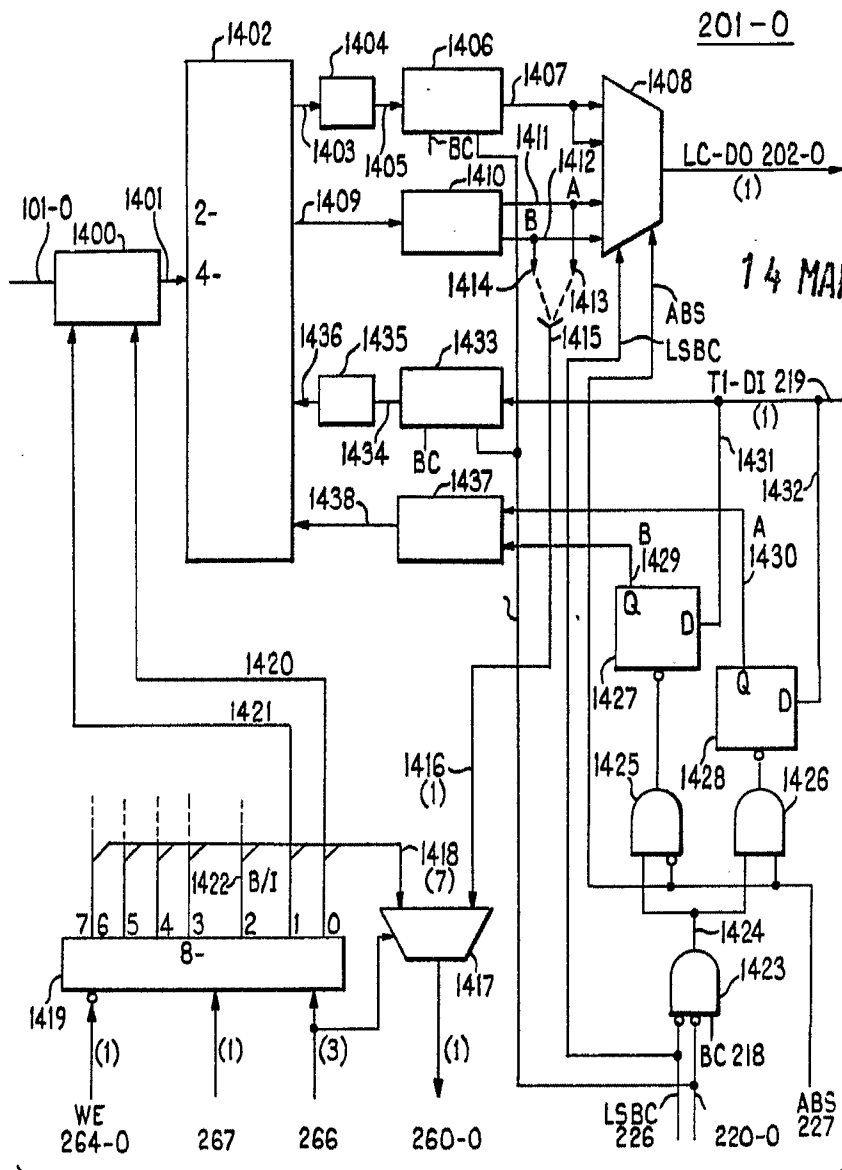
14 MAR. 1979

FIG. 13



Eugenio Zarroso
EUGENIO ZARROSO
Secretario General

19/19



14 MAR. 1979

269
FIG.14



EUGENIO BARROSO
Secretario General