



ESPAÑA

| | | |
|---------|-----------------------|---------|
| (19) ES | (11) NÚMERO | (13) A1 |
| (21) | 470.305 | |
| (22) | FECHA DE PRESENTACION | |
| | 19-Mayo-1978 | |

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

| | | |
|--|----------------------------------|--|
| (30) PRIORIDADES: | | |
| (31) NUMERO | (32) FECHA | (33) PAIS |
| 798.985 | 20-5-1977 | EE.UU. |
| (47) FECHA DE PUBLICIDAD | (51) CLASIFICACION INTERNACIONAL | (62) PATENTE DE LA QUE ES DIVISIONARIA |
| | G 06 F | |
| (54) TITULO DE LA INVENCION | | |
| "APARATO PARA EL PROCESO DE INFORMACION" | | |
| (71) SOLICITANTE (S) | | |
| AMDAHL CORPORATION, una sociedad constituida de acuerdo con las Leyes del Estado de Delaware | | |
| DOMICILIO DEL SOLICITANTE | | |
| SUNNYVALE, California (EE.UU.) 1250 East Arques Avenue | | |
| (72) INVENTOR (ES) | | |
| Richard L. Bishop William A. Gibson | | |
| (73) TITULAR (ES) | | |
| | | |
| (74) REPRESENTANTE | | |
| D. JOSE MIGUEL GOMEZ-ACEBO Y POMBO | | |

La presente invención se refiere a un aparato para el proceso de información, y más particularmente a un aparato mediante el que el estado de los circuitos de puerta puntos en los sistemas de proceso de datos son accesibles para detectar errores, para analizar defectos, para el
5 mantenimiento y para otras tareas.

En sistemas de procesos de datos a gran escala, de gran velocidad, la capacidad para detectar el estado de cualquier puerta y otro circuito en el sistema de proceso de datos, es deseable y conveniente con el fin de ser capaz
10 de detectar y analizar las condiciones de los fallos. Los sistemas conocidos tienen con frecuencia los puntos vitales del sistema de proceso de datos directamente conectados a un panel de control o consola para iluminar lámparas de consola, indicando así el estado de los circuitos de alma-
15 cenamiento del sistema. El procedimiento de conexión directa, sin embargo, resulta engorroso para grandes sistemas de proceso de datos, a causa de que el número de lámparas de iluminación del sistema de consola es demasiado elevado para ser apropiado o conveniente para el análisis.
20

Otros sistemas conocidos han utilizado la capacidad computadora de su propio sistema de proceso de datos para extraer datos que indiquen el estado de los circuitos. Con el fin de obtener dichos datos, son utilizadas las vías de
25 datos convencionales del sistema de proceso de datos con el fin de almacenar los datos extraídos en los lugares prescritos del sistema de almacenamiento. Tal uso de las vías

de datos convencionales del sistema de proceso de datos, presenta el problema de que, si las vías de datos o el conjunto de circuitos de control asociado a ellas son defectuosos, la información es extraída es errónea y por tanto la localización del error resulta dificultosa y lenta.

Con el fin de resolver estos problemas, la solicitud de Patente estadounidense Ser. No. 693.551, depositada en 7 de Junio de 1976, proporciona un aparato y un sistema mejorados para la detección y en análisis de errores. El sistema de proceso de datos descrito en dicha solicitud incluye un aparato primario para llevar a cabo manipulaciones de datos principales de instrucción y control e incluye un aparato secundario para la localización independiente de lugares de almacenamiento y otros puntos en el aparato principal. El aparato secundario incluye un computador digital de instrucción y control, capaz del acceso de información del aparato primario y del análisis de la información obtenida para identificar defectos o para realizar otras tareas.

En este sistema, el aparato primario es un típico sistema de proceso de datos a gran escala, tal como el sistema AMDAHL 470V/6.

La identificación de errores en el sistema de proceso de datos según dicha solicitud, o más generalmente cualquier sistema, requiere la comparación de valores supuestos de información con valores actuales de información. La presencia de diferencias entre los valores actual y supuesto,

indica que ha tenido lugar un error. Los puntos causantes de la diferencia, son utilizados para identificar el error. Con el fin de incrementar la probabilidad de detectar un error, es deseable verificar un gran número de puntos del sistema. En un sistema de proceso de datos a gran escala, es normalmente requerida la comparación de miles de puntos para una adecuada detección y análisis de errores. Además, el espacio de información utilizado para especificar los puntos, es por lo común incluso mucho mayor que el número de puntos actualmente utilizados en la detección o análisis de errores. Sin embargo, cuanto mayor es el número de puntos que deben compararse, mayor es el tiempo utilizado en las comparaciones y mayores son los datos de base de los requeridos valores supuestos. Desde luego, un mayor consumo de tiempo para detectar errores es indeseable, ya que dicho aumento de tiempo va en detrimento de la eficiencia del sistema de proceso de datos y de su capacidad para ser utilizado en otras tareas. Asimismo, la necesidad de unos mayores datos de base es indeseable, ya que requiere más espacio para almacenar los datos de base.

Si bien la solicitud estadounidense Ser. No.693.551 significa unas mejoras en la detección y en el análisis de errores, todavía existen problemas cuando deben examinarse grandes números de puntos para la detección de errores. Existe por tanto una necesidad de métodos y aparatos mejorados para detectar errores en un número elevado de puntos de un sistema de proceso de datos.

La presente invención se refiere a un sistema de proceso de datos que incluye un aparato principal para realizar la manipulación de datos principales e instrucción y control, e incluye un aparato secundario para la localización y acceso independientes de puntos en el aparato principal de proceso de datos. El aparato secundario incluye un generador de un valor de verificación, que genera un valor de verificación actual dependiente de los valores de los datos de los puntos seleccionados accedidos en el aparato principal. El conjunto determinado de puntos accedidos es controlado por el aparato secundario. Dicho aparato secundario ~~almacena un valor de verificación supuesto para~~ su comparación con un valor de verificación actual. Si una comparación indica que el valor de verificación actual difiere del valor de verificación supuesto, ello resulta indicativo de que existe un fallo en el conjunto de puntos utilizado en la formación del valor de verificación.

Como el conjunto de puntos que son combinados para formar un valor de verificación puede ser de miles, y debido a que cada valor de verificación contiene un número mucho menor de bits, se obtiene una substancial reducción del número de comparaciones de valores supuestos y actuales. Esta reducción en el número de comparaciones permite lograr una detección de fallos mucho más rápida. Si no se indica fallo alguno por la comparación de valores de verificación para una primera serie de puntos, ya no es necesario un análisis adicional de dicha primera serie de puntos. Se lleva

entonces a cabo una nueva comparación de valores de comparación,
para una serie diferente de puntos o para la misma serie
de puntos en un tiempo diferente en el aparato principal,
sin necesidad de perjudicar el rendimiento del sistema por
5 análisis adicionales de la primera serie de puntos.

Cuando se ha detectado un fallo en las comparaciones
de los valores de verificación actual y supuesto, es posible
analizar adicionalmente la serie de puntos que entra en
la composición del valor de verificación para determinar qué
10 subconjunto de puntos es el causante del fallo.

Como el conjunto de puntos del subconjunto de puntos
~~accedidos para formar un valor de verificación es controlable~~
por el aparato secundario, el análisis de conjuntos y subcon-
juntos para encontrar fallos se realiza de forma ordenada y
15 rápida.

De acuerdo con una característica de la presente inven-
ción, se dispone una memoria para identificar un subconjunto
de puntos en el aparato principal con el fin de identificar
un subconjunto de puntos en el aparato principal para ser
20 utilizado en la formación de un valor verificación o para
un análisis de fallo. Solo aquellos puntos que son adecuada-
mente identificados en la memoria, contribuyen realmente en
el valor de verificación o en el análisis. La totalidad
de puntos no identificados adecuadamente, son ignorados.
25 La identificación se realiza, por ejemplo, por almacenamiento
de cero lógicos en lugares de memoria correspondientes uno
a uno con puntos seleccionados en el aparato principal.

Cuando se desea analizar los valores de datos del subconjunto de puntos identificados en la memoria, se lleva a cabo una exploración compacta de dichos puntos. Durante una exploración compacta, sólo los puntos identificados en la memoria tienen los estados actuales de sus valores de datos accedidos y almacenados para análisis posteriores. Los estados actuales del subconjunto de puntos son entonces utilizables para análisis posteriores. Los estados actuales del subconjunto de puntos identificados pueden ser comparados con estados supuestos de dicho subconjunto de puntos, para posteriores identificaciones de fallos o posteriores análisis.

La memoria que almacena la información para la identificación de un subconjunto de puntos en el aparato principal, es cargada típicamente bajo control del computador secundario. De esta forma, la identificación de cualquier subconjunto seleccionado de puntos en el aparato principal es controlada por el computador secundario. Por tanto, se obtiene una gran flexibilidad y una gran velocidad en el análisis del aparato principal.

De acuerdo con el resumen realizado, la presente invención alcanza el objetivo de proporcionar un sistema mejorado para la detección y el análisis de fallos, particularmente en sistemas de proceso de datos que tengan un gran número de puntos para la detección y el análisis de fallos.

Otras características y ventajas de la presente

invención, se desprenderán de la descripción que a continuación se hace con relación a los dibujos adjuntos, que ilustran, a título de ejemplo no limitativo, una forma de realización de la misma.

5 La Fig. 1 representa un diagrama de bloques del conjunto de un sistema de proceso de datos apropiado para ser utilizado en la presente invención;

 la Fig. 2 muestra un diagrama esquemático de la unidad de consola del sistema de la Fig. 1;

10 la Fig. 3 es otro diagrama esquemático del controlador de interrelación y del elaborador de interrelación de consola/CPU (CCIP) que forman parte del conjunto de la unidad de consola de la Fig. 2;

 la Fig. 4 representa un diagrama esquemático de
15 detalles adicionales del elaborador CCIP de la Fig. 3.

 las Figs. 5 y 6 representan conjuntamente un diagrama esquemático de un ordenador de frecuencia síncrono que forma parte del elaborador CCIP de la Fig. 4;

 la Fig. 7 muestra unos detalles adicionales, también
20 diagramáticos, de la lógica de generación del valor de verificación, que forma una parte del generador del valor de verificación en el elaborador CCIP; y

 la Fig. 8 muestra una representación diagramática de un circuito que sirve como ejemplo de puntos que deben ser
25 examinados para la detección de fallos en la unidad de inspección del sistema de la Fig. 1.

 En la Fig. 1, el sistema de proceso de datos de

la presente invención se ilustra con un aparato principal que incluye un almacén principal 2, una unidad de control de almacenamiento 4, una unidad de instrucción 8, una unidad de ejecución 10, una unidad de canal 6 con una entrada/salida asociada (I/O) y una unidad de consola 12. La unidad de consola 12, además de formar parte del aparato principal, incluye también un computador de consola que forma parte de un aparato secundario independiente del aparato principal. Desde luego, la ubicación y el tipo del computador que constituye el aparato secundario, no son elementos decisivos del sistema de que se trata.

~~El sistema de la Fig. 1, como aparato principal, opera~~ bajo el control de un sistema primario de instrucciones, en el que un grupo organizado de dichas instrucciones forma un programa de sistema primario. Las instrucciones del sistema primario y los datos sobre los que operan las instrucciones, son introducidos desde el equipo I/O por medio de la unidad de canal 6, a través de la unidad de control de almacenamiento 4, y en el almacén principal 2. Desde el almacén principal 2, son recogidos instrucciones del sistema y datos por la unidad de instrucción 8, a través de la unidad de control de almacenamiento 4, y son procesados de manera que controlen la ejecución en la unidad de ejecución 10.

El aparato principal del sistema de la Fig. 1 puede ser, por supuesto, cualquier sistema de proceso de datos.

En dicho sistema de proceso de datos cualquiera, están expuestos a aparecer defectos que causen operaciones

erróneas del aparato principal. Una función del aparato secundario consiste en detectar tales fallos y en ayudar a identificar los puntos que originen dichos fallos en el aparato principal.

5 En la Fig. 2, la unidad de consola 12 de la Fig. 1 es ilustrada con mayor detalle. La consola 12 es un aparato secundario para llevar a cabo la detección y el análisis de fallos del aparato principal. La consola 12 incluye un computador digital 501 que está interconectado con una
10 memoria de consola 502 en forma convencional. El computador digital 501 está conectado a una pluralidad de controladores, que incluyen un controlador de disco 516, un controlador de canal 411, un controlador de panel 513 y un controlador de relación 511. Controladores adicionales pueden conectarse
15 al computador 501 de forma convencional.

El computador de consola 501, junto con sus controladores y su memoria, forma un aparato secundario programable y opera independientemente del aparato principal.

20 La independencia es efectiva tanto con respecto al procesamiento como a las vías de control y de datos del aparato principal.

La distribución entre el computador 501, la memoria 502 y los controladores de la Fig. 2, es convencional. El computador 501 es cualquier computador conocido, tal como el identificado en la solicitud de Patente estadounidense mencionada
25 Ser. no. 693.551. Asimismo, los controladores conectados al computador 501 son dispositivos ya conocidos. El controlador

de disco 516 se dispone entre el computador 501 y un sistema de registro de disco 528, de forma convencional. El controlador 411 es uno de los controladores de canal asociados con la unidad de canal 6 de la Fig. 1. El controlador de panel 513 se dispone de forma convencional entre el computador digital 501 y el panel de control 524.

El controlador de interrelación 511 se dispone entre el procesador de interrelación de consola/CPU (CCIP) 525 y el computador digital 501. El controlador de interrelación 511 se conecta al computador digital 501 mediante el colector de cuarenta y ocho bitios 535 y al elaborador CCIP 525 mediante el colector 533. El elaborador 525 está conectado a su vez por el colector 436 a una pluralidad de puntos, tales como puertas de líneas de control y de registro, en todo el sistema de proceso de datos de la Fig. 1.

El aparato secundario de la presente invención incluye el computador de consola 501, el controlador de interrelación 511 y el elaborador CCIP 525. El aparato secundario se comunica con el aparato primario de la Fig. 1 de modo que realice la detección de fallos, los análisis de fallos y otras tareas.

Específicamente, el aparato secundario accede a puntos del aparato primario y origina un valor de verificación actual para ser generado en respuesta a los niveles de datos de puntos accedidos por el aparato secundario. Consiguientemente, el aparato secundario, compara el valor de verificación actual así obtenido con el valor de verificación supuesto contenido en el almacenamiento del aparato secundario.

En la Fig. 3 son mostrados con mayor detalle el elaborador de interrelación de consola CCIP 525 y el controlador de interrelación 511 y sus interconexiones. La función del elaborador 525 viene dada en respuesta del computador 501 para acceder valores de datos de puntos informados en el aparato principal, formar el valor de verificación actual sobre los valores de datos accedidos y proporcionar el valor de verificación actual al computador 501 para su comparación con el valor de verificación supuesto. A través del controlador 511 se realizan transferencias al y del computador 501 y elaborador 525.

~~El controlador de interrelación 511 conecta sobre~~ el colector de 48 bitios al computador de consola 501, en forma convencional. El colector 535 se conecta mediante convencionales puertas de selección 576 de entrada y salida a los componentes del controlador 511. Específicamente, un colector de 17 bitios está conectado al registro de datos de salida (ODR) 575. Un colector de 4 bitios se conecta al registro de información especial (SAR) 574. Un colector de 3 bitios se conecta al registro E(ER) 578. Un colector de 4 bitios se conecta al registro de máscara de entrada (IMR) 579. La línea de carga (LOAD) 549, la línea de conexión (START) 550, y la línea de desconexión (CLEAR), 551 son líneas de salida individual. La línea de conclusión (DONE) 585 y el colector de 8 bitios 588, son líneas de entrada de las puertas 536. La puerta de entrada (IG) 572 proporciona un colector de entrada de 16 bitios a las puertas 536.

La función del registro ODR 575 es producir informaciones especificando puntos particulares en el aparato primario de la Fig.1 para ser cargados desde el aparato secundario en el elaborador CCIP 525. Adicionalmente, el registro
5 ODR 575 se emplea para controlar el estado operativo del elaborador CCIP 525.

La función del registro SEAR 574 es controlar qué porción del elaborador 525 es la apropiada para recibir datos del controlador de interrelación 511 o qué porción es la
10 adaptada para retornar datos al controlador de interrelación 511.

La función de las puertas IG 572 consiste en conectar ~~datos de una serie de puertas de 16 bitios del banco de~~
puertas 508, en las puertas de selección 506. Las funciones del registro ER 578, la puerta Y(AND) 583 y el registro IMR 579,
15 no se emplean directamente en la presente invención. El funcionamiento y los detalles de estos elementos se describen en la mencionada solicitud titulada "sistema de proceso de datos y consola para la realización del mismo".

En la Fig. 3, el elaborador CCIP 525 se conecta al
20 controlador de interrelación 511 sobre las líneas 533. De manera análoga, el elaborador CCIP 525 tiene unas líneas de entrada/salida 436 que conectan el aparato principal de la Fig. 1 en una forma que será explicada más adelante. Brevemente, el colector de exploración de información de 9 bitios 590
25 informa uno de los 512 puntos de circuito en cada una de las 128 secciones, denominados MCC, en el aparato principal de la Fig. 1. El valor de datos de cada uno de los 128 puntos

informados, es retornado al colector de exploración de datos 591 de 128 bitios. Detalles particulares de cómo el sistema principal de la Fig. 1 está organizado para informar y acceder a la información, se describen en las solicitudes anteriormente mencionadas.

En la Fig. 3, el elaborador 525 incluye un descodificador de 4 bitios convencional (DEC) 597. El descodificador 597 está cargado por el colector de 4 bitios 580 desde el registro SAR 574 en el controlador de interrelación 511. El descodificador 597 funciona de forma convencional para seleccionar una de sus salidas, hasta 16, y determinar con ello qué porciones del elaborador 525 han de ser habilitadas para recibir información del controlador 511 o transmitir información adicho controlador 511.

Una porción del elaborador 525 es el registro de exploración de información de 16 bitios (SADR) 556. El registro 556 está cargado por el colector de 16 bitios 599 desde el registro 575 ODR del controlador 511. La carga del registro 556 tiene lugar bajo el control de una de las salidas descodificadas, la salida 621-10, del descodificador 597 en combinación con la señal LOAD en la línea 549. Dichas señales están combinadas en la puerta AND 559 para controlar la carga en el registro SADR 556, de forma convencional.

Otra porción del elaborador 525 es el registro de estado de operación de 16 bitios 557 (OSR). El registro OSR 557 es cargado por el colector de 16 bitios 599 procedente del registro 575 ODR del controlador 511. El control

de la carga queda bajo la salida descodificada 621-8 del descodificador 597, en combinación con la señal LOAD procedente de la línea 549. Estas señales de control están combinadas en la puerta AND 558 para controlar la alimentación del registro OSR 557. La salida del registro OSR 557 se conecta como una entrada para controlar el ordenador de frecuencia 503.

Otra porción del elaborador 525 es el selector/almacenador de bitios 506. El almacenador 506 funciona cuando es seleccionado por la puerta AND 560 para seleccionar una de las líneas de entrada del colector de 128 bitios 593 y para almacenar internamente dicho bitio. El bitio escogido de entre los 128 bitios de información correspondiente a uno de los 128 de MCC, es determinado por el colector de 7 bitios 540-1 procedente del registro SADR 556. Los datos del colector 593 seleccionados por el selector/almacenador 506 representan los datos que aparecen en el colector de exploración de datos de 128 bitios 591, tal como han sido modificados, en su caso, en la máscara 505. La puerta AND 560, que habilita el selector/almacenador de bitios 506, es alimentada por la señal LOAD procedente de la línea 549 y por la salida descodificada 621-7 procedente del descodificador 597. La salida de 16 bitios procedente del selector/almacenador 506 es introducida a uno de los grupos de puertas de selección 508.

El grupo de puertas 508 incluye una pluralidad de puertas de 16 bitios 561 a 568 y 569-1 a 569-5. Cada una de las puertas de selección del grupo 508 es habilitada por

una salida descodificada procedente del descodificador 597.
Solamente una de las puertas de 16 bitios en el grupo de
puertas 508 es habilitada en cada vez. La puerta habilitada
proporciona la salida del colector de 16 bitios 589, que
5 se conecta a las puertade entrada (IG) 572 en el controlador
de interrelación 511.

La Fig. 3, la relación entre la fuente de la informa-
ción que debe ser procesada (SOURCE), la puerta 16 bitios
utilizada (GATE NO.), y la salida descodificada procedente
10 del descodificador 597 (DEC OUTPUT), se ilustran en la siguien-
te tabla 1

TABLA I

| <u>FUENTE</u> | <u>PUERTA No</u> | <u>SALIDA DESCODIFICADA</u> |
|--|----------------------|---------------------------------|
| 15 Colector 593: | | |
| Exploración 0-15 | 561 | 621-0 |
| Exploración 16-31 | 562 | 621-2 |
| Exploración 32-47 | 563 | 621-1 |
| Exploración 48-63 | 564 | 621-11 |
| 20 Exploración 64-79 | 565 | 621-5 |
| Exploración 80-95 | 566 | 621-4 |
| Exploración 96-111 | 567 | 621-12 |
| Exploración 112-127 | 568 | 621-13 |
| Colector de estado de entrada 592 | 569-1 | 621-8 |
| 25 Generador de valor de verificación 507 | 569-2 | 621-6 |
| Selector/almacenador 506 | 569-3 | 621-10 |

| <u>FUENTE</u> | <u>PUERTA Nº</u> | <u>SALIDA DESCODIFICADA</u> |
|--------------------|----------------------|---------------------------------|
| SADR 556 | 569-4 | 621-5 |
| ODR 575 | 569-5 | 621-7 |
| 5 Puertas PROC 523 | 569-6 | 621-14 |

En la Fig. 3, el elaborador 525 incluye una memoria (CCIP) de elaborador de interrelación de consola/CPU 504. La memoria 504 es una convencional memoria de acceso libre de 512 X128 bitios. Las localizaciones en la memoria 504 corresponden 1-a-1 con los puntos informables y accesibles en el aparato principal de la Fig.1. La memoria 504 se utiliza para almacenar ya sea un valor enmascarado (Lógico 1) o sin enmascarar (Lógico 0) para indicar el estado de cada uno de los 65.536 puntos informables en y accesibles desde el aparato principal. Los valores accedidos de la memoria 504 son utilizados para controlar los subconjuntos de puntos informados y accedidos que deben no ser seleccionados (valores enmascarados) y aquellos subconjuntos que deben ser seleccionados (valores no enmascarados). La memoria 504 es informada por el colector de salida de 16 bitios 590-2 procedente del registro SADR 556. Los 9 bitios de orden superior especifican uno de los 512x128 bitios. Los 7 bitios de orden inferior especifican posiciones de bitio en un grupo de señales de 128 bitios. El contenido del grupo de señales informado de la memoria 504 aparece en el colector de salida de 128 bitios 534. Cualquier localización en el colector de 128 bitios 534 que tenga un 1 lógico produce el correspondiente

bitio desde el colector de 128 bitios 591 para ser enmascara-
do en la máscara 505. Si todos los bitios del colector 534
son cero, entonces la información en el colector 593 para
la máscara 505 es idéntica a la información invertida en el
5 colector 591.

En la Fig. 3, el ordenador de frecuencias síncrono
(SS) 503 funciona para controlar muchas de las otras partes
del elaborador 525. La interconexión de las señales de con-
trol en el colector de salida 521 con el resto de las partes
10 del elaborador 525, se describe a continuación. Brevemente,
el ordenador de frecuencia 503 recibe las líneas CLEAR, START
y ~~LOAD-551, 550 y 549~~ procedentes del controlador de inter-
relación 511 y recibe las salidas descodificadas 621-6,
621-7 y 621-10 procedentes del descodificador 597. El orde-
15 nador de frecuencia 503, en respuesta a dichas señales de
entrada, funciona para proporcionar señales de salida apro-
piadas al colector 521 para controlar el elaborador 525 con
el fin de realizar la detección de sus fallos y otras funcio-
nes. Cuando se realiza la operación de detección de fallos,
20 el ordenador de frecuencia 503 realiza 512 frecuencias, una
para cada uno de los 512 bitios por MCC accesible del aparato
principal en la Fig. 1.

En la Fig. 3, el generador de valor de verificación 507
recibe el colector de 128 bitios 593 como su entrada. El
25 generador de valor de verificación 507 funciona para formar
un valor de verificación cada vez que aparece en el colec-
tor 593 una información procedente de un nuevo conjunto de

puntos. En el aparato principal de la Fig. 1, ello sucede 512 veces diferentes para una exploración completa de todos los puntos. Por tanto, en una búsqueda del aparato principal, se generan 511 valores de verificación intermedios diferentes y un valor de verificación final. Cada valor de verificación intermedio tiene un valor determinado tanto por la información contenida en el colector 593 como por el valor de los valores de verificación intermedios previos. Cuando la totalidad de las 512 iteraciones de la secuencia se han completado, aparece el valor de verificación final en el colector de salida de 16 bitios conectado a la puerta de 16 bitios 569-2, que está comprendida en el grupo de puertas 508.

En la Fig. 4 se ilustran detalles adicionales del elaborador CCIP 525 de la Fig. 3.

El registro SADR incluye la etapa de exploración de información de 7 bitios 556-1 y la etapa de exploración de información de 9 bitios 556-2. Las etapas 556-1 y 556-2 son alimentadas con los 7 bitios de orden inferior y los 9 bitios de orden superior, respectivamente, del colector de 16 bitios 599. Ambas etapas 556-1 y 556-2 son alimentadas bajo el gobierno de una señal encarga en sus entradas (L) procedentes de la puerta 559. La etapa 556-1 es incrementada con una señal en su entrada, I, por la línea 661 procedente del ordenador de frecuencias 503, y la etapa 556-2 es incrementada con una señal en su entrada I por la línea 662 procedente del ordenador de frecuencias 503. Las etapas 556-1 y 556-2 son desconectadas por señales en sus entradas CLR por

las líneas 666 y 667, procedentes del ordenador de secuencias 503. En la etapa 556-1 tiene lugar un transporte en la entrada CI por medio de la línea 667 procedente del ordenador de secuencia 503. Otros transportes en las salidas CO aparecen procedentes de las etapas 556-1 y 556-2 por las líneas 663 y 664. Las líneas de transporte 663 y 664 son introducidas en el ordenador de secuencias 503. Las salidas de datos paralelas procedentes de las etapas 556-1 y 556-2 son el colector de 7 bitios 590-1 y el colector de 9 bitios 590, que juntos forman el colector de 16 bitios 590-2. El colector de 7 bitios 590-1 define uno de entre los 128 diferentes MCC que son utilizados en el aparato principal de la Fig. 1. El colector de 7 bitios 590-1 es utilizado para informar al multiplexor 668 dispuesto en el interior del selector/almacenador de bitios 668. El multiplexor 668 es un dispositivo de selección convencional adaptado para recibir el colector de entrada de 128 bitios 593 y seleccionar una sola de aquellas entradas como una salida de la línea de un bitio 669. La línea 669 forma la entrada de datos (DI) a un registro de conversión de 16 bitios 670. Los datos presentados en la línea de un bitio 669 son convertidos mediante el registro de conversión 670 bajo orden procedente de la línea de conversión (S) 671 que viene del ordenador de secuencias 503. Asimismo, la información del colector de 16 bitios 590 es introducida en el registro de conversión de bitios 670 bajo orden de la señal de carga (L) procedente de la puerta AND 560. Una salida en serie (DO) procedente del registro

de conversión 670 aparece en la línea 672, la cual a su vez forma la entrada de datos (DI) en la memoria 504. La salida paralela de 16 bitios procedente del registro de conversión de bitios 670, se conecta a las puertas de salida 508 cuando es seleccionada por el descódicador 597 en el colector de salida de 16 bitios 589.

En la Fig. 4, el generador de valor de verificación 507 incluye un registro de valor de verificación (CSR) 673 y un circuito lógico de valor de verificación 674. El registro CSR 673 recibe una entrada en paralelo de 16 bitios en el colector 675 proveniente del circuito lógico 674. El registro 673 proporciona a su vez una salida de 16 bitios en el colector 595, la cual se conecta a las puertas 508 y al circuito lógico 674. El registro CSR 673 está alimentado con el contenido del colector 675, bajo el control de la línea de carga 676 procedente del ordenador de secuencias 503. El registro 673 es desconectado hasta un estado de cero total con una señal en la línea de desconexión 677 proveniente del ordenador de secuencias 503.

En la Fig. 4, la máscara 505 incluye las puertas de 128 bitios 539 y 547. La puerta 539 está formada típicamente a partir de puertas de entrada NOR de 128 bitios, siendo una de las entradas para cada puerta NOR una línea diferente de las líneas que provienen del colector de 128 bitios 591 y siendo la otra entrada, común a todas las puertas, una línea de control 678 que proviene del ordenador de secuencias 503. Cada vez que la línea 678 es un 1 lógico,

las puertas 539 vienen todas obligadas a producir una salida 0 en la puerta de 128 bitios 538. Cada vez que la línea 678 es un 0, la salida de 128 bitios que proviene de la puerta 539, tiene los niveles invertidos del colector de 128 bitios 591.

5 La puerta 579, por tanto, sirve para pasar o inhibir los datos en el colector 591.

La puerta de 128 bitios 547 recibe el colector de 128 bitios 534 que viene de la memoria 501. La puerta 547 está típicamente formada por puertas de 128 de dos entradas.

10 Una de las entradas para cada puerta es uno de los bitios que proceden del colector de 128 bitios 534 y la otra entrada, común a todas las puertas, es la línea de control 679

procedente del ordenador de secuencias 503. Cada vez que la línea de control 689 es un 0 lógico, los valores de datos

15 en el colector 534 aparecen como una salida procedente de la puerta 547. Cada vez que el nivel lógico de la línea 679 es 1, los valores de datos procedentes de la puerta 547 son

todos 0. La puerta OR de 128 bitios 538 procesa lógicamente con la función OR los datos que proceden de las puertas 547

20 539 en el colector de memoria/exploración 593. El nivel verdadero lógico de los datos en el colector 593 es 0.

El efecto subsiguiente de cualquier 1 en una localización de bitio en el colector 534, que coincida con un 0 lógico en la línea de control 679, es obligar a un 1 a la corres-

25 pondiente localización en el colector 593, es decir, a un nivel lógico falso. Este forzamiento de bitios 1 tiene el efecto de enmascarar los bitios particulares forzados.

Cada bitio de los datos contenidos en el colector 593 es seleccionable por el multiplexor 668. Asimismo, el colector 593 es una entrada del circuito lógico de valor de verificación 674 y es seleccionable en grupos de 16 bitios
5 mediante los grupos de puertas 508.

La memoria CCIP 504 recibe datos de un bitio en cada vez, procedente de la línea de un bitio 672 que viene del registro de conversión 670. Los datos que aparecen en la línea 672 son introducidos en la memoria 504 con un orden
10 de introducción (W) que aparece en la línea 679 procedente del ordenador de secuencias 503. La localización en la cual son introducidos datos en la memoria 504, está controlada por las líneas de información de 16 bitios procedentes de los colectores de información 590-1 y 590.

15 La Fig. 4, se muestran detalles adicionales de la circuitería de control 509. Dicha circuitería de control, sin embargo, no se utiliza directamente en la presente invención. Su utilización con respecto del elaborador CCIP 525 es la misma que la descrita en la citada solicitud de Patente
20 por "Sistema de proceso de datos y consola" y por tanto no requiere una descripción adicional en relación con la presente invención, excepto para destacar que la salida (AS7) de la puerta 582 es habilitada mediante la línea 680 que procede del ordenador de secuencias 503.

25 En las Figs. 5 y 6, se ilustran detalles adicionales del ordenador de secuencias de la Fig. 4. Dicho ordenador de secuencias 503, en la forma de realización ilustrada,

controla el elaborador CCIP 525 de las Figs. 3 y 4 realizando una operación seleccionada entre tres. Dichas tres operaciones son MEMORIA DE INTRODUCCION (TABLA V más adelante), VALOR DE VERIFICACION (TABLA VI) más adelante) y EXPLORACION COMPACTA (TABLA VII más adelante).

En la Fig.5, la línea de entrada 621-6 procedente del descodificador 597 de la Fig. 4 se utiliza para imponer al ordenador de secuencias 503 para una operación de valor de verificación. La línea 621-6 se conecta a una puerta AND 685-1 la cual está habilitada por la línea START 550 procedente del controlador de interrelación 511 de la Fig. 3. Cuando está alimentada, la puerta 685-1 actúa el interruptor de ajuste reajuste 686-1. La salida del interruptor 686-1 se conecta a los puntos designados con A en las Figs. 5 y 6. Una señal en los puntos A significa que el ordenador de secuencias 503 está dispuesto para la operación de valor de verificación.

En la Fig. 5, la línea de entrada 621-7 procedente del descodificador 557 de la Fig. 4, funciona mediante una puerta AND 686-2 para preparar el interruptor 686-2 y por tanto al ordenador de secuencias 503 para una operación de memoria de introducción. La puerta 685-2 es habilitada por la línea de carga LOAD 549 procedente del controlador de interrelación 511 de la Fig.3. La salida procedente del interruptor 686-2 está conectada a los puntos B mediante el aparato de la Fig. 5 y la Fig. 6. Una señal en los puntos B significa que el ordenador de frecuencias 503 está prepa-

rado para una operación de memoria de introducción.

En la Fig. 5, la línea de entrada 621-10 procedente del descodificador 597 de la Fig. 4 prepara al ordenador de frecuencias 503 para una operación de exploración compacta a través de la puerta AND 686-3. La puerta 685-3 es habilitada por la línea de conexión START 550 procedente del controlador de interrelación 511 de la Fig. 3 y opera para actuar el interruptor 686-3. La salida procedente del interruptor 686-3 se conecta a la totalidad de los puntos C mediante el aparato de las Figs. 5 y 6. Una señal de los puntos C significa que el ordenador de secuencias 503 está dispuesto para una operación de exploración compacta.

Cada vez que una de las puertas 685-1, 685-2 ó 685-3 es alimentada para señalar una operación, dos de las puertas OR 648-1, 648-2 ó 648-3 son operativas para reajustar dos de los interruptores 686-1, 686-2 y 686-3, con el fin de asegurar que las otras dos operaciones no sean señaladas al mismo tiempo. Asimismo, cuando una cualquiera de las puertas 685-1 a 685-3 es alimentada, la puerta OR 648-4 genera una señal de reajuste RESET, la cual es propagada a través del circuito de las Figs. 5 y 6 para ajustar o reajustar los interruptores y las etapas de registro del mismo.

En la Fig. 5, los estados de modo de las operaciones de valor de verificación, de memoria de introducción y de exploración compacta, vienen determinados por las etapas de basculación 687-1 a 687-6. La etapa 687-1 designa un

estado IDLE; la etapa 687-2 designa un estado activado (GO); la etapa 687-3 designa un estado iniciado (INIT); la etapa 687-4 designa un estado de procedimiento de exploración (SOP); la etapa 687-5 indica un estado de no exploración (NSOP); la etapa 687-6 indica un estado de término (END).

Después de que el sistema de las Figs. 5 y 6 ha sido reajustado, la etapa IDLE 687-1 y la etapa GO 687-2 están dispuestas para proporcionar un 1 en sus salidas. Dado que la etapa END 687-6 ha sido adecuadamente reajustada con un 0 a su salida la etapa GO 687-2 permanece ajustada y habilita la etapa INT 687-3 para proporcionar un 1 en su salida.

La salida de la etapa INIT 687-3 habilita las puertas AND 620-1 y 620-2 para proporcionar la señal CLR CSR y en la línea 667 y las señales CLR SADR en las líneas 666 y 667 si debe realizarse una operación de valor de verificación como viene indicado por la salida A del interruptor 686-1. La etapa INIT 687-3 también reajusta el interruptor de salida 695. La salida del interruptor 695 es la línea AS7 680 que designa cuando la operación que es controlada por el ordenador de secuencias 503 es completa. La etapa INIT 687-3 habilita asimismo la puerta 689-1 la cual permite que la etapa SOP 687-4 quede dispuesta para iniciar un procedimiento de exploración. La salida de la etapa INIT 687-3 habilita asimismo la puerta 689-2, la cual permite a la etapa NSOP 687-5 que quede dispuesta cada vez que

deba llevarse a cabo un procedimiento de no exploración.

La etapa SOP 687-4, cuando está habilitada, es ajustada tanto para la operación de valor de verificación designada por el interruptor 686-1 (la salida A) como para la

5 salida de exploración compacta designada por el interruptor 686-3 (la salida C) mediante la puerta OR 649. La etapa NSOP 687-5, cuando es habilitada, está adaptada para actuar sobre el interruptor de memoria de introducción 686-2 (la salida B). La etapa SOP 687-4, si ha sido previamente dis-
10 puesta, la etapa NSOP 687-5, si ha sido previamente dispuesta, y la etapa END 687-6, están todas originadas por etapas de conmutación, por la operación de una señal END de la Fig. 6.

Las señales END de la Fig. 6 indican que la operación (es decir, el valor de verificación, la memoria introducción
15 o la exploración compacta) ha finalizado desconectándose así para reajustar la etapa SOP 687-4 y la etapa NSOP 687-5, mientras que la etapa END 687-6 está dispuesta con un 1 en su salida. Dicho 1 prepara el interruptor de salida 685 para proporcionar una señal AS7 en la línea 680 y reajusta la
20 etapa GO 687-2. El reajuste de la etapa GO 687-2 provoca el ajuste de la etapa IDLE 687-1. Las señales RESET, INIT, SOP y NSOP, asociadas con las etapas de modos 687, están conectadas como entradas al aparato de la Fig. 6.

En la Fig. 6 se ilustra el aparato para controlar el
25 estado de tiempo del elaborador CCIP 525 de las Figs. 3 y 4. El aparato de la Fig. 6 recibe las señales de estado de modo INIT, SOP, NSOP y las señales de operación A, B y C

procedentes del aparato de la Fig. 5. Adicionalmente, el aparato de la Fig. 6 recibe la señal RESET de reajuste del aparato de la Fig. 5 y reenvía la señal END a dicho aparato.

5 En la Fig. 6, el estado del tiempo del ordenador de frecuencias es determinado por el registrador de conversión de estado de tiempo 696, el cual incluye etapas de registro de conversión 696-0 a 696-5. El registrador de conversión 696 se inicia por la carga de un 1 en la etapa
10 696-0, mediante la operación de la señal INIT de la Fig.5. La señal INIT también alimenta la puerta AND 607 si se está realizando una operación de exploración compacta (C).

La puerta 607, mediante la puerta OR 605, ajusta el interruptor 633 para proporcionar una señal de inhabilitación de exploración (DISABLE SCAN) en la línea 678. El 1
15 introducido en la etapa 696-0 habilita a una entrada AND del interruptor 610 y es transferido a la etapa 696-1. Si durante una operación de exploración compacta (C), se lee un 0 lógico ——— en la memoria CCIP 504 de la Fig.4,
20 en la información seleccionada por el multiplexor 668, y aparece en la línea 669, dicho 0 evita que el interruptor 610 de la Fig. 6 sea ajustado. Si aparece un 1 lógico en la línea 669 en las mismas condiciones, el interruptor 610 es ajustado de forma que la etapa de retardo 696-6 es
25 derivada. La salida de la etapa 696-1 es introducida en la etapa 696-2. Adicionalmente, la salida de la etapa 696-1 origina una señal de carga (LD) en un contador de retardo de

8 bitios 697. La señal de carga procedente de la etapa 696-1, da lugar a que los bitios (0-7) del colector 616 procedentes del registro OSR 557 de la Fig. 4, sean introducidos en la entrada de datos (DI) del contador 697. La operación de
5 contado en el contador 697 es utilizada para determinar la longitud del retardo originado por la etapa 696-6 a causa de que dicha etapa no sea derivada.

La salida de la etapa 696-2 es una entrada AND'ED de la etapa de retardo 696-6. La otra entrada AND'ED es
10 derivada de la puerta 649. En ausencia de una operación de exploración compacta, la salida del interruptor 610 es un 0 que habilita la puerta 649. Asimismo, durante una operación de exploración compacta, la salida de la
puerta 610 solo permanece en 0 si el bit enmascarado accedi-
15 do de la memoria 504 de la Fig. 4 no es un 1 como aparece en la línea 669. La puerta 649, por tanto, produce una salida de 1 lógico cada vez que el estado de modo es SOP y, durante una operación de exploración compacta, la exploración no ha detectado un 0 lógico de un punto de dato informado
20 en la memoria CCIP 504. Un 1 procedente de la puerta 649 es AND'ED con la salida procedente de la etapa 696-2 para ajustar la etapa de retardo 696-6. Con la etapa 696-6 ajustada, su salida habilita, en la entrada DEC, el contador de retardo 697 para ser decrementado. Cuando está habilitado,
25 el contador 697 es decrementado hasta que produce una salida de 1 lógico, la cual indica que el contador ha sido decrementado hasta 0.

La salida 1 lógico procedente del contador 697 es AND'ED con la salida procedente de la etapa 696-6, para proporcionar de nuevo una entrada a la etapa 696-6, la cual funciona para conmutar la salida de la etapa 696-6 de 1 a 0. La salida 0 de la etapa 696-6 es AND'ED con la salida procedente de la puerta 649 para conmutar la etapa 696-3 con el fin de proporcionar un 1 lógico en su salida. Nótese que la etapa 696-3 es asimismo ajustada directamente por la combinación AND'ED de un estado de modo NSOP, o un 1 procedente del interruptor 610 mediante la puerta OR 650, y la salida directa de la etapa 696-2. De acuerdo con ello, cuando debe realizarse un procedimiento de no exploración (NSOP), o durante una exploración compacta cuando el dato accedido de la memoria 504 es un 1, el retardo de la etapa 696-6 es derivado. Asimismo, cuando el dato accedido de la memoria 504 es un 0 durante una búsqueda compacta (la salida 610 es 0), la puerta 609 es habilitada para permitir al contador 698 que sea incrementado cuando la salida de la etapa 696-4 tenga lugar. La etapa 696-3 habilita las puertas 647-1 a 647-4 y ajusta el interruptor 633. El interruptor 633 es reajustado cada vez que un nuevo contado es introducido en el contador de retardo 697 por la salida de la etapa 696-1. El interruptor 633 habilita a su vez las puertas 632-1 y 632-2, las cuales a su vez, mediante las puertas 630 y 629-1 y 629-2, generan la señal de memoria de inhabilitación en la línea 679 y la señal de exploración de inhabilitación en la línea 678, dependiendo de si se

está llevando a cabo o no una operación de valor de verificación.

Análogamente, las puertas 647-1 a 647-4, controlan la generación de la señal de memoria de introducción en la línea 660, la señal de registro de conversión en la línea 671 y la señal de registro de carga CSR en la línea 676. La salida de la etapa 696-4 es AND'ED con la salida procedente de la puerta OR 618 y la puerta AND 635. Si la salida procedente de la puerta 618 es un 1, la puerta 635 proporciona la señal END que indica que ha tenido lugar el término de una operación. Si la salida de la puerta 618 es un 0, dicho 0 es invertido y AND'ED con la salida procedente de la etapa 696-4 para ajustar la etapa 696-5. La etapa 696-5 proporciona entonces una entrada de retorno a la primera etapa 696-0 y las etapas del registro de conversión de estado de tiempo 696 son de nuevo secuenciadas en la manera descrita previamente.

La salida 1 o 0 de la puerta OR 618 determina si ha tenido lugar o no el término de una operación. Durante una exploración compacta o una operación de memoria de introducción, las puertas 699-1 ó 699-2 son habilitadas y la duración de la operación es controlada por el contador de cuatro bits 698, el cual cuenta un total de 16 cuentas. Después de 16 cuentas, las puertas 699-1 ó 699-2 son habilitadas para proporcionar una salida 1 de la puerta OR 618, para proporcionar la señal END.

Durante de una operación de valor de verificación,

la puerta AND 699-3 se habilita cuando ha tenido lugar una realización CO en la línea 664 de la etapa SADR de 9 bitios 556-2 (bitios 0-8). La salida de la etapa SANDR 556-2 indica que ha tenido lugar un total de 512 repeticiones del regis-
5 trador de conversión de estado de tiempo, con lo que se indica que la señal END debe haberse generado.

En la Fig. 7, el generador del valor de verificación 507 de la Fig. 7 se ilustra más detalladamente. El generador del valor de verificación 507 está formado por el circuito
10 lógico de reducción 674-1, por el circuito lógico de valor de verificación 674-2 y por el registrador de valor de verificación (CSR) 673. La función del generador de valor de verificación 507 es generar un valor de verificación actual en el colector de salida 595, que tenga un valor de-
15 pendiente de los estados actuales de los puntos del circuito principal, tal como dichos estados actuales están representados en el colector de entrada 593. El generador 507 genera también el valor de verificación actual que tiene un valor dependiente del contenido del registro del valor
20 de verificación 673, cuyo contenido es usualmente un valor de verificación intermedio previamente formado.

El registrador de valor de verificación 673 es típicamente un registro de conversión, que incluye las 16 etapas 673-0, 673-1, ..., 673-15. Las salidas de las etapas
25 673-0, 673-1, ..., 673-15 se conectan a las entradas de las puertas O-EXCLUSIVAS (Exclusive-OR) 684-0, 684-1, ..., 684-15, respectivamente. Las puertas 684 están incluidas en el cir-

cuito lógico de valor de verificación 674-2. Dichas salidas de las etapas 673 forman asimismo el colector de 16 bitios 595, el cual, tal como se ilustra en la Fig. 4, conecta con las puertas de salida 508 para retornar un valor de verificación actual al computador del aparato secundario 501 de la Fig. 2.

En la Fig. 7, las entradas a las etapas 673-1, 673-2, ..., 673-15, 673-0, están alimentadas por las salidas de las puertas EXCLUSIVE-OR 684-0, 684-1, ..., 684-14, 684-15, respectivamente. Las etapas de registro de valor de verificación 673-0 a 673-15, son alimentadas por las salidas de las puertas EXCLUSIVE-OR 684 por una señal en la línea LOAD CSR 676. Similarmente, las etapas 673 son desconectadas por una señal en la línea CLEAR CSR 677. Las líneas de control 676 y 677 son derivadas del ordenador de secuencias 503 de la Fig. 4.

En la Fig. 7, el circuito lógico de reducción 674-1 es un circuito ramificado de puerta O-EXCLUSIVO formado por tres niveles de puertas EXCLUSIVE-OR 681, 682, 683. El circuito lógico de reducción es un circuito ramificado binario en el que el colector 593 tiene 2^Y entradas (por ejemplo 128, en donde Y es igual a 7) y el colector 786 tiene 2^X (por ejemplo, 16 en donde X es igual a 4). El primer nivel incluye las puertas EXCLUSIVE-OR de 8 vías 681-0, 681-1, ..., 681-7. Cada una de dichas puertas de 8 vías 681 está dotada de 8 puertas EXCLUSIVE-OR de dos entradas (no ilustradas explícitamente). Cada una de dichas puertas EXCLUSIVE-OR

de 12 entradas recibe una distinta de las líneas de entrada
0 a 7 y una distinta de las líneas de entrada 8 a 15. Cada
una de las puertas EXCLUSIVE-OR de dos entradas proporci-
ona una salida, con lo que se obtienen ocho salidas de la
5 puerta 681-0 y similarmente ocho salidas de cada una de
las puertas 681. En la Fig.7, el segundo nivel incluye las
cuatro puertas EXCLUSIVE-OR de ocho vías 682-0, 682-1, 682-2
y 682-3. La puerta 682-0 recibe 8 pares de entradas, con
una entrada para cada par de la puerta 681-0 y la otra
10 entrada para cada par de la puerta 681-4. La puerta 682-0
proporciona, por tanto, ocho salidas EXCLUSIVE-OR de igual
forma, la puerta 682-1 combina las señales procedentes de
las puertas 681-1 y 681-5 para proporcionar 8 salidas
EXCLUSIVE-OR. La puerta 682-2 combina salidas procedentes
15 de las puertas 681-6 y 681-2 para proporcionar 8 salidas
EXCLUSIVE-OR. Finalmente, la puerta 682-3 combina salidas
procedentes de las puertas 681-3 y 681-7 para proporcionar
8 salidas EXCLUSIVE-OR.

El tercer nivel comprende puertas EXCLUSIVE-OR de
20 cuatro vías 683-0, 683-1, 683-2 y 683-3. Las puertas 683
comprenden cada una 4 puertas EXCLUSIVE-OR de dos entradas.
La puerta 683-0 forma la EXCLUSIVE-OR de cuatro pares de
las salidas procedentes de la puerta 682-0, para proporci-
onar cuatro salidas EXCLUSIVE-OR. Similarmente, las puertas
25 683-1, 683-2 y 683-3 combinan la salida de las puertas 682-1,
682-2 y 682-3 respectivamente. Las 16 salidas procedentes
de las puertas 683-0 a 683-3, están cada una de ellas conectada

a una entrada diferente de las puertas EXCLUSIVE-OR de dos entradas 684-0, 684-1, ..., 684-15. El circuito lógico de valor de verificación 674-2, además de las puertas 684, incluye unos medios de circuito que comprenden un inversor 785, para transformar el valor de verificación actual
5 nuevamente formado antes del almacenamiento en el registro del valor de verificación. El inversor 785 invierte la salida de la última etapa y proporciona una entrada en la primera etapa. Aun cuando en la presente forma de realización se ha utilizado una simple tapa de conversión y una
10 etapa final para la primera inversión, pueden ser utilizadas otras formas de redundancia cíclica. Por ejemplo, pueden realizarse conexiones desde el inversor 785 a cualquiera de las entradas para las etapas 673-1 a 673-14.

15 La operación del generador del valor de verificación de la Fig. 7 es alimentar sucesivamente en 512 ciclos el registro CSR 673 con un valor de verificación actual nuevo, es decir, un valor de verificación actual nuevo para cada grupo de puntos de 128 bitios en el colector 593 desde el
20 aparato principal. El valor de verificación actual nuevo es la combinación EXCLUSIVE-OR transformada del valor de verificación presente almacenado en el registro CSR 673 y la salida reducida en el colector 786.

Operativamente, para comprobar la totalidad de
25 65.536 puntos en el aparato principal, son sucesivamente explorados los 512 grupos de 128 bitios (informados y accedidos) para proporcionar salidas de 128 bitios en el circuito

lógico de reducción 674-1. Cada uno de los 128 bitios es introducido en el circuito lógico de valor de verificación 674 por el colector 593 para formar una representación reducida de 16 bitios en el colector 786. Antes de recibir el
5 primero de los 512 grupos sucesivos de 128 bitios, el registro CSR 673 es desconectado hasta todo 0 mediante la señal CLEAR CSR en la línea 677. Seguidamente, la primera entrada de 128 bitios en el colector 593, es procesada en el circuito lógico 674-1 y en el circuito lógico 674-2,
10 para formar un primer valor de verificación intermedio, el cual, después de su transformación (inversión de la última etapa), es introducido en el registro 673 por activación de la señal LOAD CSR en la línea 676 para constituir el valor de verificación presente.

15 Cuando la segunda entrada de 128 bitios aparece en el colector 593, está combinada con el primer valor de verificación intermedio almacenado en el registro 673 para formar un segundo valor de verificación intermedio, el cual es de nuevo almacenado en el registro 673 por operación de
20 una señal en la línea 666. Para cada entrada sucesiva de 128 bitios en el colector 593, el registro de valor de verificación 673 es introducido de nuevo con un nuevo valor de verificación actual. El registro de valor de verificación 673 es introducido un total de 512 veces, formando 511 valores
25 de verificación intermedios y un valor de verificación actual final 512º. El valor de verificación actual final es, desde luego, dependiente lógicamente de la totali-

dad de valores de verificaciones actuales intermedios. De esta forma, los 65.536 puntos en el aparato principal están comprendidos lógicamente en un valor de verificación actual de 16 bitios que aparece en el colector 595.

5 El valor de verificación actual del colector 595 es transferido del registro CSR 673, a través de las puertas de salida 508 de las Figs. 3 y 4, al controlador de interrelación 511 y al computador de consola de la Fig. 2. El computador 501 compara entonces el valor de verificación actual
10 con un valor de verificación supuesto obtenido de la memoria 502. Si los valores de verificación actual y supuesto no son iguales, se ha detectado una condición de fallo en el aparato principal.

En la Fig. 8, se ilustra un ejemplo particular de
15 puntos en el aparato principal de la Fig. 1. Dichos puntos deben ser informados y accedidos en conexión con la formación de un valor de verificación para la detección de fallos, o en conexión con una exploración compacta para el análisis de fallos.

20 En la Fig. 8, se ilustra un registro perforador de instrucción 330. El registro 330 incluye dos etapas, una etapa baja 330-1 y una etapa alta 330-2, de las que cada etapa tiene 16 bitios de datos y dos bitios paritarios de un total de 18 bitios por etapa. Los bitios de datos para
25 una etapa incluyen IB0, IB1..., IB7 y el bitio paritario IBP (0-7), y los bitios de datos IB8, IB9, ..., IB15 y los bitios paritarios IBP (8-15). Los datos son introducidos

en las etapas 330-1 ó 330-2 del registro 330, desde uno
de cuatro colectores de 18 bitios. Los colectores de 18
bitios 690, 691, 692 y 693 tienen puertas de control
(no ilustradas explícitamente en la Fig.8) habilitadas por
5 las señales de control para controlar el proceso de selec-
ción.

Cuatro señales de control NSI0 , NSI1, NSI2 y NSI3,
controlan las puertas de salida (no ilustradas) asociadas
con el registro IB330 y otros registros (no ilustrados).
10 En una forma de realización particular de las puertas (no
ilustradas), cada una de las señales de control NSI0, NSI1,
y NSI2 son duplicadas para formar en cada caso, tres copias
idénticas para un total de 9 señales de control. La décima
señal de control NSI3 no es duplicada. La duplicación de
15 señales idénticas en circuitos lógicos para control del
proceso de selección es ya conocida y generalmente utilizada
para alimentar las entradas fan-in, fan-out, o cualesquiera
otros requerimientos de señal del tipo particular de cir-
cuitería lógica empleada.

20 En el circuito de la Fig. 8, las diez señales de
control para controlar las puertas del registro IB330 y
otros registros, son derivadas de un ordenador de secuencias 325.
Las diez señales de control (es decir, NSI0 { copias 1,2,3 } ,
NSI1 { copias 1,2,3 } , NSI2 { copias 1,2,3 } , y NSI3), aparecen
25 en el colector 694 de 10 bitios procedentes de un ordenador
de secuencias 325.

En un ejemplo particular, el registro IB 330 de la

Fig. 8 de la presente solicitud, es el siguiente separador de instrucción que aparece en la unidad de instrucción 8 del sistema de proceso de datos principal de la Fig. 1.

La función del registro IB330 es descrita más detalladamente
5 en la Patente estadounidense N. 3.840.861, titulada "Sistema de proceso de datos dotado de un conducto de instrucción para procesar concurrentemente una pluralidad de instrucciones", inventada por Gene M. Amdahl, y otros, y concedida en 8 de Octubre de 1974. El registro IB330 y el ordenador
10 de secuencias 325 están descritos en conexión con la Fig. 3 de esta Patente. Brevemente, la unidad de instrucción 8 opera de una manera convencional en ciclos síncronos-secuenciales del aparato principal. Un contador cíclico (no ilustrado) puede ser utilizado para identificar individualmente
15 ciclos particulares del aparato principal. Durante un ciclo, por ejemplo, el registro 330 y las señales de control de puerta tienen una serie de valores. Durante un ciclo subsiguiente, aparecerá otra serie de valores diferentes. Cada serie diferente de valores lleva a la formación de un valor
20 de verificación diferente. En una ejecución típica del circuito lógico para el ordenador de secuencias 325 y el registro 330, son utilizados circuitos integrados de gran escala. Dichos circuitos están por ejemplo, localizados en MCC del tipo descrito en conexión con la solicitud anteriormente referen-
25 ciada "Sistema de proceso de datos y exploración de información". El registro IB330 está típicamente localizado en un MCC 601-1. Tal MCC incluye un chip lógico 611-1, que tiene

conexiones para cada uno de los puntos de datos que comprenden los bitios IB0 a IB7, IBP (0-7), IB8, IB9, ..., IB15, IBP (8-15) en la etapa elevada 330-2. Los puntos comprenden los bitios en la etapa de registro IB330-2 son solamente 18 de los 512 puntos diferentes que pueden estar contenidos en el MCC 601-1. Por ejemplo, 18 puntos de la etapa baja 330-1 forman otra serie de puntos en MCC 601-1. La totalidad de 512 puntos informables contenidos en MCC 601-1, son informados de uno en uno por las informaciones de exploración de 9 bitios del colector 590. El colector 590 es introducido en el chip lógico 611-1. La salida del chip lógico 611-1 aparece en la línea de un bitio que constituye uno de los 128 bitios reunidos en el colector de exploración de datos 591.

En la Fig. 8, el ordenador de secuencias 325 y sus diez líneas de control de salida aparecen en otro MCC 601-2. El MCC 601-2 incluye análogamente un chip lógico 611-2 también informable por el colector de exploración de informaciones 590 para seleccionar, de uno en uno, uno cualquiera de 512 puntos en el chip 601-2. Cada uno de los 10 puntos de control NSI0 { copias 1,2,3 }, NSI1 { copias 1,2,3 }, NSI2, { copias 1,2,3 }, NSI3, son seleccionables por el chip lógico 611-2 en la forma descrita en la solicitud anteriormente referenciada "Sistema de proceso de datos y exploración de información".

En relación con el circuito de la Fig.8, las diez líneas de control del colector 694 del ordenador de secuencias 325 y los 18 bitios de datos procedentes del registro

IB330, son informados y accedidos utilizando el programa de computador de consola que aparece en la tabla I en la anteriormente citada solicitud de sistema de proceso de datos y exploración de información. Las actuales informaciones en código octal utilizadas en conexión con la citada tabla I, aparecen en la siguiente tabla II de esta solicitud. El aparato de la solicitud referenciada, sin embargo, describe una forma de realización en la que el aparato principal utiliza hasta 64 MCC, en tanto que la forma de realización de la presente solicitud describe un aparato principal que utiliza hasta 128 MCC. La siguiente tabla-II ilustra la correspondencia entre informaciones (en código octal) para un sistema de 64 MCC y un sistema de 128 MCC. Con respecto a los puntos informables de la Fig. 8, la siguiente tabla III muestra la relación entre las informaciones octal, binaria y hexadecimal utilizando, como ejemplo, tres informaciones de la tabla III.

20

25

TABLA II - INFORMACIONES DE PUNTOS DE LA FIG. 8

| <u>Nombre</u> | <u>64 MCC</u> <u>Informaciones 16 Bitios</u> <u>(Octal)</u> | <u>128 MCC</u> <u>Informaciones 17 Bitios</u> <u>(Octal)</u> |
|-----------------|---|--|
| NSI 0 (copia 1) | 057060 | 214071 |
| NSI 0 (copia 2) | 057064 | 215071 |
| NSI 0 (copia 3) | 057064 | 214271 |
| NSI 1 (copia 1) | 057074 | 217071 |
| NSI 1 (copia 2) | 057062 | 214471 |
| NSI 1 (copia 3) | 057072 | 216471 |
| NSI 2 (copia 1) | 057070 | 216071 |
| NSI 2 (copia 2) | 057063 | 214671 |
| NSI 2 (copia 3) | 057066 | 215471 |
| NSI 3 | 057071 | 216271 |
| IB 0 | 054001 | 000261 |
| IB 1 | 054012 | 002461 |
| IB 2 | 054100 | 020061 |
| IB 3 | 054101 | 020261 |
| IB 4 | 054112 | 022461 |
| IB 5 | 054200 | 040061 |
| IB 6 | 054201 | 040261 |
| IB 7 | 054212 | 042461 |
| IBP (0-7) | 054000 | 000061 |
| IB 8 | 054301 | 060261 |
| IB 9 | 054312 | 062461 |
| IB 10 | 054400 | 100061 |
| IB 11 | 054401 | 100261 |
| IB 12 | 054412 | 102461 |
| IB 13 | 054500 | 120061 |
| IB 14 | 054501 | 120261 |
| IB 15 | 054512 | 122461 |
| IBP (8-15) | 054300 | 060061 |

TABLA III - INFORMACION OCTAL/BINARIA

| TABLA II ENTRADA | INFORMACION OCTAL | VALORES DE DATOS | | INFORMACIONES BINARIAS | | INFORMACIONES HEXADE- CIMALES MCC BIT |
|---------------------|----------------------|------------------|-------------------------|------------------------|-----------------|---|
| | | CCIP | MEM | MCC BIT | MCC NO | |
| IBP (0-7) | 000061 | 0 | 0 | 0 000 000 00 | 0 110 001 | 0 00 |
| IB0 | 000261 | | 0 | 0 000 000 01 | 0 110 001 | 0 01 |
| | 000461 | 3 | 1 | 0 000 000 10 | 0 110 001 | 0 02 |
| | 000661 | | 1 | 0 000 000 11 | 0 110 001 | 0 03 |
| | 001061 | | 1 | 0 000 001 00 | 0 110 001 | 0 04 |
| | 001261 | 7 | 1 | 0 000 001 01 | 0 110 001 | 0 05 |
| | 001461 | | 1 | 0 000 001 10 | 0 110 001 | 0 06 |
| | 001661 | | 1 | 0 000 001 11 | 0 110 001 | 0 07 |
| 002061 | 7 | 1 | 0 000 010 00 | 0 110 001 | 0 08 | |
| 002261 | | 1 | 0 000 010 01 | 0 110 001 | 0 09 | |
| IB1 | 002461 | | 0 | 0 000 010 10 | 0 110 001 | 0 0A |
| | 002661 | 3 | 1 | 0 000 010 11 | 0 110 001 | 0 0B |
| | 003061 | | 1 | 0 000 011 00 | 0 110 001 | 0 0C |
| | 003261 | | 1 | 0 000 011 01 | 0 110 001 | 0 0D |
| | 003461 | 7 | 1 | 0 000 011 10 | 0 110 001 | 0 0E |
| | 003661 | | 1 | 0 000 011 11 | 0 110 001 | 0 0F |

En la tabla III, se muestran las 16 informaciones octal y binarias desde la información octal 000061 hasta la información octal 003661. En la tabla II, la información 000061 corresponde a la información del bitio paritario IBP (0-7). Como, por conveniencia, la memoria CCIP⁵⁰⁴ de las Figs. 3 y 4 es informada con 16 bitios cada vez para introducir datos, es necesario considerar diez bitios de datos cada vez. Por tanto, cuando se desea que los valores de datos de la memoria CCIP correspondientes a los IBP (0-7) sean introducidos como un cero, entonces la totalidad de las 16 informaciones 000061 a 003661, como se ilustra en la tabla III, tienen también algún valor de dato introducido.

El aparato principal de la Fig. 1 también puede tener, entre las informaciones 000061 a 003661, otras dos informaciones de interés de la tabla II. Dichas dos otras informaciones corresponden a los bitios IB0 e IB1 del registro IB 330-2 de la Fig. 8 y tienen informaciones octal 000261 y 002461, respectivamente. Las otras informaciones en la tabla III, es decir, 000461 a 002261 y 002661 a 003661, no se utilizan en la tabla II. Estas otras informaciones son apropiadas para su uso con otros puntos (no descritos) en el MCC de la tabla III. Debido a que sólo tres de las informaciones de la tabla III son de interés en relación con el ejemplo particular de la Fig. 8 y con la tabla II, solamente tres ceros son introducidos para valores de datos en la memoria CCIP en relación con las 16 informaciones de la tabla III. Las tres informaciones octal que reciben un cero

son 000061, 000261 y 002461. Como se indica en la tabla III, la representación de bitios 1/0 (lado de la derecha de la columna a valores de datos CCIP MEM) para los 16 bitios de la tabla III, puede convertirse en una representación octal (lado de la izquierda de la columna). Por ejemplo, los tres uno en el lado derecho de la columna de valores de datos para las tres informaciones 003261, 003461 y 003661, se convierten en la columna de la izquierda en un 7 octal. Análogamente, las otras informaciones tienen sus valores de datos convertidos de modo que la representación octal de los datos en la memoria CCIP de las entradas de la tabla II en las 16 informaciones de la tabla III se convierte en 037737.

De forma análoga a la tabla III, cada una de las otras informaciones en la tabla II debe ser correlacionada con algún grupo de señales de 16 bitios en la memoria CCIP.

En la tabla II, las informaciones para IB2, IB3 e IB4, caen dentro del campo de información octal de 16 bitios 020061 a 023661. Los bitios IB5, IB6 e IB7, caen dentro de las informaciones octal entre 040061 y 043661. Los bitios IB8, IB9, IB10 (8-15) caen entre las informaciones octal 060061 y 063661. Los bitios IB10, IB11, IB12 caen entre las informaciones octal 100061 y 103661. Los bitios IB13, IB14 e IB15 caen entre las informaciones octal 120061 y 123661. Finalmente, los diez bitios de control de la tabla II caen entre las informaciones octal 214071 y 217671.

Los valores de datos 1 y 0 de la memoria CCIP reque-

ridos con el fin de habilitar solo las informaciones de la tabla II, se derivan en la forma indicada para los valores de datos de la memoria CCIP de la tabla III. Los valores de datos en código octal para la totalidad de las informaciones de la tabla II son indicados en la siguiente tabla IV.

TABLA IV - DATOS PARA TABLA V

| | <u>Información inicial SADR (Octal)</u> | <u>Valores de da- tos CCIP MEM (Octal)</u> | <u>Función</u> |
|----|---|--|--|
| 10 | 014071 | 002417 | Habilita los 10 bitios correspondientes a las 10 líneas NSI de control |
| | 000061 | 037737 | Habilita IBP (0-7), IB 0,1. |
| | 020061 | 037737 | Habilita IB 2,3,4 |
| | 040061 | 037737 | Habilita IB 5,6,7 |
| 15 | 060061 | 037737 | Habilita IBP (8-15) 8,9 |
| | 100061 | 037737 | Habilita IB 10,11,12 |
| | 120061 | 037737 | Habilita IB 13,14,15 |

20 Como ejemplo de la presente invención, se describe la generación de un valor de verificación por el subconjunto que consiste solamente en los veintiocho puntos de la Fig. 8. Estos 28 puntos de la Fig.8, desde luego, son solo un pequeño subconjunto de los 65.536 puntos comprendidos en el aparato principal de la Fig. 1. Cualquier otro subconjunto de puntos del aparato principal puede ser seleccionado. Los subconjuntos son seleccionados por el almacenamiento de

los valores de identificación (1 ó 0) en la memoria 504 como valores enmascarados (1) o sin enmascarar (0).

Inicialmente, el subconjunto de puntos sin enmascarar en el que debe ser generado un valor de verificación, debe primero ser introducido en la memoria CCIP 504. Los puntos de interés son los indicados en la Fig. 8 y que incluyen los 18 bitios de etapa de registro IB 330-2 y los 10 bitios de control NSI asociados a ellos. Las informaciones de explotación de cada uno de dichos puntos de la Fig. 8, se indican en la Tabla II. Los puntos de datos de la Fig. 8 (y Tabla II) se refieren a siete grupos de señales de 16 bitios en la memoria CCIP 504. Los valores de datos requeridos para introducir 1 y 0 en localizaciones apropiadas de los siete grupos de 16 bitios, se ilustran en la Tabla IV en código octal. Cualquier otro grupo de 16 bitios en la memoria CCIP 504 se introduce conteniendo la totalidad de 1. Las 65.536 localizaciones en la memoria 504, comprenden 4.096 grupos de 16 bitios. Siete de dichos grupos son introducidos como está indicado en la Tabla IV y los restantes 4.089 grupos son introducidos con la totalidad 1. De esta forma, los 28 puntos del subconjunto son identificados.

Con el fin de introducir valores de identificación del subconjunto en la memoria CCIP 504, se ejecuta el programa de instrucciones de la siguiente Tabla V por el computador de consola 501 de la Fig. 2.

TABLA V - MEMORIA DE INTRODUCCION

| | | | | |
|----|-----|---------|--------|-----------|
| | S1 | WRMEN: | STA | 3, RET |
| | S2 | | DOB | 0, CC11 |
| | S3 | | LDA | 0, SADRA |
| 5 | S4 | | DOAP | 0, CC11 |
| | S5 | | LDA | 0, OSRA |
| | S6 | | DOA | 0, CC11 |
| | S7 | | LDA | 0, OSRV |
| | S8 | | DOBP | 0, CC11 |
| 10 | S9 | | LDA | 0, WMA |
| | S10 | | DOA | 0, CC11 |
| | S11 | | DOBP | 1, CC11 |
| | S12 | WTAS 7: | DIA | 0, CCI2 |
| | S13 | | MOVS | 0, 0 |
| 15 | S14 | | MOVZR | 0, 0, SNC |
| | S15 | | JMP | WTAS7 |
| | S16 | | JMP | @ RET |
| | S17 | RET | 0 | |
| | S18 | SADRA: | 120000 | |
| 20 | S19 | OSRA: | 100000 | |
| | S20 | OSRV: | 000004 | |
| | S21 | WMA: | 70000 | |

Antes de entrar en el programa de la Tabla V, el acumulador 0 (no ilustrado) del computador de consola 501 es cargado con el complemento de las informaciones de 16 bitios de la primera localización de bitio
5 en la memoria CCIP 504, en la que debe ser introducida la información.

Similamente, el acumulador 1 (no ilustrado) es cargado con el complemento del patrón de datos de 16 bitios que debe ser introducido en la memoria CCIP a
10 partir de la localización especificada por el acumulador 0.

El programa de instrucción de la Tabla V da lugar a que el ordenador de secuencias 503 controle el elaborador CCIP 525 de modo que introduzca cada uno
15 de los grupos de 16 bitios de datos en la memoria 504, bitio a bitio, desde el registro de conversión SR 670.

El programa de la Tabla V es ejecutado 4.089 veces para introducir todo 1 y siete veces para introducir la información de la Tabla IV.
20

En la situación S1, se almacena una información de retorno en el acumulador 3, en la información "RET" en S17.

En las situaciones S2, S3 y S4, el registro
25 SADR 556 es iniciado con el complemento del valor especificado en el acumulador 0.

En las situaciones S5, S6, S7 y S8, el registro

OSR 557 es iniciado con el valor 0 000004 (octal).

En la situación S9, el acumulador 0 es alimentado desde la localización WMA en S21 con el valor 70000 (octal).

5 En la situación S10, el contenido del acumulador 0 es transmitido al controlador de interrelación 511 e introducido en el registro SAR 574. El descodificador 597 descodifica el código octal 70000 para habilitar, por la línea 621-7, el ordenador de
10 secuencias 503 y la puerta 560 para el registro de conversión 670.

En la situación S11, el contenido del acumulador 1 es transmitido al controlador de interrelación 511 e introducido en el registro ODR 575. También en S11,
15 una señal LOAD de carga es generada en la línea 549.

La señal LOAD de la línea 549, además de habilitar una señal en la línea 621-7, alimenta a la puerta 560 dando lugar a que el registro SR 670 sea paralelamente alimentado con el complemento del valor en el
20 registro ODR 575.

La señal LOAD de la línea 549, junto con la señal de habilitación en la línea del descodificador 621-7, obliga al ordenador de secuencias 503 a ejecutar una secuencia de memoria de introducción. Durante esta secuencia de memoria
25 de introducción, los datos procedentes del registro SR 670 son introducidos, bitio a bitio, en 16 localizaciones sucesivas en la memoria CCIP 504. Las 16 localizaciones sucesivas

introducidas, son las localizaciones que empiezan con la información en el registro SADR 556 en el comienzo de la operación y por 15 estados sucesivos del registro SADR 556, al ser incrementado en una cuenta cada vez.

5 Durante la operación, la línea de transporte de entrada (CI) 667 de la etapa SADR 556-1, es derivada de la línea de transporte de salida (CO) 664 de la etapa SADR 556-2. Después del término de la operación, el registro SADR 556 es incrementado de nuevo para obligarle a informar la
10 subsiguiente localización a la última localización introducida y la línea AS7 680 es activada para señalar la terminación de la secuencia.

En las situaciones S12 a S15, el programa de instrucciones de la Tabla V espera hasta que la línea AS7
15 680 se active antes del realizar el estado S16.

En la situación S16, el programa de la Tabla V vuelve a la información almacenada en la localización "RET".

Después que la memoria CCIP 504 ha sido alimentada
20 de acuerdo con la Tabla V, el elaborador CCIP 525 está a punto para comenzar la formación de un valor de verificación. La generación del valor de verificación es controlada por el computador de consola 501, el cual realiza el programa de instrucciones de la Tabla VI. El programa de
25 la siguiente Tabla VI forma un valor de verificación dependiente de los valores de datos de la totalidad de los 65.536 puntos del aparato principal, enmascarados por los contenidos

de las 65.536 localizaciones en la memoria de máscara CCIP 504. El programa de la Tabla VI puede ser introducido desde cualquier fuente conveniente, tal como un programa de diagnóstico maestro (no descrito) o por un gobierno manual del computador de consola 501.

TABLA VI - VALOR DE VERIFICACION

| | | | | |
|----|-----|--------|-------|-------------|
| | S1 | CKSUM: | STA | 3, RET |
| | S2 | | LDA | 0, OSRA |
| | S3 | | DOA | 0, CC11 |
| 10 | S4 | | LDA | 0, OSRV |
| | S5 | | DOBP | 0, CC11 |
| | S6 | | LDA | 0, CKSA |
| | S7 | | DOA | 0, CC11 |
| | S8 | | NIOP | CCI2 |
| 15 | S9 | WTAS7: | DIA | 0, CCI2 |
| | S10 | | MOVS | 0,0 |
| | S11 | | MOVZR | 0,0, SNC |
| | S12 | | JMP | WTAS7 |
| | S13 | | DIA | 0, CC11 |
| 20 | S14 | | JMP | ⓐ RET |
| | S15 | RET: | | 0 |
| | S16 | OSRA: | | 1 0 0 0 0 0 |
| | S17 | OSRV: | | 1 7 0 0 0 0 |
| | S18 | CKSA: | | 6 0 0 0 0 |

25 En la situación S1 de la Tabla VI, es almacenada una información de retroceso en el acumulador 3, en la información RET en S15.

En la situación S2, el acumulador 0 es alimentado con el contenido de las informaciones OSRA, en S16. Como se ha indicado en S16, el valor de OSRA es 1 0 0 0 0 (octal).

5 En la situación S3, el contenido del acumulador 0 es transmitido al controlador de interrelación 511 e introducido en el registro SAR 574. El descodificador 597 es operativo para descodificar el código octal 1 0 0 0 0, para habilitar, por la línea 621-8, la puerta de entrada 558 en el registro OSR 558.

10 En la situación S4, el acumulador 0 es alimentado con el contenido de la información OSRV, en S17. Como se ha indicado en S17, el valor de OSRV es 1 7 0 0 0 0 (octal).

15 En la situación S5, el contenido del 16 bitios del acumulador 0 es transmitido al controlador de interrelación 511 e introducido en el registro ODR 575. También en S5, es generada una señal de carga en la línea 549, la cual activa la puerta 558 que junto con la señal de la línea 621-8 introduce los 16 bitios procedentes del registro ODR 575 en el registro OSR 557.

20 En la situación S6, el acumulador 0 es alimentado con el contenido de la información CKSA, en S18. Como se indica en S18, el valor de CKSA es 6 0 0 0 0 (octal).

25 En la situación S7, el contenido del acumulador 0 es transmitido al controlador de interrelación 511 e introducido en el registro SAR 574. El descodificador 597 es operativo para descodificar el código octal 6 0 0 0 0, para habilitar, mediante la línea 621-6, el ordenador de

secuencias 503.

En la situación S8, se genera una señal en la línea START 550, que junto con la señal de la línea 521-6 activa el ordenador de secuencias 503. Dicho ordenador de secuen-
5 cias 503 pasa entonces por los siguientes estados y causa las siguientes acciones:

Estado I). La línea CLR CSR 677 da lugar a que el registro CSR 673 sea reajustado a todo 0. Las líneas CLR SADR 666 y 667 dan lugar a que el registro SADR 556 sea
10 reajustado a todo 0.

Todas las otras líneas de salida procedentes del ordenador de secuencias 503, son desactivadas. El estado desactivado de las líneas de salida DISABLE MEM 679 y
DISABLE SCAN 678, origina que el colector de exploración de datos 591 y el colector de datos de memoria 534 sean
15 lógicamente OR'ED en la máscara 505 y que el resultado sea introducido en el colector exploración /memoria 593. La salida de cada una de las 128 líneas del colector de datos de memoria 534 viene determinada por el contenido
20 de las 128 células de memoria informadas por el colector de información de exploración de 9 bitios 590. El colector de información de exploración de 9 bitios 590 constituye también una entrada del circuito lógico de información de exploración de los chips lógicos 611, para cada MCC del
25 aparato principal, en la forma ilustrada en la Fig. 8.

La información de 9 bitios es transmitida desde el registro SADR, inicialmente situado en todo 0, al MCC 601

mediante el colector 590.

Tal y como se ha indicado en la Fig.8, el circuito lógico de información de exploración en el chip lógico 611 para cada MCC , selecciona un punto de exploración individual en el MCC y sitúa su valor de dato (1 ó 0) en la línea del colector de datos de exploración 591 asignada a dicho MCC. Existe una correspondencia 1 a 1 entre las células de la memoria CCIP 504 y los puntos del aparato principal informados por la exploración de información en el colector 590.

Estado II). Este estado no origina cambios en las líneas de salida del ordenador de secuencias 503. Este estado es un estado de retardo fijo para dejar tiempo para la información de datos desde el aparato principal y para permitir al circuito lógico de generación del valor de verificación 674 que forme el siguiente valor de verificación para el registro CSR 673, basado en el estado presente del registro 673 y en el colector exploración/memoria 593.

Estado III). El ordenador de secuencias 503 activa la línea LOAD CSR que origina el registro CSR 673 sea alimentado con el siguiente valor de verificación determinado por el circuito lógico de generación del valor de verificación 674.

Estado IV). El ordenador de secuencias 503 desactiva la línea de carga CSR 676 y, si la línea de transporte de salida (CO) 664 de la etapa SADR 556-2 es activada, entra en estado 7. Si la línea CO 664 no es activada, el ordenador

de secuencias entra en estado V.

Estado V). El ordenador de secuencias 503 activa la línea INCR 662 para la etapa SADR 556-2, dando lugar a que se incremente la cuenta de 9 bitios en la etapa SADR 556-2.
5 Cuando las etapas SADR 556-2 alcanzan el valor 511 (decimal) y 1 1 1 1 1 1 1 1 1 (binario), originará que sea activada la línea CO 664. Cuando la línea CO 664 está activada, han sido introducidos 512 valores de verificación en el registro CSR 673 con el valor de verificación final todavía allí.

10 Estado VI). El ordenador de secuencias 503 desactiva la línea INCR 662 para la etapa SADR 556-2 y entre en estado II.

Estado VII). El ordenador de secuencias 503 activa la línea AS7 680, que indica que el valor de verificación final se ha completado y se encuentra en el registro CSR 673.
15 El ordenador de secuencias 503 permanece en este estado hasta que alguna nueva secuencia sea iniciada.

En la situación S9, la puerta de estado activo (AS), 582 es interrogada para permitir que el estado de la
20 línea AS7 680 sea alimentado en el acumulador 0, bitio 7.

En el estado S10, los bitios del acumulador 0 son cambiados, situando el estado de la línea AS7 680 en el bitio 15 del acumulador 0.

En la situación S11, es comprobado el estado del
25 bitio AS7 15 del acumulador 0 y se omite la situación S12 si la línea AS7 680 estaba activada cuando fué interrogada en la situación de línea 9.

En la situación S12, que se realiza si la línea AS7 714 no estaba activada, el programa salta de la situación S9 para volver a interrogar el estado de la línea AS7 680. En este sentido, el elaborador secundario 501 espera antes
5 de proceder hasta que el elaborador CCIP 525 exprese la terminación.

En la situación S13, el acumulador 0 es alimentado con el valor de verificación final procedente del registro CSR 673, el cual ha sido seleccionado en la puerta IG 572
10 por la puerta de salida 569-2, la cual estaba activada por la línea del descodificador 621-6, activada por la acción de la situación S7.

En la situación S14, el programa de instrucciones de la Tabla VI salta hasta la información de retorno contenida
15 en la localización RET.

En la formación del valor de verificación de acuerdo con el programa de la Tabla VI, fueron explorados la totalidad de los 65.536 puntos en el aparato principal. Sin embargo, solamente el subconjunto de puntos identificado
20 en la memoria 504 fué capaz de contribuir a los valores de verificación formal. Si el valor de verificación actual obtenido de una tal exploración indica la existencia de una condición de fallo, es deseable explorar un subconjunto de puntos en el aparato principal para determinar el actual
25 punto o puntos causantes de la condición de fallo del subconjunto tal subconjunto de puntos puede ser, por ejemplo, el subconjunto de puntos asociado con el aparato de la Fig.8.

Para realizar una exploración de un subconjunto
seleccionado de los puntos en el aparato principal, el
programa de instrucciones de la Tabla VII se ejecuta en
el computador de consola 501 de la Fig. 2. El subcon-
5 junto de puntos explorado es del subconjunto identificado
en la memoria CCIP 504.

TABLA VII - EXPLORACION COMPACTA

| | | | | |
|----|-----|--------|--------|---------|
| | S1 | CSCAN: | STA | 3,RET |
| | S2 | | DOB | 0,CC11 |
| 10 | S3 | | LDA | 0,SADRA |
| | S4 | | DOAP | 0,CC11 |
| | S5 | | LDA | 0,OSRA |
| | S6 | | DOA | 0,CC11 |
| | S7 | | LDA | 0,OSRV |
| 15 | S8 | | DOBP | 0,CC11 |
| | S9 | | LDA | 0,SADRA |
| | S10 | | DOA | 0,CC11 |
| | S11 | | NIOP | CCI2 |
| | S12 | WTAS7: | DIA | 0,CCI2 |
| 20 | S13 | | MOVS | 0,0 |
| | S14 | | MOVZR | 0,0,SNC |
| | S15 | | JMP | WTAS7 |
| | S16 | | DIA | 1,CC11 |
| | S17 | | JMP | (a) RET |
| 25 | S18 | RET: | 0 | |
| | S19 | SADRA: | 120000 | |
| | S20 | OSRA: | 100000 | |
| | S21 | OSRV: | 170004 | |

Antes de entrar en el programa de la Tabla VII, el acumulador 0 contiene el complemento de la información de 16 bitios que se desea que constituya el valor inicial de la exploración compacta para ser introducida en el registro SAR 556. El programa de instrucciones de la Tabla VII da lugar a que el ordenador de secuencias 503 controle el elaborador CCIP 525, de forma que informe 16 puntos de exploración en el aparato principal y almacene sus estados en el registro SR 670. Los 16 puntos que deben ser informados están determinados por el contenido de la memoria CCIP 504 en la siguiente manera.

La célula de memoria CCIP seleccionada por el contenido de 16 bitios del registro SADR 556 es leída por el ordenador de secuencias 503. Si el contenido de dicha célula es 0, el punto de exploración en el elaborador principal informado por el registro SADR 556 es informado por el multiplexor 668 y transferido al registro SR 670.

El ordenador de secuencias 503 cuenta en su contador el número de 0 leídos por la memoria CCIP 504, y si dicha cuenta es 16, finaliza. Si la cuenta no es 16, el registro SADR 556 es incrementado y el estado de la célula de memoria CCIP informada por el nuevo valor del registro SADR es leído por el ordenador de secuencias. Esta secuencia se repite hasta que el valor de 16 puntos de exploración haya sido transferido al registro SR de 16 bitios 670.

En la situación S1, es almacenada en la información "RET" en S18 una información de retorno en el acumulador 3.

En las situaciones S2, S3 y S4, el registro SAD 556 es iniciado con el complemento de los valores especificados en el acumulador 0.

5 En las situaciones S5, S6, S7 y S8, el registro OSR 557 es iniciado con el valor 170004 (octal).

En la situación S9, el acumulador 0 es alimentado desde la localización SADRA en S19 con el valor 120000 (octal).

10 En la situación S10, el contenido del acumulador 0 es transmitido al controlador de interrelación 511 e introducido en el registro SAR 574. El descodificador 597 descodifica el código octal 120000 para habilitar al ordenador de secuencias 503 mediante la línea 621-10.

15 En la situación S11, se genera una señal en la línea START 550, la cual, junto con la señal de la línea del descodificador 621-10, da lugar a que el ordenador de secuencia 503 ejecute la operación de exploración compacta. La sucesión de secuencias detallada del ordenador de secuencias 503 es similar a la especificada en relación con la operación de valor de verificación con respecto a la
20 Tabla VI.

En las situaciones S12 a S15 de la Tabla VII, el código es idéntico al de las situaciones S9 a S12 de la Tabla VI y realiza la misma función. La situación S16 de la Tabla VII no es ejecutada hasta que el ordenador de
25 secuencias 503 ha señalado del término de la secuencia por activación de la línea AS7 680.

En la situación S16, el contenido del registro SR 670

es transferido al acumulador 1 a través de la puerta IG 572.

En la situación S17, el programa de la Tabla VII
vuelve a la información almacenada en la localización RET
con los 16 valores de puntos de exploración del aparato
5 principal en el acumulador 1.

Un ejemplo específico de los valores de verificación
intermedios y final para un estado particular de la eta-
pa 330-2 del registro IB 330 de la Fig. 1 se describirá a
continuación. Se entiende, para los fines de este ejemplo,
10 que la etapa 330-2 contiene los 16 bits IB0, IB1, ...
IB15 definidos por los números hexadecimales 47F0, que es
el número binario 0100 0111 1111 0000. Con dichos 16 bits
almacenados en la etapa 330-2 de la Fig.8, el bit de
paridad impar IBP (0-7) es un 1 ya que hay un número par
15 (4) de 1 en las etapas IB0, IB1, ... IB7. Análogamente,
el bit paritario IB (8-15) es también 1. Queda asimismo
establecido para el presente ejemplo que la totalidad de
los 10 bits de control NSI0, NSI1, NSI2 y NSI3 son 0
lógicos ya que no contienen lógicas que puedan efectuar
20 la descripción del valor de verificación que sigue. La
totalidad de valores de verificación intermedios y el
valor de verificación final, IDFD (SADR (4-8) columna
"1F", SADR (0-3) hilera "F", se ilustran en la siguiente
Tabla VIII. En la Tabla VIII, la exploración recorre cada
25 hilera de SDAR (0-3) para la totalidad de las treinta y dos
columnas, es decir, 00, 01, ..., 0F, 10, 11, ..., 1F y
repite entonces la totalidad de las treinta y dos columnas

TABLA VIII (Continuación)

| <u>SADR</u> <u>0-3</u> | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 |
|---------------------------|------|------|------|------|------|------|------|------|
| 0 | FFDF | 7FEF | 3FF7 | 1FFB | OFFD | 07FE | 83FF | 41FF |
| 1 | FFDD | 7FEC | BFF4 | DFF8 | EFDE | F7FF | 7BFD | 3DFE |
| 2 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 |
| 3 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 |
| 4 | 7101 | 3880 | 9C40 | CE20 | E710 | F388 | F9C4 | FCE2 |
| 5 | 7101 | 3880 | 9C40 | CE20 | E710 | F388 | F9C4 | FCE2 |
| 6 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 |
| 7 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 |
| 8 | F101 | 7880 | BC40 | DE20 | EF10 | F788 | FBC4 | FDE2 |
| 9 | 5101 | 7880 | BC40 | DE20 | EF10 | F788 | FBC4 | FDE2 |
| A | | | | | | | | |
| B | | | | | | | | |
| C | | | | | | | | |
| D | | | | | | | | |
| E | | | | | | | | |
| F | F101 | 7880 | BC40 | DE20 | EF10 | F788 | FBC4 | FDE2 |

| <u>SADR</u> <u>0-3</u> | 18 | 19 | 1A | 1B | 1C | 1D | 1E | 1F |
|---------------------------|------|------|------|------|------|------|------|------|
| 0 | 20FF | 107F | 083F | 041F | 020F | 0107 | 0083 | 0041 |
| 1 | 9EFD | 4F7C | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D |
| 2 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D |
| 3 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D |
| 4 | FE71 | 7F38 | BF9C | DFCE | EFE7 | 77F3 | 3BF9 | 1DFC |
| 5 | FE71 | 7F38 | BF9C | DFCE | EFE7 | 77F3 | 3BF9 | 1DFC |
| 6 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D |
| 7 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D |
| 8 | FEF1 | 7F78 | BFBC | DFDE | EFEF | 77F7 | 3BFB | 1DFD |
| 9 | FEF1 | 7F78 | BFBC | DFDE | EFEF | 77F7 | 3BFB | 1DFD |
| A | | | | | | | | |
| B | | | | | | | | |
| C | | | | | | | | |
| D | | | | | | | | |
| E | | | | | | | | |
| F | FEF1 | 7F78 | BFBC | DEDE | EFEF | 77F7 | 3BFB | 1DFD |

En la Tabla VIII, las hileras definen los 4 bitios de orden inferior de la etapa de registro SADR 556-2 en código hexadecimal. Las columnas de la Tabla VIII definen los 5 bitios de orden superior (4 a 8) de la etapa de registro SADR 556-2, en código hexadecimal.

Las designaciones de hilera y columna en la Tabla VIII corresponden a la información de 9 bitios que es transmitida a cada MCC en la manera descrita en relación con la Fig.8. El primer bitio MCC de información aparece en la esquina izquierda superior de la Tabla VIII.

Con referencia a la Tabla III, la información de MCC 0 de todo 0 para MCC 601-1 de la Fig. 8, informa el bitio paritario IBP (0-7).

Debido a que el bitio paritario IBP (0-7) para paridad impar es un 1 lógico cuando el registro IB contiene el dato 47F0(HEX) el chip lógico 611-1 vuelve a 1 lógico en su salida en respuesta a la totalidad de informaciones de 9 bitios todo 0. El 1 lógico procedente del chip lógico 611-1 de la Fig. 8, aparece como un bitio en el colector de 128 bitios 591. El colector 591 de la Fig. 8 se conecta como una entrada a la máscara 505 de la Fig. 4. En este momento, las 128 líneas 678 de la puerta de 128 vías 539, contienen un 0 lógico. El valor de datos 1 lógico para el bitio IBP (0-7) del chip lógico 611-1 de la Fig. 8 es invertido en la puerta 539 y aparece como un 0 lógico en la puerta OR 538. El correspondiente valor de datos de la memoria CCIP, a través de la puerta 547 en la Fig. 4, es un 0 como

resulta evidente de la Tabla III.

El 0 de la puerta 547 y el 0 de la puerta 539 se combinan en la puerta OR 538 para proporcionar un 0 en la línea de las del colector 593 que corresponde a la salida del chip lógico 611-1. Al propio tiempo, la totalidad de las otras 127 salidas de la memoria CCIP 504 y la puerta 547 son 1 lógicos, debido a que solamente aparece un único 0 lógico en el colector 593.

En la Fig. 7, la línea específica que en la Fig. 3 ha sido descrita como ejemplo y que contiene un 0, es la línea 33 (no explícitamente ilustrada) comprendida en el grupo de líneas 32-39 del colector 593. Todas las restantes entradas en el colector 593 son 1 lógicos. El cero en la línea 533 se conecta a la puerta de 8 vías EXCLUSIVE-OR 681-2. Una de las ocho entradas de la puerta 681-2 es entonces un 1 lógico, mientras que las otras siete salidas son 0 lógicos. La salida 1 lógico de la puerta 681-2 proporciona a su vez una entrada a la puerta de 8 vías EXCLUSIVE-OR 681-2, la cual a su vez proporciona una salida de 1 lógico en una de sus 8 salidas, por ejemplo, bitio 1. La salida 1 lógico de la puerta 681-2 es a su vez una entrada a la puerta de cuatro vías EXCLUSIVE-OR 681-2. Consecuentemente, una de las cuatro salidas de la puerta 683-2 es un 1 lógico. Esta salida 1 lógico de la puerta 683-2 proporciona un 1 lógico, como en la puerta EXCLUSIVE-OR 684-9 (no explícitamente ilustrada en la Fig. 7).

Debido a que el registro CSR 673 fué desconectado

a todo 0 antes de la primera información de registro SADR, la salida de la puerta EXCLUSIVE-OR 684-9 es un 1 lógico. Este 1 lógico es introducido en la etapa de registro CSR 673-10 (no ilustrada explícitamente en la Fig. 7). Al propio tiempo, el 0 lógico de la etapa de registro CSR 673-15 está combinado con un 0 procedente de la puerta de cuatro vías 683-1, como una entrada en la puerta EXCLUSIVE-NOR 684-15.

La salida de la puerta 684-15 es, por tanto, un 1 lógico, que a su vez es introducido en la etapa de registro CSR 673-0.

El resultado de las operaciones previas forma el primer valor de verificación intermedio con un 1 lógico en la etapa de registro CSR 673-0 y un 1 lógico en la etapa de registro CSR 673-10 con la totalidad de las otras etapas de registro 673 provistas de un 0. La representación hexadecimal del contenido del valor de verificación intermedio en el registro 673 es 8020, como se ilustra en la Tabla VIII en la información HEX/0 00. Si ha tenido lugar un error, de modo que el bitio paritario IBP (0-7) haya sido un 0 lógico en lugar del supuesto 1 lógico, entonces no se habrá propagado un 1 lógico a través del circuito lógico de valor de verificación EXCLUSIVE-OR 674 de la Fig. 7. De acuerdo con ello, no se habrá introducido un 1 en la etapa de registro CSR 673-10 y por tanto el contenido de registro de valor de verificación deberá ser 8000 (HEX) en lugar de 8020 (HEX).

En este punto, el ordenador de secuencias 503 de las Figs. 5 y 6 habrá completado una secuencia completa del registro de conversión de estado-tiempo 696. En la salida de la etapa 696-4 de la Fig. 6, la etapa SADR 556-2
5 está incrementada a la siguiente cuenta que es 001(HEX).

Haciendo referencia de nuevo a la Tabla III, la información de bitio MCC/001(HEX) para el MCC que contiene el registro IB330 en la Fig. 8, corresponde al bitio IB0. Como se indica en la Tabla III, la salida de la memoria
10 CCIP que utiliza la información de 9 bitios que aparece en la etapa de registro SADR 556-2, produce un 0 lógico en la puerta 547. Cuando el registro IB contiene el dato 47F0 (HEX), el valor para IB0 es un 0 lógico. Este 0 lógico es, refiriéndose a la Fig. 8, devuelto como la salida
15 del chip lógico 611-1 a un bitio del colector de 128 bitios 591. El 0 del colector 591 es invertido en la puerta 539 y aparece como un 1 lógico, como entrada en la puerta OR 530. Incluso si la salida de la memoria CCIP 504 es un 0 lógico, propagada como un 0 por la puerta 547,
20 la salida de la puerta 538 que corresponde al bitio IB0 es un 1 lógico. Debido a que la totalidad de las otras 127 salidas de la puerta 547 son también 1 lógico, el contenido del colector 593 es todo 1.

La entrada todo 1 en el colector 593 del circuito
25 lógico de valor de verificación 674 de la Fig. 7, proporciona una entrada todo 0 en el último nivel de la puerta EXCLUSIVE-OR 684. De acuerdo con ello, el 1 que fué lo-

calizado en la etapa 673-0 es transferido por la puerta 674-0 como un 1 a la etapa 673-1. El 1 que estaba en la etapa del registro de conversión 673-10 es transferido y se convierte en un 1 en la etapa de registro de conversión 673-11.

5 El 0 que estaba en la etapa de registro de conversión 673-15 es invertido en la puerta 684-15 y se convierte en un nuevo 1 en la etapa de registro de conversión 673-0.

El resultado es el segundo valor de verificación intermedio, C010, como se indica en la Tabla VIII para la información 0 01 (HEX). En este punto, debe ser generado un nuevo valor de verificación intermedio y el ordenador de secuencias 503 de las Figs. 5 y 6 origina que el registro SADR sea incrementado a la siguiente información 002 (HEX). Después de esto, para cada una de las 10 informaciones 002 (HEX) a 009 (HEX), las salidas de la memoria CCIP 504 son todas 1, de modo que es conveniente que no haya retorno de valores de datos del aparato principal. El valor de verificación intermedio y el contenido del registro CSR después de la información SADR 009 (HEX), 15 es EFC0. Como se indica en la Tabla III, la información siguiente para el registro SADR, 00A (HEX), es de interés y es informado un 0 procedente de la memoria CCIP. El valor de datos para el bitio IB1 es un 1 y el registro IB almacena el valor 47F0 (HEX). La razón de que IB1 sea 20 un 1 lógico, se debe a que en el valor 4 (HEX) el equivalente binario 0100 tiene un 1 en la segunda localización, es decir en la IB1. Dicho 1 en la localización IB1 de la 25

Fig. 8 es retrocedido por el circuito lógico del valor de verificación 674, es invertido a un 0 en la puerta 539 y, junto con el 0 procedente de la puerta 547, aparece como una entrada 0 en la línea 33 de la Fig. 7. Dicho 0 es propagado por el circuito lógico de valor de verificación 674 para proporcionar una entrada de 1 lógico a la puerta EXCLUSIVE-OR 684-9. Dicho 1, combinado con un 1 lógico procedente de la etapa CSR 673-9, produce una entrada 0 lógico que es almacenada en la etapa CSR 673-10. De acuerdo con ello, el valor de verificación intermedio, el registro SADR en la información 009 (HEX), es F7C0.

Si no se ha obtenido un 1 lógico del bitio-IB1 en la Fig. 8 entonces el valor de verificación intermedio para la información 00A(HEX) sería F7E0 (HEX). Por tanto, los valores de verificación intermedios se forman en el registro 673 de la Fig. 7 para cada una de las informaciones restantes en la Tabla III. La Tabla III solamente representa 16 de los 512 valores de verificación que en total deben formarse. La totalidad de las informaciones, incluyendo aquellas de la Tabla II, son exploradas como parte del total de las 512 informaciones, de la forma descrita en esta parte, en relación con la Tabla III. Cada uno de los valores de verificación intermedios aparece en la Tabla VIII para la totalidad de 512 exploraciones. El valor de verificación final que aparece en la información F1F (HEX) es 1DFD. Debe hacerse notar que los valores de verificación se tornan repetitivos en una base de valor de verificación

de módulo 32 si no hay cambio alguno en la entrada de datos. Se observa la repetición al no existir cambio alguno en los valores de verificación intermedios para cada una de las hileras A (HEX) a F(HEX) de la Tabla VIII.

5 Si bien el valor de verificación final para el registro IB que contiene el valor de datos 47F0 podría ser 1DFC(HEX), el valor de verificación final para el registro IB que tiene un contenido de datos 46F0 (HEX) con IBP (0-7) igual a 1 e IBP (8-15) es igual a 1.

10 El generador 507 de la Fig. 4 incluye un circuito lógico de reducción 674-1, un registro de valor de verificación 673 y un circuito lógico de valor de verificación 674-2. Aun cuando el circuito lógico de reducción se describió en relación con la Fig. 7 como un circuito ratificado bi-
15 nario, es evidente que no se requiere un circuito ramificado. Cualquier número de salidas dependientes lógicamente puede ser derivado desde las entradas con cualquier forma de reducción ramificada o no ramificada. La reducción puede ser de N bitios de entrada, en donde N es cualquier número
20 entero, hasta uno o más bitios de salida. El circuito lógico de valor de verificación, que combina lógicamente el valor de verificación actual almacenado en el registro de valor de verificación, con la salida procedente del circuito lógico de reducción, puede ser asimismo de distintas formas
25 diferentes. Por ejemplo, en el caso extremo, el circuito de reducción puede reducir la salida a un solo bitio. Cualquiera que sea el número de bitios de salida, éstos se

combinan con las salidas del registro de valor de verificación. El registro de valor de verificación puede consistir por sí mismo de uno o más bits.

5 En la forma preferida de realización de un generador de valor de verificación descrita en relación con la Fig.7, el circuito lógico de valor de verificación 174-2 incluye unos medios de circuito de transformación que comprenden un inversor para conectar la salida de la puerta EXCLUSIVE-OR 684-15, la cual recibe una salida procedente de la etapa enésima del registro de conversión 673-15, 10 para proporcionar una salida invertida a la etapa del primer registro de conversión 573-0. Desde luego, de acuerdo con la presente invención pueden ser utilizadas cualesquiera otras técnicas de comprobación de redundancia cíclica. Por 15 ejemplo, los medios de circuito de transformación pueden conectar y combinar lógicamente la salida procedente del inversor 785 con la salida procedente de la etapa 673-14 para formar una entrada en la última etapa 673-15. Cualesquiera técnicas de búsqueda de redundancia cíclica pueden 20 ser utilizadas en el generador de valor de verificación de la presente invención.

El generador del valor de verificación 507 de las Figs. 4 y 7 , se ha descrito como una unidad simple para la totalidad de puntos en el aparato principal. Como una 25 alternativa, el generador de valor de verificación puede estar distribuido en diferentes localizaciones. Por ejemplo, cada uno de los 128 MCC que comprende un aparato principal

puede incluir su propio generador de valor de verificación. Cada uno de tales generadores de valor de verificación puede funcionar para generar un valor de verificación intermedio. Los valores de verificación intermedios de los MCC pueden ser por tanto combinados lógicamente para formar un solo valor de verificación final. El valor de verificación en cada caso puede comprender uno o más bits que son transmitidos al aparato secundario en serie o en paralelo. La naturaleza del aparato informador para informar grupos de puntos que son utilizados para formar valores de verificación intermedios, dependerá desde luego de la distribución particular seleccionada. En tales formas de realización alternativas, cada MCC puede incluir su propia memoria de identificación de subconjuntos, tal como la memoria MCC 504 de la Fig. 4, o alternativamente, la función de enmascaramiento puede permanecer enteramente en el elaborador 525.

Aun cuando la memoria 504 ha sido descrita en una forma de realización en la que existe una correlación 1-a-1, la memoria puede almacenar valores de identificación en forma codificada. En tal forma de realización, la información codificada es informada y descodificada para proporcionar la deseada salida de memoria. Mediante la utilización de información codificada, el tamaño de la memoria puede ser reducido.

Aun cuando la presente invención ha sido dirigida hacia la detección de errores de puntos en un aparato principal, la presente invención puede ser también utilizada

en conexión con puntos del aparato secundario. Por ejemplo, en la Fig. 3 las puertas del elaborador 523 se conectan a varios puntos (no ilustrados) del elaborador 525. Cualquiera de dichos puntos puede ser apropiadamente informado por la puerta 569-6 para la conexión a través del controlador 511 con el computador 501 de la Fig. 2. De esta manera, puede realizarse la detección del análisis de fallos en el aparato secundario por el propio aparato secundario.

En la presente invención no se detectan los fallos con absoluta certeza, a causa de la naturaleza de la reducción lógica que se utiliza. Si tiene lugar simultáneamente un número impar de fallos en el registro 330 de la Fig.8, se detectará un fallo en la presente invención. Por otra parte, si tiene lugar un número par de fallos simultáneamente, los fallos pueden compensarse y por tanto existe una posibilidad de que resulte una no detección de un fallo en el ciclo. La probabilidad de detección aumenta en subsiguientes ciclos. En el caso en el que dos fallos exactamente iguales que hayan ocurrido simultáneamente sean localizados por casualidad en el aparato principal, la probabilidad de que ocurra tal compensación en un ciclo es aproximadamente del 6,3%. En los casos en que tengan lugar más de dos fallos casualmente localizados, la probabilidad de que ocurra dicha compensación decrece rápidamente con el número de fallos, es decir que la probabilidad de la detección de fallos aumenta rápidamente al aumentar el número de fallos.

En un aparato principal del tipo descrito con relación a la presente invención, el proceso de información tiene lugar en ciclos síncronos secuenciales del aparato principal. Para realizar la detección y el análisis de fallos, es deseable localizar el primer ciclo durante el que ocurre un fallo, ya que hay una probabilidad elevada de que en ciclos subsiguientes el fallo se propague y se combine. Usualmente, cuantos más ciclos hayan transcurrido desde el fallo inicial, tanto mayor es la dificultad que existe en aislar la causa inicial del fallo.

La probabilidad de detectar un error en el primer ciclo o en ciclos subsiguientes tiene interés en la evaluación de la presente invención. De acuerdo con un análisis, la probabilidad de detectar un fallo en el ciclo en que ocurre el primer fallo, es superior al 99%. Además, es mayor la probabilidad de que el fallo se detecte en ciclos subsiguientes del aparato principal.

Una forma en la que el aparato principal y el aparato secundario de la presente invención trabajan conjuntamente, es la siguiente. El aparato principal opera para procesar información, por ejemplo para ejecutar un programa principal conocido tal como un programa de diagnóstico, en una forma convencional hasta que las técnicas de detección de errores hasta ahora convencionales demuestren que el aparato principal ha tenido un error. Tal detección de error puede ser, por ejemplo, a partir de técnicas de detección de errores de paridad normales. Después de la indicación de un fallo

de cualquier clase en el aparato principal, se da una orden ya sea automáticamente o mediante un programa de control, al computador de consola 501. La cuenta cíclica del aparato principal es almacenada después de la detección del primer error. Se ordena entonces al aparato principal que retro-
5 traiga la operación en la que ha aparecido la indicación de error a un período inicial. El período inicial es cualquier número de ciclos contado por un contador de ciclos del aparato principal. Cuando el contador de ciclos se
10 aproxima a una cuenta que precede a la cuenta en la que se detectó el primer fallo, el aparato principal es detenido de forma convencional. Seguidamente, se forman los valores de verificación para cada ciclo del aparato principal y se comparan con el aparato secundario. Cuando
15 el valor actual de un valor de verificación formado difiere del valor supuesto de un valor de verificación, puede realizarse un análisis de exploración compacta de los puntos que han contribuido a dicho valor de verificación para intentar identificar la fuente del fallo. El número
20 de puntos que inicialmente contribuyen al valor de verificación puede ser la totalidad de los 65.536 puntos o cualquier subconjunto seleccionado de dichos puntos.

Por ejemplo, si la circuitería de detección de errores normal del aparato principal ha indicado que ha ocurrido el error solamente en conexión con la unidad de
25 ejecución 10 de la Fig. 1, entonces se selecciona solamente un subconjunto de puntos que forme parte en la unidad de

ejecución 10 y son enmascarados la totalidad de los puntos restantes. Desde luego, los expertos en la materia entenderán que pueden llevarse a cabo muchas variaciones con base a la presente invención.

5 La presente invención requiere normalmente que exista un estado conocido del aparato principal antes de la detección y análisis de errores. Por tanto, cualquier programa principal u operación del aparato principal debe ser una que haya sido previamente determinada como libre
10 de errores, con el fin de proporcionar valores supuestos para el almacenamiento en el aparato secundario.

 En la presente invención, son almacenados valores supuestos de valores de verificación que quedan accesibles al computador de consola 501 de la Fig. 2. Asimismo valores
15 supuestos de los estados de puntos individuales del aparato principal son también almacenados y quedan accesibles al computador de consola 501. Si una comparación de valores de verificación no detecta un fallo, entonces los valores almacenados de los puntos que contribuyen a la formación
20 del valor de verificación, no necesitan un análisis adicional. Si la comparación de los valores de verificación actual y supuesto indica que existe un fallo en el subconjunto de puntos que contribuye a la formación del valor de verificación, entonces los valores supuestos de
25 aquellos puntos y el valor actual de dichos puntos puede ser comparado por el computador 501. En la forma de realización descrita, los valores supuestos de un subconjunto

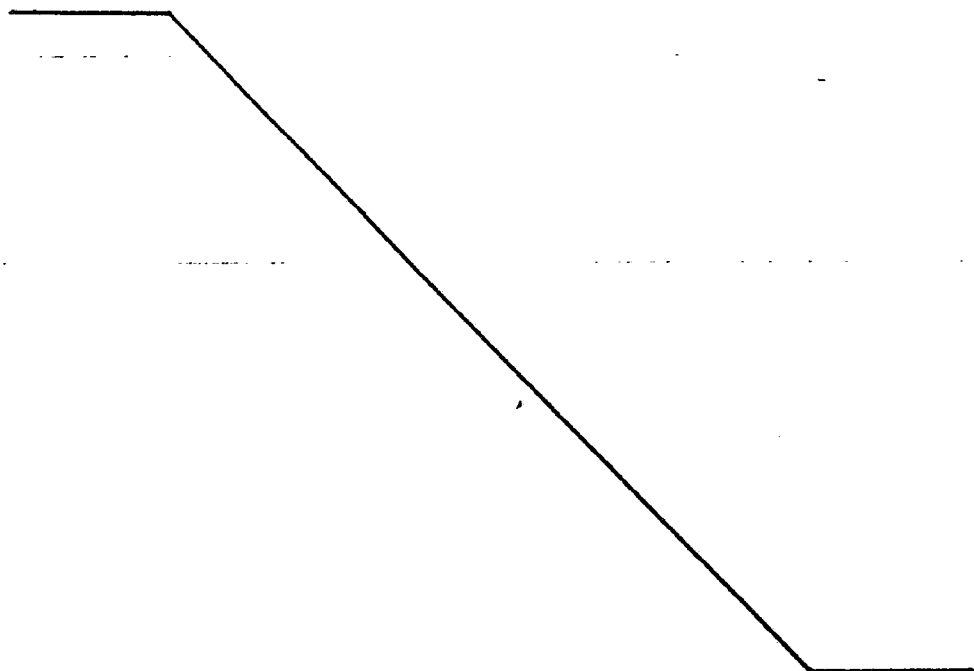
de puntos son informados en grupos de 16 bitios a un tiempo y almacenados en el registro de conversión 696. Dichos 16 bitios son entonces transferibles por las puertas de salida 508 al controlador 511 del computador 501. El computador 501, de forma convencional, compara entonces dichos 5 16 bitios con los correspondientes 16 bitios del computador 501 que tienen los valores supuestos. Si el grupo de 16 bitios actuales corresponde al valor de los 16 bitios supuesto, entonces el elaborador 525 puede continuar informando el siguiente grupo de 16 bitios. Normalmente, si 10 no se ha detectado error en cualquier grupo de 16 bitios, los valores informados para dicho grupo de 16 bitios pueden ser descartados sin análisis posterior, Si se detecta un error entre cualquier valor de un bitio supuesto y un bitio actual, el error representado puede ser analizado posteriormente para determinar la localización en el aparato principal.

El almacenamiento de valores supuestos para los valores de verificación y para los valores de bitios, puede realizarse utilizando el aparato de la presente invención. 20 El aparato principal es autorizado a operar en cualquier estado para el que deban formarse un valor de verificación y un valor supuesto. Por tanto, la totalidad de los valores supuestos son informados desde el aparato principal y almacenados en la memoria asociada con el computador 501. Si- 25 milarmente, el valor de verificación formado es almacenado en una localización apropiada. Cuando el aparato principal

es retornado de nuevo al mismo estado, los valores supuestos requeridos han sido ya almacenados en el aparato secundario.

NOTA

5 Descrita suficientemente la naturaleza del invento,
así como la manera de ponerlo en práctica, se hace constar
que todo cuanto no altere, cambie o modifique su principio
fundamental, puede quedar sometido a variaciones de detalle.
También se hace constar que esta invención corresponde a
la descrita en la solicitud de Patente nº 798.985, deposti-
10 tada en los Estados Unidos de América en 20 de Mayo de,
1977, cuya prioridad se reivindica de acuerdo con los
Convenios Internacionales en vigor, siendo lo esencial y
por lo que se solicita Patente de Invención, por veinte
años, lo que queda resumido en las siguientes reivindi-
15 caciones:



REIVINDICACIONES

1^a.- Aparato para el proceso de información, caracterizado porque comprende un aparato principal que incluye una pluralidad de puntos de circuito principal, cada uno de los cuales está activado a un estado real durante la operación de dicho aparato principal, y un aparato secundario para el proceso de información, independiente de dicho aparato principal, incluyendo dicho aparato secundario unos medios de acceso, conectados a los puntos de circuito principal, para el acceso de la información indicando el estado real de dichos circuitos principales e incluyendo unos medios generadores para generar un valor de verificación actual que tenga un valor dependiente del estado actual de dichos puntos de circuito principal.

2^a.- Aparato según la reivindicación 1^a, caracterizado porque comprende unos medios para almacenar un valor de verificación supuesto, de un valor determinado por lo estados supuestos de los puntos de circuito principal, con lo que el valor de verificación supuesto puede ser comparado con el valor de verificación actual para detectar fallos en el aparato principal.

3^a.- Aparato según la reivindicación 1^a, caracterizado porque incluye unos medios de identificación de modulator-demodulador (modem) con el fin de hacer que dicho valor de verificación actual tenga un valor dependiente del estado actual de solamente un modem de dicha pluralidad de puntos de circuito principal.

4^a.- Aparato según la reivindicación 3^a, caracterizado porque dichos medios de identificación de modem incluyen una memoria provista de registros de almacenamiento que corresponden a puntos en dicho aparato principal, almacenando dichos registros de almacenamiento valores de identificación para indicar si los puntos correspondientes deben contribuir a la formación del valor de verificación actual.

5
10
15
20
25

5^a.- Aparato según la reivindicación 1^a, caracterizado porque dicho aparato secundario incluye unos medios computadores digitales programables, vinculados a un programa secundario, y unos medios de interrelación (interfase) conectados entre dichos medios computadores y dicho aparato principal, que incluyen unos medios de información para informar en paralelo un grupo de dichos puntos de circuito principal de acuerdo con dicho programa secundario, con lo que dichos medios de acceso proporcionan una información que indican el estado real de dicho grupo de los mencionados puntos de circuito principal, para proporcionar una entrada a dichos medios generadores.

20
25

6^a.- Aparato según la reivindicación 5^a, caracterizado porque dichos medios de información incluyen además un registro de datos de información de exploración, conectado al ser activado a dichos medios computadores, e incluyen un colector de información de exploración conectado a dicho registro de datos de información, para informar un grupo diferente de puntos de circuito principal para cada informe en el registro de datos de información

de exploración, estando asociados cada uno de dichos puntos en un grupo con una línea de datos de exploración diferente, formando el conjunto de líneas de datos de exploración un colector de datos de exploración para el acceso en paralelo de información que indica el estado actual de los puntos de circuito principal en el grupo informado, proporcionando dicho colector de datos de exploración una entrada a los mencionados medios generadores para cada grupo informado.

7^a.- Aparato según la reivindicación 6^a, caracterizado porque comprende una pluralidad de chips de circuito integrado, cada uno de los cuales contiene una pluralidad de dichos puntos de circuito principal; una pluralidad de soportes de chips, cada uno de los cuales contiene una pluralidad asociada de dichos chips, conteniendo a su vez cada uno un número de dichos puntos de circuito principal, y estando conectado cada uno de modo que reciba el colector de información y que proporcione una línea de datos de exploración en dicho colector de datos de exploración; unos medios asociados con cada soporte de chips para informar una de las pluralidades asociadas de dichos chips en respuesta a la información en dicho colector de información ; y unos medios en cada uno de dichos chips vinculados a dicho colector de información para informar un punto de circuito principal específico en dicho chip y para conectar cada punto de circuito principal informado a la línea de datos de exploración de dicho colector de datos de exploración.

ción, con lo que cada uno de dichos chips proporciona información para dichos medios generadores.

5 8^a.- Aparato según la reivindicación 5^a, caracterizado porque dicho aparato secundario comprende una memoria informable provista de registros de almacenamiento de bitios (bits), correspondiendo uno a uno con dicha pluralidad de puntos de circuito principal, para identificar un modem de dichos puntos, estando conectada dicha memoria para ser informada por dichos medios informadores para proporcionar valores de identificación que corresponden al mencionado grupo informado de los citados puntos de circuito principal, y unos medios para combinar la información que indica el estado efectivo de dicho grupo informado de los mencionados puntos de circuito principal con los correspondientes valores de identificación proporcionados por dicha memoria para dar entradas a los citados medios generadores, con lo que solamente el modem identificado de dichos puntos afecta el valor de verificación actual generado por los mencionados medios generadores.

20 9^a.- Aparato según la reivindicación 8^a, caracterizado porque los valores de identificación de modem están almacenados en los registros de almacenamiento de dicha memoria, bajo control del programa secundario de instrucciones.

25 10^a.- Aparato según la reivindicación 1^a, caracterizado porque dichos medios generadores comprenden unos medios lógicos de reducción para combinar lógicamente la informa-

ción que indica el estado actual de dichos puntos de
circuito principal, para formar una representación redu-
cida; un registro de valores de verificación para almace-
nar un valor de verificación presente; y unos medios lógicos
5 de valor de verificación para combinar lógicamente el valor
de verificación presente y la representación reducida pa-
ra formar un nuevo valor de verificación.

11^a.- Aparato según la reivindicación 10^a, caracte-
rizado porque dicho registro de valores de verificación es-
10 tá constituido por un registrador de conversión dotado de
una pluralidad de etapas en donde las entradas de uno
o más de dichas etapas son conectadas a través de dichos
medios lógicos de valor de verificación con una o más
salidas de dichas etapas.

15 12^a.- Aparato según la reivindicación 10^a, caracte-
rizado porque comprende un ordenador operativo de sencuen-
cias, adaptado para hacer que el citado aparato secundario
proporcione un primer grupo, un segundo grupo, unos gru-
pos subsiguientes y un grupo final de dichos puntos, con
20 el fin de que dicho registro de valores de verificación alma-
cene un primer valor de verificación, un segundo valor de
verificación, unos subsiguientes valores de verificación
y un valor de verificación final, con lo que dicho valor de
verificación final es lógicamente dependiente de los valores
25 de verificación primero, segundo y subsiguientes.

13^a.- Aparato según la reivindicación 10^a, caracte-
rizado porque dichos medios lógicos de reducción comprenden

un circuito ramificado "O-EXCLUSIVO" (EXCLUSIVE-OR) y porque dichos medios lógicos de valor de verificación incluyen una pluralidad de entradas "O-EXCLUSIVAS" (EXCLUSIVE-OR), para proporcionar la combinación "O-EXCLUSIVA" del valor de verificación presente y de dicha representación reducida.

14^a.- Aparato según la reivindicación 13^a, caracterizado porque dicho circuito ramificado proporciona una salida de N bitios (bit), porque dicho registro de verificación global incluye N etapas, cada una de las cuales tiene una entrada y una salida, y porque dichos medios lógicos de valor de verificación incluyen N entradas "O-EXCLUSIVAS" (EXCLUSIVE-OR), cada una de las cuales está adaptada para combinar una salida diferente de las salidas de dicho circuito ramificado y otra salida diferente de las salidas de las N etapas, proporcionando dichas entradas "O-EXCLUSIVAS" (EXCLUSIVE-OR) N salidas, e incluyendo dichos medios lógicos unos medios transformadores para conectar las salidas de dichas entradas "O-EXCLUSIVAS" (EXCLUSIVE-OR) como entradas en dichas N etapas.

15^a.- Aparato según la reivindicación 14^a, caracterizado porque dichos medios transformadores incluyen uno o más inversores para invertir las entradas o salidas de una o más de las entradas "O-EXCLUSIVAS" (EXCLUSIVE-OR).

16^a.- Aparato según la reivindicación 15^a, caracterizado porque dicho circuito ramificado es un circuito ramificado binario dotado de 2^Y entradas y 2^X salidas, en don-

de X e Y son números enteros, siendo el entero X menor que el entero Y.

5 17^a.- Aparato según la reivindicación 1^a, caracterizado porque comprende una memoria dotada de una pluralidad de campos para almacenar valores de identificación de modem, tales como valores, seleccionados o no seleccionados y unos medios para combinar lógicamente las salidas de un campo de memoria con la información proporcionada de un correspondiente punto de circuito principal, para formar una entrada a los medios generadores mencionados, con lo que el valor de datos para cada entrada corresponde a dicho valor no seleccionado para cada campo de memoria que almacena un valor no seleccionado, y corresponde al valor del punto de circuito principal para cada campo de memoria que almacena un valor seleccionado.

10

15

18^a.- Aparato según la reivindicación 1^a, caracterizado porque comprende una memoria para el almacenamiento de valores de identificación, para identificar un modem de dichos puntos de circuito principal, y unos medios para proporcionar selectivamente información que indique el estado efectivo del modem de los puntos de circuito principal identificado en cada memoria.

20

19^a - Aparato según la reivindicación 18^a, caracterizado porque, comprende unos medios para almacenar valores previstos de los estados supuestos del modem de puntos de circuito principal, con lo que los valores supuestos pueden compararse con los valores actuales para detectar fallos en

25

el aparato principal.

10^a.- Aparato según la reivindicación 1^a, caracterizado porque comprende una memoria provista de una pluralidad de registros de almacenamiento de bitios (bit), uno por cada citado punto de circuito principal, almacenando dichos registros de almacenamiento de bitios valores de identificación de modem para identificar un modem de dichos puntos; unos medios informaciones para informar en paralelo un grupo de dichos puntos de circuito principal, con lo que dichos medios de acceso proporcionan una información que indica el estado actual de dicho grupo de los mencionados puntos de circuito principal; unos medios de registro para el almacenamiento de información; y unos medios de control para permitir que dichos medios de registro almacenen información indicativa del estado actual de cualesquiera puntos de dicho modem de puntos dentro de dicho grupo de puntos.

20 21^a.- Aparato según la reivindicación 20^a, caracterizado porque comprende unos medios ordenadores de secuencia para secuenciar dichos medios de información, con el fin de informar secuencialmente la totalidad de puntos en dicho modem de puntos, con lo que dichos medios de registro almacenan secuencialmente información indicativa del estado actual de la totalidad de puntos en dicho modem de puntos.

25 22^a.- Aparato según la reivindicación 1^a, caracterizado porque comprende un aparato principal que incluye una pluralidad de puntos de circuito principal, cada uno de los

cuales es activado a un estado actual durante la operación de dicho aparato principal, y un aparato secundario para el proceso de información independientemente de dicho aparato principal, de modo que se produce una información
5 indicativa del estado efectivo de dichos puntos de circuito principal independientemente de la operación de dicho aparato principal, se genera un valor de verificación actual dotado de un valor dependiente de la información que indica el estado actual de dichos puntos de circuito
10 principal, y se compara el valor de verificación actual con un valor de verificación supuesto para detectar fallos en el aparato principal.

23^a.- APARATO PARA EL PROCESO DE INFORMACION, tal como queda descrito y reivindicado en la presente
15 memoria que consta de ochenta y seis hojas mecanografiadas por una sola cara y de seis láminas de dibujos.

BARCELONA, 19 de Mayo de 1978.

AMDAHL CORPORATION
P.P.

J. M. GOMEZ-ACEBO Y POMBO
p. p. Edo. E. Ferragüela Colón



ESQUEMA

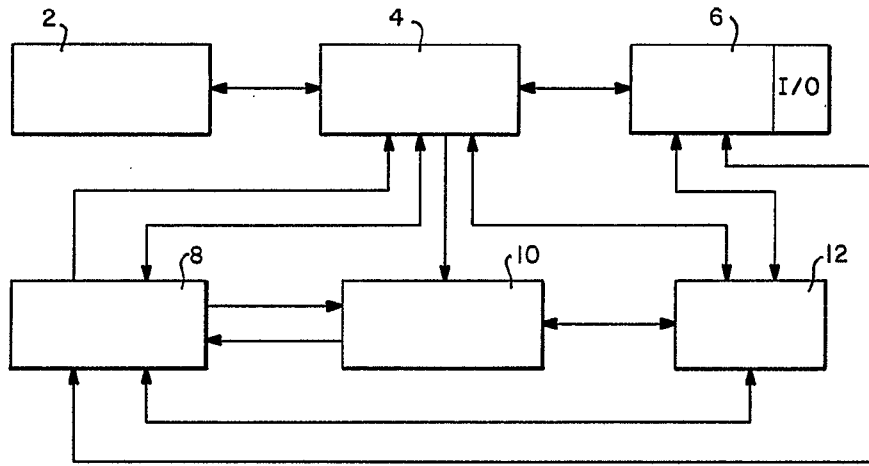


FIG. — 1

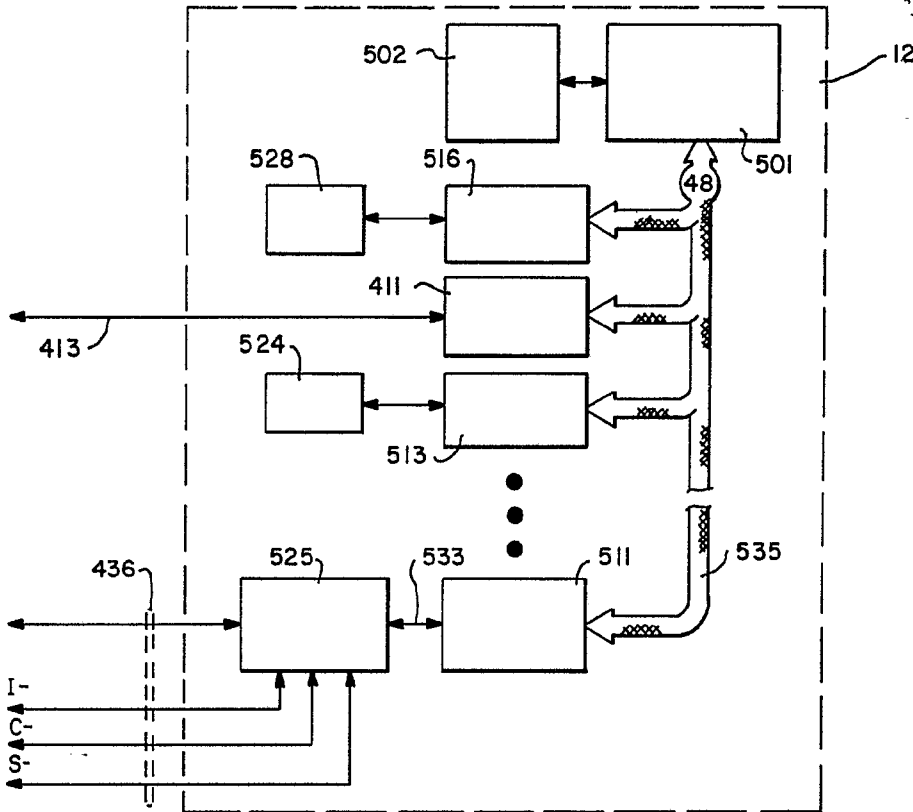


FIG. — 2

BARCELONA, 19 de Mayo de 1978
AMDAHL CORPORATION

P. P.
J. M. GOMEZ-ACEBO Y POMBO
p. p. F. o. E. Ferragüela Colón

ESQUEMA

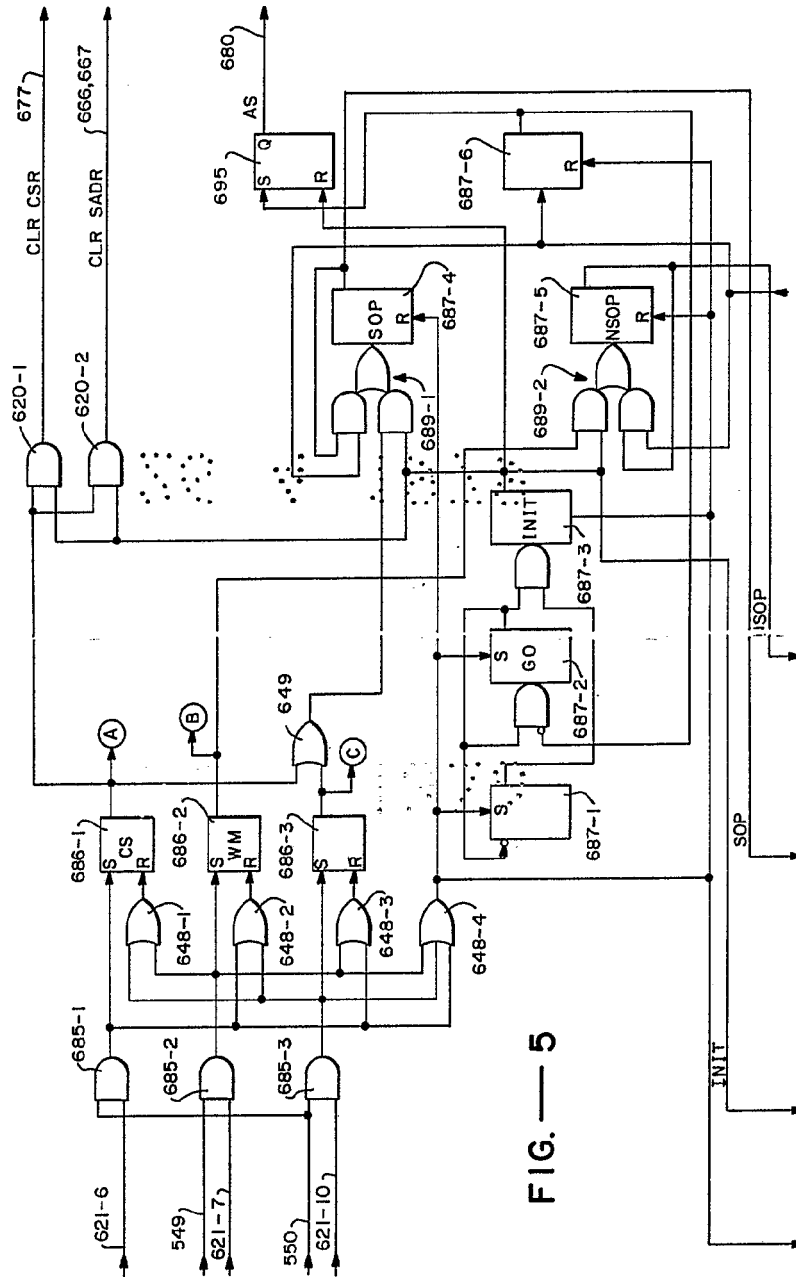


FIG. — 5

BARCELONA, 19 de Mayo de 1978
 AMDAHL CORPORATION
 P.P.

J. M. GOMEZ-ACEBO Y POMBO
 P. P. Fco. E. Ferragale Colón

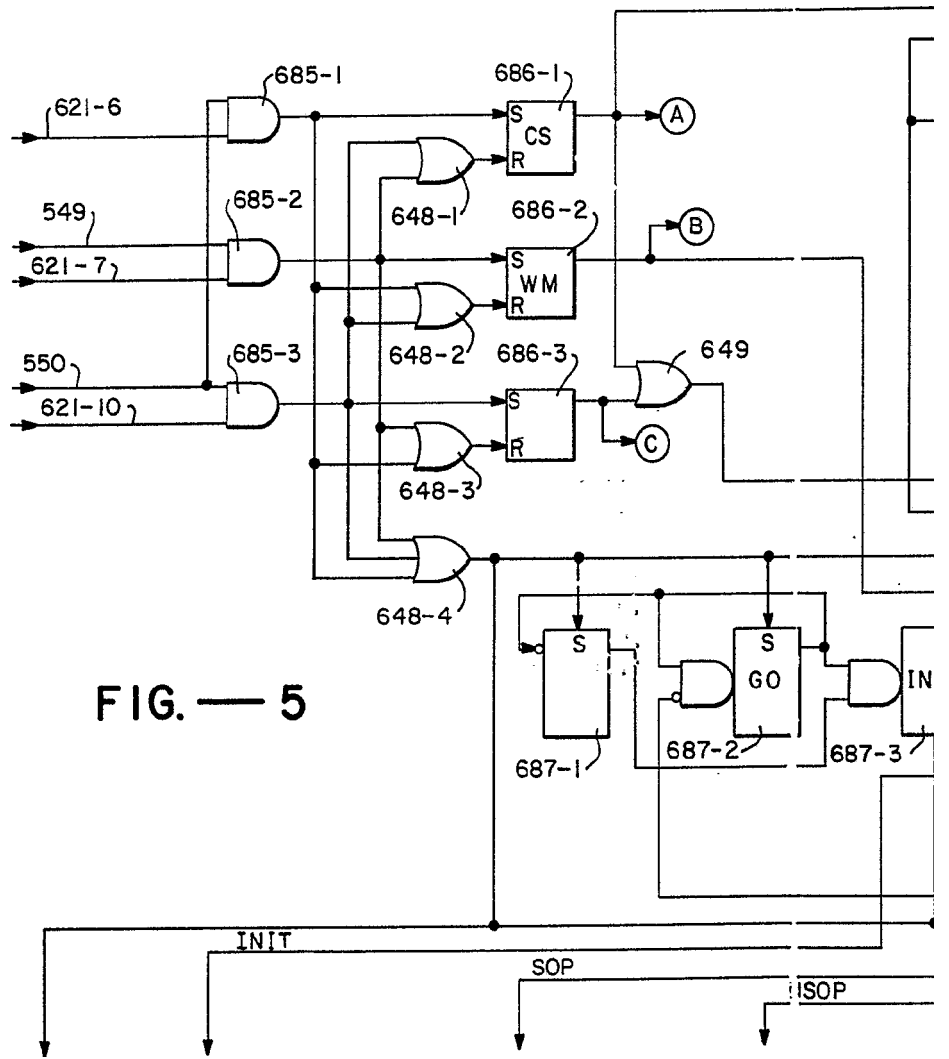


FIG. — 5

ESQUEMA

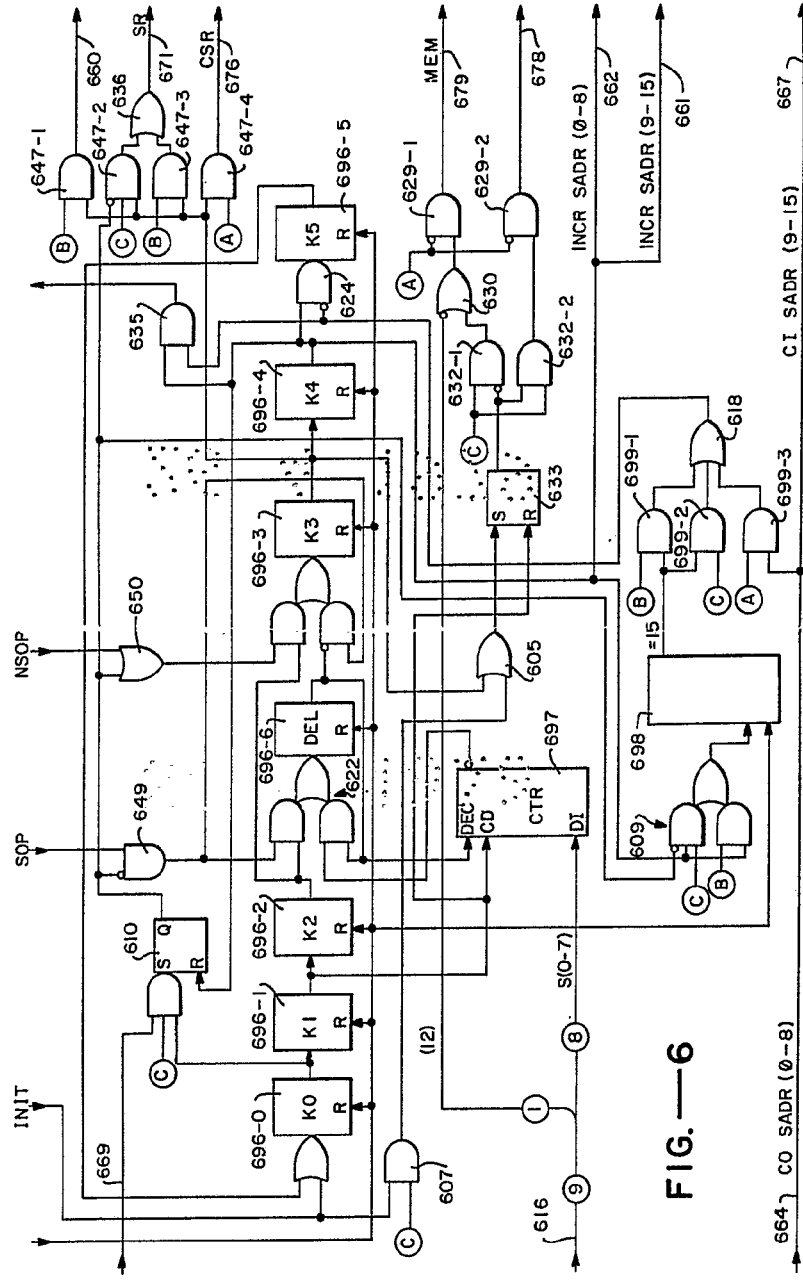


FIG. 6

BARCELONA, 19 de Mayo de 1978
 AMDAHL CORPORATION
 P. P.
 J. M. GOMEZ-ACEBO Y POMBO
 P. P. Fdo. E. Ferraguday Colón

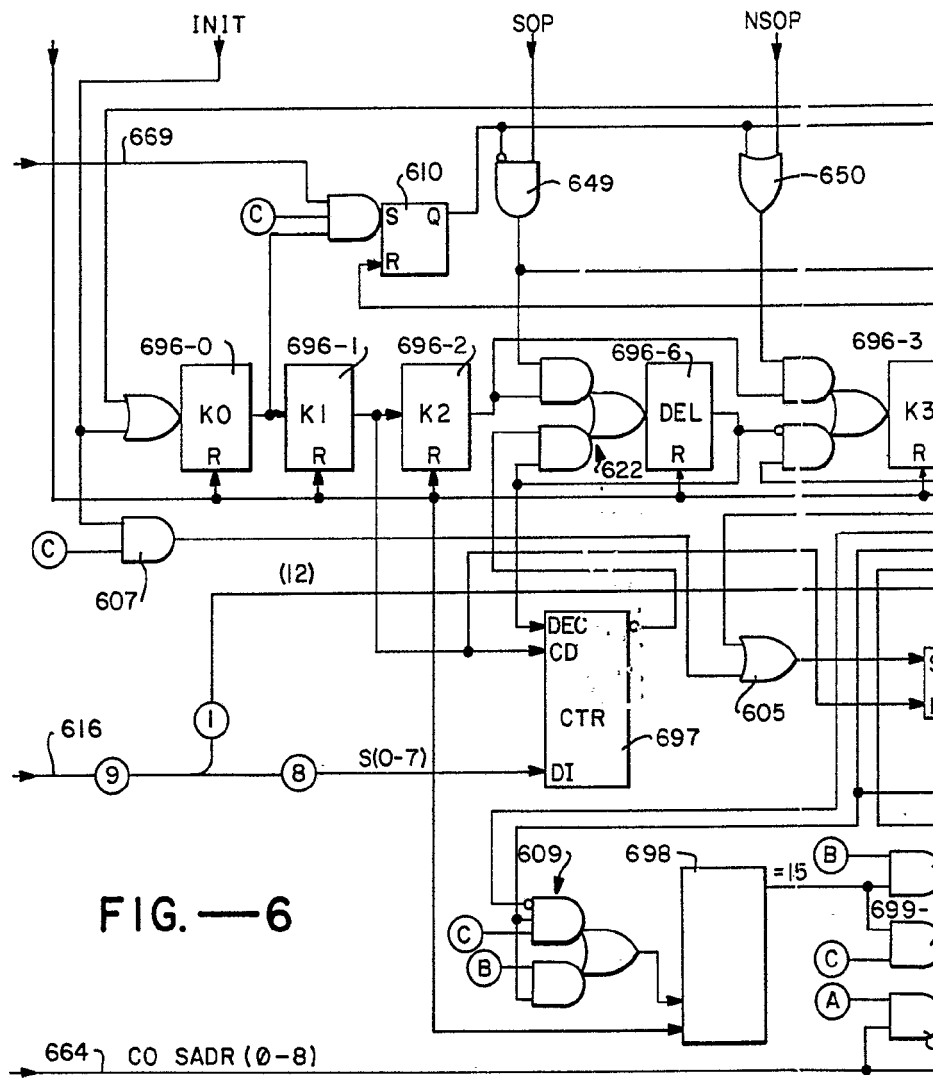
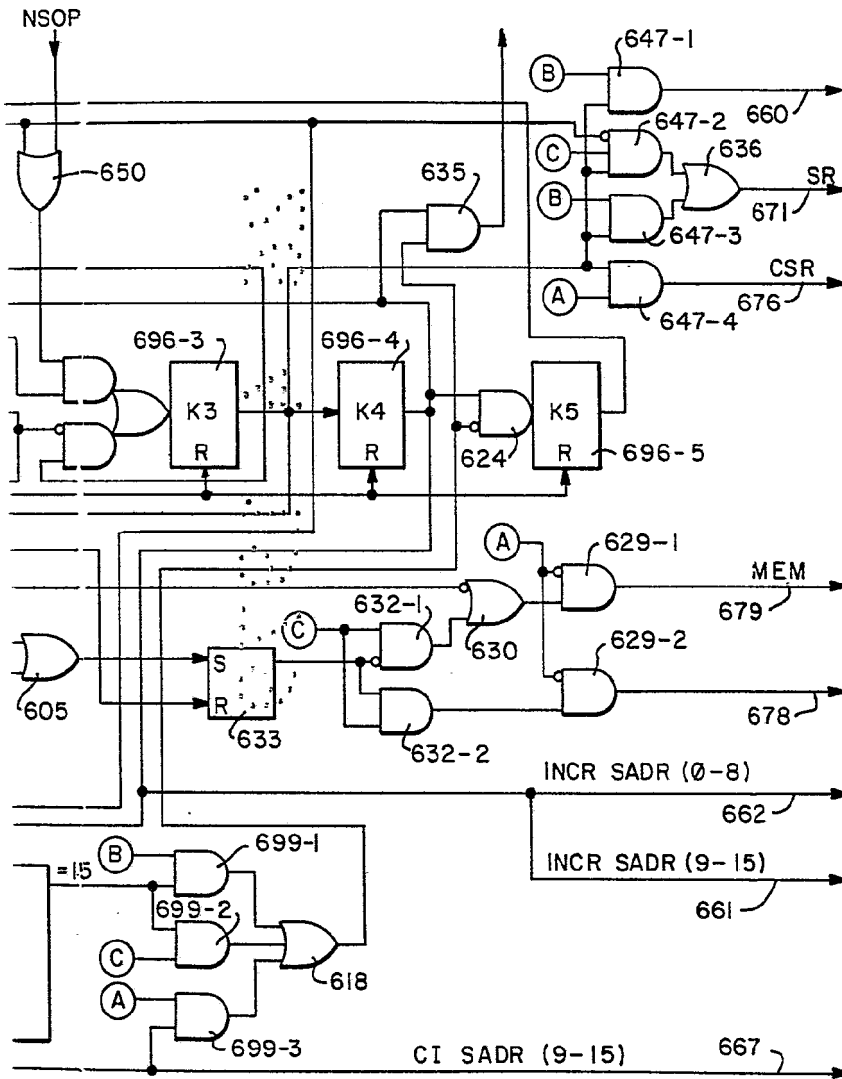
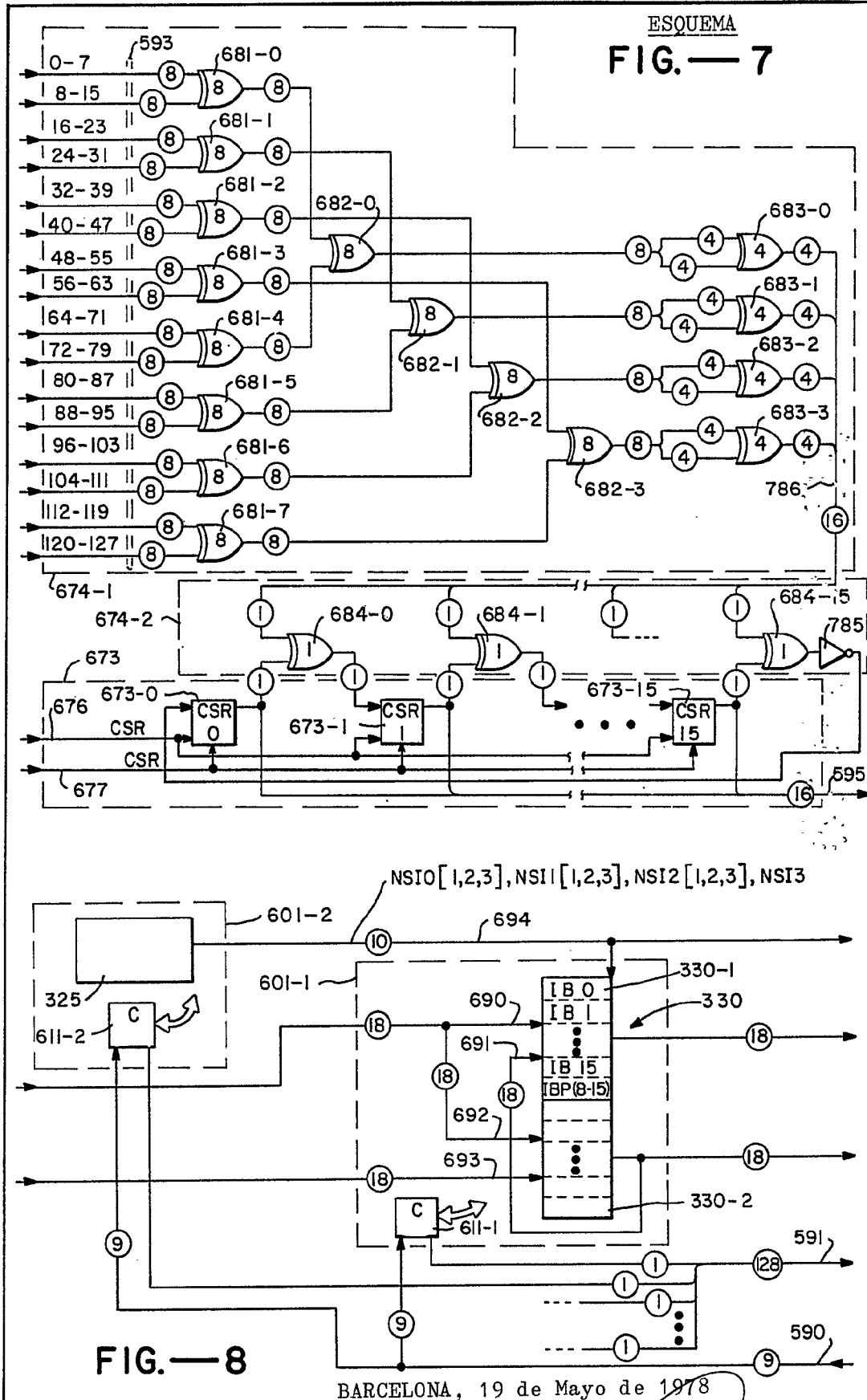


FIG. — 6

ESQUEMA



BARCELONA, 19 de Mayo de 1978
 AMDAHL CORPORATION
 P.P.
 J. M. GOMEZ-ACEBO Y POMBO
 P. P. Fco.: E. Ferregüela Colón



BARCELONA, 19 de Mayo de 1978

AMDAHL CORPORATION

P.P. J. M. GÓMEZ-ACEBO Y POMBO

p. p. Fdo. E. Ferregüela Colón