

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

18 ES	11 21	NUMERO 470107	10 A1
		22 FECHA DE PRESENTACION	

5 ENE. 1979

PATENTE DE INVENCION

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
22279/77	26.Mayo.77	Gran Bretaña
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H03K	
54 TITULO DE LA INVENCION		
"UN DISPOSITIVO DE CONMUTACION DE TIEMPO DIGITAL"		
71 SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, nº 5.		
72 INVENTOR (ES)		
George Aneurin Howells Roger Maurice Hochreutiner		
73 TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
74 REPRESENTANTE		
D. Eugenio Barroso Espinosa de los Monteros		

El presente invento se refiere a un dispositivo de conmutación de tiempo digital, tal como puede utilizarse en mallas MIC (modulación por impulsos codificados) bien solo para conmutación de tiempo o junto con estructuras de conmutación de espacio.

El invento hace uso del principio básico de que para interconectar los canales MIC X e Y en una ruta multiplexada, es necesario retrasar un bit que llega por el canal X en un tiempo t_x hasta el momento t_y correspondiente a la aparición del canal Y, e inversamente para los bits que llegan por el canal Y en un sistema dúplex. Un tal proceso se ilustra en la figura 1 de los dibujos que se acompañan.

La realización básica de esto está en la utilización de dos registros de conversión que convierten en direcciones opuestas, como se muestra en la figura 2. La ruta de entrada se aplica a un registro de conversión de entrada IR y la ruta de salida se aplica desde el registro de conversión de salida OR.

Cada registro de conversión tiene una capacidad total de $n/2$ bits, en donde existen n/bit canales multiplexados en las rutas. Las células en los dos registros de conversión están conectadas a $n/2$ puertas de transferencia paralelo TG. La configuración más sencilla, como se muestra resulta en retardos múltiples de al menos 2 unidades (períodos de bit). Así un bit transferido de la célula IR (1) a la célula OR (1) está retrasado en 2 unidades, de IR (2) a OR (2) en 4 unidades y así sucesivamente. Para obtener retardos de unidades solamente es necesario intercalar los tiempos de cambio del registro, como se muestra en la Fig. 3. Así, suponiendo que después de OR ha cambiado en una posición de bit, IR (1) y OR (1) es-

tán alineados, fig. 3a entonces si cambia IR/IR (1) estará
 ahora alineado con OR (2) fig. 3b. Después del siguiente cam-
 bio de OR, IR(1) estará alineado con OR(3), fig. 3c, y des-
 pués del siguiente cambio de IR, IR(1) estará alineado con
 5 OR(4), fig. 3d, y así sucesivamente.

El presente invento se refiere a los elementos
 de control requeridos para utilizar tales mecanismos de trans-
 ferencia en la construcción de un conmutador de tiempo para
 10 mallas digitales multiplexadas.

Según el presente invento, en el se describe
 un dispositivo conmutador de tiempo digital que incluye al
 menos un par de registros de conversión similares, respecti-
 vamente de entrada y de salida, que tienen cada uno una capa-
 cidad de $n/2$ bits, dispuestos en una configuración paralelo
 15 pero que cambian en direcciones opuestas, elementos de trans-
 ferencia para transferir selectivamente el contenido de las
 células del registro de conversión de entrada 1, 2, 3.....
 $(n/2)-1$, $n/2$ a las $n/2$, $(n/2)-1$3, 2, 1 del registro
 de salida respectivamente bajo el control de un elemento de
 20 control, y elementos para temporizar los registros de conver-
 sión a la misma cadencia, comprendiendo dichos elementos de
 control una memoria de circulación, que circula en sincronis-
 mo con el registro de entrada, en dónde se almacena la infor-
 mación referente al tiempo de transferencia requerido de cada
 25 una de las puertas de transferencia, una fuente de identida-
 des de puertas de transferencia y elementos para producir una
 señal de control para cada puerta de transferencia cuando exis-
 ta coincidencia del tiempo de transferencia para esta puerta
 con la identidad de la puerta.

30 Para un mejor entendimiento de las anteriores

y otras características del presente invento describiremos, refiriéndonos a las figs. 4-13 de los dibujos que se acompañan el mismo con mayor detalle.

5 La Fig. 4 ilustra un primer método de control para un conmutador de tiempo digital según el invento.

La Fig. 5 ilustra un segundo método de control para un conmutador de tiempo digital según el invento.

10 Las Figs. 6 y 7 ilustran respectivamente estructuras de conmutación espacio/tiempo/espacio y tiempo/espacio/tiempo.

La Fig. 8 ilustra una estructura de conmutación específica tiempo/espacio/tiempo.

15 La Figl 9 es un diagrama de tiempo para un conmutador de tiempo digital conectado a un conmutador de espacio,

La Fig. 10 ilustra una estructura de conmutador de tiempo dúplex para la conexión a un conmutador de espacio,

La Fig. 11 es un diagrama de tiempos para un conmutador de tiempo digital dúplex conectado a un conmutador de espacio.

20 La Fig. 12 ilustra una forma alternativa de un conmutador de tiempo dúplex para la conexión a un conmutador de espacio, y

25 La Fig. 13 ilustra una estructura de registro de conversión del conmutador de tiempo realizada según la tecnología de dispositivo acoplado en carga (CCD).

30 Para utilizar un tal mecanismo de transferencia como el ilustrado en la Figl 3 en un sistema práctico, es necesario proporcionar elementos de control para las puertas de transferencia, de tal manera que la puerta o puertas apropiadas se activen durante cada mitad de un período de conver-

sión del registro. Un método es el mostrado en la Fig. 4. Cada una de las $n/2$ puertas de transferencia TG tiene una dirección binaria asociada que está almacenada permanentemente en la memoria de dirección binaria asociada TGAM. El control de las puertas de transferencia se efectúa por medio de una memoria de conexión de circulación denominada memoria de dirección de tiempo TAM que comprende n palabras de $\log_2 n$ bits, que cambian en fase con IR. El contenido de los $(\log_2 n - 1)$ bits más significativos de cada palabra para la mitad de la TAM se compara con el contenido correspondiente de la TGAM durante cada período de cambio por el lógico de comparación CL. Las transferencias tienen lugar en aquellas localizaciones en donde exista identidad y en la mitad respectiva del período de cambio de IR especificado por el bit más significativo de la palabra de TAM. Nótese que los $(\log_2 n - 1)$ bits más significativos de cada palabra pueden aparecer dos veces en la TAM, un vez con un bit menos significativo que indica la transferencia en la primera mitad del período de cambio de IR y una vez con el bit menos significativo que indica la transferencia en la segunda mitad del período de cambio de IR. La misma palabra de TAM puede aparecer más de dos veces si la misma puerta se utiliza para conexiones en más de un período de cambio de IR.

Hemos descrito el funcionamiento con referencia a una ruta multiplexada en bit. La operación es la misma cuando se conmutan en paralelo bytes MIC de 8 bits, excepto en que 8 pares de registros y 8 juegos de puertas de transferencia en paralelo. La transferencia tiene lugar en impulsos de 8 bits.

La operación de realizar una conexión, esto es,

de marcación, es la de insertar una dirección apropiada en la TAM en una posición que corresponde a cada uno de los canales que se están interconectando. La dirección requerida para la interconexión de los canales X e Y es:

$$\begin{array}{l}
 5 \quad X \text{ -----} \frac{n_y - n_x}{2} \\
 \quad Y \text{ -----} \frac{n_x + n - n_y}{2}
 \end{array}$$

en donde n es el número total de canales en la ruta y n_x y n_y son las direcciones de los canales interconectados. ($n_y > n_x$).

10 La parte entera del cociente está asociada con los $(\log_2 n - 1)$ bits más significativos y el resto (esto es, 0 ó 0,5) está asociado con el bit menos significativo.

Estos números están realmente escritos en la TAM cuando cambia. Así por ejemplo, el equivalente de $\frac{n_y - n_x}{2}$ se puertea en el momento tx dado que están circulados los contenidos de la TAM.

Un método de control alternativo es utilizar un contador de canal de cuadro múltiplex de ruta como un reloj para temporizar las diferentes transferencias entre los registros de conversión de entrada y salida, como se muestra en la Fig. 5. La TAM contiene ahora el tiempo de transferencia para los canales correspondientes de la ruta de entrada.

El contador de canal de cuadro cuenta los tiempos de canal de la ruta en cada cuadro. El contenido por canal de la TAM se compara con la cuenta en el contador en cada período de cambio IR básico. Cuando existe identidad en el lógico de comparación CL tiene lugar una correspondiente transferencia entre IR y OR. Nuevamente el bit menos significativo en la TAM indica en que mitad del período de cambio IR tiene que tener lugar la transferencia.

El contenido de la TAM para una conexión entre los canales X e Y se deduce como sigue:

$$X \text{ ----- } \frac{ny - nx}{2} + nx = \frac{ny + nx}{2}$$

5

$$Y \text{ ----- } \frac{nx + n - ny}{2} + ny = \frac{nx = ny + n}{2}$$

La parte entera del cociente y el resto tienen el mismo significado que el mencionado anteriormente.

Las estructuras básicas de las Figs. 4 ó 5 forman en esencia un único conmutador de tiempo. Por incorporación con estructuras de conmutación de espacio apropiadas bien una estructura de conmutación espacio/tiempo/espacio o una estructura de conmutación tiempo/espacio/tiempo puede ; construirse por ejemplo, como se muestra en las Figs. 6 y 7 respectivamente. TS es un conmutador de tiempo como se muestra en las Figs. 4 ó 5, mientras que los conmutadores de espacio son estructuras convencionales. Mientras que el espacio/tiempo/espacio (STS) de la Fig. 6 podría realizarse con un mínimo de un conmutador de tiempo, con el requerimiento de que necesitan marcarse dos vías (una de ida y otra de vuelta) en el conmutador de tiempo, en la estructura de tiempo/espacio/tiempo (TST) de la Fig. 7 se requieren un mínimo de dos conmutadores de tiempo básicos TS por ruta dúplex conmutada en tiempo. Así necesitan marcarse un mínimo de cuatro memorias TAM para realizar cualquier posible conexión utilizando el conmutador de espacio.

10

15

20

25

Consideremos ahora con más detalle la representación de una estructura TST específica mostrada en la Fig. 8. Se utiliza una memoria de dirección de tiempo común TAM tanto para las funciones de conmutación de entrada como de salida. El sistema utiliza memorias de conversación de entra-

30

da y salida co-localizadas en cada dirección. Los bits de conversación desde el canal X se reciben en la memoria de conversación 1, siendo asignada la dirección Z_{xin} en esta localización de memoria (palabra) en la localización X de la memoria de localización de tiempo 5. De la misma manera los bits de conversación de entrada del canal Y se insertan en la memoria de conversación 2 y la dirección Z_{yin} en esta localización se anota en la localización Y de la memoria de dirección de tiempo 6. Cuando tiene lugar el tiempo de transferencia las memorias de conversación 1 y 3 se interconectan por el conmutador de espacio bajo el control de las memorias de dirección de espacio 7 y 8, de la misma manera que las memorias de conversación 2 y 4. El contenido de las localizaciones Z_{xin} y Z_{yin} se transfieren a las localizaciones Z_{yout} y Z_{xout} respectivamente bajo el control de las memorias de dirección de tiempo 5 y 6 y el contenido de estas localizaciones se lee subsecuentemente hacia las líneas de salida. Sin embargo, cuando se requiere el establecimiento de conexiones entre dos canales dentro de la misma ruta dúplex no se utiliza la porción del conmutador de espacio de las estructuras. Tales conexiones se realizan por una violación de la operación normal (esto es, el módulo conmutador entre-tiempos). Para tales conexiones internas las operaciones de las memorias de conversación de entrada y salida se intercambian para uno o dos canales que se interconectan. Los dos modelos de operación se ilustran en la Fig. 8 para propósitos de referencia.

Para una estructura TST que utiliza un conmutador de tiempo básico según se describe con referencia a las Figuras 4 ó 5, haremos primero referencia a un diagrama de

tiempos de la Fig. 9. Nótese que la suma de los retardos necesarios para interconectar los canales X e Y en ambas direcciones es igual a un período de cuadro. También, debido al modo de operación los tiempos de transferencia para cada dirección están respectivamente entre los tiempos t_x y t_y en una dirección y entre t_y y t_x en la otra dirección. Así el intervalo de tiempo entre dos transferencias es la mitad de un período de cuadro.

Consideremos ahora el dispositivo mostrado en la Fig. 10 que ilustra la aplicación del invento a la estructura TST de la Fig. 8. Se utilizan dos pares de registros de conversión IRL, OR1, IR2 y OR2, uno para cada dirección de operación. Cada par de registros de conversión funciona idénticamente a la estructura básica ilustrada en las Figs. 4 ó 5, siendo la principal diferencia el que comparte una memoria de dirección de tiempo común TAM y una memoria de dirección de puerta de transferencia TGAM. Son posibles dos métodos diferentes de controlar las puertas de transferencia.

Un método utiliza una extensión TAME de la memoria de dirección de tiempo TAM, con una segunda situación del lógico de comparación CL2. Las salidas de TGAM a CL1 están duplicadas a CL2 y TAME se alimenta con la información desde el punto medio de TAM, introduciendo así el retardo requerido de medio período de cuadro entre los tiempos de transferencia de los dos pares de registros de conversión.

El segundo método utiliza la TGAM y CL1 solamente para controlar ambos juegos de puertas de transferencia pero se introduce la mitad del retardo del período de cuadro D en la entrada IR2. En ambos métodos la TAGM puede sustituirse por un contador de canal de cuadro como se des-

cribió anteriormente, Es evidente del diagrama de tiempos de la Fig. 11 que esta forma de control común puede utilizarse para las transferencias entre IR1 y OR1 y también entre IR2 y OR2. Esta simplificación en el circuito lleva consigo

5 la introducción de un medio período extra de retardo en cada dirección de la conexión (recordemos que en una estructura de TST completa existirán dos dispositivos correspondientes a la Fig. 10). Sin embargo cualquier retardo de

10 tiempo en la operación de conmutación de espacio que intervenga puede acomodarse convenientemente en este retardo de medio período de cuadro. Pueden existir conexiones internas entre dos canales conectadas al mismo conmutador de tiempo, a través del conmutador de espacio aún cuando se implique solamente a una TAM, dando lugar a alguna simplificación

15 del control de potencial de la estructura total de TST.

Otra aplicación del invento es un dispositivo conmutador de tiempo múltiple conectado a una ruta simplex o dúplex de mayor capacidad común, por ejemplo, el caso en que los conmutadores de tiempo de 32 canales están conectados a una ruta simplex o dúplex de 256 canales TDM, en donde

20 también se requieren conexiones internas. Las soluciones más sencillas están en los métodos de control de transferencia descritos antes. La estructura de conmutación mostrada en la Fig. 12 ilustra un dispositivo de conmutación. Los registros conmutadores de tiempo IR y OR asociados con las

25 rutas de entrada y salida de 32 canales son, en este caso, cada uno de un cuadro de longitud (comparado con los registros de medio cuadro de longitud en las Figs. 4 y 5). Para las conexiones internas dentro de las puertas de transferencia de los conmutadores de tiempo solamente se requieren

30

entre las mitades correspondientes de IR y OR. Para las conexiones a través del conmutador de espacio cada registro requiere un conjunto de 32 puertas de transferencia. Las transferencias entre los registros y el conmutador de espacio tienen lugar a través de los almacenajes intermedios de entrada y salida de la ruta BSI y BSO. El control de las transferencias se realiza por medio de la TAM de 32 canales que circula en sincronismo con la ruta de entrada de 32 canales. Las transferencias tienen lugar en un momento especificado por el contenido de la localización apropiada en la TAM. La selección del tipo de transferencia a realizar, esto es, la conexión interna o conexión a la ruta común, se hace por un bit adicional especial en la TAM. Nótese que los registros IR y OR cambian a una cadencia gobernada por la entrada y salida de las rutas de 32 canales mientras que el contador de 256 canales (contador de canal de cuadro) está contando a la cadencia de canal de la ruta común.

Los dispositivos anteriores se prestan por sí mismos a una rápida realización en la tecnología denominada de dispositivo acoplado por carga (CCD). Esta tecnología se describe en, entre otros, "Dispositivos acoplados por carga en sistemas de procesamiento de señal" Vol.1, Procesamiento Digital TRW Julio de 1974, Contrato N0014-74-C-0068; También en "Conferencia Internacional entre Tecnología y Aplicaciones del CCD", Universidad de Edinburg 25-27, Septiembre de 1974.

Resumiendo podemos decir que los dispositivos CCD opuestos a los circuitos integrados normales que controlan el paso de corriente, utilizan "paquetes de carga" que pueden ser combinados bajo el control de una distribución apropiada y de electrodo de reloj temporizados. La con-

formación y/o temporización de estos electrodos asegura un paso unidireccional de estos paquetes de carga. Una tal tecnología CCD no requiere por tanto ninguna difusión excepto en los generadores de carga y los anihiladores de carga.

5 Estas cargas pueden ser detectadas de un modo destructivo y no-destructivo. Este último es de una gran importancia porque permite una lectura no-destructiva de las memorias del registro de conversión y la amplificación a través de los denominados "amplificadores" de puerta flotante distribuidos".

10 Además de la función del registro de conversión que es una función "neutral" en la tecnología CCD está disponible fácilmente otra función, concretamente la función-contador hacia arriba, o lo que es lo mismo una relación de división de 7 ó múltiplo del mismo. También son posibles los

15 multiplicadores y/o. nand/ni, etc..

 El tamaño de la célula del registro de conversión de CCD es de aproximadamente 1,25-2,5 mil² en posición a los 20-30 mil² para el canal-n de los dispositivos equivalentes de puerta de silicio. Un divisor por 5 puede

20 llamar solamente a 10-15 mil² comparado con los 60-80mil² de una puerta de silicio de canal-n. La disipación de potencia puede ser extremadamente baja, refiriéndose solamente a la disipación de la potencia del reloj. Una puerta sencilla puede disipar por ejemplo, tan poco como 1,5 μ w a

25 1 MHz. Se ha demostrado el funcionamiento a 4 MHz y se espera que este límite de frecuencia puede subir hasta 10 MHz e incluso más. Se han desarrollado una nueva configuración y nuevas tecnologías para trabajar por encima de 100 y 200

30 MHz.

Las ventajas de la tecnología CCD son más evidentes en los sistemas que incluyen predominantemente registros de conversión y contadores, tal como los descritos anteriormente, en donde el principio básico está en que cualquier abertura de reloj de un cuadro MIC (modulación por impulsos codificados) puede sustituirse por cualquier otra
5 abertura de tiempo retrasándola una cantidad apropiada, utilizando registros de conversión como elementos de retardo. Hoy en día la tecnología CCD puede funcionar hasta a 4 MHz
10 y probablemente hasta a 10 MHz. Como en cualquier circuito integrado a gran escala de alta densidad (LSI), la máxima densidad de funcionamiento estaría definida por la densidad de interconexión que, a su vez, es una función del número de niveles de interconexión y de las geometrías mínimas permitidas para esta interconexión. Hoy en día la tecnología
15 permite cuatro capas de interconexión: una de difusión, dos niveles de polisición y una capa de metal. No es deseable la interconexión por difusión debido a la capacitancia del substrato. Las dimensiones mínimas de la distribución geométrica son de 8 micrones ó 0,3 milésimas. En la Fig. 13 se describe un ejemplo de la pequeña estructura que podría requerirse para conmutadores de tiempo.

Para las dimensiones en general supondremos que se requerirían $1,5 \text{ mil}^2$ para una etapa completa de conversión
25 de bits y con el cableado necesitaría 3 mil^2 de silicio. Esto está en concordancia con electrodos de 1 milímetro de longitud a través de la vía de carga y de 10 micrones de ancho utilizando 8 micrones de silicio debido al solape. Como consecuencia, el tamaño mínimo de la célula real sería de
30 $1,25 \text{ mil}^2$.

La estructura mostrada en la Fig. 13 indica un par de registros de conversión que cambian en direcciones opuestas, estando temporizados en antifase con una puerta de transferencia de un electrodo. Los impulsos de reloj ϕ y $\bar{\phi}$ se aplican a través de conductores metálicos a los niveles de polisilicio Poly 1 y Poly 2 para cada registro de conversión. Los electrodos de transferencia reciben las señales de transferencia temporizadas desde el lógico de comparación a través de los conductores metálicos 3, 4. El electrodo de transferencia está temporizado cuando se requiere en fase (o ligeramente retrasado) con el reloj del registro de conversión de origen. Tal transferencia podría ir de derecha a izquierda o de izquierda a derecha dependiendo del reloj utilizado. Cada puerta de transferencia puede ser temporizada independientemente.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento de hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Gran Bretaña el día 26 de Mayo de 1977, señalada con el N^o 22279/77 y se acoge, por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un dispositivo de conmutación de tiempo digital que incluye al menos un par de registros de conversión similares, respectivamente de entrada y salida, teniendo cada uno una capacidad de $n/2$ bits, dispuestos en una configuración paralelo pero cambiando en direcciones puestas, elementos de transferencia para transferir selectivamente los
10 contenidos de las células del registro de conversión de entrada 1, 2, 3.....($n/2 - 1$), $n/2$, a la $n/2$, ($n/2 - 1$), ... 3, 2, 1 del registro de salida, respectivamente, bajo el control de elementos de control; comprendiendo dichos elementos
15 de control una memoria de circulación, circulando en sincronismo con el registro de entrada, en dónde se almacena la información referente al tiempo de transferencia requerido de cada una de dichas puertas de transferencia, una fuente de identificaciones de puertas de transferencia y elementos
20 para producir una señal de control para cada puerta de transferencia cuando existe coincidencia del tiempo de transferencia para esta puerta con la identidad de la puerta.

25 2.- Un dispositivo, según el punto 1, en dónde dichos registros de conversión se temporizan alternativamente, teniendo la mencionada memoria de circulación n posiciones de almacenaje cada una de las cuales cuenta con dos porciones, una porción de cada posición almacena la identidad de una puerta de transferencia y la otra porción almacena información de temporización que indica la temporización de una
30 operación de transferencia para esa puerta, bien en el inter-

valo entre la temporización del registro de entrada y la subsecuente temporización del registro de salida o en el intervalo entre la temporización del registro de salida y la subsecuente temporización del registro de entrada, comprendiendo dichos elementos para producir las señales de control elementos de comparación entre $n/2$ posiciones sucesivas de la memoria de circulación y dicha fuente de identidades de puertas de transferencia.

3.- Un dispositivo, según los puntos 1 ó 2, en dónde la fuente de identidades de puertas de transferencia comprende una memoria estática que tiene $n/2$ localizaciones de almacenaje cada una de las cuales retiene la identidad de una puerta de transferencia.

4.- Un dispositivo, según los puntos 1 ó 2, en dónde la fuente de identidades de puertas de transferencia es un contador que cuenta en una secuencia repetitiva correspondiente a las apariciones del canal de cuadro en una ruta de entrada que se aplica al registro de entrada.

5.- Un dispositivo, según cualquiera de las reivindicaciones precedentes, que incluye al menos otro par de registros de conversión similares al primer par y con similares elementos de transferencia entre ellos, estando las transferencias simultáneas entre las células del registro en cada par bajo el control de la misma memoria de circulación y la fuente de identidades de puertas de transferencia en los elementos de control.

6.- Un dispositivo según el punto 5, que incluye una memoria de registro de conversión adicional con $n/2$ posiciones de almacenaje y un segundo elemento para producir señales de control, estando alimentada dicha segunda

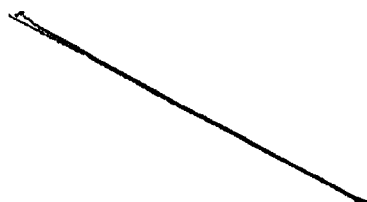
memoria con la información almacenada en la memoria de circulación a partir de un punto predeterminado en la memoria de circulación.

7.- Un dispositivo, según el punto 5, en donde
5 las segundas puertas de transferencia están controladas por las mismas señales de control que las primeras puertas de transferencia.

8.- Un dispositivo, según el punto 7, que incluye elementos para introducir en la entrada de los registros
10 de conversión de entrada de un par, un retardo igual a la mitad de un periodo de cuadro.

9.- Un dispositivo, según el punto 1, en donde los registros de conversión se aumentan de capacidad para retener n dígitos cada uno, incluyendo el dispositivo elementos de transferencia paralelos adicionales entre todas
15 las células del registro de entrada y una ruta de salida serie y entre todas las células del registro de salida y una ruta de entrada serie proporcionando los elementos de control, señales de control para todos los elementos de transferencia,
20 por lo que las señales pueden transferirse selectivamente a través de los elementos de transferencia adicionales desde la ruta de entrada al registro de salida y desde el registro de entrada a la ruta de salida y a través de los primeros elementos de transferencia desde el registro
25 de entrada al registro de salida.

10.- Un dispositivo de conmutación de tiempo digital.



Tal y como se ha descrito-en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de diecisiete hojas escritas por una sola cara.

Madrid, 10 OCT. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

6/1

Fig. 1.

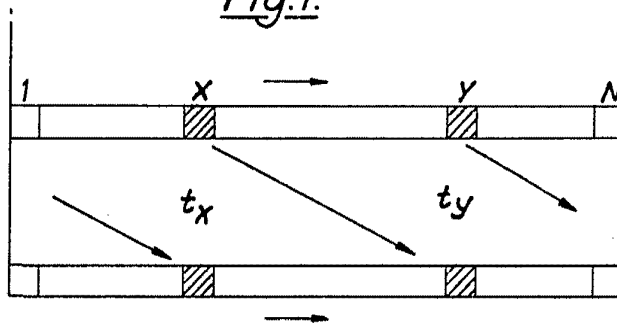


Fig. 2.

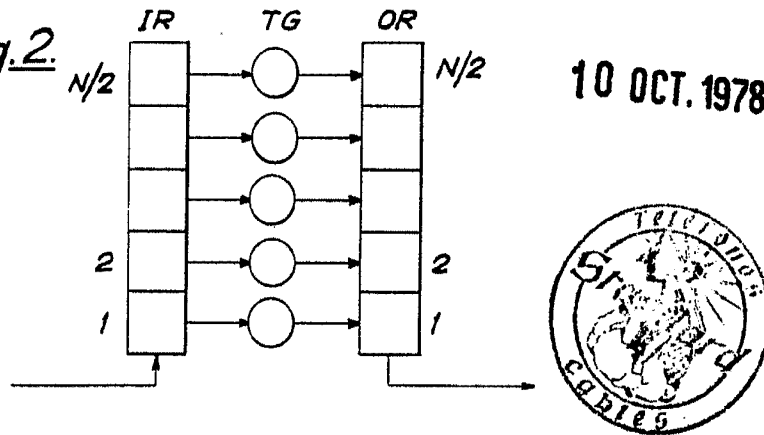
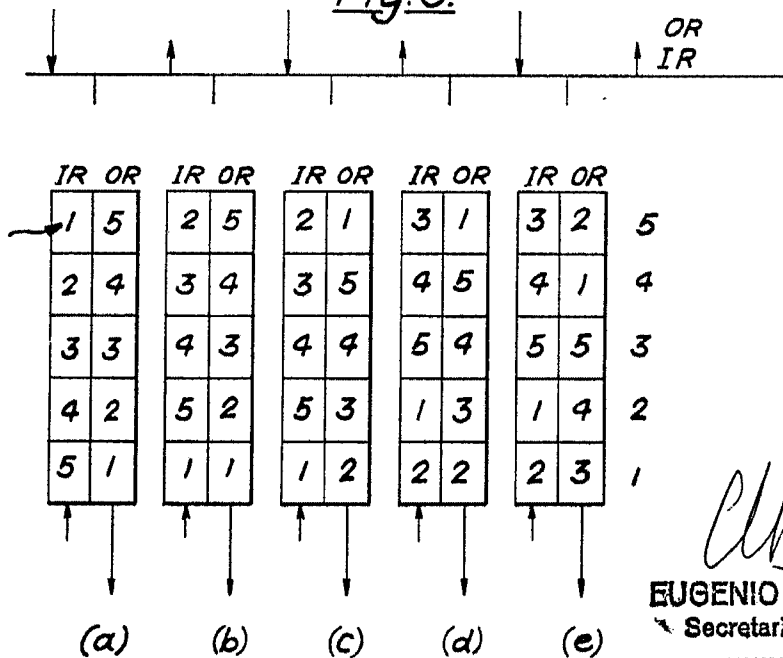


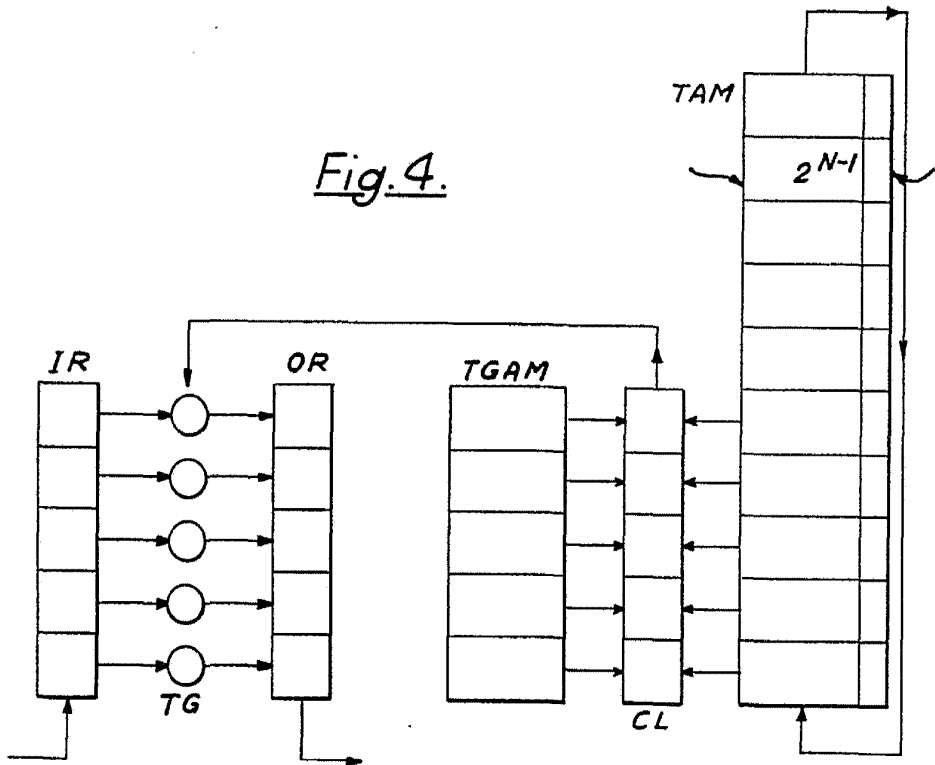
Fig. 3.



Eugenio Barroso

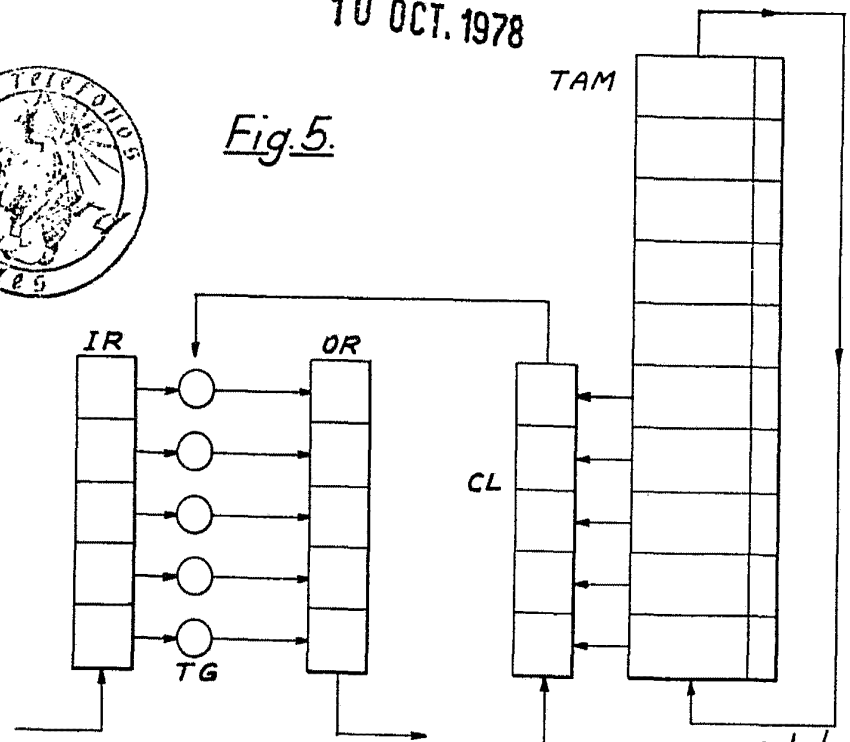
EUGENIO BARROSO
Secretario General

Fig. 4.



10 OCT. 1978

Fig. 5.



[Redacted signature box]

Eugenio Barroso

EUGENIO BARROSO
Secretario General

Fig. 6.

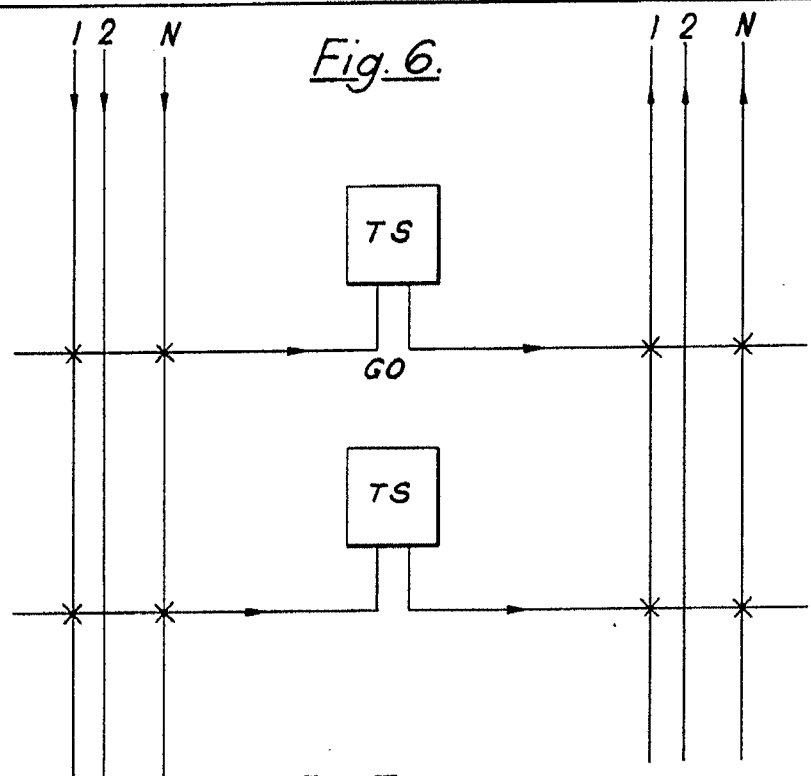
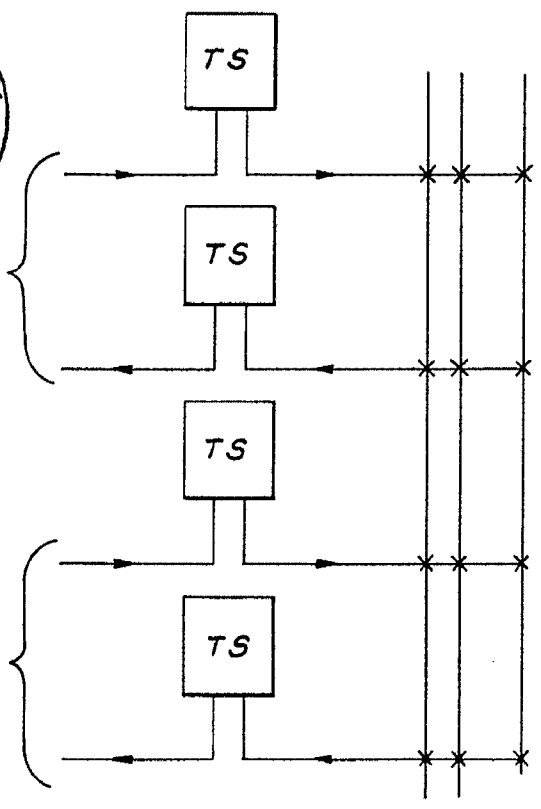


Fig. 7.



10 OCT. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

Fig. 8.

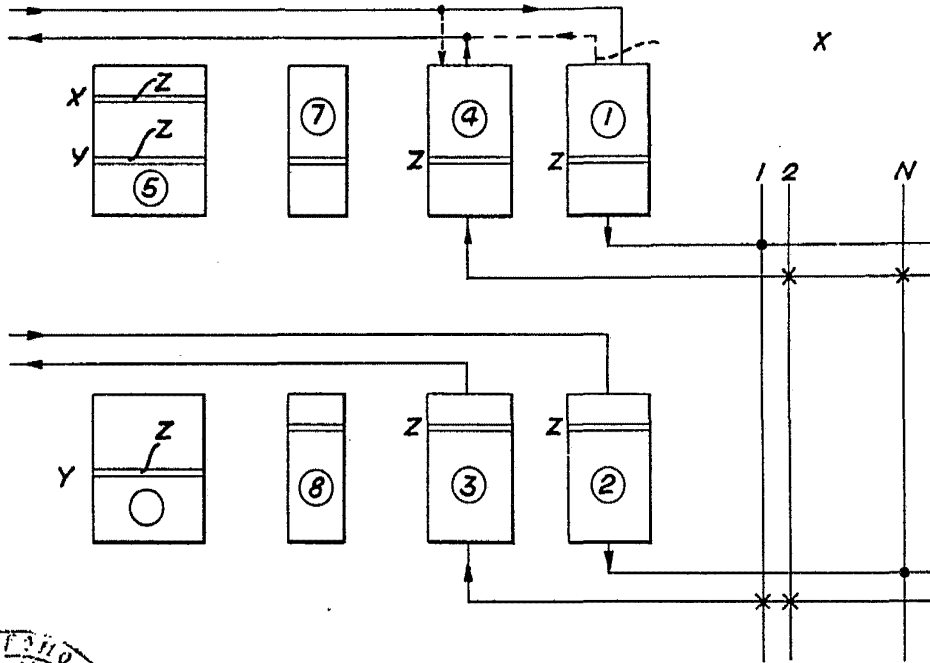
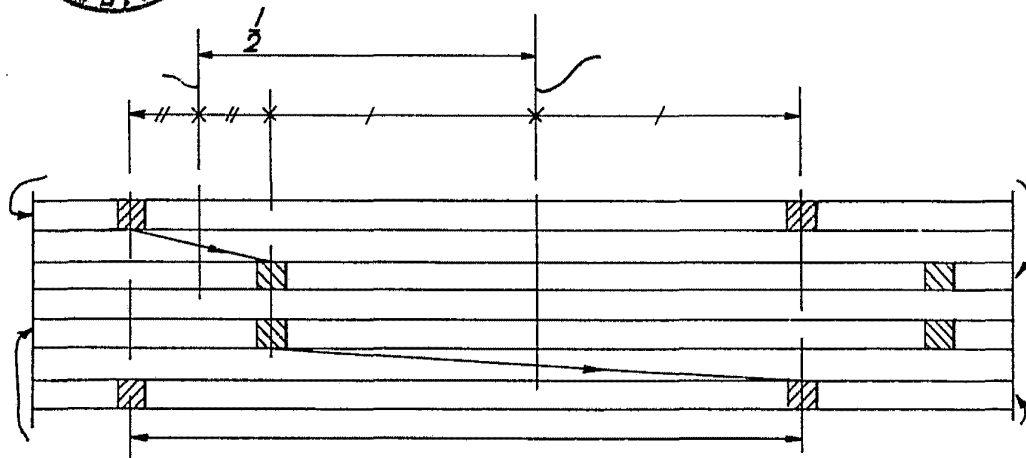


Fig. 9.

10 OCT. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

Fig.10.

10 OCT. 1978

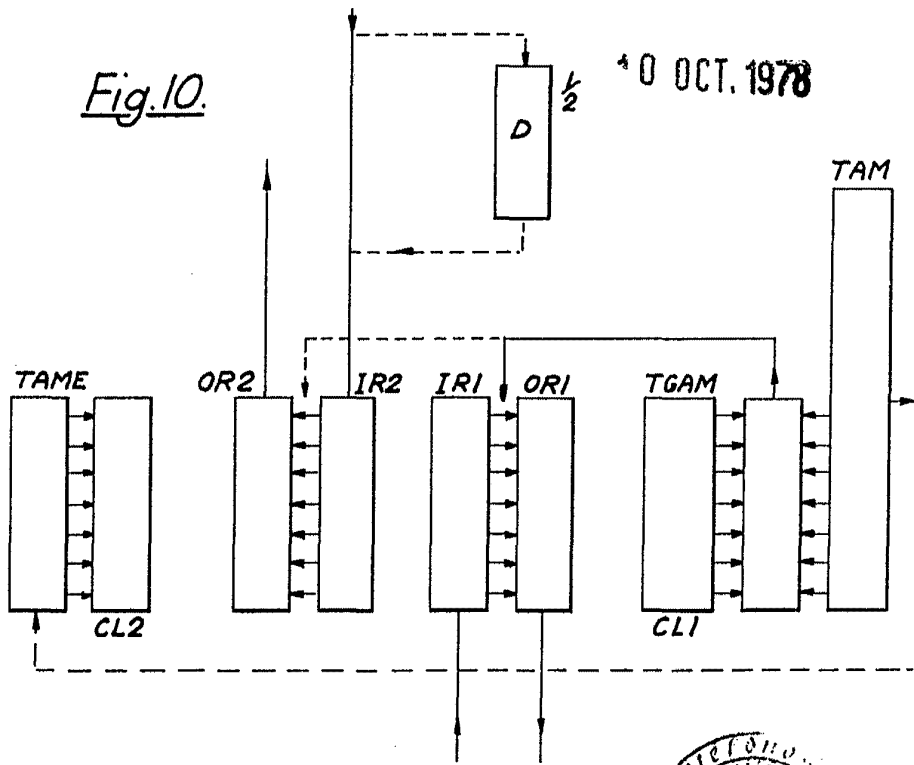
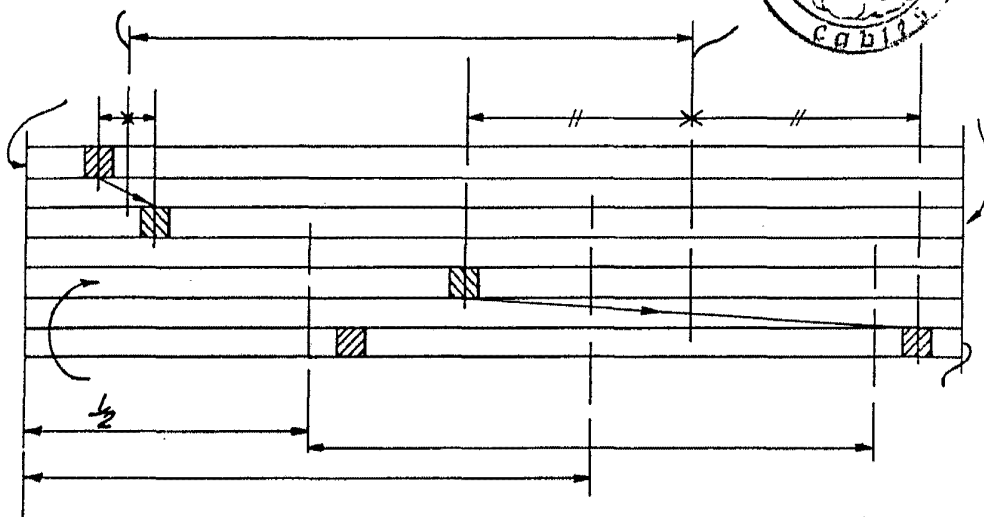


Fig.11.



Elbaum

EUGENIO DOMINGOS
Secretario General

Fig.12.

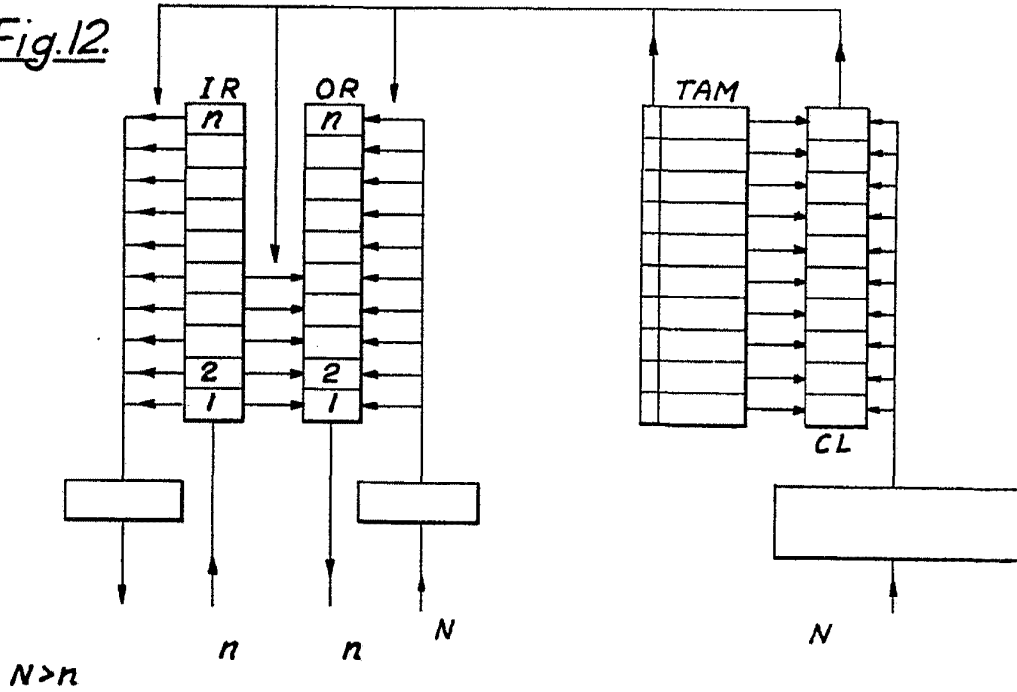
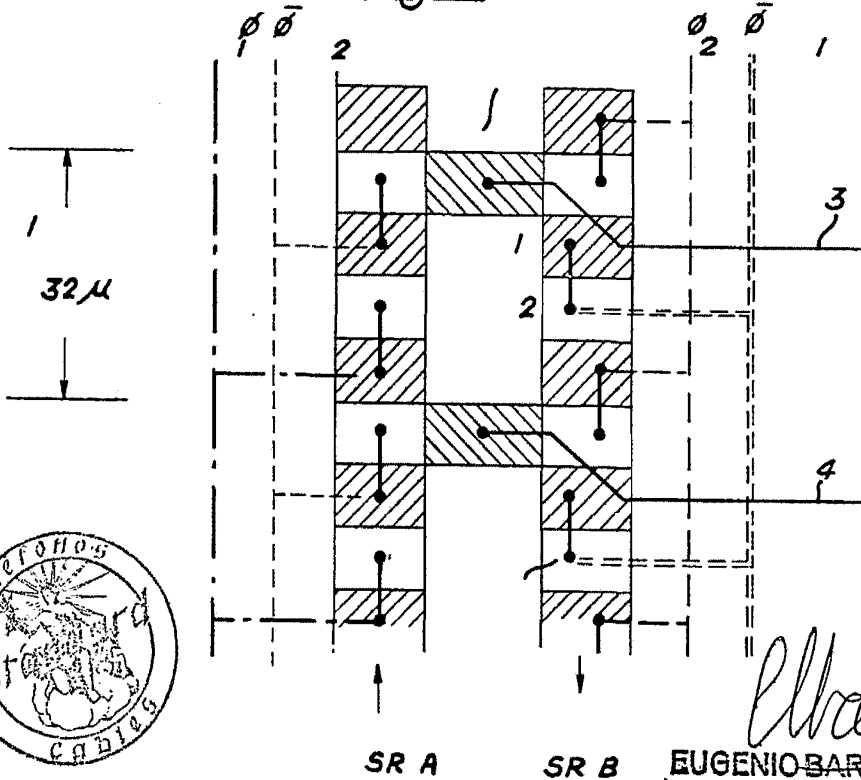


Fig.13.

10 OCT. 1978



SR A

SR B

Eugenio Barros
EUGENIO BARROS
 Secretario General