

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la memoria adjunta.

(19) ES	(11) NUMERO	(10) A1
(21)	469.660	
(22)	FECHA DE PRESENTACION	

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO	(32) FECHA	(33) PAIS
EN 77 14 184	10.5.1977	FRANCIA

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H03K, H04G	

(54) TITULO DE LA INVENCION

PERFECCIONAMIENTOS EN GENERADORES DE BASE DE TIEMPO DE ALTA SEGURIDAD PARA INSTALACIONES DE TRATAMIENTO DE LA INFORMACION

(71) SOLICITANTE (S)

COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS CIT-ALCATEL.

DOMICILIO DEL SOLICITANTE

12, rue de la Baume 75008 PARIS (Francia)

(72) INVENTOR (ES)

YVES OLLIVIER, Ing. MICHEL JACOB, Ing.

(73) TITULAR (ES)

(74) REPRESENTANTE

GOMEZ-ACEBO

La presente invención se refiere a perfeccionamientos en generadores de base de tiempo de alta seguridad para instalaciones de tratamiento de la información, en las que no se puede tolerar ninguna avería, y, que por esta razón, comprende una asociación de varios generadores de señales de reloj sometidos, a controles rigurosos. Una de las principales aplicaciones es la de los autoconmutadores temporales para la telefonía.

En algunas instalaciones de tratamiento de la información, y en particular en un autoconmutador temporal, es indispensable que la distribución de las señales de reloj a un cierto número de órganos sea asegurada con un elevado grado de seguridad.

A este efecto, es conocido utilizar, en interconexión, un conjunto de tres generadores de señales de reloj, en combinación con un dispositivo de control que comprende tres lógicas mayoritarias con tres entradas conectadas respectivamente a los tres generadores. Un primer comparador compara la señal de salida de la primera lógica mayoritaria con la salida del primer generador y un segundo comparador compara la señal de salida de la segunda lógica mayoritaria con la señal del segundo generador; y un tercer comparador compara la señal de salida de la tercera lógica mayoritaria con la señal del tercer generador. Si uno de los comparadores (denominados comparadores anteriores) comprueba una discordancia, emite una alarma.

Cada lógica mayoritaria aplica su señal de salida por una parte a un amplificador de salida directa, y por otra parte a través de un inversor, a un amplificador de salida inversa. La señal directa y la señal inversa ligadas a cada lógica mayoritaria son aplicadas a dos entradas de un control posterior; se tiene pues tres controles posteriores. Las salidas de los amplificadores de salida directa se conectan cada una a través de una resistencia a un mismo borne de salida directa; asimismo las salidas de los amplificadores de salida inversa se conectan, cada una a través de una resistencia, a un mismo borne de salida inversa. Los bornes de salida directa e inversa se conectan a dos entradas de un receptor con umbral

cuyas salidas son multiplicadas en dos bornes de cada control posterior. Los dos bornes de salida directa e inversa se conectan igualmente a los diferentes órganos a los que están destinadas las señales de reloj. Si no existe concordancia entre las señales, el control posterior concernido -
5 emite una alarma.

Igualmente se conoce por la patente francesa 2.080.251, un dispositivo más simple en el que los controles anteriores son suprimidos, y en el que el receptor con umbral es sustituido por un receptor con umbral mayoritario analógico, es decir dimensionado en función de la amplitud acumulada de al menos dos de las tres señales.
10

Los dispositivos conocidos presentan un cierto número de inconvenientes: si uno de los generadores de señales se avería no se sabe cuáles; las corrientes proporcionadas por los amplificadores de salida directa e inversa deben estar rigurosamente calibrados; y finalmente ha lugar efectuar regulaciones en circuitos de salida directa e inversa a fin de -
15 compensar el tiempo de transferencia entre las conexiones que conectan los amplificadores de salida directa e inversa con los bornes de salida directa e inversa.

La presente invención tiene como finalidad una base de tiempo que no presenta los inconvenientes de los dispositivos conocidos.
20

Una base de tiempo está constituida por tres generadores idénticos y se caracteriza porque en cada generador el comparador de fase recibe una señal de base del oscilador del generador, una señal de base y una señal de base inversa de cada uno de los otros dos generadores, porque el
25 circuito de elaboración de señal comprende además de un filtro, un inversor y un amplificador diferencial que polariza la salida del inversor el cual proporciona una señal de salida del generador, y porque el divisor de frecuencia interna recibe a la entrada y a través de un inversor la señal de salida del generador, conectándose su salida por una parte al primer circuito mayoritario y a un circuito de subordinación externo cuya salida se
30

conecta a una entrada de control del oscilador, y por otra a tres inversores que proporcionan cada uno una señal de sincronización, recibiendo el primer circuito mayoritario una señal de sincronización inversa de cada uno de los otros dos generadores.

5 Otras características y ventajas de la invención surgirán de la descripción que sigue de varios ejemplos de realización ilustrados por los dibujos anexos, en los que:

La figura 1 representa tres generadores de

La figura 2 representa un generador de la base de tiempo.

10 La figura 3 representa un oscilador.

La figura 4 representa un dispositivo de protección en las entradas del generador, y un dispositivo de detección de faltas en las señales de los generadores.

La figura 5 representa un divisor de frecuencia exterior.

15 La figura 6 representa un divisor de frecuencia interna.

La figura 1 representa una base de tiempo que comprende tres generadores G0, G1, G2, idénticos, que proporcionan cada uno una señal de reloj, 2 h0, 2 h1, 2 h2, respectivamente, y una señal de sincronización - Sy0, Sy1, Sy2 respectivamente. Las señales de reloj están a la frecuencia de 6,144 MHz y tienen un factor de forma de 0,5; una señal de reloj tiene por tanto un valor 1 durante 81,5 nanosegundos y el valor 0 durante igualmente 81,5 nanosegundos. Las señales de sincronización están a la frecuencia de 8 kHz y tienen un factor de forma de 1/768; una señal de sincronización está por tanto constituida por impulsos de 163 nanosegundos de duración, cada 125 microsegundos. Las señales de sincronización permiten a los diversos órganos pilotados por la base de tiempo funcionar en fase de trama, teniendo una trama una duración de 125 microsegundos. Cada generador se conecta a los otros dos por cuatro cables de una conexión 1, que conducen señales de base A, B; cada generador se conecta igualmente a los otros dos por cuatro cables de una conexión 2, que conducen las señales de sincroni-

20

25

30

zación Sy_0, Sy_1, Sy_2 . Los generadores pueden sincronizarse mediante una señal exterior de sincronización w de frecuencia 2,048 MHz; cada generador se conecta entonces a los otros dos por cuatro cables de una conexión 3, que conducen señales en sincronización exterior SF.

5 La figura 2 representa un generador G_i , refiriéndose el índice i al generador representado y refiriéndose los índices j y k utilizados en esta figura a los otros dos generadores de la base de tiempo. Los índices i, j, k se refieren por tanto, en este orden; a los generadores G_0, G_1, G_2 , ó G_1, G_2, G_0 , ó incluso G_2, G_0, G_1 , según que el índice i se refiera al generador G_0, G_1 , ó G_2 . Como será indicado más tarde, un generador proporciona tres señales idénticas a 6,144 MHz; se trata de las señales de base $\overline{A_i}, \overline{B_i}, \overline{C_i}$; las señales de base $\overline{A_i}$ y $\overline{B_i}$ son distribuidas respectivamente a los generadores G_k y G_j , utilizándose la señal de base $\overline{C_i}$ en el generador G_i .

15 Un comparador de fase 13 comprende a la entrada dos puertas NO-Y 4 y 5; una señal de base $\overline{A_j}$ se aplica directamente a una primera entrada de la puerta NO-Y 4, y por mediación de un inversor 6 a una primera entrada de la puerta NO-Y 5; una señal de base $\overline{B_k}$ se aplica directamente a una segunda entrada de la puerta NO-Y 4, y por mediación de un inversor 7 a una segunda entrada de la puerta NO-Y 5. Una señal de base $\overline{C_i}$ proporcionada por un inversor 8 se aplica, por una parte, a una tercera entrada de la puerta NO-Y 5 y por otra, a un inversor 9 del comparador de fase; la salida del inversor 9 se conecta, por una parte, a una tercera entrada de la puerta NO-Y 4 y por otra, a un inversor 10 cuya salida se conecta a la entrada de un dispositivo de retardo 11 que es una línea de retardo con constantes localizadas adaptada en su extremidad por un puente divisor constituido por dos resistencias R_1 y R_2 conectadas entre una tensión continua + V_c , de 5 voltios por ejemplo, y la masa. La salida del dispositivo de retardo 11 se conecta, a través de un inversor 12, a una cuarta entrada de las puertas NO-Y 4 y 5. La salida de la puerta NO-Y 4 se conecta a dos re-

sistencias R6, R7 en serie, y a la base de un transistor T2, de tipo pnp; una tensión continua estabilizada + Vcc, de 4 voltios por ejemplo, se aplica al emisor del transistor T2; un condensador C2 se conecta entre el emisor y la base del transistor T2; una resistencia R8 se conecta entre el emisor del transistor T2 y un punto común a las resistencias R6 y R7; el colector del transistor T2 se conecta a una resistencia R9. La salida de la puerta NO-Y 5 se conecta, por un inversor 14 y una resistencia R4 en serie a la base de un transistor T1, del tipo npn; un condensador C1 se conecta entre el emisor y la base del transistor T1, conectándose el emisor a la masa. Una resistencia R5 se conecta al colector del transistor T1. La resistencias R5 y R9 se conectan entre sí, y su punto común se conecta mediante una conexión 18, que constituye la salida del comparador de fase, a una entrada de control de un oscilador 19 del tipo oscilador de cuarzo; la conexión 18 se conecta a masa por un condensador C3.

Un circuito de subordinación externo 16 comprende una puerta 0 exclusiva 17 una de cuyas entradas se conecta por un cable 33 a un borne de salida c de un divisor de frecuencia exterior 20, y recibe así una señal E1; otra entrada de la puerta 0 exclusiva 17 se conecta por un cable 34 a un borne de salida g de un divisor de frecuencia interna 21, y recibe así una señal E2. El divisor de frecuencia exterior 20 es un divisor por 256 que recibe en un borne de entrada a una señal exterior de sincronización w de frecuencia 2,048 MHz; el divisor de frecuencia interna 21 es un divisor por 768 que recibe una señal a 6,144 MHz en un borne de entrada g. La salida de la puerta 0 exclusiva 17 se conecta a la tensión continua estabilizada + Vcc mediante una resistencia R15; un puente divisor constituido por dos resistencias R12 y R13 en serie se conecta entre la tensión continua estabilizada + Vcc y masa; el punto común a las resistencias R12 y R13 se conecta, por una parte, a la salida de la puerta 0 exclusiva 17 por una resistencia R14, y por otra a la conexión 18 por una resistencia R11; un condensador C4 se conecta entre la masa y el punto común a las resistencias

R11, R12, R13, R14. La salida del oscilador 19 se conecta por un cable 36 a un inversor 22 cuya salida se conecta por una parte directamente a dos inversores 23 y 24 y por otra por una resistencia R3 al inversor 8 y a un condensador C5 conectado a masa. El inversor 23 proporciona a la salida una señal $\overline{B_i}$, con destino al generador Gk y el inversor 24 proporciona a su salida una señal $\overline{A_i}$, con destino al generador Gj.

Un circuito de elaboración de señal F elabora la señal de reloj $\overline{2\text{ hi}}$ a partir de las señales de base $\overline{A_j}$, $\overline{B_k}$, $\overline{C_i}$; el circuito de elaboración de señal comprende un circuito de lógica mayoritaria constituido por tres puertas NO-Y 25, 26, 27: la puerta NO-Y 25 recibe en una entrada la señal de base $\overline{A_j}$ y en otra entrada la señal de base $\overline{B_k}$; la puerta NO-Y 26 recibe en una entrada la señal de base $\overline{B_k}$ y en otra entrada la señal de base $\overline{C_i}$; la puerta NO-Y 27 recibe en una entrada la señal de base $\overline{C_i}$ y en otra entrada la señal de base $\overline{A_j}$. Las salidas de las puertas NO-Y 25, 26, 27 se conectan a una entrada, respectivamente, de una puerta NO-Y 28 cuya salida se conecta, por una resistencia R16 al punto central de un bobinado primario n1 de un transformador; las extremidades del bobinado primario se conectan a un condensador C6 uno de cuyos bornes se conecta a la tensión continua + Vc, positiva, de 5 voltios por ejemplo; un bobinado secundario n2 del transformador tiene una extremidad conectada a masa por mediación de una resistencia R17, y otra extremidad conectada a un inversor 29 cuya salida se conecta a dos inversores 30, 31. La salida del inversor 30 se conecta a un inversor 30 cuya salida se conecta por una parte a la tensión continua + Vc por una resistencia R18 y, por otra, a masa a través de una resistencia R19 y un condensador C7 en serie. Dos transistores T3 y T4 de tipo pnp, tienen sus emisores conectados a la tensión continua + Vc por una resistencia R20; la base del transistor T3 se conecta por una resistencia R21, por una parte, a la salida del inversor 30 y, por otra a la tensión continua + Vc a través de una resistencia R22; el colector del transistor T4 se conecta a masa y su base se conecta igualmente a masa a través de un conde

sador C7. El transistor T3 tiene su base conectada a masa por un condensador C8, y su colector conectado a un punto común al bobinado secundario n2 y a la resistencia R17; el inversor 31 tiene su salida conectada al borne de entrada e del divisor de frecuencia interna 21 por el cable 35. La salida del inversor 29 se conecta igualmente a un inversor 32, exterior al circuito de elaboración de señal F; el inversor 32 proporciona la señal de reloj 2 hi. Un borne de salida h del divisor de frecuencia interna 21 se conecta por un cable 37 por una parte, a tres inversores 38, 39, 40 y, por otra, a una entrada de dos puertas Y 41, 43; cada inversor 38, 39, 40 proporciona a su salida una señal de sincronización SYi. Un primer circuito mayoritario M1 está constituido por tres puertas Y 41, 42, 43 y una puerta NO-0 44. Una señal de sincronización Syj se aplica a un inversor 45 cuya entrada se conecta a la señal continua + Vc a través de una resistencia R23; la salida del inversor 45 se conecta a una entrada de la puerta Y 41, a otra entrada de otra puerta Y 42, así como a otra entrada de una tercera puerta 0 exclusiva 48; una señal de sincronización Syk se aplica a un inversor 46 cuya entrada se conecta a la tensión continua + Vc por una resistencia R24; la salida del inversor 46 se conecta a una entrada de las puertas Y 42, 43, así como a una entrada de una puerta 0 exclusiva 47. La salida de cada una de las puertas Y 41, 42, 43 se conecta a una entrada respectiva de la puerta NO-0 44 cuya salida se conecta por una conexión 49, por una parte, a un borne de entrada f del divisor de frecuencia interna 21, y por otra, a una entrada de las puertas 0-exclusiva 47 y 48. Las puertas 0 exclusiva 47 y 48 proporcionan respectivamente una señal de falta F (Syk) y F (Syj) en caso de falta en las señales de sincronización Syk y Syj respectivamente.

Un segundo circuito mayoritario M2 está constituido por tres puertas Y 53, 54, 55 y una puerta NO-0 56. Una salida d del divisor de frecuencia exterior 20 se conecta por un cable 50 por una parte, a dos inversores 51, y 52 y, por otra, a una entrada de las puertas Y 53, 55; cada inversor proporciona a su salida una señal de sincronización exterior SFi.

Una señal de sincronización exterior SFj que procede del generador Gj se aplica a un inversor 57 cuya entrada se conecta a la tensión continua + Vc a través de una resistencia R25; la salida del inversor 57 se conecta a una entrada de la puerta Y 53, a una entrada de la puerta Y 54, así como a una entrada de la puerta 0 exclusiva 60; una señal de sincronización exterior SFk procede del generador Gk se aplica a un inversor 58 cuya entrada se conecta a la tensión continua + Vc por una resistencia R26; la salida del inversor 58 se conecta a una entrada de las puertas Y 54 y 55 así como a una entrada de una puerta 0 exclusiva 59. La salida de cada una de las puertas Y 53, 54, 55 se conecta a una entrada respectiva de la puerta NO-0 56 cuya salida se conecta por una conexión 61, por una parte, a una entrada b del divisor de frecuencia exterior 20 y, por otra, a una entrada de las puertas 0 exclusiva 59 y 60. Las puertas 0 exclusiva 59 y 60 proporcionan respectivamente una señal F (SFk) y F (SFj) en caso de falta en las señales de sincronización exterior SFk y SFj, respectivamente. Igualmente se ha representado en la figura 2, a modo de ejemplo, un circuito de alimentación D que proporciona la tensión continua estabilizada + Vcc. Este circuito de concepción clásica, comprende: entre la tensión continua + Vc y una tensión continua - Vc un diodo Zener Z y una resistencia R27 en serie; un amplificador diferencial 62 alimentado por las tensiones continuas + Vc y - Vc, tiene una entrada conectada, por una parte, a la tensión continua - Vc por una resistencia R28 y, por otra parte, al colector de un transistor T5 por una resistencia R29; otra entrada del amplificador diferencial 62 se conecta, por una parte, a masa por una resistencia R30, y por otra al punto común a la resistencia R27 y al diodo Zener Z por una resistencia R31; la salida del amplificador diferencial 62 se conecta a la base del transistor T5 cuyo emisor se conecta a la tensión continua + Vc; el colector del transistor T5 proporciona la tensión continua estabilizada + Vcc.

El funcionamiento del generador representado en la figura 2,

es el siguiente: el oscilador 19 proporciona, a través del cable 36 y el inversor 22, una señal a 6,144 MHz a los inversores 8, 24, 23 cuya señal saliente está referenciada por \overline{Ci} , \overline{Ai} , \overline{Bi} respectivamente. Las señales de base \overline{Ci} están destinadas a los generadores Gk y Gj respectivamente. La señal de base \overline{Ci} se aplica al dispositivo con retardo 11 que proporciona una señal de base retardada \overline{Cir} cuyo retardo con respecto a la señal de base \overline{Ci} es de $\pi/2$. El comparador de fase 13 proporciona al oscilador 19, a través de la conexión 18, ó bien una señal de control de avance, ó bien una señal de control de retardo, ó incluso ninguna señal, según la posición de la señal de base \overline{Ci} con respecto a la señal de base \overline{Aj} , \overline{Bk} a fin de mantener la característica frecuencia/intervalo de fase de la señal proporcionada por el oscilador dentro de límites deseados. El transistor T1 proporciona al oscilador una señal de control de retardo CRT dada por la ecuación lógica:

$$CRT = \overline{Aj} \cdot \overline{Bk} \cdot \overline{Ci} \cdot \overline{Cir}$$

mientras que el transistor T2 proporciona una señal de control de avance CAV dada por la ecuación lógica:

$$CAV = \overline{Aj} \cdot \overline{Bk} \cdot Ci \cdot Cir.$$

La señal de control de retardo CRT tiene como efecto descargar el condensador C3, mientras que la señal de control de avance tiene como finalidad cargar el condensador C3.

La señal de control de avance CAV es emitida por el comparador de fase 13 cuando la señal de base \overline{Ci} está retrasada respecto de las señales de base \overline{Aj} y \overline{Bk} ; una señal de control de retardo es emitida cuando la señal de base \overline{Ci} está por delante respecto de las señales de base \overline{Aj} y \overline{Bk} .

El comparador de fase 13 realiza así lo que se denomina una subordinación interna del oscilador 19.

El circuito de subordinación externo 16 proporciona una tensión al oscilador 19, por la conexión 18, cuyo efecto es desviar la curva tensión/intervalo de fase del comparador de fase 13, desvío que tiene lugar según el eje de las tensiones. Al tener el oscilador 19 una curva frecuencia/tensión

de pendiente positiva, el funcionamiento estable de la subordinación externa corresponde a la zona de pendiente positiva de la curva tensión/intervalo de fase del circuito de subordinación externa, circuito que compara las fases de las señales procedentes del divisor de frecuencia exterior 20 y el divisor de frecuencia interna 21. Si las frecuencias proporcionadas por estos divisores de frecuencia son iguales, el punto de reposo será tal que la diferencia de fase $\phi_1 - \phi_2$ entre las señales E1 y E2 aplicadas en las entradas de la puerta 0 exclusiva 17 del circuito de subordinación externa 16 sea igual a $\pi/2 + 2k\pi$. La señal E2, que corresponde a la señal procedente del oscilador 19 después de la división por 768, se desvía $\pi/2$ hacia atrás con respecto a la señal E1 que corresponde a la señal exterior de sincronización x después de la división por 256. El desfase entre las señales E1 y E2 puede estar entre 0 y .

La subordinación interna, obtenida por el comparador de fase 13 debe ser prioritaria delante de la subordinación externa. Esto se realiza por las condiciones siguientes:

- subordinación interna más rápida que la subordinación externa: - - - - R9.C3 \uparrow R.C4, siendo R la resistencia equivalente del circuito constituido por las resistencias R12, R14, R15,
- 20 - ganancia del bucle de subordinación interna mayor que el de la subordinación externa; esto se realiza por la división por 256 de la frecuencia de la señal de sincronización exterior x (divisor de frecuencia exterior 20),
- la banda de frecuencia de continuación de la subordinación interna es más elevada que la de la subordinación externa; esto se realiza por el puente de las resistencias R12, R13, R14 que limita la subordinación exterior a 25 un valor inferior a 10^{-5} por ejemplo.

La señal de reloj 2 hi y la señal de sincronización Syi proporcionadas por el generador de la figura 2 son elaboradas al partir del circuito constituido por las puertas N0-Y 25, 26, 27 y 28; este circuito realiza una función de lógica mayoritaria definida por $M = \overline{A_j} \cdot \overline{C_i} + \overline{A_j} \cdot \overline{B_k} + \overline{B_k}$.

Ci. Esta función solamente es válida si al menos dos señales de base entre las tres son perfectamente idénticas en fase y de relación cíclica. Un filtro constituido por el bobinado primario n1 y el condensador C6 se acopla a la frecuencia de las señales de base, es decir 6,144 MHz, de modo a suprimir eventuales impulsos parásitos. La señal sinusoidal obtenida después del filtrado en los bornes del bobinado secundario n2 es convertida en señal cuadrada por el inversor 29 cuya entrada es polarizada por la resistencia R17; a la salida del inversor 29 se obtiene una señal de reloj inversa 2 hi; a la salida del inversor 63 se obtiene la señal de reloj 2 hi, y a la salida del inversor 30 se obtiene la señal de reloj inversa 2 hi. Los transistores T3 y T4 constituyen un amplificador diferencial atacándose el transistor T3 por el valor medio de la señal de reloj 2 hi, atacándose el transistor igualmente T4 por el valor medio de la señal de reloj inversa 2 hi. La polarización del inversor 29 varía por tanto y tiende a anular la diferencia de tensión entre las señales de entrada de los transistores T3 y T4; la relación cíclica de la señal de reloj 2 hi es regulada al valor 0,5.

La figura 3 representa el oscilador 19 de la figura 2, oscilador clásico de tipo VCXO; un diodo de capacidad variable d1 en serie con un condensador C9 se conecta entre la masa y un electrodo de un cristal X, tal como cuarzo por ejemplo, conectándose igualmente el electrodo a masa por un condensador variable C10. El punto común al diodo de capacidad variable d1 y al condensador C9 se conecta a la conexión 18 por una resistencia R45; otro electrodo del cristal X se conecta a la base de un transistor T6 de tipo npn, conectándose igualmente la base por una parte a la tensión continua + Vc por dos resistencias R37 y R36 en serie, y, por otra parte, a masa por una resistencia R38. La base del transistor T6 se conecta igualmente a masa por dos condensadores C11, C12 en serie, conectándose el punto común a los dos condensadores, al emisor del transistor T6 por una resistencia R44, conectándose el emisor a masa por una resistencia R39. El

colector del transistor T6 se conecta por una parte a la base de un transistor T7 de tipo npn por un condensador C13, y por otra a la tensión continua + Vc por una resistencia R40; el colector del transistor T6 se conecta igualmente a la base de un transistor T8 de tipo npn por una resistencia R41 y un condensador C14 en serie. Un diodo d2 se conecta a la masa - a la base del transistor T7 cuyo emisor se conecta a masa. El colector del transistor T7 se conecta por una parte a masa por un condensador C15 y por otra al punto común a las resistencias R36 y R37. El colector y base del transistor T8 se conectan por una resistencia R42; el colector del transistor T8 se conecta a la tensión continua + Vc por una resistencia R43; el colector del transistor T8 se conecta igualmente al cable 36 que conduce la señal de salida del oscilador, señal que tiene una frecuencia de 6,144 MHz.

El circuito constituido por el transistor T6, los condensadores C11, C12 y las resistencias R39, R44 presenta una impedancia compleja cuya parte real R_o es negativa; cerca de la resonancia el cuarzo es equivalente a un circuito R_q, L_q, C_q , por lo que el conjunto oscilará si $R_q = R_o$.

El circuito constituido por los condensadores C9, C10 y el diodo de capacidad variable d1 permite:

- la variación de frecuencia por modificación de la tensión de control en la conexión 18,
- el ajuste de la frecuencia a su valor nominal por acción en los condensadores C9 y C10, estando la tensión de control en la conexión 18 a su valor nominal; este circuito constituye la capacidad de carga del cuarzo, y su valor debe ser de 30 picofaradios en las condiciones nominales de funcionamiento para el cuarzo utilizado. El circuito constituido por los condensadores C13, C15, el diodo d2 y el transistor T7 permite regular el nivel de salida de la señal sinusoidal en el colector del transistor T6. El transistor T8 y el circuito que le está asociado convierte la señal sinusoidal aplicada en la base en señal cuadrada, permitiendo la resistencia R42 ajustar la relación cíclica de la señal cuadrada.

La figura 4 representa un dispositivo de protección en las entradas de las señales de base $\overline{A_j}$ y $\overline{B_k}$ de la figura 2; igualmente se ha representado en esta figura 4 un dispositivo de detección de falta en las señales de base $\overline{A_j}$, $\overline{B_k}$ y $\overline{C_i}$. En esta figura 4, se encuentran elementos de la figura 2, es decir las puertas NO-Y 4, 5, 25, 26, 27, 28, los inversores 5 6, 7, 8, 9, 10, 12, 22, 23, 24, el dispositivo de retardo 11, las resistencias R1, R2, R3 y el condensador C5.

La señal de base $\overline{A_j}$ es proporcionada al inversor 6, como en el caso de la figura 2, pero en la figura 4 la salida del inversor 6 se conecta por una parte a una entrada de la puerta NO-Y 5 a través de un condensador C20 y por otra a la tensión continua $+V_c$ por una resistencia R50; el punto común al condensador C20 y a la entrada de la puerta NO-Y 5 se conecta por una parte a la tensión continua $+V_c$ por una resistencia R51, y por otra al emisor de un transistor T10, de tipo pnp, por un diodo d5. La 10 señal de base $\overline{A_j}$ es proporcionada igualmente por una parte a una entrada NO-Y 4 a través de un condensador C21, y por otra a una resistencia R52 conectada a $+V_c$; el punto común al condensador C21 y a la entrada de la puerta NO-Y 4 se conecta, por una parte, a $+V_c$ por una resistencia R53, y por otra al emisor del transistor T10 por un diodo d6. La señal de base 15 $\overline{B_k}$ es proporcionada al inversor 7, como en el caso de la figura 2, pero a una entrada de la puerta NO-Y 5 a través de un condensador C22 y, por otra, a la tensión continua $+V_c$ por una resistencia R54; el punto común al condensador C22 y a la entrada de la puerta NO-Y 5 se conecta, por una parte, a la tensión continua $+V_c$ por una resistencia R55, y por otra al emisor 20 del transistor T10 por un diodo d7. La señal de base $\overline{B_k}$ es proporcionada igualmente, por una parte, a una entrada de la puerta NO-Y 4 a través de un condensador C23, y, por otra, a una resistencia R56 conectada a $+V_c$; el punto común al condensador C23 y a la entrada de la puerta NO-Y 4 se conecta por una parte a $+V_c$ por una resistencia R57, y, por otra al emisor 25 del transistor T10 por un diodo d8. El transistor T10 tiene su colec-

30

tor conectado a masa, su emisor conectado a tensión continua + Vc por una resistencia R58, y su base conectada, por una parte, a la tensión continua + Vc por una resistencia R60 y, por otra, a la masa por una resistencia - R59.

5 Las señales de base $\overline{A_j}$ y $\overline{B_k}$ proceden de los otros dos generadores; cuando un generador, G_j ó G_k, ó ambos, está ó bien fuera de servicio ó bien en fallo, debe ser considerado por los otros dos generadores, en régimen establecido, como que es de tendencia nula, es decir que la señal de base correspondiente, $\overline{A_j}$ ó $\overline{B_k}$, cuyo valor es 0 ó 1 de forma permanente
10 no debe ser tomada en consideración; para ello la señal en la entrada correspondiente de las puertas NO-Y 4 y 5 debe tener el valor 1 de modo a no bloquear las puertas NO-Y. La finalidad del circuito descrito y representado en la figura 4 es por tanto dejar pasar la componente alterna de la señal de base correspondiente $\overline{A_j}$ ó $\overline{B_k}$ cuando el generador del que procede
15 funciona normalmente, y establecer un nivel 1 con un tiempo de respuesta correcto en las entradas del comparador de fase 13 cuando un estado permanente se presenta en una señal de base. El condensador C20, ó C22, transmite la componente alterna y aísla la entrada de la puerta NO-Y 5 ó 4, para los estados permanentes sobre la señal de base $\overline{A_j}$ ó $\overline{B_k}$. La resistencia -
20 R51, ó R55, polariza la entrada de la puerta NO-Y 5 ó 4, para un estado permanente sobre la señal de base $\overline{A_j}$ ó $\overline{B_k}$; el circuito de resistencia R50, diodo d5, ó resistencia R54, diodo d7, tiene como finalidad evitar una polarización automática de la entrada de la puerta NO-Y 5, ó 4, debido a que las corrientes de la puerta al estado 1 y al estado 0 son diferentes; la
25 tensión de polarización del diodo d5, ó d7, que es la tensión entre el emisor del transistor T10 y la masa, se hace necesaria para garantizar el nivel 1 en la entrada de la puerta, es decir que es preciso que la suma tensión de polarización + caída de tensión en el diodo d5 (ó d7) sea igual ó superior a 2,4 voltios. Igualmente se ha representado en la figura 4 un -
30 dispositivo de detección de fallo en las señales de base $\overline{A_j}$, $\overline{B_k}$ y $\overline{C_i}$; este

dispositivo comprende una puerta NO-Y 66, de tres entradas conectadas a las salidas de las puertas NO-Y 25, 26, 27, respectivamente, conectándose la salida de la puerta NO-Y 66 a una entrada de cada una de tres puertas 0 exclusivas 67, 68, 69; la puerta 0 exclusiva 67 tiene otra entrada conectada al punto común al condensador C20 y a la resistencia R51; la puerta 0 exclusiva 68 tiene una entrada conectada al punto común al condensador C22 y a la resistencia R55; la puerta 0 exclusiva 69 tiene otra entrada conectada a la salida del inversor 9. La puerta 0 exclusiva 67 proporciona una señal falta de la señal de base, \overline{FAj} a través de una resistencia R67 conectada a masa por un condensador C67; la puerta 0 exclusiva 68 proporciona una señal falta de la señal de base, \overline{FBk} , a través de una resistencia R68 conectada a masa por un condensador C68; la puerta 0 exclusiva 69 proporciona una señal falta de señal de base, \overline{FCi} , a través de una resistencia R69 conectada a masa por un condensador C69. La puerta NO-Y 66 proporciona una señal mayoritaria elaborada a partir de las señales de base \overline{Aj} , \overline{Bk} y \overline{Ci} recibidas por las puertas NO-Y 25, 26, 27; cada una de las puertas 0-exclusiva 67, 68, 69 recibe la señal de base correspondiente y la señal mayoritaria y funciona como comparador; si las señales recibidas son defasadas, la puerta 0 exclusiva concernida proporciona una señal falta de la señal de base; el circuito compuesto por una resistencia y por un condensador, a la salida de cada una de las puertas 0-exclusiva constituye una célula de filtrado que filtra los impulsos que salen debidos a débiles defases entre las señales defases inferiores a 30 nanosegundos aproximadamente y que no corresponden a faltas.

La figura 5 representa el esquema de principio del divisor de frecuencia exterior 20 de la figura 2. La señal exterior de sincronización w , cuya frecuencia es de 2,048 MHz, se aplica a un contador binario 75, de tipo serie-paralelo que cuenta hasta 256; el elemento binario de peso más elevado se conecta al borne de salida c, a su vez conectado al cable 33; la salida paralela del contador binario se aplica al divisor 76, que divi-

de por 256, cuya salida se conecta a una entrada de una puerta Y 77; el -
borne de entrada a que recibe la señal exterior de sincronización w se co-
necta por mediación de un inversor 78 a una entrada de la puerta Y 77; la
salida de la puerta Y 77 se conecta a un registro 79 cuya salida se conec-
5 ta a una entrada de un punto memoria 80 que tiene su salida conectada al
borne de salida d a su vez conectado al cable 50; el borne de entrada b,
conectado al cable 61, se conecta igualmente, por una parte, a una entrada
de una puerta Y 81, y por otra, a una entrada de una báscula 82 que tiene
otra entrada conectada al borne de entrada a; otra entrada de la puerta Y
10 81 se conecta al borne de entrada a; la salida de la puerta Y 81 se conec-
ta a una entrada de puesta a cero RZ del contador binario 75; la salida -
de la báscula se conecta a una entrada de una puerta Y 83 cuya otra entra-
da se conecta a la salida del inversor 78; la salida de la puerta Y 83 se
conecta a otra entrada del punto memoria 80. El punto memoria 80 sube al
15 final del conteo y proporciona por el cable 50 la señal de sincronización
exterior S Fi. Cuando al menos dos señales de sincronización exterior son
activas en las entradas de las puertas NO-Y 53, 54, 55 del segundo circuí-
to mayoritario M2 (figura 2), la puerta NO-C 56 proporciona una señal mayo-
ritaria en el cable 61, señal que sirve para sincronizar, por una parte,
20 en contador binario 75 poniéndolo a cero, y por otra el punto memoria 80.
Cuando un generador únicamente está en servicio, el punto memoria 80 sube;
ninguna señal se recibe en el cable 61 y no existe orden de sincronización.
Cuando se pone en servicio un segundo generador, desde el momento mismo que
su punto de memoria 80 sube, una señal se recibe a través de los cables 61
25 de cada generador que se sincronizan; la señal es recibida a cada final de
conteo, y los generadores permanecen sincronizados. Cuando se pone en ser-
vicio el tercer generador, no puede influenciar el sincronismo de los dos
generadores ya en servicio, y son estos dos generadores los que sincronizan
el tercer generador.

30 La figura 6 representa el esquema de principio del divisor de

frecuencia interna 21 de la figura 2. El borne de entrada e recibe por el cable 35 una señal a la frecuencia de 6,144 MHz, frecuencia que es la del oscilador 19, figura 2; un divisor de frecuencia 85, que es un divisor - por 3, tiene su entrada conectada al borne de entrada e y su salida conectada a la entrada del contador binario 75, idéntico al de la figura 5. El 5 divisor de frecuencia proporciona una señal u; los otros elementos de la figura 6 son idénticos a los de la figura 5 y llevan las mismas referencias. La diferencia entre las figuras 5 y 6 radica por tanto en la presencia del divisor de frecuencia 85. El borne de salida g se conecta al cable 34, y 10 corresponde al borne de salida c de la figura 5; el borne de salida h se conecta al cable 37 y corresponde al borne de salida d de la figura 5; el borne de entrada f se conecta al cable 49 y corresponde al borne de entrada b de la figura 5. La señal u a la salida del divisor de frecuencia 85 está a la misma frecuencia que la señal exterior de sincronización w de - 15 la figura 5.

Las diferentes puertas e inversores lógicos se realizan ventajosamente en circuitos integrados, al igual que los divisores de frecuencia; a este efecto se utilizará por ejemplo los circuitos integrados de la serie 74 de la sociedad Texas Instruments, circuitos perfectamente conocidos del experto. Una de las aplicaciones de la invención es la unidad 20 de selección de una central temporal de telecomunicaciones, en la que los diferentes órganos que la constituyen deben ser pilotados por una base de tiempo única; las señales de reloj sirven para pilotar los órganos de la unidad de selección, y las diversas señales utilizadas en la unidad de selección se obtienen por división de la señal de reloj 2 h. 25

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

1.- Perfeccionamientos en generadores de alta seguridad para instalaciones de tratamiento de la información, constituida por tres generadores idénticos que comprenden cada uno un oscilador, un comparador de fase, un circuito de elaboración de señal que comprende un circuito mayoritario, un divisor de frecuencia alterna gobernado por un primer circuito mayoritario, recibiendo los circuitos mayoritarios, cada uno, una señal de base de cada oscilador, caracterizados porque en cada generador, el comparador de fase recibe una señal de base del oscilador del generador, una señal de base y una señal de base inversa de cada uno de los otros dos generadores, porque el circuito de elaboración de señal comprende además un filtro, un inversor, y un amplificador diferencial que polariza la salida del inversor el cual suministra una señal de salida del gobernador, y porque el divisor de frecuencia interna recibe a la entrada y a través de un inversor, la señal de salida del gobernador, conectándose su salida, por una parte, al primer circuito mayoritario y a un circuito de subordinación externa cuya salida se conecta a una entrada de control del oscilador, y por otra parte, a tres inversores que proporcionan cada uno una señal de sincronización, recibiendo el primer circuito mayoritario una señal de sincronización inversa de cada uno de los otros dos generadores

2.- Perfeccionamientos según la reivindicación 1, caracterizada porque cada generador comprende igualmente un divisor de frecuencia exterior y un segundo circuito mayoritario, recibiendo el divisor de frecuencia exterior una señal exterior de sincronización y que proporciona, después de la división, al circuito de subordinación externa una señal de igual frecuencia que la proporcionada por el divisor de frecuencia interna, proporcionando el divisor de frecuencia exterior igualmente, después de la división, una señal al segundo circuito mayoritario y a dos inversores que proporcionan una señal de sin

trol del oscilador por una cuarta resistencia.

4.- Perfeccionamientos según una de las reivindicaciones 1 ó 2, caracterizados porque el circuito de subordinación externa comprende cinco resistencias, un condensador y una puerta 0 exclusiva una de cuyas entradas se conecta al divisor de frecuencia exterior y otra entrada se conecta al divisor de frecuencia interna, conectándose la puerta 0 exclusiva a la salida, por una parte, a una tensión continua estabilizada + Vcc, por una primera resistencia y, por otra a través de una cuarta resistencia a un punto común de un puente divisor constituido por una segunda resistencia y por una tercera resistencia, conectándose el puente divisor entre la tensión estabilizada + Vcc, y la masa, conectándose el punto común del puente divisor, por una parte, a masa por el condensador y, por otra, a la entrada de control del oscilador, siendo a su vez conectada la entrada de control a masa por un condensador.

5.- Perfeccionamientos según una de las reivindicaciones 1 ó 2, caracterizados porque cada generador comprende un dispositivo de protección para cada entrada de las dos señales de base proporcionadas por los otros dos generadores, aplicándose una primera señal de base a un primer inversor, a una primera resistencia conectada a una tensión continua + Vc a través de un primer condensador, a una segunda resistencia conectada a tensión continua, al emisor de un transistor de tipo pnp a través de un primer diodo, y a una primera entrada de una primera puerta NO-Y del comparador de fase conectándose el primer inversor a la salida a la tensión continua + Vc, por una parte, a una tercera resistencia, y por otra, a través de un segundo condensador por una cuarta resistencia, al emisor del transistor por un segundo diodo y a una primera entrada de una segunda puerta NO-Y del comparador de fase, aplicándose una segunda señal de base a un segundo inversor a una quinta resistencia conectada a la tensión continua a

través de un tercer condensador, a una sexta resistencia conectada a tensión continua, al emisor del transistor a través de un tercer diodo, a una segunda entrada de la primera puerta NO-Y conectandose el segundo inversor, a la salida, a la tensión continua + Vc, por una parte, por una séptima resistencia, y por otra, a través de un cuarto condensador por una octava resistencia, al emisor del transistor por un cuarto diodo y a una segunda entrada de la segunda puerta NO-Y teniendo el transistor su emisor conectado por una novena resistencia a la tensión continua + Vc, su base conectada por una parte a la tensión continua + Vc, a través de una resistencia, y por otra, a masa por una segunda resistencia, y su colector conectado a masa.

6.- Perfeccionamientos según una de las reivindicaciones 1 ó 2, caracterizados porque el circuito de elaboración de señal que recibe a la entrada la tercera señal de base y otras dos señales de base, comprende una primera puerta NO-Y que recibe a la entrada una primera y una segunda señales de base, una segunda puerta NO-Y que recibe a la entrada la segunda y la tercera señales de base, una tercera puerta NO-Y que recibe a la entrada la primera y la tercera señales de base, conectándose cada puerta NO-Y a la salida, a una entrada respectiva de una cuarta puerta NO-Y cuya salida se conecta, a través de una primera resistencia a un punto central de un primer bobinado de un transformador, teniendo el primer bobinado sus extremidades conectadas por un primer condensador y una extremidad conectada a una tensión continua + Vc, teniendo un segundo bobinado de este transformador una extremidad conectada, por una parte, a masa por una segunda resistencia, y por otra, al colector de un primer transistor de tipo pnp, y otra extremidad conectada a un primer inversor que proporciona a la salida una señal de reloj inversa, conectandose la salida del primer inversor, por una parte, a un segundo inversor cuya salida se conecta a una entrada del divisor de frecuencia interna, y por otra

5 a un tercer inversor, teniendo este tercer inversor su salida conec-
 ta, por una parte, a un cuarto inversor, y por otra, a la tensión con-
 tinua + Vc, por una tercera resistencia, y a la base del primer tran-
 sistor tipo pnp por una cuarta resistencia, teniendo este primer tran-
 10 sistor su base conectada a masa por un segundo condensador, y su emi-
 sor conectado a la tensión continua por una quinta resistencia, tienien-
 do este primer transistor además su emisor conectado al emisor de un
 segundo transistor que tiene su colector a masa y su base conectada
 por una parte, a masa por un tercer condensador y, por otra, a la sa-
 lida del cuarto inversor, por una sexta resistencia, conectándose la
 15 salida del cuarto inversor a tensión continúa por una séptima resis-
 tencia.

7.- Perfeccionamientos en generadores de base de
 tiempos de alta seguridad para instalaciones de tratamiento de la in-
 15 formación; tal y como queda sustancialmente descrito en la presente
 Memoria, e ilustrado en los dibujos adjuntos.:

Esta Memoria consta de 22 hojas escritas a máquina
 por una sola cara.

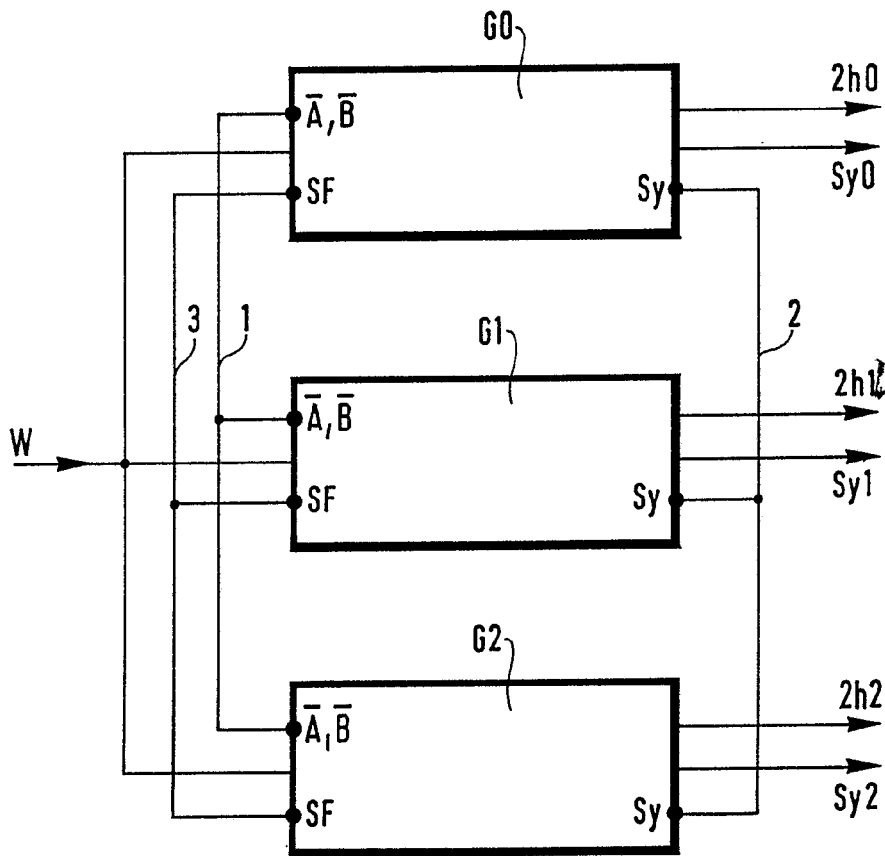
12 MAR. 1979

Madrid,

COMPAGNIE INDUSTRIELLE DES TELECOMMU-
 NICATIONS CIT-ALCATEL.

J. M. GOMEZ AGUIRRE Y POMBO
 P. P. Firmado J. Suarez Eliz

FIG.1

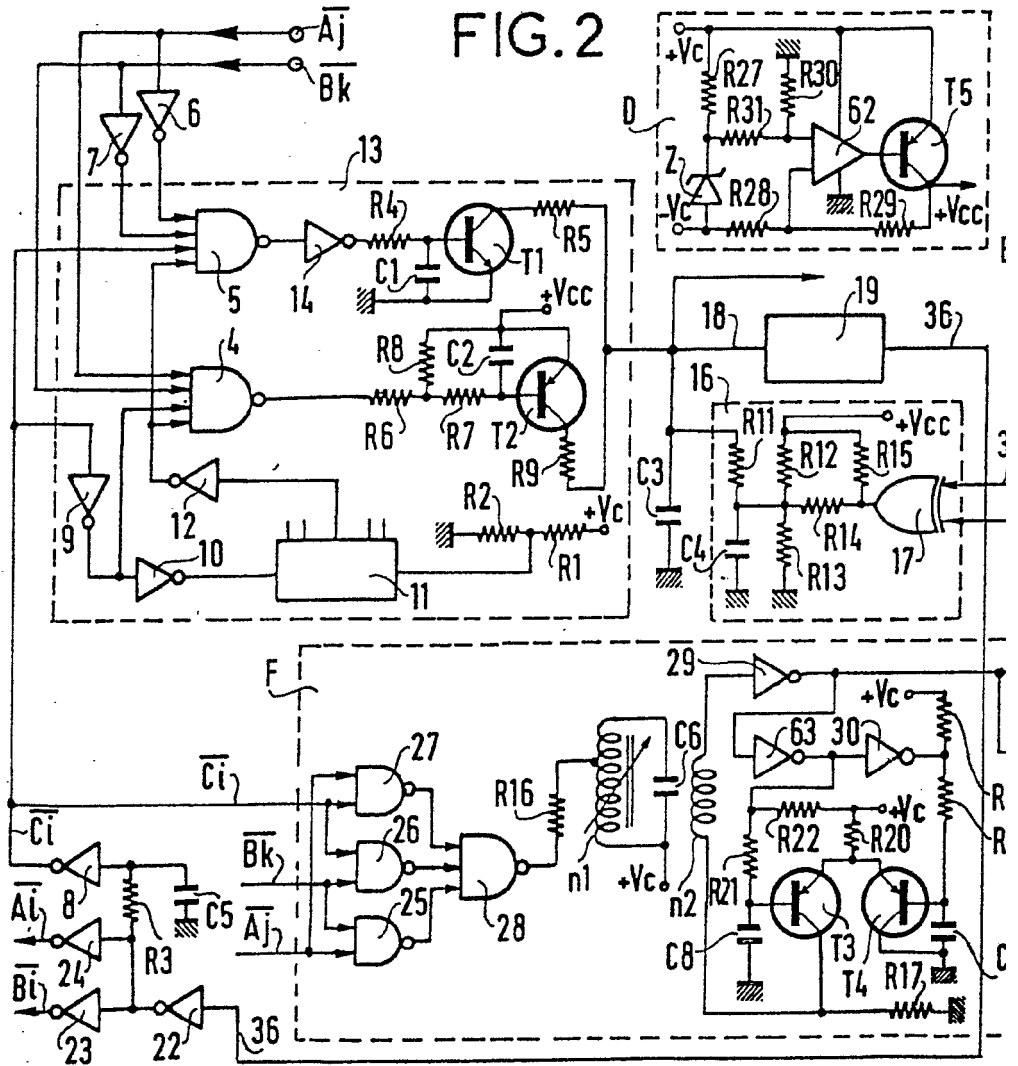


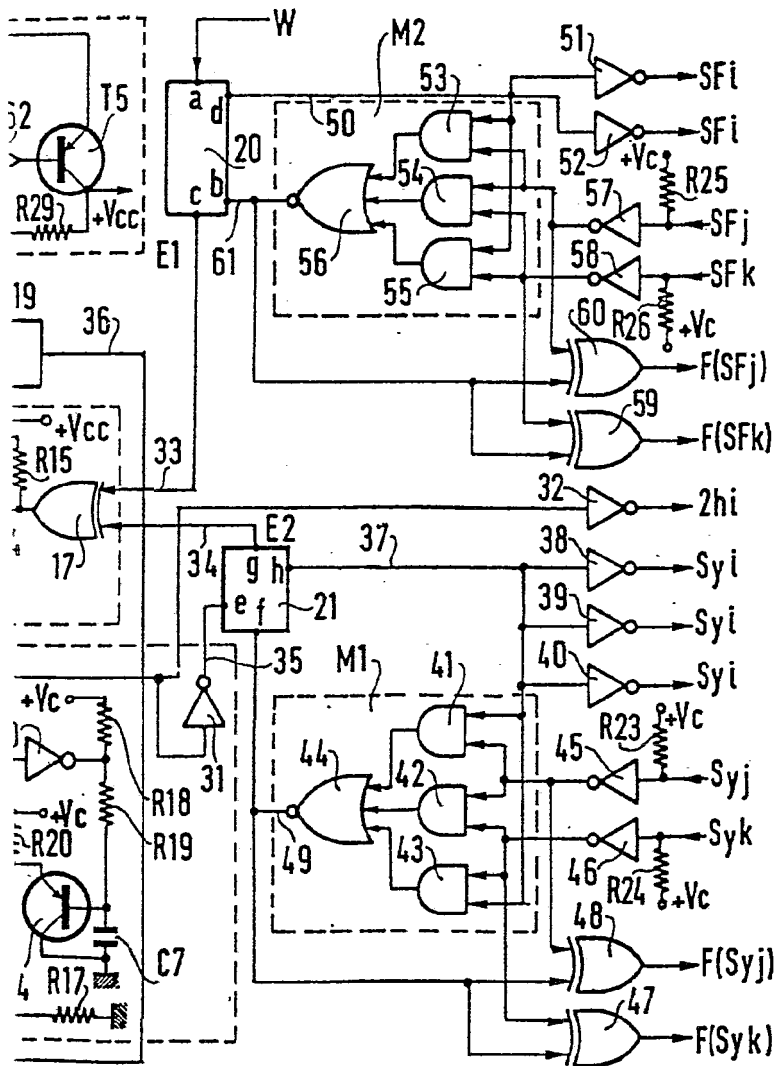
ESCALA
VARIABLE

10 MAYO 1978

[Handwritten signature]

FIG.2



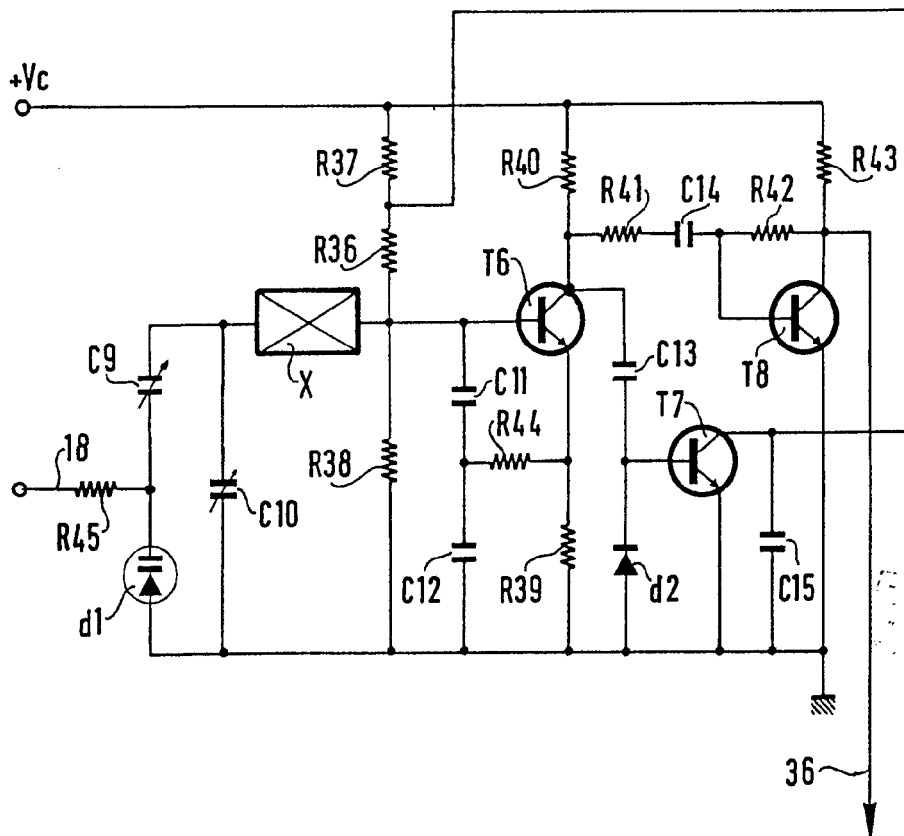


ESCALA
VARIABLE

~~Madrid 10 MAYO 1978~~

J. M. GOMEZ
D. J. FERRAZ

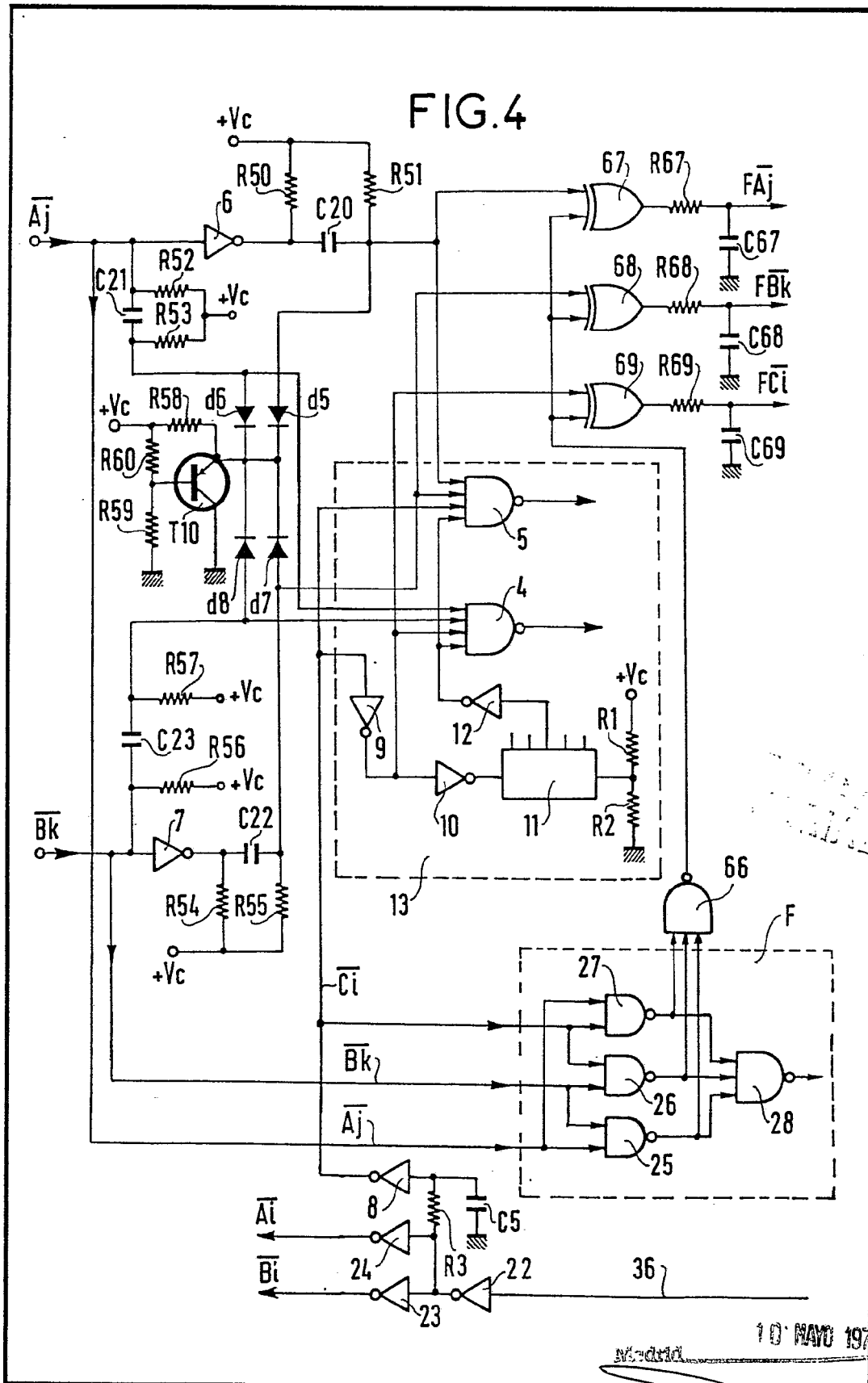
FIG. 3



Madrid 10 MAYO 1972

J. M. C.
 In. de Hemeros de la Ley

FIG.4



LA
BLE

10 MAYO 1973

Madrid
D. de...
por...
[Signature]

FIG. 5

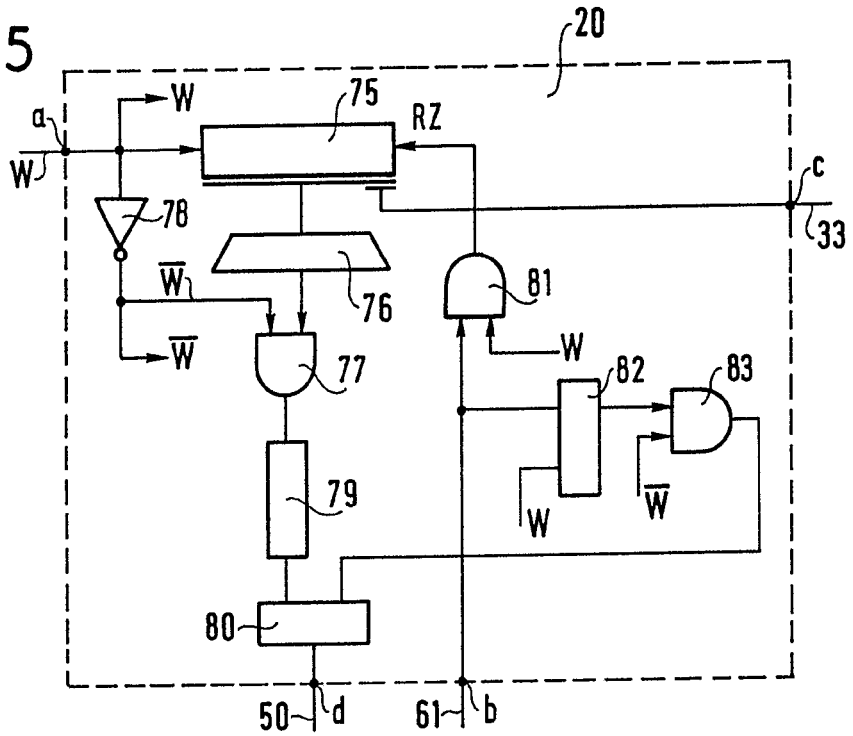
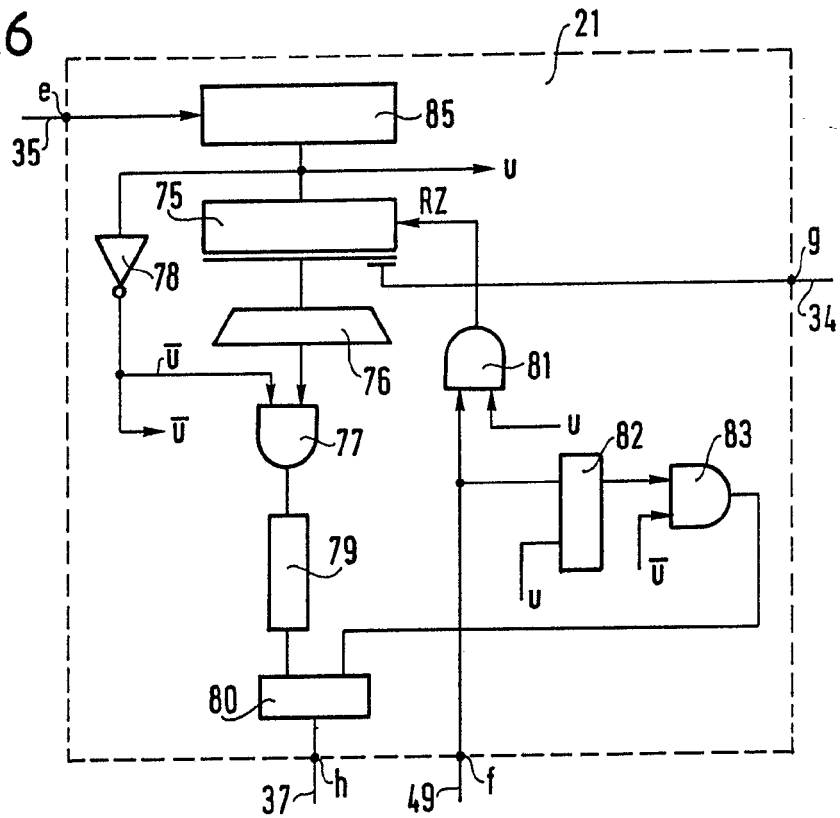


FIG. 6



10 MAY 1978