

- 5 DIC. 1978

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo
con los datos que figuran en la pre-
sente descripción y según el con-
tenido de la Memoria adjunta.

ES

NÚMERO	469189
FECHA DE PRESENTACIÓN	26-IV-78

ES/A.1

PATENTE DE INVENCION

1) PRIORIDADES: 2) NÚMERO 791,139	3) FECHA 26.Abril.77	4) PAIS Estados Unidos
5) FECHA DE PUBLICIDAD	6) CLASIFICACION INTERNACIONAL G06F; G11D	7) PATENTE DE LA QUE ES DOMINARIA
8) TITULO DE LA INVENCION "UN SISTEMA DE PROCESO DE DATOS PARA PUNTO DE VENTA CON MEMORIA REDUNDANTE"		
9) SOLICITANTE (S) STANDARD ELECTRICA, S.?.		
10) DOMICILIO DEL SOLICITANTE Madrid, calle de Ramirez de Prado, n2 5.		
11) INVENTOR (ES) Bruce Allen Fairman Gordon Ray Durney Robert Gramps Taylor		
12) TITULAR (ES) STANDARD ELECTRICA, S.A.		
13) REPRESENTANTE D. Eugenio Barroso Espinosa de los Monteros		

El presente invento se refiere a un sistema de proceso de datos para punto de venta con memoria redundante, de tal manera que contiene un sistema de proceso de datos activo y otro de reserva o inactivo, cada uno de los cuales incluye memorias separadas de lectura/escritura, estando solamente uno de los sistemas activo a la vez, pero pudiendo el sistema activo adquirir selectivamente los datos de la memoria de lectura/escritura del sistema de reserva al ponerse en marcha e incluyendo medios para verificar que memoria de lectura/escritura del sistema activo o del de reserva contiene los datos válidos y más corrientes que se transfieren entonces al sistema que sea activo, teniendo las memorias de lectura/escritura de cada uno de los dos sistemas un contador de número incorporado que se aumenta en uno siempre que bien los datos de la memoria de escritura/lectura inactiva se transfieran a la memoria de lectura/escritura activa o siempre que la cuenta de los contadores de número de ambas memorias de lectura/escritura sean iguales, teniendo lugar este cambio en los contadores de números solamente en el arranque del sistema.

El invento se refiere a sistemas de puntos de venta y, más concretamente, a sistemas de puntos de venta que tienen un sistema redundante activo y uno inactivo con memorias de lectura/escritura en ambos sistemas.

En algunos tipos de sistemas de puntos de venta, por ejemplo el descrito en la Patente U.S. No 3.946.220, están conectados varios terminales de teclado a una unidad de proceso central, que procesa los datos recibidos de los terminales utilizando rutinas de memoria almacenadas en una memoria de lectura solamente y datos dinámicos que se man-

tienen en una memoria de lectura/escritura. La unidad de proceso central computa los totales y sumas y otras rutinas según las llamadas en las estaciones terminales y encamina los datos a dichas estaciones para la lectura directa por el

5 operador. La unidad de proceso central registra también los totales en un módulo de control central. Ya que el sistema de punto de venta particular al que está dirigido este invento se utiliza en las mayores cadenas del mundo para la expedición de comidas rápidas, es extremadamente importante la

10 existencia de un sistema de reserva para el caso en que falle el sistema principal durante el funcionamiento. En un tal sistema, existen dos sistemas idénticos. Un sistema funciona en un modo activo para dar servicio al terminal de teclado. El otro sistema está inactivo y se mantiene simplemente como

15 reserva. En el supuesto de que falle el sistema primario, puede activarse el sistema de reserva para hacerse cargo del control y funcionamiento de las estaciones de terminales de teclado que están interconectadas a ambos sistemas activo e inactivo.

20 Aunque las memorias de lectura solamente de ambos sistemas contienen los mismos datos, la memoria de lectura/escritura del sistema activo, antes de quedar fuera de servicio, contenía la mayoría de los datos en curso relativos a las estaciones terminales de teclado. Tales datos serían

25 los referentes a las transacciones en curso que se estarían realizando en el momento del corte. Ya que se desea que el sistema de reserva, una vez activado, se haga cargo de las operaciones antes manejadas por el otro sistema, es necesario que aquél, cuando se convierta en activo, funcione a

30 partir de los datos válidos y en curso que le son disponibles.

Desafortunadamente, el sistema de reserva cuando se hace activo no tiene modo de saber si los datos en la memoria de lectura/escritura del sistema anteriormente activo eran válidos o más actuales que los datos en la memoria de lectura/escritura del sistema ahora activo. De esta manera, deben existir elementos para determinar, primero de todo, cual de las dos memorias de lectura/escritura contiene los datos válidos después cual de las dos memorias de lectura/escritura que contiene los datos válidos contiene tambien los datos más actualizados para transferir, si fuera necesario, los datos válidos más actualizados a la memoria de lectura/escritura que debe utilizarse en el sistema ahora activo.

En los sistemas de proceso de datos anteriores no se contempla este problema. Normalmente, se suministraba una redundancia en forma de memoria simplemente para contar con una memoria activa y otra de reserva que funcionaban en tándem. Una desventaja de esta configuración estaba en que en el supuesto de un fallo del sistema activo, se vería afectada simultáneamente la memoria de reserva e incluso invalidada. Esto podría ocurrir, por ejemplo, por un componente defectuoso en el sistema activo justo antes del fallo. Algunos otros sistemas no incorporan memorias tandem, pero estos sistemas no proporcionan elementos para comprobar la memoria de reserva en cuanto a la validez de su contenido y de su actualización frente a la actualización del contenido de la memoria que ya no es activa.

Los anteriores y otros problemas más de los sistemas de puntos de venta se solucionan por el presente invento de un sistema de puntos de venta mejorado del tipo que tiene varias estaciones terminales de teclado para la entrada y re-

cepción de los datos de venta, una memoria de lectura/escritura para almacenar los datos de las ventas, una memoria de lectura solamente para almacenar las instrucciones y los datos constantes, una unidad de proceso central para procesar los datos procedentes de los terminales y un circuito de interconexión terminal para introducir y extraer tales datos de la memoria de lectura/escritura y para representar las salidas basadas en tales datos en los terminales seleccionados. La mejora del invento comprende el contar con un par de tales sistemas, uno de los cuales es activo y el otro inactivo, los cuales comparten un conjunto único de terminales de teclado. Existen elementos para seleccionar cual de tales sistemas tiene que ser el activo y cual el inactivo. Las memorias de lectura/escritura de ambos sistemas contienen normalmente tanto los datos constantes como los datos de proceso, esto es, los datos que cambian durante el curso del funcionamiento del sistema. La memoria de lectura/escritura del sistema activo tendría que cambiar constantemente los datos de proceso, mientras que los datos de la memoria de lectura/escritura del sistema inactivo no cambiarían hasta que el sistema se haga activo. De esta manera, la memoria de lectura/escritura contiene normalmente los datos de proceso más actualizados. En el sistema del invento, existen elementos de validación de memoria, que incluyen la unidad de procesamiento central y la memoria de lectura/escritura del sistema activos, para determinar justo antes de cada arranque del sistema activo, cual de las memorias de lectura/escritura, esto es, la memoria de lectura/escritura activa o la inactiva, contiene los datos de proceso válidos más actualizados y, si la determinación indica que la memoria de lectura/

/escritura inactiva contiene los datos de proceso válidos más actualizados, transferir el contenido de los datos de proceso de la memoria de lectura/escritura inactiva a la memoria de lectura/escritura ahora activa y escribir una señal en la memoria de lectura/escritura activa representativa del hecho de que la memoria de lectura/escritura activa contiene ahora los datos de proceso válidos y más actualizados.

Esta señal se consigue proporcionando un contador de número de generación en cada memoria de lectura/escritura. Los elementos de validación de memoria, al arranque del sistema activo, aumentan el contador de número de generación de la memoria de lectura/escritura activa en uno, siempre que tanto los datos de proceso de la memoria de lectura/escritura inactiva se transfieran a la memoria de lectura/escritura activa o siempre que las cuentas en los contadores de números de generación de las memorias de lectura/escritura sean iguales.

Antes de aumentar los contadores de números de generación, sin embargo, el sistema incluye elementos para comparar en forma serie ciertos datos constantes de cada una de las memorias de lectura/escritura con los datos constantes correspondientes de la memoria de lectura solamente activa, para determinar la validez del contenido de cada una de las memorias de lectura/escritura. Así, si tiene lugar un completo mal-funcionamiento en uno de los sistemas que borra el contenido de la memoria de lectura/escritura, el sistema del invento determinará que ninguno de los contenidos de dicha memoria son válidos. El sistema funcionará entonces a partir de los contenidos de la otra memoria de lectura/escritura suponiendo que sus contenidos son válidos. En el supuesto de que los contenidos de las memorias de lectura/escri-

tura no sea ninguno válido, el sistema del invento escribe en la memoria de lectura/escritura del sistema activo una cierta porción de los datos constantes que están almacenados en la memoria de lectura solamente. Estos datos constantes incluyen datos tales como el número I.D. del sistema, las cadenas de direccionamiento de los datos procedentes de las estaciones terminales en la memoria de lectura/escritura, y un código de cierre. Los datos del código de cierre le dicen al sistema si el sistema estaba cerrado o si está experimentando un mal-funcionamiento.

Por lo tanto un objetivo del presente invento es proporcionar un sistema de punto de venta redundante en donde dicho sistema sea capaz de determinar si la memoria activa o la inactiva contiene los más actuales y válidos contenidos.

Otro objetivo del invento es proporcionar un sistema de punto de venta redundante que pueda funcionar a partir de los datos válidos y más actuales disponibles procedentes del sistema de venta activo o de reserva.

Los anteriores y otros objetivos, características y ventajas del invento se describirán con más detalle en lo que sigue, junto con ciertas configuraciones del invento, y las figuras que se acompañan, en las cuales .

La Fig. 1 es un diagrama bloque del sistema de punto de venta del invento;

La Fig. 2 es un diagrama bloque más detallado de la característica de memoria redundante del sistema de punto de venta del invento;

La Fig. 3 es un diagrama de palabra que ilustra los pasos en el sistema del invento que se toman para deter-

minar cual de las memorias de lectura/escritura contiene los datos válidos y más actualizados;

La Fig. 4 es una ilustración esquemática para su utilización en la explicación de los pasos indicados en la Fig. 3,

La Fig. 5 es un diagrama de palabra que ilustra, con mayor detalle, la porción de los pasos tomados en la Fig. 3,

La Fig. 6 es un diagrama de palabra que ilustra con mayor detalle los pasos tomados en el diagrama descrito en la Fig. 5,

La Fig. 7 es un diagrama de palabra que ilustra más detalles de los pasos tomados en el diagrama descrito en la Fig. 6,

Las Figs. 8 y 9 son dos diagramas de palabra relacionados que ilustran los pasos tomados en el funcionamiento de la unidad de control de lectura horizontal descrita en la Fig. 2;

Las Figs. 10A-10F son diagramas esquemáticos de las unidades microprocesadoras del invento;

Las Figs. 11A-11I son diagramas esquemáticos de las memorias de lectura/escritura de ambos sistemas según el invento; y

Las Figs. 12A-12C son diagramas esquemáticos de porciones de las memorias de lectura/escritura y porciones de las unidades de control de lectura horizontal del sistema del invento.

Refiriéndonos a la Fig. 1, en ella se muestra un diagrama bloque del sistema de punto de venta según el invento.

Un operador introduce datos tales como la cantidad de hambur-

guestas pedidas, etc., en un terminal de teclado 10, del cual existen varios; hasta doce en el sistema presente. Tales datos incluirían la computación del precio del artículo y de los impuestos, y aparecería un total en el terminal.

5 Los datos que hacen posible estas operaciones se aplican desde cada terminal a una unidad de interconexión terminal 12. Los terminales están conectados a dos sistemas de proceso de datos totalmente separados. El primer sistema, denominado A en la Fig. 1, para los fines de describir el sistema del invento, será denominado en lo que sigue como el sistema activo. Por activo se quiere significar que este sistema será 10 el que procesará activamente los datos recibidos desde los terminales de teclado. El otro sistema, el sistema B, se mantiene como sistema de reserva. Mientras funcione como sistema de reserva, no recibirá datos desde los terminales 15 y no realizará ninguna función de proceso de datos. Cada uno de los sistemas contiene idénticos componentes. Los componentes del sistema A los describiremos seguidamente, entendiéndose que los correspondientes números con acento se aplicarán a los mismos elementos del sistema B sin otra descripción. 20

La unidad de interconexión terminal 12 está conectada a un microprocesador 14 a través de un bus de datos Bidireccional y un bus de dirección mostrado como un único 25 bus 16 en la Fig. 1. Conectada también al microprocesador 14 a través del bus del sistema 16 existe una memoria de lectura solamente 18 y una memoria de acceso aleatorio 20, que se denominará en lo sucesivo como memoria de lectura/escritura. Conectada también al microprocesador existe una unidad 30 de interconexión de impresora 22 que gobierna una impre-

sora 24.

Como explicaremos con más detalle en lo que sigue, es una característica importante del invento que el microprocesador 14 del sistema activo pueda direccionar la memoria de lectura/escritura 20' del sistema inactivo bajo ciertas condiciones. Para que ocurra esto, es necesario que el bus de sistema 16 del sistema A se interconecte selectivamente con el bus de sistema 16' del sistema B. Esto se consigue mediante un circuito de control de lectura horizontal 26 a un circuito de control de lectura horizontal 26' en el sistema B.

Cada memoria programada de lectura solamente 18 y 18' de ambos sistemas contiene los mensajes de operador de programa que indican a los operadores en los 12 terminales qué operaciones se están realizando y que botones deben pulsarse. La PROM (memoria de lectura solamente) 18 con tiene también el programa de software para el microprocesador 14. La memoria de lectura/escritura 20 contiene los datos de proceso dinámicos que, en el sistema activo, cambian en el curso de la operación. Los datos que están presentes en la memoria de lectura/escritura 20' del sistema inactivo son estáticos durante su período inactivo pero se mantienen disponibles en la memoria. Los datos contenidos en la memoria de lectura/escritura inactiva 20' no serán solamente las sumas y los totales de las operaciones que tuvieron lugar antes de que el sistema fuera puesto inactivo, sino que contendrá también otros datos que son constantes y comunes a ambas memorias de lectura/escritura 20 y 20' como explicaremos después con más detalle.

30

Es posible que el sistema del invento se comu-

te manualmente de un sistema a otro. Así, por ejemplo, si el sistema A queda fuera de servicio, el sistema se conmuta manualmente al sistema B de tal manera que el sistema A quedará fuera de operación y el sistema B pasará a ser el sistema activo. Como explicaremos después con más detalle, algunas veces es conveniente que tenga lugar un cambio al final de las operaciones del día, por ejemplo.

En el caso de un fallo de la alimentación el sistema se cortará él mismo y escribirá un mensaje codificado en la memoria de lectura/escritura activa tal que el corte se produzca con éxito. Esta rutina se realiza por el microprocesador.

Cuando, por cualquier razón, se arranca después de un corte, es deseable hacer funcionar el sistema activo con los datos válidos y más actualizados, por lo que es necesario que el sistema tenga la capacidad de determinar cual de las dos memorias de lectura/escritura 20 y 20' contiene los datos válidos y más actualizados. La memoria de lectura/escritura del sistema que fue ultimamente activo contendrá, teóricamente, los datos válidos y más actualizados. Sin embargo, esto no es necesariamente verdad en la práctica. Si el corte ocurrió debido a un mal funcionamiento del sistema activo, los datos en la memoria de lectura/escritura de tal sistema deben reunirse e invalidarse.

Refiriéndonos ahora a la Fig. 2, se aplica una tensión alterna a través del conmutador 30 a una fuente de alimentación principal 32 para el sistema A o a una fuente de alimentación 32' para el sistema B. La tensión alterna se aplica también a una fuente de alimentación auxiliar 34 para el sistema A y una fuente de alimentación auxiliar 34'

para el sistema B. La tensión alterna a las fuentes de alimentación 34 y 34' no es una función de la posición del conmutador 30 sino que está presente siempre que se suministre una alimentación AC al sistema total. Las fuentes de alimentación auxiliares 34 y 34' contienen también baterías para la alimentación en el caso de un fallo total de la potencia de utilización del sistema. La fuente de alimentación principal 32 está conectada al microprocesador 14 así como a la unidad de control del sistema 36. De la misma manera, la fuente de alimentación 32' está conectada al microprocesador 14' y al control de sistema 36' del sistema B. La fuente de alimentación 34 está conectada a la memoria de lectura/escritura 20 y a la unidad de control de lectura horizontal 26 del sistema A mientras que la fuente de alimentación 34' está conectada a la memoria de lectura/escritura 20' y al control de lectura horizontal 26' del sistema B. Así, las memorias de lectura/escritura 20 y 20' y los circuitos de control de lectura horizontal 26 y 26' reciben alimentación en todo momento. Los buses de sistema 16 y 16' están constituidos por buses de control, de datos y de direcciones bidireccionales separadas que se indican en las figuras. El funcionamiento de tales buses en unión del microprocesador es bien conocido por las personas familiarizadas con esta técnica y, como consecuencia, no lo describiremos con detalle. Haremos referencia específica en esta solicitud al libro Microprocesadores y Microcomputadores, de Branko Soucek, publicado por John Wiley and Sons, en 1976, y particularmente en las páginas 251-298.

El microprocesador utilizado en el presente invento es del tipo conocido como 8080, construido por varios

fabricantes, entre ellos Intel Corp. de Santa Clara, California. La memoria de acceso aleatorio 20 está constituida por dos grupos de chips de memoria dinámica de 4K bits. Tres juegos de ocho de tales chips se ensamblan lado a lado para dar una memoria que tiene ocho bits de anchura por 4K bits de profunda por juego, esto es, 12K bytes. Tales chips de memoria pueden ser del tipo conocido en el mercado como TMS4050.2, por ejemplo. La memoria de lectura solamente tiene diez y seis K bytes y pueden ser de un tipo normal 82S115 fabricada por Signetics.

Como se describió anteriormente, el microprocesador 14 del sistema activo puede encaminar selectivamente la memoria de lectura/escritura 20 de su propio sistema o la memoria de lectura/escritura 20' del sistema inactivo bajo ciertas condiciones. El mecanismo por el que esto es posible lo describiremos refiriéndonos a la Fig. 2. Ya que no es aconsejable contar con un bus de sistema único 16 que interconecte ambos sistemas debido a problemas de ruido y a otros problemas relacionados con el completo aislamiento de los dos sistemas, es necesario utilizar el bus intermódulo 28 para interconectar las dos memorias de lectura/escritura. El control de lectura horizontal 26 y la memoria de lectura/escritura 20 son normalmente exclusivos en la operación. Así, cuando el microprocesador está direccionando la memoria de lectura/escritura 20, el control de lectura horizontal 26 está desactivado. Cuando el microprocesador está direccionando la memoria de lectura/escritura 20' del lado inactivo mediante el control de lectura horizontal 26, la memoria de escritura/lectura 20 está desactivada. Después describiremos el mecanismo por el que se realiza esto.

Una unidad de control del sistema 36 está conectada al bus de sistema 16. Las funciones del controlador del sistema 36 son muchas. Sin embargo, la mayoría de ellas no se aplican al presente invento y no las describiremos. Es suficiente decir que cuando el controlador del sistema 36 recibe una cierta dirección desde el microprocesador 14 por el bus de dirección 16, suministra una señal a un flip-flop de selección 38 que es parte de la unidad de control de lectura horizontal 36. La aplicación de la señal al flip-flop de selección 38 bien lo activa o bien lo repone, dependiendo de la información contenida en el bus de datos 16, suministrada por el microprocesador 14.

Dependiendo del modo en que se active el flip-flop 38, éste proporcionará una señal de inhibición RAM (INHGEN) por una línea 40 a la memoria de lectura/escritura 20 para desactivar una puerta 39, mostrada en la Fig. 11I, que impide que la memoria de lectura/escritura 20 responda a cualquier dirección por el bus de dirección 16 desde el microprocesador 14. Simultáneamente, la lectura a través del control 26 se activa por una señal EXTRAM desde el flip-flop de selección 38 para recibir el mismo juego de direcciones desde el microprocesador 14 y situar las direcciones en las líneas de dirección del bus intermódulos 28.

La lectura a través del control 26 recibe también una señal 42, indicada por POOR en la figura, desde la fuente de alimentación principal 32 para indicar que la lectura a través del control 26 está funcionando en el sistema activo. Las direcciones recibidas por la lectura a través del control 26 en la línea de dirección del bus de sistema 16 se propagan a través de la línea de dirección del bus intermódulos

28 al control de lectura horizontal 26' del lado inactivo. Similarmente, en el lado inactivo de lectura a través del control 26', dado que no está recibiendo la señal POOR 42' está dispuesta para responder solamente a las direcciones
5 por el bus de dirección intermódulos.

Cuando la dirección se recibe en el sistema inactivo por el bus de dirección 16' mediante la lectura a través del control 26', esta dirección se transmitirá entonces a la memoria de lectura/escritura 20' por las líneas
10 de dirección del bus de sistema 16'. Los datos requisicionados por esta dirección se situarán entonces en la línea de datos del bus de sistema 16' y se propagarán mediante el control de lectura horizontal 26' por la línea de datos del bus intermódulos 28' y la lectura a través del control 26' a la
15 línea de datos del bus de sistema 16, donde estos datos serán procesados por el procesador 14. El mecanismo por el que se realiza esta actividad es algo complejo y lo describiremos después con más detalle.

De esta manera, el microprocesador ha sido pre-
20 parado para ignorar su propia memoria de lectura/escritura 20 y acceder a la memoria de lectura/escritura 20' del sistema inactivo mediante la lectura a través de los controles 26 y 26' y el bus intermódulos 28. La Fig. 2 representa así el hardware por el cual el microprocesador del sistema ac-
25 tivo tiene acceso a ambas memorias de lectura/escritura 20 y 20' bajo ciertas condiciones. La secuencia de señal de control que es necesaria para hacer funcionar este hardware, a describiremos con referencia a las Figs. 3 y 4 que, juntas constituyen un diagrama de palabra del funcionamiento del
30 hardware representado en la Fig. 3 durante el esquema de me-

moria redundante.

Como se mencionó anteriormente, el microprocesador, al arrancar el sistema activo, debe primero determinar cual de las dos memorias de lectura/escritura contiene la información totalmente válida. Si verifica que ambas memorias contienen información válida debe determinar entonces cual de estas dos memorias válidas contiene la información más actualizada. La etapa de validación se realiza con la ayuda de un contador temporal 44 cuya cuenta se simbolizará en lo que sigue, con la letra V. El contador 44 está contenido dentro de una porción de la memoria de lectura/escritura 20 que se indica como el área de "cuadernillo de apuntes". El área de "cuadernillo de apuntes" incluye un indicador 46 y una porción de memoria intermedia (buffer) 48. Debe entenderse que las personas familiarizadas con esta técnica que el indicador, el contador y las porciones de memoria intermedia representan realmente las porciones de bits dedicadas de la memoria de lectura/escritura que son direccionables por el microprocesador 14 (ver fig. 4).

El diagrama de palabra o carta de flujo (flow chart) de la fig. 3 representa la secuencia de operaciones acometidas por la combinación del microprocesador, el control del sistema, el control de lectura y las dos memorias de lectura/escritura. La carta de flujo de la Fig. 3 es solamente una representación conceptual de lo que realmente tiene lugar. Las rutinas más detalladas y el hardware necesario para conseguir estos resultados se representan con mayor detalle en las Figs. 5, 6, 7, y 8 junto con los diagramas esquemáticos 10-12. Al arranque del sistema de punto de venta, el microprocesador hace que un contador temporal 44 en

la memoria de lectura/escritura activa 20 se ponga a cero en la etapa 46 de la Fig. 3. Esta etapa tiene lugar cuando aparece la señal poner a cero (POOR) 42. El microprocesador 14 es entonces instruido a través de las instrucciones de programa en la memoria de lectura solamente de programa 18 para verificar el contenido de la memoria de lectura/escritura 20 en la etapa 48. El mismo realiza este proceso de verificación comparando los datos constantes almacenados en la memoria de lectura/escritura 20 con los datos contenidos dentro de la memoria de lectura solamente programada 18. Tales datos incluirán el número I.D. del sistema, las cadenas de las direcciones de datos para los terminales dentro de la memoria de lectura/escritura 20, y un código de parada que le dice al microprocesador si el sistema tiene parada válida antes de arrancar. Suponiendo que el contenido de la memoria de lectura/escritura 20 sea válido en la etapa 50, el sistema verifica entonces el contenido de la memoria de lectura/escritura alternativa 20' en la etapa 54. Si el contenido de la memoria de lectura/escritura 20 ha sido válido, el sistema tendría aumentada la cuenta V en el contador 44 en uno, en la etapa 52, antes de proceder a la etapa 54. Si el contenido de la memoria de lectura/escritura alternativa 20' se ha determinado válido en la etapa 56, la cuenta V en el contador 44 se incrementa en dos en la etapa 58. La etapa 58 se salta si el contenido de la memoria de lectura/escritura 20' no es válido.

Habiendo verificado la validez del contenido de las memorias 20 y 20', el sistema se ocupa entonces de un análisis de la cuenta en el contador 44 en la etapa 60. Si la cuenta en el contador es igual a cero, el sistema sa-

be entonces que ninguna de las memorias de lectura/escritura 20 ó 20' contiene datos válidos. El microprocesador 14, bajo instrucciones de la memoria de lectura solamente programada 18 debe inicializar su propia memoria de lectura/escritura 20 escribiendo ciertos datos constantes almacenados en la memoria de lectura solamente 18 en la memoria de lectura/escritura 20. Esta etapa se conoce como la etapa de arranque inicial 62. Después de haberse completado la etapa 62, el microprocesador 14 activa (pone en marcha) el sistema en la etapa 64.

Si el microprocesador 14 determina que la cuenta V en el contador 44 es igual a uno, entonces sabe que el contenido de su propia memoria de lectura/escritura es válido y que el contenido de la memoria de lectura/escritura 20' no es válido. Entonces activa el sistema en la etapa 66.

Si el microprocesador 14 determina que la cuenta V en el contador 44 es igual a dos, sabe que su propia memoria de lectura/escritura 20 contiene un contenido válido pero que el contenido de la memoria de lectura/escritura 20' inactiva o del sistema de reserva es válido. El microprocesador se estructura entonces a partir de instrucciones en la memoria de lectura solamente programada 18 para copiar el contenido de la memoria 20' en la memoria de lectura/escritura 20 en la etapa 68. El microprocesador debe dejar también alguna copia de esta operación a fin de saber, en subsecuencia operaciones de puesta en marcha, como están de actualizados los datos contenidos en su propia memoria. Esto lo realiza incrementando un contador, indicado aquí como el contador de número de generación, representado en forma de diagrama como el elemento 70 en la Fig. 4 de la memoria

de lectura/escritura 20. La cuenta G dentro del contador de número de generación se incrementa en uno en la etapa 68 y el sistema se pone entonces en marcha o se activa en la etapa 72. Debe entenderse que cada memoria de lectura/escritura 20 y 20' contiene su propio contador de número de generación individual 70 y 70', respectivamente, que están separados entre sí y contienen números de cuenta de generación separados G_A y G_I , respectivamente. Solamente es el contador en la memoria de lectura/escritura activa el que se incrementa en cualquier momento dado. En la etapa 68, todo el contenido de la memoria de lectura/escritura 20' se copia en la memoria de lectura/escritura 20. Esto incluye la cuenta G_I en el contador de generación 70'. Incrementando por tanto el contador G_A en el contador de número de generación 70 en uno, se mantiene entonces la jerarquía entre las memorias de lectura/escritura 20 y 20' basada en el valor actualizado de sus contenidos de datos.

Continuando con el diagrama de flujo de la Fig. 3, si el microprocesador determina que la cuenta V dentro del contador 44 es igual a tres, sabe que ambas memorias de lectura/escritura 20 y 20' tienen contenidos válidos; sin embargo, no sabe cual de las dos memorias contiene los datos más actualizados. Por ejemplo, en el arranque el operario del almacén en el que está instalado el sistema de punto de venta debe tener conmutado el conmutador de selección de potencia 30 del sistema B al sistema A. El microprocesador 14 sabrá entonces que su propia memoria de lectura/escritura 20 puede contener el contenido válido, pero no sabe si el contenido de la memoria de lectura/escritura 20 es el más actualizado. Suponiendo que no ha habido un mal funcionamiento

en el sistema B durante su operación el día anterior, el contenido de su memoria de lectura/escritura 20' sería, con toda probabilidad el más actualizado con el que debe operar el sistema A.

5 Nuevamente, suponiendo que el sistema A es el activo y el B el inactivo, y que el microprocesador 14 en X la etapa 74 ha determinado que la cuenta V del contador 44 es igual a tres, el microprocesador 14 sabe entonces que el contenido de ambas memorias de lectura/escritura 20 y 10 20' son válidos. Entonces debe comparar la cuenta G_A en el contador de número de generación 70 de la memoria de lectura/escritura 20 con la cuenta G_I en el contador de número de generación 70' de la memoria de lectura/escritura 20'. Suponiendo que la cuenta G_A es igual a la cuenta G_I , el micropro- 15 cesador sabe que los contenidos de ambas memorias 20 y 20' X son no solamente válidos sino los más actualizados. Entonces podría funcionar con el contenido de cualquier memoria. El microprocesador 14 aumenta entonces el número de generación G_A en el contador 70 de la memoria de lectura/escritura 20 20 en uno en la etapa 76 y procede a poner en marcha el sistema de la etapa 78.

Si, en la etapa 74, el microprocesador 14 ha determinado que las cuentas G_A y G_I no son iguales, el micro- 25 procesador procede entonces a la etapa 80. En la etapa 80, el microprocesador 14 compara la suma de G_A más uno con G_I . Si resulta una igualdad, el microprocesador sabe entonces que el contenido de la memoria de lectura/escritura 20' no es solamente válido sino el más actualizado. Procede entonces en la etapa 82 a copiar el contenido de la memoria de 30 lectura/escritura 20', incluyendo la cuenta G_I , en su propia

memoria de lectura/escritura 20 e incrementar el número de
 generación nuevo G_A (anteriormente G_I) en el contador 70 de
 la memoria de lectura/escritura 20 en uno, para mantener
 la jerarquía de memoria. Habiendo hecho esto, pone en marcha
 5 o activa el sistema en la etapa 84.

Si, en la etapa 80, resultó una desigualdad, el
 microprocesador 14 sabe que la memoria de lectura/escritura
 20 contiene no solamente datos válidos sino que tiene el
 contenido más actualizado y procede a activar o arrancar
 10 el sistema directamente en la etapa 86.

Nótese que las diferentes etapas representadas
 en las cartas de flujo de la Fig. 3 representan no solamente
 una secuencia de instrucciones bajo las cuales funciona el
 microprocesador 14 ó 14', sino también que son simbólicas
 15 de los diferentes componentes lógicos representados en los
 diagramas esquemáticos 10, 11 y 12. Así por ejemplo, una
 decisión como de si o no el número de generación G_A es igual
 al G_I en la etapa 74 es simplemente una comparación que es
 una función del lógico AND. El incremento de los contadores
 20 se realiza simplemente escribiendo los datos de incremento
 apropiados en la dirección, en la memoria de lectura/escritura,
 que representa el contador. Ya que tales detalles son
 bien conocidos por las personas familiarizadas con esta técnica,
 omitiremos su descripción completa, pues no ayuda al
 25 entendimiento del conjunto del presente invento.

Refiriéndonos ahora a la Fig. 5 explicaremos
 con mayor detalle las etapas de verificación 48 y 56 representadas
 en la Fig. 3. Debe quedar entendido que ciertas
 subrutinas están dentro del programa para el microprocesador
 30 tipo 8080. Una de estas subrutinas es la MOVLR que llama al

microprocesador para copiar el contenido de la porción de la memoria de lectura/escritura activa 20 cuyas direcciones están designadas por un par de registros HL dentro del microprocesador en la región de la memoria intermedia del cuadernillo de notas 48 de la memoria de lectura/escritura 20 cuya dirección se especifica por el contenido de un par de registros BC dentro del microprocesador, dejando sin cambios el contenido de la porción restante de la memoria de lectura/escritura 20. Deberá entenderse por las personas familiarizadas con esta técnica que los registros B, D, H y L están constituidos dentro del microprocesador tipo 8080 y las direcciones se programan en el registro por instrucciones desde la memoria de lectura solamente 18.

A fin de acometer las etapas 46 y 54, el microprocesador 14 utiliza una sub-rutina que se conoce por MRVER. Esta rutina de verificación de memoria a su vez utiliza una sub-rutina que se denomina requisición de memoria (MRREQ). La subrutina de requisición de memoria se representa en la Fig. 6 y se describirá con mayor detalle. En este punto es suficiente decir que durante la requisición de memoria, los datos se extraen de una de las memorias de lectura/escritura 20 ó 20' a la región de memoria intermedia del cuadernillo de notas 48 de la memoria de lectura/escritura activa 20. Si los datos se extraen de la memoria de lectura/escritura 20 ó 20' depende de la situación de la marca 46 que está dentro de una parte de la memoria de lectura/escritura 20 y que no es relevante para la verificación de esta memoria de lectura/escritura. La situación de la marca indica si la memoria de lectura/escritura a ser direccionada es la activa o si es la del sistema inactivo. La marca se establece real-

mente por una instrucción ejecutada por el microprocesador
14.

Una vez que la rutina MRREQ ha extraído los
datos apropiados de la memoria de lectura/escritura hacia
5 la memoria intermedia 48 de la memoria de lectura/escritura
activa 20, compara estos datos con los correspondientes a
datos almacenados en la memoria de lectura solamente progra-
mada 18. El método específico por el que se extraen los
datos se describirá con referencia a la Fig. 6. El tipo de
10 datos que se verifica es de datos constantes y simboliza,
por ejemplo, el número I.D. del sistema, las cadenas de
direcciones que representan los datos almacenados en la me-
moría de lectura/escritura por las estaciones terminales 10,
el código que significa si o no el sistema se detiene con
15 éxito y cualquier otro tipo de datos constantes que se po-
dría esperar que cambiaran durante el funcionamiento normal.
Estos datos pueden seleccionarse como parte de la sub-rutina
del microprocesador. Para el presente ejemplo, la rutina de
verificación de memoria compara solamente el número I.D.
20 del sistema, los datos de dirección de la cadena TCA, que
se hace para cada uno de los terminales de teclado, y el
código de parada. Con cada etapa de validación, el sistema
tiene la oportunidad de declarar inválido el contenido de
la memoria o, si es válido, proceder a la siguiente etapa
25 en la carta de flujo representada en la Fig. 3. Esta misma
rutina se utiliza para ambas etapas 48 y 54.

Refiriéndonos ahora a las Figs. 6 y 7 en ellas
se representa la carta de flujo para la secuencia de instruccio-
nes que se realiza durante la sub-rutina de requisición de
30 memoria (MRREQ). Como se mencionó anteriormente, cuando el

microprocesador llama a la rutina de requisición de la memoria, lo primero que comprueba el microprocesador es la marca 46 dentro de la memoria de lectura/escritura que se está verificando. Suponiendo que la memoria cuyo contenido está siendo verificado es la memoria de lectura/escritura 20, la marca indicará al microprocesador que proceda directamente a la sub-rutina MOVLR en la etapa 90. Como se mencionó anteriormente, durante la MOVLR los datos constantes dentro de la memoria de lectura/escritura 20 se copian en la región de memoria intermedia 48. Esto se hace especificando la dirección baja de los datos y el número de bytes de los datos a ser copiados, cuyo número se introduce en un contador dentro del microprocesador. Los datos se transfieren entonces byte a byte en la memoria intermedia 48 hasta que el contador indica que todos los datos se han copiado.

Suponiendo que el microprocesador ha determinado que la marca 46 estaba establecida para indicar que la memoria de lectura/escritura 20 tenía que ser verificada, la subrutina llama a través del módulo de transferencia de memoria (CMTM) 92. Durante la rutina CMTM, el flip-flop de selección 38 se pone en "inactivo" en la etapa 94. Esta posición se toma bajo el control del microprocesador 14. Recuérdese que una vez que el flip-flop de selección 38 se pone en inactivo el mismo genera una señal de inhibición 40 (INH CEN) a la memoria de lectura/escritura 20 bloqueando esta memoria de lectura/escritura para que no responda a ninguna dirección procedente del microprocesador 14. Correspondientemente, la lectura a través del circuito de control 26 responderá a aquellas direcciones, propagándolas a través del bus intermódulos 28 al control de lectura horizontal 26'

del sistema B que emite estas direcciones por el bus del sistema B 16' a la memoria de lectura/escritura 20'. El microprocesador procede entonces a buscar un byte de datos en la etapa 96. Durante la "búsqueda del byte", un byte de datos lleva de la memoria de lectura/escritura 20' a través del bus del sistema B 16', los controles de lectura horizontal 26 y 26' y el bus intermódulos 28 al bus del sistema A 16 y finalmente a un registro interior E del microprocesador 14. El microprocesador, a través del circuito de control del sistema 36 sitúa entonces el flip-flop 38 en situación activa en la etapa 98. Es necesario hacer esta reposición a fin de que el microprocesador almacene el contenido de su registro E en la sección de memoria intermedia 48 de la memoria de lectura/escritura activa 20 en la etapa 99. Esta rutina se realiza hasta que un contador dentro del microprocesador ha determinado que el número requerido de bytes de datos ha sido extraído. Como en la rutina MOVLR, para extraer los datos se especifica la dirección inferior de los datos a ser extraídos y la cuenta del número de bytes de datos a ser extraídos se especifica también por un contador dentro del microprocesador. En la etapa 100 el microprocesador pregunta: "¿Ha expirado la cuenta?. Esto es, ¿se ha transferido y recibido el número requerido de bytes de datos?. Suponiendo que la contestación es no, la dirección de envío y la dirección de recepción se incrementan en uno, esto es, en un byte de datos, la cuenta en el contador se disminuye en uno y se repite el proceso.

Describiremos con mayor detalle y refiriéndonos a las Figs. 8 y 9, la serie de etapas realizadas por los circuitos de control de lectura horizontal 26 y 26'. En la

Fig. 8 se representa la secuencia de las etapas de control realizadas por el control de lectura horizontal 26, mientras que en la Fig. 9 se muestran las etapas correspondientes realizadas por control de lectura horizontal 26'. Debe entenderse que cualquiera de estas unidades puede realizar el conjunto opuesto de etapas dependiendo de si o no está en el sistema activo o en el inactivo como determina la señal POOR 42. Nuevamente, la base de esta discusión está en que el sistema A es el activo mientras que el sistema B es el inactivo.

10 Inicialmente, el control de lectura horizontal 26 está inactivo hasta que se establece una requisición de memoria de lectura externa (EXTMREQ) del microprocesador 14 por una línea de control del bus del sistema 16. Esto se representa por la etapa 102 en la Fig. 8. Suponiendo que está presente la señal EXTMREQ, la unidad de control de lectura horizontal 26 procede a la siguiente etapa 104 que es conectar el bus del sistema A 16 al bus intermódulos 28. La unidad de control de lectura horizontal 26 pregunta entonces si o no está presente una señal EXTRAM en la etapa 106. La
15 señal EXTRAM se genera por el flip-flop de selección 38 cuando está situado para bloquear el acceso a la memoria de lectura/escritura activa 20. Si el flip-flop de selección 38 no está activado como para generar una señal de inhibición RAM 40, entonces la señal EXTRAM no estará presente y el control de lectura horizontal 26 volverá a empezar su
20 proceso.

Si está presente la señal EXTRAM en la etapa 106, la unidad de control de lectura horizontal 26 inicia un temporizador 26 inicia un temporizador FACK 109 en la
25 etapa 108. El temporizador FACK 109 es simplemente un tempo-

rizador RC que tiene una constante de tiempo RC de siete microsegundos. El término FACK significa un reconocimiento rápido y es una señal que se envía al microprocesador para decirle que está disponible la información de memoria para ser introducida en forma estroboscópica en el microprocesador. El circuito de control de lectura horizontal también genera su propia versión de la señal EXTMREQ que se designa por ϕ EXTMREQA por el control fuera de línea del bus intermódulos 28. Esta misma señal se recibe también en la unidad de lectura horizontal 26' y designada por IEXTMREQA.

Después de la generación de la señal ~~EXTMREQA~~ la unidad de control de lectura 26 procede a la etapa 110 que es esperar la aparición de una señal IEXFACK del sistema B. La generación de la señal IEXFACK indica que el sistema B ha situado su memoria de lectura/escritura 20' en contacto con el bus del sistema B 16' y que la unidad de control de lectura horizontal 26' ha conectado el bus del sistema B 16' con el bus intermódulos 28. En el supuesto de que no esté presente la señal IEXFACK, el control de lectura horizontal pasa a la etapa 112 que pregunta "¿Ha terminado el temporizador original FACK en la etapa 108?". Si es que no, el control de lectura horizontal 26 vuelve a la etapa 110 que es ver si ha aparecido IEXFACK. Si ha terminado el temporizador FACK o si ha aparecido IEXFACK, el control de lectura horizontal 26 pasa entonces a la siguiente etapa, que es la 114. En la etapa 114, la unidad de control de lectura horizontal 26 conecta el bus de datos intermódulos 28 a la línea de datos del bus del sistema 16 y genera una señal FACK al microprocesador 14 que indica que el microprocesador deberá proceder con cualquier dato existente en el bus de

datos del sistema 16. El control de la lectura horizontal
 26 pasa a la etapa 116 que es preguntar si o no está toda-
 vía presente la señal EXTMREQ. Si es así, la unidad de con-
 tro. de lectura 26 permanece simplemente en un bucle. Si
 5 no está presente, pasa a la etapa 118 durante la cual desa-
 parece la señal \emptyset EXTMREQA, se desconecta el bus de datos
 intermódulos 28 de la línea de datos del bus del sistema 16,
 desaparece la señal FACK y se repone el temporizador FACK,
 después de lo cual vuelve al comienzo de su rutina. En la
 10 etapa 116, desaparecerá la señal EXTMREQ tan pronto como el
 microprocesador 14 se entera de que la señal FACK generada
 en 114 y los datos han sido aceptados por él.

Refiriéndonos ahora a la Fig. 9, se describirá
 con más detalle la rutina seguida por el control de lectura
 15 horizontal 26' simultáneamente con la rutina de la Fig. 8 que
 es seguida por la unidad de control de lectura horizontal
 26. Inicialmente, la unidad de control de lectura 26' está
 en un estado libre u ocioso hasta que se recibe la señal
 IEXTMREQA en la etapa 120. Debe recordarse que la señal
 20 IEXTMREQA corresponde a la señal \emptyset EXTMREQA generada en la
 etapa 108 en la Fig. 8. Si la señal no está presente, la uni-
 dad de control de lectura horizontal 26' simplemente se pone
 en bucle en un estado vacío. Si está presente, pregunta si
 o no está ausente la señal POOR 42' indicando que, en efecto
 25 la unidad de control de lectura 26' es la unidad de reserva.
 Suponiendo que la respuesta a esta cuestión en la etapa 122
 es sí, la unidad de reserva pregunta entonces la siguiente
 cuestión en la etapa 124, que es "¿Se está realizando una
 nueva actividad en la memoria de lectura/escritura 20'".
 30 Si la respuesta es sí, la unidad de control de lectura ho-

rizontal 26' espera hasta que se detenga la nueva actividad. Una vez que se ha detenido procede a la siguiente secuencia de etapas en el bloque 126.

Durante la secuencia de etapas realizadas en el
5 bloque 126, la unidad de control de lectura horizontal 26'
inicia un secuenciador contenido dentro de su multicircuito.
El secuenciador, en una secuencia de etapas numeradas del 1
al 5, inhibe la nueva actividad de la memoria de lectura/
escritura 20', conecta la línea de dirección del bus intermód-
10 dulos 28 a la línea de dirección del bus del sistema B.6'
y a la memoria de lectura/escritura 20'. El secuenciador del
control de lectura horizontal genera entonces una serie de
señales de control RAM conocida como MEMREQ, RDCYC y DBIN.
El secuenciador de la unidad de control de lectura 26'
15 conecta también la línea de datos del bus del sistema 16'
a la línea de datos del bus intermódulos 28 y genera la
señal \emptyset EXFACK por la línea de control del bus intermódulos
28. Recuerdese que la señal \emptyset EXFACK propagada por el control
fuera de línea del bus intermódulos 28 aparece como la señal
20 IEXFACK referida a la etapa 110 de la Fig. 8 y significa
que los datos requeridos en la memoria de lectura/escritura
20' están ahora disponibles al microprocesador para su lec-
tura.

Habiendo completado la etapa 126, la unidad de
25 control de lectura 26' observa de nuevo la señal IEXTMREQA
que corresponde a la señal \emptyset EXTMREQA generada en la etapa
108. Esta señal estará presente hasta que el microproce-
sador haya adquirido los datos transmitidos en la etapa 126
en cuyo momento el microprocesador anulará la señal. La uni-
30 dad de reserva procederá entonces a la etapa 128 en donde

el secuenciador de la unidad de control de lectura horizontal
26' se repone, se permite la nueva actividad de la memoria
de lectura/escritura 20' y las señales para las sub.etapas
2, 3, 4 y 5 de la etapa 126 desaparecen. La unidad de control
5 de lectura 26' vuelve entonces a su estado de reposo.

Algunos de los elementos lógicos descritos anteriormente
con referencia a las Figs. 1 a 9 inclusive, se representan
con más detalle en las Figs. 10 a 12 inclusive, y se han
designado con sus números de referencia apropiados.
10 Además de esto, se han incluido también en las Figs. 10 a
12 las designaciones reales de conexionado.

El programa fuente escrito en lenguaje macroassembler
del Intel 8080 que describe la secuencia de operaciones
realizadas por el microprocesador para el funcionamiento del
15 sistema de punto de venta del invento, se adjunta al final
de esta solicitud.

Los términos y expresiones que se han utilizado aquí,
se utilizan como términos y expresiones a modo de descripción
y no son limitativos, y no existe intención, en la
20 utilización de tales términos y expresiones, de excluir equi-
valentes de las características mostradas y descritas, o
partes de las mismas, reconociéndose que existen diferentes
modificaciones posibles dentro de la panorámica del presente
invento.

25 Ha de quedar entendido que la anterior descripción
de una forma determinada del invento se hace a modo de
ejemplo y no debe considerarse como limitación de su alcance.

Este invento corresponde a una solicitud de patente
formulada en Estados Unidos el día 26 de Abril de 1977,
30 señalada con el nº 791,139 y se acoge, por tanto, a los be-

neficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un sistema de proceso de datos para punto
de venta con memoria redundante, caracterizado porque compren-
de un par de sistemas redundantes en paralelo, uno de los
cuales es activo y el otro inactivo, y cada uno de los cua-
les incluye por lo menos una memoria de lectura/escritura
10 un dispositivo de entrada/salida y una unidad central de pro-
ceso en el que las memorias lectura/escritura cada una nor-
malmente contienen datos constantes y datos dinámicos, esto
es, datos que cambian durante el funcionamiento del sistema,
conteniendo la memoria de lectura/escritura activa normal-
15 mente los datos dinámicos más usuales, medios para elegir
selectivamente que sistema ha de ser activo y cual inactivo,
y medios de validación de memoria incluyendo la unidad cen-
tral de proceso y la memoria de lectura/escritura del sis-
tema activo, para determinar en cada arranque del sistema
20 activo cual de las memorias de lectura/escritura, es de-
cir, la memoria de lectura/escritura activa o inactiva, con-
tiene los datos válidos más usuales y si la determinación
es que la memoria de lectura/escritura inactiva contiene los
datos válidos más usuales, para transferir el contenido
25 de su memoria a la memoria de lectura/escritura activa.

 2.- Un sistema de proceso de datos para punto
de venta con memoria redundante según la reivindicación 1,
caracterizado porque cada sistema comprende además memorias
de solo lectura para almacenar ciertos datos fijos así como
30 instrucciones de programa para la unidad central de proceso

de este sistema, cada memoria de lectura/escritura contiene un contador (G) de número de generación, y la memoria de lectura/escritura activa contiene un contador (V) de número de validación temporal, para ser usado por la unidad central de proceso del sistema activo durante la validación de memoria, y en el que los medios de validación de memoria incluyen:

A) medios de validación de datos constantes para la comparación en serie de ciertos datos constantes de cada una de las memorias lectura/escritura, con los correspondientes datos de validación procedentes de la memoria de solo lectura del sistema activo y para poner el contador de validación en:

- a) $V = 0$ Si ninguna de las memorias de lectura/escritura contiene datos constantes que se corresponden con los datos de validación de la memoria de solo lectura.
- b) $V = 1$ Si solo la memoria de lectura/escritura activa contiene los datos constantes que se correspondan con los datos de validación de la memoria de solo lectura.
- c) $V = 2$ Si solo la memoria de lectura/escritura inactiva contiene los datos constantes que se correspondan con los datos de validación de la memoria de solo lectura, y
- d) $V = 3$ Si ambas memorias de lectura/escritura contienen los datos constantes que se correspondan con los datos de valida-

ción de la memoria de solo lectura.

B) Medios de activación para la lectura del estado final del contador del número de validación y:

- 5 a) Si $V = 0$, para escribir los datos de validación en la memoria de lectura/escritura del sistema activo y para el arranque del sistema activo,
- 10 b) Si $V = 1$, para arranque del sistema activo.
- c) Si $V = 2$, para escribir los datos dinámicos de la memoria de lectura/escritura inactiva en la memoria de lectura/escritura, para incrementar el número de generación (G) del contador del número de generación de la memoria activa en 1, y para el arranque del sistema activo.
- 15 d) Si $V = 3$, para comparar los números de generación en los contadores de las memorias de lectura/escritura activa e inactiva y
- 20 i) Si son iguales, para incrementar el contador del número de generación de la memoria de lectura/escritura activa en 1, y arrancar el sistema activo.
- 25 ii) Si no son iguales, para comparar la suma de 1 más el valor del número de generación en la memoria de lectura/escritura activa con el valor del número de generación de la memoria de lectura/escritura inactiva y
- 30 j) Para arrancar el sistema activo si

no son iguales y

jj) Para escribir el contenido de datos dinámicos y el valor del número de generación de la memoria de lectura/escritura inactiva en la memoria de lectura/escritura activa, para incrementar en 1 el contador de generación de la memoria de lectura/escritura activa recién copiado, y para arrancar el sistema activo.

3.- Un sistema de proceso de datos para punto de venta con memoria redundante según el punto 2, caracterizado porque cada sistema incluye conjuntos de vías de sección de datos y de control independientes, interconectadas con los elementos de cada sistema y un circuito de control de lectura horizontal y además comprende una vía intermódulo para interconectar los circuitos de control de lectura horizontal de los sistemas activo e inactivo, sirviendo los circuitos de control de lectura horizontal, bajo el control selectivo de la unidad central de proceso del sistema activo para interconectar las vías de dirección de datos y de control del sistema activo, con las correspondientes vías del sistema inactivo.

4.- Un sistema de proceso de datos para punto de venta con memoria redundante, según el punto 3, caracterizado porque cada control de lectura horizontal incluye medios para impedir selectivamente que la memoria lectura/escritura de su correspondiente sistema, sea accedida por la unidad central de proceso correspondiente del mismo sistema.

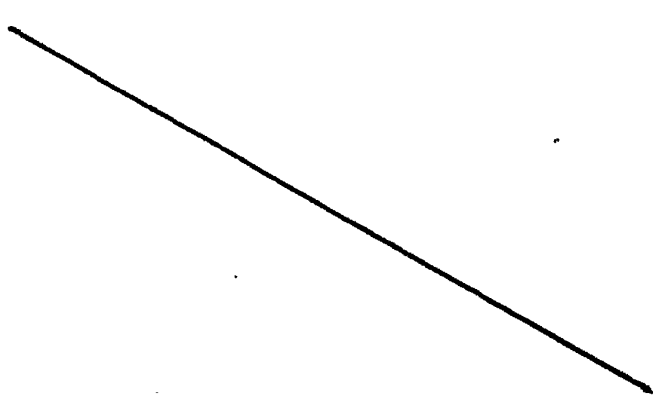
5.- Un sistema de proceso de datos para punto de venta con memoria redundante, según los puntos anteriores caracterizado por tener una pluralidad de terminales de teclado para entrada y recepción de datos de venta, una memoria de lectura/escritura para almacenar los datos de venta; una memoria de solo lectura para almacenar instrucciones y datos constantes, y una unidad central de proceso para procesar los datos procedentes de los terminales de teclado, para entrada y extracción de tales datos de la memoria de lectura/escritura, y para la presentación en los terminales seleccionados, comprendiendo sistemas que están implicados, siendo activo uno de ellos e inactivo el otro, pero compartiendo un mismo conjunto de terminales; medios para seleccionar cual de tales sistemas ha de ser el sistema activo y cual el sistema inactivo. Las memorias de lectura/escritura contienen cada una datos constantes, así como datos de proceso, esto es, datos que cambian durante el curso del funcionamiento del sistema, conteniendo normalmente la memoria de lectura/escritura activa los datos de proceso más usuales; medios de validación de memoria incluyendo la unidad central de proceso y la memoria de lectura/escritura del sistema activo, para determinar justo antes del arranque del sistema activo cual de las memorias de lectura/escritura, es decir, la memoria de lectura/escritura activa ó inactiva contiene los datos de proceso válidos más usuales; y, si la determinación es que la memoria de lectura/escritura inactiva es la que los contiene, para transferir el contenido de los datos de proceso de su memoria a la memoria de lectura/escritura activa y para escribir, en la memoria de lectura/escritura activa, una señal representativa del hecho de que

la memoria de lectura/escritura activa, contiene ahora los datos de proceso válidos más usuales.

5 6.- Un sistema de proceso de datos para punto de venta con memoria redundante según el punto 6, caracterizado porque cada memoria de lectura/escritura incluye un contador de número de generación y en el que los medios de validación de memoria, antes del arranque del sistema activo, incrementa en 1 el contador de número de generación de la memoria de lectura/escritura activa, tanto si los datos de proceso y el valor del número de generación de la memoria de lectura/escritura inactiva, han de ser transferidos a la memoria de lectura/escritura activa, como si los valores en los contadores de número de generación de las memorias de lectura/escritura son iguales.

15 7.- Un sistema de proceso de datos para punto de venta con memoria redundante según el punto 6, caracterizado porque los medios de validación de memoria incluyen medios para la comparación en serie de ciertos datos constantes de cada una de las memorias de lectura/escritura con los correspondientes datos constantes de la memoria de solo lectura activa para determinar la validez de los contenidos de cada una de las memorias de lectura/escritura.

20 8.- Un sistema de proceso de datos para punto de venta con memoria redundante.



Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

5 Esta memoria consta de treinta y siete hojas escritas por una sola cara.

Madrid, 4 OCT. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

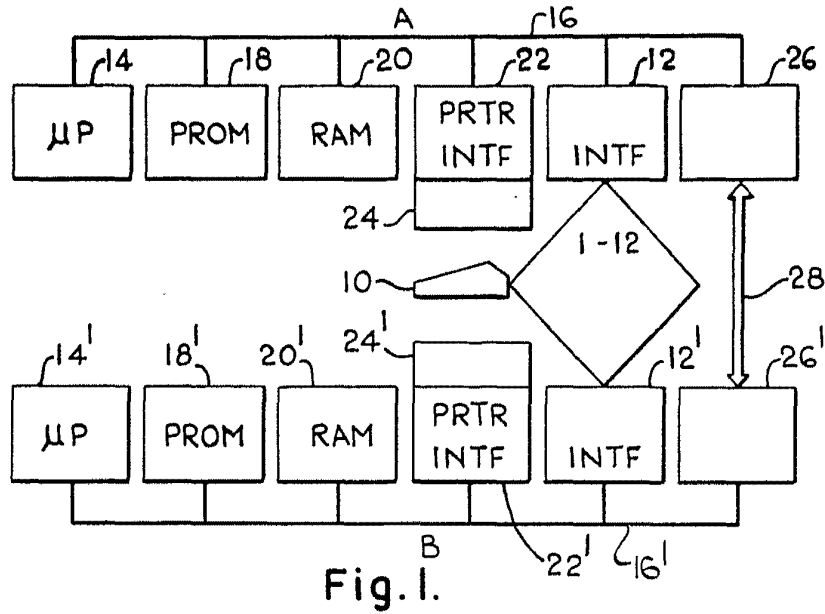


Fig. 1.

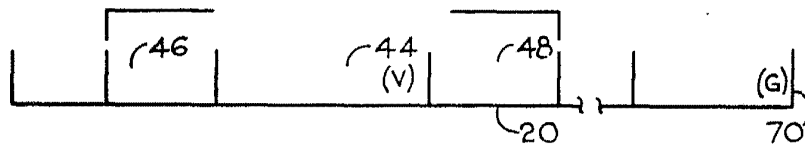


Fig. 4.

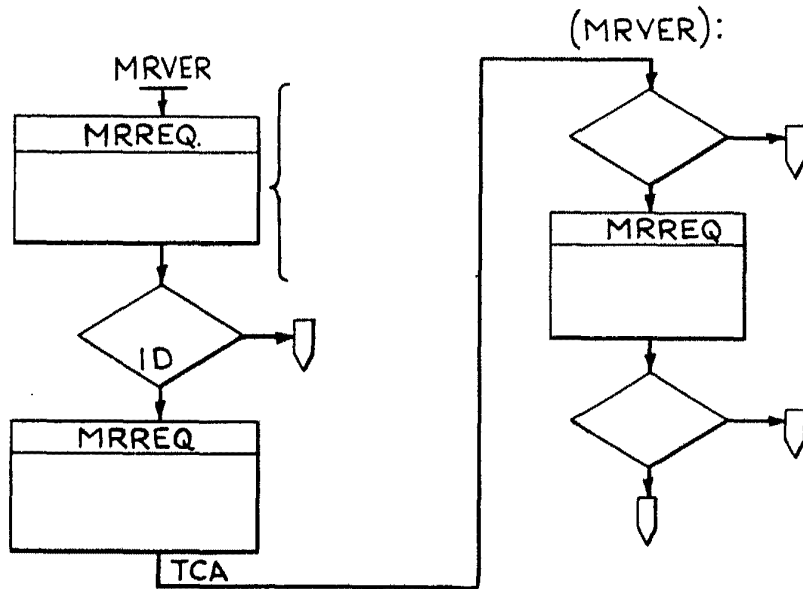


Fig. 5.

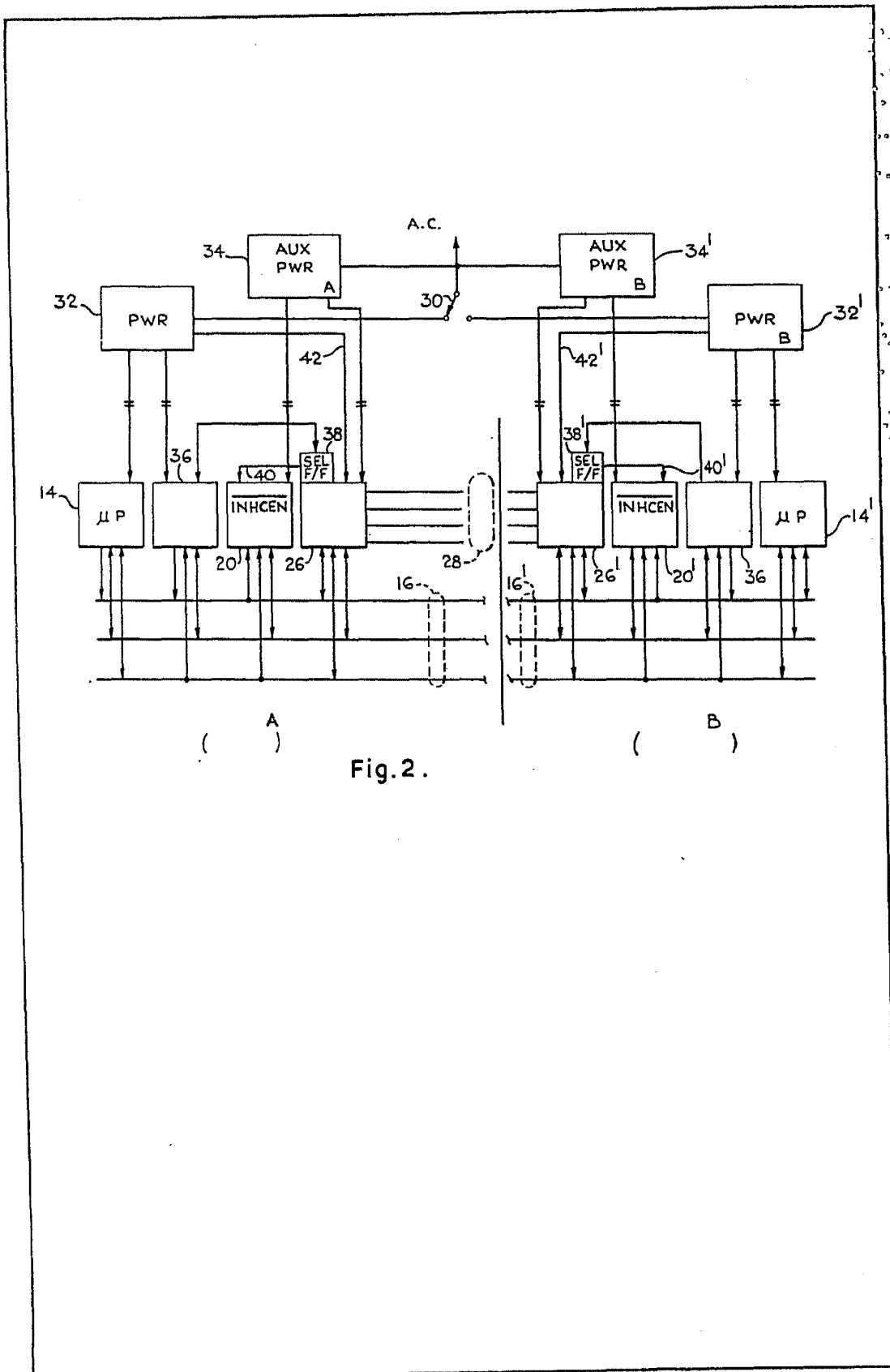


Fig. 2.

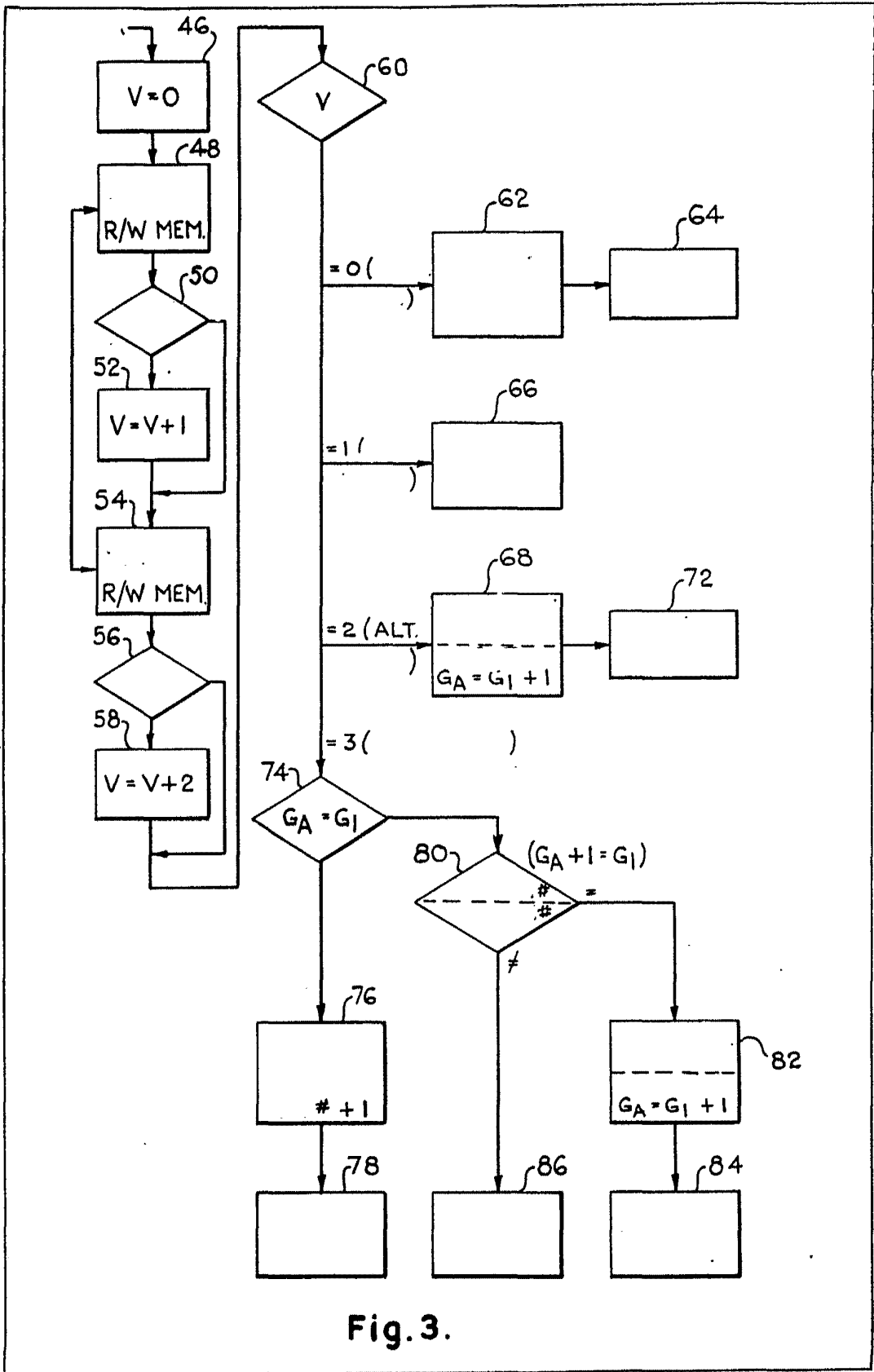


Fig. 3.

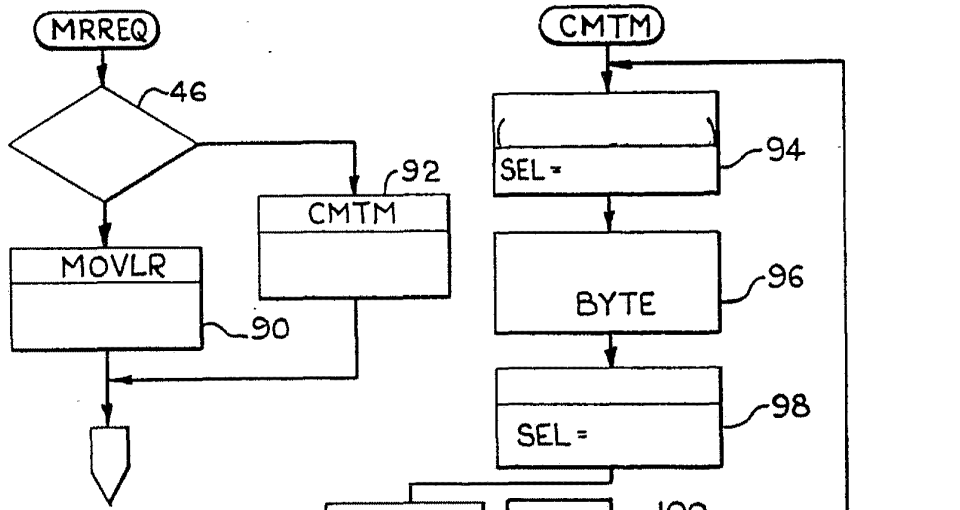


Fig. 6.

Fig. 7.

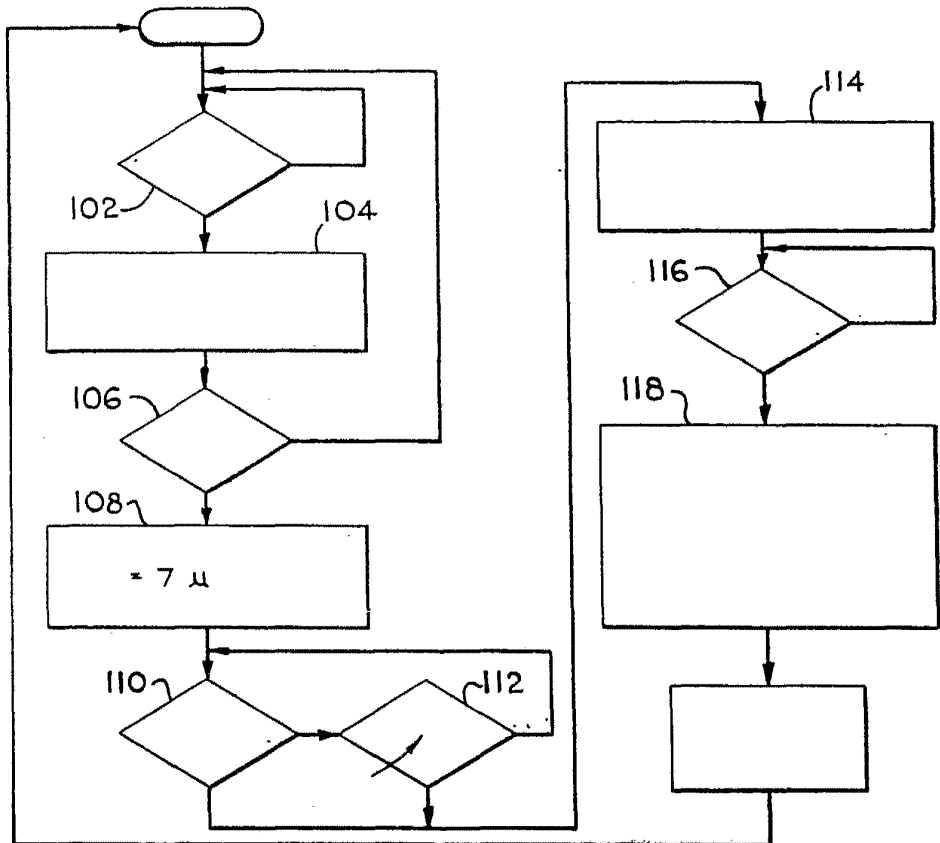


Fig. 8.

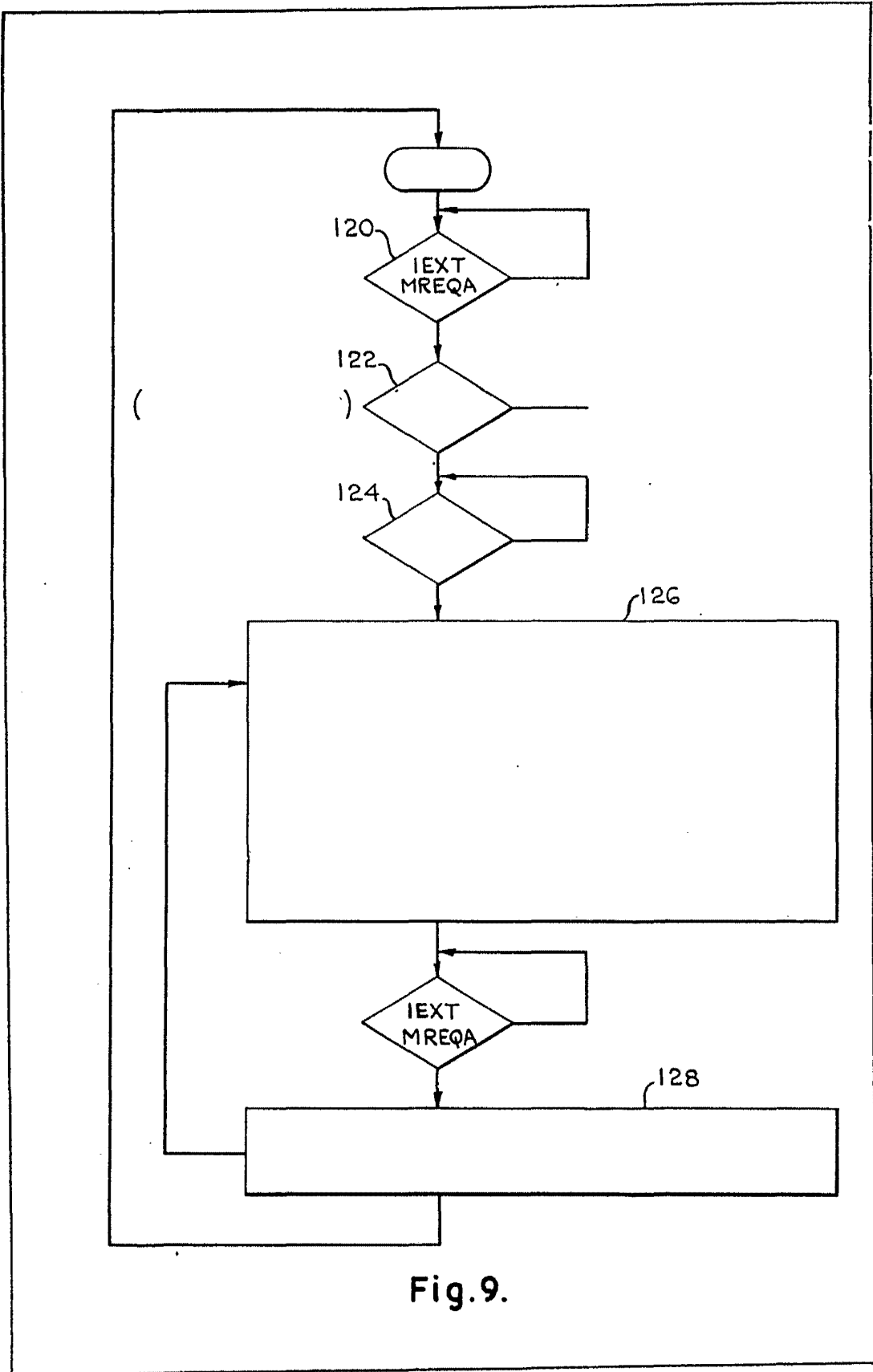


Fig. 9.