

MNL



Concedido el Registro de acuerdo
con los datos que figuran en la pre-
sente descripción y según el con-
tenido de la Memoria adjunta.

PATENTE DE INVENCION

18	ES	11	NUMERO	19	A. 1
		21	458.209		
		22	FECHA DE PRESENTACION		
			22 Marzo 1.978		

30	PRIORIDADES:	32	FECHA	33	PAIS
	31	NUMERO			
		780.612	23 Marzo de 1.977		ESTADOS UNIDOS

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H 02 M		

64	TITULO DE LA INVENCIÓN
	UN APARATO PARA LA GENERACION DE CORRIENTE ALTERNA.

71	SOLICITANTE (S)
	WESTINGHOUSE ELECTRIC CORPORATION.

	DOMICILIO DEL SOLICITANTE
	Westinghouse Building, Gateway Center, Pittsburgh, Pennsylvania 15222 ESTADOS UNIDOS

72	INVENTOR (ES)
	Craig Joel Nordby, de nacionalidad estadounidense.

73	TITULAR (ES)

74	REPRESENTANTE
	D. BERNARDO UNGRIA GOIBURU

1

La invención se relaciona en general con sistemas inversores que generan ondas sinusoides mediante neutralización de armónicas, y en particular, con un sistema inversor que utiliza un transformador para generar una onda sinusoidal mediante la neutralización de armónicas y se propone eliminar el desplazamiento de corriente directa en el transformador, que podría tender a saturarlo.

5

10

La invención es aplicable a impulsos para motores de corriente alterna, de velocidad variable, del tipo que se controla en forma estática, para proveer un suministro controlado de corriente, de frecuencia variable, desde una fuente de corriente continua. Esta técnica, básicamente, radica en la conducción controlada en rectificadores de corriente, tales como los tiristores. Se reconstruye una forma de onda sinusoidal a partir de un número predeterminado de impulsos cuadrados de voltaje que tengan magnitudes seleccionadas. Esta técnica llamada "neutralización de armónica" se describe en la Patente de Estados Unidos Núm. 3,491,282 a favor de T.M. Heinrich y coinventores, titulada "Inversor Estático en el Cual Una Pluralidad de Ondas Cuadradas se Suman para Producir una Onda Sinusoidal de Salida".

15

20

25

30

La técnica consiste en generar, con inversores, una pluralidad de impulsos a las frecuencias fundamentales y de la misma amplitud, espaciados entre sí entre las etapas de los inversores, por el mismo ángulo eléctrico, Los impulsos son amplificados en los transformadores de las etapas respectivas que tienen relaciones de devanado que siguen la ley de los cosenos de un transformador al otro. Los devanados secundarios están conectados en serie, para sumar los impulsos dimensionados y se obtiene una forma de onda polifásica

1 de salida mediante la adición vectorial de los voltajes del
secundario de los transformadores. El ajuste del ángulo de
conducción, por ejemplo, de la anchura de las ondas cuadra-
5 das, dimensionadas, de salida que aparecen en los primarios
de los transformadores de dimensionamiento se utiliza para
el control de voltaje y se ha demostrado que, para la gama
práctica de control de voltaje con ese método, no se pierde
la calidad de la onda sinusoidal reconstruida.

10 Dado que los tiristores son conectados y desconec-
tados en forma cíclica, el funcionamiento normal del inver-
sor ocasiona un cambio periódico y simétrico del flujo en
el núcleo del transformador. En realidad, podrían ocurrir
discrepancias en la sincronización de los interruptores de
15 corriente, en las características de los componentes y de
los SCR del sistema inversor. El sistema inversor incluye
una pluralidad de inversores, cada uno acoplado con la sa-
lida de un transformador y las asimetrías aparecen en el pri-
mario como niveles de corriente continua. Esos niveles o des-
20 plazamientos de corriente continua en el transformador, oca-
sionarán que se sature después de varios ciclos y se perde-
rá el acoplamiento con la carga. El resultado será una so-
brecarga del inversor.

25 El objeto de la presente invención es proveer una
cancelación automática de cualquier desplazamiento de corrien-
te continua que aparezca en el transformador en la salida
de un inversor.

30 La cancelación automática del desplazamiento de co-
rriente continua en un transformador en la salida de un in-
versor, se obtiene al alterar el patrón de control de los
tiristores del inversor, para introducir una asimetría de

1 patrón controlado que compense la asimetría inherente que
ocasiona el desplazamiento indeseado de corriente continua.
De preferencia, la asimetría en el patrón de control se
5 logra al cambiar la sincronización de las señales de lógica
que establecen el patrón original de control.

Se detecta el desplazamiento indeseado de corriente
10 te continua del transformador y se retroalimenta una señal
de error al circuito de control de los tiristores en el in-
versor. Dado que el transformador está a una temperatura
alta, se mide en forma indirecta el flujo del transformador.
Para este efecto, se utiliza un reactor auxiliar, montado
en paralelo con el primario del transformador y un dispo-
sitivo Hall acoplado con el reactor genera una señal re-
presentativa del flujo.

15 La compensación automática del desplazamiento del
transformador se logra en cualquier etapa del inversor, al
variar un borde de la onda cuadrada de entrada del inversor
para con ello crear un desplazamiento opuesto en el trans-
formador.

20 Se utiliza un circuito corrector de desplazamien-
to, responsivo al flujo detectado en el transformador, pa-
ra alterar el control del inversor. El circuito corrector
de desplazamiento, en forma específica, incluye un circui-
to de muestreo y retención, para detectar cualquier asime-
25 tría en el flujo del transformador y para identificar la
polaridad de la asimetría, por correlación con las seña-
les de lógica que controlan los inversores. Un circuito de
corrección modifica la sincronización efectiva de una se-
30 ñal de lógica, en proporción con la asimetría detectada en

1 esa dirección, a fin de ocasionar la corrección de la asimetría indeseada. De manera más específica, se obtiene la acción correctiva al introducir, dentro del mismo ciclo, un componente de corriente continua en el transformador, el cual es de efecto opuesto, para evitar la saturación del transformador.

5 La invención, en su forma más amplia, comprende dispositivos conectados con un transformador de salida para derivar una señal representativa de la integral del voltaje desarrollado en el transformador; un primer dispositivo para controlar el funcionamiento de un primer interruptor; un segundo dispositivo para controlar el funcionamiento del segundo interruptor; los primero y segundo dispositivos, normalmente, funcionan en un patrón alternativo y simétrico un dispositivo que responde a la señal representativa para controlar a uno de los primero y segundo dispositivos para alterar el patrón sobre el tiempo, mediante lo cual se minimiza el desplazamiento de corriente continua en el núcleo del transformador.

15 20 La invención será explicada con mayor amplitud, a título de ejemplo, en la siguiente descripción de una realización preferida, para leerse junto con los dibujos acompañantes, en los cuales:

25 La Figura 1 es una representación esquemática de un inversor acoplado entre una fuente de CC y una carga de CA.

30 La Figura 2 muestra en forma típica, como función de tiempo, el voltaje de CA generado por el inversor de la Figura 1.

Las figuras 3A hasta 3D ilustran el funcionamiento

1 del inversor de la Figura 1 para el control del voltaje.

La figura 4 es el voltaje de CA generado durante el control de anchura de impulsos.

5 La Figura 5 es una representación esquemática de un sistema inversor mejorado, de acuerdo con la invención.

La Figura 6 es una representación esquemática del circuito de compensación de desplazamiento de la Figura 5. La figura 7 provee curvas y formas de onda de las señales generadas en el circuito compensador de desplazamiento de la Figura 6.

10 La Figura 8 muestra en forma más particular el circuito de compensación de desplazamiento de la Figura 6.

La Figura 9 muestra a la invención en el contexto de un sistema convertidor con neutralización de armónicas.

15 La Figura 10 muestra las curvas utilizadas para construir una onda fundamental sinusoidal de salida con el sistema de la Figura 9.

20 La Figura 11 es una tabla de las relaciones de transformadores de dimensionamiento utilizados en la ejecución de la Figura 9.

La Figura 12 es una representación vectorial del voltaje trifásico de salida del circuito de la Figura 9.

25 La Figura 13 muestra las ondas cuadradas que actúan en el contador en anillo y los desplazadores de fase de la Figura 9 para generar las ondas de salida de la Figura 10.

30 La Figura 14 ilustra los circuitos detallados del circuito de compensación de desplazamiento de la Figura 8 en la ejecución preferida de la invención.

La Figura 1 es una representación simplificada, es

1 quemática, de un circuito inversor que utiliza tiristores A,
B, C, D como conmutadores de corriente, conectados entre las
terminales de corriente continua de una fuente de corriente
continua que tiene polaridades de +E volts y de -E volts. La
5 carga l de corriente alterna es recorrida, en forma alterna
tiva por la corriente en cualquier dirección por medio de
pares de tiristores B,C y A,D, Figura 2, para con ello gene
rar corriente alterna.

10 El control de voltaje en la salida del inversor
se ilustra en forma esquemática en las Figuras 3A hasta 3D y
4.

15 Al controlar el tiempo de conducción de los tiris-
tores A,D de acuerdo con el esquema de las Figuras 3A hasta
3D, se obtienen tiempos controlados de conducción (A,D) y
(B,C) que representan el paso de corriente a través de la
carga en una dirección y la otra, como se ilustra en la Fi-
gura 4. La forma general de onda representa el voltaje a tra
vés de la carga. En la Figura 3A se ilustra el medio ciclo
positivo (A,D). En la Figura 3B se ilustra cero voltaje de-
20 bido a que los tiristores C,D están conduciendo, para apli-
car el mismo voltaje en ambos extremos de la carga. La Fi-
gura 3C muestra el medio ciclo negativo (B,C). La Figura
3D es la conducción de cero voltaje debida al disparo concu
rrente de los tiristores A,B. Esto se suele conocer como
25 control de voltaje por ajuste de la anchura de impulsos.

30 Con referencia a la Figura 5, se ilustra en forma
esquemática la ejecución de la invención como parte de un
circuito inversor tal como el de la Figura 1, acoplado a
través de un transformador TM con una carga l, controlado
para funcionamiento de frecuencia variable a la vez que tie

1 ne regulación de voltaje.

5 Los tiristores A,B,C, D son disparados en forma se-
lectiva, cíclica y secuencial por un circuito 2 de excita-
ción de compuerta de acuerdo con la lógica de un distribu-
dor 3 que tiene una frecuencia de ciclo definida por un os-
cilador 4. La frecuencia del oscilador se ajusta a diversas
graduaciones por una referencia de frecuencia sobre la línea
5. Si es necesario, se aplica una señal de retroalimenta-
ción de frecuencia, derivada de la carga 1, sobre la línea
10 6 al oscilador para su regulación.

15 Un circuito 7 de control de tiempo de conducción
está conectado con el circuito 2 de excitación de compuer-
ta a fin de establecer una anchura deseada de impulsos en
la onda de salida, como se ilustra en la Figura 4, para con
ello controlar el voltaje a través de la carga,

20 Un regulador 30 de voltajes está conectado en cua-
dro cerrado para control de voltaje e incluye un transduc-
tor 31 de voltaje por hertz responsivo a una señal de vol-
taje de retroalimentación derivada de la carga en la línea
17. El regulador 30 de voltaje genera una señal de control
de voltaje aplicada sobre la línea 8 al circuito 7 de con-
trol de tiempo de conducción.

25 A fin de corregir cualquier desplazamiento en el
transformador TM que podría ocasionar la saturación del
transformador y una sobrecarga en el inversor, entonces, de
acuerdo con la presente invención, hay un reactor auxiliar
38 montado a través del primario del transformador TM. El
devanado 42 del reactor está conectado por los conductores
30 40, 41 a los terminales de salida del inversor y con las
líneas 14,15 de salida de corriente alterna. El núcleo del

1 reactor tiene un entrehierro en el cual está montado un dis-
positivo Hall como se ilustra. En la línea 43 de salida del
dispositivo Hall se deriva una señal que representa, como
se sabe, la integral del voltaje aplicado al devanado 42,
5 por ejemplo al flujo en el transformador TM. Un circuito
50 de compensación de desplazamiento descrito en forma más
particular más adelante con referencia a las Figuras 6, 8
y 14 es controlado por la señal en la línea 43. La salida
del circuito 50 se aplica al circuito 7 de control de tiem-
10 po de conducción, el cual establece un tiempo de conducción
para los tiristores A,B,C,D a fin de crear una asimetría en
el patrón de conducción de los cuatro tiristores. La asime-
tría es de un grado tal que compensa el desplazamiento de
CD que se produce en el transformador TM. como resultado,
15 el transformador funciona en condiciones de flujo simétrico.
Para este efecto, una de las señales de lógica que controla
el ángulo de conducción en el circuito 7, es derivada sobre
la línea 12 y alimentada al circuito 50 de compensación de
desplazamiento en el cual, a su vez, se deriva una señal ló-
20 gica modificada sobre la línea 12', la cual se utiliza en la
práctica para controlar al circuito 7 de control de tiempo
de conducción. Este ángulo modificado de conducción ocasiona
una asimetría en los ciclos de disparo de los tiristores
inversores, por medio de la línea 9 hacia el circuito 2 de
25 excitación de compuerta.

La Figura 6 es un diagrama de bloque que muestra
la organización interna del circuito 50 de compensación de
desplazamiento de la Figura 5. El circuito está conectado
entre un desplazador de fase PS_1 y el primario del transfor-
30 mador TM, el cual está en la salida de un sistema inversor

1 tal como el descrito en la citada Patente a favor de Heinrich
y coinventores. El sistema inversor se describirá más ade-
lante en relación con la Figura 9.

5 El desplazador PS_1 de fase aplica normalmente al
inversor, por medio de las líneas 12 y 13, una señal de
lógica directa PO_1 y desplazada PO_2 (Figura 7). Los bordes
de las señales PO_1 y PO_2 establecen los ángulos de conduc-
ción de los tiristores A,B,C,D y ocasionan que el inversor
10 derive, en las terminales de corriente continua una onda
 V_{12} de salida de corriente alterna y la alimente al prima-
rio del transformador TM, la cual tiene la forma general
indicada por la curva (c) de la Figura 7. Como resultado
en el núcleo del transformador TM el flujo ϕ (V_1) sigue
la curva (d) de la Figura 7.

15 El circuito 50 de compensación de desplazamiento
de la Figura 5, como se ilustra en la Figura 6, incluye un
circuito 35 de muestreo y retención, un circuito comparador
o sumador 36 y un modulador 37 de bordes de impulsos. El
circuito 35 de muestreo y retención recibe, como señal de
20 entrada, la señal derivada sobre la línea 43 desde el dis-
positivo Hall en el reactor 38. Esta señal de entrada es ϕ
(V_1) representada por la curva d en la Figura 7. El circui-
to de muestreo y retención incluye dos circuitos de lógica,
que se describen más adelante con referencia a las Figuras
25 8 y 14, que son responsivos a las señales de lógica PO_1 di-
recta y PO_2 desplazada desde las líneas de salida 12, 13
del desplazador PS_1 de fase, sobre las líneas 26,27. Estos
circuitos de lógica desempeñan las funciones de lógica res-
pectivas ($PO_1 \cdot PO_2$) y ($\overline{PO_1} \cdot \overline{PO_2}$) representadas por las
30 curvas (e) y (f) en la Figura 7.

1 Las señales correspondientes representan señales
de control de muestreo para la señal de entrada de la curva
(d), una para la polaridad positiva y otra para la polaridad
negativa. Como resultado, en las salidas 29, 29', el circuito
5 de muestreo y retención provee valores V_p muestreados y V_N
retenidos del flujo para ambas polaridades. Como se acaba
de explicar, el circuito 35 de muestreo y retención respon-
de a las señales PO_1 y PO_2 que controlan el inversor y esta-
blece un intervalo de tiempo de funcionamiento para muestreo
10 el cual es definido por $(PO_1 \cdot PO_2)$ para una polaridad y por
 $(\overline{PO_1} \cdot \overline{PO_2})$ para la polaridad opuesta, como lo indican las
curvas (e) y (f) de la Figura 7.

15 Por tanto, cada período de muestreo ocurre a un
régimen repetitivo el cual es el período del funcionamiento
del inversor. Para cada período de muestreo de una polari-
dad, el circuito 35 de muestreo y retención retiene el va-
lor detectado hasta el período subsecuente de muestreo pa-
ra la misma polaridad. Parece que el circuito de muestreo
y retención de acuerdo con la presente invención es diferen-
20 te, básicamente de un circuito de filtro el cual, para la
detección requeriría una reducida anchura de banda, a fin
de filtrar el componente de corriente alterna del flujo y,
por tanto, sería incapaz de permitir la compensación o co-
rrección inmediatas de cualquier desequilibrio inherente
25 en su entrada. Esto no evitaría la saturación del transfor-
mador al ocurrir varios ciclos.

30 Normalmente, el flujo ϕ (V_1) y la onda V_{12} de sali-
da son de forma simétrica y, para cada polaridad, retienen
la misma magnitud durante los ciclos así como entre polari-
dades. Si ocurre un desplazamiento en el transformador, el

1 flujo se afecta, por ejemplo, como lo indica la línea dis-
continua en el lado positivo de la curva (d) de la Figura 7.
Como resultado, V_P en la línea 29 del circuito 35 exhibe
una mayor amplitud, como lo indica la curva (h). Después de
5 la suma en el sumador 36, se derivan dos señales sobre las
líneas 20 y 21 y sólo una cada vez es efectiva como señal
correctora de error aplicada al modulador 37 de bordes de
impulsos.

10 Con referencia a la Figura 7 y suponiendo que el
desplazamiento esté en $\emptyset (V_1)$ como lo indica la línea dis-
continua, entonces de acuerdo con la presente invención, el
borde de salida de la señal PO_2 es demorado por una canti-
dad proporcional indicada con la línea discontinua en la
curva (b), lo cual ocasiona que V_{12} sufra cierta deforma-
15 ción. Como se ve, la deformación compensadora de la curva
 V_{12} genera un desplazamiento, por ejemplo, un componente di-
recto, en el flujo del núcleo del transformador que sigue
de inmediato al desplazamiento inicial o inherente durante
el mismo ciclo y el cual es de polaridad opuesta.

20 A fin de entender la acción correctiva, el despla-
zamiento mostrado con línea discontinua en la curva $\emptyset (V_1)$
(cresta positiva de la curva (d) de la Figura 7) se puede
ver que es equivalente a un borde demorado de salida de la
parte positiva de V_{12} (por ejemplo, un borde demorado de
25 PO_2) así como un borde delantero demorado de la parte nega-
tiva de V_{12} (por ejemplo, un borde de salida demorado de
 PO_1) durante el mismo medio ciclo que corresponde a la par-
te indicada con línea discontinua en la curva $\emptyset (V_1)$. La
compensación de ese desplazamiento se obtiene en varias for-
30 mas.

1 El borde delantero demorado de PO_2 (lado positivo
de V_{12}) se puede compensar con un borde trasero o de salida
demorado de PO_2 ; por tanto, en la siguiente cresta (lado ne-
gativo de V_{12}) o el borde delantero de PO_1 (lado negativo de
5 V_{12}) se pueden avanzar para compensar el borde trasero demo-
rado de PO_1 (de la cresta positiva precedente de V_{12}). Tam-
bien es posible trabajar con PO_1 y PO_2 en una cantidad com-
partida para compensar en forma total el desplazamiento ini-
cial indicado con línea discontinua en la curva $\emptyset (V_1)$. Si
10 el desplazamiento fuera hacia el lado negativo, la correc-
ción posible sería en direcciones opuestas a las que se aca-
ban de indicar para PO_1 y/o PO_2 en relación con el lado po-
sitivo. En cualquier caso, la corrección ocurre para el mis-
mo medio ciclo que sigue el desequilibrio, con lo cual afec-
15 ta el declive subsecuente de la curva (d) de flujo y acciona
en, cuando menos, una de las dos señales PO_1 , PO_2 de con-
trol de tiristores.

Como las señales PO_1 y PO_2 son señales lógicas, se
20 verá que el desplazamiento del borde equivale a prolongar
o acortar uno de los dos posibles estados, UNO o CERO, du-
rante un tiempo proporcional a la cantidad del desplaza-
miento inicial. Esto lo efectúa el circuito 37 que contie-
ne la base necesaria de tiempo para demorar el estado de
25 UNO o el estado de CERO de la señal de control la cual, pa-
ra ilustración, se indica como PO_2 en las Figuras 6 y 8. En
beneficio de la sencillez, la invención se describirá a con-
tinuación en este solo contexto.

30 Con referencia de nuevo a la Figura 6, en las lí-
neas 20 y 21 se generan las señales CP y CN. Cuando la señal
CP exhibe un error, la corrección afectará el borde trasero

1 de PO_2 . Si CN exhibe un error, la corrección afectará el
borde delantero de PO_2 . En el primer caso, la corrección
compensaría un desequilibrio positivo en la curva de flujo,
5 mientras que en el segundo caso se compensa el desplazamien
to negativo.

En la Figura 8 se ilustran en forma más particular
los circuitos 35, 36, 37.

10 El dispositivo Hall recibe corriente desde una
fuente 100 de corriente por la línea 101. Un amplificador
102 responsivo a la salida del dispositivo Hall en la línea
43 genera una señal V_1 de suficiente amplitud en la línea
43', lo cual se aplica al circuito 35 de muestreo y reten-
ción. El circuito 35 incluye, a su vez, dos circuitos 103,
104, de muestreo y retención, uno para cada polaridad. El
15 circuito 103 positivo para muestreo y retención, cuando
recibe por compuerta la señal PO_1 en la línea 26 y PO_2 en
la línea 27, convierte a la señal V_1 en una señal V_P posi-
tiva en la línea 29. En la misma forma, el circuito 104 ne-
gativo para muestreo y retención, al recibir por compuerta
20 las señales PO_1 y PO_2 genera en la salida, en la línea 29',
una señal V_N negativa. Estas dos señales V_P , V_N se suman
en forma algebraica en el amplificador 105 de suma para pro-
veer la señal V_2 . La curva (h) de la Figura 7 representa
las salidas V_P y V_N , mientras que la curva (g) provee la
25 salida V_2 del sumador. El sumador 36 también incluye los
amplificadores operacionales 124, 125 que responden a la
señal V_2 sobre las líneas 120, 121.

2 Si se genera una señal de error, aparece en la
30 salida en las líneas 20 ó 21 en concurrencia de tiempo con
la polaridad de PO_2 . Dado que la curva (d) muestra un despla

1 zamiento para el lado positivo, el error aparecerá como
5 C_P en la línea 20 y no será detectado como C_N en la lí-
nea 21. Las señales de referencia en las líneas 122,123
son polarizadas al 10 % , de modo que no se genere señal
de error en la salida si V_2 es menor de 10 % de su valor
máximo.

10 Los amplificadores operacionales 124,125
dentro del sumador 36 son responsivos a V_2 . V_2 es sumi-
nistrada por la línea 120 a la entrada negativa del am-
plificador operacional 124 y es suministrada por la lí-
nea 121 a la entrada positiva del amplificador operacional
125. La segunda entrada de cada amplificador operacional
15 recibe en 122,123 una señal de referencia de polaridad
opuesta, que representa un umbral de 10 % del voltaje má-
ximo de V_2 . Por tanto, una V_2 de error que exista en las
líneas 120 ó 121, cuando el modulador de borde de impulsos
recibe PO_2 sobre la línea 12, ocasionará que PO_2 sobre la
línea 12, tome, en la línea 20 ó 21 el estado opuesto al
20 que recibiría PO_2 sobre la línea 12.

25 Como resultado, si PO_2 se va a estado de cero,
aparecerá como uno en la línea 21 y demorará el borde tra-
sero de PO_2 visto desde el transformador. Si en el momen-
to en que PO_2 está transfiriendo al estado de UNO hay una
 V_2 de error en la línea 120, el estado de PO_2 seguiría apa-
reciendo como estado de CERO sobre la línea 121 durante to-
do el tiempo en que lo requiera el error en la línea 121.
Por tanto, el borde delantero de PO_2 habrá sido demorado
todo eso al verlo desde el inversor.

30 La naturaleza y funcionamiento de los circuitos
35,36,37 se describirán con mayor amplitud con referen-

1 cia a la Figura 14.

5 La Figura 9 es un diagrama esquemático de bloque de un convertidor de corriente continua a corriente alterna del tipo descrito en la Patente de Estados Unidos No: 3,491,282 anteriormente mencionada a favor de T.M. Heinrich y coinventores, que incluye control de voltaje de acuerdo con la presente invención.

10 El convertidor de continua a alterna típico de la Figura 9, utiliza seis etapas M hasta R de inversor para la neutralización de armónicas. Cada inversor recibe en la línea 11 voltaje de corriente continua derivado de un circuito 60 rectificador que convierte la corriente alterna de 60 hertz en corriente continua. Los inversores son controlados en forma secuencial y cíclica por las señales de salida, sobre las líneas 12, 13 de los desplazadores de fase PS₁, PS₂, PS₃, PS₄, PS₅, PS₆, que también son controlados en forma 15 secuencial y cíclica por un contador 3 en anillo que da salida a salidas en multiplex para control de disparo sobre las líneas 10. El contador 3 en anillo sirve como distribuidor para los desplazadores de fase PS₁ hasta PS₆ y, en forma indirecta, para los inversores M hasta R. La frecuencia del contador en anillo la determina un oscilador controlado por voltaje (VCO) 4, que aplica una señal de control de frecuencia sobre la línea 41.

20 De acuerdo con la descripción de la multicitada Patente a favor de Heinrich y coinventores, los inversores M hasta R generan en sus salidas 14,15 impulsos cuadrados idénticos, que son desplazados por un ángulo de fase que es el mismo entre cada etapa. La Patente de Estados Unidos Núm. 25 3,491,282 a favor de T.M. Heinrich y coinventores queda in-

30

1 corporada por referencia a la presente como Patente de refe
rencia. Como se describe en la Patente de referencia, las
ondas cuadradas generadas entre las líneas 14,15 son ampli
5 ficadas por los transformadores TM hasta TR. Las relaciones
de dimensionamiento de los transformadores siguen la ley
de los cosenos de una etapa a la siguiente y los secunda-
rios de los transformadores están combinados en serie con
el fin de sumar las ondas cuadradas dimensionadas y formar
una onda sinusoides como la indicada en (f) en la Figura 7,
10 para la fase A y la línea L_A de salida.

El voltaje de salida en las líneas L_A , L_B , L_C , de
pende de la anchura de los impulsos cuadrados individuales,
los cuales, como se ilustra en la Figura 7 para la fase A,
construyen la onda sinusoides fundamental. El control de vol
15 taje se ha descrito en la Patente de referencia y en el tra
bajo titulado "Inversor Estático con Neutralización de Armó
nicas" por A. Kernick, J.L. Roof y T.M. Heinrich, presenta-
do en la Conferencia de Transporte Aeroespacial de la
AIEE en Philadelphia, del 26 al 30 de Junio de 1.961.

20 Aunque en la Patente de referencia se describe el
control de voltaje ya sea por modulación de anchura de im-
pulsos o por modulación de desplazamiento de fase, en la
Figura 9 se ilustra una ejecución de la invención con modu
lación por desplazamiento de fase. El transformador VT de
25 voltaje provee, entre los secundarios W_1'' , W_2'' , W_3'' y
las líneas R_1 , R_2 , R_3 , señales de retroalimentación de vol
taje que se aplican a un regulador 30 de voltaje a fin de
ajustar el voltaje de salida en las líneas L_A , L_B , L_C , en re
lación con un voltaje V_R de referencia que también se apli-
ca al regulador 30 de voltaje.
30

1 El contador 3 en anillo determina la secuencia de
disparo de los tiristores conectados en la forma convencio
nal en el circuito de CC como parte de los inversores M has
ta R. El patrón de conducción determina las formas de onda
5 de salida. La señal de entrada en la línea 41 es un tren de
impulsos desde el VCO 4, como lo indica la curva (β) en la
Figura 10. Las señales de salida en multiplex en las líneas
10 consisten en 6 ondas cuadradas simétricas, a $1/6$ de la
frecuencia de los impulsos de entrada, escalonadas en fase
entre sí por un ángulo Π fijo de fase. Los desplazadores
de fase PS_1 hasta PS_6 emplean el contador 3 en fase de tiem
po para controlar la duración de la aplicación del voltaje
a la carga en cada etapa de la corriente.

15 Con referencia a la Figura 14 el dispositivo Hall
38 provee una señal de entrada sobre la línea 43 al ampli
ficador operacional 1-OA la cual es representativa de la
curva ϕ (V_1) de la Figura 7. El amplificador 1-OA actúa co
mo amortiguador y provee una señal amplificada en la sali
da 43'; la ganancia, por ejemplo, es de 50. Como se ilustra
20 en forma esquemática en la Figura 8, la señal V_1 de la lí
nea 43' se aplica como entrada a los circuitos 103 positivo
y 104 negativo de muestreo y retención. En la Figura 14 se
ilustra que el circuito 103 positivo de muestreo y reten
ción incluye, en la línea 43' un transistor de efecto de cam
25 po (FET) 2TR, un capacitor 4C de carga conectado en la en
trada positiva de un amplificador operacional 2-OA también
de ganancia unitaria, conectado como seguidor de voltaje
para dar salida a la señal V_p sobre la línea 29 a un suma
dor constituido por el amplificador operacional 4-OA. La
30 función de muestreo se efectúa porque el circuito da paso

1 por compuerta al FET 2TR. Este último incluye un circuito
50 NAND responsivo a las señales PO_1 y PO_2 sobre las líneas
51,52. Por tanto, el circuito 50 efectúa la función de lógi-
ca ($PO_1 \cdot PO_2$) descrita antes con referencia a la curva (e)
5 de la Figura 7.

10 Cuando tanto PO_1 como PO_2 son un UNO, lo cual sig-
nifica que se está muestreando la cresta positiva de $\phi(V_1)$,
el transistor 1TR conduce para conmutar por la línea 54 el
voltaje del cátodo del diodo 50, de +13 a -13 volts y apli-
car por la línea 55 en la base de 2TR que lo hace conducir.
Cuando ocurre esto, V_1 en la línea 43' carga al capacitor 40
el cual retiene la carga almacenada y mantiene un voltaje
de entrada entre una cresta positiva de $\phi(V_1)$ y la siguien-
te. Si, como se ilustra con la línea discontinua, $\phi(V_1)$
15 muestra un componente de corriente continua, el voltaje V_p
en la línea 29 en la salida de 2-OA mostrará un aumento co-
mo lo indica la curva (h) de la Figura 7.

20 El circuito 104 negativo de muestreo y retención
es similar. Incluye una compuerta NAND 58 responsiva a PO_1
y PO_2 para desempeñar la función ($PO_1 \cdot PO_2$) con una inver-
sión subsecuente por la compuerta NAND 59 para generar una
señal representada por la curva (f) de la Figura 7. Un FET
3TR controlado por un transistor 4TR que aplica la polariza-
ción requerida, muestra a V_1 en la línea 43' para cada cresa
25 ta negativa de $\phi(V_1)$ y carga al capacitor 50 en la entrada
del amplificador operacional 3-OA para retener el valor de
 V_1 y generar en la línea 29' el voltaje V_N , indicado por la
curva (h) de la Figura 7. Por tanto, el voltaje V_N se apli-
ca también a la entrada negativa del amplificador operacio-
30 nal de suma 4-OA. El amplificador operacional 4-OA está se-

1 guido por un amplificador inversor 5-0A. Por tanto, en la sa-
lida de 4-0A en la línea 21, se deriva el voltaje CN de la
curva (j) de la Figura 7, mientras que en la salida de 5-0A
5 en la línea 20 se deriva la señal CP de la curva (i) de la
Figura 7. La señal CP en la línea 20 representa un error siem-
pre que, como se ilustra en la Figura 7, la cresta positiva
del flujo lleve un componente de corriente continua, como se
indica con la línea discontinua. A la inversa, CN en la línea
10 21 exhibiría un error siempre que el desplazamiento es en la
cresta negativa del flujo.

De acuerdo con la presente invención, siempre que
ocurre un error, por ejemplo como CP, se demora el borde tra-
sero de la señal PO_2 en la cantidad del error CP. En otras
palabras, se produce un desequilibrio que aparece como que
15 a inversor le ha dado entrada al transformador en el lado
opuesto del flujo y por el mismo período. Por tanto, V_{12} ex-
hibe una deformación de compensación que se combina con el
desplazamiento inherente para evitar la saturación del núcleo
del transformador durante el ciclo.

20 El circuito 37 modulador de bordes de impulsos pa-
ra alterar la sincronización del borde trasero de la señal
 PO_2 en la línea 12 en proporción con el error CP en la línea
20 se describirá ahora con referencia a la Figura 14. Se de-
be observar en este punto que, si aparece un error como CN
25 en vez de como CP entonces, en el lado negativo, el circuito
37 funciona sobre el borde delantero de PO_2 durante la si-
guiente cresta, por ejemplo, la cresta positiva, será demora-
da por la misma cantidad que el error, para ocasionar un de-
sequilibrio que compense el desplazamiento en el transformador.
30 Por esta razón, la señal en la línea 20 se llama corrección

1 del estado de UNO de PO_2 , mientras que la señal en la línea
21 produce la corrección del estado de CERO de PO_2 .

5 Al considerar la corrección del borde trasero por
la línea 20 en la salida de 5-0A, la señal CP se aplica a
un diodo 6D de polarización que actúa como limitador y esta
blece un umbral para que sea efectivo el error. Esta acción
limitadora es equivalente a la polarización de 10 % aplicada
a los amplificadores operacionales 124, 125 en la Figura 8.
10 Después de haber salvado el umbral, el error V_1 se aplica
a través de un transistor de efecto de campo (FET) 7TR a un cir
cuito de base de tiempo que incluye la resistencia 39R, el
diodo inversor 7D y el condensador 8C. El condensador 8C se
carga a través del FET 7TR en proporción al grado de despla
zamiento representado por el error en la línea 20. Se hace
15 que ocurra la descarga con una constante de tiempo debido
a la descarga a través del diodo 7D siempre que la señal
 $\overline{PO_2}$ en la línea 64 se convierta en UNO y ocasiona que con
duzcan el transistor 5TR y el FET 6TR. $\overline{PO_2}$ traduce un esta
do de cambio de PO_2 de UNO a CERO, con la conexión concu
20 rrente de 5TR y 6TR, la cual coincide con el borde trasero
de PO_2 en la línea 12.

25 El comparador LVC de voltaje mantiene en UNO su
salida en la línea 66 durante un intervalo de tiempo que
es proporcional a la constante de tiempo ya mencionada y al
voltaje inicial en el condensador 8C debido al desplazamien
to o error en la línea 20. Una compuerta NOR 68 responsiva
a la línea 66 y a la línea 12 ocasiona que la señal PO_2 mo
30 dificada aparezca en la línea 73. En la misma forma, si se
requiere corrección en el borde delantero, entonces para
un efecto negativo de cresta en $\emptyset (V_1)$ un error CN (que no

1 se ilustra) en la línea 21 cargará al condensador 9C por me-
dio de un FET 9TR para mantener el cero lógico de PO_2 en la
línea 65 por medio de los transistores 8TR y 10TR durante
5 una duración proporcional en la entrada del comparador 2VC
de voltaje.

Después, se aplicará un UNO sobre la línea 67 a la
compuerta NOR 69 después de que PO_2 , en la línea 12'' ha ex-
hibido el equivalente del borde delantero de PO_2 . Por tanto
se mantiene un cero en la línea 74 más allá del borde delan-
tero normal de PO_2 en una duración definida por la constante
10 de tiempo en la entrada de 2VC, es decir, la resistencia 46R
y el condensador 9C y el voltaje inicial en el condensador
9C debido al desplazamiento o error. Un flip-flop constituido
por compuertas NOR 70, 71 es establecido desde la línea 73
15 (corrección de borde trasero) y restablecido desde la línea
74 (corrección del borde delantero). Después de la inversión
en el inversor 72, la señal PO_2' , que representa la señal de
lógica corregida es derivada y aplicada como señal desplaza-
da al inversor asociado con el transformador TM.

20 El circuito de corrección de desplazamiento de acuerdo
do con la presente invención se puede usar en cada etapa de
inversor del sistema de la Figura 9.

En resumen, la Patente de Invención que se solici-
ta deberá recaer sobre las siguientes:

25 REIVINDICACIONES

1.- Un aparato para la generación de corriente al-
terna a partir de una fuente de corriente continua acoplada
a un transformador de salida a través de interruptores in-
versores, positivos y negativos, que pueden ser controlados
30 caracterizado porque comprende: medios conectados con el

1 transformador para derivar una señal representativa de la
integral del voltaje desarrollado en el transformador; unos
primeros medios para controlar el funcionamiento de, cuando
5 menos, un interruptor seleccionado; unos segundos medios
para controlar el funcionamiento de, cuando menos, un se-
gundo interruptor seleccionado; los primero y segundo cir-
cuitos normalmente funcionan en un patrón alternativo y
equilibrado entre dos polaridades opuestas y medios sincro-
nizados con dichos primeros y segundos medios de control
10 responsivos a dicha señal representativa para detectar cual-
quier desequilibrio en el flujo hacia un polo de polaridad
en dicho transformador, y para controlar uno de dichos pri-
mer y segundos medios de control para alterar dicho patrón
dentro de un ciclo del mismo con lo que se minimiza dicho
15 desequilibrio de flujo.

2.- El aparato de la reivindicación 1, en el que
dichos medios sincronizados incluyen medios de muestreo y
retención operativos en un modo de muestreo en concurren-
cia temporal con dichos primer y segundo medios de control,
20 y en un modo de retención durante el resto del medio ciclo
de dichos primer y segundo medios de control.

3.- El aparato de la reivindicación 2, caracteri-
zado porque el circuito responsivo a la señal representati-
va es un circuito de muestreo y retención que funciona, en
25 el modo de muestreo, en concurrencia de tiempo con cada
una de las polaridades y en un modo de retención durante
el resto del ciclo en el modo de muestreo.

4.- El aparato de la reivindicación 1, caracteriza-
do porque los circuitos conectados con el transformador in-
cluyen un reactor acoplado eléctricamente con el transforma-
30

1

dor y un circuito Hall montado para funcionamiento en el reactor para generar la señal representativa.

5

5.- El aparato de la reivindicación 1, caracterizado porque los primero y segundo circuitos para controlar incluyen primero y segundo trenes de impulsos cuadrados de lógica que tienen una diferencia de fase entre ellos que define el patrón; el circuito responsivo a la señal representativa está adaptado para cambiar un borde seleccionado de impulso en uno de los trenes de impulsos en relación con el polo de la polaridad opuesta inmediatamente después del desequilibrio del flujo hacia un polo de polaridad durante el mismo ciclo.

10

15

6.- El aparato de la reivindicación 5, caracterizado porque el circuito responsivo a la señal representativa responde a una base de tiempo que afecta al desequilibrio en el primer polo de polaridad para almacenar en forma temporal un estado lógico con una constante de tiempo en relación con la magnitud de la señal representativa; el aparato incluye compuertas responsivas al primer tren de impulsos y al estado de lógica almacenado, para generar un tren efectivo de impulsos que tiene uno de los bordes delantero y trasero de los impulsos modificados por el estado de lógica almacenado.

20

25

7.- El aparato de la reivindicación 6, caracterizado porque el circuito responsivo a la señal representativa responde a una segunda base de tiempo, para afectar con un desequilibrio hacia el polo opuesto de polaridad, para almacenar en forma temporal el estado opuesto de lógica, con una constante de tiempo en relación con la magnitud de la señal representativa, que corresponde al desequilibrio hacia el

30

1 polo opuesto de polaridad; el aparato incluye segundas com-
puertas responsivas al primer tren de impulsos y al estado
lógico opuesto almacenado de lógica para generar el tren
efectivo de impulsos con los segundos bordes delantero y
5 trasero modificados por el estado lógico opuesto almacenado.

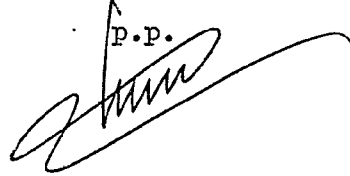
8.- Se reivindica por último como objeto sobre el
que ha de recaer la Patente de Invención que se solicita
por: UN APARATO PARA LA GENERACION DE CORRIENTE ALTERNA.

10 Todo conforme queda descrito y reivindicado en la
presente memoria descriptiva, que consta de venticinco pá-
ginas mecanografiadas, y dibujos adjuntos.

Madrid, 22 Marzo de 1.978

BERNARDO UNGRIA

P.P.



15

20

25

30

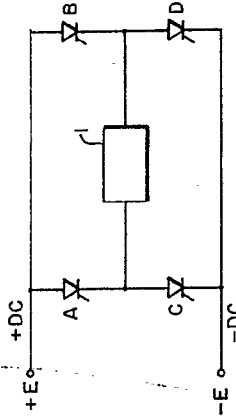


FIG. 1

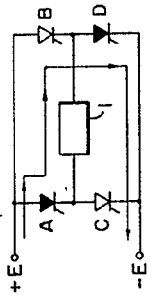


FIG. 3A

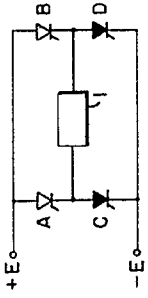


FIG. 3B

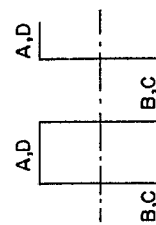


FIG. 2

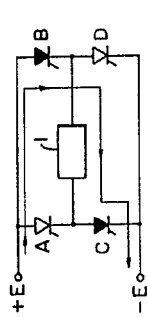


FIG. 3C

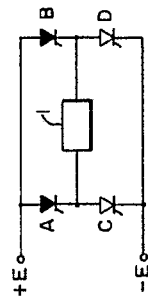


FIG. 3D

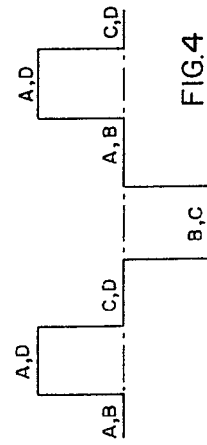


FIG. 4

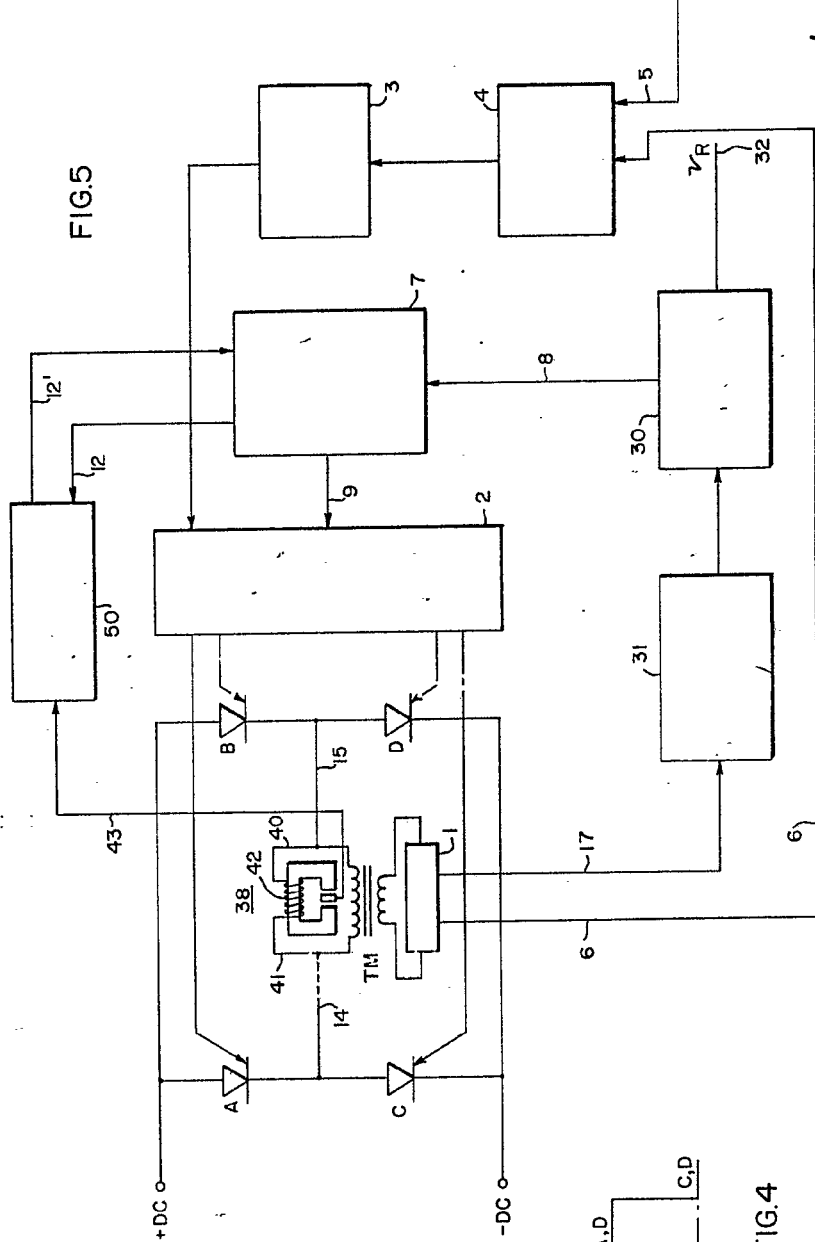


FIG. 5

ESCALA VARIABLE
 Madrid/ 22 Marzo 1.978
 BERNARDO UNGERLICH
 P. 23

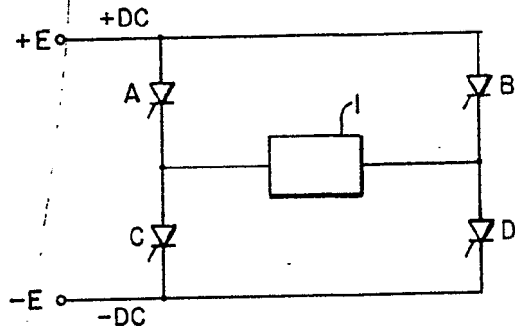


FIG. 1

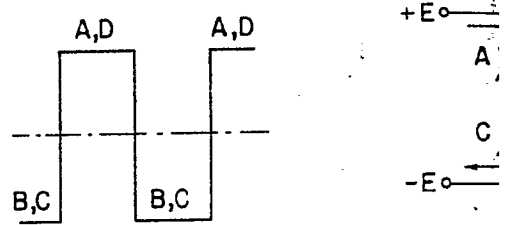


FIG. 2

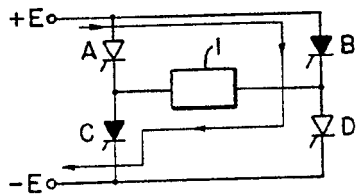


FIG. 3C

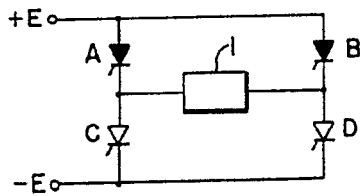


FIG. 3D

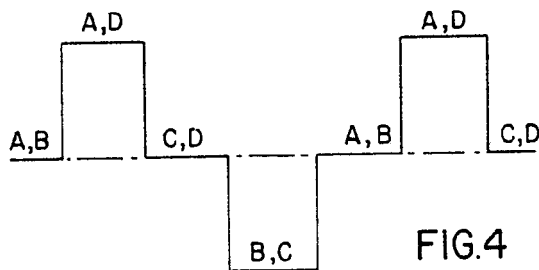
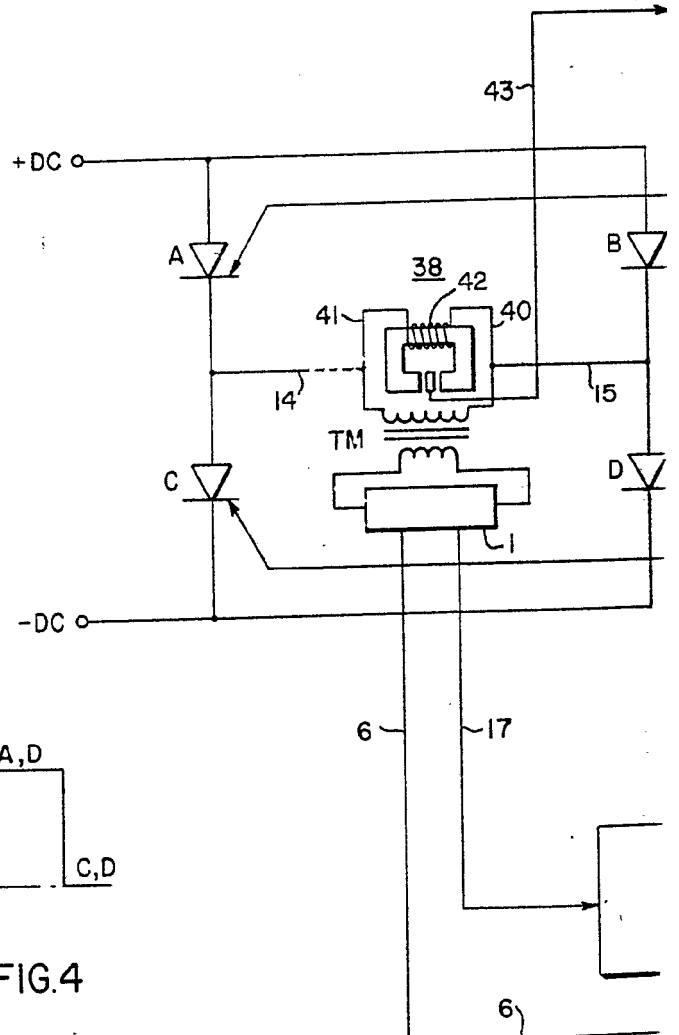


FIG. 4

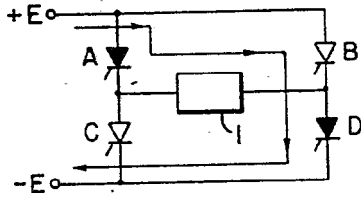


FIG.3A

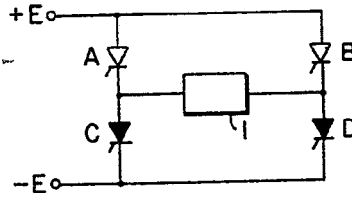


FIG.3B

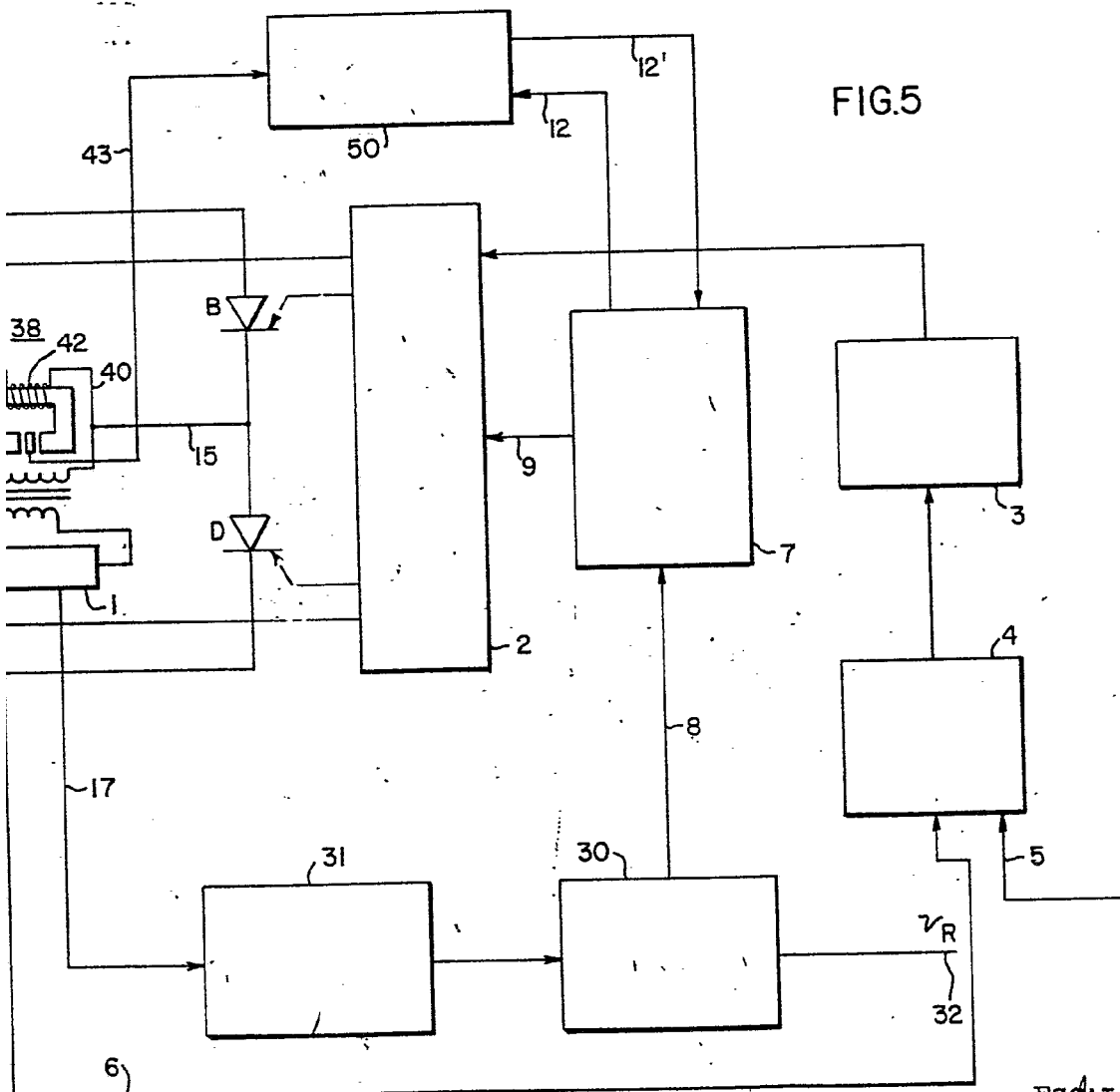


FIG.5

ESCALA VARIABLE
Madrid, 22 Marzo 1.978
BERNARDO UNGRIA

P.R.

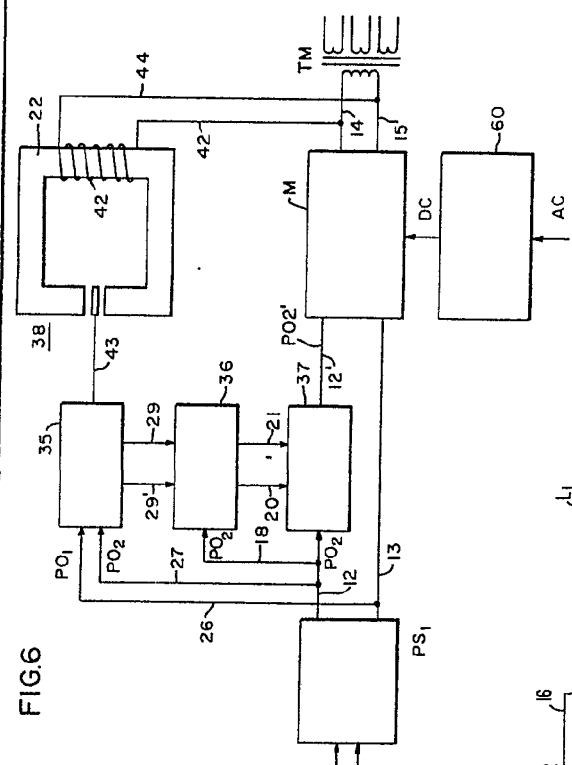


FIG. 6

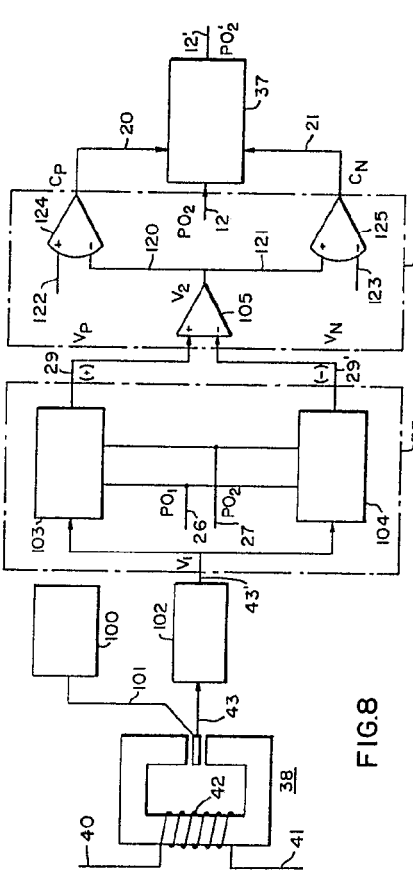


FIG. 8

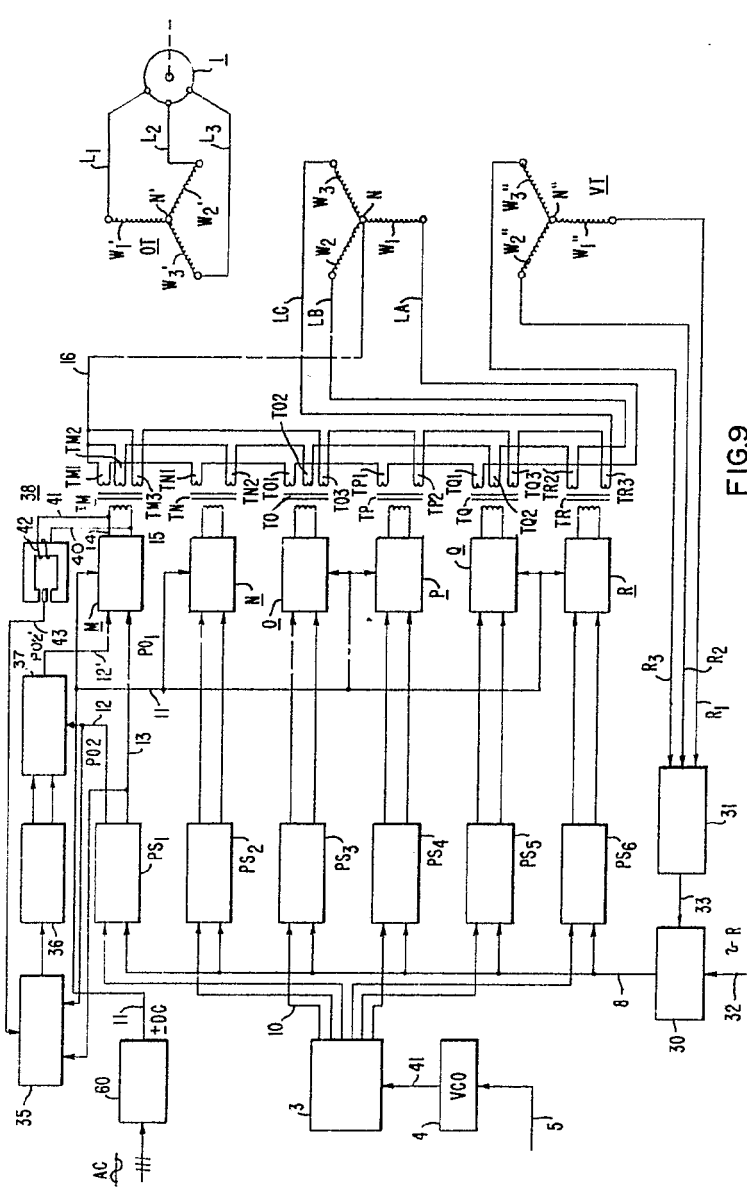


FIG. 9

SCALA VARIABLE
 Madrid, 22 de Marzo de 1958
 BERNARDO UTRI
[Signature]

FIG.6

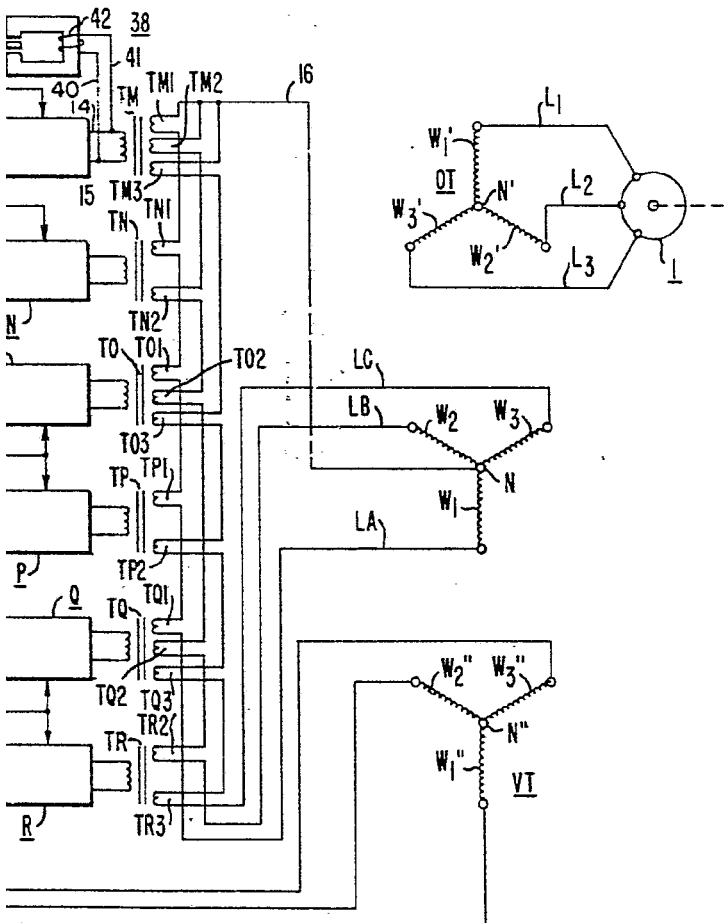
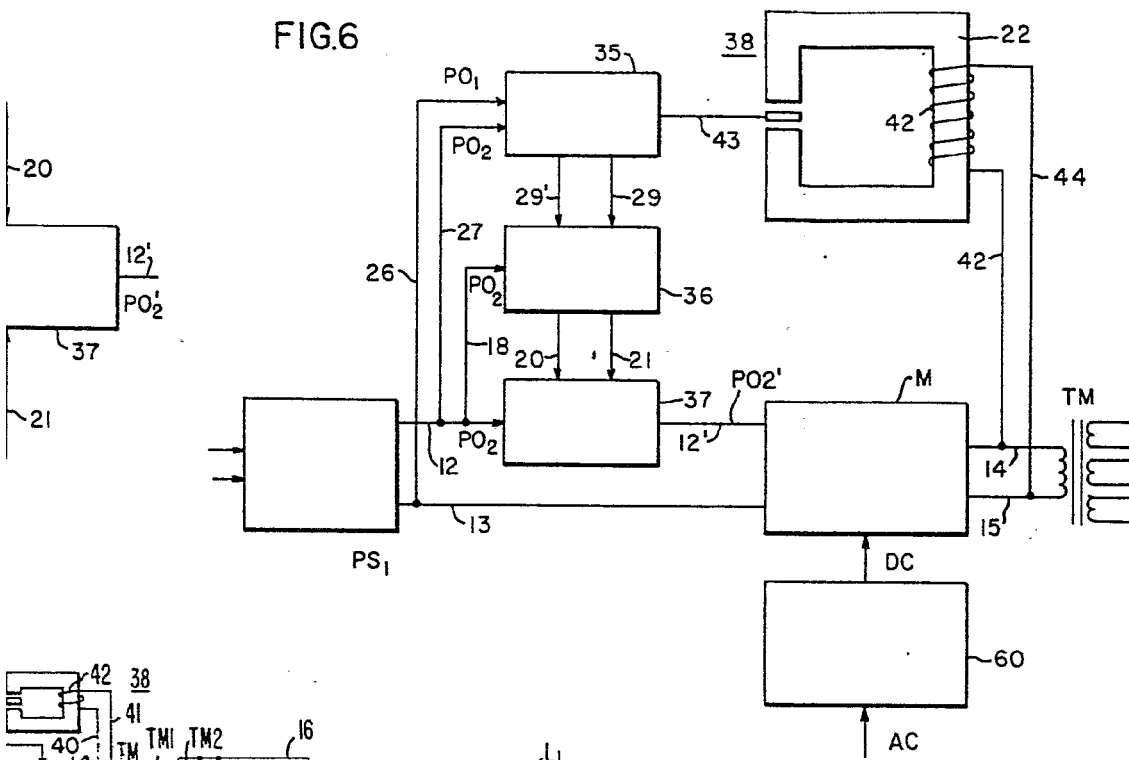


FIG.9

ESCALA VARIABLE
 Madrid, 22 de Marzo de 1.978
 BERNARDO UÑERIA

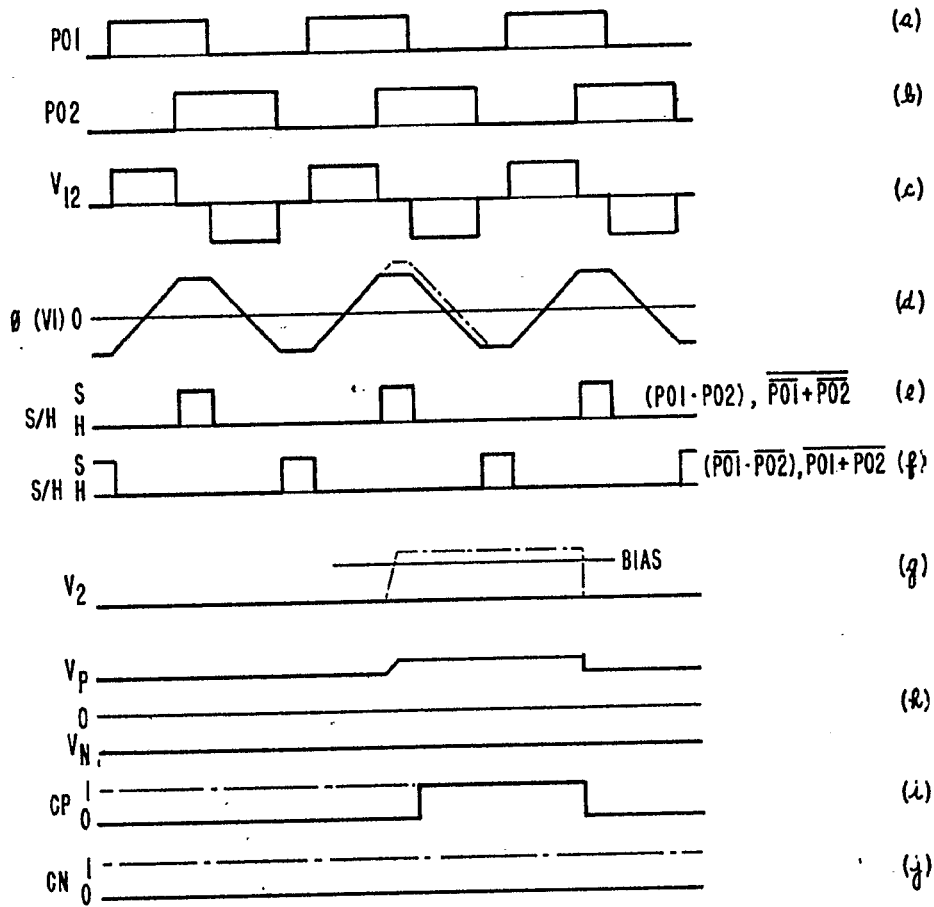


FIG.7

ESCALA VARIABLE
 Madrid, 22 de Marzo de 1.978
 BERNARDO UNGRIA

P.P.
[Handwritten Signature]

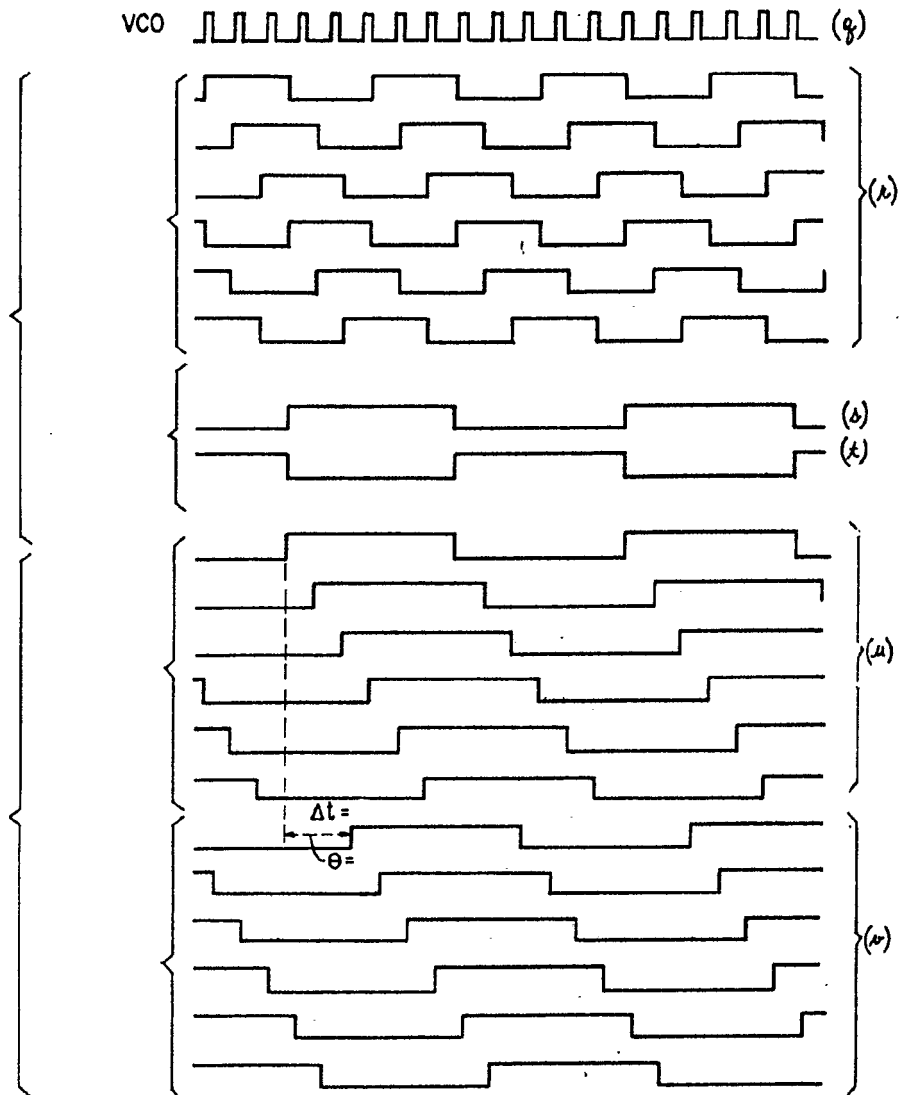
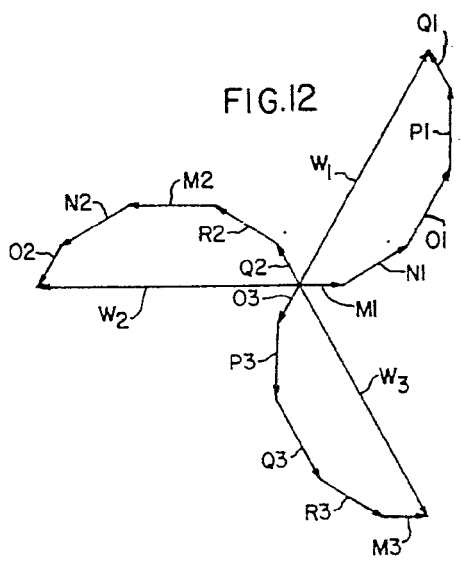
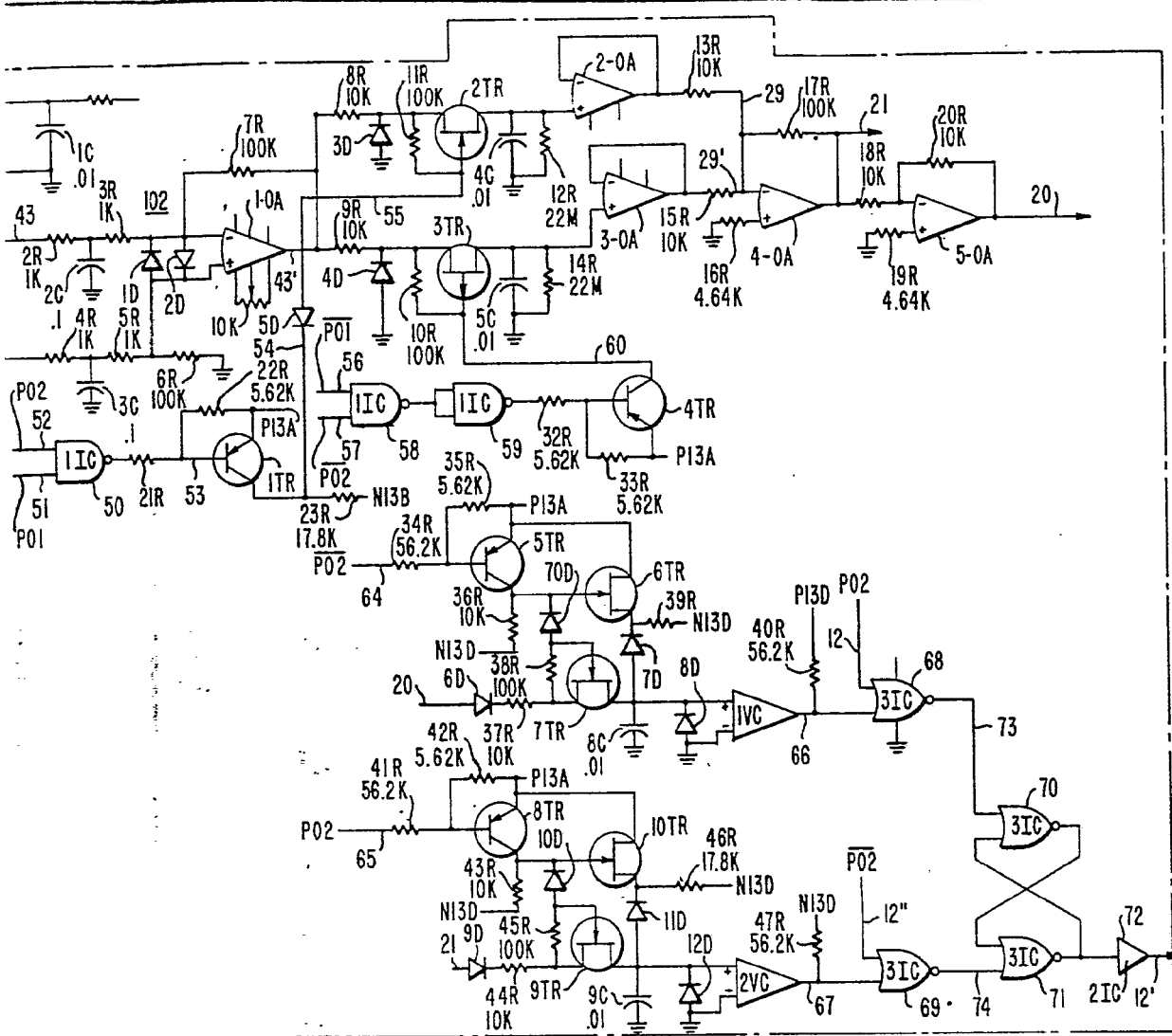


FIG.13

ESCAJA VARIABLE
Madrid, 22 de Marzo de 1.978
BERNARDO UNGRIA
D.P.



LSCALA VARIABLE
 Madrid, 22 de Marzo de 1.973
 BERNARDO UNGRIA

[Handwritten signature]