



(18) ES	(19) NUMERO	(19) A1
(21)	468.136	
(22)	FECHA DE PRESENTACION	
	22 MAR, 1978	

ca. 5010 1978

**PATENTE DE INVENCION**

Concedido el registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

(46) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
780.976	24.3.77	EE.UU. de A.
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(63) PATENTE DE LA QUE ES DIVISIONARIA
	H03K	
(54) TITULO DE LA INVENCION		
PERFECCIONAMIENTOS EN CIRCUITOS LOGICOS COMBINATORIOS		
(71) SOLICITANTE (S)		
WESTERN ELECTRIC COMPANY, INCORPORATED		
DOMICILIO DEL SOLICITANTE		
222 Broadway, New York, New York, 10038, EE.UU. de A.		
(72) INVENTOR (ES)		
ROBERT HAROLD KRAMBECK		
(73) TITULAR (ES)		
(74) REPRESENTANTE		
GOMEZ-ACEBO		

Este invento se refiere a un circuito para contar el número de unos binarios en una palabra digital de  $x$  bitios, donde  $x$  es el número de bitios en la palabra, cuyo circuito comprende una pluralidad de puertas para realizar funciones lógicas y aseverar el número de unos en la palabra.

La ejecución de un circuito lógico no complejo en la tecnología de los circuitos integrados resulta difícil porque el número de puertas necesarias para la ejecución aumenta de una forma exponencial con el número de bitio en una palabra que puede aceptar el circuito. Así, por ejemplo, en una operación de "contaje de unos", una palabra de cuatro bitios comprende seis combinaciones de posiciones posibles en las cuales pueden aparecer dos unos, cuatro posiciones con tres unos, cuatro posiciones con un solo uno, un modo de disponer de cero unos, y un modo de disponer de cuatro unos, por un total de dieciséis o veinticuatro combinaciones. Por lo tanto, un circuito contador para realizar esta operación exige dieciséis puertas. Para una palabra de ocho bitios existen veintiocho o doscientas cincuenta y seis posibles combinaciones y, por lo tanto, el circuito de contaje de unos exige doscientos cincuenta y seis puertas para realizar la función de contar los unos en la palabra de ocho bitios.

Es bien sabido que la elaboración de circuitos integrados es difícil y que el rendimiento de dicha elaboración determina el costo de los circuitos. Ciertamente, cualquier medio que permita la realización de cualquier función de circuito que se desee con menos elementos permitiría evidentemente que se ejecutara la función con mayores rendimientos y, por lo tanto, menores costos.

Estos problemas se resuelven según el presente invento en un circuito para contar el número de unos binarios en una palabra digital de  $x$  bitios caracterizada porque el circuito comprende circuitería para dividir la palabra en un primer y un segundo segmentos, un

primer contador para generar una primera salida digital indicativa del número de unos en el primer segmento, un segundor para generar una segunda salida digital indicativa del número de unos en el segundo segmento, y un adicionador para sumar la primera y la segundas salidas digitales.

En el dibujo:

La figura 1 es un diagrama esquemático de conjunto de un dispositivo de circuito para un circuito ilustrativo de contaje de unos según este invento, y

La figura 2 es un diagrama esquemático de circuito puerta lógico para una parte del circuito de procesador previo del dispositivo de la figura 1.

El presente invento se basa en la realización de que, por ejemplo, un circuito diseñado para responder a palabras de ocho bitios se puede hacer con un número de elementos relativamente bajos aceptando estas palabras como dos segmentos de cuatro bitios. El circuito lógico al que se alimenta cada segmento ha de tener solamente dieciseis puertas, exigiendo aproximadamente 30 transistores, en lugar de las 256 puertas que exigen 480 transistores.

Cada uno de los segmentos de palabra se alimentan a un circuito contador de un circuito procesador previo. En una modalidad, cada contador genera una palabra de tres bitios que caracteriza el número de unos binarios en el segmento de palabra de cuatro bitios correspondientes. Cada circuito contador puede funcionar para añadir un cero a cada palabra de tres bitios alimentado las palabras resultantes de cuatro bitios a un circuito adicionador incluido convenientemente dentro de una unidad lógica aritmética (ALU) idéntica a una en la que se alimentaran cada una de las palabras originales de ocho bitios en un sistema normal de la tecnología anterior.

El circuito procesador previo para cada segmento de

palabra puede exigir aproximadamente 30 transistores en un circuito ilustrativo de contaje de unos. Esto da lugar a un total de 60 transistores, lo que supone un ahorro de 196 transistores. El resultado es una evidente simplificación en la complejidad del circuito.

5 En circuitos que se utilicen con entradas que tengan más de ocho bitios, el circuito procesador previo se puede adaptar para recibir mas de dos segmentos de palabras. Aún se pueden emplear partes del propio ALU en el funcionamiento del procesador previo.

10 La figura 1 ilustra un diagrama de conjuntos de un circuito contador de unos ilustrativos 10 según una modalidad de este invento, El circuito comprende un circuito procesador previa 11 y un adionador 12, definidos en un bloquecito de circuito integrado IC. El circuito 12 se ha diseñado convenientemente para alimentar señales de salida a una memoria representada por el bloque 13.

15 El circuito 10 funciona bajo control del circuito de control 14 para contar el número de unos en una palabra de ocho bitios. Los ocho bitios de cada palabra se alimentan a los conductores de entrada 15A a 15H, por un aparato normal (no ilustrado) de tipo conocido. Se habrá de observar en particular que los conductores de entrada se  
20 organizan en dos grupos de cuatro 15A a 15D y 15E a 15G, que se conectan a circuitos contadores 16A y 16B del circuito procesador previo 11, respectivamente.

25 Cada uno de los circuitos contadores 16A y 16B comprenden de treinta transistores orgnizados como un bloque lógico normal para proporcionar salidas binarias ponderadas indicativas del número de unos en el segmento asociado. De un modo específico, cada segmento de palabra de cuatro bitios se alimenta a dicho circuito contador de cuatro bitios que responde para proporcionar una señal de salida representativa del número de unos en el segmento.

30 La figura 2 es un diagrama de un contador binario de cua

tro bitios util como circuito contador 16A o 16B de la figura 1. El circuito comprende treinta transistores que responde, por ejemplo, a cuatro entradas alimentadas a las puertas de los treinta transistores. Los transistores se organizan para que respondan a las entradas con el fin de producir una salida binaria en los conductores 23, 24 y 25 de la figura 2, según se ilustra. Estas salidas se alimentan al adicionador 12 de la figura 1.

La organización de los transistores de la figura 2 refleja los diversos modos en los cuales pueden tener lugar unos binarios en la entrada (puertas) a los transistores 15A, 15B, 15C y 15D. Estas puertas de entrada en la figura 2 estan indicadas por los valores binarios 0, 1, 2 y 3, por conveniencia.

Los conductores de salida 23, 24 y 25 del contador se indican de un modo similar como bitio 0, bitio 1, y bitio 2.

La fuente de cada uno de los transistores 15A, 15B, 15C y 15D se conecta a la descarga del transistor adyacente siguiente según se ilustra conectandose las totalidad electricamente en serie entre un potencial de referencia, presentando como tierra, y el electrodo de descarga de un transistor de canal P 26. La fuente del transistor 26, se conecta también a un suministro de energía representado como  $V_s$  en la figura, cuya puerta se conecta a tierra. En la descarga del transistor 26 se conecta al conductor de salida 23.

La descarga de un transistor 30 se conecta de un modo similar al conductor de salida 24 y a tierra a través de un dispositivo de pares de transistores conectados para reflejar los seis modos en los cuales pueden aparecer dos unos en sus entradas. De este modo, se conectan ocho transistores entre un potencial de referencia y la fuente del transistor 30 por pares. Los transistores se pueden observar conectados de la fuente a la carga por pares para definir cuatro trayectos paralelos evidentes que, según se vera, comprenden realmente seis tra-

yectos debido a la inclusión del cortocircuito eléctrico 31. Los transistores están designados por el valor lógico alimentado a sus puertas y correspondientes a los alimentados a las puertas de los transistores 15A, 15B, 15C y 15D. De este modo, se podrá ver que los pares corresponden a las entradas lógicas 0-2, 1-3, 0-1, 2-3, aumentadas a 0-3 y 2-1 debido a la inclusión del cortocircuito 31. Las descargas de los transistores de estos pares se conectan a la descarga del transistor 30 por un transistor 33. La puerta del transistor 33 se conecta a la descarga del transistor 15A según se ilustra en el nodo 35.

Existe un dispositivo similar en la salida correspondiente al bitio 0 según se ilustra en la figura. El conductor de salida 25, en el que aparece al bitio 0, se conecta a la descarga del transistor 40 se conecta también a la descarga de cuatro transistores que se ilustran en la figura conectados eléctricamente en paralelo a tierra. Los cuatro transistores están indicados solamente por la representación 0, 1, 2, 3 correspondientes a la entrada lógica, conectándose sus puertas a las entradas de los transistores 15A, 15B, 15C y 15D respectivamente. Según se podrá ver por la figura, las descargas de los cuatro transistores se conectan a la descarga del transistor 40 por un dispositivo en serie de transistores 41 y 42. Las puertas de los transistores 41 y 42 se conectan a la descarga de los transistores 33 y 15A, respectivamente.

Un dispositivo final de ocho transistores comprende un dispositivo paralelo de cuatro trayectos conectados entre la descarga del transistor 41 y tierra. Los transistores se indican también por la entrada lógica a los mismos representando la relación con los transistores 15A, 15B, 15C y 15D.

En la práctica, todos los transistores son dispositivos MOS de canal N excepto los transistores 26, 30 y 40 que son dispositivos MOS de canal P.

En la practica, una palabra de cuatro bitios se alimenta a las puertas de los treinta transistores de la figura 2. Si existen cuatro unos en la palabra, el nodo 35 se pone a tierra por los transistores 15A, 15B, 15C y 15D estan en conducción. La puesta a tierra del nodo 35 hace que las puertas de los transistores 33 y 42 se pongan a tierra. De este modo, los nodos 45 y 46 son de nivel alto. El adicionador al que se alimentan estas señales interpreta "alto" como un 0 y "bajo" como un uno. Este da lugar a 1-0-0 para los bitios 2, y 0, respectivamente.

Si las entradas a las puertas comprenden solamente dos unos en cualquiera de los seis modos posibles mencionados anteriormente, la disposición en paralelo de los pares de transistores conectados entre el transistor 30 y tierra o el transistor 33 proporcionan un trayecto a tierra. La aparición de solamente dos unos asegura que el nodo 35 sea alto y los transistores 33 y 42 esten en conducción. La aparición de dos unos asegura también que las fuentes de los transistores 33 y 31 se pongan a tierra. De este modo, los nodos 35, 45 y 46 son alto, bajo y alto, respectivamente, debiendose la ultima condición al hecho de que la puerta del transistor 41 se pone a tierra debido a la condición de bajo voltaje en el nodo 45. La salida de los bitios 2, 1 y 0 son por lo tanto 0-1-0, respectivamente, debido a la interpretación dada a estas salidas por el adicionador.

Si se producen tres unos en la palabra alimentada de cuatro bitios, las fuentes de transistores 33, 41 y 42 se ponen a tierra. La puesta a tierra de las fuentes de los transistores 33 y 41 se debe a la aparición de dos unos y un uno, respectivamente, según se ha descrito anteriormente. La fuente del transistor 42 se pone a tierra debido al bajo trayecto de resistencia, definido por la aparición de tres unos en la palabra, a través de la disposición de ocho transistores que conectan la fuente a tierra, según se ha descrito ya.

La aparición de tres unos da por resultado el que el nodo 35 sea alto, activando de este modo los transistores 33 y 42. No obstante, las fuentes de los transistores 33 y 42 se ponen a tierra. De este modo, aparece un voltaje bajo en las descargas de los transistores 33 y 42. Al igual que anteriormente las salidas resultantes son 0.1-1.

Es evidente en esta unión que un dispositivo de treinta transistores funciona para contar el número de unos en una palabra de cuatro bits alimentada y para alimentar una salida de tres bits representativa del número adionador 12 de la figura 1. Dos de dichos dispositivos pueden utilizar dos palabras de cuatro bits con solamente sesenta transistores, permitiendo de este modo el ahorro de casi doscientos transistores según se ha indicado anteriormente.

Un conductor de tres salidas de bits falsos 47 se puede utilizar si se desea alimentar una palabra de cuatro bits al adionador 12. En este caso, el adionador 12 puede comprender un adionador de cuatro bits. Los adionadores de tres o cuatro bits son dispositivos perfectamente conocidos en esta rama de la industria, por lo que no se expondran con más detalle en la presente memoria. El manual de 1973 de Texas Instrument TTL Data Book for Design Engineers, en la página 390, ilustra un diagrama de conjuntos de un circuito que comprende un procesador y un adionador, que es util en la modalidad de la figura 1.

En el caso en que el adionador 12 sea un adionador de tres bits, estara destinado a proporcionar cinco ceros adicionales por lo que se proporciona una salida de ocho bits en la figura 1. En el caso en el que el procesador previo añada un cero para proporcionar dos palabras de cuatro bits al adionador 12, el adionador estara destinado a añadir cuatro ceros a su salida. La salida del adionador comprende por lo tanto una palabra que tiene el mismo número

de bitios que la palabra alimentada, en segmentos, al circuito procesador previo 11.

La memoria 13 está destinada convenientemente a aceptar palabras de ocho bitios para almacenamiento de una forma normal.

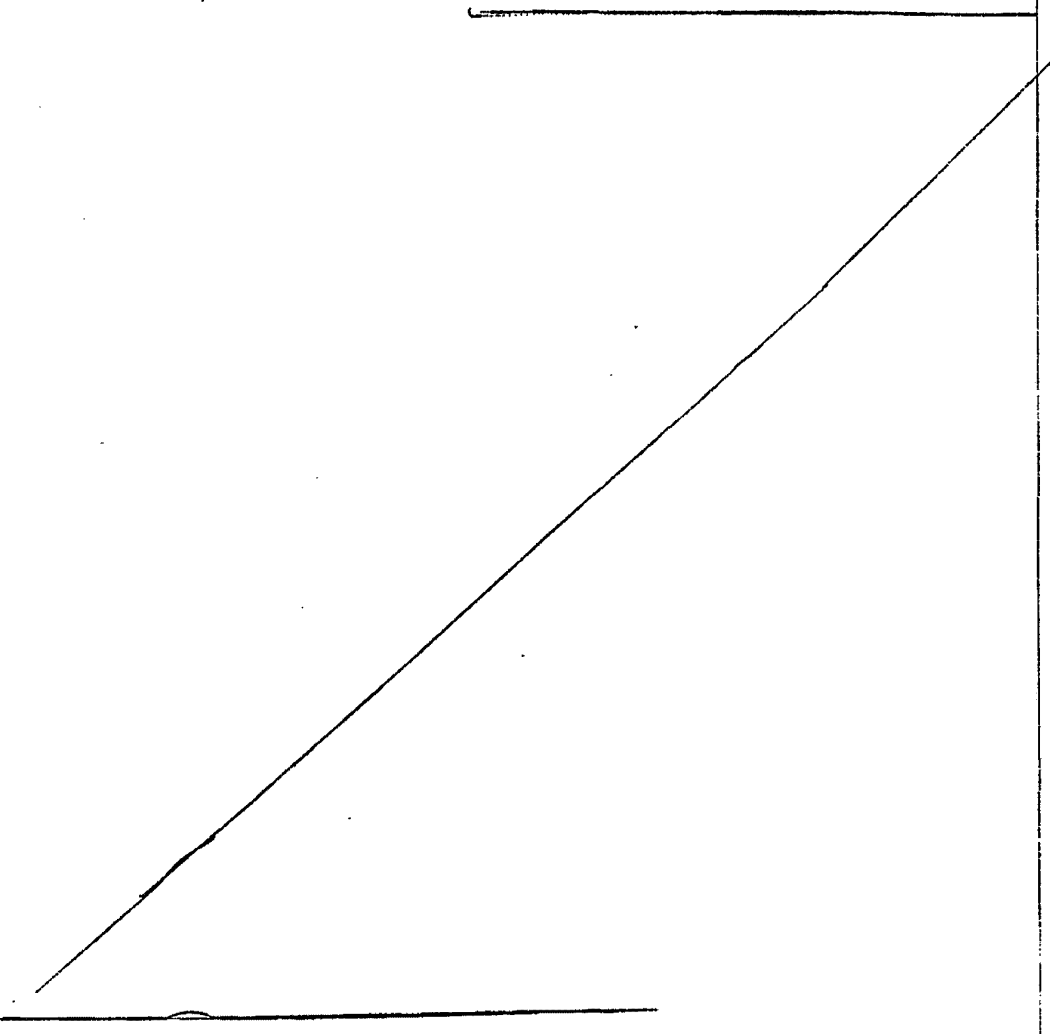
5 En general, es evidente a este respecto que una operación de conteo de unos se puede llevar a cabo en una palabra de  $x$  bitios alimentando la palabra en una pluralidad de segmentos de  $y < x$  y  $x - y$  bitios a una pluralidad de circuitos lógicos combinatorios diseñados para recibir palabras con menores números de bitios y alimentando la salida de estos circuitos lógicos a un adiconador que añade ceros para 10 producir palabras de salida de longitud deseada.

Aún que el ejemplo ilustrativo se ha descrito refiriéndose a los segmentos con números iguales de bitios, se pueden emplear más de dos segmentos y los números en los segmentos pueden diferir. 15 Los circuitos 16A y 16B del procesador previo 11, en tales casos, puede destinarse a suplementar salidas de los mismos por números diferentes de ceros para alimentar palabras con números iguales de bitios al adiconador 12.

Los dispositivos de circuito del tipo ilustrado son de la máxima conveniencia en organización en el sistema que comprenden 20 ya uniones lógicas aritméticas útiles en otros tipos de operaciones. En tal caso, el adiconador puede ser una parte de dicha unidad. De hecho, la unidad se puede destinar a proporcionar, por ejemplo, la función de adición del propio circuito procesador previo, según resultara 25 evidente a los expertos en la materia por la exposición de la explicación de las figuras anteriores. En un sistema que funcione para proporcionar cualquiera de una pluralidad de operaciones de las que las operaciones de conteo de unos sea una de ellas, los transistores 50, 51 y 52 de la figura 2 se utilizan (como variante a las conexiones a tierra 30 ilustradas) bajo control de circuito de control 14 de la figura 1

5 para elegir la operación de contaje de unos. Los transistores y sus conexiones se ilustran en líneas imaginarias para indicar un diseño alternativo. En un sistema en el que se utilice un adicionador separado, el adicionador exige normalmente unos treinta transistores por bitio. Para un sistema de tres bitios, se consigue un ahorro de mas de cien transistores.

10 Descrita suficientemente la naturaleza del invento, así como la manera de realizarse en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle, en cuanto no alteren su principio fundamental.



REIVINDICACIONES

1.- Perfeccionamientos en circuitos lógicos combinato-  
rios, especialmente circuitos para contar el número de unos binarios  
en una palabra digital de  $x$  bitios, donde  $x$  es el número de bitios  
5 en dicha palabra, cuyo circuito comprende una pluralidad de puertas  
para realizar funciones lógicas y aseverar el número de unos en la  
palabra, caracterizados porque el circuito comprende circuitería para  
dividir la palabra en una primer y un segundo segmentos, un primer  
contador para generar una primera salida digital indicativa del número  
10 de unos en el primer segmento, un segundo contador para generar una  
segunda salida digital indicativa del número de unos en el segundo seg-  
mento, y un adicionador para añadir la primera y la segundas salidas  
digitales

2.- Perfeccionamientos según la reivindicación 1, ca-  
15 racterizados porque cada uno de los circuitos contadores comprende me-  
dios para añadir un cero a su salida.

3.- Perfeccionamientos según la reivindicación 2, ca-  
racterizados porque el adicionador está destinado a añadir ceros a su  
salida de forma que proporcione una salida de  $x$  bitios.

20 4.- Perfeccionamientos en circuitos lógicos combinato-  
rios, tal y como queda sustancialmente descrito en la presente Memo-  
ria, e ilustrado en los dibujos adjuntos.

Esta Memoria consta de 10 hojas escritas a máquina  
por una sola cara.

22 MAR. 1978

Madrid,  
WESTERN ELECTRIC COMPANY, INCORPORATED

J. M. GONZÁLEZ ACEBO Y POMBO  
# 11 / Madrid / Alejandro Calle López

FIG. 1

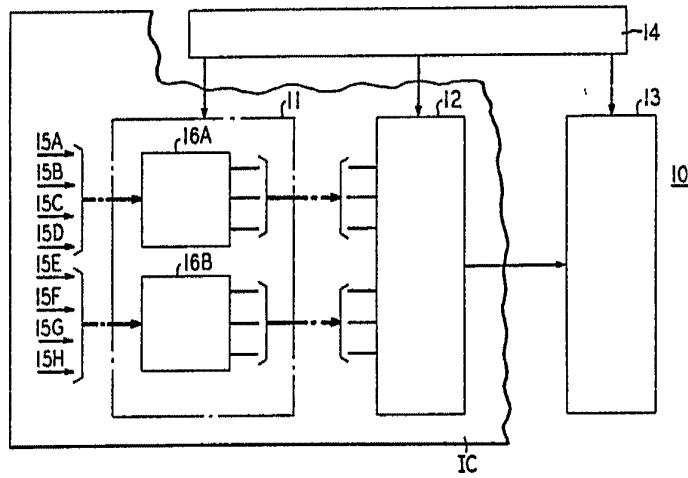
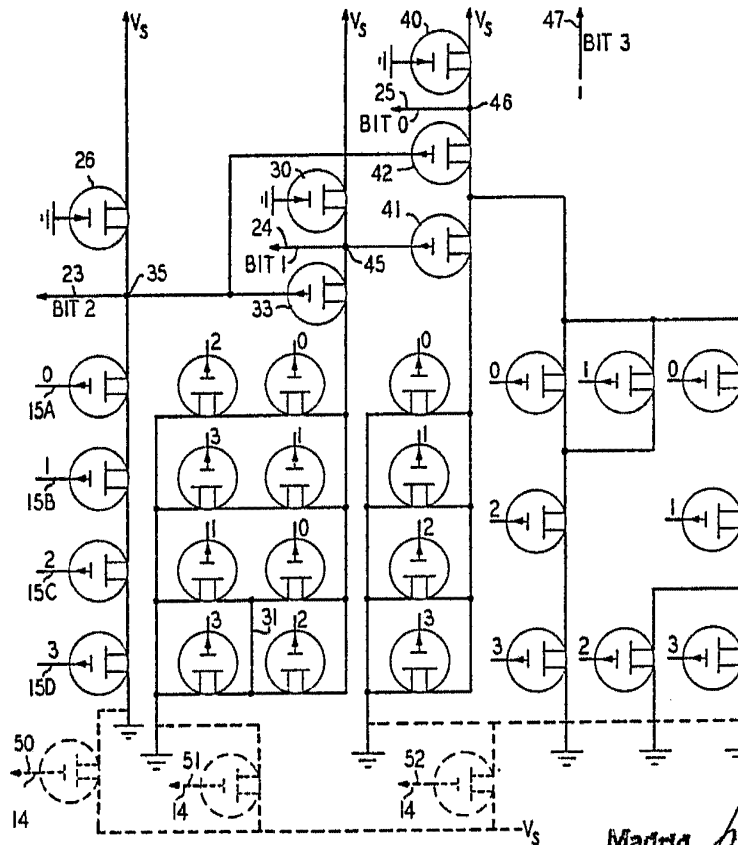


FIG. 2



Madrid 22 MAR. 1973  
 J. M. GÓMEZ AGUIR Y POMBO  
 V. M. FERRER ALONSO Calle Lápica