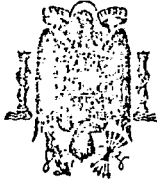


-5 OCT. 1978

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.



ESPAÑA

PATENTE DE INVENCION

A1 467.339 781101 E06F 15/16

NUMERO	467.339
FECHA DE PRESENTACION	27-2-1978

30 PRIORIDADES:	31 NUMERO	32 FECHA	33 PAIS
	77/02143-4	28-2-1977	Suecia

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	52 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

54 TITULO DE LA INVENCION

"DISPOSICION, EN UN SISTEMA DE COMPUTADORA, PARA TRANSMITIR SEÑALES"

71 SOLICITANTE (S)

TELEFONAKTIEBOLAGET L M ERICSSON (Dlp/StH/80540/LM 3935)

DOMICILIO DEL SOLICITANTE

S-126 25 Estocolmo, Suecia

72 INVENTOR (ES)

Mats Fredrik Eklund, Hans Ole Kjölller y Anders Bengt Jan Nyman

73 TITULAR (ES)

74 REPRESENTANTE

DON ALBERTO DE ELZABURU MARQUEZ (P.-68.304)

jga

BAD ORIGINAL

El invento se refiere a una disposición, en un sistema de computadora, para transmitir señales desde un dispositivo de tratamiento a uno o a varios otros dispositivos de tratamiento conectados con el mismo sistema de línea general, de modo que las señales con prioridad sean transmitidas sin retardo y de manera que la secuencia de señales sin prioridad no sea cambiada, conteniendo cada dispositivo de tratamiento una memoria intermedia de envío para enviar todas las señales y una memoria intermedia de cola de espera para almacenar señales sin prioridad.

En los sistemas de computadora existe una necesidad de intercambio de información de señales entre dispositivos de tratamiento conectados al mismo sistema de línea en general. En un intercambio de señales de esta clase se tropieza con el problema de que los dispositivos de tratamiento tratan las señales muy rápidamente con relación al retardo a través de los medios de transmisión de señales, de modo que se originan las colas. La creación de las colas dará como resultado una peor utilización de la capacidad de los dispositivos de tratamiento según van siendo sometidos a largos períodos de espera.

Con el fin de resolver el problema que crean las colas de espera, en sistemas conocidos, se utiliza una memoria intermedia de cierta clase, por ejemplo, como se muestra en la solicitud de patente sueca nº313849. La desventaja de los sistemas conocidos es que no existe diferencia entre señales sin prioridad y señales con prioridad cuando se las dispone en la memoria intermedia de envío, por cuya razón una señal sin prioridad que será enviada al dispositivo de tratamiento puede ser mantenida en espera y puede bloquear a una

señal con prioridad que será enviada a otro dispositivo de tratamiento.

5 El invento, que resuelve el problema mencionado, se caracteriza de acuerdo con lo establecido en las reivindicaciones.

El invento se describe con mayor detalle en lo que sigue por medio de una realización con referencia al dibujo anejo.

10 El dibujo representa un diagrama de bloques de una disposición de acuerdo con el invento, incluida en una computadora conectada a través de un sistema de línea general con una o más computadoras.

15 La disposición, de acuerdo con el invento, está incluida en, por ejemplo, un dispositivo central de tratamiento CP, representado en la figura, cuya tarea entre otras, es intercambiar señales de información con otros dispositivos de tratamiento, por ejemplo, dispositivos de tratamiento regionales RP conectados al mismo sistema de línea general. Como resulta evidente de la figura, la disposición incluye
20 una memoria intermedia de envío SB, cuya misión es almacenar una señal constituida por varias palabras de señal y enviar dicha señal hacia la línea general, remitiendo una palabra de señal cada vez. La memoria intermedia SB almacena solamente una señal cada vez. La disposición contiene además
25 una memoria intermedia QP de colas de espera para almacenar varias señales sin prioridad y, si la memoria intermedia de envío SB está ocupada, dichas señales son puestas al final de la memoria intermedia de colas, excepto cuando, como se explicará más adelante, una señal sin prioridad haya sido retirada de la memoria intermedia de envío por una señal con
30

prioridad. Dicha señal sin prioridad es puesta entonces la primera en la memoria intermedia QB de colas. A la memoria intermedia de colas están conectados dos registradores QBu y QBl. El registrador QBu indica la primera posición ocupada de la memoria intermedia de colas y el registrador QBl indica la primera posición libre de la memoria intermedia de colas. A la memoria intermedia de envío SB está conectado un biestable SBu, cuya misión es transmitir una señal cuya polaridad viene determinada por el estado libre u ocupado de la memoria intermedia de envío. Una señal de cero lógico procedente del biestable indica que la memoria intermedia está libre, indicando una señal de uno lógico procedente del biestable, que la memoria intermedia esté ocupada. Otro biestable CON tiene la misión de proporcionar información sobre si se produce congestión en un dispositivo de tratamiento en recepción o no.

Una señal de cero lógico procedente del biestable indica que el dispositivo de tratamiento en recepción no está bloqueado, mientras que una señal de uno lógico procedente del biestable indica que el dispositivo de tratamiento está ocupado. Un circuito T de supervisión de tiempo tiene la misión de transmitir, después de la recepción de una señal de acuse de recibo procedente del dispositivo de tratamiento regional, una señal de acuse de recibo, después de un cierto período de tiempo, hacia el biestable CON, con el fin de dar información de que el dispositivo de tratamiento regional ha recibido el mensaje. Si no llega a recibirse una señal de acuse de recibo procedente de un dispositivo de tratamiento en recepción, se considera que éste está bloqueado y se transmite una señal de uno lógico desde el biestable

CON. Un biestable TS tiene el propósito de proporcionar información acerca de qué tipo de señal está almacenada en la memoria intermedia de envío SB. Un cero procedente de TS indica que en la memoria intermedia está situada una señal sin prioridad, mientras que un uno lógico desde el biestable TS indica que en la memoria intermedia está situada una señal con prioridad. Un circuito lógico consiste en varios circuitos Y y varios circuitos O tiene la misión de dejar pasar señales de control y señales de datos desde la unidad de control y la memoria de datos del dispositivo de tratamiento a las diversas memorias intermedias. En relación con la figura, se describirán en lo que sigue trayectorias de señales y circuitos activados para varios procesos diferentes. Para todos los procesos, es válido que cierto tipo de señal de control es transmitido desde la unidad de control CU del dispositivo central de tratamiento CP. La transmisión de una señal de control SCP implica, por ejemplo, la transmisión de una señal sin prioridad desde una memoria de datos DM de la CP al dispositivo de tratamiento RP regional en recepción. Otra señal de control SP procedente de la unidad de control implica la transmisión de una señal con prioridad desde la memoria de datos en CP al RP en recepción. El tipo de señal que se enviará viene determinado por el microprograma de la computadora.

En primer lugar, se supone que se transmite una señal sin prioridad desde CP a RP. La memoria intermedia de envío SB se supone libre y el biestable SBu transmite entonces una señal de cero lógico a la salida. El dispositivo de tratamiento en recepción no está bloqueado. Se envía entonces una señal cero desde el biestable CON. Dicha señal sin

prioridad es transmitida desde la memoria de datos DM y activa una entrada de un circuito Y G2. Desde la unidad de control se origina simultáneamente una señal SOP que activa una entrada de un circuito Y G1, a cuya segunda entrada es alimentada la salida del biestable SBu que, cuando la memoria intermedia de envío está libre, transmite una señal cero. Una tercera entrada del circuito G1 recibe una señal de control procedente de un comparador CC conectado con los registradores QBu y QB1. Dichas entradas segunda y tercera del circuito Y G1 se invierten de modo que el circuito obtiene tres unos lógicos en las entradas y transmite en la salida una señal que, a su vez, es alimentada a la segunda entrada del circuito Y G2, por lo que este circuito conduce y la señal de datos es suministrada a una de las entradas de un circuito O OR1, simultáneamente con un impulso transmitido a un circuito C CR2. Desde la salida del circuito OR1, la señal es alimentada a la memoria intermedia de envío SB y es enviada desde ésta al dispositivo de tratamiento RP regional en recepción. Cuando un impulso ocurre en una de las entradas del circuito CR2, éste está en conducción y envía una señal de conmutación al biestable SBu, que marca que la memoria intermedia de envío está ocupada transmitiendo un uno en la salida, por lo que resulta bloqueado el circuito G1. La salida desde el circuito CR2 es también suministrada a una entrada del circuito Y G4, cuya segunda entrada es activada por la salida de la unidad de control. El circuito G4 está ahora en conducción y envía una señal de conmutación al biestable TS, cuya salida produce entonces una señal cero en tanto el contenido de la memoria intermedia de envío sea una señal sin prioridad. Los restantes cir

cuitos lógicos que, en una de sus entradas, se ven afectados por las mencionadas señales, no cumplen las condiciones en sus otras entradas y, por esa razón, son bloqueados. Cuando el dispositivo de tratamiento RP en recepción ha recibido la señal procedente del dispositivo de tratamiento CP de envío, envía una señal de acuse de recibo a CP, merced a la cual es ajustado el biestable SBu y éste transmite una señal cero en la salida como signo de que la memoria intermedia SB está ahora libre. La señal de acuse de recibo es suministrada también a la entrada del circuito T de supervisión de tiempo, cuya salida no afecta al biestable CON de bloqueo, ya que la señal de acuse de recibo ha sido obtenida dentro de un período de tiempo dado.

Si ha de enviarse una señal sin prioridad, pero la memoria intermedia de envío SB está ocupada, dicha señal sin prioridad debe ser almacenada en la memoria intermedia QR de colas para posterior transmisión cuando la memoria intermedia de envío haya quedado libre de nuevo. Como se indicó previamente, el biestable SBu produce una señal uno cuando la memoria intermedia de envío está ocupada. Esta señal uno es suministrada a la entrada invertida del circuito Y G1 que, subsiguientemente, es bloqueada. Asimismo, es bloqueado el circuito G2, ya que el circuito G1 no produce ninguna salida. El circuito G2 bloquea así la salida de datos hacia la memoria intermedia de envío. La señal SCP procedente de la unidad de control CU es suministrada a una entrada de un circuito Y G6, cuya segunda entrada es activada por la señal uno procedente del biestable SBu. El circuito G6 está así en conducción y su salida está activando una de las entradas de un circuito Y G7, cuya segunda entrada es acti-

vada por la señal de datos procedente de la memoria DM. El
circuito G7 está en conducción y deja pasar la señal de da-
tos que afecta a la entrada de un circuito O OR3, que envía
la señal de datos a la memoria intermedia QB de colas. La
5 salida procedente del circuito Y G6, afecta también a una
de las entradas de un circuito Y G8, cuya segunda entrada
es afectada por la salida procedente del registrador Q31 de
direcciones que pertenece a la memoria intermedia de cola
de espera. La salida mencionada selecciona la primera posi-
10 ción libre de la memoria intermedia de cola y apunta, des-
pués de haber sido conectada con la memoria intermedia a
través del circuito G8, a la posición en que debe almacenar
se la señal de datos entrante a la memoria intermedia.

Cuando una señal con prioridad deba ser enviada de
15 de CP hacia un RP, se obtienen las siguientes trayectorias
de señal. Se supone que la memoria intermedia de envío SB
ha de estar libre, por lo que el biestable SBu, como se ha
mostrado antes, envía una señal cero. Dicha señal cero afec-
ta a una entrada de inversión de un circuito O OR4, que
20 transmite una salida a una de las entradas de un circuito
Y G9, cuya segunda entrada se ve afectada por la señal de con-
trol SP procedente de la unidad de control CU, que implica
la transmisión de una señal con prioridad desde la memoria
de datos DM. La salida desde el circuito conductor G9 se su-
ministra a una de las entradas de un circuito Y G3, cuya se-
25 gunda entrada es activada por la mencionada señal de datos
con prioridad, procedente de la memoria de datos DM. La sa-
lida desde el circuito Y G3 es alimentada a través del cir-
cuito O OR1 a la memoria intermedia de envío SB. Dicha salida
es alimentada también a una de las entradas del circuito
30 O OR3, que está en conducción y en su salida envía una señal

de ajuste al biestable SBu, que es ajustado a la posición de señal uno con el fin de indicar que SB está bloqueada y con el fin de bloquear la transmisión de señales hacia la memoria intermedia. La salida desde OR2 afecta además a la entrada del circuito Y G5, cuya segunda entrada es afectada por la señal procedente de la señal de control, es decir, la misma señal que afecta al circuito Y G9. La señal que es enviada por tanto, desde el circuito G5, es una señal de ajuste para el biestable TS, que produce subsiguientemente una señal uno en la salida en tanto una señal con prioridad esté situada en la memoria intermedia de envío SB. Cuando SB ha enviado una señal al dispositivo de tratamiento en recepción, éste último devuelve una señal de acuse de recibo, por lo que el biestable SBu retorna a una posición de señal cero, que indica una memoria intermedia SB de envío en vacío.

Cuando se envía una señal con prioridad, puede estar ocupada la memoria intermedia de envío SB.

Es cierto que una señal con prioridad será transmitida sin retardo de tiempo, pero si se está realizando la transmisión de una señal sin prioridad, se permite que la transmisión se complete sin interrupción alguna. La señal con prioridad tolera este pequeño retardo de tiempo y permanece en la memoria de datos hasta que está de nuevo en vacío la memoria intermedia de envío. El biestable SBu envía una señal uno desde su salida a los circuitos G1 y OR4 que, subsiguientemente son bloqueados y, cuando el circuito G6 es bloqueado también por una señal cero procedente de la unidad de control, no es posible que las señales alcancen a ninguna de las memorias intermedias SB y QB. La señal con prioridad permanece por tanto en la memoria de datos. Cuan-

do se termina la transmisión y una señal de acuse de recibo
llega al biestable SBu desde el dispositivo de tratamiento
en recepción, la salida del biestable cambia de polaridad
de uno a cero, por lo que el circuito O OR4 está en conduc-
5 ción y la señal de datos con prioridad es alimentada a la
memoria intermedia de envío.

Puede ocurrir que deba transmitirse una señal con
prioridad cuando la memoria intermedia de envío SB está ocu-
pada por una señal sin prioridad y existe una congestión en
10 el dispositivo de tratamiento de recepción, de modo que no
puede ser enviada la señal existente en la memoria de envío
SB. La señal sin prioridad situada en SB debe ser transferi-
da, subsiguientemente, a la memoria intermedia QB de cola de
espera para dejar lugar para la señal con prioridad. La se-
15 ñal así transferida es almacenada en este caso en primer lu-
gar en la memoria intermedia QB.

La señal sin prioridad es retirada de SB a QB, co-
mo se describe en lo que sigue. El biestable SBu produce
una señal uno en la salida, y cesa la salida del circuito
20 O OR4, por lo que el circuito Y 49 es bloqueado de modo que
no se envía señal alguna hacia la memoria intermedia de en-
vío. Es activado un circuito Y 110 con cuatro entradas, por
medio de una señal uno procedente del biestable SBu, por
una señal uno procedente del biestable CGH, ya que existe
25 una condición de bloqueo, por una señal cero procedente del
biestable TS cuando la memoria intermedia de envío contiene
una señal sin prioridad (esta entrada al circuito 110 es in-
versora) y por la señal de control SP desde la unidad de con-
trol que, normalmente, afecta a la transmisión de una señal
30 de datos con prioridad. Cuando todas las entradas del circui-

to G10 están activadas, el circuito emplea una salida a una unidad U que inicia un proceso de dos etapas en el que, en la primera etapa, ocurre lo siguiente; la señal de salida procedente de una primera salida de la unidad U activa una de las entradas de un circuito O OR5 que, en su salida, está enviando la señal a una de las entradas de un circuito Y G11, cuya segunda entrada es activada por la señal procedente del registrador de direcciones QBu. La salida procedente de dicho registrador selecciona la primera posición ocupada de la memoria intermedia de colas QB a través de la puerta G11. Dicha salida procedente de la unidad U afecta también a una de las entradas de un circuito Y G12, cuya segunda entrada es activada por la señal sin prioridad procedente de la salida de la memoria intermedia de envío SB. A través del circuito G12 y el circuito O OR3, dicha señal sin prioridad es alimentada a la memoria intermedia de colas QB y es situada en ella en la primera posición de la cola que es indicada por la señal procedente del registrador QBu. La señal sin prioridad es transferida por tanto a la memoria intermedia de cola de espera.

La siguiente fase del proceso ocurre cuando la señal con prioridad debe ser alimentada a la memoria intermedia de envío actualmente libre. El biestable SBu produce una señal uno a pesar del hecho de que SB está libre, ya que no ha sido recibida señal de acuse de recibo procedente del dispositivo de tratamiento RP regional. En la unidad U, una señal de salida procedente de una segunda salida, que por ejemplo está conectada a través de un circuito de retardo con la primera salida, activa una entrada del circuito O OR4, cuya salida activa una de las entradas del circuito Y G9, cu

ya segunda entrada es afectada por la señal de control SP procedente de la unidad de control, que da lugar a la transmisión de una señal de datos con prioridad. La salida desde el circuito G9 es suministrada a una de las entradas de un
5 circuito G3, cuya segunda entrada es activada por la señal de datos con prioridad y es enviada desde la memoria de datos. Dicha señal es alimentada desde la memoria intermedia de envío SP a través de los circuitos G3 y OR1. La salida procedente del circuito G3 afecta también a una entrada del
10 circuito O OR2, cuya salida es una señal de ajuste para el biestable SBu con el fin de que éste produzca una señal uno cuando está ocupada SB. La señal de ajuste ajusta además a cero al biestable CON, por lo que el circuito G11 es bloqueado y se activa una de las entradas del circuito Y G5, cuya
15 segunda entrada está activada por la misma señal de control enviada desde la unidad de control que afecta al circuito G9. El circuito G5 envía subsiguientemente una señal de ajuste al biestable TS, que produce a su vez una señal uno, como signo de que una señal con prioridad ocupa la memoria intermedia de envío SB.
20

Quando la memoria intermedia de envío está en vacío y no existe estado de bloqueo en el dispositivo de tratamiento en recepción, los biestables SB1 y CON, producen ambos una señal cero en sus salidas, por lo que la señal de la memoria intermedia de cola de espera es enviada a la memoria
25 intermedia de envío. Como no son enviadas señales de control desde la unidad de control a los circuitos Y G1 y G9, estos últimos están bloqueados y no pueden ser alimentadas subsiguientemente señales de datos a la memoria intermedia de envío desde la memoria de datos DM. Las señales cero proceden
30

tes de los biestables SBl y CON, activan, cada una, una entrada de inversión de un circuito Y G13, cuya tercera entrada es activada por una señal procedente del comparador CO conectado con los registradores QBu y QBl, cuyo comparador genera una señal uno cuando QBu y QBl son diferentes, y una señal cero cuando los registradores son iguales, es decir, cuando la memoria intermedia de cola de espera QB está vacía. Cuando el circuito G13 ha obtenido una señal uno en todas sus entradas, produce una salida que, por una parte, activa una de las entradas de un circuito Y G14, y que por otra parte está conectada a una de las entradas del circuito O OR5. El circuito OR5 conduce y suministra una señal a una de las entradas del circuito OR G11, cuya segunda entrada obtiene una señal procedente de la salida del registrador QBu. El circuito G11 es activado y su salida activa a la memoria intermedia QB de cola de espera, de modo que la señal sin prioridad almacenada en la memoria intermedia y situada en el primer lugar en línea, es alimentada desde la memoria intermedia a la segunda entrada del circuito Y G14, que envía la señal a la memoria intermedia de envío SB a través del circuito O OR1. La salida desde G14 afecta simultáneamente al circuito OR2 que, a su vez, deja pasar la señal de ajuste al biestable SBu, que produce una señal uno cuando la memoria intermedia de envío está otra vez desocupada. Después de terminada una transmisión y después de haber sido recibida una señal de acuse de recibo, el biestable SBu es ajustado de nuevo a cero.

Con el fin de impedir que señales sin prioridad de la memoria de datos obtengan preferencia con respecto a señales sin prioridad de la memoria intermedia de cola de espera, la salida del circuito CO está conectada a una entrada

de inversión del circuito G1. Desde el circuito C0 se obtiene siempre una señal uno en tanto esté almacenada alguna señal en la memoria intermedia de cola de espera. Cuando dicha señal uno es alimentada a dicha entrada de inversión del
5 circuito G1, el circuito es bloqueado, por lo que el circuito G2 también es bloqueado e impide la ulterior transmisión de señales desde la memoria de datos.

Puede producirse otro caso cuando la memoria intermedia de envío esté ocupada por una señal con prioridad y otra señal con prioridad sea enviada a, por ejemplo, otro
10 dispositivo de tratamiento en recepción. Este es un fallo que hace necesaria cierta clase de despeje del mismo.

La mayor ventaja con la disposición de acuerdo con el invento es que, como parece desprenderse de la descripción, puede hacerse un uso considerablemente mejor de
15 la capacidad de la computadora.

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

1ª.- Disposición, en un sistema de computadora, para transmitir señales desde un dispositivo de tratamiento a uno o a varios otros dispositivos de tratamiento conectados con el mismo sistema en línea general, de modo que las señales con prioridad sean transmitidas sin retardo de tiempo y la secuencia de señales sin prioridad no sea cambiada, conteniendo cada dispositivo de tratamiento una memoria intermedia de envío para enviar todas las señales y una memoria intermedia de cola de espera para almacenar señales sin prioridad, caracterizada porque la memoria intermedia de envío está destinada a contener cualquier señal en un instante mientras que la memoria intermedia de cola de espera está destinada a almacenar varias señales sin prioridad en una secuencia de envío, incluyendo la disposición para permitir la transferencia de información sin prioridad desde la memoria intermedia de envío a un primer lugar de la cola de espera, en la memoria intermedia de cola de espera, una primera lógica de control, cuya función depende de las condiciones siguientes: la memoria intermedia de envío está ocupada; existe una congestión en los dispositivos de recepción; la señal en la memoria intermedia de envío es una señal sin prioridad; y una señal con prioridad está esperando para ser alimentada a la memoria intermedia de envío; y la salida de cuya lógica de control está conectada a un circuito de seña

les de control que, al ser activado, en dos salidas produce
señales subsiguientes en el tiempo, de las que la señal pro-
cedente de la primera salida activa unos circuitos de puer-
ta para transferir el contenido de la memoria intermedia de
5 envío a la memoria intermedia de cola de espera y para ins-
cribir dicho contenido en la primera posición de la cola de
espera en la memoria intermedia de cola de espera, y la se-
ñal procedente de la segunda salida activa un circuito de
puerta para suministrar la señal con prioridad a la memoria
10 intermedia de envío, conteniendo además la disposición una
segunda lógica de control que, dependiendo del hecho de que
la memoria intermedia de envío esté en vacío; no exista con-
gestión en los dispositivos de recepción, y no esté esperan-
do señal alguna con prioridad, mueve a la señal sin priori-
15 dad almacenada en la primera posición de la cola de espera,
de la memoria intermedia de cola de espera, de nuevo, a la
memoria intermedia de envío.

2ª.- Disposición, en un sistema de computadora,
para transmitir señales.

20 Tal y como se ha descrito en la Memoria que ante-
cede, representado en los dibujos que se acompañan, y para
los fines que se han especificado.

Esta Memoria consta de quince hojas escritas a
máquina por una sola cara.

25 Madrid, 10.ABR.1978

P.A.

Alberio de Elizaburu
Por Poder



