

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

(10) ES	(11) NUMERO	(12) A1
(21)	467134	
(29)	FECHA DE PRESENTACION	
	20-Febrero-1.978	

5 OCT. 1978

PATENTE DE INVENCION

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		
A 1171-77	22-2-77	Austria

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04N	

(54) TITULO DE LA INVENCION

"UNA DISPOSICION DE CIRCUITOS PARA LA CORRECCION NUMERICA DE LOS ERRORES DE BASE DE TIEMPO DE UNA SEÑAL DE TELEVISION"

(71) SOLICITANTE (ES)

N.V. PHILIPS'GLOEILAMPENFABRIEKEN (APHN 8741 Spain-
- HK/TS)

DOMICILIO DEL SOLICITANTE

Emmasingel 29, Eindhoven, Holanda

(72) INVENTOR (ES)

Helmut Mach

(73) TITULAR (ES)

(74) REPRESENTANTE

DON FERNANDO DE ELZABURU MARQUEZ (P.-67.381)

La presente invención se refiere a una disposición de circuitos para la corrección numérica (por dígitos) de los errores de base de tiempo de una señal de televisión que es convertida en señales numéricas de televisión por un convertidor de analógico en numérico (A/D) con una frecuencia específica de reloj, señales que para la corrección de los errores de base de tiempo se inscriben en, y a continuación se toman de, un dispositivo de memoria de acceso aleatorio con un número dado de lugares o direcciones de acceso, después de lo cual se reconvierten en una señal analógica de televisión por medio de un convertidor de numérico en analógico (D/A). Tales disposiciones de circuitos se conocen ya, por ejemplo, por el artículo "Digital Time Base Correction of Video Tape Recorders" ("Corrección numérica de la base de tiempo en los registradores de cinta de video"), publicado en la revista Monitor Porc. I.R.E.E., abril de 1976, págs. 118...122. Como se describe en este artículo, los errores de base de tiempo se corrigen inscribiendo la señal de televisión en forma digital, que lleva errores, en un dispositivo de memoria de acceso aleatorio (RAM) con una frecuencia de reloj variable y leyéndola o tomándola con una frecuencia de reloj constante, estando la frecuencia variable de reloj formada con dependencia respecto del error instantáneo de la base de tiempo. Así se obtienen unas señales numéricas de televisión, exentas de errores de base de tiempo, que a continuación son reconvertidas en una señal analógica. El máximo error de base de tiempo que se puede corregir por medio de tales disposiciones de circuitos viene, pues, limitado por el hecho de que la variación de la frecuencia de

reloj para inscribir las señales numéricas de televisión en el dispositivo de memoria no pueden hacerse arbitrariamente altas, en vista de las propiedades que poseen. Por consiguiente, no es posible corregir con facilidad las rápidas variaciones, más amplias, del error de base de tiempo, que se producen, por ejemplo, debido a saltos de fase durante la transición de un determinado campo al siguiente, cuando se reproducen las señales de televisión almacenadas en el portador de registro en pistas separadas. Tales disposiciones de circuitos presentan también un error residual mínimo variable y, por lo tanto, muy molesto o perturbador, que depende de la calidad del control, de la ganancia de bucle de la disposición de circuitos, etc., y que sólo con un esfuerzo relativamente grande es posible mantener en un valor correspondientemente pequeño en relación con sus fluctuaciones.

Es objeto de la presente invención mejorar aún más las disposiciones de circuitos del tipo mencionado en el preámbulo, respecto de su comportamiento de control para la corrección de errores de base de tiempo. Las disposiciones de circuitos conforme a esta invención, por lo tanto, se caracterizan por proveerse, para el dispositivo de memoria, un circuito de acceso que inscribe las señales numéricas de televisión en las direcciones de acceso del dispositivo de memoria, con la frecuencia de reloj, y entremedias de esto, toma o lee, también con la frecuencia de reloj, las direcciones de acceso del dispositivo de memoria que han sido seleccionadas de acuerdo con la magnitud y el signo del error de base de tiempo. También se caracterizan por proveerse un circuito de identificación pa-

ra determinar el error de base de tiempo, circuito que comprende un discriminador de fase al cual se aplica una señal de comparación que ha sido derivada de la señal de televisión y que se compara con una señal deseada, suministrando luego una señal de salida, que es convertida en señales numéricas de error de base de tiempo, las cuales se cuantifican con un intervalo de tiempo dado, siendo un número entero la razón o relación entre el intervalo de tiempo definido por la frecuencia de reloj y el intervalo de tiempo dado para la formación de las señales numéricas de error de base de tiempo; y por el hecho de que las señales numéricas de error de base de tiempo se aplican al circuito de acceso, que controla la selección de las direcciones de acceso del dispositivo de memoria que han de ser leídas, según el número de intervalos de tiempo contenidos en las señales numéricas de error de base de tiempo y definidos por la frecuencia de reloj respecto al número de direcciones de acceso a dispositivo de memoria. Así, pues, los errores de base de tiempo se corrigen por el hecho de que las señales numéricas de televisión son tomadas por lectura de unas direcciones de acceso a dispositivo de memoria definidas con precisión, siendo la selección de estas direcciones de acceso dependiente de la magnitud y el signo del error de base de tiempo. Tanto la inscripción como la lectura de las señales numéricas de televisión en las direcciones de acceso a dispositivo de memoria se efectúan con una frecuencia de reloj constante. Esto, en particular, permite también corregir errores de base de tiempo mayores, porque el límite superior para esto depende de la capacidad de almacenaje o memoria en combinación con la frecuen-

06127

cia de reloj. Otra ventaja reside en que, debido a la formación y valoración de las señales numéricas de error de base de tiempo, la corrección del error de tiempo se efectúa de manera completamente numérica o por dígitos, con lo cual, en contraposición con las disposiciones de circuitos ya conocidas, descritas en la introducción y en las cuales se valoran unas señales analógicas de error de base de tiempo, no se producen efectos de arrastre o deriva. Además, una disposición de circuitos conforme al presente invento tiene siempre un error residual mínimo constante, que sólo depende de la frecuencia de reloj para inscribir las señales numéricas de televisión en el dispositivo de memoria y para leer o tomar dichas señales del dispositivo de memoria, de modo que se evitan las fluctuaciones de base de tiempo variables a consecuencia del error residual y que, según se ha visto por la experiencia, son muy molestas.

Se ha visto que resulta particularmente ventajoso el hecho de que el intervalo de tiempo definido por la frecuencia de reloj sea un múltiplo entero, de preferencia el cuádruplo, del intervalo de tiempo dado para la formación de las señales numéricas de error de base de tiempo, así como el recurso de conectar una memoria compensadora ("buffer") a la salida de la memoria de acceso aleatorio, memoria compensadora ésta a la cual se transfiere la señal numérica de televisión, que ha sido tomada por lectura de una dirección de acceso del dispositivo de memoria, y en la cual permanece almacenada durante cierto tiempo determinado por el número de intervalos de tiempo dados, contenidos en las señales numéricas de error de base de tiempo,

que excedan de los intervalos de tiempo definidos por la frecuencia de reloj.

Así, es posible reducir aún más el error residual mínimo que quede a una determinada frecuencia de reloj para inscribir las señales numéricas de televisión en el dispositivo de memoria y para tomarlas por lectura del dispositivo de memoria.

Asimismo se ha visto que es ventajoso hacer pasar las señales numéricas de error de base de tiempo por un filtro numérico de paso bajo. De ese modo se consigue que las señales numéricas de base de tiempo se vean libres de componentes de ruido e interferencias de radiofrecuencia, lo cual tiene un efecto muy favorable sobre la precisión de la corrección de errores de base de tiempo.

Para obtener una forma de ejecución a coste económico se ha visto que es ventajoso que el dispositivo de memoria comprenda por lo menos dos memorias de acceso aleatorio que funcionen en el modo de multiplex, inscribiéndose alternativamente las señales numéricas de televisión consecutivas en una de dichas memorias. A una determinada frecuencia específica de reloj para el dispositivo en conjunto es, pues, posible utilizar unas memorias correspondientemente más lentas para las memorias individuales, que se hacen funcionar entonces con una menor frecuencia de reloj, memorias éstas que son sustancialmente más económicas que las memorias rápidas; o bien usar memorias de mayor capacidad al mismo coste, lo que permite corregir errores de base de tiempo proporcionalmente mayores.

La invención se describe con mayor detalle en lo que sigue, con referencia a los dibujos adjuntos, que

ilustran algunas formas de ejecución del invento en forma de esquemas de bloques o funcionales, pero a las cuales no se limita la invención. En dichos dibujos:

5 - la figura 1 ilustra el diseño de circuitos básico de una disposición de circuitos conforme al presente invento;

10 - la figura 2 es una variante de la disposición de circuitos de la fig. 1, en la cual las señales numéricas de error de base de tiempo están cuantificadas con arreglo a un intervalo de tiempo menor que el intervalo de tiempo con el cual las señales numéricas de televisión se siguen una a otra de acuerdo con la frecuencia de reloj;
y

15 - la figura 3 ilustra otra variante de la disposición de circuitos de la fig. 1, en la que se emplean dos memorias de acceso aleatorio que funcionan en el modo de "multiplex".

20 En la fig. 1, el número de referencia 1 designa la entrada de la disposición de circuitos para la corrección numérica (por dígitos) de los errores de base de tiempo de una señal de televisión, entrada a la cual se aplica la señal de televisión afectada de errores, señal que, por ejemplo, viene suministrada por un aparato de reproducción que, con la ayuda de unas cabezas magnéticas,
25 explora una cinta magnética en la cual una señal de televisión está magnéticamente almacenada en pistas adyacentes, y destinada a ser reproducida en la pantalla de un receptor de televisión. Los impulsos de sincronismo contenidos en tal señal de televisión reproducida son en general tan
30 inestables, respecto al tiempo, que la reproducción en un

receptor de televisión no es posible sin adoptar medidas adicionales porque, de no hacerlo así, habrá fluctuaciones en la posición de la imagen. Para la corrección de tales errores de base de tiempo en una señal de televisión se emplea la disposición de circuitos que más adelante se describe, con la cual se eliminan los errores de base de tiempo hasta el punto de ser posible la reproducción en un receptor normal de televisión sin adoptar providencias adicionales en este receptor.

La señal de televisión aplicada a la entrada 1 de la disposición de circuitos llega primero a la entrada 2 de un convertidor 3 de analógico en numérico (A/D), en el cual es convertida en señales numéricas que se tienen luego disponibles en las salidas individuales 4 del convertidor. La cuantificación respecto de la amplitud de la señal de televisión en los instantes de muestreo individuales se elige luego con arreglo a las necesidades del sistema, que definen un número específico de bits. Los instantes de muestreo de la señal de televisión se determinan de la manera usual con la ayuda de una señal perfilada en impulsos con una determinada frecuencia de reloj, que viene suministrada por un oscilador 5 desde cuya salida 6 se aplica la señal a otra entrada 7 del convertidor de analógico en numérico. En la presente forma de realización, la frecuencia de reloj se supone de 5 MHz, que, basándose en el teorema del muestreo, corresponde a una anchura de banda de frecuencia de la señal de 2,5 MHz, la cual es completamente satisfactoria porque las señales de televisión suministradas por un aparato doméstico de reproducción tienen una anchura de banda de frecuencia del mis-

mo orden de magnitud. Debido a la elección de esta frecuencia de reloj, las salidas numéricas con arreglo a la amplitud instantánea de la señal de televisión en los instantes de muestreo se tienen disponibles, en las salidas 4 del convertidor de analógico en numérico, cada 200 nanosegundos.

Estas señales se inscriben en las direcciones de acceso consecutivas del dispositivo de memoria con acceso directo, que en el presente caso está constituido por una sola memoria de acceso aleatorio (designada con el símbolo RAM) 8, y a tal objeto las salidas 4 del convertidor 3 van conectadas a las correspondientes entradas 9 de la memoria 8. La selección de las correspondientes direcciones de acceso de la memoria 8 en las cuales se van a inscribir las señales numéricas de televisión se efectúa con la ayuda del circuito de acceso 10, a cuya entrada 11 se aplica, a tal fin, la señal determinante de la frecuencia de reloj que viene del oscilador 5. Esta señal se aplica a un generador 12 de impulsos de sincronismo, desde el cual se aplica la señal, de frecuencia de reloj, a un contador 13 en cuyas salidas 14 aparecen unas señales de control que definen las direcciones de acceso, con arreglo a su nivel de recuento. Por medio de un conmutador 15, estas señales de control se aplican a unas salidas 16 del circuito de acceso, las cuales van conectadas a unas entradas 17 correspondientes de la memoria 8. La orden efectiva de inscribir una señal numérica de televisión en la dirección de acceso correspondientemente elegida se deriva también de la señal de frecuencia de reloj, por el hecho de que desde el generador 12 de impulsos de sincronismo se

aplica una señal de control adecuada a una salida 18 del
circuito de acceso, que va conectada a una entrada corres-
pondiente 19 de la memoria 8. Las señales numéricas que-
dan entonces almacenadas en la memoria 8 durante un inter-
5 valo de tiempo definido con precisión, siendo posible la
compensación de los errores de base de tiempo mediante una
elección apropiada de este intervalo de tiempo, como más
adelante se describe. Este intervalo de tiempo que viene
gobernado por el error de base de tiempo define cada vez
10 unas direcciones de acceso específicas de la memoria 8, de
las cuales se van a tomar por lectura las señales numéri-
cas de televisión. La lectura se efectúa con la misma
frecuencia de reloj que la inscripción. Las correspondien-
tes órdenes de control se derivan asimismo de la unidad de
15 acceso 10. La orden efectiva para leer o tomar una señal
numérica de televisión viene asimismo suministrada por el
generador 12 de impulsos de sincronismo, y se hace pasar
desde una salida 20 del circuito de acceso hasta una entra-
da 21 correspondiente de la memoria 8. La señal de control
20 pertinente para la lectura de la memoria 8, por lo tanto,
se deriva asimismo de la señal que viene del oscilador 5,
de modo que las direcciones de acceso pertinentes de la me-
moria se leen cada 200 nanosegundos. La memoria se lee
luego para entrada entre dos operaciones de inscribir de
25 la memoria, esto es, cada 100 nanosegundos después de una
operación de inscribir precedente. Por lo tanto, en la
presente forma de ejecución puede emplearse una memoria
que permita la inscripción o la lectura de un lugar de al-
macenaje tras aproximadamente 100 nanosegundos. Las direc-
30 ciones de acceso a la memoria que se vayan a leer vienen

determinadas por una señal de control que aparece en las salidas 16 del circuito de acceso, de igual manera que para la inscripción, a cuyo fin se cambia de posición el conmutador 15 por efecto del generador 12 de impulsos de sincronismo, después de lo cual se aplican a dichas salidas las señales de control correspondientes, mediante una forma del circuito de acceso, que se describirá más adelante. Las señales numéricas de televisión tomadas por lectura de las direcciones de acceso de la memoria 8 llegan a las salidas 22 de dicha memoria, desde las cuales se aplican a las entradas 23 de un convertidor 24 de numérico en analógico (D/A), en cuya salida 25 aparece disponible la señal analógica de televisión, corregida en cuanto a posibles errores de base de tiempo.

Para poder efectuar la corrección de errores de base de tiempo, como se obvio, hay que conocer la magnitud y el signo del error de base de tiempo correspondiente. A este fin, se deriva una señal de comparación tomándola de la señal de televisión, de manera ya conocida, señal de comparación que, por ejemplo, puede estar constituida por los impulsos de sincronismo de líneas de la señal de televisión. Esto se obtiene en un paso separador 26 a cuya entrada 27 se aplica la señal de televisión aplicada a la entrada 1 de la disposición de circuitos, y en cuya salida 28 se encuentran disponibles los impulsos de sincronismo de la señal de televisión, cuya secuencia de tiempo es indicativa del error de base de tiempo reinante. Para determinar la magnitud y el signo del error instantáneo de base de tiempo se usa un circuito de detección 29, a cuya entrada 30 se aplica la señal de salida del paso separador 26.

El circuito de detección 29 comprende un discriminador de fase 31 que, de manera usual, determina el desplazamiento de fase entre impulsos consecutivos de sincronismo de líneas. A este fin, la forma de realización incluye un circuito compensador que se denomina en general circuito de bucle de fase bloqueada, o circuito PLL, y que coopera con un oscilador 32 de frecuencia variable que suministra la señal deseada para el discriminador de fase y que, de manera usual, recibe una señal de control desde el discriminador de fase 31 por medio de un filtro 33 de paso bajo. Así, el discriminador de fase 31, que por su entrada 34 recibe los impulsos de sincronismo de líneas, da por su salida una señal de error que es proporcional al error de base de tiempo correspondiente, señal de error que, según la elección del discriminador de fase, puede ser una señal analógica o numérica. En la presente forma de realización se supone que hay disponible una señal analógica. Esta señal analógica de error de base de tiempo, cuya amplitud es proporcional a los intervalos de tiempo indicativos del error de base de tiempo, se aplica a la entrada 36 de otro convertidor 37 de analógico en numérico, para así obtener una señal numérica de error de base de tiempo, de la cual se dispone entonces en las salidas 38 del convertidor, que son también las salidas del circuito detector 29.

Las señales numéricas de error de base de tiempo se valoran en unos instantes de muestreo que corresponden al ritmo de los impulsos de sincronismo de líneas, y a este fin los impulsos de sincronismo de líneas aplicados a la entrada 30 del circuito detector 29 se aplican también a otra entrada 39 del convertidor 37 de A/D. En

el presente caso no es necesario un muestreo más frecuente, porque el error está también determinado en el ritmo de los impulsos de sincronismo de líneas. La cuantificación de las amplitudes de la señal analógica de error de base de tiempo para la formación de las señales de error de base de tiempo en los instantes de muestreo individuales se efectúa en unas unidades que corresponden a un intervalo de tiempo dado, lo que da por resultado un número de bitios correspondiente. En el presente ejemplo se supone que este intervalo de tiempo ha de ser de 200 nanosegundos. Por lo tanto, este intervalo de tiempo es igual al intervalo de tiempo definido por la frecuencia de reloj para inscribir las señales numéricas de televisión en las direcciones de acceso de la memoria 8. La razón o relación de estos dos intervalos de tiempo ha de ser siempre un número entero (en este caso, la unidad), para que sea posible asignar a las unidades de error unas unidades de corrección correspondientes. Por lo tanto, un bitio de error en el presente ejemplo corresponde a un retardo de tiempo equivalente a un lugar o dirección de acceso en la memoria 8. Así, queda establecida la relación entre la señal numérica de error de base de tiempo y los lugares o direcciones de acceso individuales en la memoria 8.

Las señales numéricas de error de base de tiempo obtenidas de la manera arriba descrita y que, como es obvio, son también representativas del signo del error de base de tiempo, se aplican ahora desde las salidas 38 del circuito de detección 29 a unas entradas 40 del circuito de acceso 10, para así obtener unas señales de control que definen qué tiempo de retardo ha de transcurrir,

con arreglo al correspondiente error de base de tiempo, antes de que se retiren del mismo las señales numéricas de televisión que han sido inscritas en las direcciones de acceso individuales de la memoria 8. Esto se efectúa de tal manera que, según la señal numérica de error de base de tiempo que se obtiene, se elige para lectura la dirección de acceso a memoria que contiene la señal numérica de televisión correspondiente al instante para el cual se obtiene el pertinente error de base de tiempo. Así, el error de base de tiempo se corrige de manera puramente numérica. El circuito de acceso 10, por lo tanto, deduce o deriva, de las señales numéricas de error de base de tiempo que le han sido aplicadas, unas señales numéricas de control que, como se ha dicho, se encuentran disponibles en las salidas 16 de dicho circuito y que se aplican a las entradas 17 de la memoria 8, de tal modo que se efectúa la selección de los lugares o direcciones de acceso correspondientes en la memoria 8.

Así, el margen o intervalo de control para la corrección de errores de base de tiempo, por lo que concierne a la magnitud máxima, viene gobernado por la capacidad respecto al número de direcciones de acceso de la memoria 8; y por lo que concierne a la magnitud mínima, por la frecuencia de reloj seleccionada para inscripción en la memoria. En el presente ejemplo, la frecuencia de reloj corresponde a un intervalo de tiempo de 200 nanosegundos, de modo que es éste el error más pequeño de base de tiempo que es posible compensar. Si se supone que la memoria 8, por ejemplo, tiene una capacidad de 1024 bitios, correspondiendo el error de base de tiempo de magnitud ce-

ro a la mitad de la capacidad de almacenaje, se obtiene un margen de control máximo, para el error de base de tiempo, de $\pm 102,4$ microsegundos, que corresponde a aproximadamente $\pm 1,5$ líneas de la señal de televisión.

5 Si no existe error de base de tiempo, se leen a la frecuencia de reloj aquellas direcciones de acceso de la memoria 8 que correspondan siempre a la mitad de la capacidad de almacenaje, de conformidad con la operación de inscribir la señal numérica de televisión en la memoria.

10 En cambio, si el circuito de detección 29 detecta un error de base de tiempo, se lee un lugar o dirección de acceso de la memoria 8 situado antes o después del lugar o dirección de acceso correspondiente a la mitad de la capacidad de la memoria, de acuerdo con la magnitud y el signo del error. Tal dirección de acceso viene determinada por el
15 circuito de acceso 10, simplemente de acuerdo con la regla del cálculo:

$$X_A = S_A - \left(\frac{1}{2} K \pm F \right) ,$$

20 donde X_A es la dirección de acceso deseada, S_A es la última dirección de acceso en la cual se introdujo una señal numérica de televisión, K es la capacidad de la memoria y F el error numérico de base de tiempo correspondiente. Este cálculo puede efectuarse en el circuito de acceso 10 de
25 varias maneras: por ejemplo, con la ayuda de unos circuitos sumadores o de un contador reversible, y similares. En el presente ejemplo se incluyen a este fin dos circuitos sumadores 41 y 42. Por medio de las entradas 40 del
30 circuito de acceso se aplican las señales numéricas de error de base de tiempo al circuito sumador 41, y por las

entradas 43 se aplica una señal numérica constante correspondiente a la mitad de la capacidad de almacenaje, señal que se obtiene de una memoria de lectura solamente, y en dicho circuito sumador se combinan con arreglo a su magnitud y signo. Las señales que aparecen en las salidas 44 del circuito sumador 41 se aplican a las entradas 45 del circuito sumador 42, el cual tiene otras entradas 46 a las cuales se aplican las señales que aparecen en las salidas 14 del contador 13 y que definen la dirección de acceso de la memoria 8 en la que por última vez se introdujo la señal numérica de televisión. Estas señales aplicadas al circuito sumador 42 se combinan también en éste con arreglo a su magnitud y signo, de modo que, de acuerdo con la regla de cálculo arriba mencionada, en las salidas 47 de este circuito sumador 42 se obtienen unas señales de control que identifican la dirección de acceso deseada de la memoria 8, en la que está contenida la señal numérica de televisión ya corregida en relación con el correspondiente error de base de tiempo. Durante cada operación de leer, estas salidas 47 se conectan a las salidas 16 del circuito de acceso por medio del conmutador 15, desde el cual se aplican las señales de control a las entradas 17 de la memoria 8.

Como se desprende de lo que antecede, tal disposición de circuitos, en particular, permite compensar errores de base de tiempo mayores y exclusivamente por procedimientos numéricos (por dígitos), de modo que no aparecen efectos de tolerancia ni de deriva o arrastre, en contraste con las disposiciones de circuitos en las que la señal de error de base de tiempo se trata por procedimientos

analógicos. Es más, el error residual es siempre constante, porque sólo depende de la frecuencia de reloj seleccionada y no de la calidad del circuito de control, su ganancia de bucle, etc., de manera que no se producen fluctuaciones variables en la posición de la imagen a consecuencia del error residual. La magnitud del margen o intervalo máximo de control viene entonces determinada, como antes se ha dicho, por la capacidad de la memoria y por la frecuencia de reloj seleccionada. Naturalmente, tal disposición de circuitos permite corregir errores de base de tiempo en señales de televisión tanto en blanco y negro como en colores.

En la forma de ejecución de la fig. 2, la señal de televisión aplicada a la entrada 1 y afectada de errores de base de tiempo es también convertida en señal numérica, en un convertidor 3 de analógico en numérico, señal numérica ésta que, desde la salida 4 del convertidor, es aplicada a las entradas 9 de la memoria 8 de acceso aleatorio (RAM). También se usa una señal similar, de una frecuencia de reloj de 5 MHz, como señal de control y para determinar los instantes de muestreo de la señal de televisión, que se aplica a la entrada 7 del convertidor de analógico en numérico, de modo que cada 200 nanosegundos se dispone de una señal numérica de televisión, para ser transferida a la memoria 8. Esta señal de control viene suministrada por un paso divisor 48, al cual se aplica la señal procedente del oscilador 5. En este caso, el oscilador 5 genera una señal con una frecuencia de reloj de 10 MHz, reducida a la mitad por el paso divisor 48, de modo que se obtiene la frecuencia de reloj de 5 MHz. Esta fre-

cuencia de reloj llega también a la entrada 11 del circuito de acceso 10, que es de igual diseño que en la forma de ejecución de la fig. 1 y que de la seguridad de que las señales numéricas de televisión se inscriben en los lugares o direcciones de acceso apropiadas de la memoria 8, al ritmo de 200 nanosegundos. Esto se efectúa también con la ayuda de unas señales de control aplicadas, desde las salidas 16 y 18 del circuito de acceso, a las entradas 17 y 19 de la memoria 8.

La magnitud y el signo del error de base de tiempo vienen determinados con la ayuda de un circuito de detección 29, a cuya entrada 30 se aplican los impulsos de sincronismo de líneas que han sido separados de la señal de televisión con un circuito separador 26. En el presente ejemplo, se supone que el discriminador de fase 31 incluido en el circuito de detección produce directamente por su salida 35 una señal de error de base de tiempo, en forma o perfil de impulso cuya anchura instantánea es representativa del correspondiente error de base de tiempo. Para la formación de una señal numérica cuantificada, de error de base de tiempo, esta señal de salida del discriminador de fase se aplica a la entrada de control 49 de un contador 50 a cuya entrada de recuento 51, que está conectada a otra entrada 52 del circuito de detección, se aplica una señal de reloj de forma o perfil de impulso, cuyos impulsos son contados por el contador durante el intervalo de tiempo en el que una señal de error de base de tiempo aparece en su entrada de control 49. Así, las señales numéricas de error de base de tiempo deseadas, en forma de cierto número de bitios, aparecen disponibles en las sali-

das del contador, que constituyen también las salidas 38 del circuito de detección.

En el presente ejemplo, la cuantificación de las señales de error de base de tiempo, de forma de impulsos, para la formación de las señales numéricas de error de base de tiempo se efectúa en unidades que corresponden a un intervalo de tiempo definido por la frecuencia de reloj que se aplica al contador. Este intervalo de tiempo se elige igual a 50 nanosegundos, que corresponde a una frecuencia de reloj de 20 MHz. La señal de reloj correspondiente se deriva del oscilador 5, aplicando la señal de salida de dicho oscilador a un paso doblador o duplicador de frecuencia 53 cuya señal de salida se aplica a su vez a la entrada 52 del circuito de detección. También en este caso se satisface el requisito de que la razón o relación entre el intervalo de tiempo de 200 nanosegundos definido por la frecuencia de reloj, para inscribir las señales numéricas de televisión en la dirección de acceso de la memoria 8, y el intervalo de tiempo de 50 nanosegundos para la formación de las señales numéricas de error de base de tiempo sea un número entero, para poder así asignar unidades de corrección correspondientes a las unidades de error. En el presente caso, el intervalo de tiempo primeramente mencionado es el cuádruplo del segundo intervalo de tiempo, lo que significa que el error de base de tiempo viene determinado en unidades más pequeñas que las correspondientes unidades de corrección en la memoria 8.

Por esta razón, la presente forma de ejecución lleva incorporada una memoria compensadora 54 intercalada entre las salidas 22 de la memoria 8 y las entradas 23 del

convertidor 24 de numérico en analógico, memoria compensadora ésta en la cual la señal numérica de televisión, tomada por lectura del lugar o dirección de acceso correspondiente de la memoria 8, puede almacenarse transitoriamente durante cierto tiempo, antes de ser llevada al convertidor 24 de numérico en analógico. Este tiempo puede ser de 0, 50, 100 o 150 nanosegundos, esto es, puede elegirse en pasos de 50 nanosegundos, con arreglo al intervalo de tiempo para la formación de la señal numérica de error de base de tiempo, del cual depende también el intervalo de tiempo que se vaya a usar. Al cabo de 200 nanosegundos, se traslada o transfiere la siguiente señal numérica de televisión, desde el correspondiente lugar de acceso de la memoria 8 hasta la memoria compensadora 54.

La salida por lectura de las direcciones de acceso de la memoria 8 con arreglo al error de base de tiempo reinante es también controlada con la ayuda del circuito de acceso 10, de igual manera que en el ejemplo de la fig. 1. A este fin, las señales numéricas de error de base de tiempo se aplican también al circuito de acceso 10, pero en este caso se incluye un filtro numérico 55 de paso bajo entre las salidas 38 del circuito de detección y las entradas correspondientes 40 del circuito de acceso, filtro éste que elimina la interferencia de baja frecuencia y las componentes de ruido de la señal de error de base de tiempo, lo que concretamente tiene un efecto favorable sobre la precisión de la corrección de errores de base de tiempo. Para la selección de los lugares o direcciones de acceso pertinentes en la memoria 8, el circuito de acceso, basándose en los bitios más significativos, determina

cuántos intervalos de tiempo completos de 200 nanosegundos hay contenidos en la señal numérica de error de base de tiempo, lo que trae como resultado la selección de la dirección de acceso. Las señales de control respectivas aparecen también en las salidas 16 del circuito de acceso, y la orden efectiva de lectura en la salida 20 del circuito de acceso, salida ésta que va conectada a la entrada 21 de la memoria 8.

Para la valoración de las señales numéricas de error de base de tiempo, el circuito de acceso, además, basándose en los bitios menos significativos de las mismas (en el presente ejemplo, los dos últimos bitios), determina el número de intervalos de tiempo de 50 nanosegundos, contenidos en las señales numéricas de error de base de tiempo, que exceden del número de intervalos de tiempo de 200 nanosegundos contenidos en las señales numéricas de error de base de tiempo. Las correspondientes señales de control aparecen en las salidas adicionales 56 y 57 del circuito de acceso. El número de estos intervalos de tiempo excedentes, de 50 nanosegundos, determina por cuánto tiempo ha de almacenarse, en la memoria compensadora 54, la señal numérica de televisión tomada por lectura de la memoria 8.

Para la formación de las órdenes de control correspondientes para la memoria compensadora 54, se prevén tres pasos de retardo 58, 59 y 60, cada uno de un retardo de 50 nanosegundos, así como un dispositivo conmutador 61. El dispositivo conmutador 61 tiene cuatro entradas 62, 63, 64 y 65 a las cuales se aplica la señal de control que aparece en la salida 20 del circuito de acceso 10

y que determina una operación de leer en la memoria 8, efectuándose dicha aplicación del siguiente modo: a la entrada 62, directamente; a la entrada 63, por medio del paso de retardo 58; a la entrada 64, por medio de los pasos de retardo 58 y 59; y, finalmente, a la entrada 65 por medio de los tres pasos de retardo 58, 59 y 60. Según la posición del elemento o brazo selector 66 del dispositivo conmutador 61, elemento que coopera con una de las entradas 62, 63, 64 y 65, una de estas señales de control se aplica a la salida 67 del conmutador, desde donde se suministra a una entrada 68 de la memoria compensadora 54, dando lugar a que se lea dicha memoria, sea directamente, sea al cabo de 50, 100 o 150 nanosegundos. La señal numérica de televisión tomada por lectura de la memoria compensadora se reconvierte luego en señal analógica de televisión, en el convertidor 24 de numérico en analógico.

El conmutador selector 66 se pone en una de sus cuatro posiciones según las señales numéricas de error de base de tiempo, para lo cual se hace uso de la valoración afinada del error. Las señales de control correspondientes, como se ha dicho, se hallan disponibles en las salidas 56 y 57 del circuito de acceso 10, que van conectadas a unas entradas correspondientes 69 y 70 del dispositivo conmutador 61, las cuales conducen a un dispositivo de control 71 que pone en acción al conmutador selector 61, dispositivo que, naturalmente, puede ser un interruptor electrónico, como es consiguiente.

Cuando el error de base de tiempo es cero, de la memoria 8 se toman por lectura las direcciones de acceso (según se ha descrito para el ejemplo de la fig. 1)

que, de conformidad con la manera en que la señal numérica de televisión se ha inscrito en la memoria, corresponden siempre a la mitad de la capacidad de almacenaje. Estas señales se transfieren a la memoria compensadora 54 e inmediatamente se toman por lectura de esta memoria, porque en este caso el conmutador selector 66 del dispositivo conmutador 61 está conectado a su entrada 62 y, por consiguiente, la señal de control de lectura que viene de la salida 20 del circuito de acceso 10 llega sin retardo a la memoria compensadora 54. Cuando el error de base de tiempo es menor de 200 nanosegundos, por ejemplo de 55 nanosegundos, se leen las direcciones de acceso correspondientes a la mitad de la capacidad de almacenaje de la memoria 8, y las señales numéricas de televisión correspondientes son transferidas consecutivamente a la memoria compensadora 54, pero no son tomadas por lectura de esta memoria hasta transcurridos 50 nanosegundos, porque en este caso el conmutador selector 66 del dispositivo conmutador 61 está conectado a la entrada 63 del mismo, a la que la señal de control de lectura procedente de la salida 20 del circuito de acceso 10 no llega hasta haber pasado por los medios de retardo 58, esto es, hasta transcurridos 50 nanosegundos. Lo mismo sucede en aquellos casos en que el error de base de tiempo es mayor de 200 nanosegundos, correspondiendo las direcciones de acceso, en múltiplos de 200 nanosegundos, a la lectura de este error, y dando la memoria compensadora 54 un retardo correspondiente a toda componente de exceso de 50 nanosegundos contenida en el error.

Así, en la presente forma de ejecución es posible, usando una memoria 8 de igual manera que en la for

ma de realización de la fig. 1, compensar los errores de base de tiempo hasta de 50 nanosegundos. En la práctica, el recurso de elegir el intervalo de tiempo, determinado por la frecuencia de reloj para inscribir la señal numérica de televisión en la memoria 8, cuatro veces mayor que el intervalo de tiempo destinado a la formación de las señales numéricas de error de base de tiempo, resulta ser, según se ha visto, particularmente ventajoso en relación con las operaciones necesarias y los resultados conseguidos por ellas. Cuando se elige un múltiplo distinto, la situación cambia de modo consiguiente.

La disposición de circuitos de la fig. 3 es del mismo diseño que la de la fig. 1, pero el dispositivo de memoria 8 ha sido sustituido por dos memorias de acceso aleatorio (RAM) 72 y 73 que operan en el modo de "multiplex". Así, es posible hacer funcionar las dos memorias 72 y 73 con la mitad, cada una, de la frecuencia de reloj usada para el convertidor 3 de analógico en numérico, de modo que es posible usar memorias sustancialmente más económicas. Para realizar el modo de multiplex se prevé un conmutador electrónico 74, detrás del convertidor 3, que bajo el control de la frecuencia de reloj del convertidor 3 aplique alternativamente las señales numéricas de televisión suministradas por este convertidor a las entradas 9 de las dos memorias 72 y 73. Las salidas 22 de las dos memorias 72 y 73 se combinan y conducen a las entradas 23 del convertidor 24 de numérico en analógico. La frecuencia de reloj para el circuito de acceso 10 para la formación de las señales de control, para inscribir las señales numéricas de televisión en los lugares o direcciones de ac

ceso de las memorias 72 y 73 y para tomar por lectura las señales numéricas de televisión de los correspondientes lugares o direcciones de acceso de las dos memorias, se obtiene con la ayuda de un paso divisor 75 que divide por dos la frecuencia de reloj para el convertidor 3, porque, debido a estar multiplexadas, las dos memorias operan con la mitad de la frecuencia de reloj del convertidor 3. Como en esta forma de ejecución el circuito de acceso 10 debe controlar las dos memorias 72 y 73 en el modo de multiplex, comprende dicho circuito dos grupos de salidas de control para realizar las operaciones de inscribir y leer y para la selección de las correspondientes direcciones de acceso que se vayan a inscribir o leer; grupos designados con los números de referencia 76, 77; 78, 79; y 80, 81, y que van respectivamente conectados a las entradas 19, 21 y 17 de las dos memorias. El funcionamiento de esta disposición de circuitos es idéntico al de la disposición de la fig. 1, excepto en que las direcciones de acceso que se vayan a seleccionar basándose en el error de base de tiempo correspondiente están situadas en la memoria 72 o en la memoria 73, según en cuál de las dos memorias se haya inscrito la señal numérica de televisión pertinente, debido al modo de multiplex.

25

30

REIVINDICACIONES

5) Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10 1^ª.- Una disposición de circuitos para la corrección numérica de los errores de base de tiempo de una señal de televisión que es convertida en señales numé-
ricas de televisión por un convertidor de analógico en numé-
rico con una frecuencia de reloj concreta y específica, se-
ñales que para la corrección de los errores de base de
15 15 tiempo se inscriben en, y a continuación se toman por lectura de, un dispositivo de memoria de acceso aleatorio con un número dado de lugares o direcciones de acceso, después de lo cual se reconvierten en una señal analógica de tele-
visión por medio de un convertidor de numérico en analógi-
co, caracterizada dicha disposición por tener provisto, pa-
20 20 ra el dispositivo de memoria, un circuito de acceso que inscribe las señales numéricas de televisión en las direc-
ciones de acceso del dispositivo de memoria, con la fre-
cuencia de reloj, y entre medias de esto lee, también con
la frecuencia de reloj, las direcciones de acceso del dis-
25 25 positivo de memoria que han sido seleccionadas de acuerdo con la magnitud y el signo del error de base de tiempo;
por tener provisto un circuito de identificación para de-
terminar el error de base de tiempo, circuito que compren-
de un discriminador de fase al cual se aplica una señal de
30 30 comparación que ha sido derivada de la señal de televisión

06127



5 y que se compara con una señal deseada, suministrando luego una señal de salida que es convertida en señales numéricas de error de base de tiempo, las cuales se cuantifican con un intervalo de tiempo dado, siendo un número entero la razón o relación entre el intervalo de tiempo definido por la frecuencia de reloj y el intervalo de tiempo dado para la formación de las señales numéricas de error de base de tiempo; y por el hecho de que las señales numéricas de error de base de tiempo se aplican al circuito de acceso, que controla la selección de las direcciones de acceso del dispositivo de memoria que han de ser leídas, según el número de intervalos de tiempo contenidos en las señales numéricas de error de base de tiempo y definidos por la frecuencia de reloj respecto al número de direcciones de acceso al dispositivo de memoria.

10 2ª.- La disposición de circuitos de la reivindicación 1ª, caracterizada por el hecho de que el intervalo de tiempo definido por la frecuencia de reloj es un múltiplo entero, de preferencia el cuádruplo, del intervalo de tiempo dado para la formación de las señales numéricas de error de base de tiempo, y por el de tener una memoria compensadora conectada a la salida de la memoria de acceso aleatorio, memoria compensadora ésta a la cual se transfiere la señal numérica de televisión, que ha sido tomada por lectura de una dirección de acceso del dispositivo de memoria, y en la cual permanece almacenada durante cierto tiempo determinado por el número de intervalos de tiempo dados, contenidos en las señales numéricas de error de base de tiempo, que excedan de los intervalos de tiempo definidos por la frecuencia de reloj.



3ª.- La disposición de circuitos de la reivindicación 1ª o la 2ª, caracterizada por el hecho de que los errores numéricos de base de tiempo se hacen pasar por un filtro numérico de paso bajo.

5 4ª.- La disposición de circuitos de cualquiera de las reivindicaciones precedentes, caracterizada por el hecho de que el dispositivo de memoria comprende por lo menos dos memorias de acceso aleatorio que operan en el modo de multiplex, inscribiéndose alternativamente las señales numéricas de televisión consecutivas en una de las memorias del dispositivo de memoria.

10

5ª.- UNA DISPOSICION DE CIRCUITOS PARA LA CORRECCION NUMERICA DE LOS ERRORES DE BASE DE TIEMPO DE UNA SEÑAL DE TELEVISION.

15

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de veintisiete hojas escritas a máquina por una sola cara.

20

Madrid, 20.FEB.1978

P.A.

Fernando de Eizaburu
Por Poder.

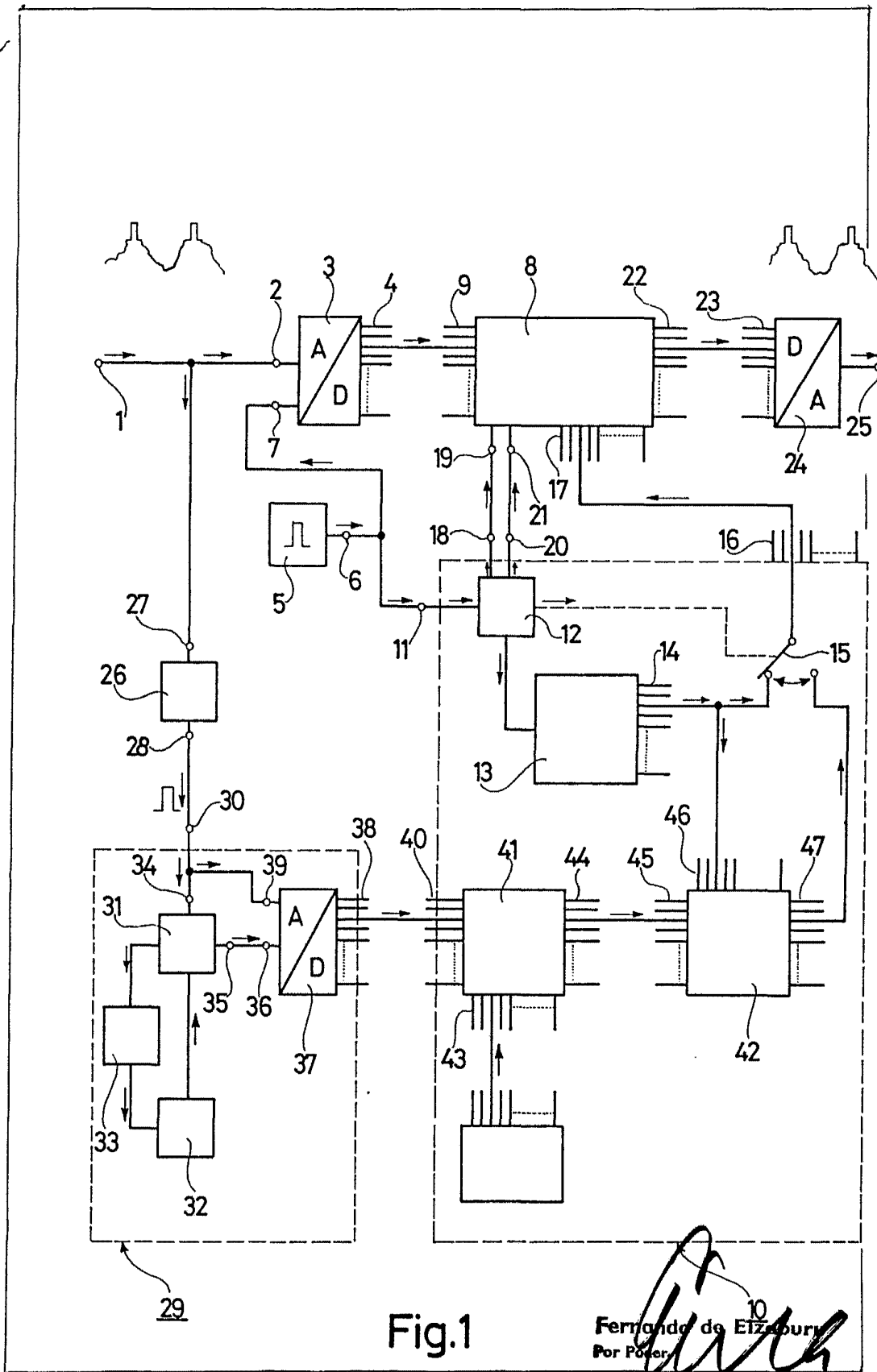
25

30

06127

MPB.-





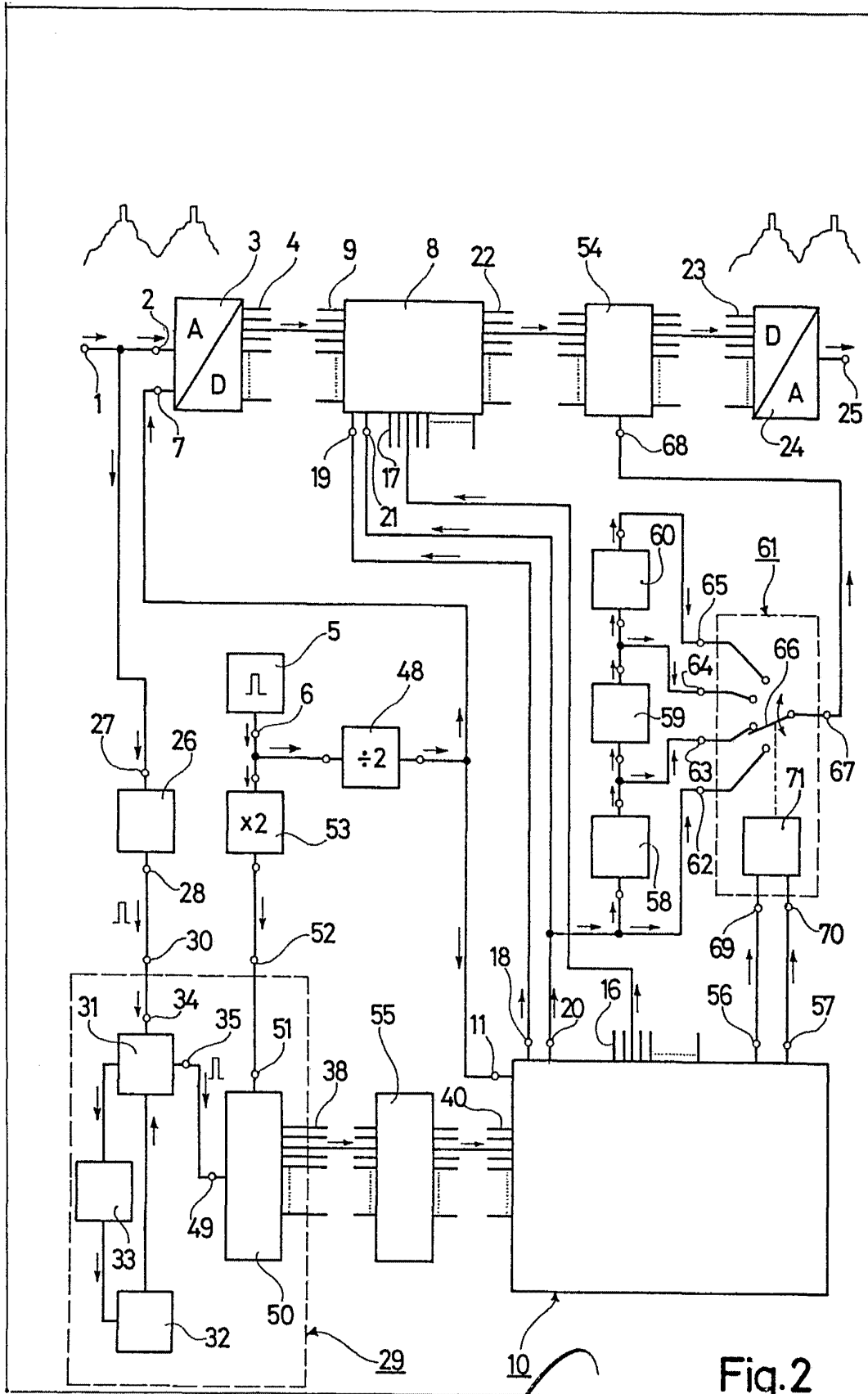


Fig. 2

Fernando de Ezaburu
Por Poder.

III APHN 8741

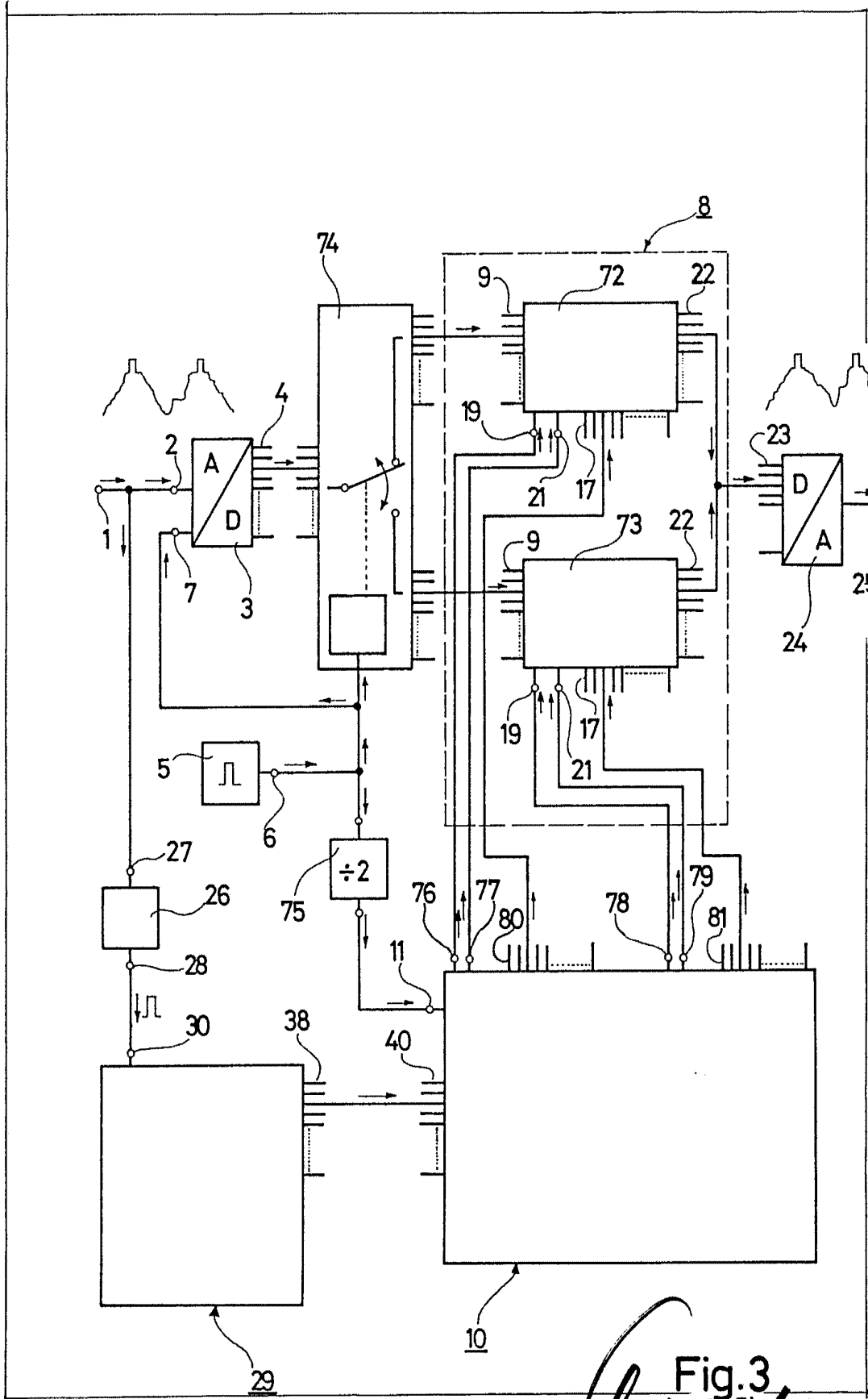


Fig. 3
Fernando de Elzaburu
for Patent.
3-III-APHN 8741