



Concedido el Registro de solicitud
con los datos que figuran en la pre-
sente descripción y según el con-
tenido de la Memoria adjunta.

NÚMERO	406901	© A1
FECHA DE PRESENTACION	11-Febrero-1.978	

PATENTE DE INVENCION

③① PRIORIDADES:	③② FECHA	③③ PAIS
③① NÚMERO		
771.593	24-2-77	E.U.A.

④⑦ FECHA DE PUBLICIDAD	⑤① CLASIFICACION INTERNACIONAL	⑥② PATENTE DE LA QUE ES DIVISIONARIA
	H01L	

⑥④ TITULO DE LA INVENCION

"UN METODO PARA FORMAR AISLAMIENTO DIELECTRICO TOTAL EN UNA ESTRUCTURA DE SILICIO"

⑦① SOLICITANTE (ES)

INTERNATIONAL BUSINESS MACHINES CORPORATION (IBM Docket FI9-76-053)

DOMICILIO DEL SOLICITANTE

Armonk, N.Y. 10504, Estados Unidos de América

⑦② INVENTOR (ES)

Hans Bernhard Pogge

⑦③ TITULAR (ES)

⑦④ REPRESENTANTE

DON ALBERTO DE ELZABURU MARQUEZ (P.-68.068)

MCS/.

Fundamento del invento

5 El invento se refiere a métodos para aislar dieléctrica y completamente regiones de silicio monocristalino de otras regiones de silicio monocristalino empleando un procedimiento de lado frontal completo.

Descripción de la técnica anterior

10 En la tecnología de circuito integrado monolítico, generalmente es necesario aislar varios elementos activos y pasivos unos de otros en la estructura de circuito integrado. Estos dispositivos han sido aislados retroderivando uniones PN, por aislamiento dieléctrico parcial y
15 aislamiento dieléctrico completo. Los materiales dieléctricos empleados han sido dióxido de silicio, vidrio y similares. El aislamiento preferido de estos dispositivos y circuitos activos es el aislamiento dieléctrico completo. Sin embargo, dichas estructuras son muy difíciles de fabricar
20 por las técnicas actuales.

Una forma de aislamiento dieléctrico completo está descrita en la patente de J.G. Kren y otros, de EE.UU. Nº 3.419.956 y la patente de P.P. Castrucci y otros de EE.UU. Nº 3.575.740, estando ambas cedidas al presente cesionario.
25 El método para fabricar esta forma de aislamiento dieléctrico implica la formación de una red de canales en una pastilla semiconductor de silicio monocristalino. A continuación se forma sobre la superficie de la pastilla una capa de dióxido de silicio u otro material dieléctrico. El silicio
30 policristalino se hace crecer a continuación sobre la

parte superior del dióxido de silicio u otro material dieléctrico en un espesor sustancial. El silicio monocristalino se ataca luego químicamente o elimina por pulido hasta que se alcanza la red de canales que son dióxido de silicio u otro material dieléctrico. Las partes restantes de la pastilla de silicio monocristalino están ahora aisladas unas de otras de la red de material dieléctrico. Los elementos y circuitos semiconductores pueden formarse ahora en las regiones de silicio monocristalino aisladas.

El método de silicio anodizado poroso y su oxidación subsiguiente ha sido empleado para formar cavidades completamente aisladas de silicio monocristalino en la patente de Y. Watanabe y otros, de EE.UU. Nº 3.640.806 y la patente de H.B. Pogge y otros de EE.UU. Nº 3.919.060, estando cedida esta última al cesionario del presente invento.

La patente de Watanabe y otros describe en su realización de la figura 4 el método para el aislamiento completo de cavidades monocristalinas en las que se forma una película de nitruro de silicio sobre un sustrato de silicio del tipo P, y la película de nitruro de silicio se elimina luego parcialmente por medio de un ataque fotoquímico. La película de nitruro de silicio restante se muestra con el número de referencia 2. La zona superficial expuesta del sustrato de silicio 1 se trata para formar una película porosa 5. Se separa la película 2 de nitruro de silicio. Una capa 6 de silicio monocristalino de tipo P+ se hace crecer epitaxialmente sobre el sustrato. Se forma una película de nitruro de silicio sobre el fondo del silicio monocristalino 1 y se emplean técnicas de fotolito

grafía enmascarante convencionales para formar regiones 5'
de silicio poroso. Las regiones se oxidan luego para formar un aislante que rodea completamente las regiones monocristalinas 1 como se muestra en la Figura 4E. El procedimiento tiene numerosas desventajas que implican particularmente su duración y complejidad.

La patente de Pogge y otros describe un método para formar regiones aisladas dieléctricamente de modo completo en las que se forma en un sustrato de silicio regiones de elevada conductividad o regiones de una conductividad opuesta al sustrato que definen las regiones dieléctricas deseadas últimas. Estas regiones se atacan anódicamente empleando una solución de ácido fluorhídrico para producir selectivamente regiones de estructura de silicio poroso en las regiones del tipo de elevada conductividad o de conductividad opuesta. Estas regiones de silicio poroso se exponen luego a un medio oxidante mientras que se calientan a una temperatura elevada para oxidar las regiones del silicio poroso formando el aislamiento dieléctrico completo de las regiones de silicio monocristalino.

Aunque las patentes de Watanabe y otros y de Pogge y otros proporcionan un aislamiento dieléctrico completo, existen problemas que implican gradientes de P+ en la dirección vertical que producirán la no uniformidad del dióxido de silicio y las tensiones resultantes en el cuerpo. Además, existen dificultades en empalmar las uniones PN con este tipo de aislamiento y la profundidad del aislamiento está limitada a la profundidad de la difusión de P+.

30 Resumen del presente invento

De acuerdo con el presente invento, se describe un método para formar un aislamiento dieléctrico total, en el que solamente se requiere un tratamiento de pastillas con lado frontal para alcanzar el aislamiento y se consigue un aislamiento de la pared vertical casi perfecto con dióxido de silicio térmico satisfactorio. El aislamiento dieléctrico de la pared vertical permite circuitos integrados con dispositivos de densidad elevada óptima aunque el aislamiento puede extenderse muy profundamente en el cuerpo. La técnica también permite una estructura resultante casi perfectamente plana.

El método para formar la estructura dieléctrica total comienza proporcionando un cuerpo de silicio que tenga una capa P de elevada conductividad sobre un lado. Se forma sobre la región P de elevada conductividad un crecimiento depositado epitaxial de una capa superficial de silicio monocristalino de otra conductividad tal como N o P menos impurificada que la P+. Una matriz de aberturas o canales se forma a través de la capa superficial en las regiones en las que se desea el aislamiento dieléctrico. Las distancias mínimas entre los canales en la capa superficial que rodean las regiones de silicio monocristalino deben mantenerse suficientemente estrechas de modo que pueda completarse la anodización y oxidación de la región P+. El cuerpo se coloca en un baño de anodización de silicio que produce silicio poroso preferiblemente en las regiones P+. El cuerpo se separa del baño de anodización y se somete a oxidación térmica en la que el silicio poroso se oxida junto con al menos una porción de las aberturas o canales y la superficie de la capa superficial. La oxidación térmi

ca puede continuarse hasta que el canal está completamente oxidado o terminado y se deposita una deposición química de vapor de dióxido de silicio u otro material adecuado sobre la superficie de la capa superficial y llenando las aberturas o canales. La región de dióxido de silicio que rellena las regiones P+ no causa tensiones indebidas debido a que la estructura permite el movimiento hacia arriba o aplastamiento de las islas de silicio monocristalino, dependiendo el movimiento específico de la porosidad original empleada en la región P+.

Breve descripción de los dibujos

Las Figuras 1-4 son vistas en corte transversal que ilustran las etapas preliminares para la formación de aislamiento dieléctrico total del presente invento;

la Figura 5 ilustra la etapa de aislamiento dieléctrico completo para una forma del presente invento;

las Figuras 6 y 7 ilustran las etapas de completar una segunda forma de aislamiento dieléctrico total;

la Figura 8 muestra una vista plana de la abertura o canal que rodea una región de silicio monocristalina; y

la Figura 9 muestra una vista en corte que ilustra los problemas desarrollados al rellenar el canal o las aberturas con un dióxido de silicio u otro material dieléctrico.

Descripción de las realizaciones preferidas

Haciendo referencia ahora más particularmente a

las Figuras 1-4, se muestran las etapas preliminares de fabricación de las regiones de silicio aisladas dieléctricamente de modo completo. La estructura de la Figura 1 que incluye el sustrato 10 de silicio monocristalino que se muestra como P- con fines de ilustración, una capa 12 de conductividad P+ sobre el sustrato 10 y una capa 14 N- sobre la capa 12. La capa conductividad N- podría ser alternativamente una capa de conductividad P. Esta estructura podría fabricarse por varias técnicas. Sin embargo, la técnica preferida es proporcionar un sustrato de silicio monocristalino P- y difundir una difusión en capa P+ en el sustrato 10 empleando difusión térmica convencional o implantación de iones de boro para producir una región y una concentración superficial de entre aproximadamente 1×10^{19} a 1×10^{20} átomos/cc. La capa 14 se hace crecer subsiguientemente sobre la estructura 10, 12, por medio de crecimiento epitaxial. Este puede realizarse por técnicas convencionales tales como el empleo de mezclas de SiCl_4/H_2 o SiH_4/H_2 a temperaturas de crecimiento de aproximadamente 1000°C - 1.200°C . La capa P+ puede tener un espesor típico de aproximadamente 1,0-2,0 micras mientras que la capa epitaxial tiene un espesor de 1-10 micras, dependiendo el espesor exacto del dispositivo que ha de construirse.

Alternativamente, la estructura podría formarse por diversas combinaciones de métodos de difusión térmica, implantación de iones y/o crecimiento o desarrollo epitaxial que incluiría la formación de una región subcolectora enterrada para formación subsiguiente de dispositivos bipolares.

La siguiente serie de etapas mostradas en las

Figuras 2 y 3 se dirigen a la técnica para ataque químico con ión reactivo de aberturas o canales sustancialmente verticales en la capa superficial 14. Los detalles de este ataque químico con ión reactivo de silicio pueden comprenderse más completamente con referencia a la solicitud de patente de EE.UU. de J. M. Harvilchuck y otros, número de serie 594.418, presentada el 9 de julio de 1975, titulada "Reactive Ion Etching of Silicon" y cedida al cesionario del presente invento a la que corresponde la DOS alemana 2.617.483. Brevemente, el procedimiento implica el crecimiento de un material de máscara 16 sobre la superficie de la capa superficial 14. Este material 16 debe tener las características físicas y químicas que implican inactividad sustancial al plasma de ataque químico para atacar químicamente el silicio. Los materiales preferidos para la capa de máscara 16 son dióxido de silicio, nitruro de silicio u óxido de aluminio en los que el plasma inducido por RF es de las especies de cloro, bromo o yodo reactivos, como se especifica en la solicitud de patente de EE.UU. de Harvilchuck y otros. Después de la deposición en capa del material de máscara 16 sobre la capa 14, se emplean técnicas de fotolitografía convencionales para formar aberturas 18, en la capa en la que desea atacar químicamente el silicio. El espesor de la capa de máscara es de aproximadamente 10.000 a 20.000 Angstroms. La descripción precisa del aparato de descarga para crecimiento por RF se da en la solicitud de patente antes mencionada. El ataque químico con ión reactivo o el ambiente de plasma es preferiblemente una combinación de un gas inerte tal como argón y una especie de cloro. La aplicación de

energía adecuada del orden de aproximadamente 20 a 200 watos a partir de una fuente de tensión de RF producirá suficiente densidad de energía para hacer que se lleve a cabo la operación de ataque químico con ión reactivo en menos de una hora. El resultado deseado del ataque químico está en la Figura 3 en la que las aberturas o canales penetraron al menos parcialmente en la región P de elevada conductividad. Los canales o aberturas puede atravesar sustancialmente la capa 12 P+ o incluso todo el camino a través de la capa hasta el sustrato 10. Estas últimas alternativas producen mayor zona superficial para anodización subsiguiente de silicio P+ y oxidación del silicio poroso.

La región 12 de elevada conductividad P se anodiza colocando el cuerpo en una solución que convierte el silicio de la región 12 en una estructura de silicio poroso como se muestra en la Figura 4. Esto puede realizarse convenientemente anodizando la estructura en una solución acuosa de HF a una densidad de corriente suficiente para conseguir una porosidad relativamente elevada. La solución de anodización contiene una cantidad mayor que el 10% de HF y preferiblemente en el intervalo de 12 a 25% de HF.

El sustrato 10 hace de ánodo en una solución de HF y se coloca una placa de metal adecuada en la solución de anodización que actúa como cátodo. Después que se completa la etapa de anodización, la porosidad media del silicio poroso debe ser mayor que aproximadamente 40% y más preferiblemente en el intervalo de 50-80%. La porosidad es importante de modo que pueda ocurrir una oxidación suficiente para producir una capa dieléctrica densa en la etapa subsiguiente sin introducir tensiones internas sig-

nificativas. La porosidad exacta del silicio puede ajustarse variando la concentración de HF de la solución de anodización, la temperatura de la solución, la concentración impurificante de la región de silicio que es anodizada y la densidad de corriente. La densidad de corriente utilizada está en el intervalo de 20 a 60 miliamperios/cm². En la Figura 4 se muestra la capa 20 de silicio poroso resultante.

La Figura 5 ilustra la estructura oxidada resultante en la que se continua la oxidación térmica durante tiempo suficiente para formar completamente dióxido de silicio 22 hecho crecer o desarrar térmicamente en la región 20 de silicio poroso más antigua, en la región 24 de aberturas o canales y sobre la superficie 26. El ambiente de aproximadamente 950-1000°C durante aproximadamente 17 horas cerrará aproximadamente una abertura de 2 micras. El ambiente oxidante es vapor de agua. Las regiones 30 aisladas dieléctricamente resultantes se aíslan unas de otras por dióxido de silicio. El problema con esta realización es la cantidad de tiempo requerido para oxidar térmicamente y rellenar las regiones 24 de aberturas o canales con dióxido de silicio.

Una segunda realización oxidante se muestra en las Figuras 6 y 7. En esta realización el cuerpo se coloca en un ambiente oxidante similar a 950-1000°C, pero durante una cantidad de tiempo menor que es del orden de 20 minutos. En esta realización la región 20 de silicio poroso se oxida formando la región 22 de dióxido de silicio y un revestimiento 32 de dióxido de silicio térmico delgado sobre todas las regiones de silicio expuestas que in-

cluyen las regiones de aberturas o canales y las capas superficiales de silicio monocristalino como se muestra en la Figura 6. La estructura se coloca ahora en un aparato de deposición química de vapor, en el que se deposita un material dieléctrico 34 tal como dióxido de silicio, nitruro de silicio, óxido de aluminio o sus combinaciones, o incluso silicio policristalino, sobre la superficie superior del cuerpo de la estructura. Este procedimiento es típicamente una deposición química de vapor de una mezcla gaseosa de N_2O , SiH_4 y N_2 a temperaturas de crecimiento de aproximadamente $800^{\circ}C$ para formar SiO_2 . El revestimiento 32, 34 resultante cubre completamente la región 30 de aislamiento monocristalino de silicio y los canales y aberturas entre estas regiones. La Patente de A.K. Hochberg de EE.UU. Nº 3.966.577 da más información referente a la oxidación y relleno por procedimientos de deposición química de vapor, de aberturas o canales verticales en el silicio.

Tiene que ser superado un problema crítico que implica la formación de una región 22 de dióxido de silicio completo para aislar dieléctricamente de modo completo las regiones monocristalinas 30. El canal o las aberturas tienen que tener un tamaño suficiente para dejar pasar eficazmente los materiales reactivos dentro de ellos y reaccionar primero para formar la región 20 de silicio poroso a partir de la región 12 de concentración P y en segundo lugar para formar la región 22 de dióxido de silicio a partir de la región de silicio poroso 20. Debido a esto la abertura debe tener una anchura mínima de aproximadamente 0,3 micras que se basa en la capacidad de litografía. Otro

factor crítico es la distancia o anchura mínima entre aberturas en la capa superficial para cada región circundante, siendo menor de aproximadamente 300 micras de modo que pueda progresar particularmente el procedimiento de oxidación por la capa porosa completa. Esto está ilustrado en la Figura 8 en la que la abertura 38 rodea una región rectangular 40 aislada de silicio monocristalino. La otra dimensión del rectángulo puede ser muy amplia y no es crítica.

Cuando la anchura de la abertura o canal es indebidamente grande, el problema de relleno de la abertura con material dieléctrico llega a ser un problema incluso mayor. En la técnica de relleno de oxidación térmica completa, el tiempo requerido para este relleno llega a ser importante cuando la anchura de la abertura es mayor que aproximadamente 2 micras. La Figura 9 ilustra el problema que supone rellenar las aberturas o canales de anchuras diferentes por la realización de oxidación térmica y de oxidación por deposición química de vapor. Las tres anchuras mostradas en la Figura 9 son 1 micra, 2 micras, y 3 micras. Iguales números en las Figuras 7 y 9 indican iguales regiones. Con la deposición de 1 micra de dióxido de silicio 42 de deposición química, se rellena la abertura más estrecha. Sin embargo, las otras dos aberturas no se rellenan. Con la adición de una segunda capa de 1 micra de dióxido de silicio 44 de deposición química, se rellena la abertura de tamaño mediano. Sin embargo no se llena la abertura mayor. Por consiguiente debe haber un equilibrio entre el problema de tener una abertura suficiente grande para permitir a los materiales reactivos que anodicen el silicio y oxiden el silicio poroso para

alcanzar las diversas regiones, frente al problema de aberturas indebidamente grandes que consumen bienes raíces de los dispositivos que subsiguientemente han de formarse y el requerimiento de formación de óxido térmico o deposición química de vapor muy grueso sobre la superficie para rellenar las aberturas. La anchura de la abertura debe ser preferiblemente menor de 3 micras.

Aunque el invento se ha mostrado y descrito particularmente con referencia a sus realizaciones, ha de entenderse por los expertos en la técnica que pueden realizarse lo anterior y otros cambios en forma y detalle sin separarse del espíritu y alcance del invento.

REIVINDICACIONES

5 Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes.

10 1ª.- Un método para formar aislamiento dieléctrico total en una estructura de silicio, que comprende: proporcionar un cuerpo de silicio compuesto principalmente de una conductividad, una capa de conductividad P+ sobre él y una capa superficial de una conductividad distinta de la de dicha capa; formar aberturas en dicha capa superficial atacando químicamente con ión reactivo dicha

15 capa P+; atacar anódicamente el cuerpo en una solución de ácido fluorhídrico para convertir selectivamente dicha capa de silicio de conductividad P+ en una capa de silicio poroso; y oxidar la capa de silicio poroso resultante para

20 formar una capa de óxido de silicio y oxidar el silicio en dicha capa superficial dentro de dichas aberturas y en su superficie formando regiones completamente aisladas de dicha capa superficial.

25 2ª.- El método de acuerdo con la reivindicación 1ª, en el que dicho ataque químico con ión reactivo se realiza empleando una especie de cloro.

3ª.- El método de acuerdo con la reivindicación 1ª, en el que la porosidad de dicha capa P+ está entre aproximadamente 40 y 80 después de atacar anódicamente el cuerpo.

4ª.- El método de acuerdo con la reivindicación

1ª, en el que la anchura de dicha abertura está entre aproximadamente 0,3 y 3,0 micras.

5 5ª.- El método de acuerdo con la reivindicación 1ª, en el que dicho ataque químico con ión reactivo pasa adicionalmente a través de dicha capa P+.

6ª.- El método de acuerdo con la reivindicación 1ª, en el que dicha capa superficial y las regiones completamente aisladas resultantes de dicha capa superficial son del tipo P.

10 7ª.- El método de acuerdo con la reivindicación 1ª, en el que dicha capa superficial y las regiones completamente aisladas resultantes de dicha capa superficial son del tipo N.

15 8ª.- El método de acuerdo con la reivindicación 1ª, en el que el espesor de dicha capa P+ está entre aproximadamente 1 a 2 micras.

20 9ª.- El método de acuerdo con la reivindicación 1ª, en el que la distancia mínima entre dichas aberturas en dicha capa superficial para cada región circundante es menor de aproximadamente 300 micras, de modo que dicha oxidación pueda progresar a través de dicha capa de silicio porosa completa bajo dicha región circundante.

25 10ª.- El método de acuerdo con la reivindicación 1ª, en el que una parte de dicha oxidación es térmica y el resto es por deposición química de vapor.

11ª.- El método de acuerdo con la reivindicación 10ª, en el que dicha oxidación térmica ocurre entre 950 y 1000°C durante 1 a 20 horas en un ambiente de vapor de agua.

12ª.- El método de acuerdo con la reivindicación

30

10ª, en el que dicha deposición por vapor químico de dióxido de silicio ocurre a 800°C en una mezcla gaseosa de $N_2O/SiH_4/N_2$.

5 13ª.- "UN METODO PARA FORMAR AISLAMIENTO DIELECTRICO TOTAL EN UNA ESTRUCTURA DE SILICIO".

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

10 Esta memoria consta de quince hojas escritas a máquina por una sola cara.

Madrid, 11.FEB.1978

P.A.

Alberto de Elizaburo
For Power.

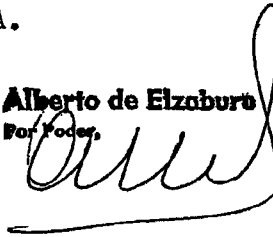


FIG. 1

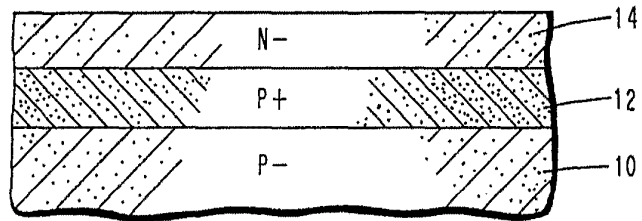


FIG. 2

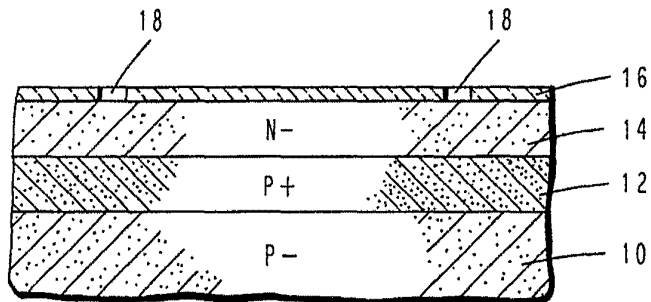


FIG. 3

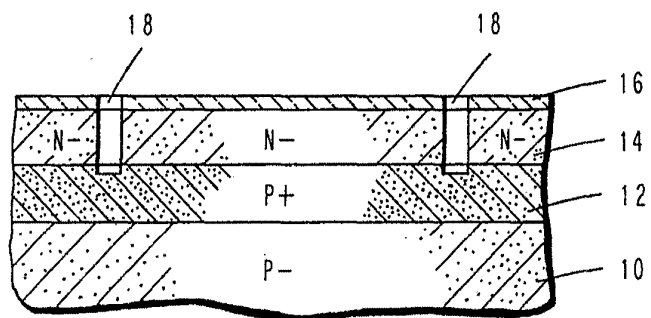


FIG. 4

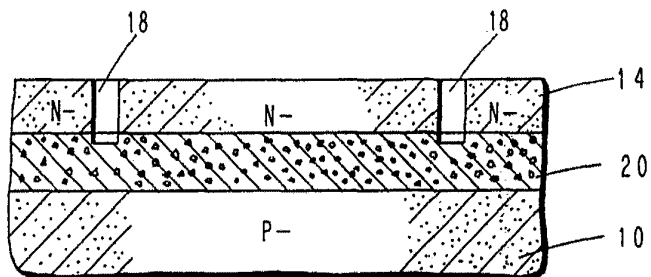
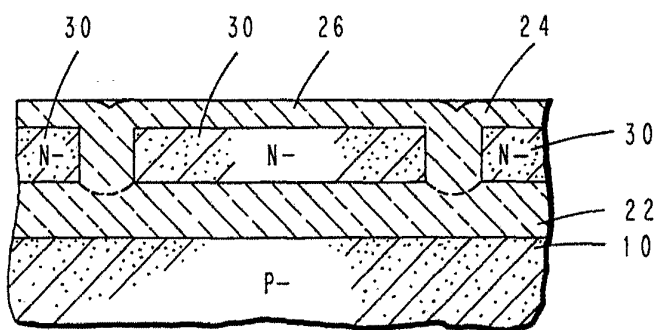


FIG. 5



Alberto de Elizaburu
Por Poderes

Alberio de Elizaburu
Pat. Poder.

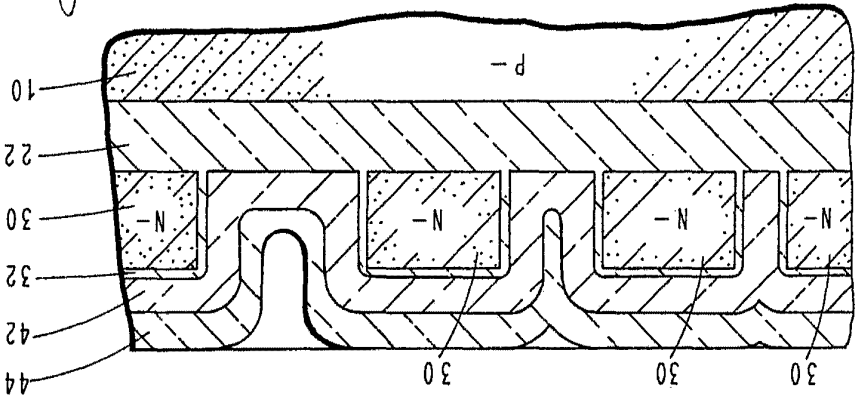


FIG. 9

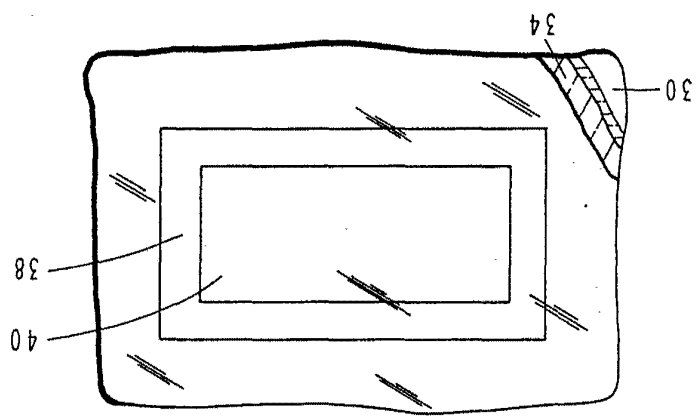


FIG. 8

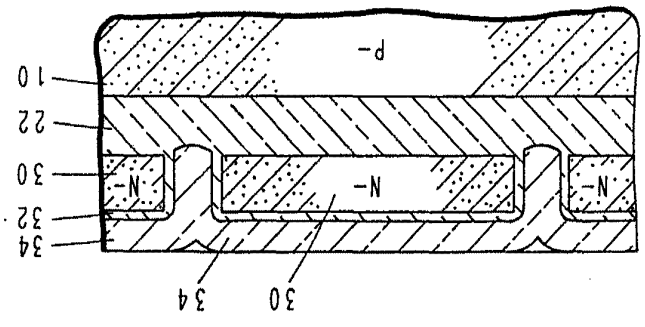


FIG. 7

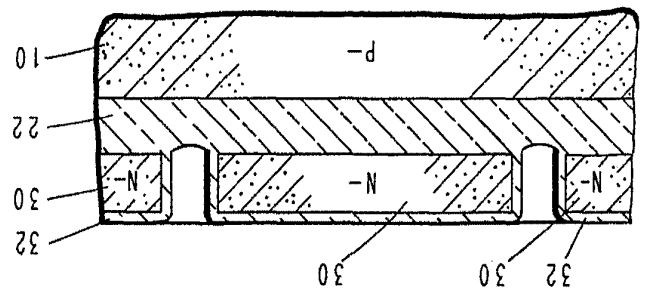


FIG. 6

II/II

INTERNATIONAL BUREAU OF PATENT CO-OPERATION

68068