



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

10 ES	11 NUMERO 466.564	10 A1
21	22 FECHA DE PRESENTACION 2-2-1978	

20 DIC. 1978

PATENTE DE INVENCION

30 PRIORIDADES: 31 NUMERO 77/01172	32 FECHA 4-2-1977	33 PAIS Holanda
17 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL G11C	62 PATENTE DE LA QUE ES DIVISIONARIA
24 TITULO DE LA INVENCION "UN DISPOSITIVO SEMICONDUCTOR QUE TIENE UN ELEMENTO DE MEMORIA SEMICONDUCTOR"		
71 SOLICITANTE (S) N.V. PHILIPS 'GLOEILAMPENFABRIEKEN (PHN 8675 Spain - HK/EV)		
DOMICILIO DEL SOLICITANTE Emmasingel 29, Eindhoven, Holanda		
72 INVENTOR (ES) Marnix Guillaume Collet, Roelof Herman Willem Salters y Joannes Joseph Maria Koomen		
73 TITULAR (ES)		
74 REPRESENTANTE DON ALBERTO DE ELZABURU MARQUEZ (P.-68.125)		

jga

POOR  
QUALITY

1

La presente invención se refiere a un dispositivo semiconductor que tiene un elemento de memoria semiconductor, particularmente adecuado para uso en una memoria de acceso aleatorio, dispositivo que comprende un cuerpo de semiconductor dotado de una región superficial, contigua a superficie, de principalmente un determinado tipo de conductividad y dotado de un transistor de efecto de campo, denominado aquí en lo sucesivo primer transistor de efecto de campo, el cual comprende dos regiones de electrodo principal de un determinado tipo de conductividad y entre ellas una región de canal de un determinado tipo de conductividad, y una región de electrodo de mando, situada en superficie, por medio de la cual es posible inducir en el cuerpo de semiconductor una región de empobrecimiento, que se extiende entrando por lo menos en la región de canal, la cual constituye una región de almacenaje de carga en la que puede almacenarse información en forma de carga eléctrica, información que puede leerse de manera no destructiva por determinación de la conductancia en la región de canal comprendida entre las regiones de electrodo principal.

5

10

15

20

25

30

La invención se refiere en particular a un dispositivo semiconductor que comprende una memoria de acceso aleatorio dotada de un cuerpo de semiconductor que en una superficie está provisto de un sistema de conductores de líneas de vocablo y líneas de bitio, los cuales, en el área de los cruces, van eléctricamente acoplados a unos elementos de memoria dispuestos en una región superficial subyacente del cuerpo de semiconductor, de principalmente un determinado tipo de conductividad, que comprenden cada uno un

1 transistor de efecto de campo, denominado aquí en lo suce-  
sivo primer transistor de efecto de campo, el cual compren-  
de dos regiones de electrodo principal de un determinado  
tipo de conductividad y una región de canal, situada en-  
5 tre éstas, de un determinado tipo de conductividad y dota-  
da de una región de electrodo de mando que está situada  
cerca de la superficie y por medio de la cual es posible  
formar, en el cuerpo de semiconductor, una región de empo-  
brecimiento que se extiende en la región de canal y que  
10 forma una región de almacenaje de cargas en la cual es po-  
sible almacenar, en forma de carga eléctrica, una informa-  
ción que puede ser leída de manera no destructiva, estan-  
do las líneas de bitio acopladas a una primera región de  
electrodo principal de los transistores de efecto de cam-  
15 po y estando las líneas de vocablo acopladas a una región  
de electrodo de mando de los primeros transistores de efec-  
to de campo.

En general son ya conocidas las memorias de acce-  
so aleatorio, que en la bibliografía técnica suelen desig-  
20 narse con el símbolo RAM (derivado de la denominación ingle-  
sa de Random Access Memories) y en las cuales la informa-  
ción se almacena en forma de "paquetes" discretos o desuni-  
dos de carga eléctrica. La información suele almacenarse  
en unas regiones del cuerpo de semiconductor a las que se  
25 puede tener acceso por medio de un órgano interruptor o de  
conmutación (por ejemplo, un transistor de efecto de cam-  
po) que vaya conectado a dicha región de una u otra manera.

Como el número de células o elementos de una RAM  
puede ser muy grande - por ejemplo, de muchos millares -,  
30 es conveniente que cada célula sea lo más pequeña posible.

1 Por lo tanto, de preferencia, se usa un solo transistor  
por célula. En una forma de ejecución ya conocida en ge-  
neral, una célula de éstas se halla formada por un tran-  
sistor de efecto de campo con electrodo de mando aislado  
5 y por un condensador asociado, conectado a una de las re-  
giones de electrodo principal. La información se almace-  
na en el condensador en forma de carga que, al abrirse el  
transistor, puede ser transportada a la otra región de  
electrodo principal y a un órgano o miembro lector (de to-  
10 ma o salida por lectura) conectado a la misma.

Para la toma por lectura de la célula suele re-  
querirse un amplificador muy sensible, porque las señales  
de salida, en particular como consecuencia de unas enor-  
mes capacidades parásitas, son en general muy débiles. Pa-  
15 ra una memoria organizada por líneas de vocablos, esto sig-  
nifica que es necesario un amplificador individual por lí-  
nea de bitios. Como, además, la toma por lectura se pro-  
duce de manera destructiva, hay que volver a inscribir la  
información tras cada ciclo de lectura. Esta reinscripción  
20 de la información puede realizarse por medio de los cita-  
dos amplificadores; de igual manera, la información, que  
puede desaparecer gradualmente a consecuencia de corrien-  
tes de fuga, se puede reanimar o "refrescar" periódicamen-  
te.

25 Los dispositivos del género descrito en el pre-  
ámbulo, en los cuales la información se almacena en una re-  
gión de empobrecimiento situada en o cerca de la región de  
electrodo de mando de un transistor de efecto de campo y,  
por lo tanto, controla la conductancia en la región de ca-  
30 nal, se distinguen de los dispositivos arriba descritos,

1 en particular, por la posibilidad de lectura no destruc-  
tiva. A consecuencia de ello, en la lectura es posible  
obtener una gran amplificación (de carga), de modo que en  
5 la línea de bitios. Además, la información almacenada  
puede tomarse por lectura varias veces en sucesión sin te-  
ner que reinscribirla tras cada ciclo individual de toma  
por lectura.

En este tipo de dispositivos de memoria, los  
10 transistores de efecto de campo pueden estar formados, por  
ejemplo, por los llamados transistores de efecto de campo  
del tipo de unión (o sea JFET), en los que la región de  
electrodo de mando que controla la conductividad a través  
de la región de canal está separada de la región de canal  
15 por una unión rectificadora (por ejemplo, una unión PN).  
Las memorias construidas a base de este tipo de elementos  
se describen, entre otros lugares, en el artículo de Ray-  
mond A. Heald y David A. Hodges publicado bajo el título  
"Multilevel Random Access Memory Using One Transistor Per  
20 Cell" ("Memoria de acceso aleatorio de niveles múltiples  
usando un solo transistor por célula") en la revista IEEE  
Journal of Solid State Circuits, vol. SC11, n.º. 4, agosto  
1976, págs. 519...528. La información se guarda en una  
región de electrodo de mando, eléctricamente flotante, que  
25 se polariza en sentido inverso. La región de empobreci-  
miento que se extiende en la región de electrodo de mando  
y en la región de canal, y cuyo tamaño viene determinado  
por el estado de carga de la región de electrodo de mando,  
determina la resistencia de la región de canal. El estado  
30 de carga puede ser tomado por lectura, midiendo para ello

1 la resistencia en la región de canal.

5 En lugar de los transistores de efecto de campo del tipo de unión pueden usarse, también, a los presentes fines, unas estructuras de efecto de campo del tipo de empobrecimiento profundo en las cuales la región de electrodo de mando no esté separada de la región de canal por una unión PN, sino por una capa aislante, y esté formada por un conductor dispuesto en la capa aislante y por medio del cual se induce una región de empobrecimiento en la región de canal subyacente. La información de carga puede almacenarse en dichas regiones de empobrecimiento de igual manera que en los dispositivos acoplados por cargas; puede determinar el tamaño de la región de empobrecimiento y, por tanto, es capaz de controlar la conductividad en la región de canal del transistor de efecto de campo de la misma manera antes descrita para los transistores de efecto de campo del tipo de unión.

15 Como ya se ha hecho notar, no es necesario, en los dispositivos de memoria del tipo a que se refiere la presente invención, volver a inscribir la información tras cada operación de toma por lectura, debido al carácter no destructivo de la lectura. El período durante el cual se retiene la información viene determinado por las corrientes de fuga. El valor de las corrientes de fuga en las regiones de almacenaje de cargas viene determinado en particular por la concentración de centros de generación en el cuerpo de semiconductor, o por lo menos en la región de empobrecimiento que constituye la región de almacenaje de cargas. Las corrientes de fuga, en general, pueden mantenerse a un valor tan pequeño que los intervalos de tiempo

1 en los cuales la información puede llegar a desaparecer  
por fugas son tan dilatados que no es necesario, para mu-  
chas de las aplicaciones, reanimar o reforzar la informa-  
ción entre medias. Como se ha dicho en la publicación an-  
5 tes mencionada, es posible obtener pequeñas corrientes de  
fuga, en particular, cuando la zona que constituye la re-  
gión de electrodo de mando del transistor está sepultada  
por entero en el cuerpo de semiconductor, porque en la ma-  
yoría de los casos la concentración de centros de genera-  
10 ción en la masa del cuerpo de semiconductor es muy peque-  
ña, o por lo menos mucho menor que la concentración de cen-  
tros de superficie.

Ahora bien, en gran número de aplicaciones es  
conveniente que la información almacenada se conserve du-  
15 rante períodos o intervalos de tiempo más largos de lo per-  
mitido por las corrientes de fuga. Uno de los objetos de  
la presente invención es realizar un elemento de memoria  
en el que una información en forma de carga eléctrica pue-  
de ser tomada por lectura una o varias veces de manera no  
20 destructiva, y puede ser reanimada o "refrescada" por lo  
menos una vez o, si así se desea, periódicamente, de mane-  
ra sencilla y por efecto de unos medios presentes en el  
elemento mismo. Otro objeto de la invención reside en una  
memoria de acceso aleatorio en la que la información, en  
25 forma de "paquetes" discretos de carga eléctrica, puede  
ser almacenada en elementos de memoria individuales, puede  
ser tomada por lectura de manera no destructiva y puede ser  
reanimada o refrescada una o varias veces por medios que  
están presentes principalmente por lo menos en los elemen-  
30 tos mismos y, por tanto, no en los circuitos o medios elec

1 trónicos periféricos.

La invención se basa, entre otras cosas, en el reconocimiento del hecho de que, cuando se usan elementos de memoria del tipo al cual se refiere la presente invención, es posible obtener ya, al nivel de célula, unas señales de salida que tienen una amplitud suficientemente grande para controlar un interruptor, según la información almacenada, por medio del cual es posible suministrar o disipar una carga eléctrica en el elemento de memoria para inscribir información; y de que tal interruptor, construido en forma de transistor de efecto de campo de electrodo de mando aislado, puede ser integrado en cualquier elemento de memoria, de manera muy compacta.

Por todo ello, un dispositivo semiconductor del género descrito en el preámbulo se caracteriza, conforme a la invención, por el hecho de que el elemento comprende un transistor de efecto de campo de electrodo de mando o puerta aislado, denominado aquí en lo sucesivo segundo transistor de efecto de campo, que es del tipo complementario respecto al primer transistor de efecto de campo y que comprende dos regiones de electrodo principal, de las cuales una está formada por la parte del cuerpo de semiconductor que constituye la región de almacenaje, y la otra región de electrodo principal está formada por una segunda región de superficie situada cerca de la región de almacenaje, comprendiendo el segundo transistor de efecto de campo, por lo menos, un electrodo de mando o puerta que está aislado respecto a la superficie del cuerpo de semiconductor y que va eléctricamente acoplado a una de las regiones de electrodo principal del primer transistor de efecto de

1 campo.

5 Como se desprende de la adjunta descripción de las figuras, en la cual se describirá con mayor detalle el funcionamiento del dispositivo, la información guardada puede ser reanimada o "refrescada" reponiendo o desactivando primero para ello la región de empobrecimiento o la región de almacenaje de cargas, esto es, llevándola a un estado tal que, por lo menos en ausencia de portadores de carga de señal, se forme una región de empobrecimiento relativamente amplia. Según la información de lectura, que está representada por el potencial del electrodo de mando aislado del segundo transistor de efecto de campo y que determina si el segundo transistor de efecto de campo se halla o no en estado conductivo, pueden fluir o no, entonces, los portadores de carga en la región de almacenaje de carga, por medio del segundo transistor de efecto de campo. Esta operación puede realizarse un número arbitrario de veces y en cualquier momento adecuado para tal fin, de modo que son posibles muy prolongados tiempos de memoria. Como las corrientes de fuga en un dispositivo conforme a la invención no necesitan ya constituir un factor de restricción por lo que concierne a la longitud o duración del tiempo de memoria, pueden usarse zonas superficiales en lugar de zonas sepultadas para las regiones de almacenaje con el fin de obtener tiempos de memoria largos. Esto puede significar una simplificación considerable para la manufactura del dispositivo.

25 En principio, la operación de reanimación puede realizarse tras cada ciclo de lectura. En relación, por ejemplo, con la velocidad, es a menudo conveniente que la

1 operación de reanimar se repita cada vez sólo después de  
cierto número de operaciones de toma por lectura.

5 Una forma preferida de realización de un dispositivo semiconductor conforme a la invención, que, entre  
otras, presenta la ventaja de ser particularmente adecuado, por su estructura compacta, para ser integrado monolíticamente en gran número en memorias grandes, se caracteriza porque las regiones de electrodo principal del primer transistor de efecto de campo están ambas formadas  
10 por unas zonas, contiguas a superficie, de un determinado tipo de conductividad, y la segunda región de superficie que constituye dicha otra o segunda región de electrodo principal del segundo transistor de efecto de campo de --  
electrodo de mando aislado está situada, vista por la superficie, entre las dos regiones de electrodo principal  
15 citadas del primer transistor de efecto de campo.

La segunda región de electrodo principal del segundo transistor de efecto de campo puede estar formada, por ejemplo, por una región de empobrecimiento inducida  
20 en la región de superficie de un determinado tipo de conductividad y que puede ser llenada, al menos en parte, con portadores de carga minoritarios, esto es, portadores de carga característicos del tipo de conductividad contrario. Dicha segunda región de electrodo principal, de preferencia, está formada por una zona de superficie del segundo  
25 tipo de conductividad, para así obtener resistencias en serie reducidas en la pista o traza de corriente del segundo transistor de efecto de campo. Dicha zona, con ventaja, puede habilitarse dentro de la región de canal del primer  
30 transistor de efecto de campo y formar con ella una segun-

1 da región de electrodo de mando del primer transistor de  
efecto de campo. Por medio de dicha segunda región de  
electrodo de mando es posible cerrar a voluntad el primer  
5 transistor de efecto de campo, también en aquellos casos  
en que la carga representativa de información, presente  
en la región de empobrecimiento que constituye la región  
de almacenaje de carga, tiene un valor tal que el transis-  
tor no está "cerrado" o bloqueado por dicha región de em-  
pobrecimiento. En el caso de una memoria que tenga gran  
10 número de elementos de memoria, dicha segunda región de  
electrodo principal del segundo transistor de efecto de  
campo de cada célula puede usarse, con ventaja, para la  
selección al producirse la toma por lectura.

Una importante forma preferida adicional de un  
15 dispositivo semiconductor conforme a la invención es la  
caracterizada porque una parte del cuerpo de semiconductor  
que constituye dicha región de almacenaje de carga está  
dispuesta en la superficie, con una conexión capacitiva en  
forma de región conductiva que se halla separada de dicha  
20 parte del cuerpo de semiconductor por una capa de bloqueo.  
Por medio de dicha conexión capacitiva es posible realizar  
operaciones importantes como, por ejemplo, las de borrar,  
reponer o seleccionar. Para la conexión capacitiva puede  
usarse, sencillamente, una capa conductiva de, por ejem-  
25 plo, metal o silicio policristalino depositado impurifica-  
do, dispuesta encima de la región de almacenaje y separada  
de ésta por una capa aislante intermedia.

El primer transistor de efecto de campo puede es-  
tar formado por un transistor de efecto de campo del tipo  
30 de unión, dotado de una región de electrodo de mando eléc-

1 tricamente flotante que constituya la citada región de al-  
macenaje de carga y que esté separada de la región de ca-  
nal por una unión rectificadora. La región de electrodo  
de mando puede estar constituida por una zona de superfi-  
5 cie del segundo tipo de conductividad, dispuesta en la re-  
gión de superficie de un determinado o primer tipo de con-  
ductividad y que forme una unión PN con la región de ca-  
nal. Para mayor ventaja, en la región de electrodo de --  
mando puede haber dispuesta una zona del primer tipo de  
10 conductividad, de modo que se obtenga una conexión capaci-  
tiva. Ahora bien, la región de electrodo de mando, de pre-  
ferencia, está cubierta con una capa aislante sobre la --  
cual va depositada una capa conductiva que se acopla capa-  
citivamente a la región de electrodo de mando, teniendo  
15 la capa aislante como dieléctrico.

En otra forma de realización, el primer transis-  
tor de efecto de campo está formado por un transistor de  
efecto de campo del tipo de empobrecimiento, dotado de una  
región de electrodo de mando en forma de capa conductiva  
20 que está aislada de la región de canal, con la capa ais-  
lante como dieléctrico.

En otra forma de realización, el primer transis-  
tor de efecto de campo está formado por un transistor de  
efecto de campo del tipo de empobrecimiento, dotado de una  
región de electrodo de mando en forma de capa conductiva  
25 que está aislada de la región de canal por una capa aislan-  
te intermedia. Por medio de dicha región de electrodo de  
mando aislada, en la región de canal subyacente puede indu-  
cirse una región de empobrecimiento que se extiende desde  
30 la superficie al interior de la región de canal y forma di-

1 cha región de almacenaje de carga, en la cual puede alma-  
cenarse información en forma de portadores de carga mino-  
ritarios. En esta forma de ejecución, en la que la infor-  
mación no está almacenada en la región de electrodo de  
5 mando propiamente dicha sino en una parte del cuerpo semi-  
conductor eléctricamente aislada de la misma, la región  
de electrodo de mando puede proveerse directamente de una  
conexión óhmica.

La invención es de particular importancia para  
10 unas memorias de acceso aleatorio que tienen un cuerpo de  
semiconductor provisto, en una superficie, de un sistema  
de conductores de líneas de vocablo y líneas de bitio que,  
en el área de los cruces, van eléctricamente acopladas a  
unos elementos de memoria dispuestos en una región super-  
15 ficial subyacente del cuerpo de semiconductor, de princi-  
palmente un determinado tipo de conductividad, que compren-  
den cada uno un transistor de efecto de campo, denominado  
aquí en lo sucesivo primer transistor de efecto de campo,  
que tiene dos regiones de electrodo principal de un deter-  
20 minado tipo de conductividad y una región de canal inter-  
media de un determinado tipo de conductividad, y que tie-  
ne una región de electrodo de mando situada cerca de la  
superficie y por medio de la cual es posible formar, en  
el cuerpo de semiconductor, una región de empobrecimiento  
25 que se extiende en la región de canal, la cual constituye  
una región de carga en la que es posible almacenar infor-  
mación en forma de carga eléctrica, información que puede  
ser tomada por lectura de manera no destructiva, yendo las  
líneas de bitio acopladas a una primera región de electro-  
30 do principal de los transistores de efecto de campo y es-

1 tando las líneas de vocablo acopladas a una región de --  
electrodo de mando de los primeros transistores de efecto  
de campo. Conforme a la invención, tal dispositivo se ca-  
5 caracteriza porque cada elemento comprende un segundo tran-  
sistor de efecto de campo, de electrodo de mando aislado,  
que es del tipo de conductividad complementario respecto  
al primer transistor de efecto de campo, y que comprende  
dos regiones de electrodo principal, una de las cuales es-  
10 tá formada por la parte del cuerpo de semiconductor que,  
durante el funcionamiento, constituye dicha región de al-  
macenaje de carga, y cuya otra región de electrodo prin-  
cipal está formada por una segunda región superficial ad-  
yacente, comprendiendo cada uno de los segundos transis-  
15 tores de efecto de campo un electrodo de mando aislado que  
va conectado a una línea de bitios asociada. Una forma  
preferida de ejecución, que muestra una estructura parti-  
cularmente compacta, se caracteriza porque la segunda re-  
gión de superficie que constituye dicha otra o segunda re-  
20 gión de electrodo principal del segundo transistor de efec-  
to de campo en cada elemento de memoria está formada por  
una zona superficial del segundo tipo de conductividad  
que, vista por la superficie, está situada entre las re-  
giones de electrodo principal del primer transistor de  
efecto de campo.

25 Otra forma preferida adicional se caracteriza  
porque los elementos de memoria, en los lados paralelos a  
la dirección principal de la corriente del primer transis-  
tor de efecto de campo, están delimitados por unas regio-  
nes de dieléctrico que se extienden, desde la superficie,  
30 en por lo menos parte del grosor de la región semiconducto

1 ra de un determinado tipo de conductividad por el interior  
del cuerpo de semiconductor. La región de dieléctrico es-  
tá formada, por ejemplo, por óxido de silicio que, cuando  
5 se use un cuerpo de semiconductor de silicio, puede obte-  
nerse sencillamente mediante oxidación local del cuerpo  
de semiconductor. Usando tal aislamiento dieléctrico, es  
posible fabricar estructuras de efecto de campo particular-  
mente apropiadas para su integración monolítica en gran  
número en memorias amplias, como se desprende de la des-  
10 cripción dada más adelante en relación con los dibujos ad-  
juntos.

Una forma preferida de ejecución se caracteriza  
porque las líneas de vocablo comprenden cierto número de  
trayectos conductivos, cada uno de los cuales constituye  
15 una conexión capacitiva de las partes del cuerpo de semi-  
conductor que durante el funcionamiento forman las regio-  
nes de almacenaje de carga de los elementos de memoria que  
van eléctricamente acoplados en común a la misma línea de  
vocablo. Otra forma preferida de ejecución es la caracte-  
20 rizada porque el dispositivo comprende un segundo sistema  
de líneas de vocablo que van cada vez conectadas a dichas  
otras o segundas regiones de electrodo principal de los se-  
gundos transistores de efecto de campo de las células de  
memoria asociadas al mismo vocablo, estando cada una de di-  
25 chas otras regiones de electrodo principal formada por una  
zona superficial del segundo tipo de conductividad, que es-  
tá situada dentro de la región de canal del primer transis-  
tor de efecto de campo asociado. En esta forma de ejecu-  
ción, cada primer transistor de efecto de campo forma una  
30 estructura de tetrodo con dos regiones de electrodo de man-

1 do, una de las cuales puede usarse como región de almace-  
naje de información mientras la otra, que también consti-  
tuye una segunda región de electrodo principal del segun-  
do transistor de efecto de campo, puede usarse para la se-  
5 lección. En relación con el espacio disponible, las cé-  
lulas están orientadas de modo que las líneas de vocablo  
se extienden transversalmente al eje más largo de los ele-  
mentos. Otra forma preferida de ejecución, por lo tanto,  
es la caracterizada porque las regiones de dieléctrico es-  
10 tán formadas por unas fajas que, vistas por la superficie,  
se extienden principalmente paralelas a las líneas de bi-  
tío y, en la región de superficie de un determinado tipo  
de conductividad, definen unos islotes a modo de fajas que  
comprenden, cada uno, los elementos de memoria asociados  
15 a una línea de bitio, orientados de modo que la dirección  
principal de corriente de cada uno de dichos primeros tran-  
sistores de efecto de campo es principalmente paralela a  
la dirección en que se extienden las líneas de bitio. Otra  
forma más de ejecución se caracteriza porque el dispositi-  
20 vo comprende un segundo sistema de líneas de vocablo conec-  
tadas cada una a dichas otras o segundas regiones de elec-  
trodo principal de los segundos transistores de efecto de  
campo de los elementos de memoria asociados al mismo voca-  
blo, estando cada una de dichas otras regiones de electro-  
25 do principal constituida por una zona superficial del se-  
gundo tipo de conductividad, situada dentro de la región  
de canal del primer transistor de efecto de campo asociado.

Un dispositivo semiconductor como el arriba des-  
crito puede estar provisto de medios de circuito para bo-  
30 rrar, inscribir y leer el o cada elemento de memoria, en

1 los que, mediante el borrado, la región de electrodo de  
mando del primer transistor de efecto de campo del o de  
cada elemento de memoria se lleve a un potencial al cual  
se forme, en el cuerpo de semiconductor, una región de em-  
5 pobrecimiento que se extienda entrando en la región de ca-  
nal del primer transistor de efecto de campo y forme una  
región de almacenaje de carga para almacenar carga eléc-  
trica representativa de información; en los cuales, al  
inscribir, se apliquen señales de entrada al electrodo de  
10 mando aislado del segundo transistor de efecto de campo  
que está eléctricamente acoplado a una de las regiones de  
electrodo principal del primer transistor de efecto de cam-  
po, mediante lo cual, por medio del segundo transistor de  
efecto de campo, es posible introducir en dicha región de  
15 almacenaje de carga una cantidad de carga eléctrica deter-  
minada por la señal de entrada, lo cual es decisivo para  
el tamaño de la región de empobrecimiento formada en la re-  
gión de canal del primer transistor de efecto de campo; y  
en los cuales, en la lectura, se aplican, por lo menos pe-  
20 riódicamente, a las regiones de electrodo principal del  
primer transistor de efecto de campo unas tensiones tales  
que, en el estado de carga dado de la región de almacena-  
je de carga, el potencial de dicho electrodo de mando ais-  
lado es capaz de adoptar valores que correspondan a dichas  
25 señales de entrada, como resultado de lo cual es posible  
reanimar periódicamente el estado de carga de la región de  
almacenaje de carga, mediante repetición periódica del ci-  
clo de borrar e inscribir.

Una forma preferida de realización se caracteri-  
za porque la región de empobrecimiento que constituye di-

1 cha región de almacenaje de carga tiene una extensión tal,  
al menos en ausencia de suministro de cargas por medio  
del segundo transistor de efecto de campo, que la región  
de canal subyacente del primer transistor de efecto de cam  
5 po se agota por entero, quedando el transistor bloqueado.  
Otra forma preferida de ejecución es la caracterizada por  
tener unos medios presentes para bloquear el primer tran-  
sistor de efecto de campo después de inscribirse la infor-  
mación en la región de almacenaje de carga, y desbloquear  
10 lo cuando dicha información haya de ser tomada por lectu-  
ra. Una forma preferida de realización, que además tiene  
la ventaja de que el número de niveles de tensión de los  
impulsos de reloj a aplicar durante el funcionamiento per-  
manece restringido, es la caracterizada porque la zona su-  
15 superficial del segundo tipo de conductividad que constitu-  
ye dicha segunda región de electrodo principal del segun-  
do transistor de efecto de campo, y está situada dentro  
de la región de canal del primer transistor de efecto de  
campo del o de cada elemento de memoria, se halla asocia-  
20 da a dichos medios merced a los cuales es posible bloquear  
el primer transistor de efecto de campo, independiemen-  
te de la información inscrita, y va conectada a una fuen-  
te de tensión con la cual es posible polarizar de modo in-  
verso la unión PN existente entre dicha zona superficial  
25 y la región de canal del primer transistor de efecto de  
campo.

La invención se describirá en lo que sigue con  
mayor detalle, haciendo referencia a unas cuantas formas  
de realización y a los dibujos esquemáticos adjuntos, en  
30 los cuales:

- 1 - la figura 1 es una vista en planta de parte de un dispositivo conforme a la invención, y del cual
- la figura 2 es una vista en sección tomada por la línea II-II de la fig. 1, y
- 5 - la figura 3 es una vista en sección tomada por la línea III-III de la fig. 1, y
- la figura 4 es una vista en sección tomada por la línea IV-IV de la fig. 1;
- la figura 5 muestra el diagrama de impulsos de reloj, en función del tiempo  $t$ , de las tensiones de reloj aplicadas durante el funcionamiento a las líneas de vocablo del dispositivo de la fig. 1;
- 10 - la figura 6 muestra el potencial, en función del tiempo  $t$ , de la región de electrodo de mando, eléctricamente flotante, del dispositivo ilustrado en la fig. 1,
- 15 durante el funcionamiento;
- la figura 7 muestra el potencial de las líneas de bitio, en función del tiempo  $t$ , del dispositivo de la fig. 1, durante el funcionamiento;
- 20 - la figura 8 ilustra un circuito eléctrico de una célula del dispositivo representado en la fig. 1;
- la figura 9 es una vista en planta de parte de una segunda forma de ejecución de dispositivo conforme al presente invento, de la cual
- 25 - la figura 10 es una vista en sección tomada por la línea X-X de la fig. 9, y
- la figura 11 es una vista en sección tomada por la línea XI-XI de la fig. 9, y
- la figura 12 es una vista en sección tomada por la línea XII-XII de la fig. 9, y
- 30

- 1 - la figura 13 es una vista en sección tomada por la línea XIII-XIII de la fig. 9;
- la figura 14 ilustra una célula del dispositivo de la fig. 9, en esquema eléctrico;
- 5 - la figura 15 da un diagrama de impulsos de reloj, en función del tiempo  $t$ , de las tensiones de reloj suministradas durante el funcionamiento por la fuente 28 indicada en la fig. 14;
- la figura 16 muestra el diagrama de impulsos de reloj de las tensiones de reloj suministradas durante el funcionamiento por la fuente 29;
- 10 - la figura 17 ilustra el potencial de la línea de bitios 4 de la fig. 14, durante el funcionamiento, en función del tiempo  $t$ ;
- 15 - la figura 18 ilustra el potencial de la región 9 de la figura 14, durante el funcionamiento, en función del tiempo  $t$ ;
- las figuras 19 a 22 son unas vistas en sección, correspondientes a la vista en sección de la fig. 10, de una célula del dispositivo representado en la fig. 9, durante algunas etapas de la manufactura del mismo;
- 20 - las figuras 23 a 25 son unas vistas en sección de una célula del dispositivo de la fig. 9 durante algunas etapas de su fabricación en las cuales se usa otro --
- 25 procedimiento; y
- la figura 26 es una vista en sección de una tercera forma de realización de dispositivo conforme al presente invento.

30 Es de notar que las figuras son esquemáticas, y no están dibujadas a escala. Además, en las vistas en --

1 planta de las figs. 1 y 9 sólo se representan unas zonas  
y regiones del cuerpo de semiconductor y unas pistas con-  
ductoras dispuestas sobre el mismo. Las capas de dieléct-  
trico que cubren la superficie del cuerpo de semiconduc-  
5 tor no se representan, para evitar que se compliquen las  
figuras.

Las figs. 1 a 4 ilustran, a título de ejemplo,  
una vista en planta y unas vistas en sección, respectiva-  
mente, de parte de una memoria de semiconductor, de acce-  
10 so aleatorio, que comprende un gran número de elementos  
de memoria acomodados en un cuerpo común de semiconductor  
1 y que constituyen un circuito integrado monolítico. Co-  
mo material para el cuerpo de semiconductor 1 se elige,  
de preferencia, el silicio, porque la tecnología de fabri-  
15 cación de circuitos integrados a base de silicio es la que  
ha progresado mejor. El cuerpo 1 comprende una capa se-  
miconductora 6 relativamente delgada, de un determinado  
tipo de conductividad (por ejemplo, silicio de tipo N) --  
contigua a la superficie 2. La capa 6, por su lado infe-  
20 rior, está delimitada por una unión de bloqueo 15 entre  
la capa 6 y un miembro de soporte 16 que, de preferencia,  
consta de silicio de tipo P, pero que puede constar tam-  
bién de otro material semiconductor cualquiera o de un ma-  
terial aislante como, por ejemplo, el óxido de aluminio.

25 En su superficie 2, el cuerpo de silicio 1 está  
provisto de unas líneas de vocablo formadas por las pistas  
conductoras 3 que se extienden de izquierda a derecha en  
los dibujos de las figs. 1 y 2, y de unas líneas 4 de de-  
tección y de bitio que se extienden en dirección transver-  
30 sal a las líneas de vocablo 3. Las líneas de bitio 4 com-

1       prenden cada una dos pistas conductoras a las que, para  
distinguir las, se les dan cada vez los números de referen-  
cia 4a y 4b. Las pistas conductoras 4a y 4b pueden inter-  
conectarse fuera de la parte del dispositivo de memoria  
5       representada en las figuras. Esto se ilustra esquemática-  
mente mediante la conexión 5 en la fig. 2. En una forma  
específica de ejecución, las líneas de vocablo 3 están ---  
formadas por fajas de aluminio, en tanto que las líneas  
de bitio 4 constan de un material semiconductor como, por  
10       ejemplo, silicio al menos parcialmente policristalino, im-  
purificado con un material de impureza que le dé una re-  
sistividad suficientemente baja. Las líneas de vocablo y  
las líneas de bitio están aisladas entre sí por una capa  
intermedia de dieléctrico 21 que, en la presente forma de  
15       ejecución, es óxido de silicio.

En el área de los cruces, las líneas de vocablo  
3 y las líneas de bitio 4 están acopladas a unos elementos  
de memoria dispuestos (por lo menos principalmente) en la  
región superficial subyacente 6 de principalmente un de-  
20       terminado tipo de conductividad. En el ejemplo que se va  
a describir se elige, para dicho tipo determinado de con-  
ductividad, el tipo N; pero, como se apreciará obviamen-  
te, la región de superficie 6 puede constar, como alterna-  
25       tativa, de material semiconductor de tipo P, invirtiéndose  
también, como es natural, los tipos de conductividad de  
las demás zonas y regiones presentes en el cuerpo 1, así  
como la polaridad de las tensiones a aplicar durante el  
funcionamiento.

30       La parte del dispositivo de memoria ilustrada en  
la fig. 1 comprende seis elementos, sucesivamente designa-

1 dos por  $C_1 \dots C_6$  y dispuestos en un sistema de filas y co-  
columnas que puede obtenerse mediante expansión adicional  
de la parte ilustrada en la fig. 1, con simetría especu-  
lar, por sus cuatro costados. Cada uno de los elementos  
5 o células  $C_1 \dots C_6$  comprende un primer transistor de efec-  
to de campo que posee dos regiones de electrodo principal  
7, 8, de tipo N, capaces de formar las regiones de elec-  
trodo principal de entrada y de salida. Como se ilustra  
en las figs. 1 y 2, la región 8 forma una región común,  
10 de electrodo de entrada o de salida, de dichos transisto-  
res de efecto de campo, que además comprenden cada uno una  
región de electrodo de mando o "puerta" en forma de zona  
9 contigua a superficie. En la fig. 1, las regiones de  
tipo P están rayadas, para mayor claridad.

15 Los transistores de efecto de campo 7, 8, 9, en  
este ejemplo, están, pues, formados por unos transistores  
de efecto de campo del tipo de unión, cuyo electrodo de  
mando está separado de la región de canal 10 que hay entre  
las regiones de electrodo principal 7, 8 por una unión rec-  
20 tificadora. El funcionamiento, en memorias, de los tran-  
sistores de efecto de campo del tipo de unión se describe,  
entre otros lugares, en la publicación ya mencionada más  
arriba, y se basa en principio en lo siguiente: por medio  
de la región 9 de electrodo de mando, de tipo P (eléctri-  
25 camente flotante), es posible formar en el cuerpo 1 una  
región de empobrecimiento que se extiende parte en la re-  
gión 9 de electrodo de mando y parte en la región de canal  
10, y que controla la conductividad o conductancia en la  
región de canal 10. Dicha región de empobrecimiento pue-  
de obtenerse almacenando, de una u otra manera, una carga

30

06048

1 negativa en la región de electrodo de mando. Como la re-  
gión de electrodo de mando o puerta no tiene una conexión  
eléctrica por medio de la cual pueda neutralizarse dicha  
carga negativa, la región de empobrecimiento puede mante-  
5 nerse durante cierto período o intervalo de tiempo, deter-  
minado principalmente tan sólo por las corrientes de fuga.  
Mediante la acción de proporcionar luego una carga posi-  
tiva en la región de empobrecimiento, es posible modifi-  
car el tamaño de la región de empobrecimiento y, por tan-  
10 to, la resistencia eléctrica de la región de canal. La  
inscripción de señales binarias puede entonces realizarse  
del siguiente modo: Los lugares de memoria se borran pri-  
mero, aplicando a las regiones 9 de electrodo de mando un  
potencial negativo tal que en los canales 10 se forma una  
15 región de empobrecimiento, de modo que por lo menos en  
unas circunstancias dadas los transistores 7, 8, 9 no es-  
tán en conducción. El estado de carga de las regiones de  
electrodo de mando o puerta, en esta situación, puede su-  
ponerse igual a, por ejemplo, un "0" lógico. El "1" lógi-  
20 co puede entonces inscribirse mediante la formación, en  
los lugares de memoria deseados, de una determinada canti-  
dad de carga positiva en las regiones de empobrecimiento  
formadas en esa área, a consecuencia de lo cual, en dichas  
circunstancias, los transistores asociados 7, 8, 9 estarán  
25 en conducción. La información inscrita en la memoria pue-  
de leerse, de manera no destructiva, simplemente determi-  
nando la conductancia (o la resistencia) del canal 10 en-  
tre las regiones de electrodo principal 7, 8. Las señales  
de salida pueden derivarse de las líneas de bitio 4. Como  
30 la información puede leerse de manera no destructiva, es

1 posible obtener una amplificación de carga muy grande.  
Además, a menudo es posible tomar la información por lectura más de una vez, sin que haya de reinscribirse cada vez.

5 En el dispositivo semiconductor de la presente forma de ejecución, la información almacenada, que en los dispositivos ya conocidos puede desaparecer en el transcurso del tiempo a consecuencia de corrientes de fuga, puede ser reanimada o "refrescada" al nivel de célula o elemento, sin el uso de amplificadores exteriores, esto es, de amplificadores dispuestos fuera de la célula (por ejemplo, en los circuitos electrónicos periféricos) y, por tanto, sin dejar de mantenerse una estructura muy compacta.

10 A este fin, cada célula o elemento  $C_1 \dots C_6$  tiene un segundo transistor de efecto de campo, de electrodo de mando aislado, de tipo complementario respecto a los transistores 7, 8, 9, así en las formas de realización que tienen un canal de tipo P. Dicho segundo transistor comprende dos regiones de electrodo principal, una de las cuales está formada por la parte del cuerpo de semiconductor 1 que, durante el funcionamiento, constituye la citada región de almacenaje de carga. En el presente caso, en que los primeros transistores de efecto de campo consisten en unos transistores de efecto de campo del tipo de unión, dicha

15 región de electrodo principal primeramente citada de los segundos transistores puede identificarse con la región 9 de electrodo de mando, de tipo P, de los transistores 7, 8, 9. La otra región de electrodo principal está formada por una segunda región de superficie 11 adyacente. Dicha

20 región, que durante el funcionamiento ha de ser capaz de,

25

30

1 entre otras cosas, suministrar "huecos" a la zona 9, puede estar formada, si así se desea, por una capa de inversión de tipo P inducida en la región 6 de tipo N y contigua a la superficie 2. En este caso, dicha región consta  
5 de una zona superficial 11 impurificada, de tipo P. En la fig. 1 hay rayadas dos de dichas zonas 11, de las cuales la de la izquierda es común a los elementos de las columnas  $C_1$ ,  $C_2$  y  $C_3$ , y la de la derecha es común a los elementos de las columnas  $C_4$ ,  $C_5$  y  $C_6$ .

10 Dichos segundos transistores de efecto de campo comprenden por lo menos un electrodo de mando o puerta de tipo aislado que va acoplado a las líneas de bitio y, por tanto, a las regiones 7 de electrodo principal asociadas a los correspondientes elementos de memoria  $C_1 \dots C_6$ , a  
15 consecuencia de lo cual es posible abrir o cerrar los segundos transistores de acuerdo con la carga almacenada en las regiones 9. Dichos electrodos de mando están formados por las pistas conductoras  $4b$ , que están separadas de la región de canal 12 subyacente de los segundos transistores de efecto de campo por la delgada capa de óxido 13,  
20 y van conectados conductivamente, por medio de las pistas conductoras  $4a$ , a las regiones 7 de electrodo principal de los transistores 7, 8, 9 de efecto de campo, del tipo de unión. Las dos pistas conductoras  $4b$  representadas en la  
25 fig. 1 constituyen un electrodo de mando común, de tipo aislado, para los transistores de los elementos de memoria asociados en la columna  $C_1$ ,  $C_2$  y  $C_3$ , y un electrodo de mando común para los segundos transistores de efecto de campo asociados a la columna  $C_4$ ,  $C_5$  y  $C_6$ , respectivamente.

30 Como se ilustra en las figs. 1 y 2, los electro-

1 dos de mando 4b van situados encima de sólo una parte de  
las regiones de canal 12 de los segundos transistores de  
efecto de campo, es decir, encima de sólo una parte que  
va contigua a las zonas 11 de tipo P. La conductividad  
5 en toda la parte restante de la región de canal 12 que va  
contigua a las zonas 9 de tipo P puede ser controlada por  
medio de la línea de vocablo 3, que está también separada  
de la región de canal 12 por la capa aislante 13, relati-  
vamente delgada. La función de las líneas de vocablo 3,  
10 como electrodo de mando o puerta aislado de dichos segun-  
dos transistores de efecto de campo, se desprenderá fácil-  
mente de la descripción, que se da más adelante, del fun-  
cionamiento del dispositivo. Los segundos transistores  
de efecto de campo, con las regiones 9, 11 de electrodo  
15 principal y los electrodos de mando aislados 4b, 3 se de-  
signarán aquí en lo sucesivo como transistores (9, 11,  
4b, 3).

Las regiones de electrodo principal 7 y 8 de los  
transistores de efecto de campo 7, 8, 9 del tipo de unión  
20 están contiguas a la superficie 2 del cuerpo de semiconduc-  
tor 1. Las zonas de superficie 11 de tipo P que forman la  
segunda región de electrodo principal de los transistores  
de efecto de campo (9, 11, 4b, 3) están situadas entre las  
regiones de electrodo principal 7 y 8 de los transistores  
25 de efecto de campo (7, 8, 9) del tipo de unión, vistas por  
la superficie 2. Los transistores (9, 11, 4b, 3), por lo  
tanto, están integrados sustancialmente por entero en los  
transistores asociados (7, 8, 9) de efecto de campo, del  
tipo de unión, y a consecuencia de esto requieren un espa-  
30 cio adicional relativamente pequeño dentro del cuerpo de

1 semiconductor 1.

5 En los lados paralelos a la dirección principal de la corriente entre las regiones de electrodo principal 7 y 8 de los transistores de efecto de campo 7, 8, 9 del tipo de unión, los elementos de memoria  $C_1 \dots C_6$  están delimitados, dentro del cuerpo de semiconductor, por las regiones de dieléctrico 14 que se extienden a partir de la superficie 2 por todo el espesor de la región superficial 6, en el cuerpo de semiconductor 1. El uso del dieléctrico 14 simplifica considerablemente la composición de gran número de transistores de efecto de campo del tipo de unión en un circuito integrado común, compacto o de poco volumen de ocupación. En los circuitos integrados usuales, las regiones de electrodo de mando de tales transistores de efecto de campo del tipo de unión suelen presentar una estructura cerrada, por ejemplo, anular, que rodea a una de las regiones de electrodo principal del transistor. Como consecuencia de la delimitación por dieléctrico de los transistores de efecto de campo del tipo de unión, las regiones 9 de electrodo de mando pueden construirse sencillamente en forma de zonas rectangulares, como se indica en la fig. 1, a cada lado de las cuales se sitúan las regiones 7 y 8 de electrodo principal. Las regiones 9 de electrodo de mando pueden además hallarse en contigüidad directa con la región 14.

25 La región 14 está formada por un óxido de silicio que se obtiene por oxidación local del cuerpo de semiconductor. En esta forma de ejecución, la región 14 de óxido de silicio se extiende por todo el espesor de la capa 6. En otra forma de ejecución, no obstante, la región

30

1 14 de óxido de silicio puede también extenderse en sólo  
una parte del espesor de la capa 6 de tipo N y, en la par-  
te restante del espesor de la capa semiconductor 6 de ti-  
po N, estar sustituida por una región contigua de tipo P.  
5 Naturalmente, debe evitarse que tales regiones de tipo P  
puedan llegar a formar un cortocircuito con las regiones  
9 de electrodo de mando, de tipo P.

10 En la vista en planta de la fig. 1, la delimita-  
ción de la región de óxido 14 sepultada en el cuerpo de  
semiconductor 1 viene indicada por una línea cruzada con  
aspas.

15 Como se indica asimismo en la fig. 1, los ele-  
mentos  $C_1...C_3$  asociados a la columna están representados,  
en la mitad izquierda de la figura, con simetría especular  
respecto a los elementos  $C_4...C_6$  asociados a la columna  
de la mitad derecha de la figura. Como consecuencia de  
dicha simetría especular, la zona 8 de tipo N puede formar  
una región común de electrodo principal para ambas colum-  
nas, de modo que es posible obtener una reducción adicio-  
20 nal de tamaño de la estructura.

25 Para la ilustración del funcionamiento del dis-  
positivo, la fig. 8 es una vista en sección de una célula  
representada en la fig. 2, con las fuentes de tensión que  
van conectadas a diversas partes de la célula durante el  
funcionamiento. Es de notar que los valores para, por --  
ejemplo, las tensiones de umbral y las tensiones de estric-  
ción de los transistores dependen de ciertos parámetros:  
entre otros, del espesor de las capas aislantes y regiones  
de canal y de las concentraciones de impurificación de di-  
30 versas regiones de semiconductor. Los valores que se dan

1 más adelante para las tensiones de umbral y las de estricción y que, por consiguiente, tienen aplicación real o sólo una forma específica de ejecución del dispositivo, se usan/tan sólo para ilustrar el funcionamiento de éste. ---  
5 Cuando se indican valores de tensión o voltaje, se usa como tensión de referencia el potencial del substrato 16. Por lo tanto, el substrato 16 se representa conectado a masa, para mayor sencillez, en el esquema de la fig. 8.

10 La región 8 de electrodo principal de tipo N del transistor de efecto de campo del tipo de unión (JFET) 7, 8, 9 y la región 11 de electrodo principal de tipo P del transistor de efecto de campo con electrodo de mando aislado (IGFET) 9, 11, 4b, 3 se ponen a una tensión fija de, por ejemplo, 10 voltios, por medio de la fuente de tensión  
15 17. El dispositivo puede fabricarse de modo que, a la citada tensión de 10 voltios, la tensión de estricción del JFET 7, 8, 9 (esto es, la tensión a la cual el canal se estrecha por entero y el transistor no puede ya dejar pasar corriente) es aproximadamente de 6,5 voltios, en tanto  
20 que la tensión de umbral del IGFET (9, 11, 4b, 3) es aproximadamente de 1 voltio. El IGFET, por lo tanto, es del tipo de empobrecimiento, es decir, el transistor está conductivo en ausencia de una diferencia de tensión entre los electrodos de mando aislados 3, 4b, por una parte, y la región 6 de tipo N y la región 11 de tipo P cortocircuitada  
25 con ella, de la otra parte. La línea de vocablo 3 va conectada a un generador de reloj 18. Los impulsos de tensión suministrados por el generador 18 se representan, en función del tiempo  $t$ , en la fig. 5. La línea de bitios 4a, 4b está conectada a una fuente de tensión 19 y a un dispo-

1 sitivo detector 20 para la toma por lectura. El potencial  
 de la línea de bitios  $4a$ ,  $4b$  se ilustra en la fig. 7, en  
 función del tiempo  $t$ . El potencial de la región 9 de elec-  
 trodo de mando de tipo P, que contiene la información, se  
 5 representa en función del tiempo  $t$  en la fig. 6. Las figs.  
 5...7 tienen un eje de tiempos común, en el que van marca-  
 dos los diversos instantes  $t_1 \dots t_8$ . Las diversas opera-  
 ciones pueden realizarse ahora del siguiente modo:

Inscripción: por medio de la fuente 19, se aplica a la  
 10 línea de bitios 4, entre los instantes  $t_0$  y  $t_3$ , una ten-  
 sión de 10 V o de 13 V correspondiente a un "0" lógico y  
 a un "1" lógico, respectivamente. Como es natural, la ten-  
 sión de 10 V podría también corresponder a una señal de  
 "1" lógico y la de 13 V a una señal de "0" lógico. En la  
 15 fig. 7, el potencial de la línea de bitios 4 está represen-  
 tado por una línea cruzada con aspas para el caso en que  
 se aplican 13 V, y por una línea llena o continua para el  
 caso en que se aplican 10 V a la línea de bitios durante  
 la inscripción. La fuente de tensión 18 suministra simul-  
 20 táneamente a la línea 3 de vocablos los siguientes niveles  
 de tensión:

	$t_0$	18 V
	$t_1$	10 V
	$t_2$	15 V
25	$t_3$	11 V

El ciclo, seguido simultáneamente por la región 9 de elec-  
 trodo de mando de tipo T, es aproximadamente como sigue:

$t_0$ : Como la región de electrodo de mando 9 está capacitivi-  
 vamente acoplada con fuerza a la línea de vocablos 3, el  
 30 potencial de la región 9 de electrodo de mando seguirá en

1 principio los saltos de potencial de la línea de vocablos  
3. Ahora bien, el potencial de la región 9 de electrodo  
de mando no es capaz de subir a más de 10 V porque, de lo  
contrario, la unión PN entre la región de electrodo de  
5 mando de tipo P y la región 6 de tipo N se polarizaría en  
el sentido directo y dejaría pasar corriente hasta que el  
potencial de la región 9 de electrodo de mando cayese de  
nuevo a sustancialmente 10 voltios..

Es de notar que la región 9 de electrodo de man-  
do, de potencial flotante, está acoplada capacitivamente  
10 no sólo a la línea de vocablos 3 sino también a la región  
10 de tipo N subyacente. A consecuencia de la división  
de tensión asociada, la zona 9 no hará exactamente los  
mismos saltos de potencial que la línea de vocablos 3. Pa-  
15 ra mayor sencillez, esto no se ha tenido en cuenta en la  
presente descripción. En realidad, los saltos de poten-  
cial de la zona 9, por tanto, pueden ser ligeramente meno-  
res que con arreglo al ejemplo numérico aquí descrito.

20  $t_1$ : La línea 3 de vocablos baja a 10 V. En el caso en  
que se apliquen 13 V a la línea de bitios 4, el IGFET se  
cierra, y la región 9 de electrodo de mando puede, en prin-  
cipio, hacer también el mismo salto de potencial que la  
línea de vocablos. En la fig. 6, dicho salto de potencial  
está indicado por medio de líneas cruzadas con aspas. El  
25 potencial de la región de electrodo de mando viene a ser  
de aproximadamente 2 V. En cambio, cuando la línea de bi-  
tios 4 se aplica una tensión de 10 V, el IGFET (9, 11, 4b,  
3) se abre, pues la tensión de electrodo de mando o puer-  
ta a la que dicho transistor se pone en conducción es de  
30 11 voltios. A través del IGFET pueden fluir huecos desde

1 la región 11 de tipo P (electrodo de entrada) a la región  
de electrodo de mando 9 (electrodo de salida). El poten-  
cial de la región 9 de electrodo de mando (representado  
5 en la fig. 6 por una línea llena) sigue siendo aproxima-  
damente igual a la tensión de la región 11 y, por tanto,  
aproximadamente de 10 V.

$t_2$ : La fuente 18 suministra un impulso de tensión de 15  
voltios a la línea de vocablos, de modo que en ambos ca-  
10 sos se cierra también el IGFET (9, 11, 4b, 3). En el ca-  
so en que el potencial de la región flotante de electrodo  
de mando fuese ya de 10 voltios, el potencial de la región  
de electrodo de mando no puede ya aumentar más porque, de  
lo contrario, la unión PN con la región 6 se abriría tam-  
bién; por lo tanto, en este caso el potencial de la región  
15 de electrodo de mando permanece en los 10 V aproximadamen-  
te. Ahora bien, en el otro caso, en que la tensión de la  
región flotante de electrodo de mando fuese aproximadamen-  
te de sólo 2 V, la región 9 de electrodo de mando puede  
realmente, en principio, seguir el salto de potencial en  
20 la línea de vocablos 3. La tensión en la región de elec-  
trodo de mando aumenta a aproximadamente 7 V.

$t_3$ : La tensión en la línea de vocablos disminuye a apro-  
ximadamente 11 V. En ambos casos, dicho salto de potencial  
es seguido por la región flotante 9 de electrodo de mando:  
25 es decir, en el caso en que se inscribe un "0", la región  
9 se pone a aproximadamente 6 voltios; cuando se inscribe  
un "1", la región 9 de electrodo de mando se pone a un po-  
tencial de aproximadamente 3 voltios, esto es, aproximada-  
mente 3 V más bajo que en la otra situación. En ambos es-  
30 tados, el JFET 7, 8, 9, que se cierra a una tensión de 6,5

1 voltios, está cerrado. Cuando a la línea de bitios 4 se  
aplica una tensión diferente de 10 V (por ejemplo, una ten-  
sión de 13 V), en virtud de la toma por lectura de otra  
célula asociada a la misma columna que la célula represen-  
5 tada en la fig. 8, no puede circular corriente alguna por  
el JFET 7, 8, 9.

#### Lectura

6  $t_4$ : La línea de vocablo 3 asociada a una célula que se  
vaya a seleccionar es puesta a aproximadamente 14,5 vol-  
10 tios por medio de la fuente de tensión 18, en tanto que  
la línea de bitios asociada se carga eléctricamente a 13  
V. Como consecuencia del impulso de tensión presente en  
la línea de vocablos, el potencial de la región de electro-  
do de mando subyacente aumenta también en aproximadamente  
15 3 voltios. En el caso en que la información almacenada  
represente un "0", el potencial de la región 9 de electro-  
do de mando aumenta de 6 V a aproximadamente 9,5 V. En  
esta situación, el JFET 7, 8, 9 se abre, y el potencial  
de la línea de bitios 4 puede decrecer a 10 voltios. Esta  
20 variación de tensión puede ser detectada por medio del --  
dispositivo detector 20 esquemáticamente representado. En  
el caso en que la información almacenada represente un  
"1", el potencial de la región 9 de electrodo de mando --  
aumentará desde 2 voltios a aproximadamente 6,5 V, a con-  
25 secuencia del impulso de tensión presente en la línea de  
vocablos 3. En esta situación, el JFET 7, 8, 9 sigue to-  
davía en estricción, de modo que la tensión en la línea de  
bitios 4 no disminuirá, sino que permanecerá aproximadamen-  
te a 13 V.

30

Simultáneamente con la célula representada en la

1 fig. 8, es posible leer las células situadas en la fila  
(vocablo) asociada. La diferencia de tensión que puede  
ser detectada por el detector 20 entre el "0" y el "1" ló-  
gicos, por lo tanto, es aproximadamente de 3 voltios. Es-  
5 ta diferencia es muy grande, de modo que no es necesario  
imponer requisitos particulares a la sensibilidad del de-  
tector 20. Además, la lectura se produce de manera no  
destruktiva, es decir, la información almacenada en la re-  
gión de electrodo de mando no se pierde a consecuencia de  
10 la lectura. La toma por lectura, por lo tanto, puede du-  
rar hasta que las señales de interferencia que puedan apa-  
recer en la señal de salida como resultado de los impulsos  
de tensión que se vayan a aplicar queden atenuadas por en-  
tero, o al menos sustancialmente por entero. Además, la  
15 información puede leerse varias veces en sucesión. A es-  
te fin, tras la lectura se puede volver a cerrar el JFET  
7, 8, 9, volviendo sencillamente a aplicar una tensión de  
11 voltios a la línea de vocablos 3.

Reanimación:

20 La información almacenada en la región 9 de elec-  
trodo de mando puede perderse, en el transcurso del tiem-  
po, a consecuencia de corrientes de fuga. Para que el al-  
macenaje de la información sea duradero, por lo tanto, es  
necesaria la operación de reanimación. La frecuencia con  
25 la cual dicha operación se lleva a cabo viene determinada  
por el valor de las corrientes de fuga. Con la actual téc-  
nica ya conocida, parecen posibles de lograr unos interva-  
los de tiempo de unas cuantas decenas de milisegundo entre  
sucesivas operaciones de reanimación. En los diagramas  
30 operativos de las figs. 5...7, esta operación de reanima-

1 ción se lleva a cabo inmediatamente después de la lectura  
del elemento o célula, durante el intervalo  $t_5 \dots t_8$ , en  
relación con la descripción del funcionamiento del dispo-  
sitivo. Se hace uso del hecho de que, al igual que suce-  
5 de justamente al inscribirse la información, al tomarse  
la misma por lectura pueden aparecer en la línea de bits  
4 dos valores de potencial, de los cuales uno es ma-  
yor y el otro más pequeño que la tensión de umbral del  
IGFET (9, 11, 4b, 3). El estado de carga primitivo de la  
10 región 9 de almacenaje de carga, por lo tanto, puede res-  
tablecerse sencillamente aplicando a la línea de vocablos  
3, durante el intervalo  $t_5 \dots t_8$ , los mismos impulsos de  
reloj que durante el intervalo de inscripción  $t_0 \dots t_3$ . Si  
multáneamente con la célula indicada en la fig. 8, natu-  
15 ralmente, pueden someterse también a la operación de reani-  
mación las demás células asociadas al mismo vocablo.

El dispositivo semiconductor descrito con refe-  
rencia a esta forma de ejecución puede fabricarse por me-  
dio de las tecnologías usuales de que se dispone para la  
20 manufactura de circuitos integrados. El material de par-  
tida es el substrato 16 de silicio de tipo P cuyo espesor  
es aproximadamente de 250 micras, y la concentración de  
impurificación es aproximadamente de  $2,7 \cdot 10^{15}$  átomos acep-  
tores por centímetro cúbico. La región de superficie 6  
25 está dispuesta en forma de capa epitáxica de tipo N depo-  
sitada en el substrato 16 en un grosor de aproximadamente  
2 micras y una concentración de impurificación de aproxi-  
madamente  $5 \cdot 10^{15}$  donadores por centímetro cúbico. En lu-  
gar de por epitaxia, la región 6 de tipo N puede obtener-  
30 se, como alternativa, por impurificación excesiva de una

1 parte del substrato 16 de tipo N mediante implantación de donadores ionizados.

5 A continuación puede disponerse una mascarilla de oxidación, en forma de diseño de distribución de, por ejemplo, nitruro de silicio, después de lo cual el cuerpo de semiconductor se somete a un tratamiento de oxidación, para así obtener el diseño de distribución de óxido 14 su-  
10 mido o incrustado en el cuerpo, en el área en que el cuerpo 1 no está enmascarado o protegido por el diseño de nitruro. Las maneras de poderse obtener un diseño de óxido 14 incrustado en el cuerpo 1 sustancialmente en todo su espesor son ya conocidas en general, de modo que no necesitan ser descritas con mayor detalle. El diseño de óxido 14 incrustado, en otra forma de ejecución, puede tam-  
15 bién sobresalir ligeramente por encima de la superficie 2 del cuerpo 1.

En una etapa sucesiva, la superficie 2 se provee de una mascarilla de impurificación, para las regiones 9 de electrodo de mando de tipo P y las zonas 11 de tipo P. Tales zonas 11 de tipo P pueden habilitarse, por ejemplo,  
20 por medio de difusión o implantación de átomos de boro que tengan una concentración de superficie relativamente baja, de aproximadamente  $2 \cdot 10^{17}$  átomos/cm<sup>3</sup>, y una profundidad de aproximadamente 0,5 micras. La mascarilla puede luego retirarse, después de lo cual se forma la capa 13 de óxido  
25 de silicio, por ejemplo, por medio de oxidación térmica. Un valor específico para el grosor de la capa 13 es el de 0,1 micra. La capa 13 se quita también por ataque químico en los lugares en que se vayan a formar las fajas 4a, en  
30 una etapa sucesiva de tratamiento.

1                    Sobre el cuerpo se deposita luego una capa de silicio de aproximadamente 0,5 micras de espesor. Esta capa, usualmente, presentará una estructura policristalina, por cuanto va dispuesta sobre capas de óxido de silicio.

5                    Donde se quitó la capa 13 de óxido de silicio, en el área en que se vayan a formar las fajas 4a, la capa de silicio depositada sobre el material del cuerpo 1 puede presentar una estructura monocristalina.

10                   Las líneas de bitio 4 pueden formarse, partiendo de dicha capa de silicio depositada, por medio de un tratamiento de ataque químico con protección. En una etapa sucesiva pueden disponerse las regiones 7, 8 de electrodo principal de tipo N (por ejemplo, por difusión de átomos de fósforo). Simultáneamente se impurifican también

15                   las fajas monocristalinas o policristalinas 4a, 4b. La concentración de impurificación no es crítica, y se elige para que resulte lo más alta posible, con el fin de obtener valores de resistencia en serie lo más bajos posible. Las zonas 7 y 8 de tipo N pueden resultar directamente contiguas a las zonas 9 y 11 de tipo P, respectivamente, porque

20                   la tensión de ruptura de la unión PN entre las zonas 7, 9 y entre las zonas 8, 11 es relativamente alta, como resultado de la concentración de impurificación, relativamente baja, de las zonas P.

25                   Las líneas de bitio 4 se oxidan luego parcialmente, para así obtener la capa 21 de óxido de silicio que aísla las líneas de vocablo y las líneas de bitio en el área de los cruces. El grosor de la capa de óxido 21 es, por ejemplo, aproximadamente de 0,3 micras.

30                   En una etapa sucesiva, pueden practicarse unas

1 ventanillas de contacto, por ataque químico, de manera ya  
conocida, en las capas de óxido presentes, después de la  
cual es posible depositar una capa de aluminio a partir  
de la cual pueden formarse las líneas de vocablo 3, entre  
5 otros modos, por ataque químico.

Con el fin de obtener la tensión de umbral adecuada para el IGFET (9, 11, 4b, 3), puede realizarse una ligera implantación de tipo P (por ejemplo, de aproximadamente  $2 \cdot 10^{11}$  átomos/cm<sup>3</sup>) en la región de canal 12 del IGFET, si así conviene.

10 Las dimensiones de las células de memoria pueden ser pequeñas, porque, como resultado de ser no destructiva la lectura, los lugares de almacenaje de información pueden ser muy pequeños, en contraste con lo que sucede, por ejemplo, con las memorias de 1 MOST por bitio, en las  
15 cuales la información, almacenada en condensadores relativamente grandes, se lee de manera realmente destructiva. Con la tecnología actual pueden lograrse, para una sola célula, vista en dirección paralela a las líneas de vocablo 3, una longitud (incluida una parte del diseño de óxido  
20 14) de aproximadamente 22,5 micras y una distancia entre centros de dos células sucesivas, de la misma columna, de aproximadamente 12 micras. Con estas dimensiones, por tanto, se necesitan por célula o elemento aproximadamente 270  
25 micras cuadradas de área de superficie del semiconductor, lo que significa que es posible integrar muchos millares de estos elementos en un cuerpo de semiconductor común.

En el ejemplo descrito, la fuente 18 de tensiones de reloj aplica, a las líneas de vocablo 3, unos impulsos de reloj de cuatro niveles de tensión diferentes, nece  
30

1 sarios para inscribir, borrar y seleccionar los elementos de memoria.

5 Con referencia a la siguiente forma de ejecución del invento, ilustrada en las figs. 9 a 13, se describirá un modo operativo o de trabajo en el que es posible aplicar a las líneas de vocablo unos impulsos de reloj que tienen sólo dos niveles de tensión. Además de en el modo de trabajo, esta forma de ejecución difiere también ligeramente en estructura respecto de la primera forma de realización, de tal modo que es posible obtener importantes ventajas adicionales por lo que concierne a la forma en que los elementos de memoria van acomodados en un circuito integrado. Para mayor sencillez, se usan los mismos números de referencia que en la forma de ejecución precedente para los componentes correspondientes de las figs. 10 15 9 a 13.

20 Como se explicará más adelante, el modo de trabajo puede simplificarse no efectuando la selección en las regiones de electrodo de mando de los JFET que constituyen las regiones de almacenaje de carga, sino en las segundas regiones 11 de electrodo principal de los IGFET. Dichas regiones 11, que están situadas entre las regiones 7, 8 de electrodo principal y en la región de canal 10 de los JFET, pueden usarse como segunda región de electrodo de mando o 25 puerta de los JFET. Por esta razón, las zonas 11 de tipo P, durante el trabajo o funcionamiento, no se ponen a un potencial fijo, como en la forma de ejecución precedente, sino que van conectadas, por medio de una conexión 25 esquemáticamente representada en la fig. 10, a un conductor 30 superpuesto 3b que forma un sistema de líneas de vocablo

1 con las zonas 11. Es de notar que las líneas de vocablo  
3 están divididas en dos subsistemas. Uno de los subsis-  
temas está constituido por las fajas 3a que, lo mismo que  
5 en la forma de ejecución precedente, están situadas en  
ma de las regiones 9 de almacenaje de carga, y forman, ca-  
da una de ellas, una conexión capacitiva para dichas re-  
giones eléctricamente flotantes 9. El otro sistema está  
formado por las fajas 3b que, fuera de la parte represen-  
tada en las figuras, pueden ir conectadas a las zonas 11  
10 subyacentes de tipo P. Las líneas 4 de bitio y lectura  
comprenden, cada una de ellas, una sola faja o tira con-  
ductiva que, cada vez, es puesta en contacto con una re-  
gión 7 de electrodo principal, de tipo N, de las estructu-  
ras de JFET asociadas a la misma fila, y que también for-  
15 man el electrodo de mando aislado de las estructuras de  
IGFET (9, 11, 4).

Otra diferencia importante respecto de la forma  
de ejecución precedente reside en el hecho de que la di-  
rección longitudinal de las estructuras de JFET (7, 8, 9,  
20 11), esto es, la dirección paralela a la de la corriente  
entre las regiones de electrodo principal 7 y 8, se extien-  
de paralelamente a las líneas de bitio 4 y transversalmen-  
te a las líneas de vocablo 3. Así, en esta forma de eje-  
cución los vocablos están formados por columnas de elemen-  
25 tos de memoria. Las regiones de dieléctrico 14 de óxido  
de silicio incrustado o sumido, que en la figura 9 están  
designadas también con líneas cruzadas con aspas, consti-  
tuyen unas fajas que se extienden principalmente paralelas  
a las líneas de bitio 4 y definen, en el cuerpo de semicon-  
30 ductor 1, unos islotes en forma de fajas que comprenden --

1 elementos de memoria asociados a la misma línea de bitios.  
Como se indica en la fig. 9, las fajas 14 no se extienden  
continuamente por toda la matriz, sino que presentan unas  
interrupciones por medio de las cuales las regiones 9 de  
5 tipo N, y las zonas 11 de tipo P contiguas, se extienden  
en el cuerpo de semiconductor en dirección transversal a  
las líneas de bitio 4 y forman respectivamente una segun-  
da región de electrodo principal de las estructuras de  
JFET, y una segunda región de electrodo principal de las  
10 estructuras de IGFET, de los elementos de memoria asocia-  
dos a la misma columna.

Los elementos de memoria están previstos de modo  
que los elementos situados uno al lado de otro en la mis-  
ma fila se hallan también guardando simetría especular en-  
15 tre sí. Como consecuencia de esto, las estructuras de --  
JFET (7, 8, 9, 11) de cada pareja de elementos yuxtapues-  
tos puede presentar una región común de electrodo princi-  
pal. En la vista en sección de la fig. 10, en la que se  
representan por entero dos elementos  $C_8$  y  $C_9$ , y se repre-  
20 sentan otros dos elementos  $C_7$  y  $C_{10}$  sólo parcialmente, en  
el lado izquierdo y el lado derecho, respectivamente, de  
la figura, la región 8 de tipo N del lado izquierdo forma  
una región común de electrodo principal de las estructuras  
de JFET de los elementos  $C_7$  y  $C_8$ ; la región 7 de tipo N  
25 del centro de la figura es común a los elementos  $C_8$  y  $C_9$ ;  
la región 8 de tipo N del lado derecho de la figura es co-  
mún a los elementos  $C_9$  y  $C_{10}$ . El aislamiento dieléctrico  
por medio de las regiones 14 de óxido incrustado en una  
fila de elementos, como en la forma de ejecución preceden-  
30 te, no es necesario en este caso, de modo que la estructu-

1 ra puede hacerse adicionalmente compacta.

El funcionamiento del dispositivo se explicará ahora con referencia a la fig. 14, que ilustra una célula o elemento individual con las fuentes de tensión asociadas, y a las figs. 15 a 18 que ilustran los impulsos de reloj y tensiones a aplicar a las líneas de vocablo y a la líneas de bitio y a la región 9, en función del tiempo.

La manera de hacer funcionar el dispositivo se describirá asimismo con referencia a unos números o valores que se dan únicamente para ilustrar el funcionamiento del dispositivo. Se supone que el IGFET (9, 11, 4) tiene una tensión de umbral de 1 V, para una tensión de 0 V en la zona de electrodo de entrada y en la región de canal 12. Por lo tanto, en este ejemplo, el IGFET es también del tipo de empobrecimiento. Para una tensión de -10 V aplicada al sustrato 16 de tipo P por medio de la fuente de tensión 27, se supone que la tensión de estricción del JFET (7, 8, 9) tiene un valor de aproximadamente -6 voltios.

Todos los electrodos principales 8 de tipo N de los JFET se ponen a un valor de tensión de referencia: por ejemplo, el de masa. Las líneas de bitio van conectadas también a un órgano 20 de toma por lectura, para leer tensiones, y a una fuente de tensión 19 por medio de la cual, durante la inscripción, es posible aplicar una señal de tensión a la línea de bitios 4 y, para la lectura, puede cargarse la línea de bitios a un nivel de tensión dado. La fig. 17 indica la tensión en la línea de bitios en función del tiempo  $t$ . La variación de tensión viene indicada por una línea llena o continua para el caso de un "0" lógico,

1 y por una línea cruzada con aspas para el caso de un "1" lógico.

5 Las líneas de vocablo  $\bar{3}a$ , que están situadas encima de las regiones de carga 9, van conectadas a una fuente 28 de tensión de reloj por medio de la cual es posible aplicar unos impulsos de reloj de entre -10 voltios y 0 voltios, como se indica en la fig. 15. Las líneas de vocablo  $\bar{3}b$ , y las zonas 11 de tipo P a ellas conectadas, van conectadas a una fuente 29 de tensiones de reloj con la cual es posible aplicar también impulsos de reloj de entre -10 voltios y 0 voltios, como se indica en la fig. 16. La fig. 18 ilustra la variación de potencial de la zona 9 de tipo P en función del tiempo  $t$ : a saber, por medio de una línea llena para el "0" lógico y por una línea cruzada con aspas para el caso del "1" lógico. Es de notar que para que la ilustración sea completa, en el ejemplo numérico que sigue se ha tenido realmente en cuenta, en contraste con la forma de ejecución precedente, la división de tensión producida en bornes de la capacidad formada entre la zona 9 y la línea de vocablos  $\bar{3}$ , y la capacidad entre la zona 9 y la región de canal. Como resultado de esta división de tensión, los saltos de potencial de la zona 9 pueden ser ligeramente más pequeños que los de la línea de vocablos  $\bar{3}a$ .

25 El ciclo de inscribir y borrar es como sigue:  
 $t_0$ : A la línea de vocablos  $\bar{3}b$  (seleccionada) se le aplica una tensión de 0 V, de modo que el canal 10 del JFET, de debajo de la zona 11 de tipo P, se abre. A la línea de bits 4 (seleccionada) se le aplica una tensión de 5 voltios para inscribir un "0" lógico, o una tensión de 0 V para --

1 inscribir un "1" lógico. En la situación primeramente men-  
cionada, el IGFET está cerrado, porque el potencial de la  
línea de bitios es más alto que la tensión de umbral; en  
la otra situación, en la que la tensión en la línea de bi-  
5 tios 4 es inferior a la tensión de umbral, el IGFET está  
abierto.

$t_1$ : El potencial de la línea de vocablos 3a (selecciona-  
da) aumenta de -10 V a 0 V. El potencial de la zona 9 de  
tipo P capacitivamente acoplada a la línea de vocablos 3a  
10 no puede ir más allá de aproximadamente 0 voltios.

$t_2$ : El potencial de la línea de vocablos 3a baja de nuevo  
a -10 V. En el caso en que se aplicó una tensión de 5 V  
a la línea de bitios 4 (el IGFET está cerrado), la zona de  
tipo P es capaz, en principio, de seguir la caída de ten-  
15 sión en la línea de vocablos 3a. La zona 9 de tipo P se  
pone entonces a un valor de potencial de, por ejemplo, apro-  
ximadamente -6,9 V. A este potencial, la unión PN entre  
la zona 9 de tipo P y la región 6 de tipo N se polariza en  
sentido inverso hasta el punto de que el canal 10 subyacen-  
20 te queda enteramente bloqueado. La carga negativa que en  
este estado se almacena en la región flotante 9 no puede  
desaparecer por la unión PN cortada o bloqueada, excepto  
a consecuencia de unas corrientes de fuga que determinan  
el tiempo de almacenaje de carga dentro del cual es posi-  
25 ble mantener la información en la región 9 sin recurrir a  
operaciones de reanimación.

Ahora bien, al inscribirse un "1" por aplicación  
de una tensión de 0 voltios a las líneas de bitio, se abre  
el IGFET (9, 11, 4). En principio, el potencial de la zo-  
30 na 9 de tipo P permanece igual al potencial de la zona 11

1 de tipo P que constituye una zona de "fuente" o electrodo  
de entrada para los huecos que pueden circular desde el  
IGFET a la zona 9, la cual sirve de zona de "drenaje" o  
electrodo de salida, por medio del canal 12. El potencial  
5 de la zona, por tanto, permanece por encima de la tensión  
de estricción del JFET, de modo que en este caso es posi-  
ble realmente una condición de paso de corriente en el ca-  
nal 10 de debajo de la zona 9.

t<sub>3</sub>: A las líneas de vocablo 3b y las zonas 11 de tipo P  
10 se les aplica una tensión de aproximadamente 10 V, por me-  
dio de la fuente de tensión 29. El canal 10 de la estruc-  
tura de JFET, de debajo de la zona 11, que ahora vuelve a  
servir de segunda región de electrodo de mando del JFET,  
está enteramente en estricción. Independientemente de la  
15 información almacenada en la región 9, el JFET está cerra-  
do. En el caso de que en la zona 9 se inscriba un "1" ló-  
gico, puede fluir una pequeña carga desde la zona 9, por  
el IGFET (9, 11, 3b), hasta que la diferencia de tensión  
entre la zona 9 y la línea de bitios 4 sea menor que la  
20 tensión de umbral del IGFET. Esto se ilustra en la fig.  
18. El potencial de la zona 9 en ese caso es aproximada-  
mente de -1 V. La lectura puede realizarse del siguiente  
modo:

t<sub>5</sub>: Para la toma por lectura de la información almacena-  
25 da, la línea de bitios se carga a aproximadamente 5 vol-  
tios, por medio de la fuente de tensión 19.

t<sub>6</sub>: Por medio de la fuente de tensión 29 se aplica una  
tensión de 0 V a la línea de vocablos 3b seleccionada. El  
canal 10 de debajo de la zona 11 ya no está bloqueado. En  
30 el caso de que la carga almacenada corresponda a un "1" ló

1 gico, el canal 10, debajo de la zona 9, tampoco está blo-  
queado y, por tanto, el JFET está abierto. El potencial  
de la línea de bitios puede entonces caer a 0 voltios. En  
5 el caso en que la información almacenada en la región 9  
represente un "0", en cambio, el canal 10 de debajo de la  
zona 9 permanece cerrado y, por tanto, también el JFET.  
En esta situación, el potencial de la línea de bitios 4  
sigue siendo de aproximadamente 5 voltios.

10 Las señales de salida presentes en la línea de  
bitios 4 pueden detectarse por medio del dispositivo 20.  
Debido al carácter no destructivo de la lectura, la dura-  
ción de la toma por lectura puede prolongarse por el tiem-  
po deseado en relación, por ejemplo, con las señales de  
interferencia resultantes de los impulsos de tensión a  
15 aplicar.

t<sub>7</sub>: Tras la toma por lectura, es posible aplicar de nue-  
vo una tensión de -10 V a la línea de vocablos 3b y a la  
zona 11, para así cerrar el JFET. La información puede  
entonces volverse a leer, si esto se desea. Ahora bien,  
20 con el fin de prevenir la posible desaparición de la infor-  
mación a consecuencia de las corrientes de fuga, es útil  
reanimar la información de vez en cuando. La etapa de re-  
animación, que puede tener lugar inmediatamente después  
de un ciclo de toma por lectura, puede realizarse tras la  
25 repetición del ciclo de inscribir, en las líneas de voca-  
blo 3a, 3b. La información es automáticamente reinscrita,  
porque el potencial de la línea de bitios 4, al producirse  
la lectura, adoptará un valor que, justamente como sucede  
al inscribir la información, es mayor o menor que la ten-  
30 sión de umbral del IGFET (9, 11, 4), de modo que, según es

1 -té la señal de salida, el IGFET permanecerá abierto o ce-  
rrado. Los diversos niveles de tensión se eligen, de pre-  
ferencia, de modo que las señales de salida que puedan apa-  
recer en la línea de bitios 4 tengan el mismo valor que  
5 las señales de entrada suministradas por medio de la lí-  
nea de bitios 4.

Para reanimar o "refrescar" la información alma-  
cenada, se aplica una tensión de 0 V a la línea de voca-  
blos 3b y a la zona 11 conductivamente conectada con ella,  
10 lo que significa que, en el caso en que la operación de  
reanimar tenga lugar inmediatamente después de una opera-  
ción de toma por lectura, la tensión en la línea de voca-  
blos 3b y en la zona 11 sigue siendo de 0 V (indicada en  
la fig. 16 por la línea 30). En otros casos, indicados en  
15 la fig. 16 por la línea 31 de trazo interrumpido, en los  
que la operación de reanimar no se efectúa inmediatamente  
después de una operación de lectura sino, por ejemplo, ca-  
da vez al cabo de un intervalo de tiempo dado, la tensión  
en la línea de vocablos 3b y en la zona 11 sube de -10 V  
20 a 0 V, de modo que se abre el canal 10 de JFET, debajo de  
la zona 11. En el intervalo de tiempo  $t_8 \dots t_9$ , se aplica  
a la línea de vocablos 3a, por encima de la región de al-  
macenaje 9, el mismo impulso de tensión 32 que durante la  
operación de inscribir. Como resultado de este impulso,  
25 la zona 9 vuelve a cargarse, a menos que la línea de bitios  
4 tenga una tensión tal que la zona 9 pueda descargarse a  
través del IGFET. En el instante  $t_{10}$  el potencial en la  
línea de vocablos 3b y en la zona 11 se reduce a -10 V, pa-  
ra así bloquear el canal 10 por debajo de la zona 11 y, por  
30 lo tanto, cerrar el transistor de efecto de campo del tipo

1 de unión (7, 8, 9, 11) sea cual fuere la información alma-  
cenada.

5 La invención ofrece no sólo un nuevo dispositi-  
vo por lo que concierne a la estructura y el funcionamien-  
to, sino también un método particular de fabricar el dis-  
positivo semiconductor. El dispositivo puede ser manufac-  
turado por medio de métodos normales, ya conocidos en ge-  
neral. No obstante, se describirá en lo que sigue un me-  
todo preferido que presenta considerables ventajas. El  
10 punto de partida es la etapa en que el semiconductor 1 es  
dotado del diseño de distribución 14 de óxido de silicio  
incrustado o sumido, así como de las regiones 6 de super-  
ficie, de tipo N, en las que van dispuestos los elementos  
de memoria. Las regiones 6 de tipo N pueden obtenerse por  
15 epitaxia sobre el substrato 16 de tipo P (antes de dispo-  
nerse el óxido 14 incrustado), o bien por medio de implan-  
tación de iones de una impureza de tipo N en el substrato  
de tipo P (antes o después de disponerse el óxido 14 in-  
crustado).

20 En esta etapa del tratamiento, se dispone la ca-  
pa de dieléctrico 13 sobre la superficie 2 del cuerpo de  
semiconductor 1, después de haber quitado las capas de pro-  
tección o mascarilla empleadas para disponer el diseño de  
óxido incrustado 14. Naturalmente, en lugar de la capa de  
25 dieléctrico 13 podrían también usarse las citadas capas de  
protección (en ese caso, sin quitarlas) para disponer el  
diseño 14. En la fig. 19, que es una vista en sección co-  
rrespondiente a la indicada en la fig. 14 durante la manu-  
factura del dispositivo, la capa de dieléctrico 13 se re-  
30 presenta como una capa doble, compuesta de una capa 13a de

1 óxido de silicio de, por ejemplo,  $800 \text{ \AA}$  dispuesta directamente sobre la superficie, y una capa  $13b$  de nitruro de silicio de, por ejemplo,  $400 \text{ \AA}$  de espesor. De convenir así, puede omitirse la capa de nitruro de silicio, pero  
5 ésta presenta algunas ventajas, en una etapa ulterior, cuando las fajas policristalinas  $3a$ ,  $3b$  se someten a un tratamiento de oxidación. Sobre el nitruro  $13b$  se deposita una capa  $33$  de silicio policristalino de aproximadamente  $0,5$  micras de espesor. A continuación se dispone una  
10 capa  $34$  de nitruro de silicio. El espesor de dicha capa no es crítico.

Sobre la capa  $34$  de nitruro de silicio se dispone, de manera ya conocida, una mascarilla  $35$  de una laca  
fotográfica adecuada. Esta mascarilla fotográfica presenta  
15 unas ventanillas paralelas de forma de fajas  $36a$ ,  $36b$  en el área donde, en una etapa ulterior de la manufactura, se van a disponer las zonas subyacentes  $9$  y  $11$ , respectivamente, de tipo P.

La fig. 19 ilustra una parte correspondiente del  
20 dispositivo en esta etapa de la manufactura.

La capa de nitruro es luego sometida a un tratamiento de ataque químico con protección en, por ejemplo, una solución de ácido fosfórico a una temperatura de aproximadamente  $150^{\circ}\text{C}$ . En este tratamiento se hace desaparecer el nitruro que no esté cubierto por la mascarilla  $35$ .  
25 En la etapa siguiente, se implantan iones de boro a través de las ventanillas practicadas en la capa de laca fotográfica  $35$  y a través de la capa  $33$  de silicio policristalino y de las capas de dieléctrico subyacentes  $13a$  y  $13b$  del  
30 cuerpo de semiconductor  $1$ , para así obtener las zonas  $9$  y

1 ll de tipo P. La implantación, esquemáticamente represen-  
tada en la fig. 20 por medio de las flechas 41, puede rea-  
lizarse con iones de boro con una energía de, por ejemplo,  
5 aproximadamente 150 keV. De producirse daños en la retí-  
cula cristalina del cuerpo 1 a consecuencia de dicho tra-  
tamiento, pueden eliminarse, al menos en su mayor parte,  
mediante calentamiento del cuerpo 1. La zona ll de tipo  
P presenta al menos principalmente la misma forma que la  
10 ventanilla 36a de forma de faja superpuesta. Debajo de  
la ventanilla 36b de forma de faja, en cambio, se obtiene  
una columna de regiones 9 de tipo P separadas entre sí  
por el diseño de óxido incrustado 14 ya habilitado que,  
no obstante, no es visible en la fig. 20.

La fig. 20 ilustra esta etapa del procedimiento.

15 A continuación puede quitarse la capa 35 de la-  
ca fotográfica, de manera ya conocida, después de lo cual  
la capa de silicio policristalino se provee de una capa  
37 de óxido de silicio (véase la fig. 21) mediante caldeo  
en un medio oxidante. Durante dicha oxidación, la capa 33  
20 de silicio se protege localmente mediante las partes res-  
tantes de la capa 34 de nitruro de silicio, de modo que  
la capa de silicio 33 se provee de una capa de óxido 37  
sólo en el área de las líneas de vocablo 3a, 3b que se van  
a formar (o sea, por encima de las zonas 9 y 11). Las  
25 partes restantes de la capa 34 de nitruro de silicio pue-  
den luego quitarse también, por ataque químico con una so-  
lución de ácido fosfórico. Para dicho tratamiento de ata-  
que químico, en el cual las capas de óxido 37 no deben, al  
menos sustancialmente, ser atacadas, no es necesaria eta-  
30 pa alguna de fotoprotección, porque el agente de ataque

1 químico (selectivo) usado ataca al nitruro mucho más depri-  
sa que el óxido, como es sabido. La fig. 21 ilustra el  
dispositivo en esta etapa.

5 / A continuación pueden formarse las líneas de vo-  
cablo 3a y 3b, a partir de la capa 33 de silicio policris-  
talino, quitando localmente el silicio mediante ataque  
químico con, por ejemplo, una solución tamponada de  $\text{HNO}_3$  HF.  
Durante dicho tratamiento de ataque químico, la capa 33  
se protege localmente por medio de las capas 37 de óxido  
de silicio.

10 Las tiras o fajas 3a y 3b se recubren por sus  
lados con óxido de silicio 38, por medio de una oxidación  
térmica del silicio (fig. 22). Durante dicho tratamiento  
de oxidación, el grosor de la capa 13 de óxido de silicio  
15 no aumentará, o al menos no aumentará sustancialmente, de-  
bido a la presencia de la capa 13b de nitruro de silicio.  
Las regiones 7, 8 de electrodo principal de tipo  $\text{N}^+$  pue-  
den disponerse en una etapa sucesiva. Esta etapa puede  
realizarse mediante implantación de iones donadores trans-  
20 versalmente a través de la capa 13b de nitruro de silicio  
y de la capa 13a de óxido, en el cuerpo de semiconductor  
1, después de haberse dispuesto, entre las líneas de voca-  
blo 3a y 3b, una mascarilla protectora 39 constituida, por  
ejemplo, por una capa de laca fotográfica. Ahora bien,  
25 como se ilustra en la fig. 22, la capa 13b de nitruro de  
silicio puede, como alternativa, disponerse primero, que-  
dando tan sólo unas partes 40 de la capa de nitruro 13b  
debajo de las líneas de vocablo policristalinas 3a y 3b.  
A continuación puede disponerse la fotoprotección 39 entre  
30 los trayectos 3a, 3b. La mascarilla o protección 39 puede

1 extenderse por encima de los trayectos 3a, 3b de modo que  
la provisión o colocación de la misma no exija una alineación crítica con respecto a los trayectos 3a, 3b. Luego,  
5 pueden disponerse las zonas 7 y 8 de tipo N<sup>+</sup> de manera que se centren automáticamente con respecto a los trayectos 3a, 3b; por ejemplo, por medio de implantación de iones donadores a través de la capa 13a de óxido de silicio, estando el cuerpo 1 localmente protegido por la mascarilla 39 y los trayectos 3a, 3b. Las zonas 7, 8, como alternativa,  
10 pueden disponerse por medio de difusión, quitándose la capa de óxido 13a, de encima de las zonas 7, 8 que se vayan a obtener, después de habilitar la mascarilla 39: por ejemplo, por medio del ataque químico denominado de inmersión, en el caso en que el espesor de la capa de óxido 13a sea mucho menor que el espesor de las capas de óxido 37 y 38 que cubren los trayectos 3a, 3b. Tras la difusión, las ventanillas de difusión así obtenidas pueden volverse a cerrar.

15  
20 La zona 8 obtenida de esta manera se extiende, al igual que la zona 11, cruzando la matriz entera; en tanto que la zona 7, al igual que la zona contigua 9, forma parte de una columna de zonas 7 separadas entre sí por el diseño de óxido de silicio 14 incrustado.

25 Las demás operaciones como, por ejemplo, la provisión de ventanillas de contacto en las capas de óxido presentes y las líneas de bitio 4, pueden realizarse por métodos usualmente empleados.

30 El procedimiento descrito es ventajoso por el hecho de que las líneas de vocablo 3a, 3b y las zonas 9, 11 de tipo P subyacentes están definidas por medio de una mis-

1 ma mascarilla 35 (véase la fig. 9), evitándose etapas crí-  
ticas de alineación. Además de para los dispositivos a  
los cuales se refiere la presente invención, el método  
arriba descrito puede usarse en general con ventaja para  
5 fabricar otras estructuras de semiconductor que compren-  
dan un conductor aislado del cuerpo de semiconductor y  
una zona impurificada que se quiera formar en el cuerpo  
de semiconductor y que esté situada con precisión debajo  
del conductor.

10 Se describirá ahora un segundo método de fabri-  
car tal estructura, con referencia a las figs. 23 a 25.  
Estas figuras son unas vistas en sección correspondientes  
a las vistas en sección de las figs. 19 a 22, de una par-  
te del dispositivo durante unas pocas etapas de la manu-  
15 factura del mismo. Se parte de la situación (fig. 23) en  
la que el cuerpo de semiconductor 1 que comprende el sub-  
strato 16 de tipo P está provisto de la región superficial  
6 de tipo N y del diseño de óxido de silicio 14 incrusta-  
do en el cuerpo 1 (y no representado en las figuras). So-  
20 bre la superficie 2 se forma la capa 13a de óxido de sili-  
cio. Por medio de una implantación de iones de boro (in-  
dicada por las flechas 46), se dispone una zona superfi-  
cial 47 de tipo P que se extiende por toda la región de su-  
perficie 6 de tipo N de los elementos de memoria.

25 Se forman luego (fig. 24) las líneas de vocablo  
3a, 3b de silicio policristalino, con la capa de nitruro  
de silicio 40 subyacente y las capas 38 de óxido de sili-  
cio que cubren las líneas 3a, 3b. Usando las líneas de vo-  
cablo 3a, 3b como mascarilla de impurificación, se disponen  
30 una impurezas de tipo N (por ejemplo, átomos de fósforo o

1 átomos de arsénico) en las regiones de semiconductor 49a,  
49b, 49c, por medio de implantación de iones (indicada  
por las flechas 48 en la fig. 24). Las regiones de semi-  
conductor 49 se representan con líneas de trazo interrum-  
5 pido en la fig. 24. La concentración de la implantación  
se elige de modo que la región de superficie 49b entre  
las líneas de vocablo 3a, 3b tenga la concentración super-  
ficial deseada en relación con la tensión de umbral de la  
estructura de IGFET (9, 11, 4) que se vaya a fabricar. En  
10 el presente caso, en que dicho IGFET es del tipo llamado  
de empobrecimiento, la concentración se elige de modo que  
la impureza de tipo P en la zona implantada 47 de tipo P  
sea compensada sólo en parte por la impureza de tipo N.  
Las zonas 9 y 11 de tipo P, situadas también con precisión  
15 debajo de las líneas de vocablo 3a, 3b, se obtienen par-  
tiendo de la capa 47 de tipo P mediante dicha etapa de im-  
purificación.

En una etapa sucesiva (fig. 25), la región com-  
prendida entre las líneas de vocablo 3a, 3b se protege con  
20 una mascarilla 50 de implantación. La mascarilla 50 pue-  
de disponerse, igualmente sin alinearla con gran precisión  
respecto a las líneas de vocablo 3a, 3b, de la misma mane-  
ra que la mascarilla 39 de la fig. 22. A continuación pue-  
den disponerse las regiones 7 y 8 de electrodo principal  
25 de tipo N<sup>+</sup>, usando el efecto de protección de la mascari-  
lla 50 y las líneas de vocablo 3a, 3b, por medio de implan-  
tación de, por ejemplo, iones de fósforo (indicada por las  
flechas 51). Como resultado de esto se obtiene la estruc-  
tura representada en la fig. 25, con las regiones de elec-  
trodo principal 7 y 8 de tipo N<sup>+</sup>, las regiones 9, 11 de  
30

1 tipo P y la región de canal 12 de tipo P, débilmente impurificada, entre las regiones 9, 11; regiones que se han obtenido usando las líneas de vocablo  $3a$ ,  $3b$  como mascarilla de impurificación (parcial).

5 La fig. 26 es una vista en sección, correspondiente a la vista en sección de la fig. 10, de una forma de ejecución que difiere de esta forma precedente en que, en lugar de las regiones 9 impurificadas de tipo P, que contienen información, unas regiones de empobrecimiento  
10 inducidas 42, 43 son las que constituyen las regiones de almacenaje de información. En la fig. 26, dichas regiones se representan con líneas de trazo interrumpido. Las regiones de empobrecimiento 42, 43, que pueden inducirse en la parte subyacente de tipo N de la región superficial  
15 6 por medio de la línea de vocablos  $3a$ , también determinan la conductividad del canal 10 entre las regiones de empobrecimiento 42, 43 y el substrato 16. En esta forma de ejecución, dicho primer transistor de efecto de campo, que comprende la información, en realidad es también un  
20 transistor de efecto de campo de electrodo de mando aislado (IGFET) cuyo electrodo de mando o puerta, en este caso, está formado por la línea de vocablos  $3a$ . La zona 11 de tipo P que desempeña las funciones de fuente de portadores de carga y línea de vocablos también puede estar sustituida, si así se desea, por una de estas regiones inducidas, en la que es posible formar una capa de inversión que sirva de fuente de portadores de carga.

25 El funcionamiento del dispositivo, en principio, es igual al de la forma de ejecución precedente. A las líneas de vocablo 3 y a las líneas de bitio 4 pueden aplicar-

30

1 se unas tensiones que, en función del tiempo  $t$ , tienen el  
mismo diseño o perfil que en la forma de ejecución prece-  
dente, aunque los niveles, en particular de los impulsos  
de reloj, aplicados a la línea de vocablos  $3a$  deben ade-  
5 cuarse ligeramente, lo cual, por otra parte, es obvio pa-  
ra las personas versadas en la materia. El nivel más ba-  
jo de las tensiones en la línea de vocablos  $3a$  ha de ele-  
girse tan bajo que, en ausencia de huecos, sea posible  
formar una región de empobrecimiento 42 en la parte subya-  
10 cente de la región de superficie 6, que se extienda desde  
la superficie 2 entrando en la región 6 (y, por tanto, en  
el canal 10) hasta el punto de que el canal 10 quede ente-  
ramente en estricción y el transistor, por tanto, bloquea-  
do. Para mayor sencillez, se representa una región de em-  
15 pobrecimiento 42 que se extiende bajando hasta el substra-  
to 16. Los huecos (cargas positivas) 44 que lleguen a es-  
tar disponibles, sea a través de la región 11, sea por ge-  
neración, pueden ser almacenados en la región de empobre-  
cimiento 43, en la superficie 2, y - permaneciendo igual  
20 la tensión en la línea de vocablos  $3a$  - originan una reduc-  
ción de la región de empobrecimiento 43.

Las operaciones de inscribir, borrar, leer y rea-  
nimar o "refrescar" datos en el dispositivo pueden, asimis-  
mo, realizarse de igual manera que en la forma de ejecu-  
25 ción precedente. Mediante la aplicación de un impulso po-  
sitivo a la línea de vocablos  $3a$ , se eliminan los huecos  
44 presentes; al volverse a aplicar luego la tensión nega-  
tiva a la línea de vocablos  $3a$ , se forma la región de empo-  
brecimiento 42, a menos que el potencial de la línea de bi-  
30 tios 4 tenga un valor (según la información que se vaya a

1 almacenar) tal que el IGFET (43, 10, 4) esté abierto, de  
modo que los huecos 44 puedan pasar desde el electrodo de  
entrada o "fuente" 10, por la región de canal 12, hasta la  
región de empobrecimiento 43, obteniéndose una región de  
5 empobrecimiento 42 que no se extiende por encima del ca-  
nal 10 entero.

Como se apreciará obviamente, la invención no se  
limita a las formas de ejecución descritas, sino que son  
posibles muchas variantes y modificaciones, para las per-  
10 sonas versadas en la materia, sin salirse del ámbito de  
esta invención. Por ejemplo, las tensiones de estricción  
de los primeros transistores de efecto de campo, que con-  
tienen la información, pueden ajustarse a un valor adecua-  
do por medio de la tensión que se vaya a aplicar al subs-  
15 trato 16. En la primera forma de ejecución, la zona 11 de  
tipo P, en lugar de ponerse a una tensión fija, puede ir  
también conectada a una fuente de impulsos de reloj, de mo-  
do que la zona 11 de esta forma de ejecución puede usarse  
también con fines de selección. Las líneas de bitio 4a,  
20 4b, como alternativa, pueden ir conectadas por medio de un  
interruptor (por ejemplo, un transistor), en lugar de por  
la conexión 5. Durante la lectura, podría interrumpirse,  
por medio de dicho interruptor, la conexión entre las lí-  
neas 4a, 4b. En este caso, la lectura se efectuaría sólo  
25 por la línea 4a. A consecuencia de esto, es posible redu-  
cir ventajosamente, por lo menos durante la lectura, las  
capacidades parásitas de las líneas de bitios.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Un dispositivo semiconductor que tiene un elemento de memoria semiconductor, particularmente adecuado para uso en una memoria de acceso aleatorio, dispositivo que comprende un cuerpo de semiconductor dotado de una región superficial, contigua a superficie, de principalmente un determinado tipo de conductividad y dotado de un transistor de efecto de campo, denominado aquí primer transistor de efecto de campo, el cual comprende dos regiones de electrodo principal de un determinado tipo de conductividad entre las cuales hay una región de canal de un determinado tipo de conductividad, y una región de electrodo de mando, situada en superficie, por medio de la cual es posible inducir en el cuerpo de semiconductor una región de empobrecimiento, que se extiende entrando por lo menos en la región de canal, la cual constituye una región de almacenaje de carga en la que puede almacenarse información en forma de carga eléctrica, información que puede leerse de manera no destructiva por determinación de la conductividad en la región de canal comprendida entre las regiones de electrodo principal, estando dicho dispositivo caracterizado por el hecho de que el elemento comprende un transistor de efecto de campo de electrodo de mando o puerta aislado, denominado aquí según

06048

1 do transistor de efecto de campo, que es del tipo comple-  
mentario respecto al primer transistor de efecto de campo  
y que comprende dos regiones de electrodo principal, de  
las cuales una está formada por la parte del cuerpo de  
5 semiconductor que constituye la citada región de almace-  
naje de carga, y la otra región de electrodo principal  
está formada por una segunda región de superficie situada  
cerca de la región de almacenaje, comprendiendo el segun-  
do transistor de efecto de campo por lo menos un electro-  
10 do de mando o puerta que está aislado de la superficie  
del cuerpo de semiconductor y que va eléctricamente acc-  
plado a una de las regiones de electrodo principal del  
primer transistor de efecto de campo.

15 2ª.- El dispositivo semiconductor de la reivin-  
dicación 1ª, caracterizado por el hecho de que las regio-  
nes de electrodo principal del primer transistor de efec-  
to de campo están ambas formadas por unas zonas, conti-  
guas a superficie, de un determinado tipo de conductivi-  
dad, y la segunda región de superficie que forma dicha  
20 otra o segunda región de electrodo principal del segundo  
transistor de efecto de campo de electrodo de mando aisla-  
do está situada, vista por la superficie, entre dichas  
dos regiones de electrodo principal del primer transistor  
de efecto de campo.

25 3ª.- El dispositivo semiconductor de la reivin-  
dicación 1ª o la 2ª, caracterizado por el hecho de que la  
región de electrodo principal del primer transistor de --  
efecto de campo, que está eléctricamente acoplada a un  
electrodo de mando del segundo transistor de efecto de  
30 campo, va provista de una conexión eléctrica que se ex-

1 - tiende en forma de capa conductiva hasta por lo menos en-  
cima de la región de canal del segundo transistor de efec-  
to de campo, de electrodo de mando aislado, y que constitu-  
ye el electrodo de mando o puerta aislado del segundo  
5 transistor de efecto de campo.

4<sup>a</sup>.- El dispositivo semiconductor de una o más  
de las reivindicaciones precedentes, caracterizado por el  
hecho de que la parte del cuerpo de semiconductor que  
constituye dicha región de almacenaje de carga está dis-  
10 puesta en la superficie, con una conexión capacitiva en  
forma de región conductiva que se halla separada de dicha  
parte del cuerpo de semiconductor por una capa de bloqueo.

5<sup>a</sup>.- El dispositivo semiconductor de la reivin-  
dicación 4<sup>a</sup>, caracterizado por el hecho de que la capa de  
15 bloqueo está formada por una capa de material aislante que  
está situada en la superficie del cuerpo semiconductor y  
en la cual la conexión capacitiva está dispuesta en forma  
de capa conductiva.

6<sup>a</sup>.- El dispositivo semiconductor de la reivin-  
20 dicación 2<sup>a</sup>, caracterizado por el hecho de que la segunda  
región de electrodo principal del segundo transistor de  
efecto de campo está prevista dentro de la región de ca-  
nal del primer transistor de efecto de campo y forma con  
ella una segunda región de electrodo de mando del primer  
25 transistor de efecto de campo.

7<sup>a</sup>.- El dispositivo semiconductor de las rei-  
vindicaciones 2<sup>a</sup> y 5<sup>a</sup>, caracterizado por el hecho de que  
la capa conductiva que constituye la conexión capacitiva  
de la parte del cuerpo de semiconductor que forma esta re-  
30 gión de almacenaje de carga se extiende, vista por la su-

1 -perficie, hasta más allá de dicha parte del cuerpo de se-  
miconductor, hasta sobre una parte de la región de canal  
del segundo transistor de efecto de campo, de electrodo  
de mando aislado, y forma dos electrodos de mando aisla-  
5 dos del segundo transistor de efecto de campo en unión de  
la capa conductiva que va conectada a una de las regiones  
de electrodo principal del primer transistor de efecto de  
campo y se extiende por encima de la parte restante de di-  
cha región de canal del segundo transistor de efecto de  
10 campo.

8ª.- El dispositivo semiconductor de una o más  
de las reivindicaciones precedentes, caracterizado por el  
hecho de que la segunda región de superficie que forma  
dicha otra o segunda región de electrodo principal del  
15 segundo transistor de efecto de campo, de electrodo de  
mando aislado, es una región de superficie del segundo ti-  
po de conductividad.

9ª.- El dispositivo semiconductor de una o más  
de las reivindicaciones precedentes, caracterizado por el  
20 hecho de que el segundo transistor de efecto de campo, de  
electrodo de mando aislado, es del tipo de empobrecimien-  
to.

10ª.- El dispositivo semiconductor de una o más  
de las reivindicaciones precedentes, caracterizado por el  
25 hecho de que la región de superficie de principalmente un  
determinado tipo de conductividad está delimitada, por el  
lado opuesto a la superficie, por una parte del cuerpo de  
semiconductor del segundo tipo de conductividad.

11ª.- El dispositivo semiconductor de una o más  
30 de las reivindicaciones precedentes, caracterizado por el

1 hecho de que el primer transistor de efecto de campo es  
un transistor de efecto de campo del tipo de unión, cuya  
región de electrodo de mando, que de por sí constituye  
la citada región de almacenaje de carga, está separada de  
5 la región de canal por una unión rectificadora.

12ª.- El dispositivo semiconductor de la reivindicación 11ª, caracterizado por el hecho de que la región de electrodo de mando está formada por una zona superficial del segundo tipo de conductividad dispuesta en  
10 la región de superficie de un determinado tipo de conductividad y que va acoplada, en la superficie, por una capa aislante sobre la cual se halla dispuesto, en forma de capa conductora, el citado electrodo que forma una alimentación capacitiva para la región de electrodo de mando  
15 eléctricamente flotante.

13ª.- El dispositivo semiconductor de una o más de las reivindicaciones 1ª a 10ª, caracterizado por el hecho de que la región de electrodo de mando o puerta del primer transistor de efecto de campo está formada por una  
20 capa conductiva que se halla separada de la región de canal por una capa intermedia aislante en la cual, por medio del electrodo de mando aislado, es posible inducir una región de empobrecimiento en la región de canal subyacente y se extiende desde la superficie en la región de canal y  
25 forma o constituye la citada región de almacenaje de carga, en la que es posible almacenar información en forma de portadores de carga minoritarios.

14ª.- El dispositivo semiconductor de las reivindicaciones 5ª y 13ª, caracterizado por el hecho de que  
30 el electrodo de mando aislado del primer transistor de

1 efecto de campo está formado por la capa conductiva que  
constituye la conexión capacitiva con la parte del cuerpo  
de semiconductor en la que es posible formar la región de  
almacenaje de carga.

5 15a. El dispositivo semiconductor de una o más de las  
reivindicaciones precedentes, caracterizado porque el ele-  
mento de memoria forma parte de una memoria de acceso alea-  
torio, estando provisto el cuerpo de semiconductor, en la  
superficie, de un sistema de conductores de líneas de voca-  
10 blo y líneas de bitio que, en el área de los cruces, van  
eléctricamente acopladas a unos elementos de memoria dis-  
puestos en una región superficial subyacente del cuerpo de  
semiconductor, de principalmente un determinado tipo de con-  
ductividad, que comprenden cada uno un transistor de efecto  
15 de campo, denominado aquí primer transistor de efecto de  
campo, que tiene dos regiones de electrodo principal de un  
determinado tipo de conductividad y una región de canal in-  
termedia de un determinado tipo de conductividad, y que tie-  
ne una región de electrodo de mando situada cerca de la su-  
20 perficie y por medio de la cual es posible formar, en el  
cuerpo de semiconductor, una región de empobrecimiento que  
se extiende en la región de canal y que constituye una re-  
gión de almacenaje de carga en la que puede ser tomada in-  
formación por lectura no destructivamente, yendo las líneas  
25 de bitio acopladas a una primera región de electrodo prin-  
cipal de los transistores de efecto de campo y yendo las  
líneas de vocablo acopladas a una región de electrodo de  
mando de los primeros transistores de efecto de campo, com-  
prendiendo cada elemento un segundo transistor de efecto de

1 -campo, de electrodo de mando aislado, que es del tipo de  
conductividad complementario respecto al primer transis-  
tor de efecto de campo y que comprende dos regiones de  
5 electrodo principal, una de las cuales está formada por  
la parte del cuerpo de semiconductor que, durante el fun-  
cionamiento, constituye dicha región de almacenaje de car-  
ga, y cuya otra región de electrodo principal está forma-  
da por una segunda región adyacente, comprendiendo cada  
10 uno de los segundos transistores de efecto de campo un elec-  
trodo de mando aislado que va conectado a una línea de bi-  
tío asociada.

16<sup>a</sup>.- El dispositivo semiconductor de la rei-  
vindicación 15<sup>a</sup>, caracterizado por el hecho de que la se-  
gunda región de superficie que constituye dicha otra o  
15 segunda región de electrodo principal del segundo transis-  
tor de efecto de campo en cada elemento de memoria está  
formada por una zona superficial del segundo tipo de con-  
ductividad que, vista por la superficie, se halla situa-  
da entre las regiones de electrodo principal del primer  
20 transistor de efecto de campo.

17<sup>a</sup>.- El dispositivo semiconductor de la rei-  
vindicación 15<sup>a</sup> o 16<sup>a</sup>, caracterizado por el hecho de que  
las líneas de vocablo comprenden cierto número de trayec-  
tos conductivos, cada uno de los cuales constituye una co-  
25 nexión capacitiva de las partes del cuerpo de semiconductor  
que durante el funcionamiento forman las regiones de al-  
macenaje de carga de los elementos de memoria que van eléc-  
tricamente acoplados en común a la misma línea de voca-  
blos.

30

18<sup>a</sup>.- El dispositivo semiconductor de una o más

19108  
jga

1 de las reivindicaciones 15ª a 17ª, caracterizado por el  
hecho de que los elementos de memoria, en los lados para-  
lelos a la dirección principal de la corriente de los --  
primeros transistores de efecto de campo, están delimita-  
5 dos por unas regiones de dieléctrico que se extienden, a  
partir de la superficie, en por lo menos parte del grosor  
de la región de semiconductor de un determinado tipo de  
conductividad, al interior del cuerpo de semiconductor.

10 19ª.- El dispositivo semiconductor de la rei-  
vindicación 18ª, caracterizado por el hecho de que la re-  
gión de dieléctrico está formada por una capa de óxido  
obtenida por oxidación local del material semiconductor  
del cuerpo de semiconductor.

15 20ª.- El dispositivo semiconductor de la rei-  
vindicación 18ª o la 19ª, caracterizado por el hecho de  
que las regiones de dieléctrico están formadas por unas  
tiras o fajas que, vistas por la superficie, se extienden  
principalmente paralelas a las líneas de bitio y, en la  
región de superficie de un determinado tipo de conducti-  
20 vidad, definen unos islotes de forma de fajas que compren-  
den, cada uno, los elementos de memoria asociados a una  
línea de bitio, orientados de modo que la dirección prin-  
cipal de corriente de cada uno de dichos primeros transis-  
tores de efecto de campo es principalmente paralela a la  
25 dirección en que se extienden las líneas de bitio.

30 21ª.- El dispositivo semiconductor de la rei-  
vindicación 20ª, caracterizado por el hecho de que las re-  
giones de dieléctrico de forma de faja, vistas por la su-  
perficie, presentan unas interrupciones por medio de las  
cuales las regiones superficiales de forma de faja de un

1 - segundo tipo de conductividad y las zonas contiguas del  
primer tipo de conductividad se extienden, en el cuerpo  
de semiconductor, en dirección transversal a las líneas  
de bitio, formando cada una de ellas una segunda región  
5 común de electrodo de mando de los segundos transistores  
de efecto de campo y una segunda región común de electro-  
do principal de los primeros transistores de efecto de  
campo, respectivamente, de los elementos de memoria aso-  
ciados a la misma línea de vocablos.

10                   22ª.- El dispositivo semiconductor de una o  
más de las reivindicaciones 18ª a 21ª, caracterizado por  
el hecho de que unos elementos de memoria yuxtapuestos,  
asociados a la misma línea de bitios, van dispuestos con  
simetría especular unos respecto a otros, presentando ca-  
15 da vez los primeros transistores de efecto de campo de ta  
les elementos de memoria yuxtapuestos una región común de  
electrodo principal.

20                   23ª.- El dispositivo semiconductor de la rei-  
vindicación 17ª, caracterizado por el hecho de comprender  
un segundo sistema de líneas de vocablo conectadas, cada  
una de ellas, a dichas otras o segundas regiones de elec-  
trodo principal de los segundos transistores de efecto de  
campo de los elementos de memoria asociados al mismo vo-  
cablo, estando cada una de dichas otras regiones de elec-  
25 trodo principal constituida por una zona superficial del  
segundo tipo de conductividad, situada dentro de la re-  
gión de canal del primer transistor de efecto de campo --  
asociado.

30                   24ª.- El dispositivo semiconductor de una o  
más de las reivindicaciones 1ª...23ª, caracterizado por el

1 hecho de tener unos medios de circuito presentes para borrar, inscribir y leer en el o cada elemento de memoria: medios en los cuales, debido al borrado, la región de electrodo de mando del primer transistor de efecto de campo del o de cada elemento de memoria se lleva a un potencial para el cual se forma, en el cuerpo de semiconductor, una región de empobrecimiento que se extiende entrando en la región de canal del primer transistor de efecto de campo y forma una región de almacenaje de carga para almacenar carga eléctrica representativa de información; en los cuales, al inscribir, se aplican unas señales de entrada al electrodo de mando aislado del segundo transistor de efecto de campo que está eléctricamente acoplado a una de las regiones de electrodo principal del primer transistor de efecto de campo, mediante lo cual, por medio del segundo transistor de efecto de campo, es posible introducir en dicha región de almacenaje de carga una cantidad de carga eléctrica determinada por la señal de entrada, lo cual es decisivo para el tamaño de la región de empobrecimiento formada en la región de canal del primer transistor de efecto de campo; y en los cuales, en la lectura, se aplican, por lo menos periódicamente, a las regiones de electrodo principal del primer transistor de efecto de campo unas tensiones tales que, en el estado de carga dado de la región de almacenaje de carga, el potencial de dicho electrodo de mando aislado es capaz de adoptar valores que corresponden a dicha señal de entrada, de modo que repitiendo periódicamente el ciclo de borrar e inscribir es posible reanimar periódicamente el estado de carga de la región de almacenaje de carga.

1                    25ª.- El dispositivo semiconductor de la reivindicación 24ª, caracterizado por el hecho de que las señales de entrada pueden adoptar dos valores, de los cuales uno es mayor y el otro menor que la tensión de umbral  
5 del segundo transistor de efecto de campo prevaeciente a las tensiones aplicadas.

                  26ª.- El dispositivo semiconductor de la reivindicación 24ª o la 25ª, caracterizado por el hecho de que la región de empobrecimiento que constituye dicha región de almacenaje de carga tiene, por lo menos en ausencia de suministro de carga a través del segundo transistor de efecto de campo, una extensión tal que la región de canal subyacente del primer transistor de efecto de campo se encuentre completamente en estricción, quedando  
10 el transistor bloqueado.

                  27ª.- El dispositivo semiconductor de una o más de las reivindicaciones 24ª a 26ª, caracterizado por tener unos medios presentes para bloquear el primer transistor de efecto de campo después de inscrita la información en la región de almacenaje de carga, y para desbloquearlo cuando hay que tomar por lectura dicha información.  
15

                  28ª.- El dispositivo semiconductor de la reivindicación 27ª, en lo que depende de la reivindicación 6ª o de la reivindicación 23ª, caracterizado por el hecho de que la zona superficial del segundo tipo de conductividad que forma dicha segunda región de electrodo principal del segundo transistor de efecto de campo, y está situada dentro de la región de canal del primer transistor de efecto de campo del o de cada elemento de memoria, se halla  
25  
30

1 asociada a dichos medios merced a los cuales es posible  
bloquear el primer transistor de efecto de campo, indepen-  
dientemente de la información inscrita, y va conectada a  
una fuente de tensión con la cual es posible polarizar de  
5 modo inverso la unión PN existente entre dicha zona super-  
ficial y la región de canal del primer transistor de efec-  
to de campo.

29a.- "UN DISPOSITIVO SEMICONDUCTOR QUE TIENE  
UN ELEMENTO DE MEMORIA SEMICONDUCTOR".

10 Tal y como se ha descrito en la Memoria que an-  
tecede, representado en los dibujos que se acompañan y con  
los fines que se han especificado.

Esta Memoria consta de sesenta y nueve hojas es-  
critas a máquina por una sola cara.

15

Madrid, 18.ABR.1979

P.A.



Alberto de Elzaburo  
Por Poder.

20

25

JAC.

30

06048



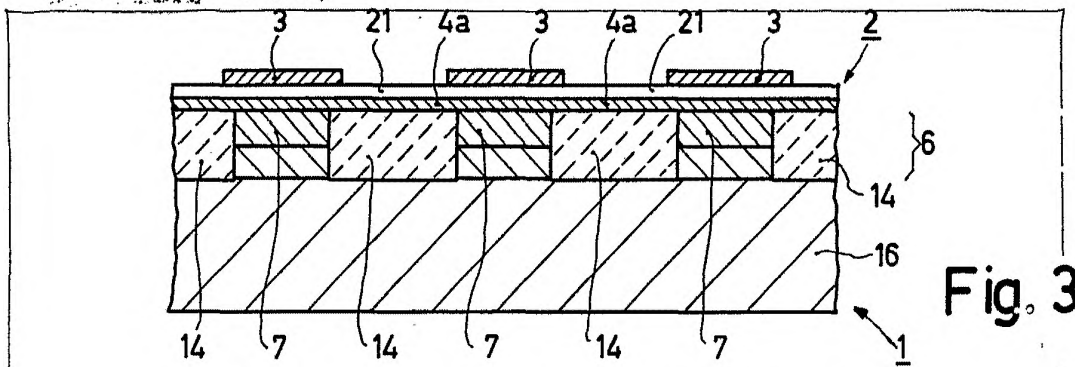


Fig. 3

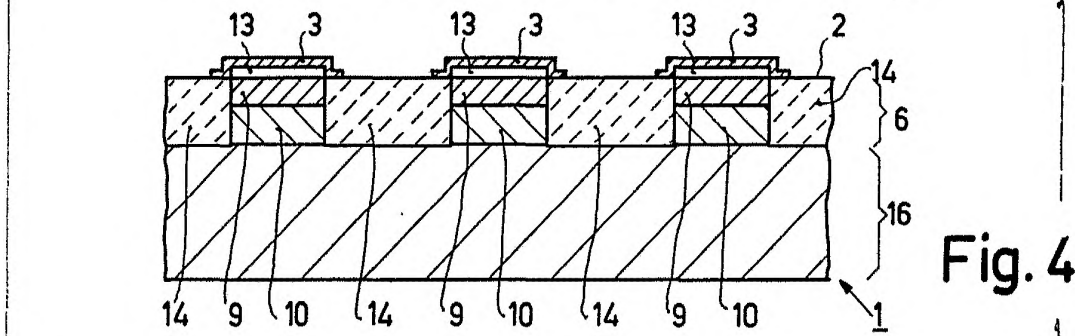


Fig. 4

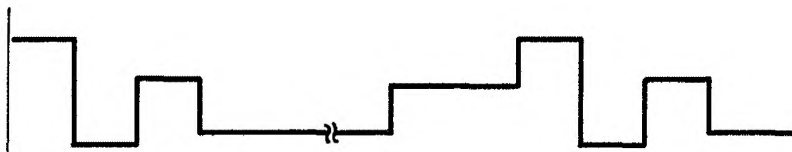


Fig. 5

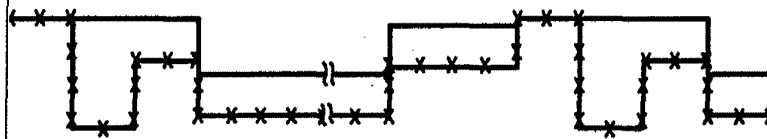


Fig. 6

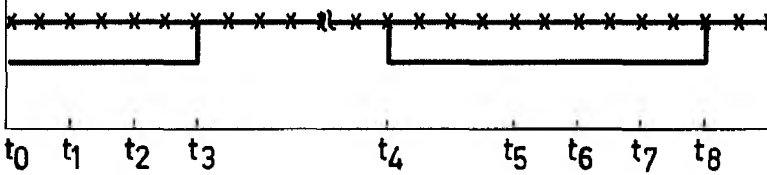


Fig. 7

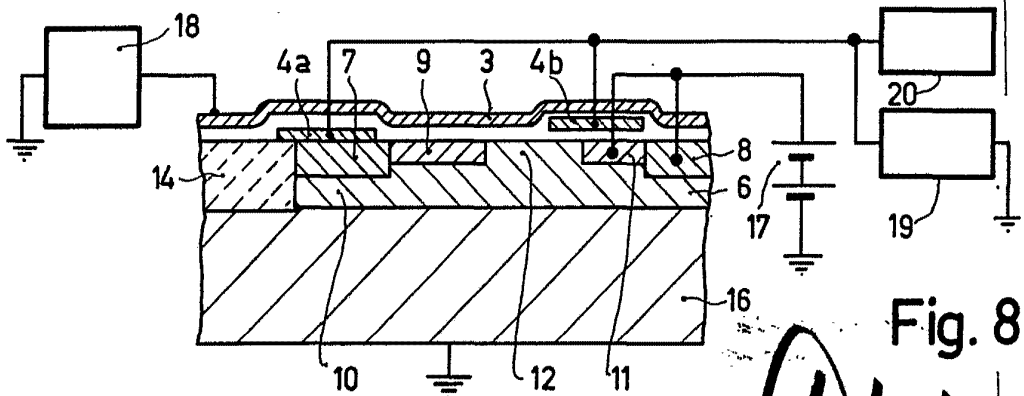


Fig. 8



*Handwritten signature*

Fig. 13

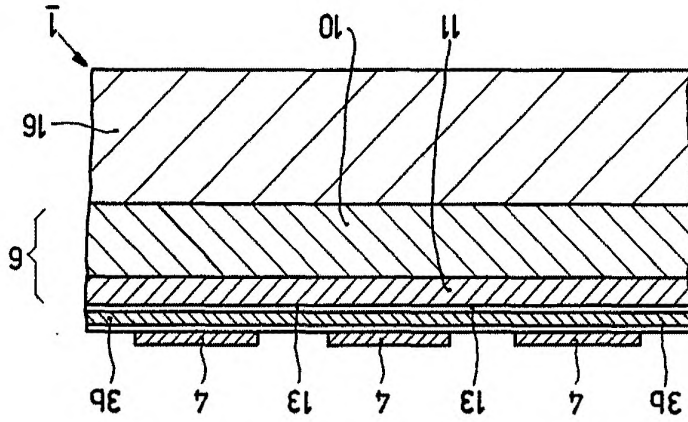


Fig. 12

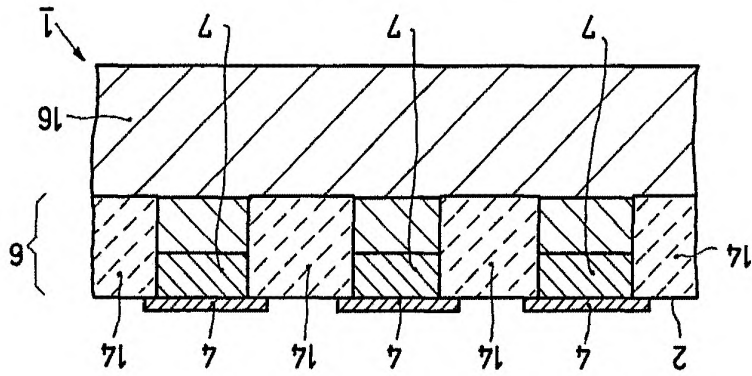
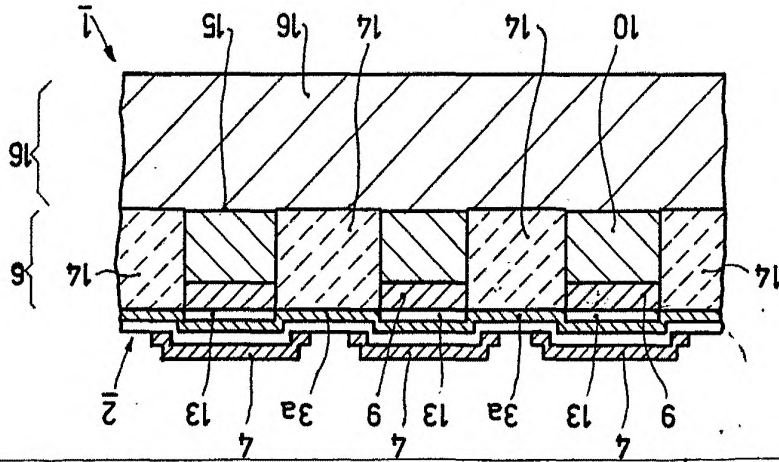


Fig. 11



H. V. PHILIPS' GLOWLAMPENFABRIEK

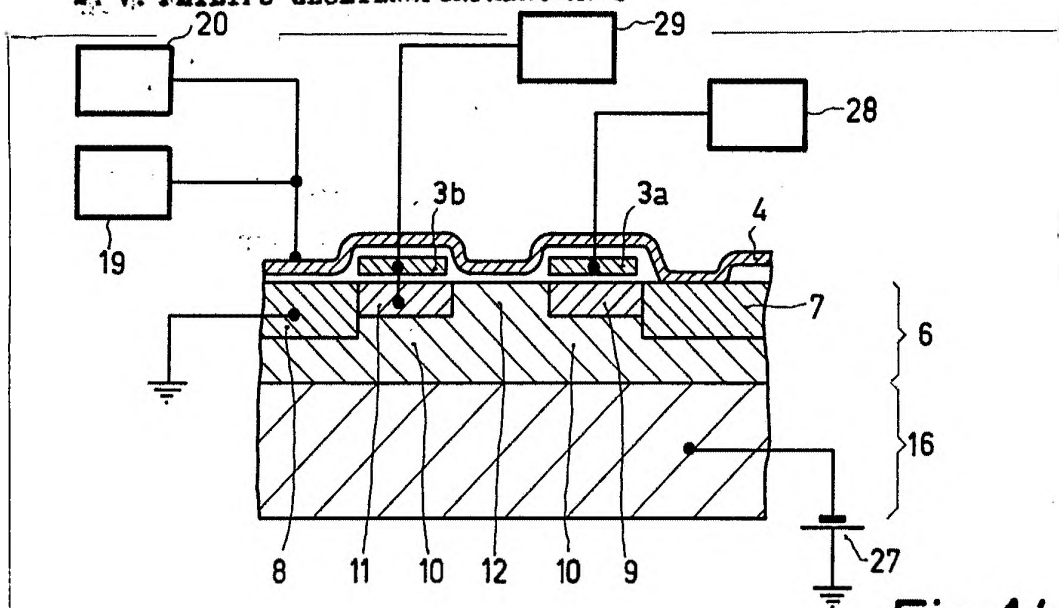


Fig. 14



Fig. 15

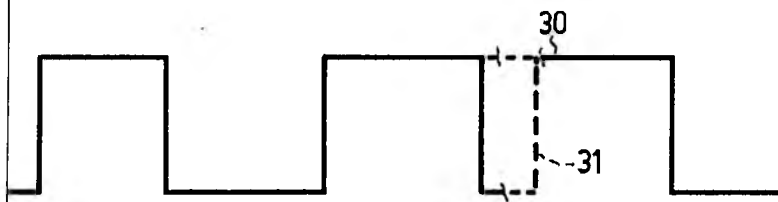


Fig. 16

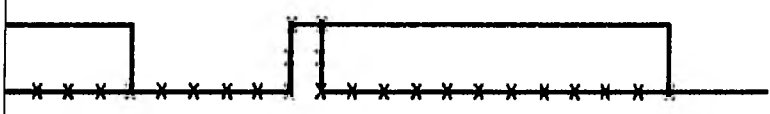


Fig. 17

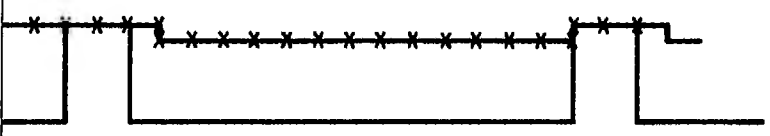


Fig. 18

$t_0 t_1 t_2 t_3 t_5 t_6 t_7 t_8 t_9 t_{10}$

→ t

Alberto de Elzaburo  
 Ingeniero en Electricidad  
 No. 1000 - JUN 1967E

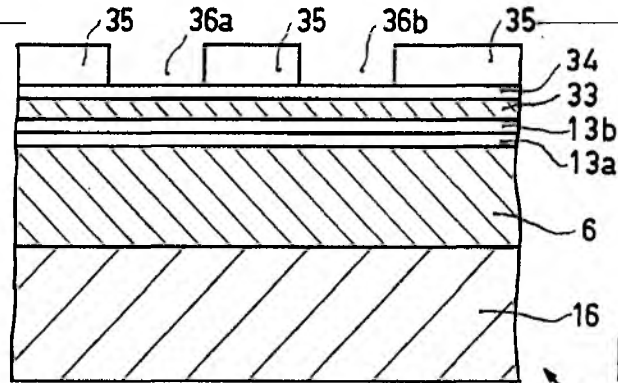


Fig. 19

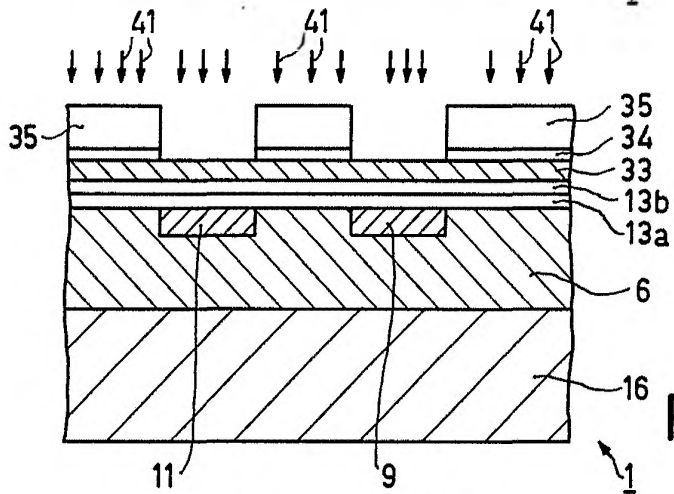


Fig. 20

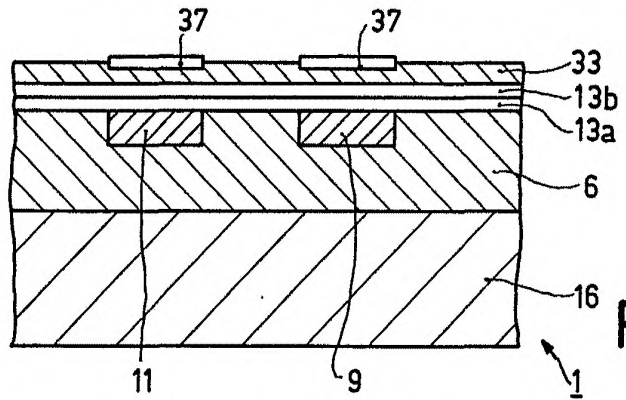


Fig. 21

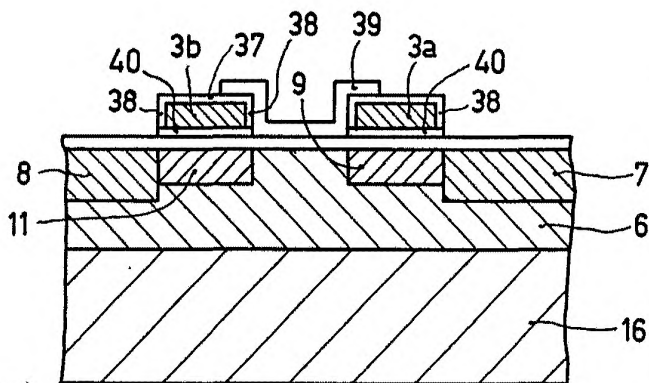


Fig. 22

Alberto de Elzaburu  
Pat. Inven.  
No. 1111 0000 0000

M. V. PHILIPS 'GLOWLAMPENFABRIEKEN.

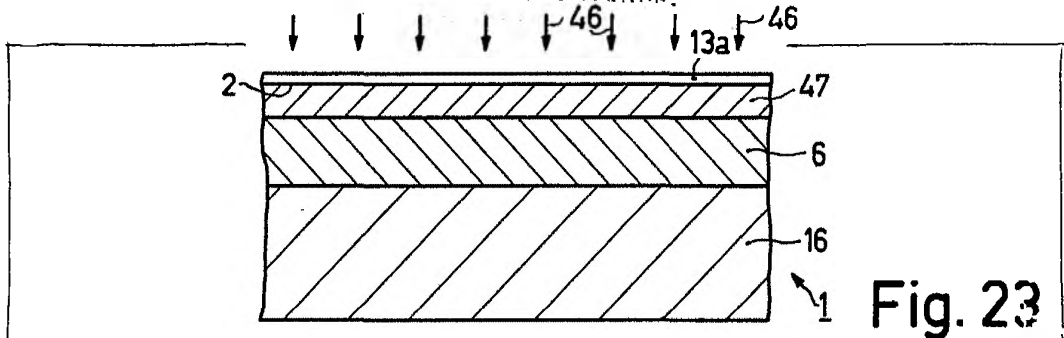


Fig. 23

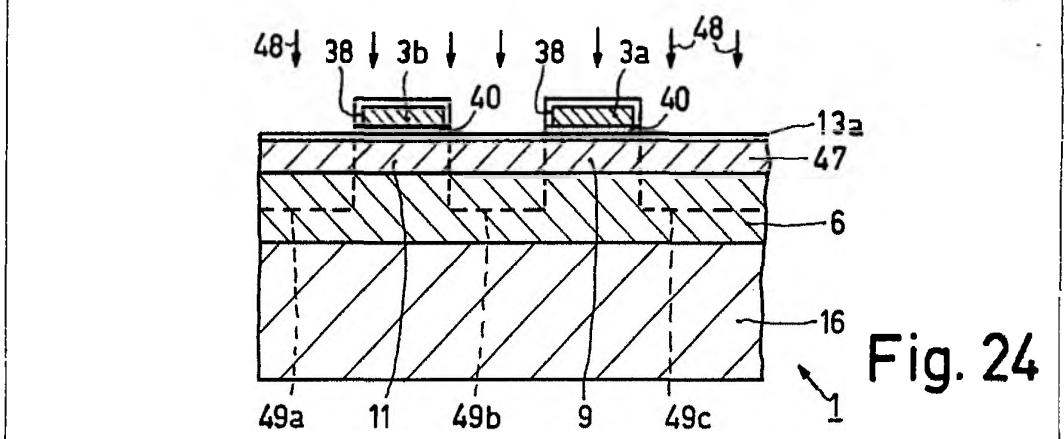


Fig. 24

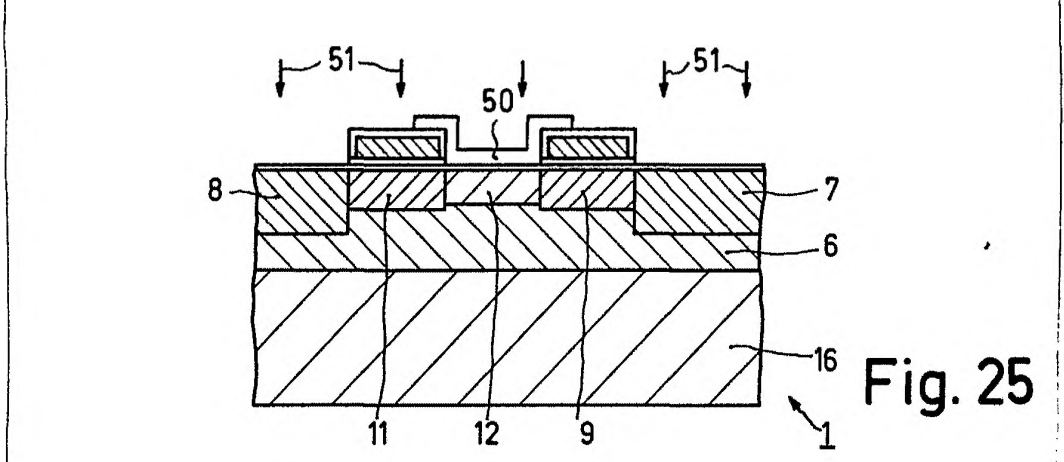


Fig. 25

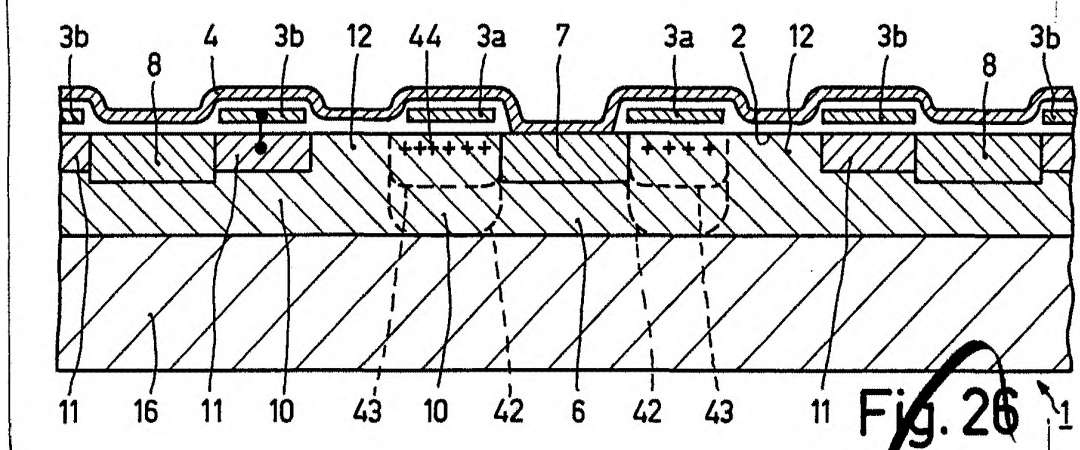


Fig. 26

Alberto El Albor  
 For the  
*Alb*  
 7-VII-PHN 8675