

20 SET. 1978

ES

11	NUMERO
21	466.448
22	FECHA DE PRESENTACION
	28-1-1978

AI



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
	31	NUMERO			
		763.789	31-1-1977		EE.UU.

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H012		

54	TITULO DE LA INVENCION
"UN METODO PERFECCIONADO DE IMPLANTACION IONICA EN PASTILLAS DE MATERIAL SEMICONDUCTOR, EN LA FABRICACION DE CIRCUITOS INTEGRADOS"	

71	SOLICITANTE (S)
INTERNATIONAL BUSINESS MACHINES CORPORATION (IBM Docket FI9-76-045)	

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, EE.UU.

72	INVENTOR (ES)
Hans Stephen RUPPRECHT y Robert Otto SCHWENKER	

73	TITULAR (ES)

74	REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ (P.-67.928)	

jga

POOR
QUALITY

1

Antecedentes del Invento

5

10

15

20

25

La implantación iónica es una tecnología de importancia rápidamente creciente en la fabricación de circuitos integrados, en particular circuitos integrados bipolares. En esta tecnología bipolar, existe una demanda creciente de (1) operaciones de implantación de alta dosificación de ciclo relativamente bajo, y (2) tecnología de implantación iónica útil para introducir impurezas a través de aberturas que tienen al menos una dimensión lateral no mayor de 0,025 mm. Puesto que la dosificación de implantación es dependiente de la combinación de corriente y tiempo, se deduce que con el fin de conseguir dosificaciones altas en tiempos relativamente pequeños, la tecnología debe seguir la tendencia de utilizar haces de implantación iónica de alta corriente con corrientes superiores a 0,5 miliamperios. Se ha encontrado que cuando se realizan tales implantaciones iónicas de alta corriente de impurezas determinantes de la conductividad a través de aberturas de capas eléctricamente aislantes que tienen dimensiones del orden de 0,025 mm., como se requiere en los circuitos integrados en gran escala de alta densidad, existe una tendencia sustancial hacia el deterioro o destrucción de partes de esta capa eléctricamente aislante dando lugar a cortocircuitos potenciales que hacen inoperante el circuito integrado.

30

030278

Se cree que este deterioro o destrucción de la capa eléctricamente aislante que protege el circuito integrado semiconductor se debe a acumulación de carga, sobre esta capa aislante, de iones positivos que componen el haz iónico primario. Esta acumulación de carga es particu-

1 larmente acusada en haces de alta corriente que tienen una
alta densidad de iones positivos. Adicionalmente, cuando
las aberturas a través de las cuales han de ser implanta-
dos los iones tienen dimensiones laterales pequeñas, del
5 orden de 0,025 mm, se reducen a un mínimo los electrones
secundarios que son producidos normalmente por iones po-
sitivos que inciden sobre el substrato semiconductor, y
de este modo existe una cantidad insuficiente de tales
electrones secundarios disponibles en la superficie para
10 neutralizar la acumulación de iones positivos para impedir
la acumulación de carga.

Resumen del Presente Invento

Consiguientemente, un objeto principal del presen-
te invento es crear un método de implantación iónica a tra-
15 vés de aberturas muy pequeñas en capas aislantes requeri-
das en circuitos integrados de alta densidad, que no está
expuesto a perforación de la capa aislante.

Otro objeto del presente invento es crear un mé-
todo de implantación iónica que utiliza haces de alta co-
20 rriente, que no está expuesto a perforación de la capa ais-
lante sobre el circuito integrado que está siendo implanta-
do.

Aún otro objeto del presente invento es crear un
método de implantación iónica a través de aberturas rela-
25 tivamente pequeñas en las capas aislantes de circuitos in-
tegrados en gran escala de alta densidad, en donde se evi-
tan acumulaciones de carga positiva que origina la perfo-
ración de la capa aislante sobre el circuito integrado.

Los anteriores y otros objetos del presente inven-
30 to se consiguen por un método de implantación iónica en

1 pastillas de material semiconductor que tienen una pluralidad de zonas separadas que han de ser conformadas en una pluralidad de plaquitas de circuito integrado y una zona de corte que rodea y separa la plaquita, en cuyo método se
5 forma una capa de material eléctricamente aislante sobre la pastilla y se forman una pluralidad de aberturas a través de la capa aislante sobre las zonas de plaquita para exponer la pastilla semiconductor en tales aberturas de zona de plaquita. Se forman también aberturas a través de
10 la capa aislante sobre la zona de corte para exponer la zona de corte de la pastilla adyacente a tales aberturas de zona de plaquita; el área total expuesta en la zona de corte de la pastilla debe ser superior al área total expuesto en tales aberturas de zona de plaquita. Se dirige un haz
15 de iones a la pastilla y se desvía en exploración a través de la pastilla si es necesario. Este haz tiene energía suficiente para implantar iones en la pastilla expuesta, tanto en las aberturas de zona de plaquita como en las aberturas de zona de corte. Subsiguientemente, se elimina la zona de
20 corte del modo convencional para separar la pastilla en una pluralidad de plaquitas.

El método del presente invento es particularmente efectivo cuando se utiliza en la operación de implantación un haz iónico de alta intensidad de corriente, es decir que
25 tiene una intensidad de al menos 0,5 miliamperios. Se ha encontrado que abriendo una zona total en la capa aislante de zona de corte en exceso del área total de aberturas a través de las cuales se realiza la implantación en las zonas de plaquita, se disminuye en alto grado la perforación
30 de la capa eléctricamente aislante sobre las pastillas, si

1 es que no se elimina sustancialmente.

5 /El método del presente invento es particularmente efectivo para evitar perforaciones debidas a acumulación de carga cuando las aberturas de plaquita a través de las cuales se realiza la implantación tienen dimensiones laterales del orden de 0,025 mm o menos, en particular cuando se utilizan haces de alta intensidad de corriente.

10 Los precedentes y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción más particular de las realizaciones preferidas del invento, como se ilustra en los dibujos que se acompañan.

Breve Descripción de los Dibujos

15 La figura 1 es una vista diagramática en planta de una porción de una pastilla semiconductor típica simplificada con el fin de representar la disposición de las plaquitas y de la zona de corte de pastilla.

20 La figura 2 es una vista en planta diagramática mas detallada de una pequeña porción de la sección de pastilla indicada en la figura 1.

25 Las figuras 2A-2C son vistas en corte transversal diagramáticas a escala ampliada tomadas a lo largo de la porción de la pastilla de la figura 2 designada por las líneas 2A-2A. Para fines de ilustración del presente invento, las figuras 2A-2C han sido simplificadas para representar solamente porciones y regiones de los circuitos integrados necesarias para ilustrar el funcionamiento del presente invento.

Descripción de la Realización Preferida

30 La figura 1 representa una vista en planta diagra-

1 mática de una disposición de una porción de una pastilla
de circuito integrado convencional. Las plaquitas 10 están
separadas por una zona 11 de corte que será eliminada cuan-
do se corte la pastilla al completarse la fabricación de
5 plaquitas para dividir la pastilla en una pluralidad de
plaquitas 10. La sección indicada en la figura 1 está re-
presentada con mayor detalle en la figura 2.

Con referencia en primer lugar a la figura 2 y a
la vista en corte transversal de la figura 2A, las plaquitas
10 están separadas por una zona 11 de corte de pastilla.
Las plaquitas comprenden regiones N 12 que pueden ser for-
madas por deposición epitáctica convencional sobre un subs-
trato semiconductor no representado. Pueden también formar-
se mediante cualquier técnica convencional de fabricación
15 de circuitos integrados regiones P 13 que proporcionan la
región de base para dispositivos bipolares formados en el
circuito integrado. La pastilla está cubierta por una capa
normalizada de material eléctricamente aislante que está
compuesta por una capa 14 inferior de dióxido de silicio y
20 una capa 15 superior de nitruro de silicio. En la figura 2A,
la zona 11 de corte de la pastilla que ha de ser eliminada
subsiguientemente está definida por líneas discontinuas. Pa-
ra fines de simplicidad en la ilustración, no se han repre-
sentado muchas de las otras regiones cuya formación esta-
ría normalmente prevista dentro de un circuito integrado,
25 tales como regiones de aislamiento entre dispositivos y
circuitos. Hasta este punto en el proceso, la estructura
puede formarse mediante cualquier técnica convencional de
fabricación de circuitos integrados bien conocida en la téc-
nica. Tales técnicas se describen, por ejemplo, en la Pa-
30 tente Norteamericana Número 3.539.876.

1 Se forman a través de las capas 14 y 15 aislantes
aberturas 16 a través de las cuales han de formarse emiso-
res de tipo N^+ mediante la introducción de impurezas deter-
minantes de conductividad de tipo N por implantación ióni-
5 ca. La formación de las capas aislantes compuestas de dió-
xido 14 de silicio y nitruro 15 de silicio y la formación
de aberturas en la misma es convencional en la técnica y
se describe con detalle, por ejemplo, en la Patente Nortea-
americana Número 3.956.527. Como se ha expuesto anteriormen-
10 te, los circuitos integrados en gran escala requieren aber-
turas muy pequeñas, por ejemplo aberturas que tienen al
menos una dimensión lateral de 0,0025 mm o menos. En el pre-
sente ejemplo, supóngase que se forman aberturas 16 que es-
tán representadas en rayado diagonal en la figura 2 y que
15 tienen una dimensión lateral de 0,025 mm en la dirección
de dimensión menor representada en la sección de la figura
2A y una dimensión lateral de aproximadamente 0,0075 mm en
la otra dirección.

20 Con tales aberturas muy pequeñas, existe una ten-
dencia a la acumulación de carga sobre la capa 14, 15 ais-
lante durante la implantación iónica, especialmente con ha-
ces de alta intensidad de corriente que pueden perforar la
capa aislante particularmente en las regiones de las aber-
turas 16. El presente invento resuelve este problema for-
25 mando aberturas 17 en la región de corte para exponer la
capa 12 de silicio epitáctica en las aberturas 17 de zona
de corte, preferiblemente formadas simultáneamente con las
aberturas 16 utilizando los métodos a que se ha hecho re-
ferencia anteriormente. Las aberturas 17 en la zona 11 de
30 corte están representadas también con rayado diagonal en la

1 figura 2. Como puede observarse por la figura 2, el área
total de las aberturas 17 es superior al área total de las
aberturas 16 de la plaquita. Para obtener los mejores re-
sultados con aberturas de plaquita que tienen la dimensión
5 expuesta anteriormente, el área total de las aberturas 17
de zona de corte es al menos cinco veces superior al área
total de las aberturas 16 de zona de plaquita. También, se
prefiere que ninguna de las aberturas 16 de zona de plaqui-
ta esté a más de 10 mm de la abertura 17 de zona de corte.

10 También, se ha observado que cuando el área total
de las aberturas de plaquita a ser implantadas iónicamente
es inferior al 3%, y en particularmente inferior al 1% del
área total sobre la cual tiene lugar la implantación ióni-
ca, la tendencia hacia la acumulación de cargas destructi-
vas es muy pronunciada a no ser que se practiquen abertu-
ras en la zona de corte de acuerdo con el presente invento.
15 Cuando la zona de corte es abierta, entonces es preferido
que la área total de las aberturas de plaquita más las abertu-
ras de zona de corte sea superior a este 3%.

20 Con las aberturas 16 de plaquita y las aberturas
17 de zona de corte formadas como se representa, se some-
te entonces la superficie de la pastilla a una operación
de implantación iónica en donde es dirigido un haz de iones
a través de la superficie de las pastillas, como se indica
25 por las flechas, para introducir iones de arsénico ($75As^+$)
para formar regiones 18 de emisor de tipo N^+ (figura 2B),
así como para formar incidentalmente una región 18' de tipo
 N^+ en la zona de corte. La introducción, es decir la implan-
tación iónica, se lleva a cabo utilizando equipo normaliza-
do de implantación iónica; por ejemplo, el equipo puede ser
30

1 del tipo descrito en la Patente Norteamericana Número.
3.756.862. El bombardeo iónico es controlado a una energía
de 40 Kev a temperatura ambiente, con una corriente de haz
iónico de 0,5 a 3 miliamperios, y una dosificación de apro-
5ximadamente 10^6 iones/cm². Entonces, la región implantada
iónicamente se somete a recocido a cualquier temperatura
de recocido convencional, después de lo cual se realizan
todas las operaciones subsiguientes necesarias para comple-
tar una plaquita de circuito integrado del modo convencional,
10 por ejemplo, la formación de contactos 19 metálicos de emi-
sor, una capa 20 de metalización y una capa 21 aislante,
entre otras, como se representa en la figura 2C. Al comple-
tarse las operaciones de fabricación de la plaquita, la pa
tilla es cortada para eliminar la zona de corte, como se
15 representa en la figura 2C.

Aun cuando para los fines del presente invento, la
abertura en la zona 17 de corte ha sido representada exten-
diéndose continuamente a través de todas las zonas de cor-
te, se entenderá que no son necesarias tales aberturas de
20 corte continuas y extensivas. Si se desea utilizar porciones
de la zona de corte para dispositivos de prueba de modo con-
vencional, entonces, por supuesto, las aberturas 17 de zona
de corte pueden ser interrumpidas para alojar tales disposi-
tivos de prueba. En tales métodos donde no son continuas las
25 aberturas 17 de zona de corte, es aun preferido que las
aberturas de corte estén dispuestas de modo tal que ninguna
abertura de zona de plaquita esté a mas de 10 mm de una aber
tura de zona de corte.

Aun cuando el invento ha sido particularmente ex-
30 puesto y descrito con referencia a las realizaciones pre-

1

feridas del mismo, se entenderá por los expertos en la técnica que pueden realizarse diversos cambios en la forma y detalles el mismo sin apartarse de la esencia y alcance del invento.

5

10

15

20

25

30

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

030278

1ª.- Un método perfeccionado de implantación iónica en pastillas de material semiconductor, en la fabricación de circuitos integrados, cuyas pastillas tienen una pluralidad de zonas separadas a partir de las cuales han de formarse una pluralidad de plaquitas de circuito integrado y una zona de separación de corte que rodea y separa dichas plaquitas, comprendiendo dicho método: la formación de una capa de material eléctricamente aislante sobre dicha pastilla, la formación de una pluralidad de aberturas a través de la capa aislante sobre dichas zonas de plaquita para exponer la pastilla semiconductor en dichas aberturas de zona de plaquita, la formación de aberturas a través de la capa aislante sobre dicha zona de separación de corte para exponer la zona de separación de corte de pastilla adyacente a las aberturas de zona de plaquita, siendo el área total expuesta en la zona de corte de separación de pastilla superior al área total expuesta en dichas aberturas de zona de plaquita, la dirección de un haz de iones a dicha pastilla que tiene suficiente energía para implantar iones en la pastilla expuesta en dichas aberturas de zona de plaquita y de zona de separación de corte, y la eliminación de la zona

1 de corte para separar la pastilla en una pluralidad de pla-
quitas.

2^a.- El método de la reivindicación 1^a, en donde
cada una de dichas aberturas de zona de plaquita está den-
5 tro de una distancia de 10 mm. de una abertura de zona de
corte.

3^a.- El método de la reivindicación 1^a, en donde
dicha capa de material eléctricamente aislante comprende
una combinación de una capa de nitruro de silicio sobre una
10 capa de dióxido de silicio.

4^a.- El método de la reivindicación 2^a, en donde
una pluralidad de dichas aberturas de zona de plaquita tienen
una dimensión lateral máxima de 0,025 mm.

5^a.- El método de la reivindicación 4^a, en donde
15 dichas aberturas de zona de corte tienen un área total de
al menos cinco veces el área total de dichas aberturas de
zona de plaquita.

6^a.- El método de la reivindicación 1^a, en donde
dicho haz de iones es un haz de alta intensidad de corrien-
20 te que tiene una intensidad de al menos 0,5 ma.

7^a.- El método de la reivindicación 6^a, en donde
cada una de dichas aberturas de zona de plaquita está den-
tro de una distancia de 10 mm a partir de una abertura de
zona de corte.

8^a.- El método de la reivindicación 6^a, en donde
dicha capa de material eléctricamente aislante comprende
una combinación de una capa de nitruro de silicio sobre
una capa de dióxido de silicio.

9^a.- El método de la reivindicación 7^a, en donde
30 una pluralidad de dichas aberturas de zona de plaquita tie-

1 nen una dimensión lateral máxima de 0,025 mm.

10^a.- El método de la reivindicación 9^a, en donde
dichas aberturas de zona de corte tienen un área total de
al menos cinco veces el área total de dichas aberturas de
5 zona de plaquita.

11^a.- Un método perfeccionado de implantación ióni-
ca en pastillas de material semiconductor, en la fabrica-
ción de circuitos integrados.

Tal y como se ha descrito en la Memoria que ante-
10 cede, representado en los dibujos que se acompañan y con
los fines que se han especificado.

Esta Memoria consta de DOCE hojas escritas a má-
quina por una sola cara.

Madrid, 08.FEB.1978

15

P.A.

Alberto de Elizaburu
Por Poder

20

25

30

030278

VAL

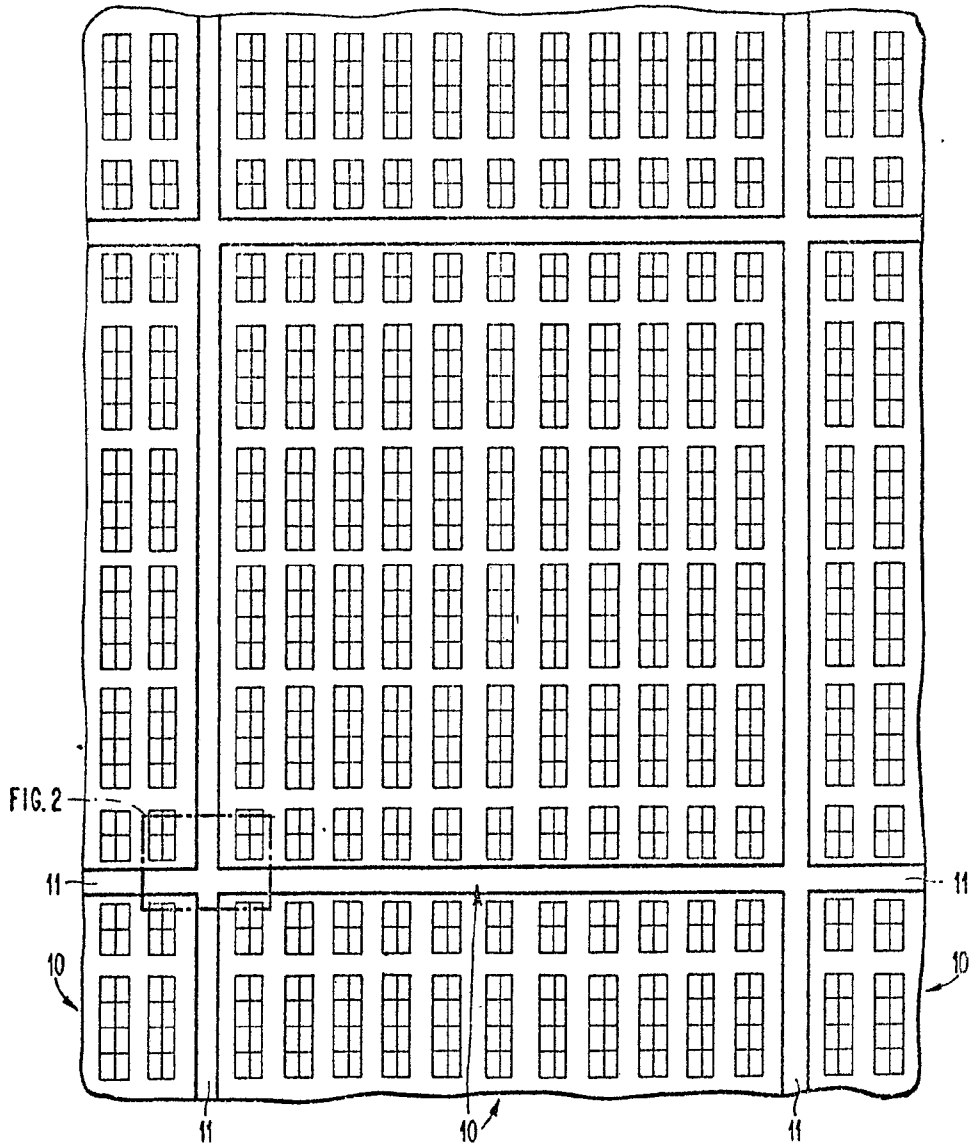


FIG. 1

Alberto de Elzabury
For Patent

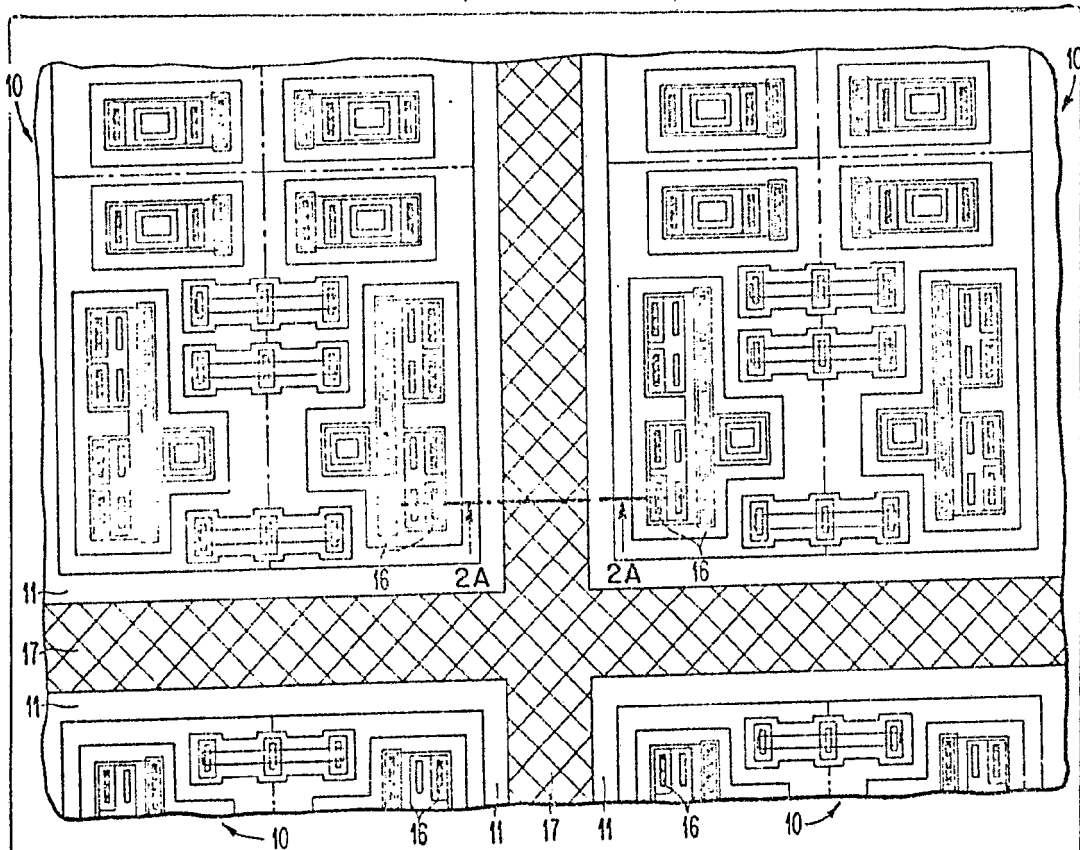


FIG. 2

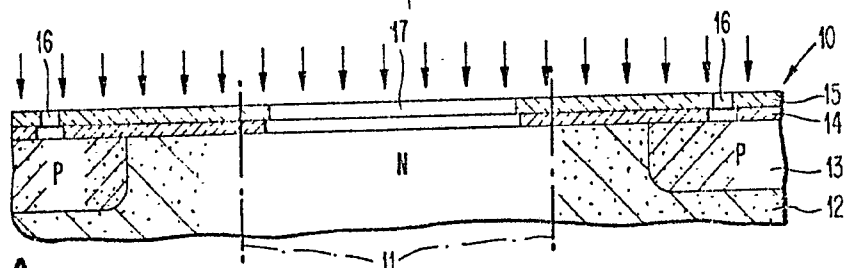


FIG. 2A

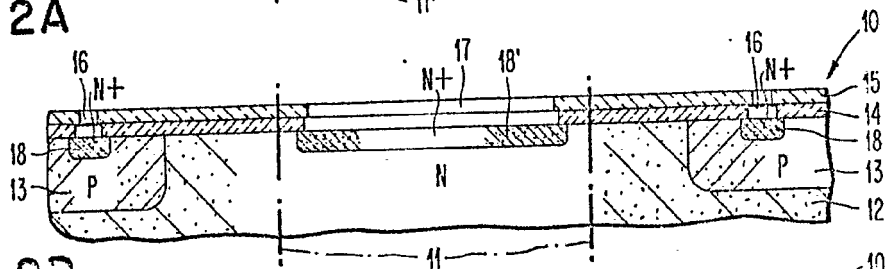


FIG. 2B

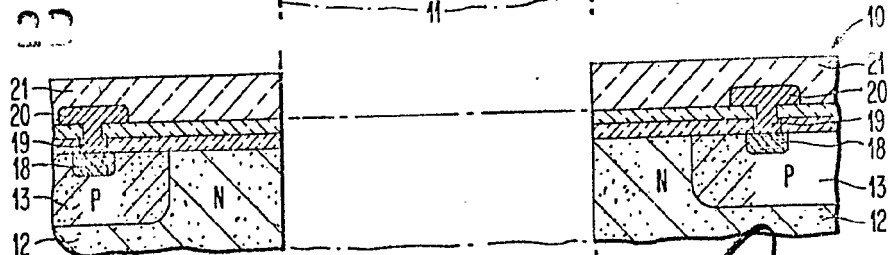


FIG. 2C

Albert de la Cruz
For Patent