

20 SET. 1978

ES

11

21

22

NUMERO	466.367
FECHA DE PRESENTACION	26-1-1978

A1



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la memoria aneja.

466,367

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
77/00879	28-1-1977	Holanda

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G11B // H01L	

64 TITULO DE LA INVENCION
"UN DISPOSITIVO SEMICONDUCTOR PERFECCIONADO"

71 SOLICITANTE (S)
N.V. PHILIPS'GLOEILAMPENFABRIEKEN (PHN 8666 Spain -HK/TS)

DOMICILIO DEL SOLICITANTE
Emmasingel 29, Eindhoven, Holanda

72 INVENTOR (ES)
Joannes Joseph Maria Koomen, Jan Lohstroh, Roelof Herman Willem Salters y Adrianus Teunis van Zanten

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ (P.-68.012)

jga

POOR
QUALITY

El invento se refiere a un dispositivo semicon
ductor que comprende varios lugares de memoria dispuestos
en una matriz y que tienen cada uno una zona semiconductora
de un primer tipo de conductividad que se extiende en una
5 región del segundo tipo de conductividad opuesto, sirviendo
dicha zona semiconductora para almacenar carga representa-
tiva de información, estando separada dicha carga almacenada
de la parte restante del cuerpo semiconductor por una capa
de empobrecimiento presente entre la zona y la región, siendo
10 do la capa de empobrecimiento contigua a una región de ca-
nal de una estructura de transistor de efecto de campo,
siendo controlable la resistencia al paso de corriente a
través de la región de canal, medida entre dos electrodos
principales, particularmente una región de alimentación y
15 una región de salida de la estructura del transistor de
efecto de campo, por el contenido de información del lugar
de memoria, siendo adyacente a la región de canal una segunda
capa de empobrecimiento, por medio del espesor de la
cual puede ser influenciada también dicha resistencia.

20 Estas matrices de lugares de memoria son cono-
cidas, por ejemplo, por la publicación "I.E.E.E. Journal
of Solid State Circuits", volumen SC-11, Agosto de 1976,
páginas 519 a 528 e ISSCC 73 "Digest of technical papers",
páginas 34, 35 y 195. En este caso, memorias de un transistor
25 tor por bitio están relacionadas con una matriz de transistor
tores de efecto de campo de unión (JFET) con una región
de electrodo de mando anular y una capa enterrada eléctri-
camente flotante del mismo tipo de conductividad que la
región de electrodo de mando. La región de electrodo de
30 mando y la capa enterrada son adyacentes a la región de

canal del transistor de efecto de campo. Al igual que en la segunda publicación mencionada, las trayectorias de corriente principales de los transistores de efecto de campo pueden estar dispuestas, cada una en serie con un diodo, en los cruces de un sistema de líneas de palabras y bitios. Las regiones anulares de electrodo de mando están conectadas a líneas de escritura que son comunes a una fila de la matriz. Cada célula de memoria de la matriz comprende un diodo y un transistor de efecto de campo con un electrodo de mando anular y un electrodo de mando flotante enterrado, y está conectada a tres líneas de selección o de dirección que son comunes a una columna o fila, a saber, una línea de dirección que es común a una columna y que está conectada al electrodo de alimentación del transistor, una línea de dirección que es común a una fila y que está conectada, a través del diodo, al electrodo de salida del transistor, y la línea de escritura que es común a una fila y que está conectada al electrodo de mando anular del transistor.

Aplicando una tensión inversa al electrodo de mando anular con relación al electrodo de alimentación de tal manera que la capa de empobrecimiento asociada tenga una extensión tal que la unión pn que limita la capa enterrada venga a quedar en la dirección directa, se pueden extraer portadores de carga de la capa enterrada, en la que la unión pn últimamente mencionada, después de la caída de la tensión inversa en el electrodo de mando anular, está polarizada en sentido inverso. Recíprocamente, se pueden suministrar otra vez portadores de carga a la capa enterrada conmutando el electrodo de mando anular a

la dirección directa de modo que se inyecten portadores de carga en la región de canal y éstos sean recogidos después por la capa enterrada. De esta manera se puede escribir y borrar la información. La información almacenada se extrae por lectura con una corriente a través de la región de canal de la estructura del transistor, siendo el valor de la corriente que pasa una medida del estado de carga de la capa enterrada.

Un objeto del presente invento es proporcionar una matriz de memoria integrada similar que es de construcción particularmente sencilla y compacta y que se basa, entre otras cosas, en el reconocimiento del hecho de que esto puede conseguirse utilizando adecuadamente una línea de selección que esté situada sobre una capa aislante y que esté acoplada a una pluralidad de lugares de memoria por vía capacitiva solamente.

Un dispositivo semiconductor del tipo descrito en el preámbulo se caracteriza de acuerdo con el invento porque la zona semiconductor está acoplada capacitivamente a un electrodo de acceso que es común a una pluralidad de lugares de memoria de la matriz y que está aislado de la zona semiconductor por una capa aislante intermedia.

En el dispositivo semiconductor de acuerdo con el invento se utilizan electrodos de acceso aislados que formarán usualmente las líneas de palabras y que están acoplados capacitivamente a lugares de memoria que están formados por zonas semiconductoras que están limitadas por una unión pn y que, excepto durante la escritura o borrado de carga representativa de información, están

eléctricamente flotantes, es decir, no tienen ninguna
conexión directa eléctricamente conductora. Las zonas se
miconductoras eléctricamente flotantes están cubiertas
enteramente por una capa aislante cerrada. Para las líneas
5 de palabras no se necesita contacto alguno con zonas o re-
giones semiconductoras, al menos dentro de la matriz de
células de memoria, de modo que es necesaria un área par-
ticularmente pequeña en la superficie semiconductor. Ade-
más, aparte del sistema de líneas de palabras solo es ne-
10 cesario un sistema adicional de líneas de selección, las
líneas de bitios, las cuales se conectan a regiones de
electrodo de alimentación o de salida de las estructuras
de transistor de efecto de campo.

Todas las regiones de electrodo principal
15 de las estructuras de transistor de efecto de campo de
la matriz no conectadas a las líneas de selección están
de preferencia conectadas entre sí. El uso de un electro-
do común de esta clase simplifica el sistema electrónico
necesario para activar y controlar la matriz y la cone-
20 xión a la misma.

En este sentido, se ha de entender que re-
25 giones de electrodo principal significan las regiones de
alimentación y de salida de las estructuras de transistor
de efecto de campo que forman realmente los extremos o co-
nexiones de la trayectoria de corriente principal de di-
cha estructura y son los electrodos principales. Además,
los transistores de efecto de campo tienen uno o más elec-
trodos de control o electrodos de mando.

Las regiones de electrodo principal no co-
30 nectadas a las líneas de bitios o de selección se constru-

5 - yen ventajosamente como la misma región semiconductor
 continúa del segundo tipo de conductividad y están asocia
 das con ella. En ese caso, no son necesarios contactos ni,
 por tanto, ventanillas de contacto para dichas regiones
 dentro de la matriz. Esta ausencia de contactos contribu
 ye también a la estructura compacta de la matriz.

10 Las regiones de electrodo de salida de las
 estructuras JFET están de preferencia interconectadas. En
 ese caso, las estructuras JFET están conectadas como se
 guidores de alimentación en los que la conexión de elec
 trodo de salida común se puede conectar a la fuente de
 suministro.

15 En una realización preferida importante del
 dispositivo semiconductor de acuerdo con el invento, la
 segunda capa de empobrecimiento está asociada con un se
 gundo electrodo de mando que está de preferencia construi
 do para que sea común a todas las estructuras JFET de la
 matriz. Como se explicará en lo que sigue, este segundo
 electrodo de mando puede utilizarse para ajustar la ten
 sión de estricción a un valor adecuado. Esto es de impor
 tancia, entre otras cosas, en relación con la detección
 de la información almacenada durante la lectura.

25 El segundo electrodo de mando común puede
 estar formado ventajosamente por una región de substrato
 común del primer tipo de conductividad que se extiende
 por debajo de las regiones de canal de todas las estruc
 turas JFET de la matriz. En este caso, la estructura se
 miconductora de la matriz es particularmente sencilla y
 compacta.

30 En otra realización preferida del dispositi

vo semiconductor de acuerdo con el invento, los electrodos de acceso están dispuestos de una manera autocoincidente entre las regiones de electrodos de alimentación y de salida y por encima de las zonas semiconductoras del primer tipo de conductividad. Los electrodos de acceso son de preferencia tiras rectas de material semiconductor y las estructuras JFET situadas una detrás de otra en la dirección de un electrodo de acceso están separadas una de otra por medio de una forma de aislamiento dieléctrico, por ejemplo aislamiento de aire, ranuras en V_{ox} óxido embutido o inserto.

En otra realización importante del dispositivo semiconductor de acuerdo con el invento, no son necesarias capas enterradas para la realización de las estructuras JFET y se puede evitar el desarrollo de una capa epitaxial durante la fabricación. Como resultado de esto, el rendimiento de fabricación puede ser comparativamente alto. En esta realización preferida, al menos las regiones de canal de las estructuras JFET, las zonas semiconductoras del primer tipo de conductividad y las regiones de electrodo principal se han obtenido por sobreadulteración.

Ventajosamente, durante el borrado de información de un lugar de la memoria se utiliza un impulso de borrado de una primera polaridad en el electrodo de acceso, en el que se imprime un potencial sobre la zona semiconductoras del primer tipo de conductividad acoplada capacitivamente a él, en donde tiene lugar una perforación entre dicha zona semiconductoras y una fuente o suministro de portadores de carga libres asociados con el primer tipo de conductividad. Por medio de un impulso de escritura

de la segunda polaridad opuesta a la primera y una señal de información en una de las regiones de electrodo principal de la estructura JFET, la zona semiconductor de la primera conductividad es llevada a un potencial por inyección de portadores de carga, con lo que la unión pn entre dicha zona y la región de canal de la estructura JFET es polarizada en sentido inverso de tal manera que la región de canal es sometida a estricción al menos en la condición no seleccionada del lugar de la memoria. El impulso de lectura en el electrodo de acceso tiene de preferencia la misma polaridad que el impulso de escritura y una amplitud tal que la corriente medida a través del canal de la estructura JFET seleccionada corresponde al estado de carga o contenido de información de la zona semiconductor del primer tipo de conductividad.

Las estructuras JFET están de preferencia integradas junto con medios electrónicos que están acoplados a los electrodos de acceso y a las líneas de selección en un cuerpo semiconductor común, comprendiendo los medios de control al menos medios para escribir y leer selectivamente los lugares de la memoria.

El invento se describirá con mayor detalle haciendo referencia a una realización y al dibujo adjunto, en el que:

la Figura 1 es una vista en planta diagramática de una parte de un dispositivo semiconductor de acuerdo con el invento, y

las Figuras 2, 3 y 4 son vistas diagramáticas en sección transversal de dicha parte del dispositivo semiconductor, tomadas por las líneas II-II, III-III y

IV-IV, respectivamente, de la Figura 1.

La Figura 5 muestra diagramáticamente la estructura de una parte mayor del dispositivo.

5 la Figura 6 muestra esquemáticamente un diagrama de circuitos eléctricos equivalentes de una célula de memoria del dispositivo, y

10 las Figuras 7, 8 y 9 muestran diagramáticamente tensiones de funcionamiento que pueden presentarse en las líneas de palabras y en las líneas de bitios y en los electrodos de mando flotantes o lugares de memoria, respectivamente.

15 La realización se refiere a una memoria de acceso aleatorio (RAM). Este dispositivo comprende un cuerpo semiconductor 1 que tiene varios lugares de memoria dispuestos en una matriz, en los que se puede escribir, almacenar y/o borrar información y en los que se puede leer el contenido de información de cada lugar de la memoria. La parte del cuerpo semiconductor 1 mostrada en las Figuras 1 a 4 tiene una pluralidad de zonas semiconductoras 2 de un primer tipo de conductividad, que están separadas una de otra y que se extienden en una región 3 del segundo tipo de conductividad. En el ejemplo se utiliza una capa continua 3 de silicio de tipo n en la que están situadas las zonas 2 de tipo p. Las zonas 2 de tipo p sirven para almacenar carga representativa de información, estando separada la carga almacenada de la parte restante del cuerpo semiconductor 1 por las regiones de empobrecimiento asociadas con las uniones pn 4. Dichas regiones de empobrecimiento son adyacentes cada una a una parte de la región 3 que forma la región de canal de una

20

25

30

estructura de transistor de efecto de campo de unión.

Las zonas 2 de tipo p se extienden como electrodos de mando entre regiones de alimentación y de salida 5 y 6, respectivamente, de las estructuras JFET. Las regiones 5 y 6 de alimentación y de salida forman los electrodos principales o regiones de electrodo principal de los transistores de efecto de campo, que están conectadas entre sí internamente por la región de canal. La resistencia al paso de corriente a través de la región de canal, medida entre los electrodos principales, depende, entre otras cosas, del espesor de la región de empobrecimiento asociada con la unión pn y se puede controlar con dicho espesor.

Una segunda región de empobrecimiento asociada con la unión pn 7 formada entre la capa 3 de tipo n y una región de substrato 8 de tipo p es adyacente todavía a cada región de canal. El espesor de dicha región de empobrecimiento influye también sobre la resistencia al paso o circulación de corriente a través de la región de canal.

Las zonas 2 de tipo p están dispuestas en una matriz que en el presente ejemplo es bidimensional y consta de una pluralidad de filas y columnas. Las zonas semiconductoras 2 situadas en la misma columna están acopladas capacitivamente a un electrodo de acceso 9 que está separado de las zonas semiconductoras 2 por una capa aislante 10. Los electrodos de acceso 9 forman las líneas de palabras de la memoria de acceso aleatorio que pertenecen a la selección primaria.

En la dirección de las filas se extienden

también líneas de selección, a saber, las líneas de bitios 11 (selección secundaria). Las líneas de bitios 11 están conectadas a uno de los electrodos principales, por ejemplo, a las regiones 5 de electrodo de alimentación de las estructuras JFET, a través de unas aberturas 12. Por lo demás, las líneas de bitios están separadas del cuerpo semiconductor 1 y de las líneas de palabras 9 por la capa aislante 13.

La memoria tiene así un patrón de líneas de palabras 9 y líneas de bitios 11, en el que en los cruces de dichas líneas está presente una estructura JFET, cuya región 5 de electrodo de alimentación está conectada a la línea de bitios pertinente 11, y en el que la línea de palabras pertinente 9 está acoplada capacitivamente a una zona semiconductor 2 que sirve como un lugar de memoria y que está incorporada en la estructura JFET como electrodo de mando. Las regiones 6 de electrodo de salida de las estructuras JFET están conectadas todas entre sí y forman parte de la misma región semiconductor continua 6, 6a. Dicha región semiconductor 6, 6a comprende partes 6a de forma de tira que se extienden paralelas a las filas y a las líneas de palabras 9. Las funciones de las regiones 5 y 6 de electrodo principal pueden cambiarse también, estando conectada la región 6, 6a como electrodo de alimentación común y estando conectadas las regiones 5 como electrodos de salida.

Las estructuras JFET de la matriz están divididas sobre una pluralidad de grupos, teniendo cada grupo una línea común 11 de selección o de bitios que está conectada a las regiones 5 de electrodo de alimentación.

Todas las estructuras JFET del mismo grupo pertenecen a palabras diferentes. El número de líneas de palabras o electrodos de acceso 9 es así al menos igual al número de estructuras JFET que pertenece al grupo que tiene una línea de bitios común 11, en la que dicho número mínimo de líneas de palabras es también suficiente.

El segundo electrodo de mando 8 está construido de modo que sea común a todas las estructuras JFET de la matriz. El electrodo de mando 8 es una región común de substrato de tipo p que se extiende por debajo de las regiones de canal de todas las estructuras JFET de la matriz.

Además de la matriz 51 de células de memoria (Figura 5), el cuerpo semiconductor 1 comprende también un sistema lógico de control y un sistema electrónico de lectura que se muestran diagramáticamente por medio de los bloques 52 y 53. Pueden utilizarse disposiciones de circuito conocidas para este fin. El bloque 52 comprende, por ejemplo, una pluralidad de entradas de direcciones 54 y un descodificador con el que se asigna una línea de palabras 9 con referencia a la dirección presentada. Además, están presentes medios en dicho bloque 52 para aplicar señales adecuadas a las líneas de palabras 9 para leer, escribir, borrar y almacenar información en la matriz de memoria. El bloque 53 comprende igualmente medios para derivar o aplicar señales adecuadas para dichas funciones a o desde la línea de bitios 11. Además de al menos una entrada de señales 55 y al menos una salida de señales 56, pueden estar presentes también entradas de direcciones 54.

Dado que la organización y construcción de la periferia de la matriz y, por tanto, por ejemplo, entre otras cosas, el sistema lógico de control, puede realizarse de muchas maneras que no son tan pertinentes dentro del alcance del presente invento, esto no se describirá con más detalle. La memoria de acceso aleatorio (RAM) puede estar organizada por palabras u organizada por bitios y puede estar integrada con el sistema electrónico de control en el mismo cuerpo semiconductor, por ejemplo, como parte de un conjunto mayor que comprende aún más memorias y/o sistemas lógicos.

El presente invento se refiere en el primer caso a la matriz de memoria 51 propiamente dicha y más en particular a la construcción de las células de memoria a partir de las cuales se construye dicha matriz. La Figura 6 muestra esquemáticamente un diagrama de circuito equivalente que tiene una línea de palabras 9 y una línea de bitios 11 y una célula de memoria en el cruce de las mismas, que se muestra como un transistor de efecto de campo de unión que tiene un electrodo de alimentación 5, un electrodo de salida 6, un primer electrodo de mando o lugar de memoria 2, que está acoplado a la línea de palabras 9 a través de una capacitancia C, y un segundo electrodo de mando 8 que está formado por el substrato común.

Se muestra, además, que la línea de palabras 9 está conectada a unos medios 61 para la excitación y el control de la misma. La línea de bitios 11 está conectada también a unos medios 62 para excitación y control. Se muestra además diagramáticamente una salida 63,

estando incorporada una resistencia 64 entre la salida 63 y los medios 62 de excitación y control. Si se desea, puede utilizarse un conmutador (electrónico) en paralelo con la resistencia 64 o en lugar de ella, cuyo conmutador se cierra cuando ha de imprimirse una tensión sobre la línea de bitios 11 y se abre cuando la información de la línea de bitios en forma de una corriente es leída a través de la salida 63.

Las tensiones a aplicar a las líneas de palabras y a las líneas de bitios pueden expresarse con respecto a un nivel de referencia dado o nivel cero, para lo cual se escoge el potencial de tierra en el presente ejemplo, como se muestra. Las otras tensiones a mencionar en lo que sigue se expresa también con respecto a dicho nivel de referencia.

Las tensiones a utilizar durante el funcionamiento dependerán, entre otras cosas, de la tensión de perforación entre las zonas semiconductoras 2 y el substrato 8. Dicha tensión depende del espesor y de la adulteración de la región semiconductor 3. La tensión de perforación puede ser, por ejemplo, de aproximadamente 10 voltios. Las regiones 6 de electrodo de salida pueden estar conectadas a una fuente de tensión de suministro de, por ejemplo, +5 a +10 voltios. La tensión de suministro se elige mayor o al menos igual a la máxima tensión que puede aparecer en las líneas de bitios, de modo que los electrodos principales de las estructuras JFET no pueden cambiar mutuamente funciones durante el funcionamiento. Además, se aplica una tensión de aproximadamente -2 voltios por ejemplo, al substrato común. La conexión 65 pa-

ra el suministro se muestra diagramáticamente también en las Figuras 1 y 2. En estas Figuras se muestra también diagramáticamente una salida 63 para una de las líneas de bitios 11, y en la Figura 2 se muestra diagramáticamente la conexión 66 para el substrato común.

En el estado no seleccionado o de reposo se aplica una tensión de 0 voltios a las líneas de palabras y a las líneas de bitios 9 y 11. La Figura 7 muestra los niveles de tensión que pueden imprimirse sobre la línea de palabras 9 en diversos instantes para las diversas funciones u operaciones, tales como borrado, escritura y lectura. La Figura 8 muestra los niveles de tensión en instantes correspondientes sobre la línea de bitios 11 y la Figura 9 muestra diagramáticamente las tensiones asociadas sobre la zona semiconductor 2.

Se puede aplicar un impulso de tensión 81 de aproximadamente -15 voltios a una línea de palabras seleccionada 9 o a todas las líneas de palabras, simultánea o sucesivamente, manteniéndose todas las líneas de bitios a 0 voltios. Debido al acoplamiento capacitivo representado por la capacitancia C, las zonas semiconductoras 2 acopladas a la línea de palabra tienen necesidad de seguir la tensión en la línea de palabras. Sin embargo, se sobrepasará la tensión de perforación, de modo que portadores de carga, en este caso huecos, circulan pasando del substrato a las zonas semiconductoras 2. La tensión en las zonas semiconductoras 2 diferirá en 10 voltios respecto de la del substrato 8 y, por tanto, será de aproximadamente -12 voltios, como se denota en 82.

Si la tensión en la línea de palabras 9 se

reduce después a 0 voltios, la tensión en las zonas semiconductoras 2 sigue hasta que las uniones p_n 4 entre dichas zonas y en particular las regiones 5 de electrodo de alimentación conectadas a las líneas de bitios 11 lleguen a quedar en la dirección directa. Como resultado de esto, se inyectan portadores de carga (huecos) en la región y se evacúan a través de las líneas de bitios y/o se recogen por medio del substrato. La tensión en las zonas de colector 2 alcanzará un valor de una tensión de difusión o tensión de umbral V_j por encima de la tensión de las líneas de bitios, de modo que justamente no tiene lugar ya inyección alguna de portadores de carga. Dicha tensión de umbral o de unión V_j para Si es, por ejemplo, de 0,6 a 0,7 voltios. Las zonas semiconductoras 2 están cargadas ahora a una tensión de referencia denotada en 83 y se borra toda la información previamente presente, si la hubiera.

La tensión de referencia impresa sobre las zonas semiconductoras 2 de esta manera es menos adecuada para uso como señal de información debido a que a estas tensiones los canales de las estructuras JFET están abiertos y, por tanto, circulará corriente a través de los canales pasando a las líneas de bitios. Por consiguiente, se aplica entonces un impulso de tensión 84 de aproximadamente +10 voltios a la línea de palabra seleccionada. Portadores de carga excesivos circulan otra vez desde las zonas semiconductoras 2 y, después de la terminación del impulso de tensión en la línea de palabras, la tensión en las zonas semiconductoras 2 será de aproximadamente $(-10 + V_j)$ voltios, tal como se denota en 85, siempre que

la tensión en la línea de bitios haya permanecido invariable a 0 voltios. El valor del impulso de tensión de escritura 84 de 10 voltios en la línea de palabras se escoge de modo que la tensión resultante de $(-10 + V_j)$ voltios en la zona semiconductor 2 sea suficiente para mantener el canal de la estructura JFET sometido a estricción tanto a las tensiones aplicadas en el estado no seleccionado como a las tensiones aplicadas a las líneas de palabras para lectura. La citada tensión de estricción en el presente ejemplo será de aproximadamente -2,5 a -3 voltios. En el lado negativo la tensión en las zonas semiconductoras 2 está limitada por el hecho de que ha de impedirse que después de la terminación del impulso de escritura se cambie el estado de carga o la condición de carga de las zonas semiconductoras 2 debido a la aparición de perforación hasta el substrato 8. Se deduce de esto un valor máximo permisible para el impulso de escritura 84.

El estado de carga de las zonas semiconductoras 2 escritas de este modo es adecuado para uso como nivel cero para la información a representar. Cuando se utiliza información lógica binaria, dicho nivel representará, por ejemplo, el cero lógico.

Ha de hacerse observar que el segundo electrodo de mando formado por el substrato 8 en la descripción anterior ha servido solo como fuente o almacén de portadores de carga. Por consiguiente, no es necesario que el segundo electrodo de mando se construya como un substrato y se extienda por debajo de la región de canal. Es suficiente que en la proximidad de cada zona semicon-

ductora 2 esté presente una fuente o almacén de portadores de carga del mismo tipo que forma la mayoría en la zona 2 y separada de dicha zona, la cual está conectada temporalmente durante el borrado a la zona semiconductor 2 para suministrar los portadores de carga requeridos y la cual de preferencia, pero no necesariamente, puede absorber también después portadores de carga inyectados por la zona 2.

Durante la escritura y durante el tiempo entre borrado y escritura, al menos todos los canales de las estructuras JFET de la línea de palabras seleccionada están abiertas y, por tanto, puede circular corriente por dichos canales. Si esto es indeseable y en cuanto a que ello es así, la conexión entre las regiones 6 de electrodo de salida y la fuente de tensión de suministro puede interrumpirse durante dicho período o períodos. Las regiones 6 de electrodo de salida durante dicho período pueden aplicarse también a una tensión positiva más baja o a una tensión de 0 voltios. Después de escribir, se conecta otra vez la tensión de suministro de +5 a +10 voltios.

La Figura 7 muestra subsiguientemente un impulso de lectura 86, la tensión del cual es, por ejemplo, de aproximadamente +5 voltios. La Figura 9 muestra que la tensión en la zona semiconductor 2 sigue hasta el nivel 87, que será de aproximadamente $(-5 + V_j)$ voltios. El impulso de lectura, al menos cuando se utiliza información lógica binaria y, por tanto, ceros y unos, se elige de modo que en este caso el canal de la estructura JFET seleccionada permanezca cerrado. Por consiguiente, el ni-

vel de tensión 87 es más negativo que la tensión de estricción, que en este ejemplo es de aproximadamente -2,5 voltios.

5 Cuando se utiliza información analógica, el impulso de lectura 86 se elegirá preferiblemente de modo que el nivel 87 sea igual a la tensión de estricción, para que justamente no circule corriente por el canal o para que se mida una corriente muy pequeña a través del canal. Para la información a leer, es decir, para la
10 señal de lectura sobre la línea de bitios, el nivel cero corresponde así a una corriente muy pequeña o a ninguna corriente.

15 Además del nivel de información más bajo, ha de ser posible también escribir y leer un nivel de información más alto, que puede representar, entre otras cosas, el 1 lógico. La Figura 7 muestra para este fin otro impulso de borrado 81, un impulso de escritura 84 y un impulso de lectura 86.

20 Durante el borrado, la tensión en la zona semiconductor 2 cambia otra vez a través del nivel 82 hasta el nivel 83. El impulso de escritura 84 coincide en este caso, al menos en parte, con una señal de información eléctrica 187 de, por ejemplo, aproximadamente 45 V presentada sobre la línea de bitios, manteniéndose la señal
25 de información a escribir sobre la línea de bitios al menos hasta que haya terminado el impulso de escritura. La tensión en la zona semiconductor 2 sigue ahora durante el impulso de escritura 84 hasta el nivel de aproximadamente $(45 + V_j)$ voltios. Después de la terminación del impulso de escritura 84, la tensión 89 en la zona semicon-

30

ductora 2 es de aproximadamente $(-5 + V_j)$ voltios. El valor de la mayor señal de información 187 a presentarse se elige preferiblemente de modo que el nivel 89 sea al menos igual a la tensión de estricción, para que el canal de la estructura JFET con cada contenido de información escrito sea sometido a estricción en el estado no seleccionado. El contenido de información escrito corresponde a la señal eléctrica presentada sobre la línea de bitios, que puede adoptar todos los valores entre el nivel más bajo y el nivel más alto. Así, la memoria puede utilizarse para funcionamiento binario y para funcionamiento analógico.

Con un impulso de lectura subsiguiente 76 de +5 voltios la tensión en la zona semiconductor 2 sigue aproximadamente hasta el nivel 90 de $+V_j$ voltios. El canal de la estructura JFET está ahora abierto y circulará una corriente a través de la línea de bitios y/o tendrá lugar una variación de tensión en la línea de bitios, de modo que se puede detectar un impulso 91 en la salida 63. El nivel de tensión 90 es tal que con un contenido máximo de información en el estado seleccionado la zona semiconductor 2 no entra de preferencia en un estado en el que se inyectan portadores de carga. La condición de carga de la zona semiconductor 2 no cambia así y se retiene la información. La lectura tiene lugar de forma no destructiva. Una de las ventajas de esto es que si, en contraste con lo que se muestra diagramáticamente en la Figura 6, tras la detección de una manera por lo demás conocida se integra la circulación de corriente en la línea de bitios, la señal de salida puede adaptarse al valor deseado dentro de amplios límites eligiendo una longitud o duración de adap-

tación para el impulso de lectura 86. Asimismo, cuando las cantidades almacenadas de carga representativa de información son muy pequeñas, puede obtenerse así, no obstante, una señal de salida fácilmente detectable. La capacitancia C de almacenamiento de carga de las zonas semiconductoras 2 puede ser así comparativamente pequeña.

Ha de hacerse observar que en la descripción anterior se ha despreciado con respecto a la capacitancia C la influencia de las capacitancias de dispersión, por ejemplo, las capacitancias entre el primer electrodo de mando y las regiones adyacentes de alimentación y de salida que están acopladas a la región de empobrecimiento que mantiene el contenido de información de la zona semiconductor 2 separado de la parte restante del cuerpo semiconductor 1. En la práctica, serán influenciados ligeramente diversos niveles de tensión por cuanto que tiene lugar una división de tensión en un grado pequeño a través de la capacitancia C y las capacitancias de dispersión o parásitas conectadas en serie con ella.

Se muestra en las Figuras 7, 8 y 9 por líneas de trazos entre los diversos impulsos que la secuencia y la duración en tiempo entre los impulsos pueden ser diferentes de lo que se ha descrito. En particular, entre dos operaciones de escritura pueden realizarse varias operaciones de lectura debido a que la lectura es en realidad no destructiva. Lo que ocurrirá realmente es que la carga almacenada en la zona semiconductor 2 escapará en el tramo largo, por ejemplo, por generación de portadores de carga en la capa de empobrecimiento. Tanto el nivel de información más bajo 85 como el nivel de información más alto 89

se desplazaran en una dirección positiva como resultado de corrientes de fuga. Para el nivel más bajo o nivel 0 lógico esto significa que el nivel 87 durante el impulso de lectura podría venir a quedar por encima de la tensión de estricción y se podría medir una corriente de canal indeseable. Para el nivel más alto o nivel 1 lógico esto significa que el nivel 89 puede ascender por encima de la tensión de estricción de modo que puede circular también una corriente de canal en la condición no seleccionada. De este modo, en la práctica, el nivel 89 se colocará a una distancia suficiente de la tensión de estricción para impedir que en el tiempo de almacenaje deseado se pueda abrir el canal por fuga. Otro resultado de una fuga podría ser el de que el nivel 90 amenace con subir por encima de $+V_j$ voltios. Durante el impulso de lectura 86 se inyectan portadores de carga desde la zona semiconductor 2, de modo que se mantiene el nivel 90. Después de la terminación del impulso de lectura 86, se restablece el nivel de información 89 al valor original de $(-5 + V_j)$ voltios. Sin embargo, tal restablecimiento de nivel tiene lugar solamente en el nivel 1 lógico y no en el nivel 0 lógico.

Por consiguiente, en relación con la anterior puede ser necesario que para información que se haya de almacenar durante un tiempo prolongado sea reescrita regularmente la información deseada en el tiempo medio. Será a menudo posible elegir los instantes en los que tiene lugar la reescritura de tal manera que caigan en períodos en los que no hay necesidad de leer información almacenada.

El borrado, la escritura y la lectura se efectúan palabra a palabra. Para una memoria organizada por bi

tios se incorporará así en el bloque 53 una posibilidad de selección para los bitios individuales.

5 Es además de importancia que las tensiones que aparezcan en las líneas de bitios sean a lo sumo V_j voltios más baja que las tensiones de las zonas semiconductoras 2 en las palabras no seleccionadas, de modo que no se influya sobre la información almacenada en dichas palabras. De hecho, a estas tensiones, las uniones pn entre las zonas semiconductoras 2 y las regiones 5 de electrodo de alimentación están en el estado de corte o al me-
10 nos no están en el estado de inyección. Además, en las palabras no seleccionadas, y por tanto palabras con una tensión de línea de palabras de 0 voltios, todos los canales están sometidos a estricción, de modo que no es posible ninguna influenciación de las líneas de bitios a través de dichos canales. No circulará sustancialmente co-
15 rriente alguna desde el segundo electrodo de mando 8 hasta las líneas de bitios en tanto las tensiones que aparecen en las líneas de bitios sean siempre mayores o a lo sumo V_j voltios más bajas que la tensión de dicho segun-
20 do electrodo de mando.

Como ya se ha indicado, las cantidades de carga almacenadas pueden ser comparativamente pequeñas de-
bido a que dichas cantidades no se leen ellas mismas como ocurre, por ejemplo, en las memorias conocidas de 1
25 MOST por bitio. Esto se utiliza en el presente invento pa-
ra llegar a un componente o célula de memoria muy compac-
to que es particularmente adecuado, por ejemplo, para memorias muy grandes que tengan 16K o más lugares de memo-
30 ria.

En particular, la aplicación de solo un acoplamiento capacitivo entre los lugares de la memoria presentes en el cuerpo semiconductor y los electrodos de acceso aislados o líneas de palabras previstos sobre el cuerpo hace posible una estructura compacta con lugares de memoria comparativamente pequeños. Evitando el contacto directo con las regiones semiconductoras que sirven de lugares de memoria, no son necesarias aberturas de contacto para dichas regiones semiconductoras. Por encima de las zonas semiconductoras 2 la capa aislante 10 está cerrada por completo. Además, el acoplamiento capacitivo con una capa aislante 10 en calidad de medio dieléctrico da como resultado una relación favorable entre la capacitancia C de la memoria y las capacitancias de dispersión, con lo que esta capacitancia C de la memoria muestra además una pequeña fuga. La zona semiconductor 2 que forma el lugar de la memoria puede restringirse a una zona muy pequeña que esté cubierta por completo o sustancialmente por completo por la línea de palabras.

Por consiguiente, el lugar de la memoria está formado preferiblemente, como en la realización, por una zona superficial 2 de un tipo de conductividad opuesto al de la parte contigua 3 del cuerpo semiconductor 1.

Otra propiedad favorable de la matriz de lugares de memoria de acuerdo con el invento es que con una disposición bidimensional en filas y columnas, además de un juego de electrodos de acceso o líneas de palabras en una dirección, es necesario solo un juego de líneas de selección o de bitios en la otra dirección transversal a la primera dirección. Aunque las estructuras JFET tie-

nen una tercera conexión para la fuente de suministro, ésta puede construirse fácilmente para que sea común a todas las estructuras y esté situada en el cuerpo semiconductor 1. Este electrodo principal común podría construirse como un substrato común de tipo n, por ejemplo, con un segundo electrodo de mando en forma de una capa epitaxial de tipo p o capa enterrada que, en la zona de los extremos de los canales de las estructuras JFET, esté provista de aberturas o interrupciones a través de las cuales los canales de tipo n están conectados al substrato de tipo n. Los canales de tipo n forman entonces parte de, por ejemplo, una capa epitaxial de tipo n que ha sido desarrollada después de disponer el segundo electrodo de mando de tipo p. El segundo electrodo de mando puede conectarse en un sitio adecuado, por ejemplo, en el borde de la matriz, por medio de una zona profunda de contacto de tipo p que se extiende desde la superficie. Sin embargo, el electrodo principal común está construido preferiblemente como una región superficial que tiene tiras 6a que se extienden sustancialmente paralelas a los electrodos de acceso o líneas de palabras. Este electrodo principal común puede estar provisto de una conexión eléctricamente conductora, no mostrada, en el borde de la matriz. De preferencia, pero no necesariamente, el electrodo principal común forma los electrodos de salida de las estructuras JFET, de modo que dichas estructuras JFET están dispuestas como seguidores de alimentación.

Así, dentro de la matriz solo es necesario un tipo de aberturas de contacto, a saber, las aberturas 12 para la conexión de las líneas de bitios 11 a las re-

giones 5 de electrodo de alimentación. Como resultado de esto, el número de aberturas de contacto por célula de memoria puede reducirse fácilmente al valor 0,5. Este bajo valor es también particularmente favorable para llegar a una matriz de memoria compacta.

Las estructuras JFET, que en una dirección paralela a los electrodos de acceso o líneas de palabras están situadas una detrás de otra, se separan de preferencia una de otra utilizando una forma de aislamiento dieléctrico, por ejemplo aislamiento de aire, ranuras en V o ranuras llenas de material aislante. El aislamiento dieléctrico en esta dirección tiene la importante ventaja de que los lugares de memoria o zonas semiconductoras no necesitan ser provistos anularmente o de otro modo de una geometría cerrada en torno a la región de electrodo de alimentación asociada. Por medio del aislamiento dieléctrico las regiones de canal pueden limitarse simplemente a regiones situadas por debajo de pequeñas zonas semiconductoras, las cuales, no obstante, controlan por completo las corrientes de los canales. Los electrodos de acceso o líneas de palabras pueden construirse en este caso como tiras sustancialmente rectas y de una manera autoalineada entre las regiones 5 y 6 de electrodos de alimentación y de salida y por encima de los lugares de memoria o zonas semiconductoras.

Los electrodos de acceso o líneas de palabras se construyen ventajosamente como tiras autoalineadas de material semiconductor sobre la capa aislante y el aislamiento dieléctrico se obtiene por medio de tiras (Figuras 1 a 4) que se extienden transversalmente a

los electrodos de acceso o líneas de palabras 9 y que están embutidas en el cuerpo semiconductor 1 a menos sobre una parte de su espesor. Las tiras aislantes 21 se extienden de preferencia hacia abajo hasta el substrato 8. Si es necesario, puede disponerse un tapón de canal (no mostrado) por debajo de las tiras aislantes 21. Es posible alternativamente utilizar tiras aislantes que, por ejemplo, se extiendan al menos hasta una profundidad que sea mayor que la profundidad de penetración de las zonas semiconductoras 2 y que sean adyacentes a zonas o regiones del tipo p que están situadas por debajo de las tiras aislante y que forman un conjunto de material de tipo p con el substrato. De preferencia, las tiras aislantes consisten generalmente por completo en material aislante y se han obtenido por oxidación local del cuerpo semiconductor. Para una manera en la que pueden obtenerse las realizaciones modificadas anteriormente descritas se hace referencia a la memoria de la patente norteamericana 3.783.047, que se incorpora aquí a título de referencia.

En el ejemplo, la región 3 de tipo n (Figuras 1 a 4) forma un enrejado o rejilla que tiene aberturas que están ocupadas por las tiras aislantes 21. El enrejado de tipo n consiste en tiras paralelas 6a que en la dirección transversal están conectadas entre sí a distancias regulares. Las conexiones transversales proporcionan cada una espacio para dos estructuras JFET que tienen una región común 5 de electrodo de alimentación en el centro de la conexión transversal, cuya región está encerrada en lados situados en posición opuesta entre dos líneas de palabras con lugares de memoria situados por debajo de ellas.

Esta realización permite la fabricación de estructuras muy pequeñas y la utilización para su fabricación de métodos de fabricación que se han ensayado ya en la práctica. Tanto la pequeñez de la superficie como el empleo de métodos de fabricación que están ya en uso para otros productos afectan favorablemente al rendimiento de la fabricación y, por tanto, también al precio de coste.

Es de importancia también en relación con la fabricación y el precio de coste que, cuando se utiliza el invento, no son necesarias capas enterradas y se puede evitar el desarrollo de capas epitaxiales. Por consiguiente, el dispositivo de acuerdo con el invento tiene de preferencia una región común 3 de forma de capa que se ha obtenido por un tratamiento de adulteración, por ejemplo por implantación y/o difusión de activadores en una región de sustrato 8 del tipo de conductividad opuesto. En este caso, la región 3 se ha obtenido así por sobre-adulteración a partir de la superficie de una región de sustrato. La adulteración viene proporcionada entonces de preferencia por la implantación iónica.

Además, las zonas semiconductoras 2 se han obtenido ventajosamente como partes de una capa superficial de tipo p proporcionada por implantación de activadores en la región 3 de tipo n , de forma de capa, que tiene la geometría de un enrejado, cuyas partes están separadas una de otra y son contiguas a la superficie semiconductoras. La capa superficial de tipo p dispuesta originalmente como conjunto continuo se subdivide de preferencia en zonas semiconductoras 2 que se separan una de otra por un tratamiento de adulteración en el que las líneas

de palabras han servido como máscara y en el que se han obtenido las regiones 5, 6 y 6a de electrodos de alimentación y de salida, de tipo n, más altamente adulteradas. En relación con esto, dichas regiones de electrodos más

5 altamente adulteradas tienen de preferencia una profundidad de penetración que excede de la profundidad de penetración de las zonas semiconductoras 2 de tipo p.

Frente al primer electrodo de mando 2, el segundo electrodo de mando es de preferencia adyacente a

10 la misma parte de la región de canal de la estructura JFET. En esea caso, el segundo electrodo de mando puede utilizarse para ajustar la tensión de estricción de la estructura JFET a un valor adecuado. Este ajuste puede realizarse de modo que sea común a todas las estructuras JFET de

15 la matriz. Por consiguiente, los segundos electrodos de mando están de preferencia interconectados, siendo una construcción favorable aquella en la que los segundos electrodos de mando están formados por un electrodo de mando común 8 que se extiende por debajo de todas las regiones

20 de canal y lugares de memoria 2 de la matriz. Dicho electrodo de mando común puede ser una capa conductora separada de la región semiconductor por una capa aislante o, como en el ejemplo, puede estar construido como una región de substrato común 8 que puede formar simultáneamente la

25 fuente o almacén de portadores de carga requeridos para la memoria.

La incorporación de la posibilidad de ajustar la tensión de estricción tiene ventajas, entre otros aspectos, en relación con la tensión de perforación y el

30 uso de la misma en la memoria.

En relación con, por ejemplo, el área del cuerpo semiconductor necesaria para la memoria, la fuente requerida de portadores de carga no está de preferencia dispuesta en la superficie semiconductor sobre el lado superior de la región de canal, sino en el lado interior de la región de canal y enfrente del primer electrodo de mando 2. En ese caso, la tensión de perforación del primer electrodo de mando 2 hasta la fuente de portadores de carga no será usualmente mucho mayor que la tensión de estricción que es necesaria para someter a estricción la región de canal de la estructura JFET con la capa de empobrecimiento asociada con la zona semiconductor 2. No obstante, es de importancia para el funcionamiento deseado que dicha región de canal pueda ser sometida a estricción sin que cambie el contenido de información de la zona semiconductor 2, en otras palabras, sin que se sobrepase la tensión de perforación. En el ejemplo, se partió de una tensión de perforación de aproximadamente 10 voltios. La tensión de estricción es entonces ligeramente más baja y, por ejemplo, es de aproximadamente -9 voltios. Dicha diferencia de 1 voltio puede ser demasiado pequeña para un funcionamiento fiable, en particular si durante la fabricación tiene lugar cierta dispersión en espesores de capa y/o concentraciones de adulteración. Sin embargo, cuando la región de canal es ligeramente aplastada desde el lado situado en posición opuesta o lado inferior por medio del segundo electrodo de mando 8, entonces la tensión que es todavía necesaria en el primer electrodo de mando para someter a estricción por completo la región de canal será considerablemente más baja. Dado que en una

5

10

15

20

25

30

primera aproximación el espesor de una capa de empobrecimiento es aproximadamente proporcional a la raíz de la tensión inversa que aparece a través de la capa de empobrecimiento, la tensión de estricción de las estructuras JFET se habrá reducido desde aproximadamente 9 voltios hasta 2 a 3 voltios a una tensión de 2 voltios a través de la unión pn 7 como en el ejemplo.

Cuando se utiliza información binaria, el ajuste de la tensión de estricción y el valor del impulso de lectura 86 pueden adaptarse también fácilmente uno a otro de modo que la tensión de estricción resultante está situada favorablemente entre los niveles de tensión 87 y 90, con lo que se obtiene una buena discriminación entre los ceros y los unos. En la Figura 9 el nivel de la tensión de estricción seleccionada está denotado por la línea de trazos 92. Este nivel está situado aproximadamente en el centro entre el nivel 87 del 0 lógico y el nivel 90 del 1 lógico.

Los portadores de carga a suministrar a las zonas semiconductoras 2 tras borrar la información podrían obtenerse también por generación de portadores de carga en la región de tipo n como resultado de la absorción de radiación. Sin embargo, éste no es un método muy atractivo para una memoria semiconductor. En general, el borrado puede hacerse mejor por vía enteramente eléctrica, en donde está disponible en el cuerpo semiconductor una fuente o almacén de portadores de carga requeridos que pueden alcanzarse por perforación desde las zonas semiconductoras 2, estando el dispositivo semiconductor montado de preferencia en una envuelta convencional óptica-

mente cerrada. Se ha de entender que una envuelta ópticamente cerrada significa en este contexto una envuelta que es sustancialmente impermeable a por lo menos la radiación en el intervalo de longitudes de onda para el cual es sensible el cuerpo semiconductor y cuya radiación es absorbida en el mismo al tiempo que se generan portadores de carga.

La realización descrita es una memoria de acceso aleatorio (RAM) que tiene un sistema de líneas de palabras y líneas de bitios 9 y 11, respectivamente, que se cruzan entre sí y que en los cruces están acopladas a células de memoria semiconductoras que comprenden estructuras de transistor de efecto de campo de unión. Cada estructura JFET tiene electrodos principales primero (5) y segundo (6) y una región de canal intermedia en la que un primer electrodo de mando 2 y una fuente de portadores de carga 8, preferiblemente combinada con un segundo electrodo de mando, son adyacentes a la región de canal y están separadas de la región de canal por barreras, y en donde los potenciales de los electrodos de mando controlan la conductividad en el canal. Uno de los electrodos de mando de cada estructura JFET tiene un potencial flotante cuyo valor puede representar una señal de información bajo el control de tensiones de escritura y de borrado que pueden aplicarse a líneas de palabras y líneas de bitios seleccionadas. Están presentes además unos medios para borrar información que esté almacenada en las estructuras JFET y medios para borrar información en una célula seleccionada. Los medios de borrado comprenden medios para aplicar tensiones a líneas de palabras seleccio

nadas a fin de producir una perforación entre el primer electrodo de mando flotante y la fuente de portadores de carga, y los medios de escritura comprenden medios para aplicar tensiones a líneas de palabras y líneas de bitios seleccionadas, en las que tiene lugar una inyección de portadores de carga del primer electrodo de mando flotante en el canal de una célula de memoria seleccionada. Las líneas de palabras están acopladas cada una capacitivamente a los primeros electrodos de mando flotantes de una fila o columna de estructuras JFET.

La matriz de memoria está integrada en un cuerpo semiconductor junto con medios de control (sistema lógico).

Las líneas de palabras están acopladas capacitivamente a las células de memoria solo. Por tanto, el nivel de tensión directo de la tensión en las líneas de palabra no influye sobre el funcionamiento de la célula de memoria, al menos dentro de amplios límites. Esto proporciona un alto grado de libertad en el diseño del sistema electrónico periférico para la memoria. Si se desea, se pueden utilizar técnicas bipolares en el sistema electrónico periférico. El sistema electrónico periférico, incluyendo los medios de control, se realiza de preferencia en técnica MOST.

En relación con el sistema electrónico periférico requerido, así como con las velocidades obtenibles en la lectura, la escritura y el borrado, es todavía de importancia que el patrón de tensión requerido en las líneas de palabras y líneas de bitios debe ser comparativamente sencillo. Tienen lugar variaciones de tensión

únicamente en las líneas de palabras y líneas de bitios seleccionadas en las que el contenido de información en las células no seleccionadas y en las células semiseleccionadas permanece sin influenciar, sin que sea necesario variar las tensiones en las líneas no seleccionadas, con lo que además los canales de las estructuras JFET de las células no seleccionadas y de las células semiseleccionadas permanecen sustancialmente sometidos a estricción.

Como se muestra en la Figura 7, el nivel de tensión o la amplitud del impulso de escritura 84 es de preferencia mayor que el nivel de tensión o la amplitud del impulso de lectura 86. Sin embargo, esto no es necesario. Cuando se adaptan los niveles de tensión en la línea de bitios que representan el 0 lógico y el 1 lógico, respectivamente, se puede reducir el impulso de escritura. Por ejemplo, si el nivel 93 en la Figura 8 se reduce hasta aproximadamente -2,5 voltios y el nivel 87 se establece, por ejemplo, en 0 voltios, será suficiente un impulso de escritura 85 de +5 voltios que sea tan grande como el impulso de lectura 86. El nivel 85 pasa a ser entonces de aproximadamente -7,5 voltios, mientras que el nivel 87 estará en aproximadamente -2,5 voltios. El nivel 88 pasará a ser igual al nivel 83, mientras que los niveles 89 y 90 permanecen sin sufrir cambios. La tensión de estricción se ajusta entre -2,5 voltios y $+V_j$ voltios por medio de la tensión en el segundo electrodo de mando 8.

La realización descrita puede fabricarse enteramente por medio de procedimientos utilizados convencionalmente en la tecnología de los semiconductores. El substrato 8 de silicio de tipo p puede adulterarse, por

ejemplo, con boro en una concentración de aproximadamente 10^{18} átomos/cm³. La capa 3 de tipo n se obtiene, por ejemplo, desarrollando una capa epitaxial con una concentración de adulteración de, por ejemplo, 10^{15} a 10^{16} átomos/cm³. Después de que el cuerpo semiconductor se haya sometido a todos los tratamientos a alta temperatura necesarios para la fabricación, el espesor final de la capa 3 de tipo n es, por ejemplo, de 2 μ m. La capa de tipo n puede subdividirse de manera conocida en una pluralidad de partes que están separadas una de otra por medio de zonas de aislamiento que pueden consistir en material de tipo p o en material aislante, pero que pueden construirse también, por ejemplo, a base de una combinación de estas posibilidades. En la parte del cuerpo semiconductor destinada a la matriz de la memoria se disponen tiras de aislamiento 21 de aproximadamente 34 μ m por 10 μ m, por ejemplo, por oxidación local del cuerpo semiconductor. El espesor de las tiras de óxido resultantes es, por ejemplo, de aproximadamente 2 μ m. Como es sabido, las tiras de óxido pueden disponerse de modo que estén insertadas en el cuerpo semiconductor sustancialmente por todo su espesor. En ese caso, llegan hasta el sustrato 8. Cuando la profundidad de penetración de las tiras de óxido se escoge de modo que sea menor, pueden disponerse regiones de tipo p que se extiendan dentro del sustrato por debajo de las tiras de óxido, por ejemplo, de la manera descrita en la memoria de la patente norteamericana antes mencionada 3.783.047. En la parte del cuerpo semiconductor destinada a la matriz de la memoria, la región 3 del tipo n tiene como resultado la forma de un enrejado o rejilla continuo que ro

de a las tiras de aislamiento que se extienden dentro del substrato.

5 La región 3 de tipo n en forma de un enrejado puede obtenerse también de una manera diferente. En muchos casos, se preferirán dotar primero a un cuerpo de tipo p con tiras aislantes 21 y disponer luego la región 3 de tipo n, de forma de enrejado, en el cuerpo por sobre-adulteración, preferiblemente por medio de implantación iónica.

10 La capa superficial de la región 3 de tipo n, de forma de enrejado, se convierte después preferiblemente en material de tipo p por implantación y/o difusión iónica. La profundidad de penetración de dicha capa superficial de tipo p es, por ejemplo, de 0,5 a 1 μm y la concentración superficial es, por ejemplo, de aproximadamente 10^{18} átomos/cm³.

15 Con una capa aislante, por ejemplo una capa 10 de dióxido de silicio que tenga un espesor de aproximadamente 0,1 μm , presente en la superficie del cuerpo semiconductor, se disponen tiras conductoras 9 que han de formar las líneas de palabras. La anchura de las tiras 9 es, por ejemplo, de aproximadamente 10 μm y su distancia mutua es, por ejemplo, de 12 a 14 μm . Las líneas de palabras pueden consistir en un metal refractario, por ejemplo molibdeno, o también en silicio policristalino. El espesor de las tiras es, por ejemplo, de aproximadamente 0,5 μm .

25 Las líneas de palabras 10 pueden utilizarse después como máscara en un tratamiento de adulteración en el que se obtienen las regiones 5 y 6, 6a de tipo n. Si se desea, pueden retirarse primero las partes de la capa

30

de óxido anteriormente mencionada no cubiertas por las líneas de palabras 9. La concentración superficial en las regiones 5 y 6, 6a de tipo n es, por ejemplo, de 10^{19} a 10^{21} átomos/cm³ y la profundidad de penetración de dichas regiones es, por ejemplo, de aproximadamente 1,5 a 2 μ m. Dicha profundidad de penetración en el presente caso ha de ser mayor que el espesor de la capa superficial de tipo p, pero, aparte de eso, no es crítica. Por ejemplo, las regiones 5 y 6, 6a pueden extenderse a través de la capa superficial 3 entrando en la región de substrato 8. En ese caso, la unión pn 7 entre el material de tipo p y el material de tipo n no será plana, como se muestra en la Figura 2, sino que estará curvada. La unión pn sigue los abultamientos del material de tipo n en la región de substrato de tipo p formada por las regiones 5 y 6, 6a.

Después de dicho tratamiento de adulteración, la estructura resultante tiene zonas 2 de tipo p que están separadas una de otra y que están exactamente situadas por debajo de las líneas de palabras 9 y están acopladas capacitivamente a ellas. Las líneas de palabras se autoalinean entre las regiones 5 y 6, 6a de electros de alimentación y de salida.

La superficie semiconductor y las líneas de palabras 9 pueden cubrirse de la manera usual con una capa aislante 13 de, por ejemplo, aproximadamente 1 μ m de espesor, en la cual se pueden disponer aberturas 12 de, por ejemplo, 6 μ m por 6 μ m para hacer contacto con las regiones de electrodo 5. Al mismo tiempo, se pueden disponer aberturas para hacer contacto con las tiras 6a de tipo n en uno o más sitios adecuadamente elegidos y, si es

necesario, se pueden disponer también aberturas para establecer un contacto adicional con las líneas de palabras 9. Las aberturas de contacto para las tiras 6a y las líneas de palabras 9 no están en la Figura y pueden situarse, por ejemplo, cerca del borde de la matriz de la memoria.

Se puede disponer después una capa conductora de, por ejemplo, aluminio, a partir de la cual se pueden obtener las líneas de bitios 11 en una anchura de, por ejemplo, aproximadamente 8 μ m.

Resultará evidente a los versados en la técnica que el dispositivo semiconductor de acuerdo con el invento se puede fabricar con diversas combinaciones de etapas de procedimiento conocidas, en las que puede hacerse una elección adaptada, por ejemplo, entre otras cosas, con referencia a las especificaciones eléctricas deseadas. En la mayoría de los casos no serán necesarias operaciones de procedimiento adicionales para el sistema lógico de control y el sistema electrónico de lectura a integrar en el cuerpo semiconductor. La profundidad de penetración de las diversas zonas y regiones y en particular la distancia entre las uniones pn 4 y 7, así como las concentraciones de adulteración y/o los perfiles de concentración pueden adaptarse a las propiedades deseadas, en las que en particular la adulteración de las regiones de canal de las estructuras JFET es de influencia sobre la adaptación de las tensiones de funcionamiento a utilizar. En particular, la concentración de adulteración a elegir para la región de substrato 8, cuya concentración tiene influencia también por lo demás sobre las tensiones de

funcionamiento, puede venir determinada, entre otras cosas, por los requisitos a imponer sobre el sistema electrónico de control. Por ejemplo, cuando la región 3 de tipo n se obtiene por adulteración local, por ejemplo, el sistema lógico de control puede realizarse en el sustrato 8 de tipo p según la técnica MOST al lado de la matriz de la memoria, siempre que la concentración de adulteración sea suficientemente baja, al menos en el área de los transistores MOS a integrar. Estas y otras variaciones pueden ser aún más elaboradas por los expertos en la técnica sin apartarse del alcance de este invento por medio de las numerosas referencias bibliográficas disponibles y las anteriores indicaciones de profundidad de penetración y adulteraciones, de modo que esto no es necesario describirlo en mayor medida.

El presente invento no queda así restringido a la realización descrita. Por ejemplo, puede señalarse que se pueden utilizar materiales semiconductores distintos del silicio, por ejemplo, compuestos $A_{III}-B_V$. Además, se pueden intercambiar en el ejemplo los tipos de conductividad, en donde, por supuesto, han de adaptarse las tensiones de funcionamiento. Por lo demás, los valores dados de las tensiones de funcionamiento se entienden solo a título de ejemplo y se eligen de forma comparativamente arbitraria. La tensión de perforación puede ser también, por ejemplo, de 5 voltios, dependiendo de las adulteraciones y de la distancia entre los dos electrodos de mando. En ese caso, se pueden elegir también otros diversos valores de tensión de modo que sean más pequeños, lo que puede ser ventajoso en particular en memorias de

P-

Hoja n.º 39

mayor tamaño.

5

10

15

20

25

30

REIVINDICACIONES

5 Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10 1ª.- Un dispositivo semiconductor perfeccionado, que comprende varios lugares de memoria dispuestos en una matriz y que tienen cada uno una zona semiconductor de un primer tipo de conductividad que se extiende en una región del segundo tipo de conductividad opuesto, sirviendo dicha zona semiconductor para almacenar carga representativa de información, estando dicha carga almacenada separada de la parte restante del cuerpo semiconductor por una capa de empobrecimiento presente entre la zona y la región, siendo la capa de empobrecimiento adyacente a una región de canal de una estructura de transistor de efecto de campo, pudiendo ser controlada la resistencia al paso de corriente a través de la región de canal, medida entre dos electrodos principales, particularmente una región de alimentación y una región de salida de la estructura de transistor de efecto de campo, por el contenido de información del lugar de la memoria, siendo adyacente a la región de canal una segunda capa de empobrecimiento por medio del espesor de la cual se puede influir también sobre la citada resistencia, caracterizado porque la zona semiconductor está acoplada capacitivamente a un electrodo de acceso que es común a una pluralidad

15
20
25
30

RB


de lugares de memoria de la matriz y que está aislado de la zona semiconductor por una capa aislante intermedia.

5 2ª.- Un dispositivo semiconductor según la reivindicación 1ª, caracterizado porque una de las regiones de electrodo principal de cada estructura de transistor de efecto de campo de la matriz está conectada a las regiones de electrodo principal correspondientes de la otra estructura de transistor de efecto de campo de la matriz.

10 3ª.- Un dispositivo semiconductor según la reivindicación 2ª, caracterizado porque al menos las regiones de electrodo principal interconectadas pertenecen a la misma región semiconductor continua del segundo tipo de conductividad.

15 4ª.- Un dispositivo semiconductor según las reivindicaciones 1ª, 2ª o 3ª, caracterizado porque las regiones de alimentación o de salida de una pluralidad de lugares de memoria de la matriz están interconectadas, comprendiendo dicha pluralidad de lugares de memoria solo
20 un lugar de memoria que pertenece también a la citada pluralidad de lugares de memoria que tienen un electrodo de acceso común acoplado por vía capacitiva.

25 5ª.- Un dispositivo semiconductor según las reivindicaciones 2ª y 4ª, caracterizado porque las regiones de salida de las estructuras de transistor de efecto de campo de la matriz están interconectadas, estando dispuestos en grupos los lugares de la memoria, teniendo cada grupo una línea de selección común conectada a las regiones de alimentación de las estructuras de transistor
30 de efecto de campo del grupo.



5 6ª.- Un dispositivo semiconductor según una o más de las reivindicaciones precedentes, caracterizado porque la segunda capa de empobrecimiento está asociada con un segundo electrodo de mando estando construido dicho segundo electrodo de mando de modo que sea común a todas las estructuras de transistor de efecto de campo de la matriz.


10 7ª.- Un dispositivo semiconductor según la reivindicación 6ª, caracterizado porque el segundo electrodo de mando común está formado por una región de sustrato común del primer tipo de conductividad que se extiende por debajo de las regiones de canal de todas las estructuras de transistor de efecto de campo de la matriz.

15 8ª.- Un dispositivo semiconductor según una o más de las reivindicaciones precedentes, caracterizado porque se utiliza una forma de aislamiento dieléctrico en el cuerpo semiconductor entre las estructuras de transistor de efecto de campo acopladas a un electrodo de acceso común, extendiéndose el electrodo de acceso común como una tira sustancialmente recta a través de las estructuras de transistor de efecto de campo y estando situado de una manera autoalineada entre las regiones de alimentación y de salida y por encima de las zonas semiconductoras del primer tipo de conductividad.

20

25 9ª.- Un dispositivo semiconductor según la reivindicación 8ª, caracterizado porque los electrodos de acceso comunes están contruidos como tiras de material semiconductor dispuestas sobre la capa aislante.

30 10ª.- Un dispositivo semiconductor según las reivindicaciones 8ª o 9ª, caracterizado porque están pre-



vistas como aislamiento dieléctrico unas tiras de aislamiento que se extienden transversalmente a los electrodos de acceso, estando embutidas dichas tiras de aislamiento en el cuerpo semiconductor en al menos una parte de su es
pesor.

11^a.- Un dispositivo semiconductor según las reivindicaciones 4^a y 10^a, caracterizado porque una región de electrodo principal que es común a dos estructuras de transistor de efecto de campo está situada de mo
do que queda encerrada entre dos electrodos de acceso, cu
ya región está conectada, a través de una abertura de la capa aislante, a una pista conductora que se extiende trans
versalmente a los electrodos de acceso, formando dicha pis
ta conductora una línea de selección o línea de bitios que es común a una pluralidad de lugares de memoria de la ma-
triz.

12^a.- Un dispositivo semiconductor según una o más de las reivindicaciones precedentes, caracteri-
zado porque las estructuras de transistor de efecto de cam
po están dispuestas en una región común de forma de capa del segundo tipo de conductividad que se ha obtenido por implantación de activadores en una región de sustrato del primer tipo de conductividad.

13^a.- Un dispositivo semiconductor según la reivindicación 12^a, caracterizado porque las zonas se-
miconductoras del primer tipo de conductividad están cons
truidas como partes de una capa superficial del primer tipo de conductividad obtenida en la región de forma de capa del segundo tipo de conductividad por sobreadultera-
ción, cuyas partes son adyacentes a las superficie semicon

19

ductora y están separadas una de otra.

5 14a.- Un dispositivo semiconductor según una o más de las reivindicaciones precedentes, caracterizado porque están presentes medios para aplicar impulsos de borrado de una primera polaridad a electrodos de acceso seleccionados, en los que se imprime un potencial sobre las zonas semiconductoras del primer tipo de conducti-
10 vidad acopladas capacitivamente a ellos, a cuyo potencial tiene lugar una perforación entre dichas zonas semiconduc-
toras y los segundos electrodos de mando de las estructuras de transistor de efecto de campo de unión (JFET) seleccionadas.

15 15a.- Un dispositivo semiconductor según la reivindicación 14a, caracterizado porque están presentes medios para aplicar impulsos de escritura de una segunda polaridad, opuesta a la primera polaridad, a electrodos de acceso seleccionados y medios para aplicar una señal de información a líneas de selección seleccionadas conectadas a uno o más electrodos principales primeros
20 de las estructuras JFET, teniendo lugar una inyección de portadores de carga desde las zonas semiconductoras acopladas capacitivamente al electrodo de acceso seleccionado a través de las capas de empobrecimiento que limitan dichas zonas semiconductoras.

25 16a.- Un dispositivo semiconductor según la reivindicación 15a, caracterizado porque están presentes medios para aplicar impulsos de lectura de la segunda polaridad a electrodos de acceso seleccionados, siendo detectada la conductividad en los canales de las estructuras JFET seleccionadas en las líneas de selección
30

pe

y siendo una medida de la información almacenada, permaneciendo los canales de las estructuras JFET no seleccionadas en el estado no conductor.


5 17ª.- Un dispositivo semiconductor según la reivindicación 16ª, caracterizado porque el valor de tensión del impulso de escritura excede del valor del impulso de lectura.

10 18ª.- Un dispositivo semiconductor según las reivindicaciones 14ª, 15ª, 16ª o 17ª, caracterizado porque están presentes medios para conectar los segundos electrodos principales de las estructuras JFET entre sí y a una fuente de tensión de suministro, al menos durante la lectura de información.

15 19ª.- Un dispositivo semiconductor según una o más de las reivindicaciones 14ª a 18ª, caracterizado porque están presentes medios para conectar los segundos electrodos de mando de las estructuras JFET entre sí y a una fuente de tensión a fin de aplicar a los segundos electrodos de mando una tensión con respecto a los primeros electrodos principales de las estructuras JFET, a cuya tensión las regiones de canal son parcialmente aplastadas por la segunda capa de empobrecimiento.

20 20ª.- Un dispositivo semiconductor según la reivindicación 19ª, caracterizado porque están presentes medios para ajustar la tensión de estricción de las regiones de canal de las estructuras JFET por medio de la tensión en los segundos electrodos de mando a un valor al cual los canales se encuentran en corte en la condición no seleccionada, sin que sea posible que tenga lugar una perforación desde los primeros electrodos de mando a

25
30



los segundos electrodos de mando, y en donde durante la lectura circulan corrientes a través del canal en las estructuras JFET seleccionadas que corresponden a la información almacenada.

5 21ª.- Un dispositivo semiconductor según una o más de las reivindicaciones precedentes, caracterizado porque las estructuras JFET están integradas en un cuerpo común junto con medios de control electrónicos que están acoplados a los electrodos de acceso y a las líneas de selección, comprendiendo los medios de control al menos medios para escribir y leer selectivamente los lugares de la memoria.

10

22ª.- "UN DISPOSITIVO SEMICONDUCTOR PERFEC
CIONADO".

15

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de cuarenta y seis hojas escritas a máquina por una sola cara.

20

Madrid, 24. FEB. 1978

P.A.

25

Alberto de Elzagu
Por

30
17.2.78
JMM/.

[Handwritten signature]

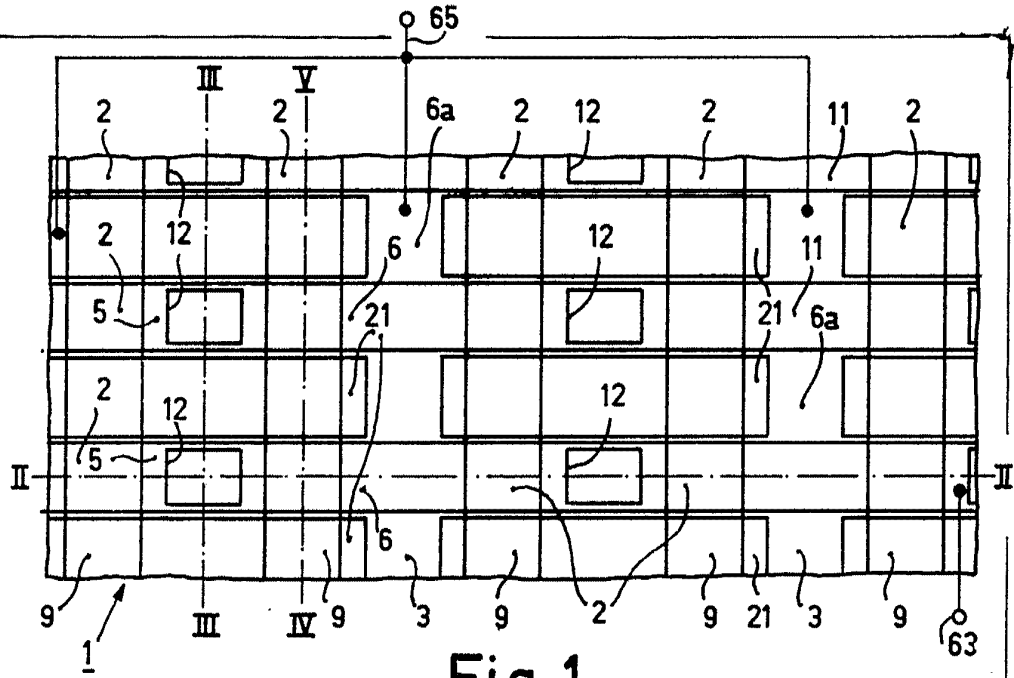


Fig. 1

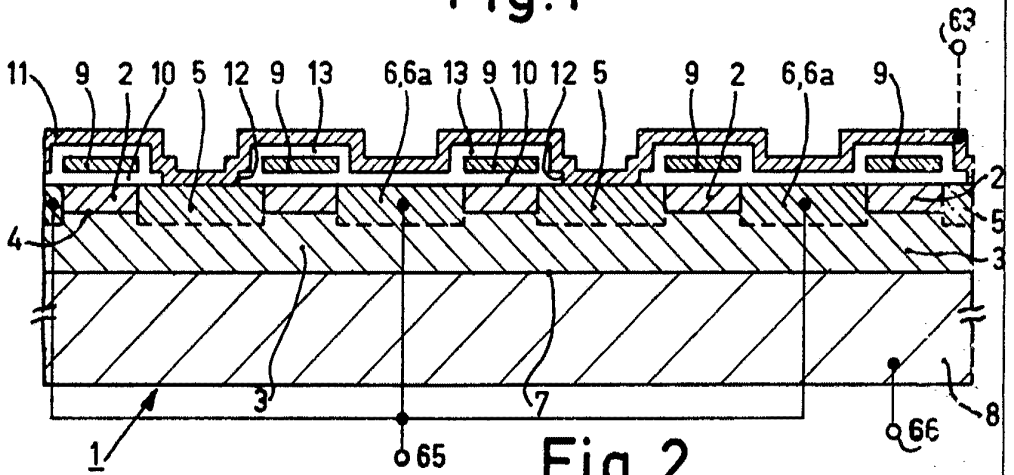


Fig. 2

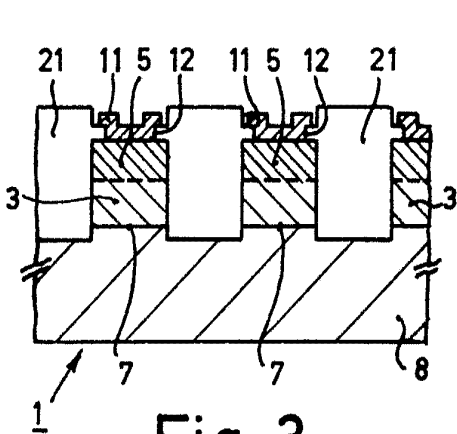


Fig. 3

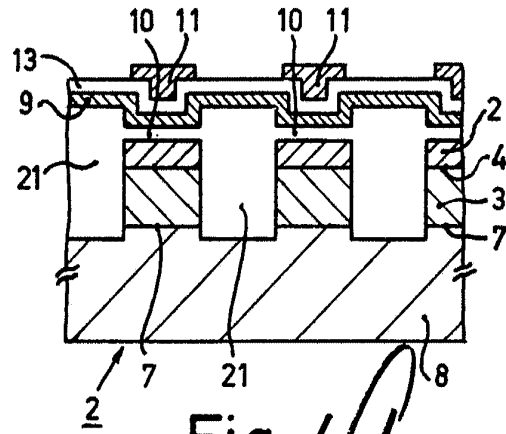


Fig. 4

Alberto de Finkbeiner
Por Podar

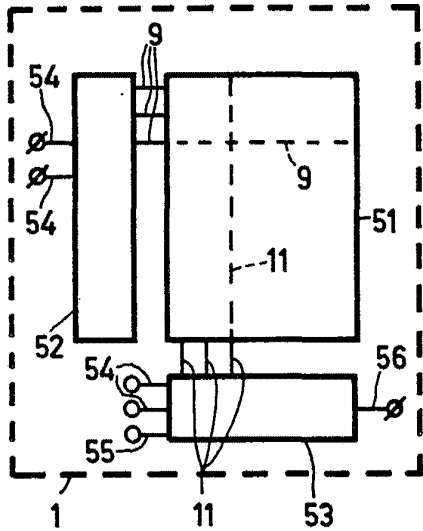


Fig. 5

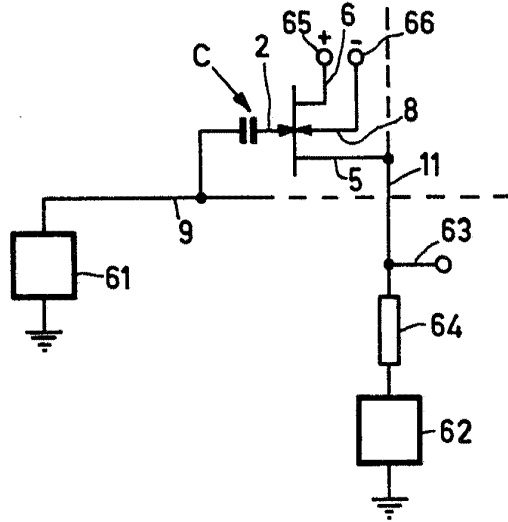


Fig. 6

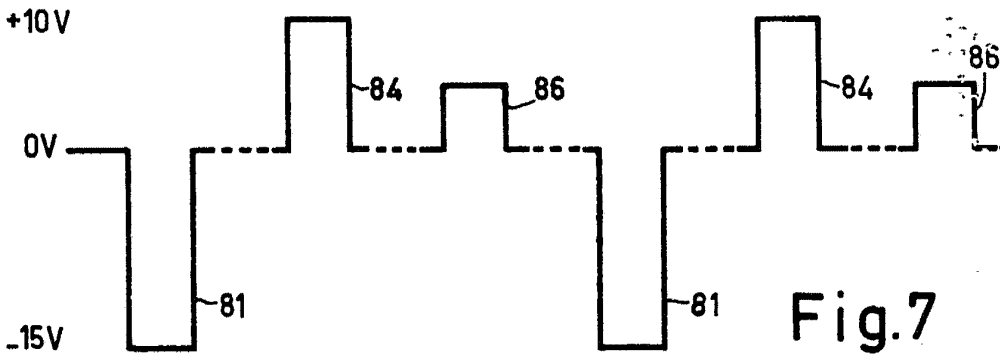


Fig. 7

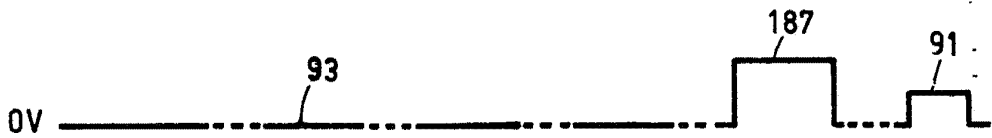


Fig. 8

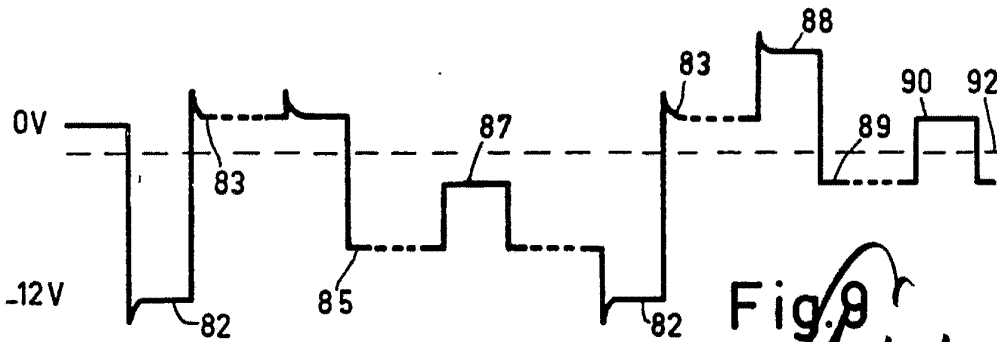


Fig. 9

Alberto de Ezzaburu
For Patent