

MINISTERIO DE INDUSTRIA Y ENERGIA

Registro de la Propiedad Industrial



ESPAÑA

(10) ES	(11) NUMERO 466355	(10) A1
(21)	(22) FECHA DE PRESENTACION 26 ENE. 1978	
(23)	20 DIC. 1978	

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria a junta.

PATENTE DE INVENCION

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL H04M	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	---	--

(54) TITULO DE LA INVENCION " Sistema perfeccionado de teleconexión de aparatos eléctricos mediante teléfono automático "

(71) SOLICITANTE (ES) D. ROBERTO DONATO ROJAS (Nacionalidad española)

DOMICILIO DEL SOLICITANTE MADRID - Plaza Coimbra, 7

(72) INVENTOR (ES) D. ROBERTO DONATO ROJAS (Nacionalidad española)
--

(73) TITULAR (ES)

(74) REPRESENTANTE D. Carlos Roeb Ungehauser
--

1 En la patente nº. 452.467 concedida con fecha 7-10-77 a
nombre del mismo solicitante de la presente patente, se
consegua el mismo fin pero por distintos caminos.
5 Aquella se funda en un decodificador electromecánico, el
cual ejecuta la orden de CONEXION o DESCONEXION partiendo
de varias llamadas telefónicas, compuestas cada una de
ellas por un número determinado de activaciones del tim-
bre telefónico receptor, constituyendo la clave o código,
10 dichas activaciones del timbre o "timbrazos" son captados
por un micrófono y convertidos en pulsos eléctricos por
medio de un transductor y enviadas al decodificador para
su analisis, y cumplir la orden si la clave es correcta.
15 La experiencia nos ha demostrado que, si bien el sistema
es perfectamente válido, su fiabilidad no es completo de-
bido a que, por un lado, las activaciones del timbre te-
lefónico en ocasiones sus secuencias no son regulares, por
otro lado, los timbrazos que escuchamos no siempre corres-
ponden con los efectuados en el teléfono receptor, por lo
20 que, a veces es difícil conseguir la clave a la primera.
Tambien hay que tener en cuenta la incomodidad de tener
que efectuar la clave por medio de tres o más llamadas,
con la probabilidad de poderse equivocar en alguna de
25 ellas al " marcar " el número del teléfono receptor, o
incluso al contar el número de timbrazos de cada llamada,
siendo logicamente la probabilidad de equivocación más
alta cuanto más timbrazos compongan la llamada, aparte
de ser incómodo por el tiempo invertido existe, como he-
30 mos dicho, el riesgo de error.

1 El procedimiento que ahora se presenta soslaya todas estas dificultades, teniendo una alta fiabilidad y comodidad para el usuario.

Para mejor explicación y entendimiento de las descripciones diremos que:

5 Llamamos TELECONECTOR al aparato que realiza las funciones de DESCOLGADO AUTOMATICO, analisis de la CLAVE y si ésta es correcta, la CONEXION o DESCONEXION, según en la función que se encuentre, o sea si está en DESCONEXION

10 efectuará una CONEXION y así alternativamente.

La CLAVE o CODIGO empleado, se realiza en una SOLA LLAMADA al teléfono receptor,

La LLAMADA consta de TRES O MAS SUBCODIGOS

15 El SUBCODIGO de 1 a 9 PULSOS SONOROS

Llamamos pulso SONORO a cortos sonidos o pitidos producidos por el emisor de clave

Llamamos PAUSA LARGA la que existe entre dos SUBCODIGOS

Llamamos PAUSA CORTA la que existe entre dos PULSOS SONOROS.

20

El actual procedimiento consiste en realizar UNA sola llamada enviando la CLAVE a través del propio teléfono, por medio de unos PULSOS SONOROS codificados generados por un pequeño EMISOR automático, de forma que no hay que contar, ni estar pendiente de su producción. Al ser tanto

25 los pulsos sonoros como las pausas de muy corta duración, comparados con los timbrazos telefónicos se pueden constituir CLAVES más complejas y largas, siendo al tiempo

30 de transmisión notablemente más corte.

1 Por lo explicado anteriormente las ORDENES de conexión o desconexión se efectúan en cuestión de segundos de una forma segura y cómoda.

Para efectuar una ORDEN de conexión o desconexión se procede de la siguiente forma:

5 Una vez " marcado" el número del teléfono correspondiente o receptor y después de una pausa oiremos las activaciones del timbre o "timbrazos" a un número determinado de ellos, generalmente mayor de siete, se realiza el descolgado automático de aquel durante un tiempo prefijado, equivalente a la duración de la CLAVE más el tiempo que dura la contestación sonora con un margen de seguridad. 10 Al efectuarse el descolgado queda establecida la comunicación telefónica entre ambos teléfonos; aproximando a nuestro microteléfono el emisor de clave, la cual se produce automáticamente con el simple hecho de oprimir un pulsador, se entiende lógicamente que la clave emitida es la que corresponde a nuestro teleconector, y se transmite en aproximadamente 3 segundos. Coincidiendo con el último PULSO SONORO que corresponde a la clave, oiremos por nuestro auricular un sonido armónico como contestación de que la ORDEN se ha cumplido. Si la orden ejecutada ha sido la CONEXION oiremos un sonido continuo y si 15 es la DESCONEXION un sonido intermitente; teniendo de esta forma la certeza de que todo ha funcionado correctamente. 20

25 El equipo de teleconexión se compone de : Emisor de clave, Transductor, y Descolgador automático, y Decodifica- 30

dor.

A continuación vamos a describir cada uno de estos dispositivos.

EMISOR AUTOMATICO DE CLAVE.- Consiste en un pequeño oscilador- amplificador y un programador, capaz de producir unos pulsos sonoros codificados según la clave establecida.

Descripción del esquema eléctrico (fig. 1)

Su funcionamiento es el siguiente: Al poner el circuito bajo tensión al oprimir un pulsador, un reset prepara a los Circuitos Integrados (1) y (2) para partir de cero, seguidamente un circuito monoestable formado por dos Circuitos Integrados (CI) (3) (4) genera el pulso necesario para que el contador (1) prepare el primer subcodigo y a través de una matriz de diodos convenientemente diseñada, llegará la información a un CI contador con preset, almacena la información aprovechando el pulso generado por el monoestable, seguidamente al CI (5), que funciona como oscilador de baja frecuencia, entra en función y éste a su vez desbloquea otro oscilador en el mismo CI (5). Los pulsos de baja frecuencia se van introduciendo a la par al contador (2) por su entrada de reloj, contando los pulsos hasta el número programado. El circuito monoestable (3) y (4) emite otro pulso haciendo avanzar el contador (1) y nuevamente por la matriz de diodos se programa el segundo y siguientes subcodigos. El CI (5) manda a un amplificador de baja frecuencia (6) que por medio de un altavoz (7) hace audibles las señales programadas,

1 parándose una vez emitida la serie de pulsos sonoros, quedando preparado para una nueva emisión.

TRANSDUCTOR- DESCOLGADOR AUTOMATICO

5 Se parte de los sonidos producidos en primer caso de los timbrazos telefónicos y en segundo caso de los pulsos sonoros emitidos que componen la clave. Los primeros son captados por un microfono situado debajo y próximo del timbre telefónico, que envia al transductor y éste una vez convertidos en pulsos eléctricos activan una memoria y ésta a su vez a un retardo por un lado y por otro a un temporizador. El descolgado se efectua después de transcurridos un número determinado de timbrazos, generalmente mayor de 7, con el fin de evitar descolgados producidos por llamadas no deseadas o equivocadas.

10 Una vez efectuado el descolgado entra en funciones el decodificador, hasta ese momento desconectado electricamente, para evitar su desgaste prematura e inutil.

15 El tiempo de Descolgado es fijo para cada TELECONECTOR, de una magnitud igual al de emisión de la clave más la contestación con un margen de seguridad, transcurrido ese tiempo (de segundos) se desactiva el solenide que comanda el mecanismo y se produce el Colgado.

20 DESCRIPCION DEL CIRCUITO DE DESCOLGADO (Fig.2)

25 Este circuito está compuesto principalmente de las siguientes partes. Una memoria, dos temporizadores y un retardador.

30 MEMORIA.- Al ser captado el primer timbrazo por el microfono (1) es enviado este pulso para activar el relé (2)

1 y éste a la memoria y ésta a su vez al retardo. Esta memoria se compone fundamentalmente de los transistores T5 y T6. Al llegar el pulso del relé (2) a T6 derivandose a masa su base y quedando bloqueado, manteniendo un valor lógico "1" en su colector, poniendo en conducción a T5, dando éste tensión al retardador. T5 al conducir mantiene un "0" en su colector por lo que T6 se bloquea.

5 RETARDADOR.- este produce un retardo en la ejecución de la orden de descolgado enviada por la memoria. El tiempo de retardo es ajustado por la resistencia (3) y el condensador (4), determinando el nº de timbrazos que tiene que haber para que se produzca el descolgado.

10 Al bloquearse T6, el condensador (4) se va cargando hasta almacenar una tensión determinada, descebandose sobre la puerta del tiristor (5), entrando éste en conducción.

15 PRIMER TEMPORIZADOR.- Al entra en conducción el tiristor (5) cargandose el condensador (6) y al alcanzar un valor determinado polariza a T8 y éste excita al relé (7) mandando señal a la base de T9. Al funcionar el relé (7), la alimentación de la memoria y del retardo queda cortada descebandose el tiristor (5) dejando éste también de conducir. T8 se mantiene polarizado gracias al condensador

20 (6).

25 El conmutador electrónico se encarga de pasar la orden de descolgado siempre que el número de timbrazos sea el prefijado, o rechazarla cuando sea menor.

30 Al conducir T8 manda tensión de polarización a T9 durante

1 un cierto tiempo, si mientras transcurre este tiempo no se produjera ningún timbrado, T9 no llega a conducir. Una vez acabado el tiempo se produce el descebado de T8 por lo que todo el circuito vuelve al estado inicial.

5 Si mientras el tiempo que está conduciendo T9 se produce el último de los timbrados prefijados, el transductor manda tensión al emisor de T9, estando su base polarizada, entonces T9 conduce.

10 2º TEMPORIZADOR.- Al conducir T9, el condensador (8) se va cargando durante un tiempo fijado entrando T10 en conducción y excitando al relé (9). Gracias al condensador (8), T10 se mantiene polarizado durante un tiempo.

15 El relé (9) desempeña las siguientes funciones: 1º.- Da tensión a la bobina del descolgador a través del puente rectificador (10) por lo que se produce el descolgado a un número determinado de timbrados.

2º.- Da tensión al decodificador quedando este preparado para recibir los pulsos sonoros de la clave.

20 3º.- Desconecta el retardador y la memoria evitando que los pulsos mandados al decodificador pongan en funcionamiento ésta última.

25 Una vez transcurrido el tiempo previsto en este segundo temporizador, T10 deja de conducir, volviendo el circuito al estado inicial, quedando preparado para un nuevo funcionamiento.

DECODIFICADOR.

30 Es el dispositivo que analiza el código o clave establecida, si ésta es correcta de paso a la ejecución de la

1 orden, conexión o desconexión, si no es correcta el dispositivo se vé a "cero", quedando en disposición de un nuevo análisis de clave.

5 El segundo micrófono, el cual está próximo al auricular del microteléfono receptor, con el fin de recoger con fidelidad los pulsos sonoros emitidos como código o clave, enviándolos al transductor, el cual una vez amplificados, activa su relé de salida transmitiendo los pulsos al decodificador.

10 La orden de conexión o desconexión se efectua en clave y en UNA SOLA LLAMADA TELEFONICA, cuya CLAVE está compuesta de 3 o más subcódigos consecutivos (aunque aquí hablaremos de solamente 3) compuestos de 1 a 9 pulsos sonoros cada subcódigo.

15 La forma de trabajo del DECODIFICADOR debe ser tal, que sea capaz de contar, por un lado los subcódigos sin error posible, sin introducir un número de pulsos superior al enviado, si existiesen rebotes en el relé, registrarlos en el correcto orden de llegada y analizando su correspondencia con la clave, por el otro lado, contar el número de pulsos sonoros con el número y en el orden preestablecido.

20 Este Decodificador está constituido principalmente, por 25 Circuitos Integrados Electrónicos, cuya función es la siguiente:

30 Cada uno de los contactos del relé de salida del transductor, que es activado por los pulsos SONOROS del EMISOR de clave, están conectados a una borna diferente de un

1 circuito antirrebote, cuya salida ataca por un lado a un
circuito de inhibición y por otro a un circuito detector
de presencia de pulso; el circuito de inhibición está
5 constituido por dos puertas NAND, las entradas de una de
ellas, se ven atacadas respectivamente por las salidas de
peso 2 y 8 de un contador binario, atacando la salida de
esta función NAND, simultáneamente con la entrada de pul-
sos a contar a la segunda función NAND, cuya salida consti-
tuye la entrada en el contador binario, con la garantía
10 de que la cuenta nunca será superior a 9; la misma señal
que ha atacado al circuito de inhibición ataca un detec-
tor de presencia de pulso, constituido por una báscula
monoestable rearmable, la cual báscula cuando los pulsos
15 recibidos dejan de llegar en un intervalo de tiempo pre-
determinado; de esta báscula monoestable rearmable salen
tres señales; una de puesta a cero del contador binario,
otra que acumula un pulso de un contador de subcódigos
y la tercera que ataca una segunda báscula monoestable,
20 la cual activa un circuito constituido como puerta de
transferencia, pasado la información contenida en el con-
tador a un decodificador binario decimal; el contador bi-
nario, va incrementando su cuenta hasta nueve según el
número de pulsos recibidos en cada subcódigo, y siempre
25 que las pausas cortas correspondan al tiempo preestable-
cido el decodificador binario decimal, posee nueve sa-
lidas, en las que se seleccionan tres, como subcódigos
primero, segundo y tercero, y se comparan estas salidas
30 con los correspondientes al contador de subcódigos en tres

1 circuitos NAND, cuyas salidas atacan otro circuito NAND, éste de tres entradas, en el cual, solo hay señal si está
5 activado el número correspondiente al subcódigo en el orden que está preestablecido y no los otros dos; esta señal pasa a un circuito memoria final y a través de ella a un temporizador para mantener esta situación el tiempo suficiente, activando unos relés amplificadores, se complementa con un circuito de puesta a cero de encendido, un segundo circuito de puesta a cero, si entre dos subcódigos consecutivos transcurren más del tiempo previsto
10 y un tercer circuito de puesta a cero, que actúa si no hay almacenamiento correcto en el contador de entrada.

15 Las señales que proceden del relé de salida del transductor se hacen pasar por un circuito antirrebote constituido por dos circuitos NAND. Estos circuitos están constituidos por dos entradas y una salida, se conexionan de la siguiente forma: una de las entradas de cada uno de estos circuitos NAND se conectan a una u otra de las dos posibles del relé, que son 5 voltios c/c. o cero voltios. Cada una de las otras entradas de cada circuito NAND se conecta a la salida del circuito contrario. De este modo, dicho circuito antirrebote, mantendrá cero voltios en una de las salidas y 5 voltios en la otra, sin variar de posición hasta que el contacto del relé llegue físicamente al otro extremo.
20
25

30 El detector de presencia de pulso está constituido por un circuito integrado tipo 74.122 o similar, que es un multivibrador monoestable rearmable, el cual tiene la caracte-

1 terística de que mantiene el pulso durante un periodo de
tiempo prefijado, que en este caso es precisamente ligeramente
5 superior a la duración de un subcódigo y la pausa
larga subsiguiente, manteniendo el pulso si, antes de ha-
ber terminado su tiempo preestablecido, se le vuelve a
inyectar un nuevo impulso.

El contador binario está constituido por un circuito in-
tegrado tipo 7493 o similar, que es un contador binario
10 que, recibiendo hasta nueve impulsos a la entrada, los
convierte en un código binario, cuyas salidas a través
de unos circuitos de puerta atacan a un decodificador,
que convierte esta entrada binaria en una salida decimal
activando una de las nueve puertas de salida que tiene
15 el mismo que es, a su vez, un circuito integrado tipo
7442 o similar; una vez seleccionado el código, estas
tres salidas, pasando cada una de ellas por un circuito
inversor, se conectan a una de cada dos entradas de un
circuito NAND, cuya segunda entrada va conectada a la
20 salida del contador de subcódigos primero, segundo o ter-
cero, según corresponde, con lo que comparan si el có-
digo es el que corresponde a lo preestablecido.

El circuito detector de presencia de pulsos está conecta-
do con un circuito de tipo 7492 o similar, que funciona
25 como registro de desplazamiento, el cual cumple la misión
de contar los subcódigos que se vienen produciendo, ob-
teniéndose, de esta forma señal en una de sus tres sali-
das correspondientes al primero, segundo y tercero, sub-
30 códigos respectivamente.

1 Las salidas del circuito contador de subcódigos se com-
para con las correspondientes del decodificador binario
decimal, preseleccionados como subcódigos para el prime-
ro, segundo y tercer subcódigos respectivamente en tres
5 puertas NAND, cuyas salidas atacan una cuarta puerta NAND
de tres entradas, a cuya salida solamente existe señal,
si el subcódigo corresponde a la clave correcta.

La señal obtenida a la salida del circuito NAND de tres
puertas, ataca un nuevo circuito integrado del tipo 7492
10 o similar, haciéndole actuar como registro de despla-
zamiento, de tal manera que al haber recibido ya los tres
subcódigos correctamente, envía un impulso al circuito
de conexión o desconexión, y simultáneamente un nuevo
15 impulso para puesta a cero de todo el dispositivo deco-
dificador.

El circuito de memoria final actúa también como registro
de desplazamiento de tal modo que, cuando el tercer sub-
código ha llegado correctamente excita un circuito in-
20 tegrado tipo 74121, que es un relé monoestable, el cual
mantiene durante un tiempo del orden de 5 segundos a un
relé que cierra los circuitos necesarios para que se le-
vante el microteléfono o el contrapeso equivalente y pro-
duzca la conexión o desconexión deseada, así como la con-
25 testación sonora.

La puesta a cero cuando el código está equivocado, se
realiza mediante un circuito integrado tipo 74121 que es
sustancialmente un relé monoestable, que al ser incorrec-
30 to el código tiene un cero en la salida de los circuitos

1 de puerta, no inhibiendo por ello el funcionamiento del
circuito 74121 y poniendo a cero el circuito de identifi-
cación de subcódigos y la memoria final cuando se ponga a
cero el contador binario de entrada.

5 Un circuito integrado analógico temporizador tipo 555 es
similar, que está programado para poner a cero todos los
circuitos, si en el intervalo establecido no se ha pro-
ducido otro subcódigo en cuyo caso empezará a contar de
nuevo.

10 El circuito de puesta a cero de encendido, está consti-
tuido por un circuito RC con una constante de tiempo co-
nectado a la red y ataca a un transistor lo cual si, por
cualquier causa, se fuese la energía eléctrica, al volver
15 se generaría un pulso que pondría a cero todos los cir-
cuitos, pero sin variar la función que en ese momento
está desempeñando el teleconector.

20 En el sistema actual se significa que, en el ejemplo que
seguidamente vamos a exponer para facilitar la compren-
sión del dispositivo, se han empleado circuitos integra-
dos de lógica a base de transistores como los conocidos
de la serie 74, si bien pueden emplearse otros circuitos
25 integrados cualesquiera, componentes o semiconductores,
que abaratando el producto, cumplan la misma función ló-
gica que los reseñados, quedando todos estos tipos de cir-
cuitos comprendidos y protegidos por el presente registro.
Consecuentemente con lo anteriormente expuesto, los es-
quemas y diagramas diseñados en las siguientes figuras,
30 no son más que un ejemplo de realización, sin caracter.

1 alguno limitativo.

La fig. 3 presenta un diagrama de bloques de la transmisión de información en el circuito decodificador que describimos.

5 La fig. 4 describe el conexionado utilizado en el decodificador, en el cual se ha prescindido para mayor claridad de las conexiones de alimentación y polarizaciones necesarios para el funcionamiento de cada circuito integrado.

10 En las figs. 5 a 12 se describen los diversos tipos de circuitos empleados, con los conexionados y polarizaciones necesarias para que desempeñen las misiones previstas.

15 En la fig.13 se describe el circuito de alimentación. Con referencia a estas figuras y a los números y letras representados, la descripción de las mismas es como sigue:

20 El diagrama de bloques dibujado en la fig.5 corresponde a un decodificador diseñado utilizando fundamentalmente circuitos integrados TTL de la serie 74 y un circuito analógico 555. La nomenclatura empleada es actualmente bien conocida en la industria electrónica, pero por ser su empleo muy reciente, conviene señalar, para que aquellas personas no especialmente familiarizadas con la misma comprendan perfectamente la exposición, los siguientes extremos.

25
30 Las señales son de dos tipos: llamaremos señal cero a aquella señal que corresponde a cero voltios, y que es

1 la que existirá durante las pausas entre los distintos
pulsos sonoros, y denominaremos señal 1 la correspondien-
te a la tensión aplicada que, en este caso, es de cinco
voltios de corriente continua. También conviene destacar
5 que los contadores empleados en el circuito que vamos a
describir, funcionan con pulsos de bajada, es decir, cuen-
do se pasa del estado 1 al estado cero. Evidentemente es-
to es una de las opciones elegidas, puesto que del mismo
modo se podían haber utilizado contadores que funcionasen
10 con pulsos de subida.

Recordados estos conceptos, describiremos el diagrama de
bloques de la fig. 3 en el cual se puede seguir el flujo
de señales en todas las diferentes direcciones, que tie-
nen por objeto, como sabemos, el producir el funcionamien-
15 to con el consiguiente conectado o desconectado de los
aparatos eléctricos instalados en un residencia alejada
de donde esté ubicado el teléfono automático desde el que
se hace la llamada.

20 El flujo de señal, sobre el diagrama de bloques de la fig.
2 es el siguiente: el relé accionado por el captor de
pulsos sonoros puede tomar dos posiciones perfectamente
identificables. Este relé ataca un circuito báscula AS
cuyo objeto es eliminar los rebotes originados por los
25 contactos del relé. Como ya hemos indicado someramente
esto se realiza atacando con cada una de las dos entra-
das del relé a una de las dos entradas de cada uno de dos
circuitos NAND cuya segunda entrada se ve atacada por la
30 salida del otro circuito NAND. De este modo obtenemos que

1 en las salidas no interconectadas de cada uno de los cir-
cuitos NAND, existirá un 1 y un cero respectivamente, no
cambiando el de 1 a cero y el de cero a 1, precisamente
hasta que el relé, después de abandonar un contacto ha
5 llegado a tocar perfectamente en el segundo contacto. De
este modo es obvio que no es posible la producción de pul-
sos durante el recorrido del relé R de una a otra de sus
posiciones.

10 A la salida de esta báscula C1, o circuito antirrebote,
la señal sigue dos caminos distintos, uno de ellos se
dirige hacia una puerta de coincidencia C2 a través de la
cual llega la señal a un circuito integrado que consti-
tuye un contador binario 14.

15 La puerta de coincidencia C2 funciona de la siguiente
manera: por esta puerta entran, juntamente con la señal
proviniente del circuito C1, las señales originadas por
la salida del contador binario de pesos 2 y 8 respecti-
vamente, de tal forma que a partir del momento en que en
20 estas salidas existe una señal 1 se bloquea el paso de
impulsos, y el contador 14 no almacena ningún número su-
perior a nueve como ya se explicó. Este dispositivo ha
sido necesario disponerle, puesto que como máximo cada
subcódigo puede componerse de hasta nueve pulsos, pues
25 cabe la posibilidad de que un subcódigo con una cifra
superior a 9 pudiese ser interpretada erróneamente como
de otro subcódigo que no es el programado, al considerar
las cifras que excediesen en lugar de las del código de-
30 seado.

1 La señal proveniente del circuito C1 se encamina también
a un circuito integrado II que constituye un circuito de-
tector de presencia de pulso, el cual está compuesto por
una báscula monoestable rearmable, que cambia de estado
5 a la llegada del primer pulso y permanece así siempre que
los pulsos siguientes lleguen con un mismo intervalo de
tiempo, o con unas variaciones tolerables en este inter-
valo. Con esto se consigue detectar cuando llega el úl-
timo pulso, puesto que a la llegada del mismo la pausa se
10 hace sensiblemente mayor, y el sistema deja de ser inerte
al bascular este circuito integrado II. La salida del cir-
cuito II se mantiene en 1 durante un tiempo superior al
que duran los pulsos sonoros consecutivos.

15 En cuanto entre pulso y pulso, como ya hemos dicho, exis-
te un tiempo que lo rebota, la báscula II cambia de posi-
ción marcando el final del subcódigo y pasando a cero, en
cuyo momento hace bascular al circuito 12 constituido a su
vez por otra báscula monoestable, la cual produce una sa-
20 lida que se inyecta en el circuito MAND N2, cuya salida
está conectada al bloque 15.

25 El bloque 15 es un circuito integrado constituido por
cuatro puertas AND, cada una de estas puertas se pone a
5 voltios, permitiendo de esta forma la transferencia de
la información existente en el contador binario del cir-
cuito 14 al decodificador binario-decimal del circuito
16.

30 Transferida esta información se cierra el circuito de
transferencia o de puerta 15 aislando el contenido del

1 decodificador 16 del contador binario 14 que ya queda dis-
ponible para almacenar la nueva información de la siguien-
te serie, para lo cual es necesario que este contador
vuelva a cero. Por tanto la señal que abre el circuito
5 de puerta 15 ataca también un segundo circuito 13 que es
una puesta a cero diferida que envia una señal al circui-
to 14, a través del circuito NAND N1.

Hemos visto que las señales provenientes del circuito 12
e 13 respectivamente atacaban los circuitos 15 e 14 a
10 través de dos funciones NAND N2 y N1 respectivamente. Ello
tiene por objeto que la función de puesta a cero del cir-
cuito 14 y paso del circuito 15 puedan ser gobernadas tam-
bien cuando ocurran otros fenómenos que analizaremos pos-
teriormente.

15 La información del contador binario ha llegado ya al de-
codificador binario decimal 16, el cual tiene nueve sa-
lidas correspondientes a los nueve pulsos que se pueden
preseleccionar: es en este contador precisamente donde se
20 realiza la preselección del código, al tomar de las nueve
salidas solamente tres de ellas cualesquiera que son las
que corresponden a los tres subcódigos o series de los
que está compuesto el código total.

25 Una vez establecido el código y elegido el valor que se
va a tomar para cada uno de los tres subcódigos, se en-
lazan las salidas correspondientes a estos valores con
tres puertas de coincidencia, a cada una de las cuales
llegan las señales procedentes del decodificador 16 des-
30 pués de pasar por tres inversores S2, S3 y S4 y simulta-

1 neamente la salida correspondiente de un contador de sub-
codigos, el cual está constituido por un circuito 17, con
tador funcionando como registro de desplazamiento, por
5 irse desplazando la señal desde la primera a las otras de
sus tres puertas, de la de menor a la de mayor peso, se-
gún va recibiendo impulsos provenientes del circuito 11
en el cual, como hemos dicho anteriormente, se produce una
señal al terminar cada subcódigo.

10 Estos circuitos de coincidencia están constituidos por
tres puertas NAND N3, N4 y N5 para el primer, segundo y
tercer subcódigo respectivamente, siempre que coincidan
la presencia de señal 1 en el decodificador correspon-
diente al primer subcódigo con el contador de subcódigos
15 correspondientes a la misma, existirá un cero y un 1 a
las entradas del circuito NAND N3, simultáneamente en los
otros dos circuitos coincidirán las señales de modo in-
vertido, teniendo un 1 y un cero en cada una de las en-
tradas de los circuitos NAND N4 y N5. Solamente con esta
20 situación en que existen coincidencia en el número de
pulsos sonoros de un subcódigo y el orden en que ha debi-
do llegar, existirán tres 1 a la salida de los tres cir-
cuitos NAND N3, N4 y N5. Estas tres salidas atacan un
circuito NAND N6 de tres entradas, el cual siempre que
25 sus entradas sean 1 producirá un cero a la salida que,
invertida mediante el inversor S6, producirá un 1 que
atacará al circuito 19 que constituye la memoria final.
Este circuito 19 sustancialmente funcione como registre
30 de desplazamiento, de igual modo que el 27. En este cir-

1 cuito, cuando ha recibido ya los tres subcódigos se pro-
duce señal en la salida de mayor peso, con lo cual se ata-
ca un circuito 18 que mantiene la señal recibida durante
5 unos cinco segundos aproximadamente, para amplificarla en
el bloque D de conexión y desconexión. Esta señal actúa
sobre el relé final conectando o desconectando el contac-
tor que gobierna los aparatos eléctricos.

10 Los inversores S, S1 y S5 tienen la misión de invertir
las salidas, puesto que la entrada a que deben atacar
necesita precisamente para funcionar la contraria.

15 Hasta aquí hemos descrito el funcionamiento de cuenta.
Pasemos seguidamente a describir los circuitos de puesta
a cero, los cuales nos garantizan que el dispositivo parte
de la posición inicial cuando hay un corte en la corrien-
te eléctrica, lo cual podría perturbar la interpretación
de las señales, cuando entre un subcódigo y el siguiente
transcurren más del tiempo establecido para la pausa lar-
20 ga, o cuando no es correcto el subcódigo inyectado por-
que no corresponde con el preseleccionado a la salida
del decodificador 16.

25 Una de estas tres señales se genera con el circuito sim-
bolizado por el bloque C3. La segunda es generada en el
circuito integrado I10. Ambas atacan directamente un
circuito NAND de tres puertas N8. La tercera que se ge-
nera en el circuito integrado I11 simultáneamente con
la que proviene del circuito 13 ataca un circuito NAND
de dos puertas N7, cuya salida es la tercera que ataca
30 al circuito NAND N8.

1 Los circuitos NAND N1, N2, N7 y N8, de hecho funcionan
como puertas NO y puesto que cuando aparece señal cero
en cualquiera de sus entradas o en las dos, se produce
5 señal 1 en su salida. Es evidente que para el funciona-
miento de estos circuitos NAND las entradas tienen que
ser atacadas con señales cero y las salidas tienen que
ser aprovechables con señales 1.

Consiguientemente cuando existe motivo para puesta a cero
por cualquier causa, a la salida del circuito NAND N8
10 existirá señal, la cual se dirige después de haberla in-
vertido por el inversor S7 al circuito NAND N1 para po-
ner a cero el circuito integrado que constituye el con-
tador binario 14 el circuito 12 y el propio circuito 110
15 de puesta a cero y, sin invertir, para poner a cero la
memoria final 19 y el contador de subcódigos 17.

Al circuito III se hace llegar también la salida del
tercer subcódigo después de ser invertida por el inversor
S5, con lo cual se inhibe este circuito en el supuesto
20 de que haya llegado a esta tercer subcódigo, permitiendo
actuar así a los circuitos de puesta a cero restantes.

Sobre la fig. 4 vemos el esquema práctico de realiza-
ción a base substancialmente de circuitos integrados de
la serie 74, en este esquema se han suprimido las pola-
rificaciones, alimentaciones y conexiones no utilizadas de
25 los circuitos integrados, para facilitar su comprensión.
Asimismo se han representado los circuitos integrados
II a III ambos inclusive, que ejecutan la misma función
30 que el bloque representado en la figura anterior, y se

1
5
10
15
20
25
30

han añadido los circuitos integrados 112 a 115, en los cuales están contenidas las funciones siguientes: en el circuito 115 se aprovechan dos de sus funciones NAND para la realización del circuito C1, y las otras dos para las realizaciones del circuito C2.

El circuito integrado 112 contiene también cuatro circuitos NAND que son los representados en la figura anterior con los símbolos N3, N4, N5 y N7, en estos cuatro circuitos se utilizan como se ha indicado anteriormente.

El circuito 113 contiene tres circuitos NAND de tres entradas que son los N8 y N6 cuyo conexionado está representado en este mismo esquema y el circuito N2 que se ha sacado del mismo para no complicar esta figura.

En los circuitos NAND N6 y N8 se han aprovechado las tres entradas diferentes y sin embargo en el circuito N2 representado por separado, se han puenteado dos de las entradas utilizándole como circuito de dos entradas solamente.

El circuito 114 que es un circuito con cuatro funciones NAND, se aprovechan dos de ellas utilizándolas como los inversores S5 y S6.

Por último, en un quinceavo circuito integrado conteniendo cuatro funciones NAND de dos entradas, se emplea una de ellas en la función NAND N1 y las otras tres, puenteando sus dos entradas, se aprovechan como inversores para obtener los S2, S3 y S4.

En esta fig.4 y para evitar complicaciones del esquema se han representado los circuitos integrados, señalando únicamente las distintas patillas de cada circuito y la

1 muestra que identifica su posición relativa.

5 En las figuras siguientes señalaremos la constitución de cada una de estos circuitos y su conexionado exterior, completo lo que no se ha realizado en la fig.4 con objeto de facilitar su comprensión. En la figura 4, se han respetado únicamente la situación relativa de las entradas y salidas en las distintas patillas de cada circuito integrado, para poderlas identificar con las de las figuras siguientes en las que se explicarán el conexionado de cada tipo de circuito integrado.

10 En esta figura 4 se ha designado con 1 la entrada de tensión continua que es a cinco voltios estabilizada, obtenida del estabilizador que describiremos en la fig. 13.

15 Los puntos 4 están a masa y los puntos 2 y 3 identifican la misma tensión sobre las figs. 3 y 5. En esta misma figura se han representado con los símbolos conocidos en electrónica los condensadores electrolíticos, condensadores, diodos y transistores que generan el pulso de puesta a cero cuando se corta la corriente, así como se ha dibujado que la señal de salida del circuito integrado I8, que se mantiene unos cinco segundos, ataca a través de una resistencia y un diodo la base de un transistor con colectores a masa, en la cual se amplifica la señal, que atarvesando el devanado de un relé, establece los contactos de conexión y desconexión de los aparatos eléctricos objeto de este sistema.

20

25

30 Sobre la figura 5 se representa esquemáticamente el circuito integrado T.T.L. 7400 de Logio Transistor Transis-

1 ter. Este es un circuito que contiene cuatro funciones
NAND. En los sucesivo al referirnos a las patillas del
circuito integrado los llamaremos primero, segundo, ter-
5 cero, etc, etc., a partir de la muesca 52 y recorriendo
el sentido contrario a las agujas de un reloj en dicho
circuito integrado. En el caso de esta figura la primera
seria la 7' y la catorceava la señalada con 1.
Circuitos de este tipo son los 112, 114 e 115 que vamos
a describir seguidamente.

10 El circuito 112 se utiliza de la siguiente forma: las
entradas 5' y 5'' y la salida 5 constituyen el circuito
N5. Las entradas 6', 6'' y la salida 6 constituyen el
circuito N4 y las entradas 7', 7'' y la salida 7 consti-
tuyen el circuito N3. Por último las entradas 8', 8'' y
15 la salida 8 constituyen el circuito N7 de la señal de
puesta a cero.

Respecto al circuito 114 se utilizan dos de las funcio-
nes NAND del mismo como inversores, uniendo las patillas
20 6' y 6'' y las patillas 7' y 7''. El conjunto del circuito
NAND 6 constituye el inversor S5 y el circuito NAND 7
constituye el inversor S6.

25 El circuito 115 se obtiene conectando las patillas 5' y
5'' respectivamente a las salidas del contador binario
14 de peso 2 y 8 respectivamente y la salida 5 a la en-
trada 6' mientras que la entrada 6'' se conecta a la sa-
lida ⁸ y a la entrada 7'. Con estas dos funciones NAND su-
periores se consigue el circuito inhibidor que limita a
30 9 la cuenta del contador binario.

1
5
10
15
20
25
30

Con los dos circuitos NAND de la parte inferior se consigue el circuito antirrebote. Las entradas a este circuito son las patillas numeradas con 7'' y 8'', la 7 se une a la 8' y la 8 a la 7' como hemos indicado anteriormente, con lo cual se obtiene el efecto deseado.

Sobre la fig. 6 se ha esquematizado el circuito 7410 que está constituido por tres puertas NAND de tres entradas, de las cuales se utilizan solamente dos, empleándose como puerta N6 la de las entradas 10', 10'', 10''' y salidas 10 y como puerta N8 la de las entradas 11', 11'' y 11''' y salida 11.

Los pins 9, 9', 9'' y 9''' consiguientemente no se aprovechan.

Sobre la fig.5 se ha presentado el circuito 7408 que es un circuito integrado compuesto por cinco funciones AND. Este circuito 15 hace de puerta de transferencia, de modo que cuando haya señal proveniente del circuito NAND N2 toda la información que está a la entrada de los cuatro circuitos AND llega a la salida y consiguientemente entra en el circuito integrado 16 que como hemos repetido es un decodificador binario-decimal.

En este circuito se inyecta la salida del circuito NAND N2 en las entradas 12'', 13', 14'' y 15' y en las entradas 12' se inyecta la señal proveniente del circuito 14, que es un circuito 7493 que estudiaremos posteriormente, de peso 1, saliendo por la salida 12 la correspondiente señal de peso, 1. En la entrada 13'' se inyecta la salida de peso 4 saliendo por la 13, en la 14' la salida de

1 peso 8 saliendo por la 14 y en la entrada 15'' la salida
de peso 2 que sale por la 15.

5 Sobre la fig.8 está representado el circuito 7442 que es
el decodificador binario decimal 16. Las entradas de este
circuito son las 16, 17 , 18 y 19 en las que entran res-
pectivamente, provenientes del circuito integrado 15, que
es el de puerta de transferencia las señales del contador
binario de peso 1,2,4 y 8 respectivamente, saliendo por
las patillas 23, 24, 25, 26, 27, 28, 22, 21 y 20 respec-
10 tivamente señales de 1 a 9.

Sobre la fig.9 se esquematiza el circuito 7492 que co-
rresponde a los 17 e 19, en este circuito las salidas es-
tán representadas con los números 29, 30 y 31 y se ve que
hay un acoplo entre la tensión de entrada y masa a través
15 de un condensador exterior 33.

En el circuito 17 se utiliza como contador de subcódigo
actuando este circuito integrado 7492 como registro de
desplazamiento. Va situando señales sucesivamente en las
20 bárnas 29,30 y 31 según se haya efectuado el primer, se-
gundo o tercer subcódigo respectivamente, mientras que en
el circuito 19 de memoria final solamente se toma señal
de la 31 que aparece, lógicamente cuando ya ha llegado
el tercer subcódigo.

25 En la fig.10 se representa un circuito integrado del tipo
7493 que es el contador binario 14, en este circuito como
en el de la fig. 9 los pulsos a contar entran por la en-
trada 34, existe también un condensador de desacoplo 33
y cuatro salidas de peso 1, 2, 4, y 8 numeradas de la
30

1 misma forma que en la fig. 8 con los números 16, 17, 18 y
19 respectivamente, puesto que las salidas de este circui-
to serán las entradas del circuito de la fig.6 después de
5 haber pasado por la puerta de coincidencias de la fig.5.
Sobre la fig. 11 se muestra el conexionado del circuito
74121 que es un circuito báscula monoestable, en el que
las conexiones de alimentación, tierra y salida 34 son las
mismas para los circuitos 12, 13, 18 e III variando su
utilización solamente en los siguientes extremos: en el
10 circuito 12 la entrada se hace por la borna 35 aplicando
al punto 36 la tensión de polarización de cinco voltios
de continua que se saca del punto 1 a través de una re-
sistencia, lo cual se hace para garantizar que en esta
15 patilla siempre haya la situación 1; la patilla 37 no se
utiliza.
En la salida 34 que es por la patilla primera de este
circuito se consigue la señal invertida.
Para el circuito 13 se consigue la señal invertida por
20 la patilla 34 y la señal sin invertir por la 37, inyec-
tándose la señal por la patilla 36 y poniendo a tierra
el terminal 35.
En el circuito 18 tambien se pone a tierra la patilla
25 35, no se utiliza la 34 y se toma la salida de la 36, in-
yectándose la señal por la 36.
Por último, para el circuito III se obtiene la salida
invertida por 34, la señal de entrada se inyecta por 36
y por 35 se inyecta la señal de puesta a cero.
30 Sobre la fig.12 se esquematiza el conexionado del cir-

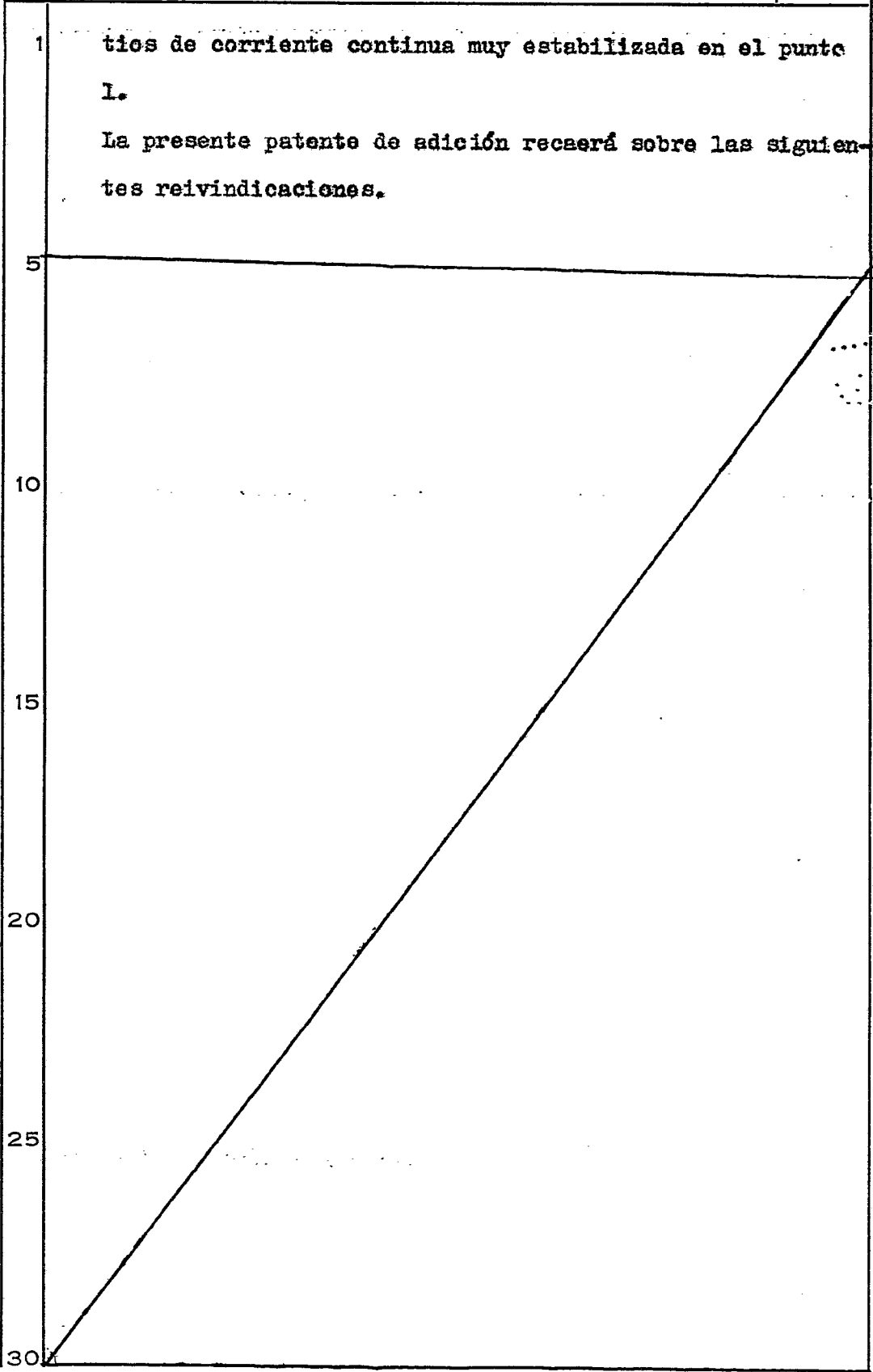
1 cuito integrado 74122 que es un circuito báscula monoes-
table rearmable. En este circuito, II sobre las figs. 1 y
2, se obtiene una salida directa por 38 y una salida in-
vertida por 39, en 40 se inyecta la puesta a cero y en 41
5 la llegada de pulsos desde la salida del circuito antirre-
bote.

El circuito 110 está constituido por un circuito analógi-
co del tipo 555.

10 Tanto el conexionado como las polarizaciones necesarias
para este circuito aparecen dibujadas en la fig. 4. Este
circuito sirve para la puesta a cero del sistema si, a los
cinco o más minutos no se recibe información de la llama-
da sucesiva, lo cual indicaría que se está detectando un
15 código muy posiblemente erróneo.

La puesta a cero de encendido se hace con un circuito a
transistores también diseñado sobre la fig. 4.

20 Por último, sobre la fig. 13 se presenta el esquema de la
fuente de alimentación a utilizar que consiste en un trans-
formador con secundario de toma central simétrica, con lo
cual se puede rectificar la onda completa, con la sola
utilización de dos diodos 48 rectificadores, la entrada
en corriente alterna se hace entre las bornas 42 y 43 a
través de un fusible 44 de medio amperio, existiendo en
25 bornas de ellas un condensador 45 para evitar el rizado
y teniendo la posibilidad de utilizar 125 ó 220 voltios
según se ponga la palanca en 46 o en 47 respectivamente.
El filtro de salida se completa con los condensadores 49,
30 51, y 50, estando el punto 4 a masa y obteniéndose 5 vol-



REIVINDICACIONES

1
5
10
15
20
25
30

1.- Sistema perfeccionado de teleconexión de aparatos eléctricos mediante teléfono automático, caracterizado porque consta de un teleconector constituido por un transductor, realizando dos misiones, 1ª por medio de uno de los dos micrófonos en paralelo que tiene el sistema, recoge las señales producidas por las activaciones del timbre del aparato telefónico receptor, el cual está superpuesto sobre el teleconector, dichas señales una vez amplificadas por el transductor, activan un relé y este alimenta y pone en funcionamiento el circuito descolgador con un cierto retardo. Dicho circuito consta de una memoria, dos temporizadores y un retardo. Estos dispositivos hacen que por medio de un segundo relé, por un lado, alimente un solenoide para efectuar el descolgado, bien levantando el propio microteléfono situado en el teléfono receptor o un contrapeso que hace las veces de él, incorporado en el teleconector; el retardo en efectuarse el descolgado equivale a un número determinado de activaciones del timbre. El segundo relé, simultáneamente que activa el descolgador, activa el decodificador, quedando preparado para recibir la clave. Esta es producida por un emisor electrónico automáticamente, en forma de pulsos sonoros codificados a gran velocidad, los cuales son enviados a través de la propia línea telefónica, (ya que ésta quedó establecida al efectuarse el descolgado del teléfono receptor), desde el micrófono del teléfono emisor hasta el auricular del teléfono receptor, donde el

1 otro micrófono instalado próximo al auricular, recoge los
pulsos sonoros, transformados en pulsos eléctricos al
transductor, el cual una vez amplificados activa el primer
relé, y ahora son recogidos por el decodificador eléctrico,
5 al que, al llegar estos según la frecuencia prees-
tablecida, los almacena en memoria y una vez analizados
al compararlos con la clave establecida, si ésta es co-
rrecta, activa un relé temporizado, a cuyo funcionamiento
establece simultáneamente, dos circuitos controlados por
10 dos relés bistables, el primero de ellos activa la con-
exión o desconexión del contactor que gobierna los apar-
tos eléctricos, el segundo de estos relés, selecciona un
sonido audible y diferenciado para la conexión de la des-
conexión.
15
2.- Sistema según reivindicación primera, caracterizado
porque el emisor de clave produce unos cortos sonidos en
forma de pulsos sonoros a alta velocidad, de forma prác-
ticamente imposible de imitar y por lo tanto de conseguir
20 la ejecución de la orden de conexión o desconexión por
otros medios.
3.- Sistema según reivindicación primera, caracterizado
porque el descolgador automático ejecuta la orden de des-
colgado con un tiempo de retardo, o sea después de trans-
25 curridos una serie de timbrazos prefijados, generalmente
mayor de 7, con el fin de evitar en parte descolgados
como producto de llamadas no deseadas o equivocadas.
4.- Sistema, según la reivindicación primera, caracte-
30 rizado porque el dispositivo decodificador está consti-

1 tuido por circuitos integrados electrónicos, conexi-
de la siguiente manera: cada uno de los contactos del re-
lé activado por los impulsos sonoras del timbre del telé-
fona, está conectado a una borna diferente de un circui-
5 to antirrebote, cuya salida ataca por un lado un circuito
de inhibición, y por el otro un circuito detector de pre-
sencia de pulso; el circuito de inhibición, está consti-
tuido por dos puertas NAND, las entradas de una de ellas,
se ven atacadas respectivamente por las salidas de paso
10 2 y 8 de ^{un} Contador binario, atacando la salida de esta
función NAND simultáneamente con la entrada de pulsos a
contar a la segunda función NAND, cuya salida constituye
la entrada en el contador binario, con la garantía de que
15 la cuenta nunca será superior a nueve; la misma señal que
ha atacado el circuito de inhibición ataca un detector
de presencia de pulso constituido por una báscula monoes-
table rearmable, la cual bascula cuando los pulsos reci-
bidos dejan de llegar en un intervalo de tiempo predeter-
20 minado; de esta báscula monoesstable rearmable salen tres
señales; una de puesta a cero del contador binario, otra
que acumula un pulso en un contador de subcódigos, y la
tercera que ataca una segunda báscula monoesstable, la
25 cual activa un circuito constituido como puerta de trans-
ferencia, pasando la información contenida en el conta-
dor binario a un decodificador binario decimal; el con-
tador binario, va incrementando su cuenta hasta nueve
según el número de pulsos recibidos en cada subcódigo;
30 el decodificador binario decimal, posee nueve salidas,

1 en las que se seleccionan tres o más según los subcódigos
establecidos, aunque hablaremos solamente de tres, primero
segundo y tercero, y se comparan estas salidas con las
5 correspondientes al contador de subcódigos en tres cir-
cuitos NAND, cuyas salidas atacan otro circuito NAND, es-
ta de tres entradas, en el cual solo hay señal si está
activado el número correspondiente al subcódigo precisa-
mente del subcódigo por el orden que le corresponda y no
10 los otros dos; esta señal pasa a un circuito memoria fi-
nal y a través de ella a un temporizador para mantener
esta situación el tiempo suficiente, activando unos re-
lés amplificadores que funcionan como los descritos en
la memoria principal; de complemento con un circuito de
15 puesta a cero de encendido, un segundo circuito de puesta
a cero, si entres dos subcódigos consecutivos transcurre
más tiempo del preestablecido, y un tercer circuito de
puesta a cero, que actúa si no hay almacenamiento correc-
to en el contador de entrada.

20 5.- Sistema, según la reivindicación anterior, caracte-
rizado porque el circuito antirrebote está constituido
por dos circuitos NAND conexiónados a los dos contactos
del relé, una entrada de cada uno de ellos, estando la
otra entrada conexiónada precisamente a la salida del
25 contrario; las dos salidas de este circuito antirrebote,
que serán contrarias, no cambian de situación hasta que
el relé no ha tocado el segundo contacto, con lo cual es
imposible generación de pulsos en el recorrido del relé
30 de un contacto a otro.

1 6.- Sistema, según la reivindicación cuarta, caracterizado porque el contador binario está constituido por un
5 circuito integrado tipo 7493 o similar, que es un contador binario que, recibiendo hasta nueve impulsos a la
entrada, los convierte en un código binario, cuyas salidas a través de unos circuitos de puerta, atacan a un
10 decodificador que convierte esta entrada binario en una salida decimal activando una de las nueve puertas de salida que tiene el mismo que, as a su vez, un circuito integrado tipo 7442 o similar; una vez seleccionado el código, estas tres salidas, pasando cada una de ellas por un circuito inversor, se conectan a una de cada dos entradas de un circuito NAND cuya segunda entrada va conectada a la salida del contador de subcódigos primero,
15 segundo o tercero, según corresponde, con lo que comparan si el subcódigo recibido está en el orden preestablecido.

20 7.-Sistema, según la reivindicación cuarta, caracterizado porque el detector de presencia de pulso está constituido por un circuito integrado tipo 74.122 o similar, que es un multivibrador monoestable rearmable, el cual tiene la característica de que mantiene el pulso durante un período de tiempo prefijado, que en este caso es precisamente ligeramente superior a la duración de un subcódigo y la pausa subsiguiente, manteniendo el pulso si, antes de haber terminado su tiempo preestablecido, se le vuelve a inyectar un nuevo impulso, un tiempo contado
25 a partir de este momento. Por otro lado este detector
30

1 de presencia de pulsos está también conectado con un cir-
cuito del tipo 7492 o similar, que funciona como registro
de desplazamiento, el cual cumple la misión de contar los
subcódigos que se vienen produciendo, obteniendo de esta
5 forma señal en una de estas tres salidas correspondientes
al primero, segundo y tercer subcódigos respectivamente.
Dichas tres salidas se comparan con las correspondientes
del decodificador binario decimal, preseleccionada como
1^a, 2^a y 3^a, subcódigos en tres puertas NAND, cuyas sa-
10 lidas atacan a una cuarta puerta NAND de tres entradas,
a cuya salida solamente existe señal si el subcódigo es
el que corresponde al orden preestablecido de acuerdo con
la clave.

15 8.- Sistema, según la reivindicación 6, caracterizado
porque la señal obtenida a la salida del circuito NAND
de tres puertas, ataca un nuevo circuito integrado del
tipo 7492 o similar, haciéndole actuar como registro de
desplazamiento, de tal manera que al haber recibido ya
20 los tres subcódigos correctamente, envía un impulso al
circuito de conmutación y simultáneamente un nuevo im-
pulso para puesta a cero de todo el dispositivo decodi-
ficador.

25 9.- Sistema, según la reivindicación anterior, carac-
terizado porque el pulso salido de la memoria final, ex-
cita un circuito integrado tipo 94121 que es un relé
monoestable, el cual mantiene durante un tiempo del or-
den de cinco segundos a un relé que cierra los circuitos
30 necesarios para que se produzca el sonido armónico de

1 contestación y se conecten o desconecten los aparatos eléctricos deseados.

5 10.- Sistema, según la reivindicación 2, caracterizado porque la puesta a cero cuando el código está equivocado, se realiza mediante un circuito integrado tipo 74121 que es sustancialmente un relé monoestable, que al ser incorrecto el código tiene un cero en la salida de los circuitos de puerta, no inhibiendo por ello el funcionamiento del circuito 74121 y poniendo a cero el circuito de identificación de subcódigos y la memoria final cuando se ponga a cero el contador binario de entrada.

15 11.- Sistema, según la reivindicación 2, caracterizado porque con un circuito integrado analógico temporizador tipo 555 o similar, que está programado para poner a cero todos los circuitos, si en el intervalo de aproximadamente 5 segundos, a partir de cada subcódigo, no se ha producido el siguiente, en cuyo caso empezará a contar a partir de la misma de nuevo; el circuito de puesta a cero de encendido, está constituido por un circuito RC con una constante de tiempo de dos segundos aproximadamente conectado a la red, que ataca a un transistor lo cual si, por cualquier causa, se fuese la energía eléctrica, al volver, generaría un pulso que pondría a cero todos los circuitos.

20 12.- Sistema perfeccionado de teleconexión de aparatos eléctricos mediante teléfono automático.

25 30 Según se describe y reivindica en la presente memoria descriptiva, y consta de 37 hojas de texto, foliadas y

escritas a máquina por una sola de sus caras.

Madrid, 26 ENE. 1978

CARLO EB
P. P.

Fds: Alfonso Sánchez

1
5
10
15
20
25
30

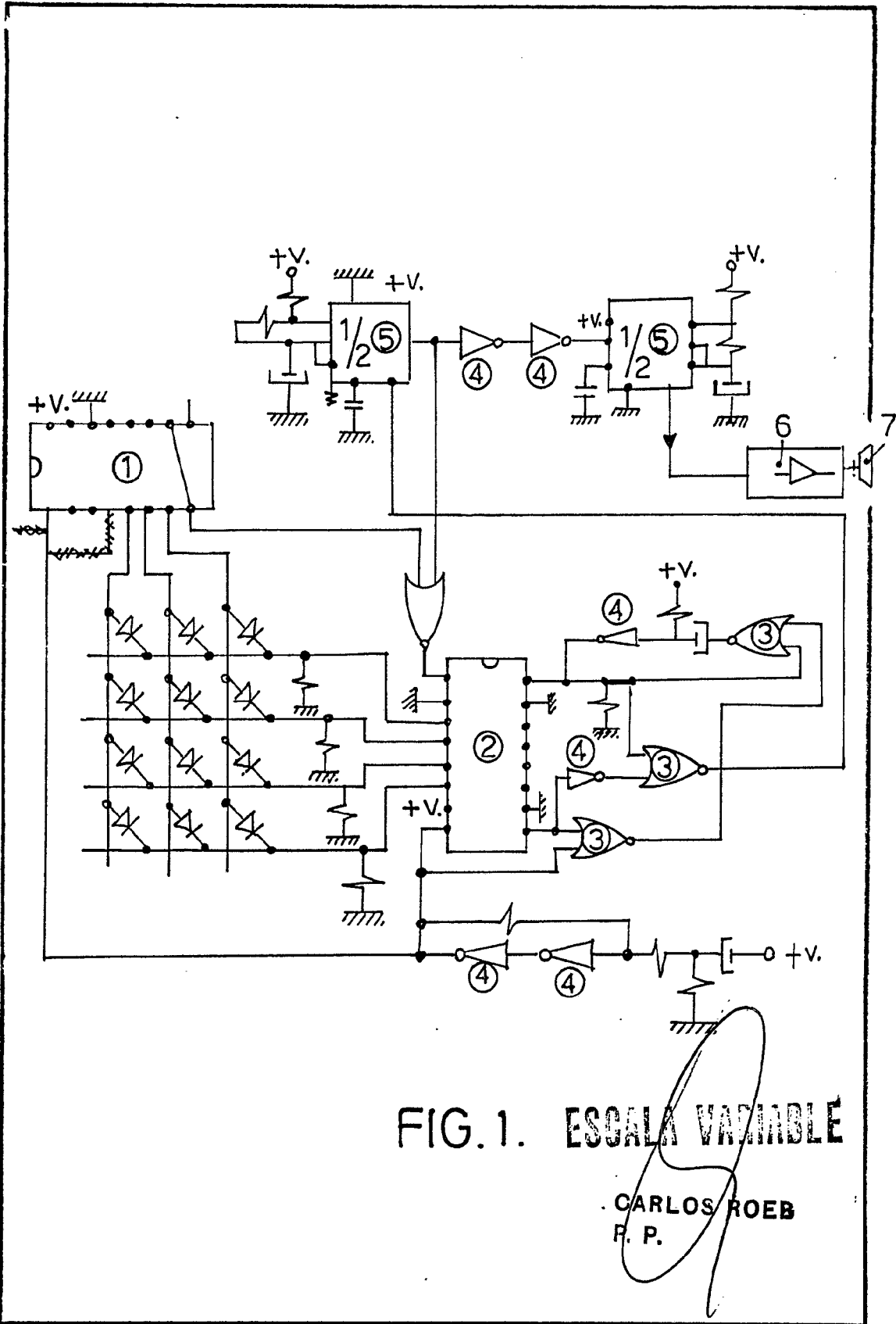


FIG. 1. ESCALA VARIABLE

CARLOS ROEB
P. P.

27.263./1.

Fig.: Alfonso Sánchez

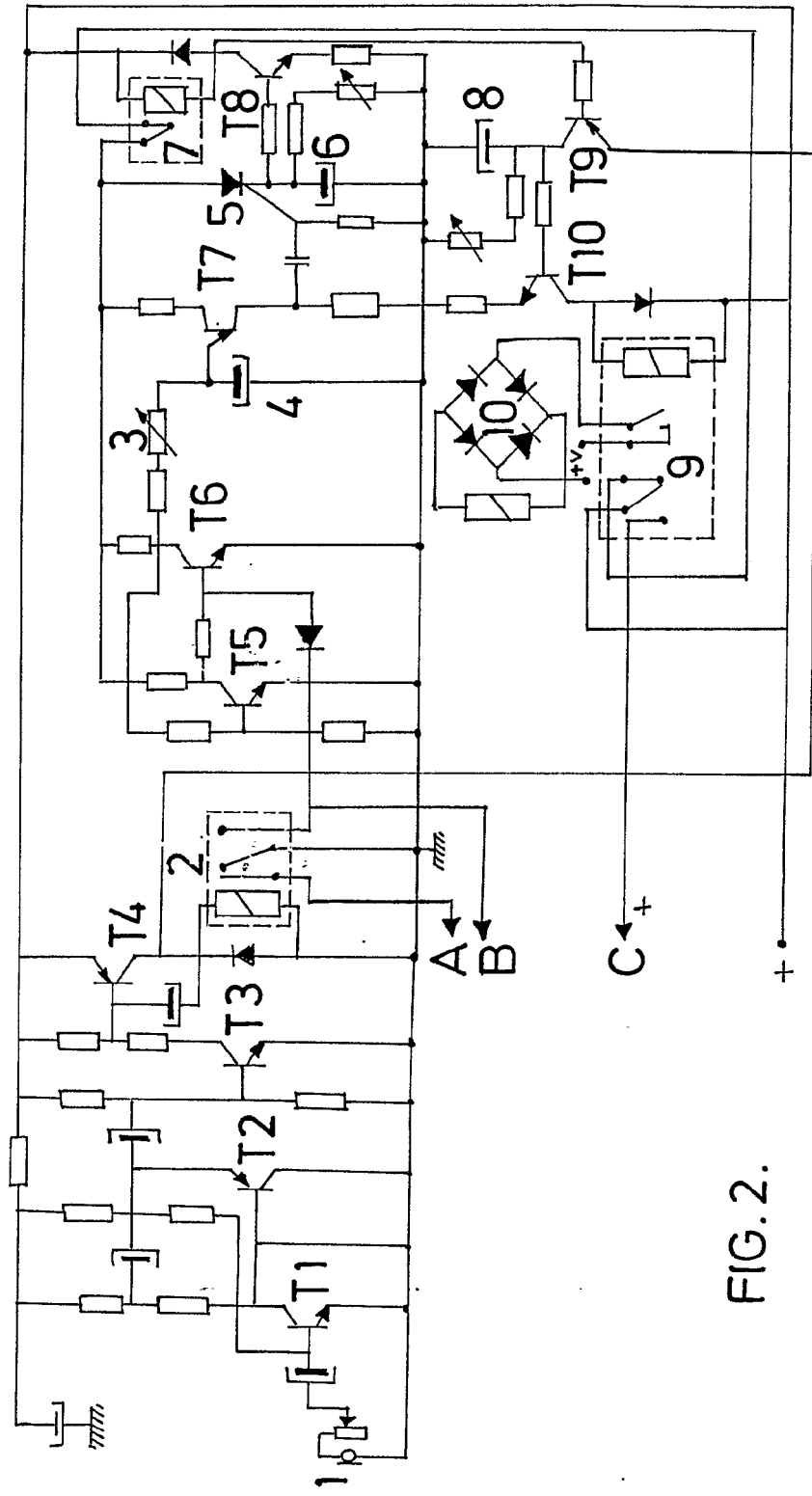


FIG. 2.

ESCALA VARIABLE

CARLOS ROEB
P. P.

Foto: Alfonso Sánchez

D. ROBERTO DONATO ROJAS.

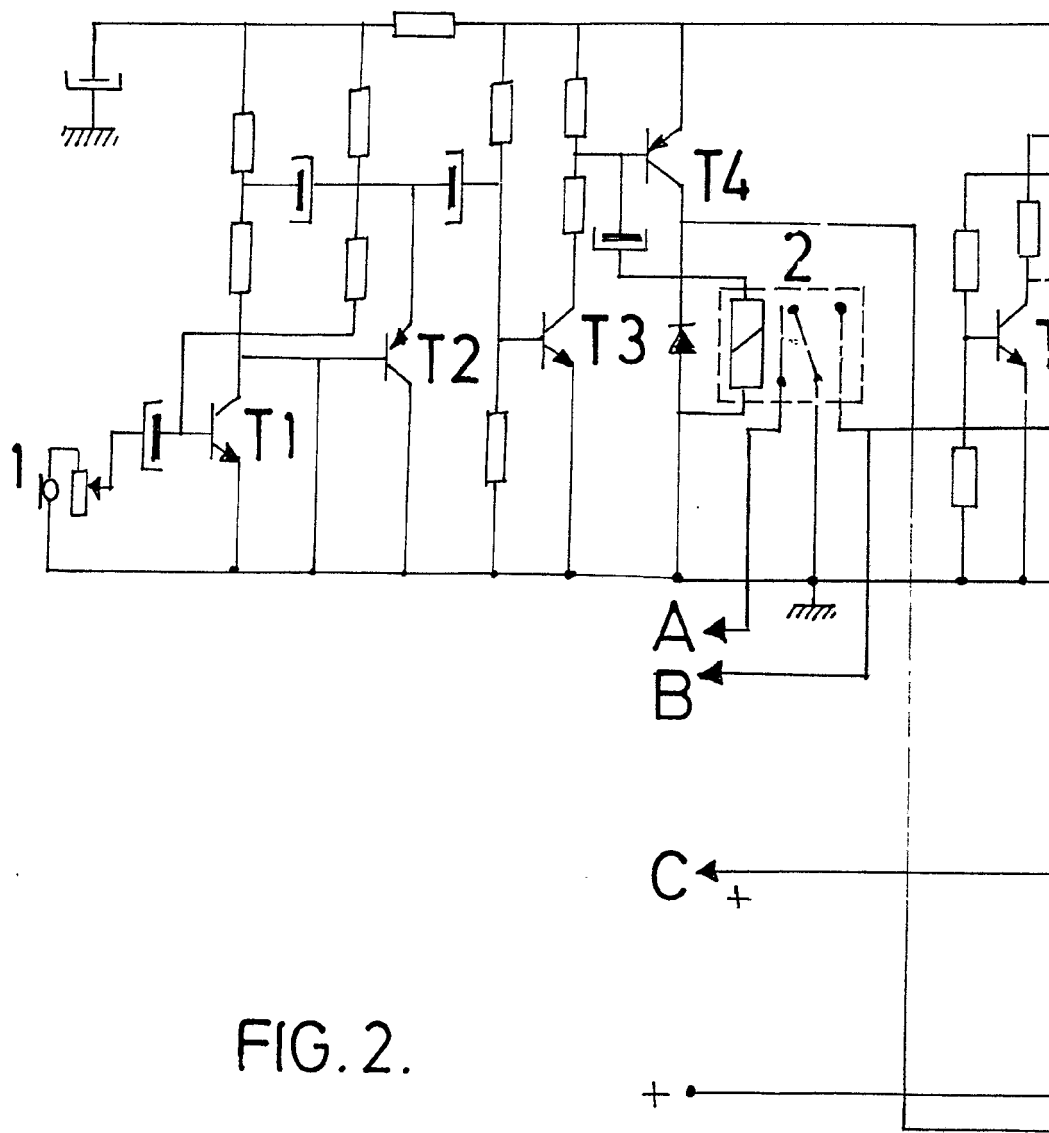
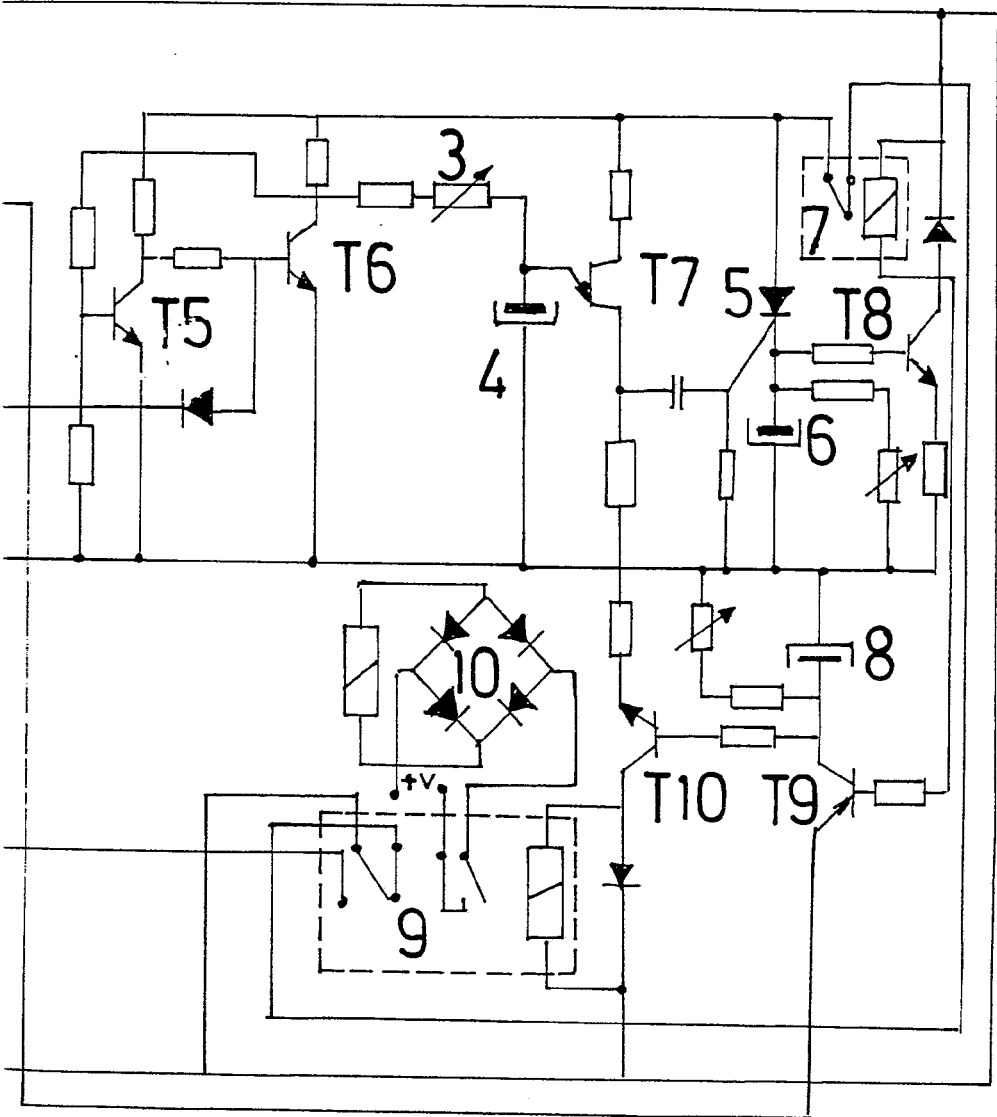


FIG. 2.

27.263/2.



ESCALA VARIABLE

CARLOS ROEB
P. P.

Fco.: Alfonso Sánchez

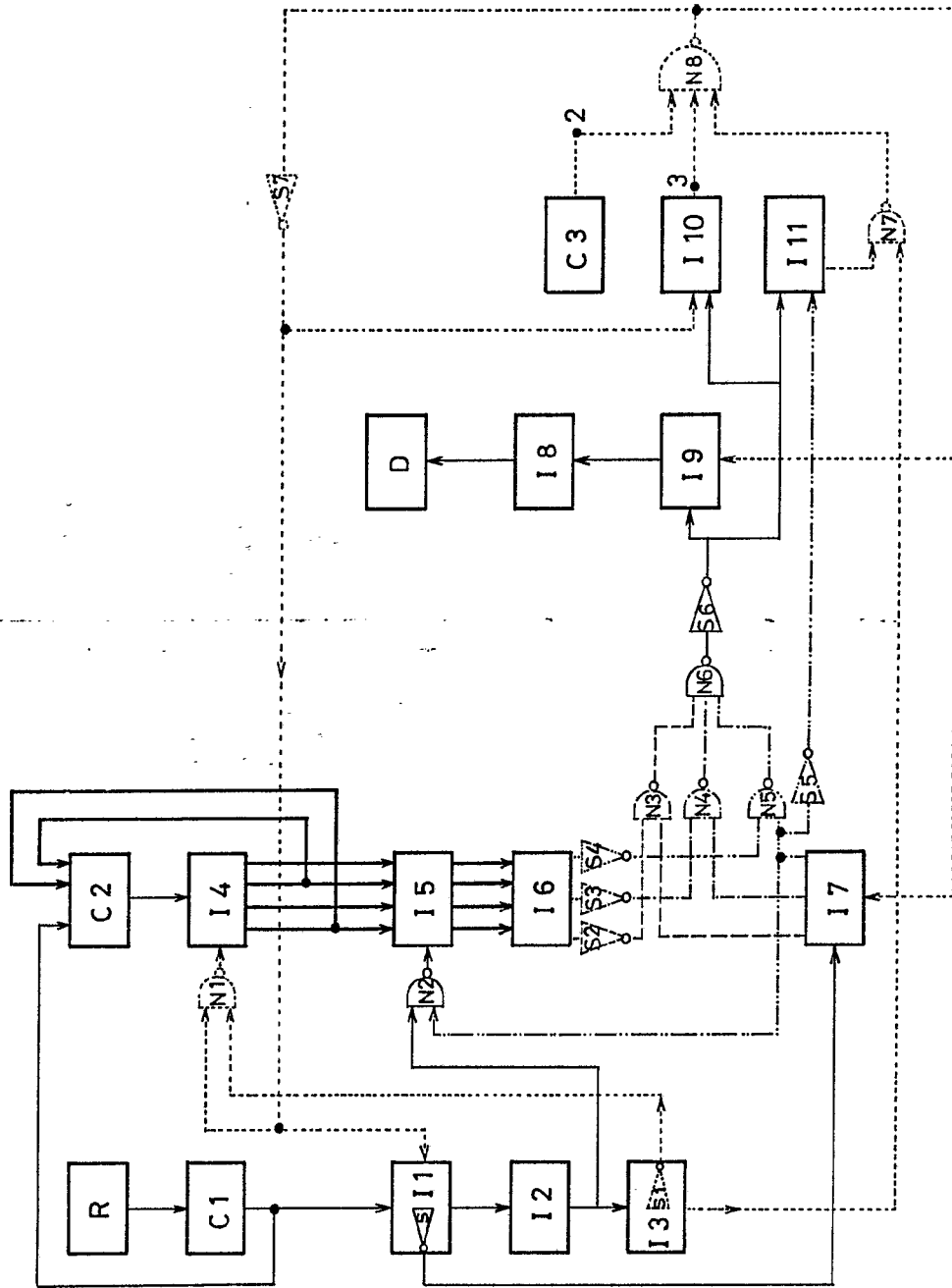


FIG. 3.

ESCALA VARIABLE

CARLOS ROEB

P. P.

Escuela Superior de Ingenieros

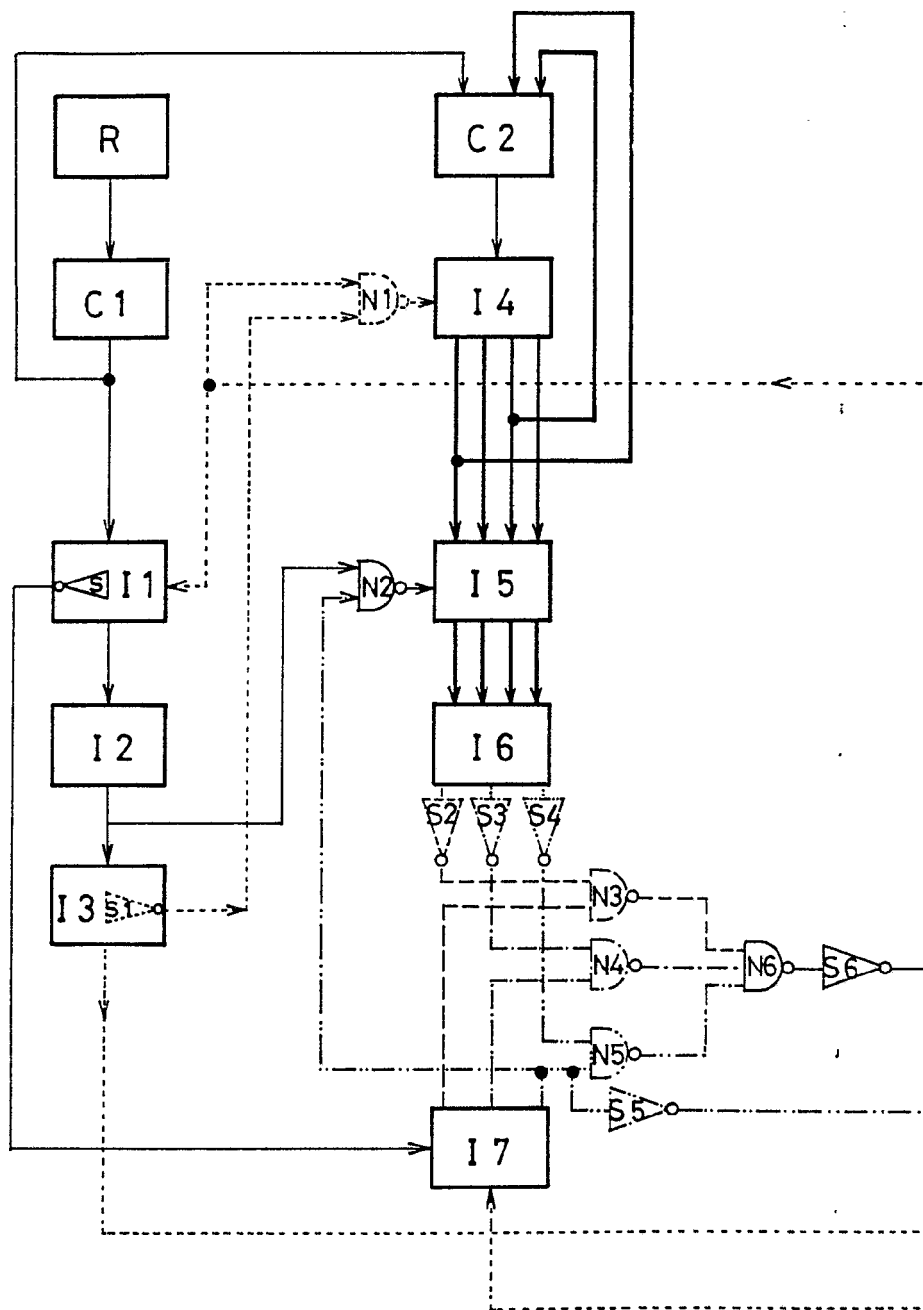
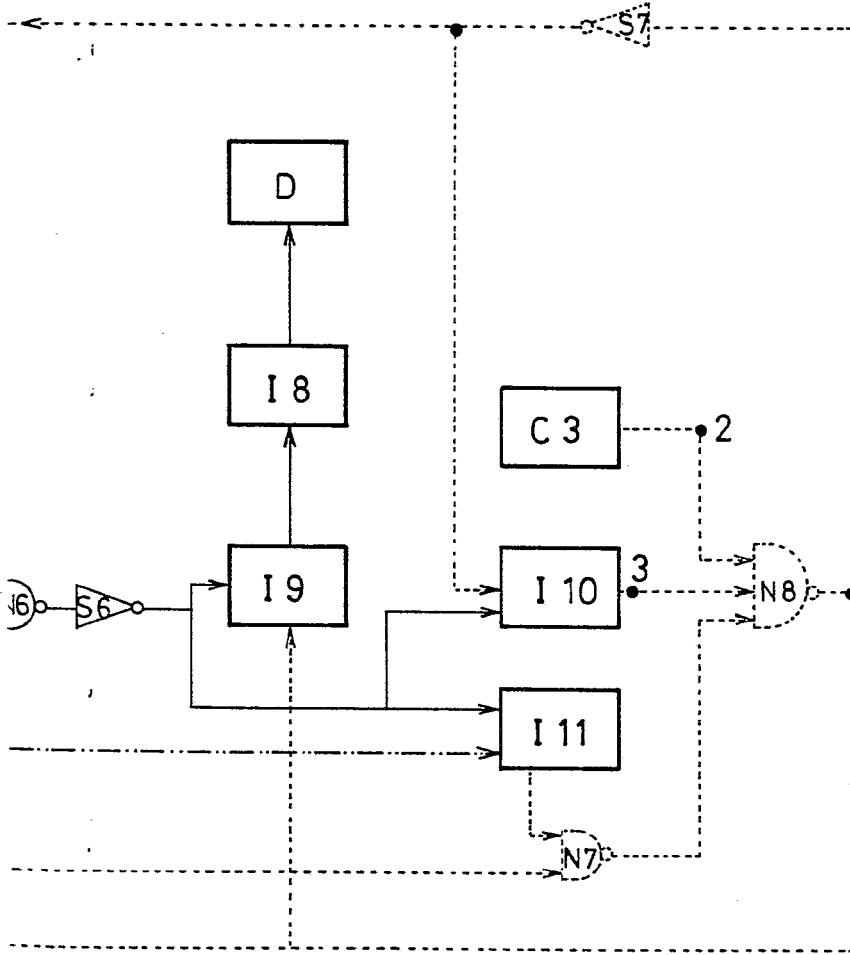


FIG. 3.



ESCALA VARIABLE

CARLOS ROEB
P. R.

Rev. Alfonso Sánchez

3. 3.

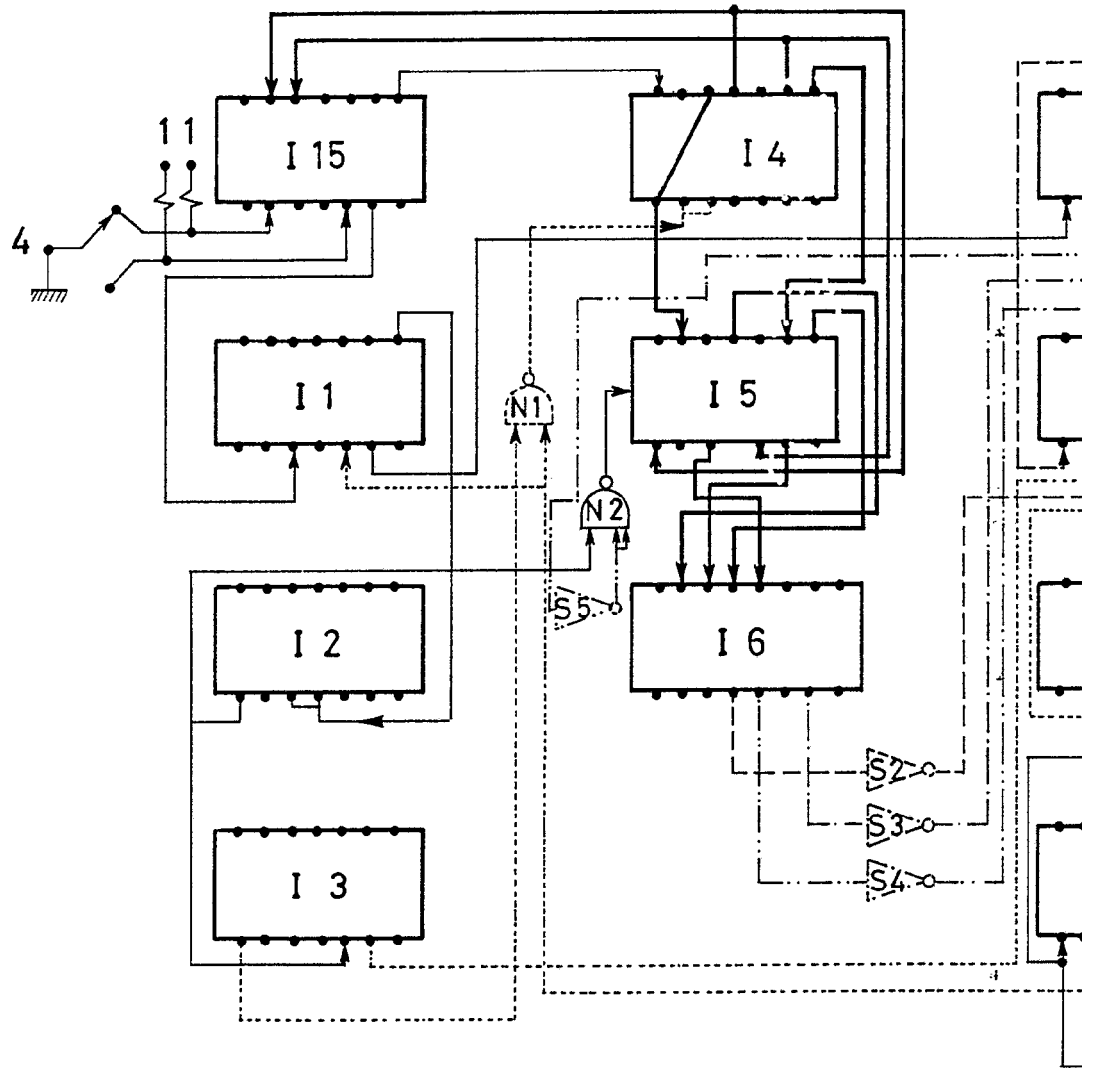


FIG. 4.

27.263./4.

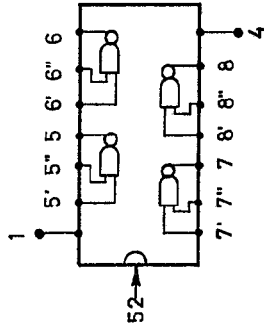


FIG. 5.

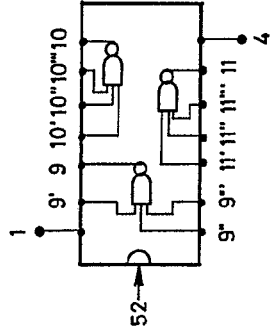


FIG. 6.

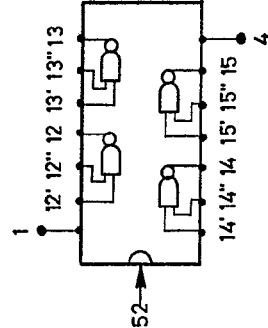


FIG. 7.

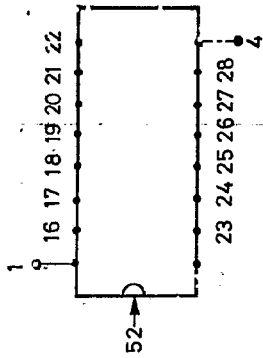


FIG. 8.

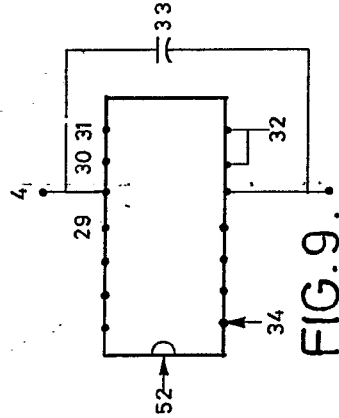


FIG. 9.

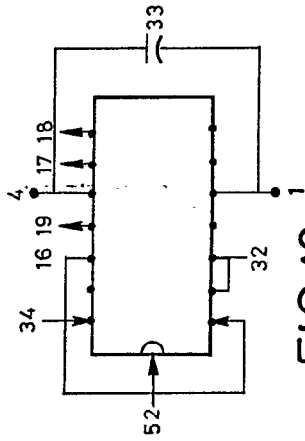


FIG. 10.

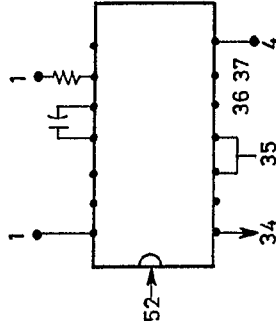


FIG. 11.

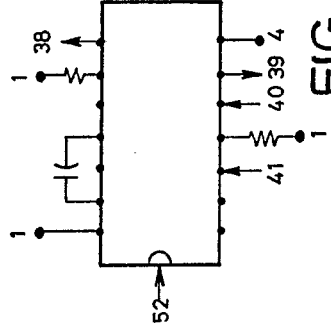


FIG. 12.

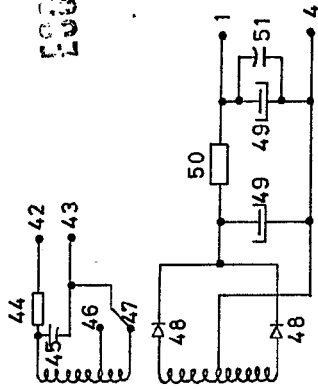


FIG. 13.

ESCALA VARIABLE

CARLOS ROEB
P. R.

Fab.: Alfonso Sánchez

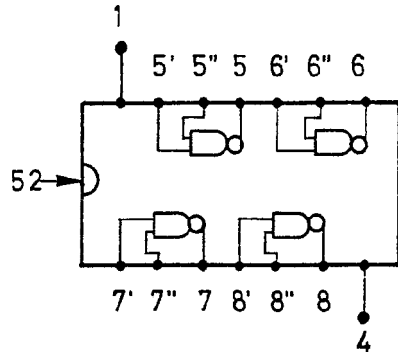


FIG. 5.

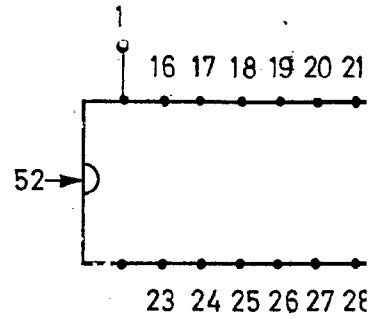


FIG. 8.

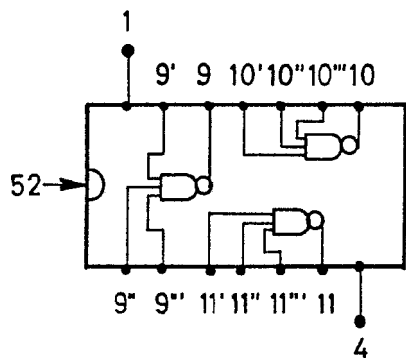


FIG. 6.

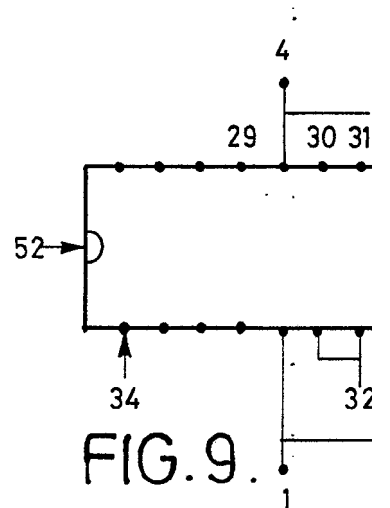


FIG. 9.

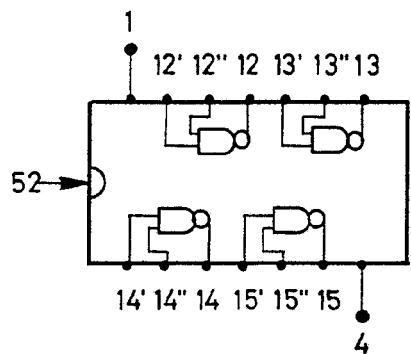


FIG. 7.

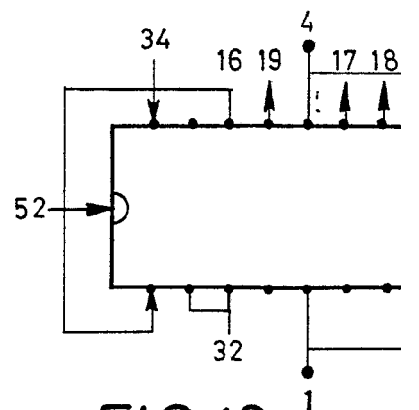


FIG. 10.

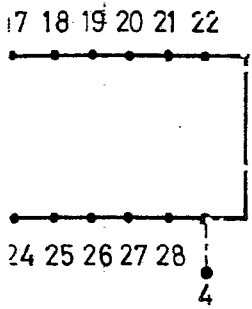


FIG. 8.

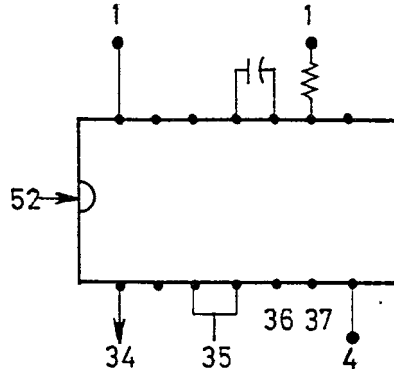
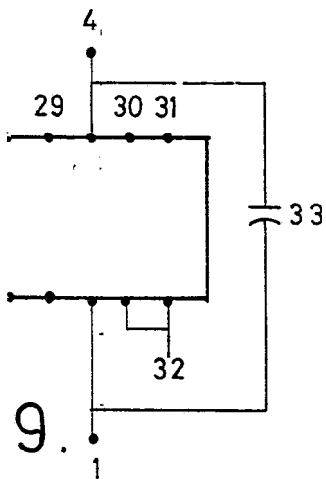


FIG. 11.



9.

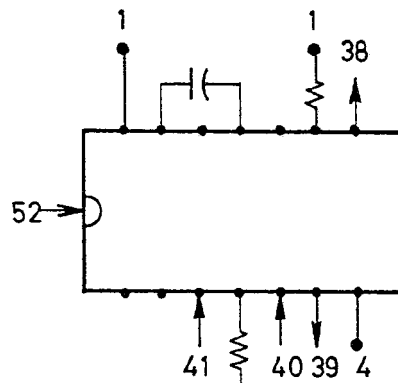
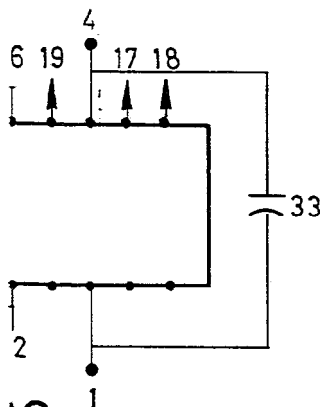


FIG. 12.



10.

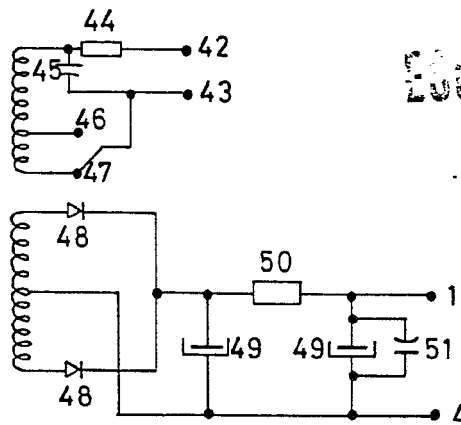


FIG. 13.

BOGOTÁ, COLOMBIA

CARLOS ROEB
P. P.

Fdo.: Alfonso Sánchez