

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

11	NUMERO	5-1-1978
21	FECHA DE PRESENTACION	465.807

19 A1

20 JUL. 1978

PATENTE DE INVENCION

60 PRIORIDADES:	31 NUMERO	32 FECHA	33 PAIS
	77/00375	7-1-1977	Francia

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04N	

54 TITULO DE LA INVENCION
"CIRCUITO DESFASADOR CONMUTABLE Y AJUSTABLE PARA SUMINISTRAR UNA ONDA SINUSOIDAL"

71 SOLICITANTE (S)
THOMSON-BRANDT (TH-BRANDT 651/SCH)

DOMICILIO DEL SOLICITANTE
173, Bl. Haussmann, 75008 París, Francia

72 INVENTOR (ES)
Michel Vacher

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ (P.-67.757)

jga

POOR QUALITY

1 El presente invento se refiere a un circuito des-
fasador conmutable y ajustable que permite transmitir una
señal eléctrica de alta frecuencia con dos desfasados dis-
tintos respecto a la fase de la señal de entrada y ajusta-
5 bles uno respecto a otro.

En la técnica anterior, se han utilizado, para
obtener dos desfasados conmutables, dos vías de transmi-
sión, distintas de la señal, alimentadas por ésta en para-
lelo, siendo una de las vías directa o resistiva e inclu-
10 yendo la otra vía un desfasador con reactancias (L-C, R-C
o R-L-C). Las salidas de las dos vías están unidas, alter-
nativamente, a la entrada de un circuito de utilización
por medio de un conmutador electrónico de diodos o de tran-
sistores, por ejemplo. Cuando tal circuito desfasador con-
15 mutable de dos vías es alimentado por un oscilador, consti-
tuye generalmente para éste una carga notable (impedancia
reducida). Igualmente, las amplitudes de la señal de sali-
das de las dos vías no son siempre comparables.

El presente invento permite evitar los inconve-
20 nientes mencionados, utilizando un paso con impedancia de
entrada elevada y sustituyendo el conmutador electrónico
de varios elementos por un único interruptor electrónico
mandado.

A este fin, el circuito desfasador objeto del in-
25 vento, incluye un elemento analógico activo, tal como un
primer transistor montado como circuito parafase o inversor
de fase, es decir, que su colector y su emisor están unidos
a los dos polos de una fuente de tensión de alimentación
continua por resistencias de igual valor y suministran así
30 respectivamente, señales con fases inversas. El colector

1 está unido a la salida del circuito desfasador por medio
de una reactancia variable en función de la tensión apli-
cada en sus bornes y el emisor está unido allí por medio
5 de una resistencia ajustable en función del desfasado de-
seado. La salida suministra así la señal de alta frecuen-
cia aplicada en la base del primer transistor con un pri-
mer desfasado función de los valores respectivos de la
reactancia y de la resistencia, cuyo punto común constitu-
ye la salida. La conmutación se obtiene por un elemento
10 interruptor activo susceptible de ser mandado, tal como
un segundo transistor de conmutación, mandado sobre su ba-
se y que cortocircuita la resistencia colectora del primer
transistor, con objeto de reunir el colector, así como el
borne de la reactancia unida a éste, desde el punto de vis-
15 ta de la corriente alterna a la masa y desde un punto de
vista de la corriente continua, a un potencial diferente,
con objeto de reducir el valor de la reactancia y de sumi-
nistrar en la salida una señal con un segundo desfasado in-
ferior al primer desfasado.

20 La diferencia entre el primer desfasado, cuando
el segundo transistor está bloqueado, y el segundo desfasa-
do, cuando está saturado, es ajustable entre aproximada-
mente 30 y 150 grados en función, por una parte, del valor
de la resistencia y, por otra parte, de los dos valores
25 diferentes de la reactancia obtenidos por tensiones de po-
larización diferentes.

30 El invento será mejor comprendido y otras de sus
características y ventajas, así como sus aplicaciones, se
pondrán de manifiesto con ayuda de la descripción que si-
gue y de los dibujos anejos referentes a la misma, dados

1 a título de ejemplo, en los cuales:

- la figura 1 es un esquema de principio de un
circuito desfasador conforme al invento;

5 - la figura 2 es un diagrama de fases que permi-
te explicar el funcionamiento del circuito de la figura 1;
y

10 - la figura 3 es un esquema más detallado de un
modo de realización del circuito desfasador en colores,
que ilustra una aplicación posible del circuito desfasador
según el invento.

15 En la figura 1, el circuito desfasador 10 inclu-
ye una primera entrada 11, llamada de señal, que recibe la
señal de alta frecuencia S_{HF} que ha de ser desfasada en
dos ángulos de fases diferentes, una segunda entrada 12,
llamada de mando, alimentada por una señal de mando de con-
mutación S_{cc} , rectangular con dos niveles lógicos, y una
salida 13 que suministra señales de alta frecuencia v_{s1} y
20 v_{s2} , con dos desfasados α y β distintos según el nivel
lógico de la señal S_{cc} aplicada en la entrada de mando.

20 Por otro lado, el circuito desfasador 10 incluye
un borne de alimentación positivo 14, unido al polo posi-
tivo $+V_A$ de una fuente de tensión continua y un borne de
alimentación negativo 15, unido al polo negativo de esta
fuente que está unido, a su vez, a la masa.

25 El circuito desfasador 10 está compuesto de un
primer transistor 16 bipolar del tipo NPN montado como pa-
so desfasador simétrico (igualmente denominado montaje pa-
rafase) con ayuda de dos resistencias 17, 18 de igual va-
lor, que unen respectivamente su colector c al borne de
30 alimentación positivo 14 y su emisor e al borne de masa,

1 estando unida la base b del primer transistor 16 a la en-
trada de señal 11; desde el punto de vista de la corriente
alterna, y, por medio de un elemento o red resistiva, a
una fuente de tensión de polarización (no representada),
5 desde el punto de vista de la corriente continua.

La señal de alta frecuencia S_{HF} de entrada apli-
cada en la base b del primer transistor 16, manda las
corrientes colector y emisor de éste, con objeto de sumi-
nistrar en su emisor e una señal de alta frecuencia de am-
plitud v_e con la misma fase que la señal de entrada S_{HF}
10 y en su colector c una señal de alta frecuencia, de ampli-
tud v_c , con una inversión de la fase (desfasado en π) con
relación a la de la señal de entrada S_{HF} , siendo las ampli-
tudes v_b y v_c sensiblemente iguales. Esto ha sido repre-
sentado en el diagrama de fase de la figura 2 por dos vec-
tores \vec{v}_e y \vec{v}_c de sentidos opuestos de igual longitud.

15 El colector c del primer transistor 16 está uni-
do a la salida 13 del circuito 10 por medio de una capaci-
dad variable con diodo semiconductor 19 (generalmente deno-
minado "varicap") cuya capacidad es una función decrecien-
te de la tensión inversa aplicada en sus bornes y el emi-
sor y está unido por medio de una resistencia ajustable
20 100 que permite regular el valor del desfasado, como se
explicará más adelante.

25 Este circuito constituye un paso del tipo desfa-
sador simétrico clásico con la única diferencia de que la
capacidad 19 aquí no es fija, sino variable en función de
la tensión en sus bornes y, por este hecho, debe ser uni-
da al colector del primer transistor 16, mientras que en
30 un desfasador clásico, la capacidad fija puede ser unida

1 indistintamente al colector o al emisor.

Para poder conmutar fácilmente el desfasado a otro valor, sin alimentar inútilmente a la fuente de la señal, y para obtener un mando fácil de esta conmutación, el
5 circuito desfasador 10 incluye, además, un interruptor electrónico mandado, en forma de un segundo transistor 101 de conmutación, del tipo PNP, cuyo colector está unido al colector c del primer transistor 16, y el emisor al borne de alimentación 14, con objeto de cortocircuitar la resistencia del colector 17, cuando el segundo transistor 101 está saturado. La base del segundo transistor 101 está unida a la entrada de mando 12 del circuito 10 y puede ser alimentada por una de las salidas (Q, \bar{Q}) de un basculador biestable, de Schmitt, monoestable, o no estable (no representado) alimentado por la misma tensión continua ($+V_A$). Cuando la salida del basculador unida a la base está en su estado alto (estado lógico "uno"), el segundo transistor 101 está bloqueado, y cuando está en su estado bajo (estado lógico "cero"), el segundo transistor 101 está saturado.

20 Cuando el segundo transistor 101 está saturado, une el colector c del primer transistor 16 directamente a la fuente de tensión de alimentación ($+V_A$), lo que tiene por efecto, por una parte, aumentar la tensión en los bornes de la capacidad variable de diodo 19 y, por consiguiente, reducir su valor a C_2 y, por otra parte, conectarla, desde el punto de vista de la corriente alterna, a la masa. El circuito desfasador 10 pasa a ser entonces un simple desfasador RC, que incluye una resistencia 100 de valor R y una capacidad 19 y alimentado por la caída de tensión en los bornes de la resistencia emisor 18 del primer transis-

1 tor 16 conectado entonces como colector común. La punta
del vector de la tensión de salida de alta frecuencia \vec{v}_{s2}
se encontrará entonces sobre un primer semicírculo 2, cuyo
diámetro es igual al vector \vec{v}_e de la tensión emisor (como
5 se ilustra en la figura 2).

La señal en la salida 13 tendrá entonces un des-
fasado con relación a la señal de entrada igual a α que
se puede calcular de la igualdad $\text{tg } \alpha = RC_2 \omega$, que será
denominado, en lo que sigue, desfasador residual.

10 Por el contrario, cuando el segundo transistor
101 está bloqueado, el circuito 10 se comporta como un
desfasador RC simétrico, alimentado por dos tensiones en
oposición de fase \vec{v}_e y \vec{v}_c , la punta del vector da la ten-
sión de salida de alta frecuencia \vec{v}_{s1} se encontrará en-
15 tonces sobre un segundo semicírculo 1 de diámetro igual a
la suma de los vectores \vec{v}_c y \vec{v}_e y el desfasado de la ten-
sión de salida \vec{v}_{s1} con relación a la tensión de entrada
será igual a β , teniendo en cuenta el hecho de que el
diodo de capacidad variable 19 estará entonces polarizado
20 a la inversa por la tensión colector-emisor v_{ce} del primer
transistor 16 de valor relativamente reducido, y represen-
tará entonces una capacidad C_1 netamente superior a C_2 . El
cálculo del ángulo de desfasado puede ser efectuado enton-
ces a partir de la igualdad $\text{tg } \beta/2 = RC_1 \omega$.

25 El valor de la resistencia 100 es entonces igual

a

$$R = \frac{\text{tg } \alpha}{C_2 \omega} = \frac{\text{tg } \beta/2}{C_1 \omega}, \text{ de donde se obtiene } \text{tg } \beta/2 =$$

$$= \text{tg } \alpha \cdot C_1/C_2. \text{ Para poder calcular los ángulos de fase}$$

30 α y β y la resistencia, habrá que elegir el desfasado

1 $\beta - \alpha$ deseado y la relación de capacidades C_1/C_2 suministradas por el diodo de capacidad variable 19 con las dos tensiones de polarización inversa.

5 Si se elige $\beta - \alpha = 90^\circ$, es decir, un desfase relativo entre \vec{v}_{s1} y \vec{v}_{s2} igual a $\pi/2$, se obtiene entonces

$\operatorname{tg} \beta/2 = C_1/C_2 \cdot \operatorname{tg}(\beta - 90) = C_1/C_2 \cdot \operatorname{cotg} \beta$. Debido a que $\operatorname{cotg} \beta = \frac{1 - \operatorname{tg}^2 \beta/2}{2 \operatorname{tg} \beta/2}$ se puede escribir

10
$$\operatorname{tg} \beta/2 = -C_1/C_2 \cdot \frac{1 - \operatorname{tg}^2 \beta/2}{2 \operatorname{tg} \beta/2},$$

de donde $\frac{2 \operatorname{tg}^2 \beta/2}{2 \operatorname{tg} \beta/2} = -C_1/C_2 \cdot \frac{1 - \operatorname{tg}^2 \beta/2}{2 \operatorname{tg} \beta/2}$. Esto da

15
$$\operatorname{tg} \beta/2 = \frac{-C_1/C_2}{2 - C_1/C_2}$$
 de donde el ángulo de fase $\beta = 2$

$$\operatorname{arc} \operatorname{tg} \sqrt{-\frac{C_1/C_2}{2 - C_1/C_2}}$$
 puede ser

calculado.

20 Siendo el ángulo de fase α igual a $\beta - 90^\circ$, el circuito desfasador 10 proporciona, pues, en su salida 13, señales desfasadas una respecto a otra en 90° , como se ve en el estado bloqueado o saturado del segundo transistor 101.

25 En la figura 3 se ha representado un esquema más detallado de un modo de realización del circuito 10 de la figura 1, donde los mismos números designan los mismos elementos.

30 En el circuito 110 de la figura 3, se ha insertado en serie, entre la resistencia del colector 17 del primer transistor 16 y la entrada de alimentación 14, un diodo 109 y una resistencia suplementaria 102 desacoplada a la

1 masa con ayuda de un condensador 103 de alto valor (de tipo
electroquímico), estando el emisor del segundo transistor
unido directamente a esta entrada de alimentación 14, de
modo que cortocircuita las dos resistencias 17 y 102 en
5 serie, con el fin de aumentar la separación entre las dos
tensiones de polarización inversa del diodo de capacidad
variable (varicap) 102. El diodo 109 permite evitar que
el condensador de desacoplamiento se cargue a la tensión
de alimentación $+V_A$ durante el estado saturado del segun-
do transistor 101.

10 Si se elige, por ejemplo, un varicap SESCOSEM de
tipo BB109G, se obtiene una relación de capacidad C_1/C_2 de
5 correspondiente a tensiones de polarización inversa de 2
y de 18 voltios aproximadamente. Se obtendrá, pues, una
15 primera tensión de polarización V_{ce1} de 2 voltios, una ca-
pacidad C_1 de 35 picofaradios y, para una segunda tensión
de polarización V_{ce2} de 18 voltios, una capacidad C_2 de 7
picofaradios. Siendo la frecuencia de la onda a desfasar
la de una sub-portadora de color del sistema PAL, $F =$
20 $= 4,433619$ MHZ, se calcula para el valor de los ángulos
 $\beta = 104,48^\circ$ y $\alpha = \beta - 90^\circ = 14,48^\circ$, y para la resisten-
cia 100 un valor $R = 1324,1$ ohmios.

25 Para obtener tales valores, la tensión V_A es de 25
voltios, las resistencias emisor y colector 18 y 17 de 1
kiloohmio, la resistencia suplementaria de 1,8 (?) kilo-
25 ohmios, el condensador de desacoplamiento 103 de 10 micro-
faradios y el potenciómetro 100 de 2,2 kiloohmios aproxi-
madamente. Los otros elementos adicionales están consti-
tuídos aquí por un divisor resistivo de polarización de la
30 base 6 del primer transistor 16 que incluye dos resisten-

1 cías 107 y 108 en serie, conectadas entre los bornes de ali-
mentación 14 y 15 y calculadas de manera que suministran en
la base 6 una tensión de polarización del orden de 6 a 7
5 voltios, y por una resistencia de polarización 105 de alto
valor (varios centenares de kilohmios), unida entre la ma-
sa (borne 15) y la base del segundo transistor 101, que
está, por consiguiente, normalmente saturado y que pasa a es-
tar bloqueado cuando se aplica una señal de mando positiva
de nivel suficiente en esta base por medio de un condensa-
10 dor de acoplamiento 104, cuyo valor puede estar comprendido
entre 0,1 y 0,47 microfaradios, por ejemplo.

Se observa aquí que las capacidades presentadas
por los diodos de capacidad variable 19 no pueden ser cono-
cidas con precisión, las resistencias 100 son ajustables
15 (potenciómetros con cursor unido a uno de los bornes) con
objeto de poder corregir la fuerte dispersión de las capa-
cidades.

El circuito desfasador 10 ó 110 descrito ante-
riormente es aplicable donde quiera que se desee obtener
20 una conmutación rápida de la fase de una señal alternativa
sinusoidal sin cargar fuera de medida la fuente de la se-
ñal (oscilador, por ejemplo) y sin modificar sensiblemente
la amplitud de las señales cualquiera que sea la fase.

Tal desfasador conmutable es utilizable, por
25 ejemplo, en un receptor de televisión en colores del sis-
tema PAL que incluye un descodificador del tipo descrito
en la solicitud de patente francesa número EN 72.16271 pre-
sentada el 5 de mayo de 1972 a nombre de "RCA CORPORATION"
y publicado bajo el número 2.137.593, donde se utiliza un
30 de los desmoduladores sincrónicos que deben restituir una

1 de las señales de crominancia (B - Y) durante los períodos
activos de línea para subordinar el oscilador local de res-
titución de la sub-portadora a la fase de la salva de color
transmitida durante el nivel posterior del intervalo de
5 supresión de línea. Se aplica allí, por consiguiente, la
señal del oscilador al desmodulador sincrónico con una pri-
mera fase durante los períodos activos de línea y con una
segunda fase, en cuadratura con la primera, durante los
períodos de supresión de línea. La conmutación puede ser
10 mandada allí con ayuda de una señal de mando derivada de
los impulsos de retorno de línea suministrada por el trans-
formador de línea del circuito de barrido.

Otra aplicación de tal desfasador es posible en
un receptor de televisión en color adaptado para recibir
15 señales del sistema PAL y del sistema SECAM y utilizar un
descodificador del sistema PAL para restituir, después de
la transposición de señales de crominancia del sistema
SECAM que modulan en frecuencia una sub-portadora de color,
en señales de crominancia que modulan en amplitud una sub-
20 portadora elaborada localmente con fases alternativamente
en cuadratura. Un receptor de este tipo ha sido descrito
en la solicitud de patente francesa número EN 72.16273 pre-
sentada el 5 de mayo de 1972 a nombre de "RCA CORPORATION"
publicada bajo el número 2.137.595 y titulada "RECEPTOR DE
25 TELEVISION EN COLOR PAL/SECAM"; comprende un circuito de
transposición para la transformación de la señal SECAM en
una señal desmodulable con un descodificador PAL clásico
que incluye una línea de retardo de 64 microsegundos (un
período de línea), un circuito de adición y un sustractor
30 que reciben, respectivamente, la sub-portadora modulada

1 retardada y no retardada, un oscilador local a la frecuen-
cia de la sub-portadora de color, un circuito de puesta en
fase del oscilador a partir de la salva de color transmitida
durante el nivel posterior de supresión de línea, un bascu-
5 lador biestable disparado por los impulsos de retorno de
línea para mandar la inversión alterna de la fase de la
onda suministrada por el oscilador o de la sub-portadora,
un circuito de puesta en fase del basculador por identifi-
cación de la fase de la salva, y dos desmoduladores sincró-
10 nicos que reciben, respectivamente, la onda del oscilador
local sin y con un desfase de $\pi/2$ para restituir, res-
pectivamente, las señales de crominancia que modulan la
sub-portadora en cuadratura de fase.

El circuito de transposición incluye en cascada
15 un filtro de desacentuación (campana) de la sub-portadora
SECAM modulada en frecuencia, un limitador de amplitud y
un discriminador de frecuencia con un cero conmutable en-
tre 4,25 y 4,406 MHz, mandado por medio del basculador bi-
estable que es puesto entonces en fase con ayuda de un cir-
20 cuito que trabaja con las señales de identificación del
sistema SECAM, restituyendo entonces el discriminador,
alternativamente, las señales de crominancia R - Y y B - Y
y un modulador equilibrado que recibe la onda del oscila-
dor local del descodificador PAL alternativamente con y
25 sin desfase en cuadratura, y esto por medio de un cir-
cuito desfasador conmutable 10 ó 110, según el presente
invento, mandado por el basculador biestable mencionado.
El modulador equilibrado suministra entonces la onda del
oscilador local modulada alternativamente en amplitud con
30 portadora suprimida por la señal R - Y, y por la señal

1 B - Y en cuadratura de fase con relación a la onda modula-
da por la señal R - Y en la entrada del descodificador PAL
mencionado. En la salida del circuito de adición del des-
codificador PAL, se vuelve a encontrar una sub-portadora
5 de color del tipo NTSC desmodulable con ayuda de los dos
detectores sincrónicos del descodificador PAL alimentados,
respectivamente, en cuadratura de fase por el oscilador lo-
cal de este mismo descodificador PAL.

10 Se observará que, en tal receptor, la regulación
de la resistencia ajustable 100 del circuito desfasador
es efectuada fácilmente cuando es alimentado por un gene-
rador de mira de color, siendo regulada la resistencia de
manera que se obtenga un tono correcto del color azul en
la pantalla.

15 Hay que señalar igualmente que los dos transisto-
res pueden ser del tipo NPN o PNP y es entonces el emisor
del transistor de conmutación el que está unido al colec-
tor del transistor amplificador, o bien el transistor am-
plificador puede ser del tipo PNP y el transistor de conmu-
20 tación del tipo NPN, sin modificar el principio del circui-
to según el invento.

25

30

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Circuito desfasador conmutable y ajustable para suministrar una onda sinusoidal aplicada en su entrada de señal con dos desfasadores diferentes según el nivel de una señal de mando aplicada en una entrada de mando, incluyendo dicho circuito: un paso desfasador simétrico que comprende un primer transistor amplificador, cuya base recibe dicha onda y cuyo colector y el emisor están unidos, respectivamente, a dos bornes de una primera fuente de tensión continua de alimentación por dos resistencias de carga de igual valor, estando unido, además, dicho emisor a la salida del circuito por medio de una resistencia ajustable y estando unido, además, dicho colector a dicha salida por medio de un diodo de capacidad variable en función de su tensión de polarización inversa (varicap) y un segundo transistor de conmutación mandado en su base por señales de mando de conmutación para estar, bien en estado bloqueado, bien en estado saturado, caracterizado por el hecho de que el colector del primer transistor está unido por medio de dicho segundo transistor a uno de los bornes de una segunda fuente de tensión cuyo otro borne está unido a otro de los de la primera fuente, pudiendo

03018

1 suministrar esta segunda fuente una tensión diferente de
la suministrada por la primera fuente, haciendo funcionar
dicho segundo transistor, cuando está bloqueado, a dicho
circuito como un desfasador simétrico clásico con el diodo
5 polarizado con ayuda de la tensión colector-emisor del pri-
mer transistor y que presenta una capacidad máxima y, quan-
do está saturado, hace funcionar dicho circuito como un
desfasador de resistencia y condensador simple, alimentado
por el emisor del primer transistor conectado como colector
10 común que está entonces alimentado por dicha segunda fuen-
te, teniendo entonces dicho diodo de capacidad variable
uno de sus bornes directamente unido a esta segunda fuente
y presentado, por este hecho, una capacidad reducida con
relación a su valor máximo por el aumento de su tensión de
15 polarización inversa que se elige en función del desfasador
relativo deseado.

2a.-Circuito desfasador según la reivindicación 1a,
caracterizado por el hecho de que la tensión de la segunda
fuente, superior a la de la primera, y el valor de la re-
20 sistencia ajustable que une dicho emisor a la salida, se e-
ligen de manera que suministran un primer desfasado cuando
el segundo transistor está saturado, y un segundo desfasa-
do diferente del primero en 90°, cuando el segundo transis-
tor está bloqueado.

25 3a.-Circuito desfasador según la reivindicación 2a
utilizado en un receptor de televisión en colores del sis-
tema PAL, caracterizado porque está alimentado por la sub-
portadora de crominancia modulada o reconstituída, y conmu-
tado con ayuda de una señal rectangular que alterna a la
30 frecuencia de línea.

20

1 4a.-Circuito desfasador según la reivindicación 2a,
utilizado en receptor de televisión en color del sistema
PAL que incluye un circuito de transposición de una sub-
portadora de crominancia del sistema SECAM en una sub-por-
5 tadora desmodulable con ayuda de un descodificador del sis-
tema PAL, caracterizado por el hecho de que transmite la
onda a la frecuencia de una sub-portadora del sistema PAL
a un modulador equilibrado con portadora suprimida con des-
fasados diferentes en 90º, que alternan a frecuencia de
10 línea.

5a.-Circuito desfasador conmutable y ajustable para
suministrar una onda sinusoidal.


Tal y como se ha descrito en la Memoria que antecede,
representado en los dibujos que se acompañan y para
15 los fines que se han especificado.

Esta Memoria consta de quince hojas escritas a máquina por una sola cara.

Madrid, 17. MAR 1978

P.A.

Alberto de Elizburu
Por Poderes



20

25

30

MCS

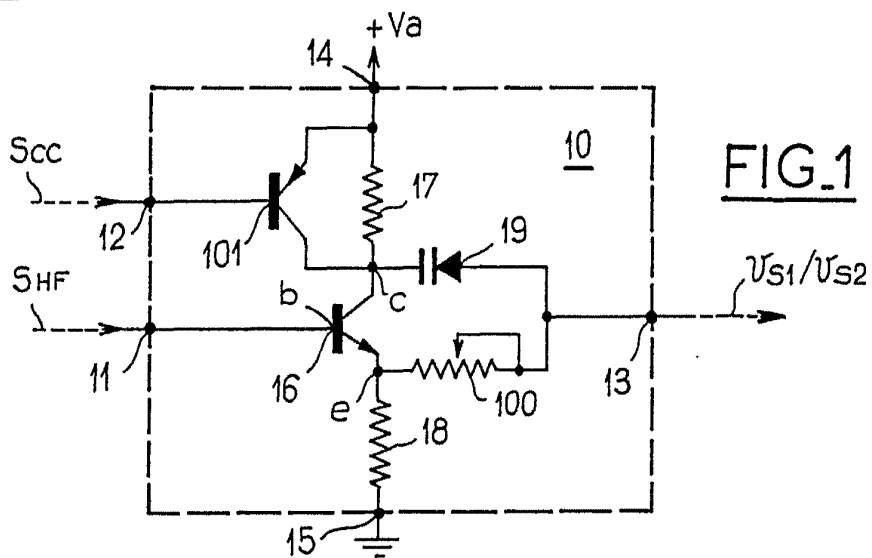


FIG. 1

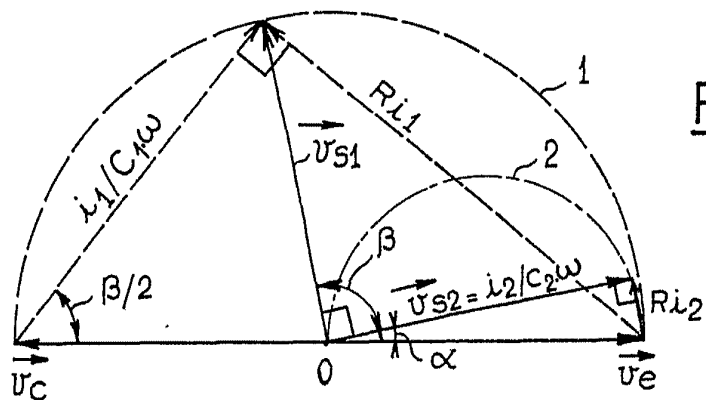


FIG. 2

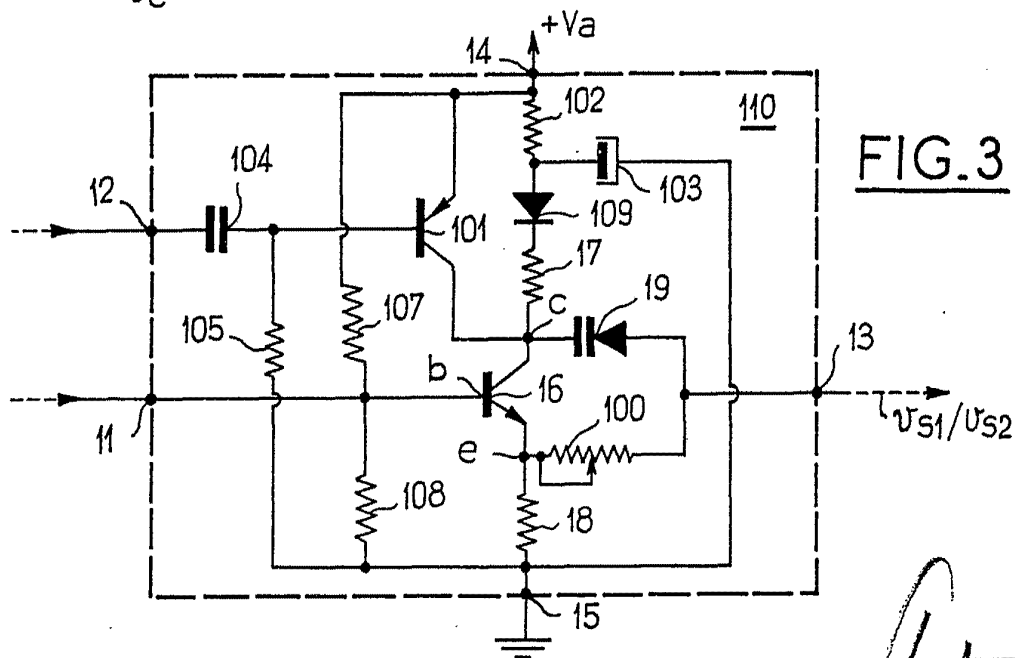


FIG. 3

Alberto de Elizaburo
For Foder.