



ESPAÑA

20 JUL. 1978
Concedido el Registro de acuerdo
con los datos que figuran en la pre-
sente descripción y según el con-
tenido de la Memoria adjunta.

(19) ES	(11) NUMERO	(10) A1
(21)	465443	
(22)	FECHA DE PRESENTACION	
	26 DIC. 1977	

PATENTE DE INVENCION

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		
NR 159 210/1976	30.12.1976	JAPON

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	G 06 F	

(54) TITULO DE LA INVENCION
"Perfeccionamientos en las sumadoras binarias y decimales de alta velocidad"

(71) SOLICITANTE (S)
FUJITSU LIMITED (sociedad japonesa)

DOMICILIO DEL SOLICITANTE
KAWASAKI (TOKYO) 1015, Kamikodanaka, Nakahara-ku

(72) INVENTOR (ES)
1.- Shigemi KAMIMOTO 2.- Toshio HAYASHI (todos de nacionalidad japonesa) 3.- Kazuyuki SHIMIZU

(73) TITULAR (ES)
- - - -

(74) REPRESENTANTE
D. Carlos Roeb Ungeheuer

1 El presente invento se relaciona con sumadoras de combinación binaria y decimal de alta velocidad, que son capaces de realizar una suma binaria y una decimal con el mismo circuito.

5 En la técnica anterior una adición decimal requería una pluralidad de ciclos de máquina a causa de la elaboración para la adición y sustracción de términos de corrección. Generalmente, una sumadora es el núcleo de una unidad aritmética y se relaciona con la longitud de los datos, el formato numérico usado, etc. y la velocidad de computación de la sumadora afecta grandemente al rendimiento de la unidad aritmética. El formato numérico se divide en una representación de punto fijo y una representación de punto flotante, que se subdividen en representaciones binaria y decimal, respectivamente.

10 Un circuito de combinación, en el que se introduce un guardado X_i , un sumando Y_i y una cantidad de transporte C_{i+1} , y como salida da una suma Z_i y una cantidad de transporte C_i , es una sumadora completa. Un circuito, que obtiene una suma y un transporte siguiente de dos entradas es una media sumadora.

15 Preparando la sumadora completa para cada dígito y transfiriendo sucesivamente el transporte C_i a dígitos de orden superior, se procura una sumadora de transporte ondulado.

20 Sin embargo, la sumadora de transporte ondulado requiere dos etapas lógicas para cada dígito y si el número de dígitos empleado es grande, el tiempo de operación, aumenta correspondientemente. Si es posible una lógica alambrada, servirá una etapa lógica para cada dígito.

25

30

1 Una sumadora de avance en espera de transporte de cantidad,
produce simultáneamente un transporte en cada dígito y el
transporte en cada dígito se determina esencialmente por
todos los bits de dígitos de orden inferior y aumenta li-
bremente una variable de entrada de abanico.

5 Un número decimal es representado por varios métodos, tales
como BCD (decimal de clave binaria) EXCESO 3,2 fuera de 5
etc. pero en general se emplea BCD. En la representación
BCD, cada dígito de un número decimal se representa por 4
bits y se lastran con 8, 4, 2 y 1 y los números 0 hasta 9
10 se representan tal como son en la notación binaria.
En general, se disponen separadamente sumadoras binarias y
decimales y se realiza una adición decimal por una operación
que usa 3 veces la sumadora binaria.

15 Un objeto de este invento es procurar una sumadora de com-
binación binaria y decimal de alta velocidad.
Otro objeto de este invento es procurar una sumadora de com-
binación binaria y decimal, que es capaz de efectuar una su-
ma en un ciclo de máquina.

20 Todavía otro objeto de este invento es procurar una sumado-
ra de combinación binaria y decimal teniendo un pequeño nú-
mero de etapas lógicas para realizar una operación de alta
velocidad.

25 Para conseguir los objetos arriba citados, la sumadora de
este invento emplea una cantidad de sumadoras parciales y
un circuito de espera de avance de transporte. La cantidad
de sumadoras parciales se compone de una parte de media su-
madora para producir una señal generadora de bit y una se-
30 ñal de propagación de bit, una parte de circuito generador

1 de señal de entrada de espera de transporte de avance para
producir una señal de generación de grupo de modo binario
y una señal de propagación de grupo de modo binario, una
parte de circuito generador de señal de entrada de espera
de transporte de avance para producir una señal de genera-
5 ción de grupo de modo decimal y una señal de propagación de
grupo de modo decimal, una parte sumadora intermedia para
efectuar una adición binaria o decimal para dar entrada
a datos sin tener en cuenta una suma anterior para procurar
una suma intermedia y una parte de sumadora completa para
10 corregir la suma intermedia desde la parte sumadora inter-
mediaria con un transporte de cantidad desde el circuito
de espera de transporte de avance.

En los dibujos:

15 La fig. 1, es un diagrama de bloque mostrando un primer e-
jemplo de sumadoras decimales convencionales, en las que se
basa este invento. En la fig. 1 significan A = sumadora bi-
naria; B = cantidad de transporte de entrada; C = transpor-
te de cantidad de dígito en bloque;

20 La fig. 2, es un diagrama explicativo del contenido de los
registros en operación en la sumadora decimal mostrada en
la fig. 1;

en la fig. 2, significan D = contenido de AR (16); E = con-
tenido de BR (16); F = contenido de DCR (binario).

25 G = significa proceso;

la fig. 3, es un diagrama de bloque mostrando un segundo e-
jemplo de las sumadoras decimales convencionales, en que
se basa este invento;

30 en la fig. 3, significan A = sumadora binaria; B = transpor-

1 te de entrada; H = fuerza una;

La fig. 4, es un diagrama explicativo del contenido de los registros en operación en la sumadora dedimal mostrada en la fig. 3; en la fig. 4, significan D = contenido de AR (16); E = contenido de BR (16); F = contenido de DCR (binario);

5 G = significa proceso.

La fig. 5, es un diagrama de bloque ilustrando un tercer ejemplo de sumadora decimal convencional usando un circuito de espera de transporte de avance, en que se basa este invento;

10 en la fig. 5, significan J = espera de transporte de avance (CLA); B = significa transporte de entrada; I = significa transporte de salida;

la fig. 6, es un diagrama de bloque mostrando la sumadora de la fig. 5 por completo;

15 en la fig. 6, significa B = entrada de transporte; I = significa transporte de salida.

La fig. 7, es un diagrama de bloque mostrando un cuarto ejemplo de una sumadora decimal convencional, que ejecuta además, en dos ciclos de máquina, una suma y en que se basa este invento; en la fig. 7 significa B = transporte de entrada

20 A = sumadora binaria; L = transporte de dígito en bloque; M = modo decimal;

la fig. 8, es un diagrama explicativo del contenido de los registros en operación en la sumadora decimal ilustrada en la fig. 7;

25 en la fig. 8, significan D = contenido de AR (16); E = contenido de BR (16); F = contenido de DERR(binario);

la fig. 9, es un diagrama de bloque ilustrando un quinto e-

30

1 ejemplo de una sumadora decimal convencional, que ejecuta una adición en un ciclo de máquina;

en la fig. 9, significa Q = sumadora digital;

la fig. 10, es un diagrama de referencia que explica problemas de la sumadora ilustrada en la fig. 9;

5 en la fig. 10, significan N = entrada; O = + 6 salida; P = + 10 salida;

La fig. 11, es un diagrama de bloque ilustrando una ejecución de una sumadora parcial para uso en este invento;

en la fig. 11, significan R = hacia CLA; S = GG, GP binario;

10 T = GG, GP decimal; U = - modo decimal;

la fig. 12, es un diagrama de bloque mostrando una ejecución de una media sumadora usada en la ejecución de la fig. 11;

la fig. 13, es un diagrama ilustrando la construcción de una ejecución de una parte de circuito generador de señal de entrada de espera de transporte de avance, utilizada en la ejecución de la fig. 11;

15 en la fig. 13, significa a = hacia CLA (figura 16); b = hacia 15; c = hacia la figura 14; d = hacia CLA (figura 16 A).

La fig. 14, es un diagrama ilustrando la construcción de una ejecución de una parte de sumadora intermedia usada en la ejecución de la fig. 11. En la fig. 14, significa e = desde la fig. 13.

20 La fig. 15, es un diagrama mostrando la construcción de una parte de sumadora completa usada en la ejecución de la fig. 11;

En la fig. 15 significa e = desde la figura 13.

25 Las figuras 16A y 16B, son diagramas mostrando una ejecución

30

1 de un circuito de espera de transporte de avance para uso
en este invento significando en la fig. 16A, : B = transpor-
te de entrada; g = hacia la fig. 16B; y en la fig. 16B, sig-
nifica h = desde la fig. 16A; I = - transporte de salida;
5 la fig. 17, es un diagrama de circuito ilustrando una eje-
cución de la parte rodeada por la línea interrumpida en la
fig. 15.

En la fig. 17, significa j = Voltios.

En primer lugar, se dará una descripción de los modos pri-
mero hasta 6R de operación considerados como premisa de este
10 invento.

Primer modo.

Hasta ahora se ha propuesto una variedad de métodos para la
adición de números decimales codificados binarios (BCD). El
15 método más básico de adición decimal es realizar una opera-
ción usando una sumadora binaria 3 veces por el empleo de
una estructura de paso tal como se ilustra en la fig. 1.

El procedimiento para la adición decimal por el material de
paso, según se describe en los siguientes procedimientos
20 (1A) hasta (4A).

(1A), se abren los pasos g_{AIN} y g_{BIN} para cargar una canti-
dad y un sumando en los registros AR y BR respectivamente
(termina el primer proceso).

25 (2A), se abren los pasos g_{AA} y g_{BA} para sumar los contenidos
de los registros AR y BR por una sumadora binaria. El re-
sultado de la adición se carga en el registro AR a través
de un paso g_{AS} (termina el segundo proceso)

(3A), se abren los pasos g_{AA} y g_6 para sumar el resultado
30 arriba citado de adición con un número, cuyos dígitos son

1 todos "6". El resultado de esta adición se carga en el registro AR a través del paso g_{AS} . También, la salida de transporte de cada dígito se carga en un registro DCR de transporte de dígito. El número de bits del registro DGR se exige que sea igual al número de dígitos de los datos manipulados (termina el tercer proceso).

5 (4A), los pasos g_0 , g_1 , g_2 y g_3 se abren selectivamente, dependiendo del contenido del registro DCR, de modo que se introduzca selectivamente un valor número "10" (1010 en la notación binaria y A en la notación hexadecimal). Solamente en aquellas de las posiciones de dígito del registro DCR cuyos bits sean "0" indicando que no se han aplicado transportes anteriores desde los dígitos del valor numérico arriba citado.

10 Por otra parte, se abre el paso g_{AA} para introducir el resultado de la adición en el proceso (3A) al otro sumador binario. En este tiempo, se energiza una señal de transporte de dígito de bloque para inhibir la propagación del transporte entre los dígitos (termina el cuarto proceso).

15 Con la operación arriba indicada, puede sumarse "10" (equivalente a la resta de "6") selectivamente para cada dígito. Esta operación se menciona como corrección decimal. La salida, desde la sumadora binaria en este tiempo indica el resultado de una adición decimal correcta. La salida de la sumadora se carga de nuevo en el registro AR a través del

20 paso g_{AS} . (Esta operación no siempre se requiere). La salida de la sumadora puede aplicarse también a otro registro o parte funcional.

25 Un ejemplo operativo específico del procedimiento arriba in

30

1

5

10

15

20

25

30

dicado se describirá más abajo.

Debe suponerse que la cantidad básica o guarismo es "3528"

y que el sumando es "2691".

En el procedimiento (1A),

0011	0101	0010	1000	Y
0010	0110	1001	0001	

se ajustan en los registros AR y BR respectivamente.

En el proceso (2A),

0011	0101	0010	1000
+ 0010	0110	1001	0001
<hr/>			
0101	1011	1011	1001

se ajusta en el registro AR.

En el proceso (3A), "6" se suma a cada dígito.

0101	1011	1011	1001
+ 0110	0110	0110	0110
<hr/>			

1100	0010	0001	1111
↓	↓	↓	↓
0	1	1	0

transporte

y la suma se ajusta en el registro AR y el transporte se ajusta en el registro DCR.

En el proceso (4A),

1100	0010	0001	1111
+ 1010	0000	0000	1010
<hr/>			
0110	0010	0001	1001

se ajusta en el registro AR, procurando una suma "6219".

Puesto que el método de la fig. 1, usa 3 veces la sumadora binaria, como se ha descrito arriba, si una adición requiere un ciclo de máquina, se necesitarán 3 ciclos de máquina. Además, este método requiere la función de introducir, bien sea una de las dos constantes "6" ó "A" (hexadecimal) para

1 cada dígito y la función de inhibir la propagación de transporte entre los dígitos y medios para almacenar temporalmente el transporte desde cada dígito. Sin embargo, después del proceso 2A, no se usa el registro BR, de modo que pueden utilizarse algunos de los bits del registro BR en lugar del registro DCR en la fig. 1.

5 Segundo modo

Aún para la adición decimal, que requiere 3 ciclos de máquina, como es el caso en el ejemplo 1, puede simplificarse el material básico, por ejemplo, como se ilustra en la fig. 3. En la fig. 3, puesto que la función de introducir la constante A a la sumadora y la función de inhibir la propagación del transporte entre dígitos no se emplea, se reduce correspondientemente la cantidad de material de paso básico.

10 El procedimiento para la adición decimal usando el material de paso básico de la fig. 3, se describirá más abajo. Un ejemplo del contenido de cada registro al tiempo de completar cada proceso, se ilustra en la fig. 4.

15 (1B), se abren los pasos ϕ_{AIN} y ϕ_{BIN} para cargar una cantidad básica y un sumando en los registros AR y BR respectivamente. El registro DCR, se ajusta a "0" (termina el primer proceso).

20 (2B) los pasos ϕ_{AA} y ϕ_{BA} se abren para introducir los contenidos de los registros AR y BR a la sumadora binaria para adición. El resultado de la adición se carga en el registro AR por medio del paso ϕ_{AS} . Al mismo tiempo, todos los bits del registro DCR, se ajustan a "1" (termina el segundo proceso).

25

30

1

5

10

15

20

25

30

(3B) puesto que los bits del registro DCR son todos "1", se abren los pasos g_0 , g_1 , g_2 y g_3 para introducir la constante "6666" a una parte de la sumadora. Por otra parte, el paso g_{AA} es abierto para dar entrada al resultado de la adición en el proceso (2B) al lado de entrada del calculador para adición. El transporte de cada dígito resultante de esta adición se carga en el registro DCR. El resultado de la adición (suma) no se usa (termina el tercer proceso)

(4B) dependiendo del contenido del registro DCR, se abren selectivamente los pasos g_0 , g_1 , g_2 y g_3 para dar entrada al número "6" sólo a aquellas de las posiciones de dígito del registro DCR, en que los bits son "1", es decir, las posiciones de dígito donde las salidas de transporte fueron producidas en adición en el proceso (3B) y un número "0" es introducido a las otras posiciones de dígito. A la otra entrada de la sumadora, se introduce el contenido del registro AR, es decir, el resultado de la adición en el proceso (2B). La salida resultante de la sumadora es el resultado de una adición decimal correcta. Este resultado (suma) es transferido a otra parte funcional directamente o después de haberse cargado en el registro AR a través del paso g_{AS} (termina el cuarto proceso).

Tercer modo.

Es posible la aceleración de la operación del sistema mostrado en la fig. 3. En efecto, el proceso (3B) es notablemente diferente del proceso (3A). Parece ser y puede observarse que el proceso (3A) se requiere para obtener un resultado correcto de la adición para el siguiente proceso y que el proceso (3B) no se requiere para obtener la suma,

1 sino que se requiere solo para indicar la presencia o la
ausencia de la salida de transporte de cada dígito.
Por lo tanto, por la provisión de un circuito de espera de
transporte de avance, que predice o espera en avance lo que
5 resultará de la salida de transporte para cada dígito, es
decir, la salida de transporte de dígito decimal si debiera
introducirse el número "6666" en adición a la entrada a la
sumadora durante la adición en el proceso (2B), podrían e-
jecutarse los procesos (2B) y (3B) en el mismo ciclo de má-
quina, Sin embargo, es anti-económico procurar el arriba
10 citado circuito de espera de transporte de avance para la a-
dición decimal independientemente del circuito de espera de
transporte de avance del contador binario.
También en el caso del sumador binario, cuando es grande la
longitud de los datos, por ejemplo, 4 u 8, bits, la sumado-
15 ra se diseña para que se componga de sumadoras parciales, te-
niendo cada una una amplitud de 4 ó 8 bits principalmente
al propósito de una operación de alta velocidad. En este ca-
so, cada sumadora parcial produce desde la parte de su en-
trada un término GG de generación de grupo y un término GP
20 de propagación de grupo, respectivamente. El término GG, es
una señal, que depende solo de los datos de entrada manipu-
lados por el sumador parcial e indica que tiene que aplicar-
se una entrada de transporte al sumador parcial de orden
25 inmediatamente superior. El término GP, es una señal que in-
dica la aplicación de la entrada de transporte a la sumado-
ra parcial de orden superior, solo cuando se aplique la en-
trada de transporte a esta sumadora parcial desde la orden
inferior. Suponiendo que la sumadora parcial es de 4 bits,
30

1

5

6

10

15

20

25

30

es decir, que algunos de sus datos de entrada son a_i, a_{i+1}, a_{i+2} y a_{i+3} y que los otros datos de entrada son b_i, b_{i+1}, b_{i+2} y b_{i+3} , los términos de generación y propagación g_i y P_i se definen como sigue para cada bit:

$$g_i = a_i \cdot b_i \quad \dots\dots\dots (1)$$

$$P_i = a_i + b_i \quad \dots\dots\dots (2)$$

$$h_i = a_i \oplus b_i = a_i \cdot \bar{b}_i + \bar{a}_i \cdot b_i \quad \dots\dots\dots (3)$$

Si los términos GG y GP de esta sumadora parcial se representan por GG_i y GP_i , respectivamente, se indican por las siguientes ecuaciones en que $i = 4n$ ($n = 0, 1, 2, 3$)

$$GG_i = g_i + P_i \cdot g_{i+1} + P_i \cdot P_{i+1} \cdot g_{i+2} + P_i \cdot P_{i+1} \cdot P_{i+2} \cdot g_{i+3} \quad \dots\dots\dots (4)$$

$$GG_i' = g_i + h_i \cdot g_{i+1} + h_i \cdot h_{i+1} \cdot g_{i+2} + h_i \cdot h_{i+1} \cdot h_{i+2} \cdot g_{i+3} \quad \dots\dots\dots (4')$$

$$GP_i = P_i \cdot P_{i+1} \cdot P_{i+2} \cdot P_{i+3} \quad \dots\dots\dots (5)$$

$$GP_i' = h_i \cdot h_{i+1} \cdot h_{i+2} \cdot h_{i+3} \quad \dots\dots\dots (6)$$

donde cada sumadora parcial genera tales términos GG y GP es necesario procurar un circuito, que reciba los términos de todas las sumadoras parciales para decidir la entrada de transporte a cada una de ellas. Este circuito puede diseñarse como una parte independiente bajo el nombre de un circuito de transporte externo, pero también es posible procurar las partes necesarias para las sumadoras parciales en posiciones requeridas. En el último caso, sin embargo, los términos GG y GP, desde las sumadoras parciales de orden inferior, se distribuyen a unas de orden superior, de modo que se necesita un alambrado complicado. En todo caso, el

1

circuito general para la generación de los términos GG y GP y la decisión de la entrada de transporte a cada sumadora parcial, realiza la función de espera de transporte de avance.

5

Basado en la entrada de transporte de espera de avance, al mismo, cada sumador parcial procura una suma correcta para la parte asignada a la misma. La fig. 5, explica tal sumadora parcial y tal mecanismo de espera de transporte de avance. En la fig. 5, la sumadora parcial se ilustra teniendo una amplitud 4 bit, pero la amplitud también puede ser mayor o menor. También, la misma sumadora puede formarse como una de 4 o de 8 bits incrementando el número de sumadoras parciales para aumentar solo la parte de espera de transporte de avance. En el ejemplo de la fig. 5, las entradas de transporte CI₃, CI₇ y CI₁₁ a las sumadoras parciales respectivas son iguales a las salidas de transporte CO₄, CO₈ y CO₁₂ de las mismas, respectivamente y se indican por las siguientes ecuaciones:

10

15

20

$$CI_{11} = \overline{CO}_{12} = GG_{12} + GP_{12} \cdot \text{TRANSPORTE ENTRADA} \quad (7)$$

$$CI_7 = \overline{CO}_8 = GG_8 + GP_8 \cdot GG_{12} + GP_8 \cdot GP_{12} \cdot \text{TRANSPORTE ENTRADA} \quad (8)$$

$$CI_3 = \overline{CO}_4 = GG_4 + GP_4 \cdot GG_8 + GP_4 \cdot GP_5 \cdot GG_{12} + GP_4 \cdot GP_8 \cdot GP_{12} \cdot \text{TRANSPORTE ENTRADA} \quad (9)$$

25

$$\begin{aligned} \text{TRANSPORTE SALIDA} = & GG_0 + GP_0 \cdot GG_4 + GP_0 \cdot GP_4 \\ & GG_8 + GP_0 \cdot GP_8 \cdot GG_{12} \\ & + GP_0 \cdot GP_4 \cdot GP_8 \cdot GP_{12} \cdot \text{TRANSPORTE ENTRADA} \quad (10) \end{aligned}$$

30

La sumadora de la fig. 5, es tal como se ilustra en la fig. 6 por completo. Lo arriba indicado describe que la provi-

1 sión independiente del circuito de espera de transporte de
avance para la adición decimal, es anti-económica.

Cuarto modo.

Como se ha descrito arriba, la adición decimal usando la
sumadora binaria, requiere 3 ciclos de máquina y, con el
5 fin de reducirlos a dos ciclos de máquina, se necesita un
circuito de espera de transporte de avance para la adición
decimal. Si el circuito de espera de transporte de avance
para adición decimal se procura independientemente, es ne-
cesario procurar circuitos para generar los términos GG y
10 GP para adición decimal para cada sumadora parcial y el cir-
cuito de espera de transporte de avance mostrado en la fig.
5. Para la operación de espera de transporte de avance para
adición decimal, es indispensable que cada sumadora parcial
15 tenga las funciones de generar los términos GG y GP para a-
dición decimal, pero es mejor que la parte correspondiente
al circuito de espera de transporte de avance, descrito en
la fig. 5, se utilice efectivamente para adición decimal.
A este fin, se describirá un nuevo algoritmo para adición
20 decimal.

La fig. 7 muestra la estructura para ello y el procedimien-
to se explicará aquí más abajo. Un ejemplo del contenido de
cada registro al tiempo de completar los procesos (1C) has-
ta (3C).

25 (1C) Los pasos ϑ_{AIN} Y ϑ_{BIN} son abiertos para cargar y un
guarismo y un sumando en los registros AR y BR, respectiva-
mente (termina el primer proceso).

(2C) Los pasos ϑ_{AA} Y ϑ_{BA} son abiertos para introducir los
30 contenidos de los registros AR y BR a la sumadora binaria

1 para adición. En este tiempo, se energiza una señal de modo decimal para hacer que la propagación de transporte para cada dígito sea un transporte decimal. La adición basada en cada dígito, después de obtener la entrada de transporte al mismo, se efectúa en la notación hexadecimal. Esto

5 significa que es suficiente solo para obtener los términos GG_0 hasta GG_{12} y GP_0 hasta GP_{12} en la notación decimal. En otras palabras, el término GG_i es "1" cuando la suma de adición de sus a_i hasta a_{i+3} y b_i hasta b_{i+3} sea "10" o más y el término GP_i sea "1" cuando la suma de adición de a_i

10 hasta a_{i+3} y b_i hasta b_{i+3} sea "9" o más. En este tiempo la salida de transporte para cada dígito es cargada en el registro DCR. La suma es cargada en el registro AR a través del paso g_{A5} (termina el segundo proceso).

15 (3C) Los pasos g_0 hasta g_3 son abiertos selectivamente, correspondiendo a aquellas de las posiciones de dígito del registro DCR, en que los bits son "1", es decir, que las posiciones de dígito, en que se procuraron salidas de transporte decimales en la adición del proceso (2C) y el paso

20 g_{AA} es abierto para introducir el resultado de la adición en el proceso (2C) para la adición binaria. En este tiempo se energiza una señal de transporte de dígito de bloque para realizar una adición en cada dígito, inhibiendo la propagación de transporte. Esto procura un resultado correcto de la adición decimal y la salida de la sumadora binaria es cargada en el registro AR a través del paso g_{A5} o se transfiere directamente a otra parte funcional (termina el

25 tercer proceso).

30 Ahora, se discutirá con algún mayor detalle, el método pa-

1 ra formar el transporte decimal en el proceso (2C). El número decimal ahora considerado es un decimal codificado binario formando uno y cuatro bits de la notación binaria un dígito del número decimal. Por lo tanto, la magnitud (amplitud de datos) de cada una de las sumadoras parciales, 5 que constituye la sumadora binaria, es que una magnitud de 4 bits es la magnitud fundamental y es natural que este tipo extendido sea un múltiplo integral de 4 bits. Por lo tanto, debe suponerse que la sumadora de la fig.7 se compone de tales 4 sumadoras parciales de 4 bits como se ilustra en la fig. 5. Los términos GG y GP, en la sumadora parcial binaria de 4-bit, se expresan por las ecuaciones (4) y (5), respectivamente. En este caso, G_i es "1" cuando la suma de adición de a_i hasta a_{i+3} con b_i hasta b_{i+3} es "16" o más, mientras que GP_i es "1" cuando la suma arriba citada es "15" o más. GP_i se convierte en "1" sólo cuando la suma es "15" pero cuando se obtiene cada transporte desde las ecuaciones (7) hasta (10) se obtiene el mismo resultado sin tener en cuenta de si GP_i o GP_i se utiliza. Los términos GG y GP, que deben generarse por cada sumadora parcial para el proceso arriba citado (2C) son para la adición decimal y por lo tanto, se identificarán como DGG y DGP en distinción de los arriba citados términos GG y GP, respectivamente. Puesto que se requiere que DGG_i sea "1" cuando la suma de adición de a_i hasta a_{i+3} con b_i hasta b_{i+3} es "16" o más, resulta como sigue.

10

15

20

25

30

1

$$DGG_i = g_i + P_i \cdot (P_{i+1} + P_{i+2} + g_{i+3}) \\ + g_{i+1} \cdot (P_{i+2} + g_{i+3}) \\ + P_{i+1} \cdot g_{i+2} \cdot g_{i+3} \dots \dots \dots (11)$$

6

5

$$DGG_i' = g_i + h_i \cdot h_{i+1} + h_i \cdot g_{i+1} + h_i \cdot g_i \\ + h_i \cdot h_{i+2} + h_i \cdot g_{i+3} + g_{i+1} \cdot h_{i+2} \\ + 2 \cdot g_{i+1} \cdot g_{i+2} + g_{i+1} \cdot g_{i+3} \\ + h_{i+1} \cdot g_{i+2} \cdot g_{i+3} \dots \dots \dots (12)$$

En la ecuación (12) los términos 3º y 4º no existen en el caso de una entrada BCD de modo que si se omiten, se obtiene la siguiente ecuación.

10

$$DGG_i' = g_i + h_i \cdot (h_{i+1} + h_{i+2} + g_{i+3}) \\ + g_{i+1} \cdot (h_{i+2} + g_{i+2} + g_{i+3}) \\ + h_{i+1} \cdot g_{i+2} \cdot g_{i+3} \dots \dots \dots (12')$$

Además, se requiere que DGP_i sea "1" cuando la suma de adición a_i hasta a_{i+3} con b_i hasta b_{i+3} sea "9" o más y el término de más de "9" no siempre se requiere que se incluya, de modo que DGP_i puede obtenerse por la siguiente ecuación.

15

$$DGP_i = (P_i + g_{i+1} + P_{i+1} \cdot g_{i+2}) \cdot P_{i+3} \dots \dots \dots (13)$$

6

20

$$DGP_i' = (h_i + g_{i+1} + h_{i+1} \cdot g_{i+2}) \cdot h_{i+3} \dots \dots \dots (14)$$

Los términos GG y GP, dados por las ecuaciones (10) y (14) respectivamente, son suficientes para ser generados solo en el modo de operación decimal y es necesario procurar los valores de las ecuaciones (4) hasta (6) en otros modos que el modo decimal de operación. Puesto que los términos GG y GP de las ecuaciones (4) hasta (6) son para la operación binaria, se identificarán como BGG y BGP, respectivamente. Los términos GG y GP, que den hacerse salir desde cada sumadora parcial, se indican por las siguientes ecuaciones.

25

30

1

$$GG_i = BGG_i \text{ (DECIMAL MODO)}$$

$$+DGG_i \text{ (DECIMAL MODO)} \dots\dots\dots (15)$$

$$GP_i = BGP_i \text{ (DECIMAL MODO)}$$

$$+DGP_i \text{ (DECIMAL MODO)} \dots\dots\dots (16)$$

5

Puesto que todos los términos de BGG_i y BGP_i pueden incluirse en el modo de operación decimal, pueden indicarse por las siguientes ecuaciones.

$$GG_i = BGG_i + DGG_i \text{ (DECIMAL MODO)} \dots\dots\dots (15')$$

$$GP_i = BGP_i + DGP_i \text{ (DECIMAL MODO)} \dots\dots\dots (16')$$

10

Se describirá en detalle en conexión con el caso en que los términos GG y GP se representen por los términos g y k respectivamente, las ecuaciones (15') y (16') resultarán como sigue:

15

$$GG_i = g_i + h_i \cdot g_{i+1} + h_i \cdot h_{i+1} \cdot g_{i+2}$$

$$+ h_i \cdot h_{i+1} \cdot h_{i+2} \cdot g_{i+3}$$

$$+ \left\{ h_i (h_{i+1} + h_{i+2} + g_{i+3}) + g_{i+1} \cdot h_{i+2} + g_{i+1} (g_{i+2} + g_{i+3}) + h_{i+1} \cdot g_{i+2} \cdot g_{i+3} \right\} \text{ (DECIMAL MODO)} \dots\dots\dots (17)$$

20

$$GP_i = h_i \cdot h_{i+1} \cdot h_{i+2} \cdot h_{i+3}$$

$$+ (h_i + g_{i+1} + h_{i+1} \cdot g_{i+2}) \cdot h_{i+3} \dots\dots\dots (18)$$

(DECIMAL MODO)

25

Como puede observarse en lo arriba indicado, la adición decimal puede conseguirse en dos ciclos de máquina, procurando como material básico adicional para la adición decimal en el proceso (2C), pasos (estimados aproximadamente) 10 pasos AND por dígito) para generar los términos para el MODO DECIMAL en las ecuaciones (17) y (18), medios para almacenar el transporte desde cada dígito (por ejemplo, bridas iguales en número a los dígitos), medios para introducir selectiva-

30

1 mente el número "6" (011)" a cada dígito y medios para inhibir la propagación de transporte entre los dígitos en el proceso (3C).

Quinto modo.

5 Ahora, se hará una discusión respecto a un método para efectuar una adición decimal en un ciclo de máquina, hablando correctamente, un método de adición decimal usando la parte de sumadora principal solo una vez. El sistema más básico es aquel ilustrado en la fig. 9.

10 En el caso de realizar una adición de números binarios por el empleo de la sumadora de la fig. 9, se abren los pasos 9_{AIN} y 9_{BIN} para cargar un guarismo y un sumando en los registros AR y BR, respectivamente, y se abren los pasos 9_{AA} y 9_{BA} para introducir los contenidos de los registros AR y BR a la sumadora binaria para adición. La salida desde la sumadora se deriva desde la misma a través de los pasos G_{BS0} hasta G_{BS3} para obtener las sumas SUM_0 hasta SUM_{15} .

15 La adición de números decimales (BCD) por la sumadora de la fig. 9 sigue los procesos siguientes.

20 (1D) se abren los pasos 9_{AIN} y 9_{BIN} para cargar un guarismo y un sumando en los registros AR y BR respectivamente.

(2D) se suma "6" por una sumadora de un dígito al contenido del registro BR para cada dígito. En este tiempo no hay necesidad de propagación de transporte entre los dígitos, de modo que las sumadoras de un dígito pueden ser formadas con una etapa lógica.

25 (3D) Se abre el paso 9_{AA} y 9_{BA} para introducir las sumas de los contenidos de los registros AR y BR y "6666" a la

30

1

5

10

15

20

25

30

sumadora binaria para adición.

(4D) Se suma "10 (1010)" por una sumadora de dos dígitos a cada dígito de resultado (suma) de la adición en el proceso (3D).

Tampoco en esta adición se requiere ninguna propagación de transporte entre los dígitos, de modo que la sumadora de 2 dígitos también puede ser formada con una etapa lógica.

(5D) Son abiertos los pasos g_{DS0} hasta g_{DS3} de los dígitos que corresponden a aquellas de las posiciones de dígito que no produjeron ninguna salida de transporte en la adición del proceso (D) para seleccionar la salida de la sumadora de dígito//2 y pasos g_{BS0} hasta g_{BS3} de los dígitos correspondientes a las posiciones de dígito que produjeron las salidas de transporte, se abren para seleccionar la salida de la sumadora binaria. Las dos salidas se suman entre sí para procurar el resultado de la adición decimal SUM_0 hasta SUM_{15} .

Sin embargo, el sistema arriba mencionado tiene una dificultad en un punto, que se describirá posteriormente, en particular un problema de obtener la suma de bits de paridad.

Para profundizar la comprensión de la sumadora de dígito 1 y de la sumadora de dígito 2, en la figura 9, se dará otra descripción de las mismas.

La fig. 10, ilustra los resultados de las adiciones de "6" y "10" a entradas de un dígito. En la fig. 10 * indica las posiciones en que la paridad para el dígito es invertida en la entrada y en la salida. Las salidas de la sumadora de dígito//1 para la adición de "6" no se ilustran en conexión

1 con entrada "10" y más (1010 hasta 1111) puesto que las entradas
 5 de un dígito son entradas BCD desde 0 a 9. En conexión
 con la adición de "10", los pasos 9_{DS0} hasta 9_{DS3} , que no
 se usan, excepto las salidas desde la sumadora de dígito
 2 son "0" hasta "9" no son abiertas, de modo que no se pro-
 5 ducen ninguna clase de salidas.

Puesto que se procura el bit de paridad usualmente para cada
 bite (cada 8 bits), los datos de entrada b_0, b_1 hasta
 b_7 de un bite y un bite de paridad b_p se considerará. De-
 jando que se represente el resultado de la adición de "6"
 10 por b_0', b_1' hasta b_7' y b_p' , son como sigue:

(Se supone que la entrada es una entrada BCD)

$$b_0' = b_0 + b_1 + b_2 \dots \dots \dots (19)$$

$$b_1' = b_1 \oplus b_2 \dots \dots \dots (20)$$

$$b_2' = \bar{b}_2 \dots \dots \dots (21)$$

$$b_3' = b_3 \dots \dots \dots (22)$$

$$P_{INVT\ 0-3}' = b_1 \cdot \bar{b}_2 \dots \dots \dots (23)$$

$$b_4' = b_4 + b_5 + b_6 \dots \dots \dots (24)$$

$$b_5' = b_5 \oplus b_6 \dots \dots \dots (25)$$

$$b_6' = \bar{b}_6 \dots \dots \dots (26)$$

$$b_7' = b_7 \dots \dots \dots (27)$$

$$P_{INVT\ 4-7}' = b_5 \cdot \bar{b}_6 \dots \dots \dots (28)$$

$$b_p' = b_p \oplus P_{INVT\ 0-3}' \oplus P_{INVT\ 4-7}'$$

$$= b_p \oplus (b_1 \cdot \bar{b}_2) \oplus (b_5 \cdot \bar{b}_6) \dots (29)$$

25 A continuación, dejanto que el resultado de la adición de
 "10" se represente por b_0'', b_1'' hasta b_7'' y b_p'' , se expresan
 por las siguientes ecuaciones. Cuando no se procura
 ninguna salida desde la sumadora de dígito #2, desde "0"
 30

1
5
10
15
20
25
30

hasta "9" no se usa el resultado de la adición de "10" como se ha descrito arriba, de modo que solo se consideran como datos de entrada 0110 hasta 1111. Los otros modelos de entrada pueden incluirse como redundancias.

$$b_0'' = b_0 \cdot b_1 \cdot b_2 \dots \dots \dots (30)$$

$$b_1'' = b_1 \cdot \bar{b}_2 \dots \dots \dots (31)$$

$$b_2'' = \bar{b}_2 \dots \dots \dots (32)$$

$$b_3'' = b_3 \dots \dots \dots (33)$$

$$P_{INVT\ 0-3} = \bar{b}_1 \cdot b_2 \dots \dots \dots (34)$$

$$b_4'' = b_4 \cdot b_5 \cdot b_6 \dots \dots \dots (35)$$

$$b_5'' = b_5 \cdot \bar{b}_6 \dots \dots \dots (36)$$

$$b_6'' = \bar{b}_6 \dots \dots \dots (37)$$

$$b_7'' = b_7 \dots \dots \dots (38)$$

$$P_{INVT\ 4-7} = \bar{b}_5 \cdot b_6 \dots \dots \dots (39)$$

$$b_p'' = b_p \cdot \bar{P}_{INVT\ 0-3} \cdot \bar{P}_{INVT\ 4-7} \\ = b_p \cdot (b_1 \cdot b_2) \cdot (b_5 \cdot b_6) \dots \dots (40)$$

Como es evidente de las ecuaciones arriba citadas (19) hasta (20) es fácil formar cada parte de suma de la sumadora de dígito con una etapa lógica por el uso de un paso AND y un paso EOR (exclusive OR). Sin embargo, se requiere un gran número de pasos para formar la lógica para obtener la paridad de la suma, es decir, las ecuaciones (29) y (40) con una etapa lógica.

Por ejemplo, la expansión de la ecuación (40) conduce a la ecuación (41) descrita posteriormente, de modo que, aún si las salidas de los pasos AND se convierten en OR, entre sí con el OR alambrado, se necesitan 9 pasos AND. En adición, se requieren entradas, tanto positivas, como negativas. De acuerdo con ello, la paridad se predice usualmente

1

5

10

15

20

25

30

después de obtener los términos $P_{INVT 0-3}$ y $P_{INVT 497}$.
Esto disminuye el número de pasos usados, pero por lo me-
nos, son necesarias dos etapas lógicas para obtener la pa-
ridad:

$$b_p^n = b_p \cdot (\bar{b}_1 \cdot b_2 \cdot \bar{b}_5 \cdot b_6 + b_1 \cdot b_5 + b_1 \cdot \bar{b}_6) + \bar{b}_2 \cdot b_5 + \bar{b}_2 \cdot \bar{b}_6 + \bar{b}_p \cdot (b_1 \cdot b_2 \cdot b_5 + \bar{b}_1 \cdot b_2 \cdot \bar{b}_6 + b_1 \cdot \bar{b}_5 \cdot b_6 + \bar{b}_2 \cdot \bar{b}_5 \cdot b_6) \dots\dots\dots (41)$$

Con la sumadora de la fig. 9 puede efectuarse la adición decimal en un ciclo de máquina, pero puesto que se requie-
ren la sumadora de dígito # 1 y la sumadora de dígito # 2,
antes y después de la sumadora binaria, existe la posibili-
dad de prolongar un ciclo de máquina mismo.

Sexto modo.

Un ejemplo de sumadora decimal de velocidad más elevada se describe en la obra "IEEE TRANSACTIONS on Computer", volumen C-20, número 8, Agosto 1.971. La sumadora expuesta en esta bibliografía es una sumadora decimal de alta velocidad de un amplitud de 4-bite (8 dígitos) usada en el sistema IBM modelo 360, 195 y se usan 6 etapas lógicas. La sumadora decimal, descrita en la bibliografía arriba citada puede considerarse que se compone de 4 sumadoras parciales de 1-bite, es decir, 4 sumadoras parciales de 2 dígitos. 2 dígitos en cada sumadora parcial se consideran divididos en 3 bits de orden superior y un bit de orden inferior y definen un término de señal K que es "1" cuando la suma de los bits de orden superior es "10" o más y un término de señal L que es "1" cuando la suma arriba citada es "8" o mas. Con $i = 8.n$ ($n = 0,1,2,3$), K_i , K_{i+4} , L_i y L_{i+4} se expresan por las siguientes ecuaciones (42) hasta (45)

1

5

10

15

20

25

30

respectivamente.

$$K_i = g_i + P_i \cdot P_{i+1} + P_i \cdot P_{i+2} + g_{i+1} \cdot P_{i+2} \dots (42)$$

$$K_{i+4} = g_{i+4} + P_{i+4} \cdot P_{i+5} + P_{i+4} \cdot P_{i+6} + g_{i+5} \cdot P_{i+7} \dots (43)$$

$$L_i = P_i + g_{i+1} + P_{i+1} \cdot g_{i+2} \dots (44)$$

$$L_{i+4} = P_{i+4} + g_{i+5} + P_{i+5} \cdot g_{i+7} \dots (45)$$

De los términos K y L, producidos así de modo intermedio, se genera un grupo generador del término GG y un grupo del término de propagación GP de cada sumadora parcial como un todo y se suministran a la sumadora parcial de orden superior. Se expresan por las siguientes ecuaciones.

$$GG_i = K_i + L_i \cdot g_{i+3} + L_i \cdot P_{i+3} \cdot K_{i+4} + L_i \cdot P_{i+3} \cdot L_{i+4} \cdot g_7 \dots (46)$$

$$GP = L_i \cdot P_{i+3} \cdot L_{i+4} \cdot P_{i+7} \dots (47)$$

La sumadora parcial suministrada con los términos GG y GP desde la sumadora parcial de orden inferior, forma una salida de transporte desde el bit menos significativo de cada dígito, es decir, una entrada de transporte a cada uno de los 3 bits de orden superior, basado en los términos recibidos GG y GP y los términos K y L y términos $g_{i+3} \cdot P_{i+3}$, g_{i+7} y P_{i+7} de la misma sumadora parcial. Y se procura una suma basada en la señal de transporte y los términos K y L y términos GG y P para cada bit.

Con tal estructura, la amplitud de la sumadora es pequeña y cuando es pequeño el número de sumadoras parciales usadas, la formación de transporte arriba citada es fácil, pero cuando se usan muchas sumadoras parciales, resulta compleja la formación de tal transporte. Ahora las salidas de transporte CO_3 y CO_7 de los bits menos significativos de los dígi-

1

5

10

15

20

25

30

tos en el dígito más significativo y el proximo dígito son tales como sigue:

$$\begin{aligned}
CO_3 = & g_3 + P_3 \cdot K_4 + P_3 \cdot L_4 \cdot g_7 \\
& + P_3 \cdot L_4 \cdot P_7 (GG_8 + GP_8 \cdot GG_{16} \\
& + GP_8 \cdot GP_{16} \cdot GG_{24}) \dots\dots\dots (48)
\end{aligned}$$

$$CO_7 = g_7 + P_7 (GG_8 + GP_8 \cdot GG_{16} + GP_8 \cdot GP_{16} \cdot GG_{24}) \dots (49)$$

Generalmente, el material básico de una sumadora parcial se designa como lógica sobre un tablero de circuito impreso un LSI o un área en un LSI superior y es deseable que todas las sumadoras parciales tengan exactamente las mismas configuraciones lógicas y físicas. Por ejemplo, cuando un LSI tiene la función de sumadora parcial de 1-bite, puede formarse una sumadora de 4-bits con 4 LSI idénticos y no hay necesidad de diseñar 4 diferentes LSI.

Sin embargo, cuando se incorpora un circuito para generar las salidas de transporte, indicadas por las arriba citadas ecuaciones (48) y (49) en LSI de sumadoras parciales, se incluyen espigas de entrada y pasos internos que no se usan prácticamente, en los LSI para bits de orden inferior, lo que es anti-económico. Según aumenta el número de sumadoras parciales, resulta enorme el número de espigas de entrada y pasos para el circuito generador de transporte y los números de espigas de entrada y pasos no usados en las sumadoras parciales de orden inferior aumentan correspondientemente. En la práctica, un ordenador de tamaño excesivo tiene una sumadora binaria de una amplitud de 8 bits y si se usa la sumadora binaria de 8 bits como una sumadora decimal, también se despilfarra el arriba citado circuito de transporte. Además, cuando el número de términos para pro-

1 ducir el transporte aumenta, es difícil en el sistema de
la sumadora descrita en la bibliografía antedicha que las
etapas lógicas sean todas formadas con 6 etapas. En general
en el caso de un número aumentado de sumadoras parciales,
5 por ejemplo, cuando se forme una sumadora de alta veloci-
dad con 8 o 16 sumadoras parciales, se requiere inevitable-
mente una configuración como la que se ilustra en la fig. 5.
Es decir, se requiere que la sumadora se componga de su-
madoras parciales teniendo cada una un circuito para gene-
rar los términos GG y GP para la entrada asignada a la su-
10 madora parcial y un circuito de espera de transporte de a-
vance recibiendo los términos GG y GP de todas las suma-
doras parciales para procurar una entrada de transporte a
cada uno de ellos. Con este método puede formarse una su-
madora de combinación de alta velocidad binaria y decimal
15 con 6 etapas lógicas aún en el caso de utilizarse 16 su-
madoras parciales. Es posible emplear tal configuración de
material básico como se ilustra en la fig. 5., para el sis-
tema expuesto en la bibliografía antedicha, que tiene 6
etapas lógicas, es decir, 3 etapas lógicas para generar los
20 términos GG y GP a partir de los datos de entrada en cada
sumadora parcial, 2 etapas lógicas para formar entradas
de transporte a las 16 sumadoras parciales en el circuito
de espera de transporte de avance y una etapa lógica para
25 cada sumadora parcial para obtener la entrada de transpor-
te desde el circuito de ^{espera} transporte de avance para dar sa-
lida al resultado de la adición total. Para una operación
de alta velocidad, sin embargo, es necesario que cada su-
madora parcial reciba del circuito de ^{espera} transporte

30

1 de avance la señal de entrada de transporte de por lo me-
nos un bit significativo de la sumadora parcial y la señal
de salida de transporte del bit menos significativo de ca-
da dígito incluido en la sumadora parcial. A este fin, se
5 requiere el circuito de espera de transporte de avance pa-
ra recibir los términos GP del bit menos significativo de
cada dígito, así como los términos GG y GP de las sumado-
ras parciales. Esto incrementa el número de líneas para
transmisión de señales y recepción entre las sumadoras par-
ciales y el circuito de espera de transporte de avance e
10 introduce complejidad en la lógica formadora de transpor-
te en el circuito de espera de transporte de avance. Cuando
el número de sumadoras parciales usado es de ocho o más,
es difícil tomar la lógica con dos etapas lógicas.
15 El presente invento tiene como premisa los arriba citados
modos y emplea la estructura mostrada en la fig. 5 y la
sumadora parcial de la fig. 5 está construida como se a-
preciará mas abajo.

20 La fig. 11 ilustra la estructura general de una ejecución
de la sumadora parcial para uso en este inveto. En la fig.
11, el número de referencia 1, indica una parte de media
sumadora; 2 designa una parte de circuito generador de se-
ñal de entrada de espera de transporte de avance; 2-0 i-
dentifica una parte de circuito generador de señal de en-
25 trada de espera de transporte de avance; 2-1 denota una
parte de circuito generador de señal de entrada de espera
de transporte de avance de modo decimal; 3 representa una
parte de sumadora intermedia; y 4 ilustra una parte de
sumadora completa. Los signos de referencia A_i , A_{i+1} ...

30

1 B_i, B_{i+1}, \dots se refieren a bits de un sumando y un guarismo
 introducidos en la sumadora parcial. Estos bits correspon-
 dientes a los antes mencionados a_i y b_i ; BGG_i y BGP_i indi-
 can aquellos correspondientes al GG_i y GP_i en el antedicho
 modo binario de operación, respectivamente; DGG_i y DGP_i
 5 designan aquellos correspondientes a GG_i y GP_i en el modo
 decimal arriba citado; IS_i corresponde a la suma intermedia
 que se deja salir desde un circuito lógico, ilustrado en
 la fig. 14; SUM_i identifica el resultado final de adición;
 y CIN_i denota una entrada de transporte"

10 En la fig. 11, se usan los términos g de generación de bit
 y el término k de propagación de bit. (En este caso, para
 simplificación de la estructura del circuito se usa parcial-
 mente el término P .) Huelga decir que pueden usarse prin-
 cipalmente los términos g y p .

15 La parte 1 de media sumadora genera los términos g y k de
 acuerdo con las ecuaciones (1) y (2). La parte 2-0 de cir-
 cuito generador de señal de entrada de espera de transpor-
 te de avance forma los términos GG y GP en el modo binario
 (es decir, los términos BGG y BGP) basados en las ecuacio-
 nes (4') y (6'). La parte 2-1 de circuito generador de se-
 ñal de entrada de espera de transporte de avance genera
 los términos GG y GP en el modo decimal (es decir, los tér-
 minos DG y DGP) basados en las ecuaciones (12') y (14').

20 Donde solamente se introduce un dígito, es decir, solamen-
 te un número decimal codificado binario en la sumadora
 parcial mostrada en la fig. 11, las arriba citadas partes
 de circuito 2-0 y 2-1 suministran sus términos generados
 25 GG y GP a un circuito de espera de transporte de avance

1

5

10

15

20

25

30

(CLA). Cuando se introduce una pluralidad de dígitos a la sumadora parcial, se general y suministran al circuito de espera de transporte de avance, términos de generación de grupo y de propagación de grupo XG y XP cubriendo los dígitos de entrada. Los términos XG y XP se dan como sigue:

$$XG_i = GG_i + GP_i \cdot GG_{i+4} + GP_i \cdot GP_{i+4} \cdot GG_{i+8} + \dots \quad (50)$$

$$XP_i = GP_i \cdot GP_{i+4} \cdot GP_{i+8} \dots \quad (51)$$

La parte 3 sumadora intermedia arriba citada, realiza la siguiente elaboración. En efecto, la parte 3 de sumadora intermedia se aprovisiona por lo menos de los arriba citados términos q y k y el término GG para efectuar un proceso productor de suma intermedia de la sumadora parcial que consigue, en adición a datos de entrada a una sumadora parcial, no relacionada a una entrada de transporte desde la sumadora parcial de orden inferior, dependiendo de si el modo de operación es el modo de adición o no lo es. En otras palabras, en el modo binario, la parte 3 sumadora intermedia da salida a una suma de una adición binaria de un juego de datos de entrada aplicados a la misma y, en el modo decimal, da salida a la suma de que "6 (0110)" se suma adicionalmente solo a aquellos dígitos, en que el término GG es "1". La parte 4 de sumadora completa procura una salida de adición completa después de corregir la suma intermedia desde la arriba citada parte 3 sumadora intermedia con una entrada de transporte suministrada a la posición de bit menos significativa de la sumadora parcial desde el circuito de espera de transporte de avance. Es decir, se da salida a una suma final desde la parte 4 sumadora completa. Aunque no se ilustra en la fig. 11, la estructura general

1 del circuito sumador de este invento es la misma que se
ha ilustrado en la fig. 5. Cada término aplicado al circui-
to de espera de transporte de avance (CLA), no ilustrada
se usa en común con los modos binario y decimal y el mate-
5 rial básico del circuito de espera de transporte de avance
(véase fig. 16) se usa en común a los modos binario y de-
cimal.
Las figuras 12 a 15 ilustran ejemplos de circuitos de los
respectivos bloques en la fig. 11. La fig. 16 muestra un
ejemplo del circuito de espera de transporte de avance pa-
10 ra uso por una sumadora binaria y decimal de alta veloci-
dad de 4 bits (8 dígitos) usando 8 sumadoras parciales.
Aún así la amplitud de la sumadora es de 8 bits (16 dígitos)
la lógica del circuito de espera de transporte de avance
puede ser formada con dos etapas lógicas. Esto puede in-
15 ferirse fácilmente de la fig. 16.
Haciendo referencia a las figuras 11 a 16, el número de
etapas lógicas de la sumadora de este invento será discu-
tido. La sumadora parcial tiene 3 etapas lógicas para ge-
20 nerar los términos GG y GP como se observa en las figuras
12 y 13. Como es evidente de la fig. 16, el circuito de es-
pera de transporte de avance tiene dos etapas lógicas para
introducir la entrada de transporte a cada sumadora par-
cial desde los términos GG y GP. Así, se requieren 5 eta-
25 pas lógicas. Y en la parte de sumadora completa mostrada
en la fig. 15, se usan dos etapas lógicas desde la entra-
da de transporte a la salida de suma. Por consiguiente,
se considera que en total se necesitan siete etapas ló-
gicas. (En efecto, es necesario usar operadores tales como
30

1 AND, OR y EOR 7 veces). Cada combinación de paso AND y de
paso EOR indicados por la línea interrumpida en la fig. 15,
puede formarse como un elemento lógico por el paso en serie
y técnicas de punto colector usando un emisor de elemento
lógico acoplado (a que hace referencia como ECL o CML)
5 exactamente de la misma manera que un paso EOR elemental.
De acuerdo con ello, la combinación arriba citada de paso
AND y paso EOR requiere un retraso de tiempo de solo una
etapa del paso EOR. La fig. 17 muestra ejemplos de un cir-
cuito acoplado a emisor y símbolos lógicos para producir
10 el par de paso AND y el paso EOR en la forma de un elemen-
to lógico. Las relaciones entre las entradas X y Z, y las
salidas H, H se indican como sigue:

$$H = (\bar{X} \cdot \bar{Y}) \oplus Z = \bar{X} \cdot \bar{Y} \cdot \bar{Z} + (X+Y) \cdot Z$$

$$\bar{H} = \overline{X \cdot Y \oplus Z}$$

15 En vista de lo arriba indicado, la sumadora de este inven-
to requiere 7 etapas lógicas como máximo, pero es capaz de
procurar una suma final a una velocidad correspondiente a
6 etapas lógicas. Resultará evidente que pueden efectuarse
muchas modificaciones y variaciones sin apartarse del al-
cance de los nuevos conceptos de esta invención.
20

La presente patente de invención recaerá sobre las siguien-
tes reivindicaciones.

25

30


REIVINDICACIONES

=====

1
5
10
15
20
25
30

1.- Perfeccionamientos en las sumadoras binarias y decimales de alta velocidad, teniendo una pluralidad de sumadoras parciales y un circuito de espera de transporte de avance, caracterizados porque las sumadoras parciales están provistas cada una de un guarismo y un sumando de una unidad dada de bit y un transporte; porque el circuito de espera de transporte de avance está provisto de por lo menos una señal de grupo de generación y una señal de grupo de propagación desde cada una de las sumadoras parciales; porque cada sumadora parcial comprende por lo menos una parte de sumadora media, una parte de circuito generador de señal de entrada de espera de transporte de avance, una parte de circuito generador de señal de entrada de espera de transporte de avance y una parte de sumadora intermedia y una parte de sumadora completa; porque la parte de sumadora media genera una señal de generación de bit y una señal de propagación de bit, basadas en cada bit del guarismo y del sumando introducidos en la parte media sumadora; porque la parte de circuito generador de señal de entrada de espera de transporte de avance usa la señal de generación de bit y la señal de propagación de bit para procurar una señal de generación de grupo de modo binario y una señal de propagación de grupo de modo binario durante un modo binario de operación; porque la parte de circuito generador de señal de entrada de espera de transporte de avance usa la señal de generación de bit y la señal de propagación de bit para procurar una señal de generación de grupo de modo decimal y una señal

1 de propagación de grupo de modo decimal durante un modo
decimal de operación; porque las partes de sumadora in-
termedia usan por lo menos la señal de generación de bit
la señal de propagación de bit y la señal de generación de
5 de grupo de modo decimal para realizar una adición bina-
ria o decimal de datos introducidos a las sumadoras par-
ciales sin considerar las entradas a ello de transporte,
produciendo una suma intermedia de los datos introduci-
dos; porque la parte de sumadora completa corrige la su-
ma intermedia con una entrada de transporte suministrada
10 a la posición de bit menos significativa de cada sumadora
parcial desde el circuito de espera de transporte de a-
vance, basado en la entrada de transporte y la suma in-
termedia y porque cada sumadora parcial aplica, como
15 señal de generación de grupo, una señal de la suma ló-
gica de la señal de generación de grupo de modo binario
y la señal de generación de grupo de modo decimal, al
circuito de espera de transporte de avance y aplica, como
señal de propagación de grupo, una señal de la suma ló-
gica de la señal de propagación de grupo de modo binario
20 y la señal de propagación de grupo de modo decimal al
circuito de espera de transporte de avance.
25 ~~2.5~~ "Perfeccionamientos en las sumadoras binarias y
decimales de alta velocidad".
30



1
5
10
15
20
25
30

Según se describe y reivindica en la presente memoria descriptiva. Consta de 34 hojas foliadas y escritas a máquina por una sola de sus caras y de los dibujos que a la misma se acompañan.

Madrid, a 26 de Diciembre de 1977


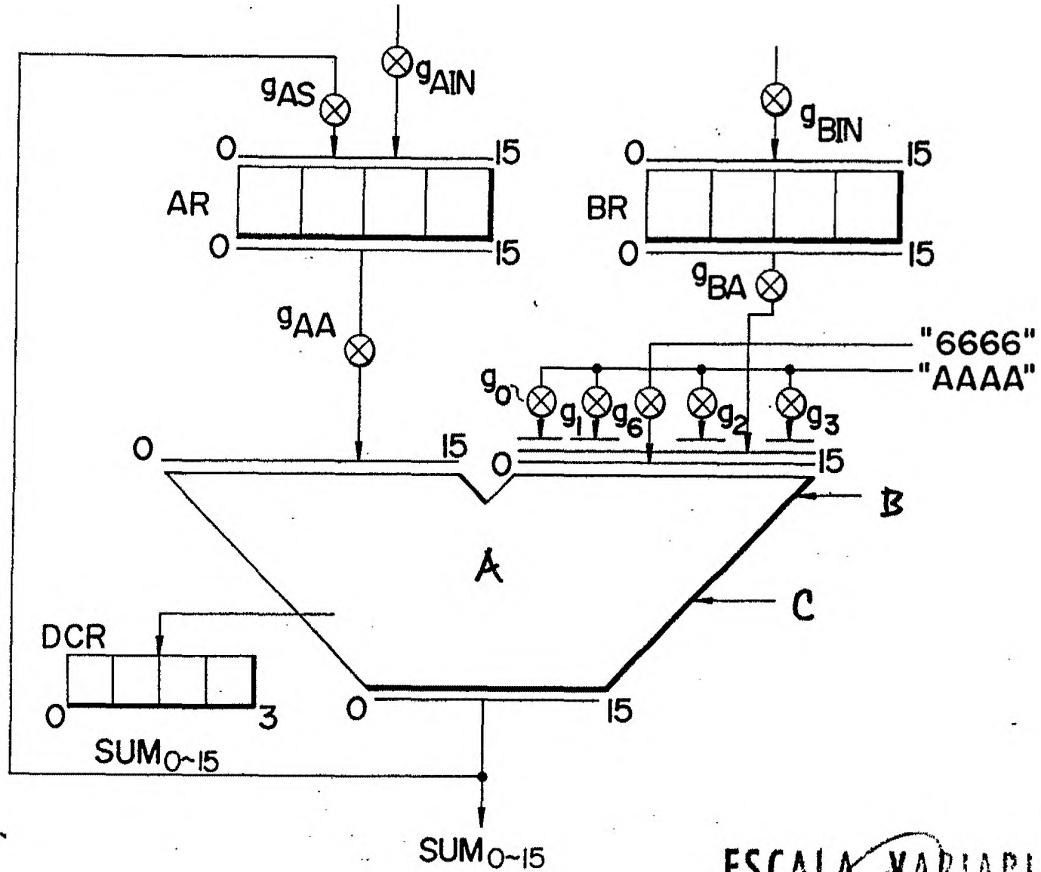

CARLOS ROEB
P. P.
Fdo.: Pedro Matamoros



FIG. 1



ESCALA VARIABLE
 CARLOS ROL S
 P. R.
 Fdo: Pedro Matamorón

FIG. 2

		D	E	F
G	1	3567	5781	0000
G	2	8CE8	5781	0000
G	3	F34E	5781	0110
G	4	9348	5781	0000

FIG. 3

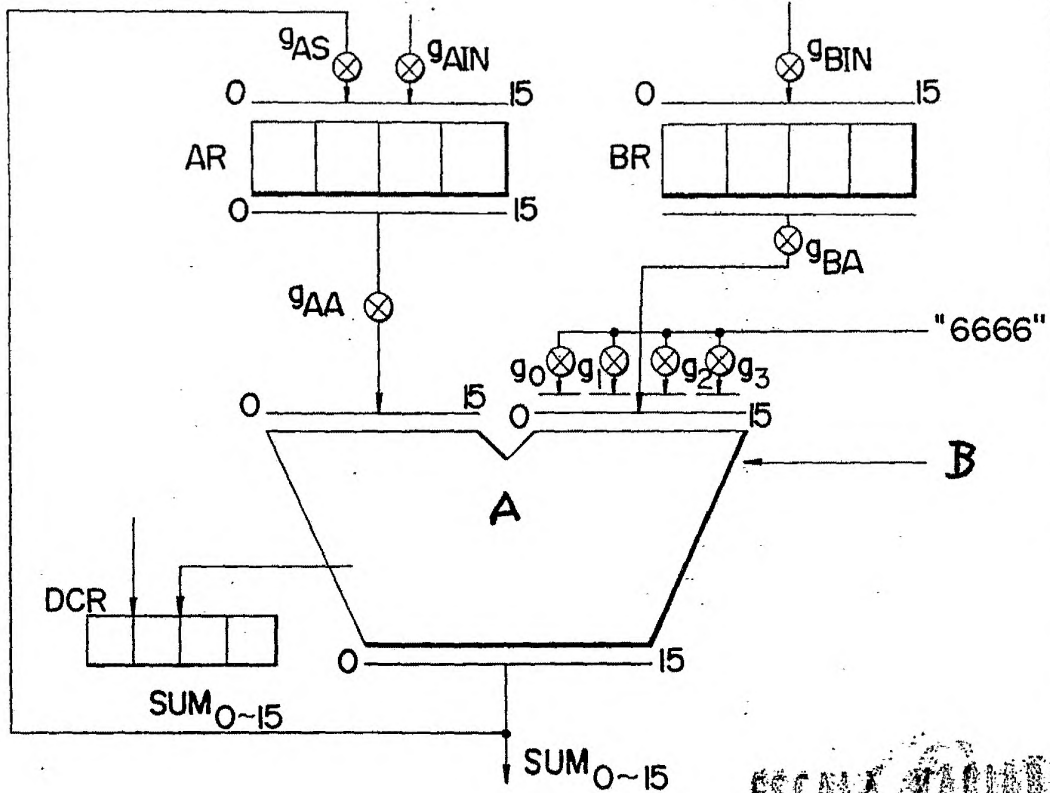


FIG. 4

ESCALA VARIABLE
 C. 1000 NOE 3
 P. 1.
 Edo. Pedro Villarreal

		D AR (16)	E BR (16)	F
G	1	3567	5781	0000
G	2	8CE8	5781	1111
G	3	8CE8	5781	0110
G	4	9348	5781	0000

FIG. 5

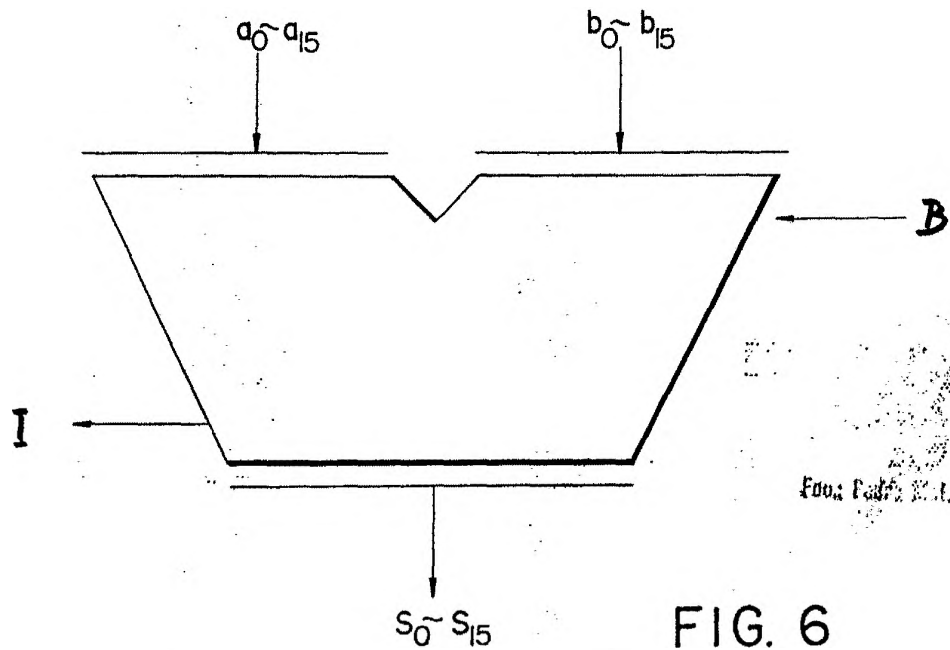
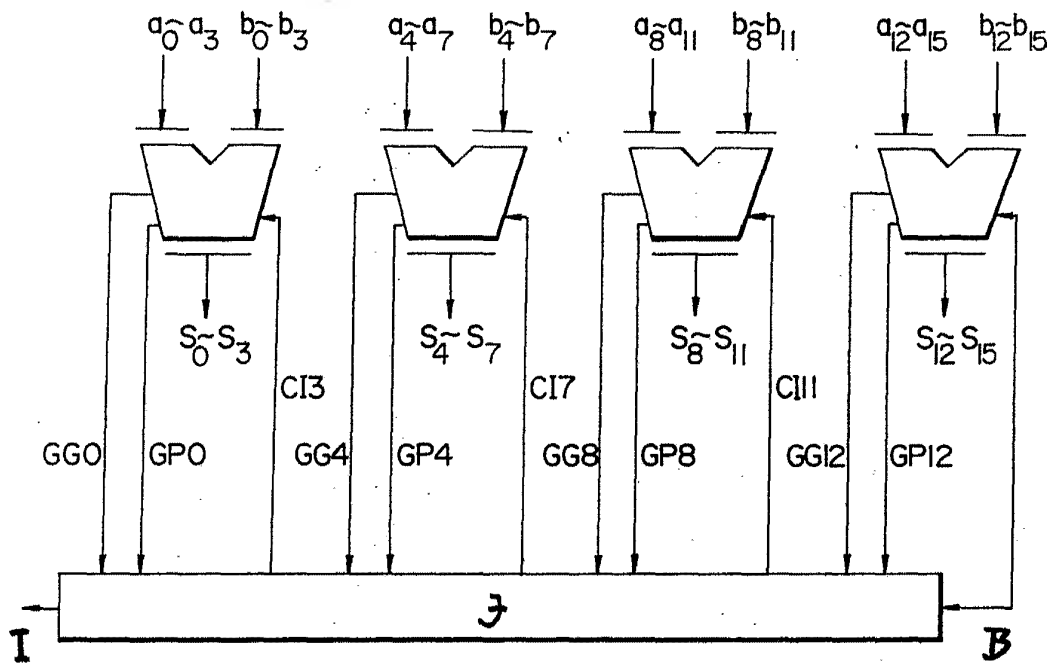


FIG. 6

FIG. 7

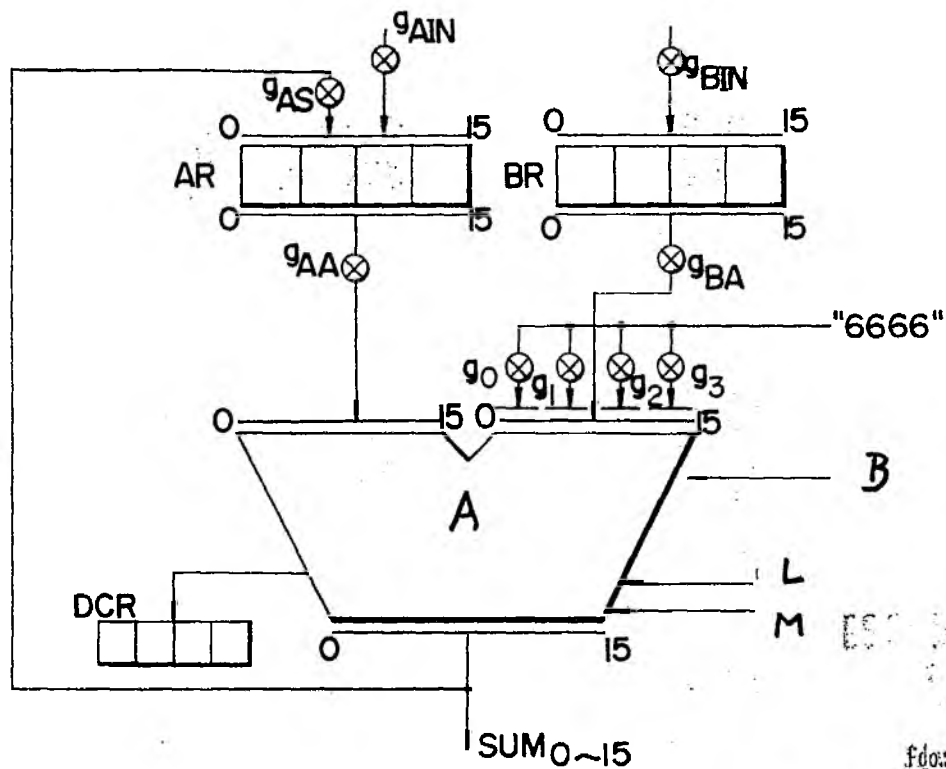


Foto: Pedro...

FIG. 10

N	O	P
0000	0110	X
0001	0111	
0010	1000	
0011	1001	
0100	1010 *	
0101	1011 *	
0110	1100	0000
1111	1101	0001
1000	1110	0010
1001	1111	0011
1010	X	0100 *
1011		0101 *
1100		0110
1101		0111
1110		1000
1111		1001

FIG. 9

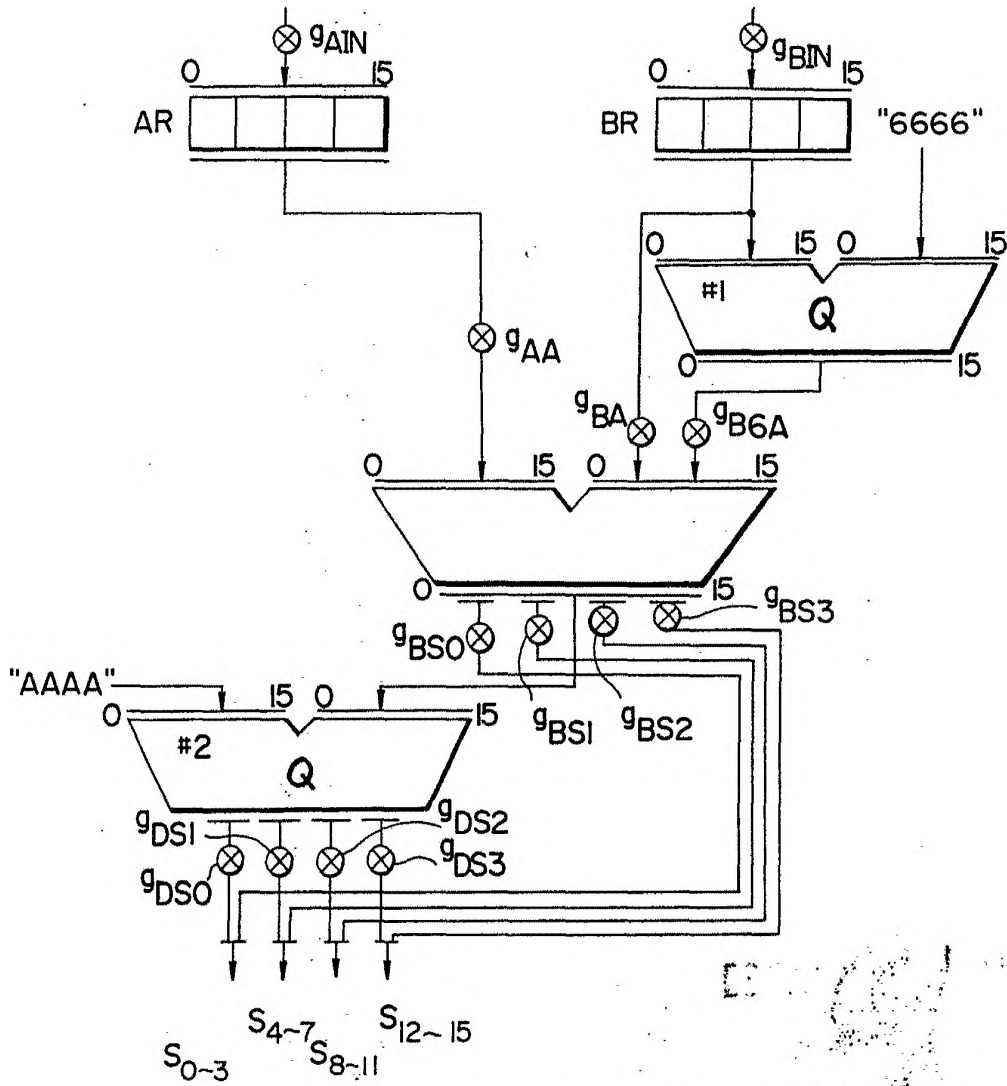


FIG. 8

Fda: Pedro...

		D (16)	E (16)	F
G	1	3567	5781	0000
G	2	9DE8	5781	0110
G	3	9348	5781	

FIG. 11

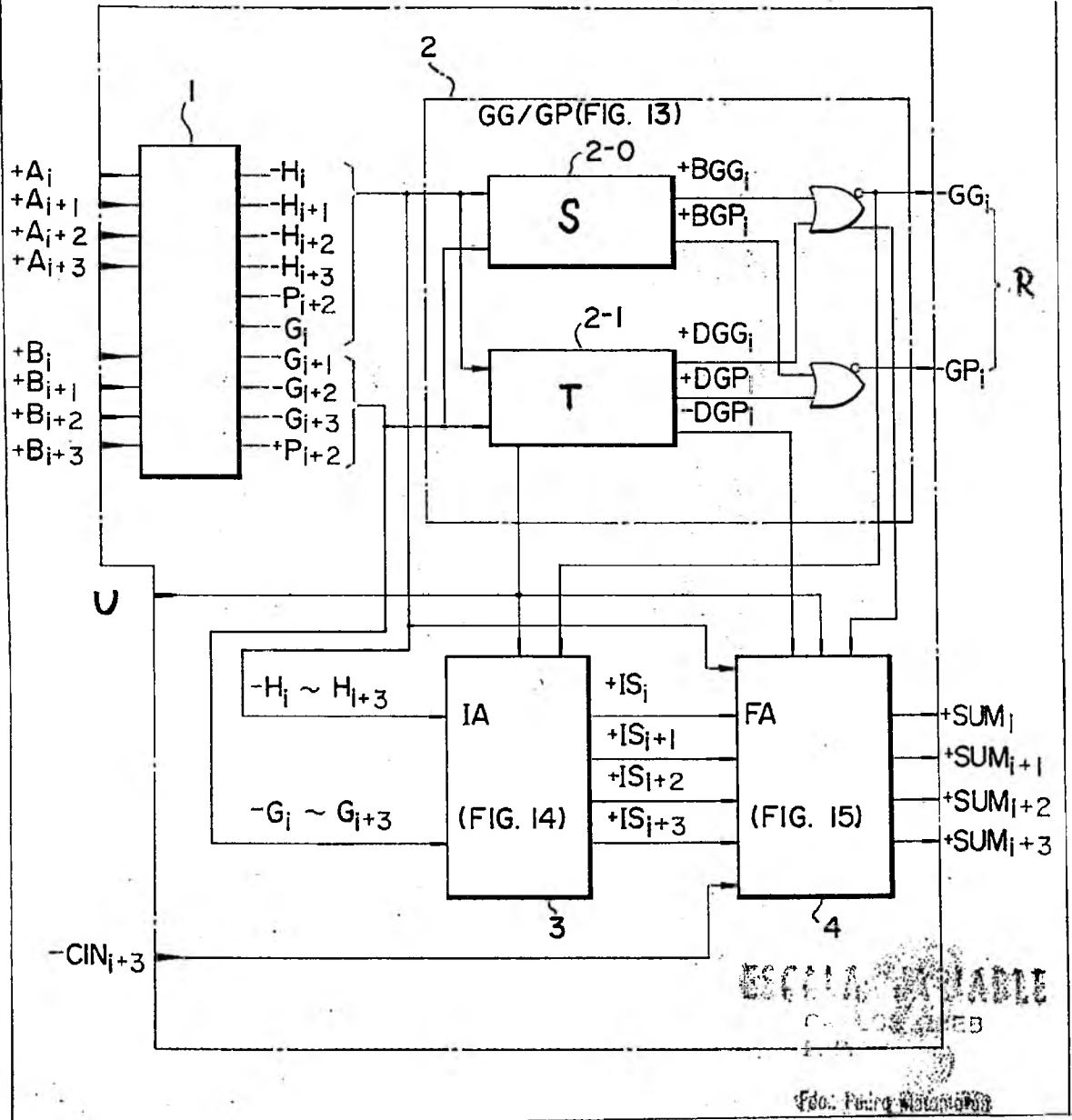
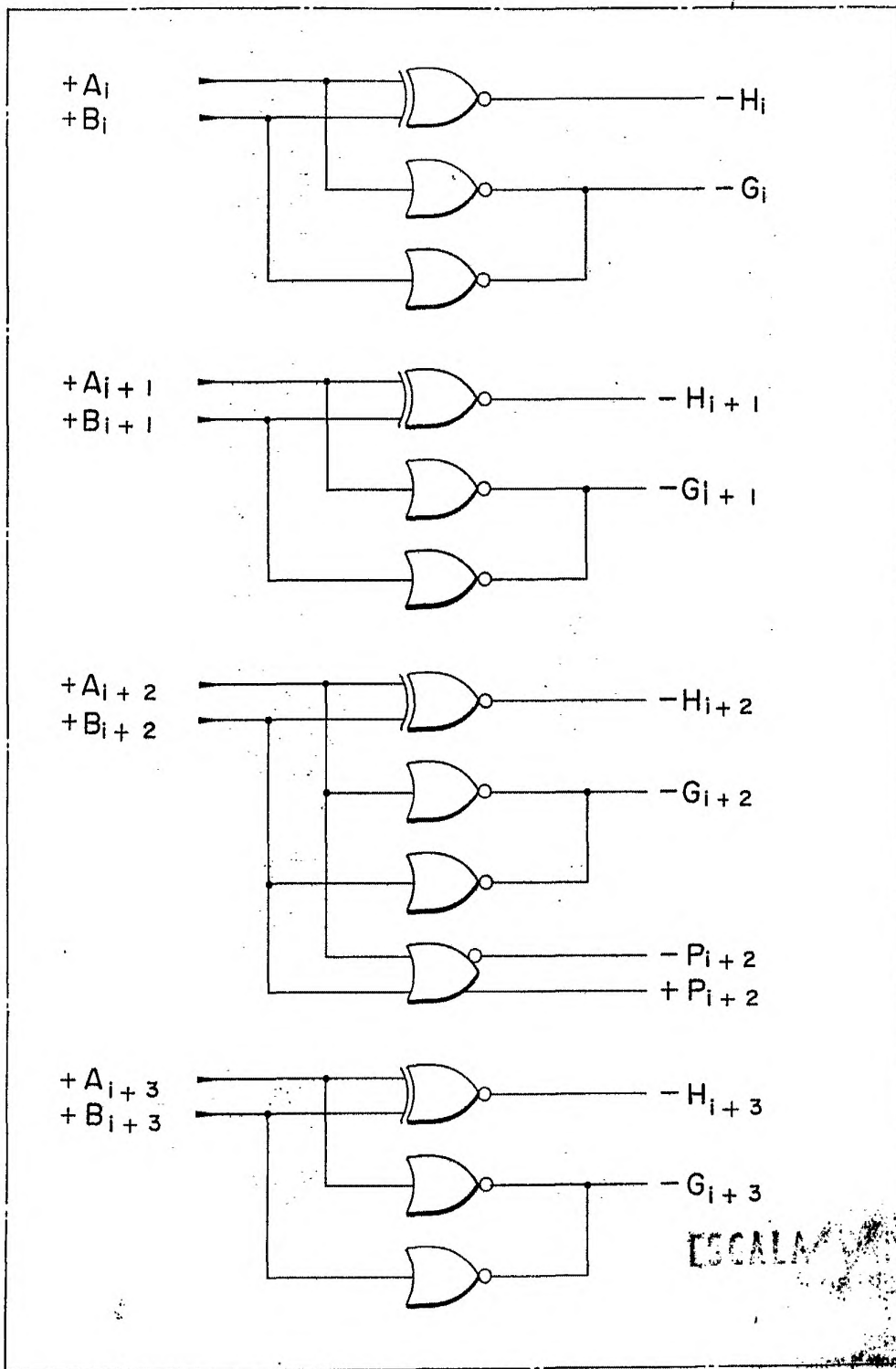
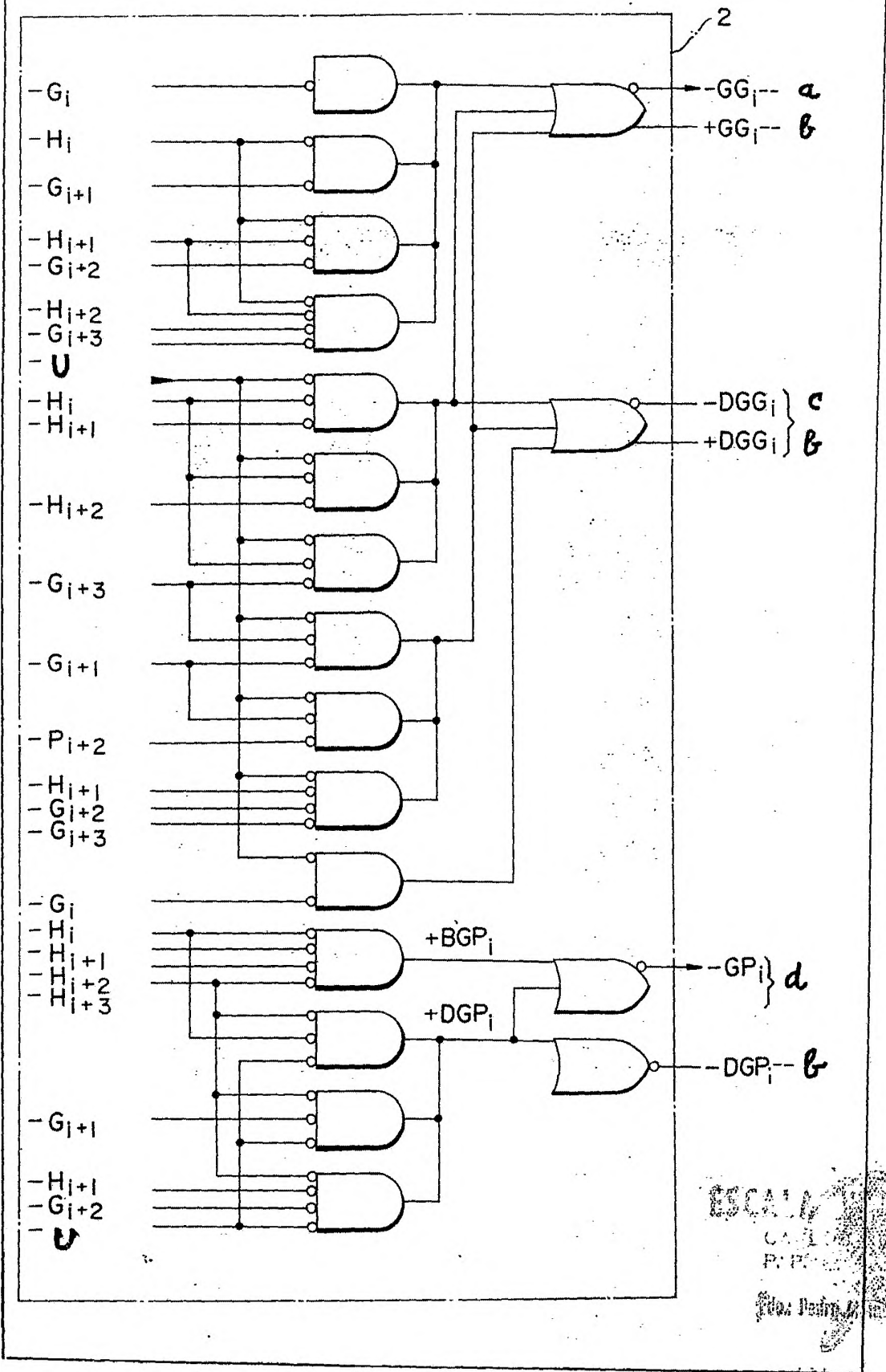


FIG. 12



ESCALA 1:1

FIG. 13



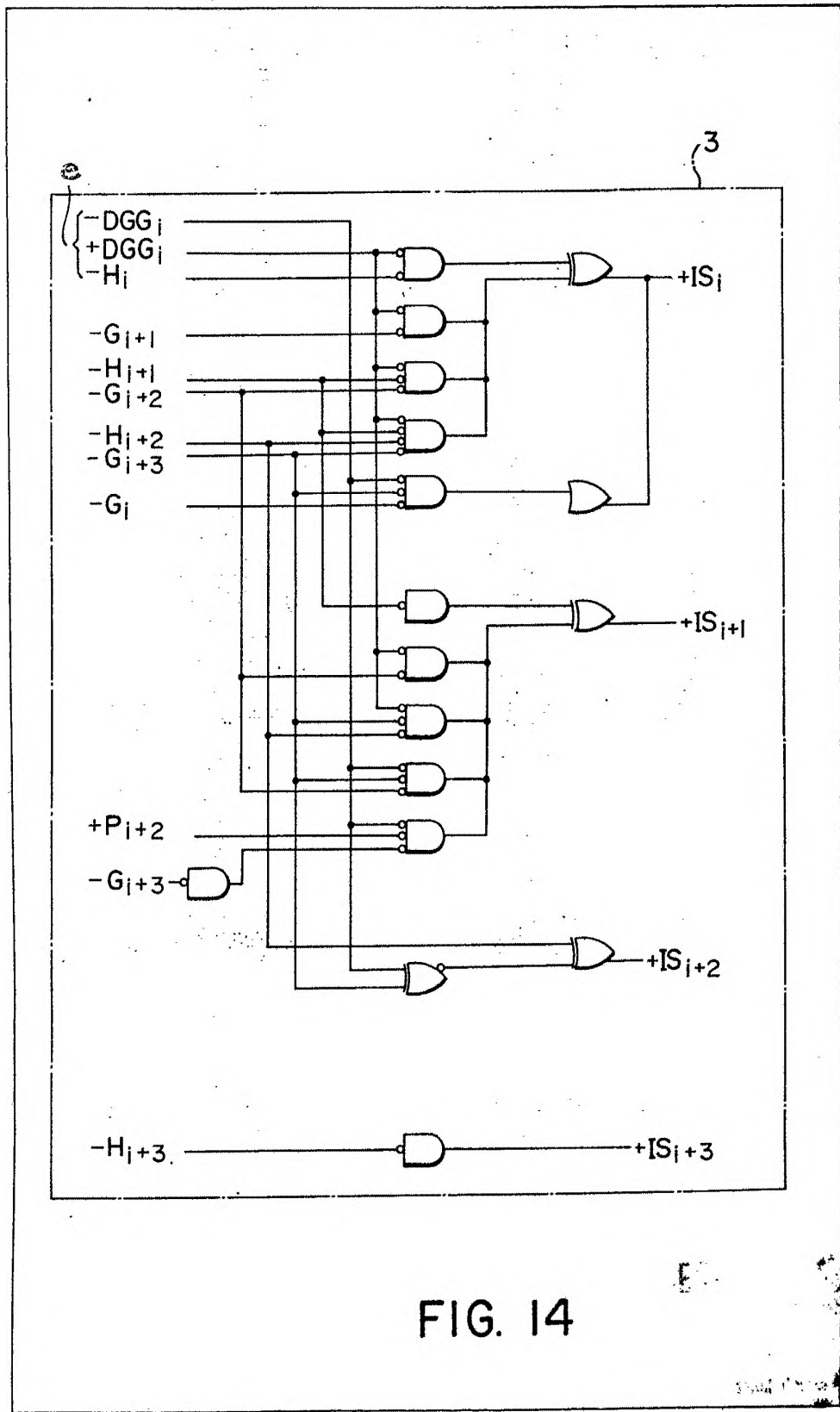
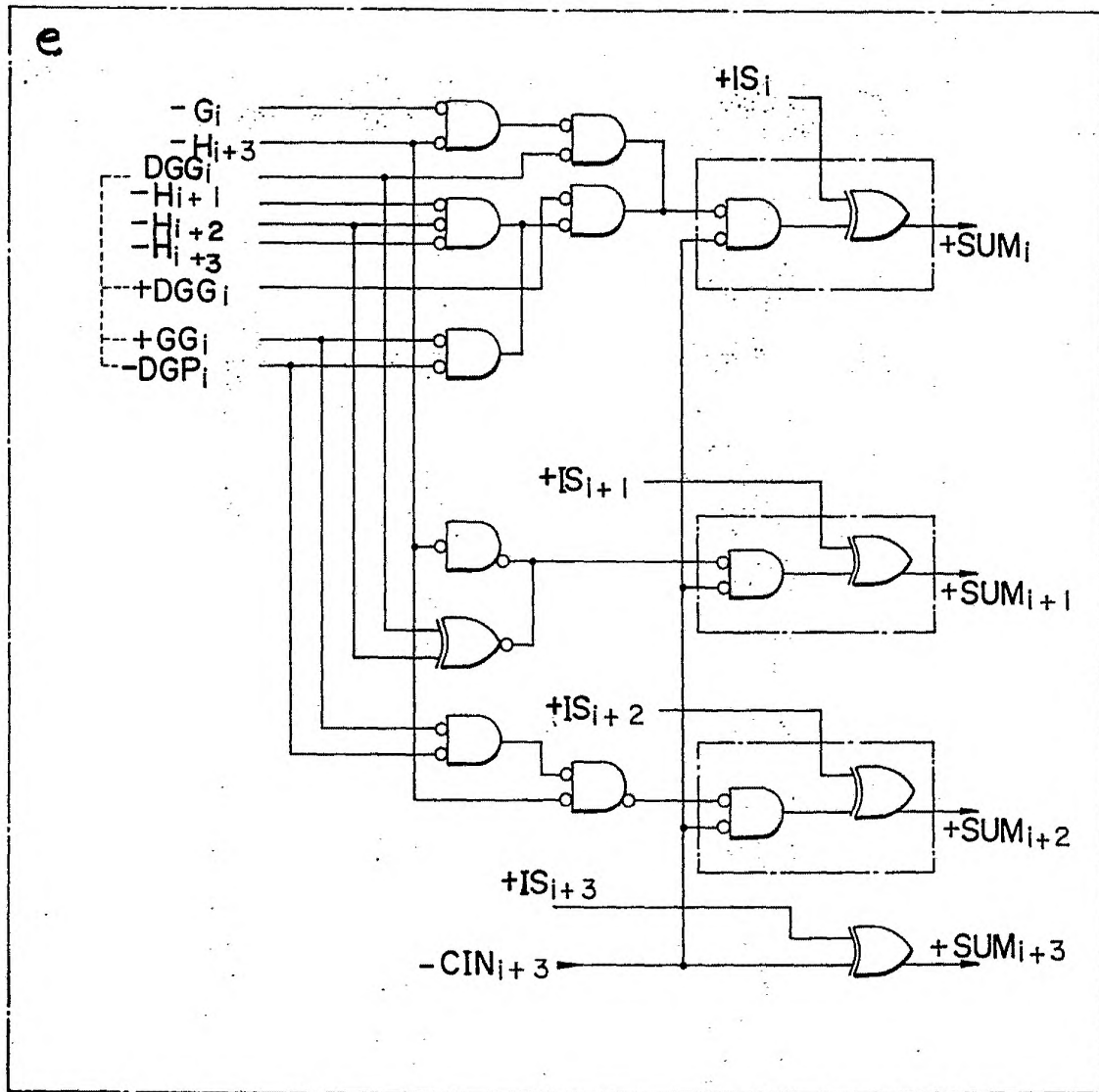


FIG. 14

FIG. 15

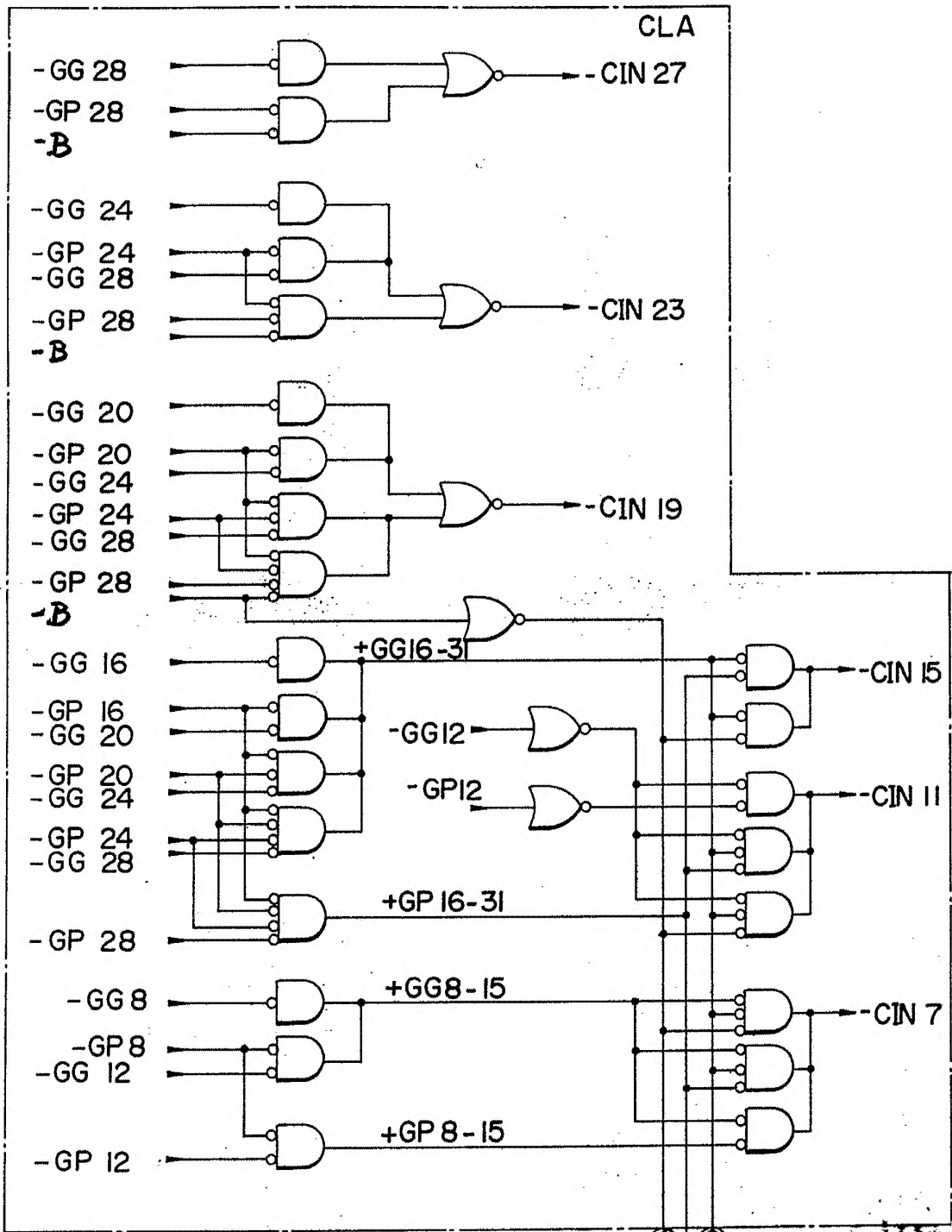


ESCALA 1/4" = 1011"

CA. 1011

Fila: Page 10/10

FIG. 16A



A B C ESCUELA VARI...

FIG. 16B

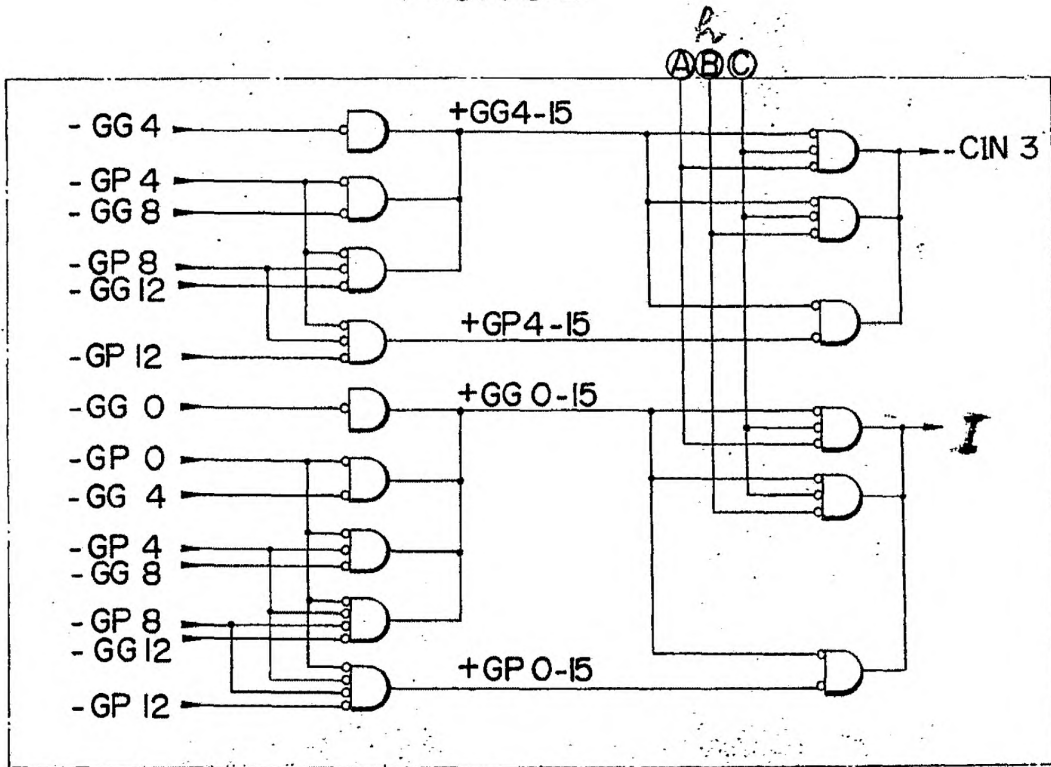
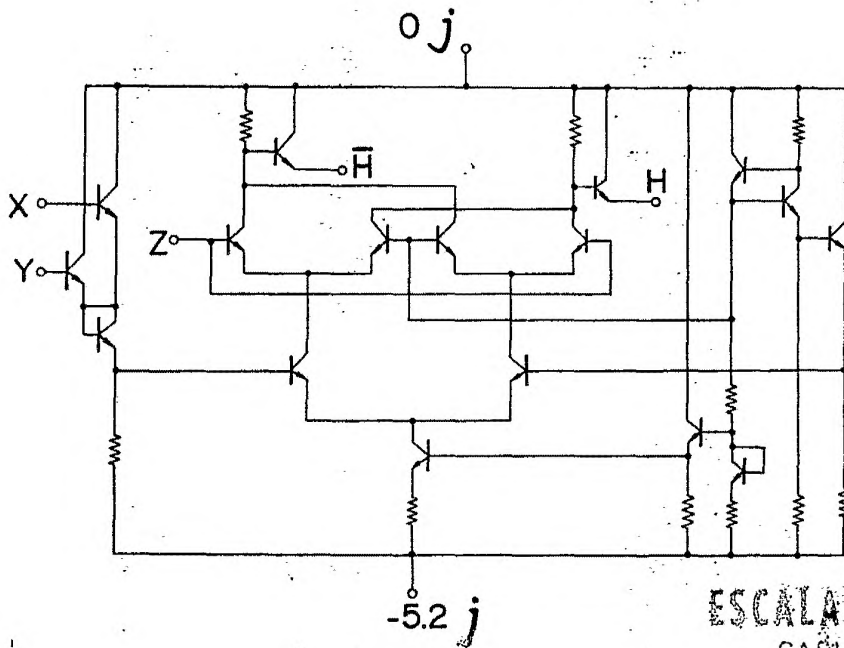


FIG. 17



ESCALA VARIABLE

CARLOS ROED
P. P.

Fdo: Pedro Salmerón