

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



**CONCEDIDA**

**PATENTE DE INVENCION**

10 ES	11 NUMERO 465.430	12 AI
	22 FECHA DE PRESENTACION 26-12-1977	

30 PRIORIDADES: 31 NUMERO 754.462	32 FECHA 27-12-1976	33 PAIS EE.UU.
---	------------------------	-------------------

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL G06F	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

64 TITULO DE LA INVENCION "APARATO PERFECCIONADO DE TRATAMIENTO DE DATOS"
--

71 SOLICITANTE (S) INTERNATIONAL BUSINESS MACHINES CORPORATION (Docket SA9-75-071)
---

DOMICILIO DEL SOLICITANTE Armonk, N.Y. 10504, EE.UU.
---

75 INVENTOR (ES) Edward David FINNEGAN y George Bohoslaw MARENIN
---

73 TITULAR (ES)
-----------------

74 REPRESENTANTE DON ALBERTO DE ELZABURU MARQUEZ (P.-67.625)
---

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

jga  
UNE A-4 MOD. 3106

UTILICÉSE COMO PRIMERA PAGINA DE LA MEMORIA

28 JUL. 1978

1 Este invento se refiere a computadoras digitales o sistemas de tratamiento de datos.

5 El invento se refiere además a una arquitectura de líneas unidireccionales o en bucle para la transmisión de datos, instrucciones y otra información entre una unidad central de tratamiento y una pluralidad de dispositivos de memoria y de entrada/salida en un sistema de computadora del tipo de micro-ordenador.

#### DESCRIPCION DE LA TECNICA ANTERIOR

10 El estado de la técnica de los diseños de micro-ordenadores proporciona tres o cuatro componentes funcionales básicos y separados. El primero es el registro de direcciones de micro-instrucciones ROS (algunas veces RAM) con su equipo físico para incrementar, ramificar y enlazar. El segundo es la unidad central aritmética y lógica (ALU) con sus registros y trayectorias de datos asociados. El tercero es la interconexión de datos y acceso con la memoria principal, que se trata usualmente como unidad de entrada/salida (I/O) y está combinada en cuanto a su arquitectura con otros dispositivos de entrada/salida del sistema. Si el micro-ordenador es lo bastante sofisticado, incluirá también una cuarta sección separada de registros y trayectorias de datos, definida usualmente como canal, para realizar el cambio de interrupciones insertadas con prioridad y, opcionalmente, el control de robo de ciclos en un modo multiplexado con prioridad o de secuencias de señales agrupadas (denominado algunas veces como acceso directo a la memoria, o DMA).

25 Los micro-ordenadores corrientes pueden clasificarse en dos tipos o enfoques, que dividen las funciones

1 antes indicadas entre un grupo de múltiples pastillas. El  
primer enfoque asigna distintas funciones a pastillas sepa-  
radas, tales como una pastilla ALU, una pastilla de con-  
trol, una pastilla de direcciones, una pastilla de entra-  
5 da/salida y pastillas de memoria ROS/RAM (algunas veces  
con control de dirección). El segundo enfoque distribuye  
las funciones del dispositivo de tratamiento a través de  
varias pastillas idénticas: este enfoque es conocido como  
el de "técnica de rebanada de bitios" y requiere usualmen-  
10 te pastillas de control de entrada/salida separadas.

Cualquiera de estos enfoques exige una interco-  
nexión extensa entre pastillas, que viene limitada por las  
pastillas de entrada/salida disponibles y, en consecuencia,  
da como resultado la duplicación de la lógica y, también,  
15 retrasos a través de los excitadores y receptores requeri-  
dos fuera de las pastillas. Si las líneas de datos o direc-  
ciones son bidireccionales, no pueden ser enviadas ni re-  
cibidas señales hasta que se establezca un estado de con-  
trol de desconexión total y, luego, un estado de control  
20 de conexión total entre cada uno de los excitadores y re-  
ceptores de pastilla; esto provoca retrasos adicionales.  
Asimismo cada una de estas líneas bidireccionales requie-  
re pastillas de entrada/salida y excitadores fuera de las  
pastillas, dando como resultado un esquema de pastilla de  
25 mayor tamaño y, lo que es incluso peor, una disipación de  
potencia superior en las pastillas. Para superar este in-  
conveniente, algunas arquitecturas combinan las líneas de  
direcciones y de datos en una "línea única" multiplexada  
en tiempo, que comprende además los controles y los retar-  
dos de intercambio de señales.

1 En consecuencia, es necesaria una arquitectura  
de micro-ordenador que reduzca al mínimo el número de ex-  
citadores y receptores y que pueda ser encapsulada en una  
sola pastilla con, aproximadamente, 68 conexiones de pati-  
5 lla para optimizar el coste y el comportamiento.

#### RESUMEN DEL INVENTO

De acuerdo con este invento, se proporciona una  
arquitectura de líneas, en bucle para un micro-ordenador  
totalmente integrado que requiere suficientemente pocas  
10 conexiones de línea de entrada/salida, de modo que el mi-  
cro-ordenador pueda ser encapsulado en una única pastilla  
de circuito integrado. El número de excitadores de canal  
requeridos se reduce al mínimo, pero, sin embargo, se ha-  
ce máximo el rendimiento permitiendo la realización de ope-  
15 raciones en serie y solapadas o en paralelo.

El invento proporciona una arquitectura de lí-  
neas para un sistema de computadora que incluye medios de  
tratamiento centrales con una unidad aritmética y lógica,  
los registradores asociados de operando y medios de desco-  
20 dificación y de ejecución de instrucciones y que incluye,  
además, medios de registro de memoria local, medios de me-  
moria principal, medios de memoria de control ejecutable,  
y uno o más dispositivos de entrada/salida.

De acuerdo con este invento, se proporcionan me-  
25 dios de línea unidireccional, que incluyen una línea de  
entrada y una línea de salida, y unos medios de línea auxi-  
liar de mini-direcciones para permitir la comunicación en-  
tre los diversos medios de memoria y de entrada/salida y  
los medios de tratamiento centrales. La línea de salida es  
30 operada para tener acceso a los medios de memoria de con-

1     trol ejecutable y los medios de memoria principal, y para  
proporcionar datos a los medios de entrada/salida y a los  
medios de registro de memoria local. La línea de entrada  
5     es operada para proporcionar instrucciones e información  
a los medios centrales de tratamiento, y desde los me-  
dios de entrada/salida y los medios de registro de memo-  
ria local a los medios de memoria principal.

De acuerdo con otro aspecto del invento, están  
previstos medios de temporización para establecer un pe-  
10    ríodo de ciclo de ejecución de instrucciones de dos par-  
tes, para permitir una operación solapada. Durante una  
parte, se tiene acceso a los medios de memoria de control  
ejecutable con la dirección en la línea de salida; y du-  
rante la otra parte, la línea de salida es operada para  
15    enviar datos al registro de memoria local o a los disposi-  
tivos de entrada/salida.

De acuerdo con otro aspecto del invento, los me-  
dios de temporización y los medios de descodificación y  
ejecución son hechos funcionar para proporcionar un perio-  
20    do de ciclo doble para la ejecución de una instrucción que  
requiere acceso a los medios de memoria principal. Durante  
el primer ciclo, se calcula la dirección a la que ha de  
tenerse acceso en la memoria principal y, durante el se-  
gundo ciclo, esa dirección se mantiene en la línea de sa-  
25    lida. Los datos recibidos en la línea de entrada pueden  
ser cargados en cualquier registro de operando interno o  
ser hechos pasar a través de la ALU, a la línea de salida  
para ser recibidos por un dispositivo de entrada/salida.

De acuerdo con otro aspecto del invento, la lí-  
nea de entrada es hecha funcionar para transmitir datos

1 desde un dispositivo de entrada/salida o registro de memoria local al dispositivo central de tratamiento, mientras que la línea de salida es hecha funcionar para tener acceso a los medios de memoria ejecutable para la siguiente instrucción a ejecutar.

5 De acuerdo con otro aspecto del invento, el dispositivo central de tratamiento es controlado para comenzar la ejecución de una segunda instrucción durante una primera parte de un ciclo de ejecución de instrucciones y, luego, durante una segunda parte de ese ciclo de ejecución, los datos procedentes de una primera ejecución de instrucciones son puestos en la línea de salida para transferencia al dispositivo de entrada/salida y/o al lugar del registro de memoria local direccionado por la línea de direcciones auxiliar.

10 De acuerdo con otro aspecto del invento, los medios de registro de memoria local son hechos funcionar para almacenar, en una dirección reservada, una imagen de los datos que aparecen en la línea de salida durante cada ciclo de ejecución de instrucciones para carga selectiva en la línea de entrada durante el siguiente ciclo de ejecución. Además, los datos que aparecen en la línea de salida como resultado de la modificación de cualquier registro interno de operandos, pueden salvaguardarse opcionalmente en un registro de memoria local seleccionado especificado como un tercer operando durante la instrucción corriente. Los datos son transferidos a los medios de memoria principal desde los medios de tratamiento centrales a través de los medios de registro de memoria local en una instrucción que especifica el registro de imágenes indirecto de

1 los medios de registro de memoria local como la fuente de  
datos.

De acuerdo con otro aspecto del invento, se han  
previsto en el dispositivo central de tratamiento unos  
5 primeros medios de registro para conservar la salida de  
la unidad aritmética y lógica, y unos segundos medios de  
registro que compensan la salida de dichos primeros me-  
dios de registro sobre dichos medios de línea de salida,

De acuerdo con otro aspecto del invento, la uni-  
10 dad aritmética y lógica es hecha funcionar para ejecutar  
una segunda instrucción con respecto a datos recibidos en  
dicha línea de entrada, mientras los resultados de la eje-  
cución de una primera instrucción están siendo mantenidas  
en la barra colectora de salida.

15 BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 ilustra la forma en que las figuras  
1a, 1b y 1c están relacionadas; las figuras 1a, 1b y 1c  
muestran un diagrama lógico de la arquitectura del micro-  
ordenador del invento;

20 las figuras 2a, 2b, 3a, 3b, 3c, 4a, 4b y 4c son  
diagramas de temporización que ilustran la ejecución de  
un grupo de instrucciones básicas adaptable a la arquitec-  
tura del sistema de micro-ordenador del invento. Las figu-  
ras 2, 3 y 4 ilustran la relación entre estos diagramas de  
25 temporización; y

la figura 5 es un diagrama lógico más detallado  
que ilustra el canal integrado con prioridad de interrup-  
ción y de robo de ciclo.

DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

30 Haciendo referencia ahora a los dibujos, en par-

1            ticular a la figura 1, se describirá la arquitectura del sistema de cálculo del invento. Las cuatro unidades físicas principales del sistema representado en la figura 1 son:

5            1. Unidad central de tratamiento (UCT) 9, que incluye la unidad aritmética y lógica 22, un canal (que incluye la línea de entrada 10, la línea de salida 20, la línea 21 de direcciones, la línea 53 de escrutinio común y las líneas de control 15), una pluralidad de registros de trabajo, y lógica de control.

2. Registros 14 de memoria local.

3. Memoria principal 12.

4. Memoria fija (ROS) 16, denominada algunas veces memoria ejecutable 16 o memoria 16 de microprograma.

15            La UCT 13 puede estar ejecutada, por ejemplo, como una sola pastilla ISI (integración a gran escala) montada mediante tecnología actual en un "paquete" que requiere menos de 70 patillas de conexión para el módulo de entrada/salida. Este paquete de UCT puede montarse, en

20            la tecnología corrientemente disponible, en una placa junto con un módulo 16 de memoria fija (ROS), un módulo 14 de memoria local (con, por ejemplo, 32 registros), dos módulos para excitadores de mantenimiento 18, y un oscilador (representado por la línea de salida 59). Una pequeña

25            porción de la memoria principal 12 puede estar montada también en esta placa. Sin embargo, se espera que utilizando la tecnología de circuitos de que se dispone en la actualidad, la memoria principal 12 estará montada, en su mayor parte, en una segunda placa.

30

Los datos, las instrucciones y las órdenes de

1 entrada/salida son transmitidos entre la UCT 9 y otras  
unidades por medio de dos líneas unidireccionales, la lí-  
nea de entrada común 10 de entrada/salida, y la línea de  
5 salida común 20 de entrada/salida. La línea de entrada co-  
mún 10 de entrada/salida recibe datos desde los disposi-  
tivos de entrada/salida (no mostrados), la memoria princi-  
pal 12 por la línea 11, la memoria fija 16 por la línea  
17 y el registro de memoria local 14 por la línea 13. Los  
10 datos en la línea 10 son alimentados al registro 30 de  
programas y, directamente, a la unidad 22 aritmética y ló-  
gica. Es particularmente importante observar que los datos  
y la información en la línea 10 son alimentados en una di-  
rección con respecto a la pastilla 9 de UCT, no estando  
previstos excitadores para transmitir datos fuera de la  
15 pastilla 9 de UCT a lo largo de la línea de entrada 10.  
La memoria principal 12, el registro de memoria local 14  
y la memoria fija 16 tienen previstos excitadores o dispo-  
nen de potencia suficiente para poner datos en la línea  
común 10 de entrada/salida. Además, la memoria principal  
20 12 tiene los medios para tomar de la línea 10 datos pue-  
tos en ella por el registro 14 de memoria local o cual-  
quier dispositivo de entrada/salida en la línea 13. La lí-  
nea de salida 20 presenta el contenido del registro inter-  
medio de salida 26 a la memoria fija 16, la memoria prin-  
cipal 12, el registro de memoria local 14 y los dispositi-  
25 vos de entrada/salida (no mostrados). Para la memoria fija  
16 y la memoria principal 12, la línea de salida común 20  
cumple la función de una línea de direcciones, mientras  
que para los registros de memoria local 14 y los dispositi-  
30 vos de entrada/salida, la línea de salida 20 se utiliza

1 como línea de datos. A los dispositivos de entrada/salida se tiene acceso por un grupo de seis líneas 21 de salida de código de memoria local (ICO) que, en esta realización, permiten el acceso directo de hasta 64 registros 14 de memoria local o 63 dispositivos de entrada/salida. Como se mencionó previamente, la línea de entrada 10 lleva micro-instrucciones o datos desde los dispositivos de entrada/salida o desde la memoria. La fuente o el destino de las transmisiones por la línea de salida 20 y por la línea de entrada 10, se seleccionan mediante líneas de control 15 que, después de ser activadas por el excitador 18, aparecen como líneas 19 de control y de reloj. Estas líneas incluyen seleccionar registro de memoria local, seleccionar memoria fija, seleccionar memoria principal, inscribir batería de bits de nivel alto e inscribir batería de bits de nivel bajo. Un dispositivo de entrada/salida se selecciona mediante la combinación de una dirección de dispositivo válida y al no ser activa la selección de registro de memoria local, la habilitación de las transmisiones de datos por la línea de salida 20 son temporizadas por impulsos uno de reloj procedentes (una de las líneas 15). Las señales de salida de muestras indican que el ICO y los códigos de selección son válidos. La entrada de muestras es una respuesta a la salida de muestras para hacer válidas transmisiones de datos en la línea de entrada al micro-ordenador 13 o respuestas de orden desde los dispositivos. Estas señales, junto con la de retener entrada de reloj que permite que los dispositivos de entrada/salida inhiban el avance de reloj de la UCT, permite una operación de entrada/salida totalmente asíncrona.

1                    Lo que sigue es una lista de las líneas de enlace de entrada/salida 19, 20, 21, 10 y 31, incluyendo una breve indicación acerca de su función.

5                    La línea de salida 20 proporciona, aquí, 18 líneas para salida de datos de dispositivos de entrada/salida y del registro 14 de memoria local, salida de direcciones de memoria principal 12, y salida de direcciones de memoria fija 16.

10                   La línea de entrada 10 proporciona, aquí, 18 líneas para micro-instrucciones procedentes de la memoria fija 16, entrada de datos desde los dispositivos de entrada/salida y los registros 14 de memoria local, y entrada de datos y salida de datos a y desde la memoria principal 12. La línea 53 de entrada de escrutinio proporciona 7  
15                   líneas de robo de ciclo múltiplex o 7 líneas de petición de nivel de interrupción, que se explicarán más adelante. La línea de salida de robo de ciclo de escrutinio es una de las líneas 19 y se utiliza para pedir un escrutinio de robo de ciclo en la línea de entrada 53 de escrutinio,  
20                   en lugar de interrupciones, despejando las prioridades de interrupción de la línea de entrada 53 de escrutinio y pidiendo prioridades de robo de ciclo. La línea 21 de salida de código (ICO) de LSR proporciona, aquí, seis líneas para tener acceso a las hasta 64 posiciones del registro 14 de memoria local para señalar el nivel de robo de ciclo, o para tener acceso hasta a 63 dispositivos de  
25                   entrada/salida.

                    La salida de selección de LSR incluye cinco de las líneas 19 de control y de reloj, incluyendo selección de LSR, selección de memoria, selección de ROS, inscrip-

1 ción de batería de bitios de nivel alto e inscripción de  
batería de bitios de nivel bajo. (Si no se especifica si  
se trata de inscripción de nivel alto o de nivel bajo,  
entonces se considera implícita una operación de lectura).

5 La línea de salida de muestras es una de las lí-  
neas 19, para indicar que una orden o señales de salida  
de código de LSR son válidas, lo que ocurrirá durante los  
periodos de reloj 3-4 y 9-14, como se describirá más com-  
pletamente en lo que sigue. La entrada de muestras (no  
10 representada) incluye una línea común para que un dispo-  
sitivo seleccionado responda a la salida de muestras, ha-  
ciendo válidos los datos que ha colocado en la línea de  
entrada 10, o respondiendo a una orden.

15 Cualquier línea de entrada de robo de ciclo es  
empleada por un dispositivo de entrada/salida al crecer  
la señal para pedir un escrutinio de robo de ciclo, y al  
disminuir la señal para indicar que su prioridad es váli-  
da en la línea de entrada 53 de escrutinio.

20 Cualquier línea de entrada de interrupción (no  
mostrada) indica que uno o más dispositivos tienen una in-  
terrupción pendiente en la línea de entrada 53 de escruti-  
nio, con las prioridades indicadas en la línea 53 de es-  
crutinio. La línea de entrada 59 de oscilador proporciona  
una señal de reloj en onda cuadrada continua.

25 La entrada de reposición (no mostrada) propor-  
ciona una reposición del sistema y una entrada de reposi-  
ción de conexión.

30 La salida 1 o 9 de reloj es una de las líneas  
19 para hacer válidos temporizándolos en forma continua  
los datos previos en el registro intermedio 28 de salida

1 en la línea de salida 20. La salida 6,7 de reloj o la salida 14,15 de reloj (para instrucciones de ciclo doble) es, de las líneas 19, la que proporciona una temporización continua que cae para indicar que termina una instrucción.

5 La orden de inhibir almacenamiento de batería de bitios de nivel alto es originada por el dispositivo para inscribir solamente la batería de bitios de nivel bajo en la memoria principal 12. La orden de inhibir almacenamiento de batería de bitios de nivel bajo es originada por el dispositivo para inscribir solamente la batería de bitios de nivel alto en la memoria principal 12. Si el dispositivo genera la orden de inhibir almacenamiento tanto de nivel alto como de nivel bajo, entonces está implicada una operación de lectura de memoria principal.

15 La selección de datos de memoria permite que los datos de la memoria principal 12 aparezcan en la línea de entrada 10. Inhibiendo la selección de datos de memoria, un dispositivo puede proporcionar sus datos (que pueden ser la dirección de memoria principal) en la línea de entrada para ser inscritos en el registro de memoria local (registro de dirección de robo de ciclo).

20 El control de la inscripción en LSR es originado por el dispositivo para encadenar tablas de datos en la memoria principal o para impedir el incremento de la dirección del registro 14 de memoria local.

25 Las direcciones 0 a 63 de las líneas 21 de salida de código de registro de memoria local, junto con la línea 19 de selección de LSR, proporcionan acceso a las posiciones 0-63 del registro 14 de memoria local. Las po-

1 - siciones 16-23 se emplean para interrupciones, y las posi-  
ciones 24-31 para robos de ciclo. Las direcciones 1-63 de  
IC0 21 sin línea de selección 19 de LSR, proporciona acce-  
so a los dispositivos 1-63 de entrada/salida, reservándo-  
5 se la dirección 0 para funciones de canal.

Refiriéndonos ahora a la UCT 9, la línea de en-  
trada 10 común de entrada/salida es alimentada a la ALU  
22 y al registro de programas 30. La salida del registro  
30 de programas es alimentada, por las líneas 33, a la ALU  
10 22 y al decodificador 62 de instrucciones. La parte de  
dirección de una instrucción almacenada en el registro P  
(de programas) es alimentada también, por la línea 31, al  
registro 40 de salida de control de LSR y al registro 38  
de decrementos. La salida del registro 38 de decrementos  
15 es alimentada, por la línea 39, de nuevo al registro P 30  
y al registro 48 de condición corriente y al registro 50  
de recuento. La salida del registro de recuento 50 es ali-  
mentada por la línea 51 al registro 38 de decrementos y  
al registro 40 de salida de código de LSR. La salida del  
20 registro 48 de condición corriente es alimentada por la  
línea 49 al registro 42 de código de condición conserva-  
do. Las salidas del registro 48 de condición corriente y  
del registro 50 de recuento son alimentadas también por  
la línea 43 a la ALU 22. El flujo de datos de la UCT 9  
25 incluye la ALU 22 de 16 bitios y los siguientes registros  
de operando:

Registro 34 acumulador, que puede ser dejado pa-  
sar discriminadamente por la línea 35 a cualquier  
lado de la ALU 22.

Registro 36 de extensión acumulador, que puede

1 ser dejado pasar discriminadamente a cualquier lado de la ALU 22 por la línea 37.

El registro de total 24 es la memoria intermedia de salida para la ALU 22 y es cargado por la línea

5 23. El registro de programas 30, como se indicó previamente, retiene la micro-instrucción para descodificación en el descodificador 62 y ejecución. El contenido del registro 30 de programas puede también dejarse pasar de manera

10 discriminada a la ALU 22, realizándose esto a lo largo de la línea 33. El registro 32 de direcciones de micro-instrucciones puede tener su contenido pasado a la ALU 22 a lo largo de la línea 29 para operaciones de modificación de direcciones o de ramificación y enlace. El registro de recuento 50 se utiliza para el recuento desplazado y para el acceso indirecto del registro 14 de memoria

15 local. Su contenido puede hacerse pasar de manera discriminada a la ALU 22 a lo largo de la línea 43 para la realización de diversas operaciones que se describirán en lo que sigue. La memoria intermedia 26 de salida retiene

20 los datos presentes en la línea de salida 28 que, después de ser activada en los excitadores 18, aparece como línea de salida común 20 de entrada/salida. Las instrucciones específicas que se describirán más adelante salvan el contenido del registro intermedio 26 de salida en la posición

25 cero del registro 14 de memoria local, que puede ser luego introducido en la ALU 22 por la línea de entrada 10 para diversas operaciones. La salida del registro 24 de total aparece en la línea 25 y es dejada pasar bajo el control del descodificador 62 de instrucciones para cargar el registro 32 de direcciones de microinstrucciones, el

1 registro 34 acumulador, el registro 36 de extensión, el  
registro 46 de error, el registro 44 de máscara de inte-  
5 rrupción, el registro 50 de recuento, el registro 48 de  
condición corriente y el registro 26 intermedio de sali-  
da. La salida del registro 44 de máscara de interrupción  
es alimentada a lo largo de las líneas 45 y 43 a la ALU  
22 y por la línea 45 a la puerta 52 de interrupción. La  
10 salida del registro 46 de error es alimentada a lo largo  
de las líneas 47 y 43 a la ALU 22. Además, la salida del  
registro 24 de total, los cuatro bitios inferiores, puede  
ser hecha pasar a lo largo de la línea 27 hacia el orden  
superior para bitios del registro 32 de dirección de ins-  
trucciones.

15 La línea 53 de escrutinio común multiplexada de  
robo de ciclo y peticiones de interrupción es alimentada  
a la puerta 52 de interrupción y al codificador 54 de prio-  
ridades, éste último para robos de ciclo que tienen prio-  
ridad con respecto a las interrupciones. La salida de la  
puerta 52 de interrupciones es alimentada por las líneas  
20 69 al codificador 54 de prioridades. La salida del codi-  
ficador 54 de prioridades es alimentada a lo largo de las  
líneas 55 al registro 56 de nivel de interrupción corrien-  
te, al circuito 58 de ensayo de interrupción de nivel supe-  
rior, y al registro 40 de salida de control de LSR. La sa-  
25 lida del circuito 58 de ensayo de interrupción de nivel  
superior aparece en la línea 63 como la señal de interrup-  
ción de nivel superior forzada. La salida del registro 56  
de nivel de interrupción corriente es alimentada por las  
líneas 57 al circuito 58 de ensayo de interrupción de ni-  
30 vel superior y al registro 40 de salida de control de LSR.

1 Señales de reloj en la línea 59, procedentes de un oscilador monofásico, son alimentadas a un generador 60 de cuatro fases cuya salida es alimentada por la línea 61 al reloj 66 y al reloj auxiliar 64, cuyas salidas son utilizadas en conexión con el descodificador 62 de instrucciones para controlar el funcionamiento de la UCT 9, incluyendo el paso de las líneas a los diversos registros de operando y el control del reparto de tiempo de las diversas líneas y registros.

5  
10 Haciendo referencia ahora a la figura 5, se dará una descripción más detallada del canal de robo de ciclo y de interrupción del invento. Cuando sea posible, se utilizarán los mismos números de referencia que para los elementos de la figura 1. En esta figura, a modo de ejemplo, se da una descripción más detallada de los diversos controles y fiadores para ejecutar el canal con prioridad integrado de robo de ciclo y de interrupción. Como será evidente para los expertos en la técnica, podrían proporcionarse descripciones similares y más detalladas de los controles para el resto de las arquitecturas de sistema representadas en la figura 1. Sin embargo, tal cosa no es esencial para la comprensión del invento que se refiere más específicamente a la arquitectura, encontrándose los controles detallados fácilmente dentro de la comprensión de los expertos en la técnica y pudiendo proporcionarse sin tener que recurrir a experiencias indebidas a partir de la descripción de la arquitectura y de los diagramas de temporización proporcionados. En la figura 5, las líneas 530-536 de interrupción de escrutinio/robo de ciclo representan las líneas individuales en la línea 53 de escrutinio

15  
20  
25  
30

1 común de la figura 1, en lógica negativa. La máscara 44  
tiene como líneas de salida las líneas 450-456. El fiador  
75 de robo de ciclo de escrutinio solamente incluye, como  
línea de salida, la línea de reposición 80. En la puerta  
5 52 de interrupción, la línea 450 (que pertenece al bitio  
cero del registro 44 de máscara) está conectada con una  
puerta Y con la línea 80 de reposición de fiador de robo  
de ciclo de escrutinio solamente y la resultante está co-  
nnectada con una puerta NO-0 con la línea 530, que repro-  
10 senta la posición de bitio cero de la línea de escrutinio  
53; el resultado aparece en la línea 520. En forma simi-  
lar, los bitios 1-6 del registro 44 de máscara en las lí-  
neas 451-456 están conectados por una puerta Y con la lí-  
nea 80 de reposición de fiador de robo de ciclo de escru-  
15 tinio solamente y el resultado está conectado con una  
puerta NO-0 con posiciones de bitio 1-6 de la línea de es-  
crutinio 53 en las líneas 531-536, con el resultado en  
las líneas 521-526. La línea 520 es alimentada a circuitos  
NO-0 86, 94 y 95. La línea 521 es alimentada a circuitos  
20 NO-0 86, 90 y 95. La línea 522 es alimentada al circuito  
NO-0 86 y al circuito Y 91. La línea 523 es alimentada a  
los circuitos NO-0 86 y 90. La línea 524 es alimentada a  
los circuitos Y 86 y 92. La línea 525 es alimentada al cir-  
cuito Y 88 y al circuito NO-0 90. La línea 526 es alimen-  
25 tada al circuito Y 93. La salida del circuito NO-0 96 apa-  
rece como línea 544 de prioridad -4 y es alimentada a puer-  
tas Y 87, 88 y 92, al código 56 de interrupción corriente  
(posición 4), al ensayo superior 58 y a una puerta Y 82.  
La salida del circuito NO-0 95 aparece en la línea 542  
30 de prioridad -2 y es alimentada a la puerta Y 91, al cir-

1      cuito 56 de código de interrupción corriente (posición 2)  
al circuito 58 de ensayo superior para comparar y a la  
puerta Y 82. La salida del circuito NO-0 90 es alimentada  
a la puerta Y 93. En el circuito 95, la salida de las  
5      puertas Y 87 y 88 está conectadas con puertas NO-0 con  
las líneas 520 y 521. En el circuito NO-0 94, las sali-  
das de las puertas Y 91-93 están conectadas con puertas  
NO-0 con la línea 520, y aparecen en la línea 541, que  
es alimentada al circuito 56 de código de interrupción  
10     corriente (posición 1) al circuito 58 de ensayo superior  
de comparación y a una puerta Y 82,

15     La línea 68 de "menos cualquier petición de ro-  
bo de ciclo" es invertida y alimentada para fijar el fia-  
dor 75 de robo de ciclo de escrutinio solamente. La sali-  
da fijada del fiador 75 de robo de ciclo de escrutinio  
solamente es alimentada por la línea 77 para fijar el fia-  
dor 76 de acuse de recibo de robo de ciclo. La salida de  
reposición del fiador 75 de robo de ciclo de escrutinio  
solamente es alimentada por la línea 80 para inhibir las  
20     puertas Y en la puerta 52 y para separar de las puertas  
el fiador 84 de niveles de interrupción de conmutador,  
cuya salida aparece en las líneas 79 y se utiliza para  
controlar la línea 72 de cargar nuevo nivel de interrup-  
ción y para ajustar la línea 57 de nivel de interrupción  
25     corriente. La línea 70 de cualquier petición de interrup-  
ción negativa es alimentada al fiador 76 de acuse de reci-  
bo de robo de ciclo o invertida para conmutar el fiador  
84 de niveles de interrupción. La línea 71 de habilitar  
interrupción de lógica positiva es alimentada para cambiar  
30     el fiador 84 de niveles de interrupción. La línea 68 de

1 menos cualquier petición de robo de ciclo es alimentada  
también al fiador 76 de acuse de recibo de robo de ciclo.  
La salida ajustada del fiador 76 de acuse de recibo de  
robo de ciclo aparece en la línea 55. También se represen-  
5 ta como salida de la línea 55 de acuse de recibo de robo  
de ciclo ajustada, conectada con una puerta Y en 89 con  
un impulso de reloj en la línea 85. La línea 78 es alimen-  
tada a la puerta Y 82 y a las líneas de bitios de entrada  
834, 835 de orden alto, para forzar en estas líneas un  
10 código predeterminado.

Las líneas 310-314 representan las posiciones  
de bitios de orden bajo de la parte de dirección del re-  
gistro 30 de programas, representadas como líneas 31 en  
la figura 1. Las líneas 310-314 son alimentadas a través  
15 de puertas Y 83, cada una de las cuales está conectada  
individualmente con puertas Y con la línea 74 de control  
de fijar micro-instrucción para aparecer como líneas de  
salida 831-835, respectivamente, y de allí al registro 40  
de direcciones de salida de código de ISR.

20 Las salidas de las puertas Y 82 están conecta-  
das con puertas O a las líneas 831-833, las posiciones  
de bitios de orden bajo en la entrada del registro 40 de  
ICO. Además, las líneas de salida desde las puertas Y 81  
están también conectadas con puertas O a las líneas de  
25 orden bajo 831-833 en el registro 40 de ICO. En la puerta  
Y 81, la salida del registro 56 de código de interrupción  
corriente, que aparecen en las líneas 561, 562 y 564 es-  
tán individualmente conectadas con puertas Y con la línea  
73 de ajustar nivel de interrupción corriente y también  
30 son alimentadas al circuito 58 de comparar ensayo superior

1 La línea 73 de ajuste de nivel de interrupción corriente,  
que deja pasar el contenido del registro 56 de código de  
interrupción corriente a las tres líneas de entrada de  
orden bajo del registro 40 de ICO, fuerza también las lí-  
5 neas de entrada 834, 834 de orden alto en forma similar al  
de la línea 78, excepto a un código diferente, con el  
fin de poner en las líneas 41, en la salida del registro  
40 de ICO, una dirección hacia una posición diferente del  
registro 14 de memoria local.

10 Los robos de ciclo tienen prioridad sobre las  
interrupciones y cualquier petición 68 de robo de ciclo  
cancela instantáneamente el escrutinio de interrupción  
normalmente continuo ajustando al fiador 75 de robo de ci-  
clo de escrutinio solamente, que pide a todos los disposi-  
15 tivos que pongan sus prioridades de robo de ciclo en las  
líneas 530-536 de la línea común 53 de escrutinio y reti-  
ren sus peticiones de interrupción. La desaparición de  
la línea 70 de cualquier petición de interrupción señala  
al microordenador 9 que todos los dispositivos han retira-  
do sus bitios de prioridad de interrupción en la línea de  
20 escrutinio 53 y la desaparición de cualquier petición 68  
de robo de ciclo junto con el fiador 75 de robo de ciclo  
de escrutinio solamente, garantiza que las líneas 541,  
542, 544 de salida de la prioridad 54 de robo de ciclo es-  
25 tán listas para ser fijadas en el registro 40 de direc-  
ciones de ICO junto con los bitios modificadores de robo  
de ciclo formados por las líneas 78 en las posiciones 834-  
-835 de orden alto y las señales de acuse de recibo 55 de  
robo de ciclo a los dispositivos de entrada/salida. Al  
30 ser direccionado el registro de memoria local de robo de

1 ciclo del ISR 14 por las líneas 41, proporciona la direc-  
ción indirecta de memoria principal en la línea 13, que  
puede también ser incrementada a través de la ALU 22 tan-  
to para buscar como para almacenar datos procedentes del  
5 dispositivo. El nivel de robo de ciclo de prioridad más  
bajo no requiere bitio de prioridad y su parte de direc-  
ción de dispositivo forzado será cero para permitir to-  
dos los accesos de dispositivos binarios. En poco tiempo,  
en el ciclo de robo de ciclo, es repuesto el fiador 75 de  
10 robo de ciclo de escrutinio solamente para volver a la  
ejecución de microinstrucción secuencial o de escrutinio  
de interrupciones continuo, o puede ser ajustado de nuevo  
el fiador 75 de robo de ciclos de escrutinio, por cuanto  
que éste debe de ser repuesto primero para permitir que  
15 los dispositivos sean ajustados otra vez a cualquier pe-  
tición 68 de robo de ciclo, si son necesarios robos de  
ciclo en el modo de grupos unitarios secuenciales. El re-  
gistro 44 de máscara de interrupción es siempre separado  
de las puertas cuando se ajusta el fiador 75 de robo de  
20 ciclo de escrutinio solamente. Las peticiones de robo de  
ciclo de dispositivo asíncronas pueden ser controladas  
por el paso discriminado de reloj del micro-ordenador o  
fijando la línea de escrutinio de modo que pueda estabi-  
lizarse la circuitería de prioridad.

25                   Habiéndose descrito la arquitectura global del  
sistema del invento, se dará una explicación más detalla-  
da de las características de los diversos componentes, su  
funcionamiento y su interacción.

#### ORGANIZACION DE LINEA UNIDIRECCIONAL DE ENTRADA/SALIDA

30  
18018

La conexión interna en bucle cerrado de la ALU,

1 de las líneas unidireccionales de entrada y de salida ex-  
teriores proporcionada por este invento permite el trata-  
miento interno y la modificación de datos de entrada/sali-  
da externa, las funciones de cambio de nivel de interrup-  
5 ción y de incremento de dirección de robo de ciclo para  
interrupciones de niveles múltiples y robos de ciclo so-  
fisticados, para compartir la ALU existente y las trayec-  
torias de datos con un equipo físico de lógica de control  
mínimo y sin registros intermedios adicionales.

10 Esto se consigue empleando una línea unidireccio-  
nal que entra y sale de la pastilla 9 de UCT. Los datos y  
las direcciones se mezclan en la misma línea de salida.  
La línea de entrada 10 común de entrada/salida es la única  
línea de entrada de datos a la pastilla 9 de UCT. La memo-  
ria 12 principal se une a esta línea, como ocurre con la  
15 memoria local 14. Aunque conservando la función unidirec-  
cional de la línea de entrada 10 con respecto a la UCT 9,  
la memoria principal 12 utiliza la línea de entrada 10 pa-  
ra leer o inscribir datos, mientras la línea de salida 20  
retiene la dirección de memoria principal 12.

20 La línea de entrada 10 actúa también como entra-  
da exterior a un lado de la unidad aritmética y lógica  
(ALU) 22, cuya salida se ajusta en el registro 24 de total  
temporalmente retenido. El registro 24 de total tiene una  
línea de salida común 25 que va a todos los registros den-  
tro de la pastilla 9 de UCT. La línea 25 está conectada  
25 con el registro 26 intermedio de salida y desde él sale  
de la pastilla 9 de UCT para formar la línea de salida 20  
común de entrada/salida que, en este ejemplo es una línea  
de dos baterías de bitios. La línea de salida 20 suminis-

1 - tra datos al registro 14 de memoria local y también a va-  
rios dispositivos de entrada/salida (no representados).  
En una base de tiempo compartido, la línea 20 es también  
la línea de direcciones para la memoria fija 16 (o para  
5 cualquier memoria de control inscribible que pueda estar  
unida, en la que se almacenan las instrucciones a ejecu-  
tar). La línea 20 es también la línea de direcciones para  
la memoria principal 12. El invento proporciona así una  
arquitectura de líneas en bucle unidireccionales que es  
10 de naturaleza híbrida, conteniendo una mezcla de direccio-  
nes o datos en la línea de salida 20 y de datos e instruc-  
ciones en la línea de entrada 10.

La ausencia de una trayectoria directa de datos  
de pastilla de dispositivo de tratamiento a la memoria 12  
15 principal se resuelve mediante un dispositivo de trata-  
miento opcional que ajusta las imágenes resultantes en el  
LSR 14 y el uso de la línea de entrada unidireccional en  
el sentido inverso con respecto a la memoria principal 12  
desde el LSR 14. Así, se conserva unidireccional la línea  
20 de entrada 10 con respecto a la pastilla 9 del dispositi-  
vo de tratamiento, permitiendo que la línea de salida 20,  
en cada micro-instrucción de modificación de datos inter-  
na ajuste opcionalmente el resultado en el LSR 14 selec-  
cionado sin instrucción o tiempo adicional alguno. Esta  
25 innovación permite la realización de operaciones en serie  
y concurrentes en ambas líneas, permitiendo que el regis-  
tro 26 de línea de salida tenga acceso a la siguiente mi-  
cro-instrucción fuera de la memoria fija 16, mientras se  
está ejecutando la microinstrucción previa con datos en  
30 la línea de entrada 10, en el modo solapado. Similarmente,

1 se utiliza el registro 26 de línea de salida para tener  
acceso a la memoria principal 12 directamente y entre es-  
tos dos modos de acceso, un estrecho intervalo entre da-  
tos transfiere datos al LSR 14 o a los dispositivos de en-  
5 trada/salida direccionados por una línea de mini-direccio-  
nes 21 de 6 bits separada, que señala también los acu-  
ses de recibo de robo de ciclo respectivos o que cambia  
los niveles de interrupción. Reservando uno de los 64 ISR  
como registro de imágenes de línea de salida, puede dis-  
10 ponerse el flujo de datos interno en la pastilla del dis-  
positivo de tratamiento alrededor de una ALU común, ali-  
mentando el registro 24 de total a todos los otros regis-  
tros de datos y de acceso internos y al exterior a través  
del registro 26 de línea de salida, que permanece también  
15 reservado para uso por el programa como cuarto operando  
en la memoria intermedia de imágenes de LSR 14. De esta  
forma, cualquier dispositivo de entrada/salida exterior  
puede compartir la ALU 22 con el tratamiento de datos in-  
terno.

20 Las líneas en bucle unidireccionales exteriores  
permiten también la transparencia interna total de la pas-  
tilla del dispositivo de tratamiento para el cambio de ni-  
vel de interrupción y para el acceso directo al canal de  
memoria (robo de ciclo) incrementándose la dirección de  
25 memoria de manera automática a través de la ALU común y  
la trayectoria de datos.

La arquitectura de líneas en bucle del sistema  
permite la ejecución de instrucciones en forma solapada  
y en serie, ejemplos de cuyos modos se describirán a con-  
30 tinuación.

1 En el primer ejemplo, la ejecución en serie ocurre siempre que instrucciones de memoria fija se encuentran en la línea de entrada 10, lo que ocurre usualmente al final y al principio de cada ciclo de micro-instrucción, cuando al mismo tiempo la línea de salida 20 común de entrada/salida empieza a enviar datos a un dispositivo de entrada/salida.

5 En un segundo ejemplo, una operación solapada ocurre cuando los datos están llegando en la línea de entrada 10 desde dispositivos de entrada/salida o desde una memoria local 14, y están siendo tratados interiormente a través de la ALU 22. En ese momento, la línea de salida 20 contiene la dirección de la memoria fija 16, de modo que se está teniendo acceso a la siguiente instrucción de la secuencia.

10 Un tercer ejemplo de solapamiento se tiene cuando datos procedentes de la ejecución de una instrucción previa han de ser almacenados todavía en el LSR 14, y ha comenzado ya la ejecución de una nueva instrucción. El LSR 14 será cargado durante el período de reloj 1 del nuevo ciclo de instrucción, mientras que la ejecución de la nueva instrucción se inició en el período de reloj 0. Las seis líneas del registro 40 de salida de código de LSR forman una línea de dirección auxiliar 21, 41, que se utiliza para tener acceso a 64 medios vocablos del registro 14 de memoria local, o hasta 63 dispositivos de entrada/salida en la línea de salida 20 común de entrada/salida, dependiendo del tipo de instrucción que se esté ejecutando. La combinación de esta línea auxiliar de mini-direcciones y de las líneas 10, 20 de entrada/salida en bucle

1 permite que se realicen operaciones en un ciclo. Un dispositivo de entrada/salida puede disponer datos en la línea de entrada 10, conseguir que esos datos sean tratados a través de la ALU 22 y ver los datos modificados aritmética o lógicamente en la línea 20 durante la misma instrucción, mientras al dispositivo está teniendo acceso la mini-línea 21. Esto constituye una ventaja con respecto a los canales de la técnica anterior que exigen tres instrucciones para realizar incluso una simple transferencia de datos de entrada/salida sin operación de la ALU, como sigue: en primer lugar, el dispositivo de tratamiento habría de enviar una dirección en una línea de entrada/salida común. Luego, el dispositivo habría de responder a través de un enlace de demanda/respuesta a una señal que ha reconocido su propia dirección. Sería necesaria una segunda instrucción para que el dispositivo de tratamiento enviara una especificación de orden a la que respondería el dispositivo. Habiéndose completado esto, el dispositivo de tratamiento tendría que realizar entonces una tercera instrucción, leer o inscribir, dependiendo de en qué dirección están circulando los datos.

La línea de salida común 20 de entrada/salida es multiplexada, de modo que para cada instrucción que se ejecute, tiene lugar una operación solapada. Por solapada debe entenderse que se tiene acceso a la siguiente instrucción desde la memoria de instrucciones 16 mientras que, al mismo tiempo, el dispositivo de tratamiento está ejecutando interiormente la instrucción corriente. Esto se consigue sobre las líneas comunes permitiendo durante, por ejemplo, cinco períodos de reloj del ciclo de instrucciones de

1      ocho períodos de reloj, el acceso a la memoria fija 16 y  
asignando los otros  $3/8$  del ciclo de instrucción para en-  
viar datos, bien al registro 14 de memoria local o bien  
a los dispositivos de entrada/salida.

5      MEMORIA PRINCIPAL 12

10      La memoria principal 12 proporciona una memoria  
a la que puede tener acceso y que puede actualizarse para  
almacenar datos tanto mediante el micro-ordenador como me-  
diante los dispositivos de entrada/salida para subsiguie-  
nte recuperación selectiva. Los datos son transferidos tan-  
to en el modo de lectura como en el modo de inscripción  
por la línea 11, con respecto a la línea de entrada común  
10 de entrada/salida. Las líneas 19 proporcionan los con-  
troles y los períodos de reloj, y la dirección es propor-  
15      cionada por la línea de salida común 20 de entrada/salida.

20      Siempre que se tenga acceso a la memoria princi-  
pal 12, se suma un ciclo adicional, para convertir la ins-  
trucción en una instrucción de doble ciclo. Como se des-  
cribirá en lo que sigue, durante el primer ciclo el indi-  
cador de dirección de la memoria principal 12 sufre un  
incremento, un decremento u otra modificación de direc-  
ción a partir del LSR 14 o el registro B 35. (Esto propor-  
ciona la posibilidad de una operación agrupada aún cuando  
no se utilice un indicador agrupado, como un sistema de  
25      incremento/decremento automático para direccionar magnitu-  
des ponderadas a la misma potencia como indicadores de  
apilamiento). La lectura o inscripción desde o en la memo-  
ria principal se realiza durante el segundo ciclo, después  
de que el indicador de dirección de la memoria principal  
30      12 ha sido actualizado para obtener la nueva dirección

1 efectiva. La dirección se mantiene en la memoria 27 inter-  
media de salida durante todo el segundo ciclo, denominado  
en lo que sigue ciclo de memoria de almacenamiento prin-  
cipal, proporcionando 8 períodos de reloj a la memoria 12  
5 principal de direcciones.

La memoria principal es hecha funcionar en un modo en serie como sigue: durante una operación de búsqueda en memoria principal, los datos se obtienen a partir de la memoria principal 12 en la línea de entrada 10 y se  
10 cargan en uno de los registros internos del micro-ordenador 9. Al final de la operación de búsqueda, en el período de reloj 0, cuando está próxima a comenzar la siguiente instrucción, los datos que han sido averiguados en la línea de entrada 10 desde la memoria principal 12 son de-  
15 jados pasar de manera discriminada a través de la ALU 22 y se fijan en el registro de total 24 y luego son transmitidos al registro intermedio de salida 26. El ajuste de esos datos en el registro intermedio 26 destruye la dirección corriente de memoria principal.

#### 20 MEMORIA FIJA (ROS) 16

Algunas veces denominada "medios de memoria de control ejecutable", la ROS 16 almacena las instrucciones ejecutables que comprenden el programa de control del micro-ordenador. Estas instrucciones se cargan en la línea  
25 de entrada 10, son detenidas temporalmente en el registro de programas 30 y son descodificadas en el descodificador 62 de instrucciones que, junto con los circuitos de temporización, controla las puertas, los registros y los circuitos operacionales para ejecutar las diversas instrucciones en una forma que se explica más completamente en  
30

1 lo que sigue en relación con las figuras 2-4.

La ROS 16 es hecha funcionar en un modo en serie. Así, en el período de reloj 0, que es usualmente el comienzo de cada micro-instrucción, en el registro 30 de programas se ajusta la instrucción procedente de la línea de entrada 10. Al mismo tiempo, período de reloj 0, se ajustan datos en el registro intermedio de salida 26. Así, los datos procedentes de la memoria ejecutable 16 direccionados en la línea de salida 20 son tomados desde la línea de entrada 10, mientras que, al mismo tiempo, se destruye la dirección en la línea de salida 20. Debido a los retrasos inherentes en la circuitería (incluyendo los excitadores y las etapas lógicas), la operación en serie ocurre teniendo lugar estas operaciones, simultáneamente.

#### 15 REGISTRO DE MEMORIA LOCAL 14

El registro de memoria local (LSR) 14 comprende una pluralidad de posiciones de registro direccionables y modificables. Los datos se inscriben en el LSR 14 desde la línea de salida 20 y son leídos en la línea de entrada 10, cuando se tiene acceso a ellos por las líneas 21 de ICO. Los datos situados en la línea de entrada 10 pueden ser dirigidos a la memoria principal 12 o a la pastilla 9 de UCT. La posición cero en el LSR 14 está reservada para guardar datos del registro intermedio 26, en ciertas condiciones que se describirán más adelante.

#### 25 UNIDAD ARITMETICA Y LOGICA 22

La unidad aritmética y lógica (ALU) 22 está compartida en una base multiplexada en el tiempo para tratar datos, incrementar direcciones de micro-instrucciones, ramificar desplazamientos, enlazar subrutinas, proporcionar

1 acceso a la memoria principal, realizar modificación de  
direcciones, buscar o almacenar datos, tratar interrup-  
ciones insertadas con prioridad y robar ciclos.

5 Esto se consigue integrando el registro 32 de  
direcciones con el flujo de datos de la ALU 22 y median-  
te el uso del LSR 14. El registro 32 de direcciones (un  
registro sencillo de retención de polaridad que no fun-  
ciona por incrementos), comparte en el tiempo la ALU 22  
10 en semiciclos alternos para incrementar o modificar de  
otro modo la dirección de instrucciones de la memoria fi-  
ja 16. La ramificación y el enlace de desplazamientos más  
o menos se facilita mediante esta única trayectoria de da-  
tos a la ALU 22. Como salidas de la ALU 22 a la línea de  
salida 20, las micro-direcciones pueden ser almacenadas  
15 en el LSR 14 como indicadores de retorno procedentes de  
interrupciones. Por lo mismo, como los LSR 14 pasan sobre  
la línea de entrada 10 y a través de la ALU 22 al registro  
32 de direcciones, los nuevos indicadores de rutina de in-  
terrupción pueden ser cargados o pueden ser restablecidos  
20 los indicadores de rutina previamente interrumpidos, per-  
mitiendo que una estructura de interrupción expandible  
y de prioridad insertada sea incluida dentro del flujo  
de datos básicos de la ALU 22. Se conserva una posición  
del LSR 14 (posición 0) para salvaguardar y restablecer  
25 el contenido del registro 26 de línea de salida.

El micro-ordenador 9 investiga datos desde la  
memoria principal 12 a través de la línea de entrada 10 y  
la ALU 22 para almacenar en sus registros de operando in-  
ternos mientras que el registro 26 de línea de salida re-  
tiene la dirección de la memoria principal 12 precedente

1 del LSR 14 o registro de operandos seleccionado (tal como  
el registro 36 de extensión) para acceso y actualización  
simultáneos. Los datos del micro-ordenador 9 que han de  
ser almacenados en la memoria principal 12 como resultado  
5 de la ejecución de una micro-instrucción previa son envia-  
dos primero a un registro LSR 14 seleccionado a través  
del registro 26 de línea de salida. La micro-instrucción  
de inscribir en memoria principal deja pasar los datos del  
LSR 14 sobre la línea de entrada 10 para entrar en la me-  
10 moria principal 12.

Además, ciertas posiciones del LSR 14 pueden ac-  
tuar también como direcciones indirectas de la memoria  
principal 12 para dirigir operaciones de robo de ciclo de  
dispositivo de entrada/salida, asignándose un LSR a cada  
15 nivel de prioridad. Los dispositivos de entrada/salida  
incluyen su propio contador de longitud de datos. Los re-  
gistros de direcciones de memoria principal 12 en los LSR  
14 son incrementados automáticamente a través de la ALU  
22 en el camino hacia la línea de salida 20, para tener  
acceso a la memoria principal 12 con el fin de inscribir  
20 en ella los datos de entrada/salida existentes en la lí-  
nea de entrada 10, o para leer los datos de la memoria  
principal 12, que, por medio de la línea de entrada 10,  
pasan a través de la ALU 22 para quedar disponibles para  
25 los dispositivos de entrada/salida en la línea de salida  
20. Los dispositivos de entrada/salida reciben los datos  
del micro-ordenador 9 en la línea de salida 20 y envían  
datos al micro-ordenador 9 en la línea de entrada 10.

La ALU 22 compartida se utiliza para descodifi-  
30 car instrucciones emuladas. El código de operación de la

1      instrucción que se está emulando es añadido por la ALU 22  
a la dirección de instrucción corriente en el registro 32  
de direcciones para obtener un indicador de desplazamiento  
hacia una tabla en la memoria fija 16 justamente por deba-  
5      jo de la instrucción corriente que está siendo ejecutada.  
De este modo, se obtiene una rama de 256 vías hacia las  
instrucciones de la memoria fija 16 para ejecutar la ins-  
trucción emulada.

10               Compartiendo el registro 32 de dirección de ins-  
trucción, se consigue la conmutación de una interrupción  
a través de la misma trayectoria de datos que existe para  
la ejecución de una instrucción básica. El valor de una  
dirección de instrucción que existe en el registro 32 de  
direcciones es almacenado en el registro 14 de memoria lo-  
15      cal a través de la ALU 22, el registro 24 de total, la lí-  
nea interna 25, el registro intermedio 26 de salida y la  
línea de salida 20. Así, cuando ocurre una interrupción,  
el indicador hacia la siguiente instrucción que habría  
sido ejecutada con el nivel de prioridad corriente del  
20      programa se conserva en el LSR 14. A continuación, se de-  
termina el nivel superior que ha de ejecutarse utilizando  
el código de prioridad que es generado en el codificador  
de prioridad 54 para generar una dirección en el registro  
40 de ICO. El registro 40 de ICO accede a la posición del  
25      registro 14 de memoria local que contiene el indicador pa-  
ra la subrutina de la memoria fija 16 para ese nivel de  
interrupción. Ese indicador es leído desde el registro  
14 de memoria local sobre la línea común 10 de entrada/sa-  
lida y a la pastilla 9 de micro-ordenador a través de la  
30      ALU 22, para ser fijado en el registro 24 de total antes

1 de ser almacenado en el registro 32 de direcciones y en  
el registro 26 intermedio de salida para tener acceso en  
la memoria fija 16 a la subrutina para el nivel de inte-  
5 rrupción que ha de ser ejecutado. Cuando se ha prestado  
servicio a la interrupción, el indicador de subrutina  
de interrupción corriente es almacenado en el LSR 14 y el  
indicador de dirección para el programa interrumpido es  
averiguado desde él.

#### REGISTRO DE PROGRAMAS

10 El registro 30 de programas es una memoria inter-  
media para la instrucción corriente y retiene el código  
de operación de instrucción (Op) que está siendo ejecu-  
tado por la pastilla 13 de micro-ordenador.

15 El recuento o campo de dirección de instruccio-  
nes almacenado del registro 30 de programas puede ser ho-  
cho pasar directamente al registro 38 de decrementar o al  
registro 40 de ICO.

#### REGISTRO DE TOTAL (T)

20 El registro 24 de total se ajusta con la salida  
de la ALU 22, y carga a la línea 25, al menos por dos ve-  
ces durante cada ciclo de ejecución de instrucción -una  
vez con la dirección de la siguiente instrucción a ejecu-  
tar, y una vez con el resultado de la ALU al ejecutarse  
la función especificada de instrucción.

25 Como los datos procedentes de la ALU 22 son re-  
tenidos temporalmente en el registro 24 de total y luego  
son compensados en el registro intermedio de salida 26,  
puede realizarse una función en la línea de entrada 10  
mientras que, al mismo tiempo, se está terminando otra fun-  
30 ción en la línea de salida 20. Así esta compensación de

1 dos etapas en el bucle permite la realización de operaciones solapadas y en serie.

#### REGISTRO DE DIRECCION DE INSTRUCCION

5 El registro 32 de dirección de instrucción es modificado durante la ejecución de cada instrucción por la ALU 22 para activar la dirección en la memoria fija 16 de la siguiente instrucción a ejecutar.

#### REGISTRO ACUMULADOR Y REGISTRO DE EXTENSION

10 Los dos registros de trabajo son el registro acumulador 34 y el registro de extensión 36. En este caso, estos registros tienen, cada uno, 16 bitios, dando una capacidad de 32 bitios para instrucciones que hacen uso de desplazamiento, tal como para desplazar aritméticamente, desplazar lógicamente a la izquierda o a la derecha, 15 desplazar a la izquierda y contar o girar a la izquierda o a la derecha.

Estos registros, junto con el registro de recuento 50 y el registro de salida 26 son los registros interiores, y las Micro-instrucciones tienen acceso directo a ellos para realizar cálculos internos aritméticos y lógicos. Pueden ser también modificados con uno de los 20 registros 14 de memoria local exteriores, o viceversa, con el resultado almacenado en uno de los registros internos o en el registro 14 de memoria local.

#### REGISTRO INTERMEDIO DE SALIDA

25 El registro 26 intermedio de salida realiza una doble función. Por ser un registro de operando de la ALU 22 retiene datos que el micro programa le dirige a él. Asimismo, una interrupción que fuerce la transferencia de 30 indicadores de dirección o cualesquiera accesos de robo

1 de ciclo de acceso directo a memoria (DMA), ha de permitir  
que tanto las direcciones como los datos circulen a través  
del registro 26 intermedio de salida. De este modo, el re-  
gistro 26 intermedio no pierde los datos dispuestos en él  
5 por el micro-programa. La posición 0 del registro de memo-  
ria local 14 se conserva como imagen para el registro 26  
intermedio de salida siempre que el micro-ordenador cam-  
bie direcciones de instrucciones y datos, tanto bajo el  
control de una interrupción como durante una operación de  
10 robo de ciclo. Subsiguientemente, pueden ser solicitados  
nuevamente el valor del registro 26 intermedio de salida  
almacenado en la posición 0 del LSR 14 como un valor de  
operando de la ALU 22. De esta manera, no se requiere re-  
ferencia en la pastilla 9 del micro-ordenador para el re-  
gistro intermedio 26.

#### EXCITADORES DE POTENCIA

Cuando la línea 28 abandona la pastilla 9, pasa  
a través de los excitadores 18 de potencia, cuya salida  
es la línea de salida 20. En una pastilla de integración  
20 a gran escala (LSI) cada excitador solamente puede activar  
una carga. Por tanto, como la línea de salida 20 es una  
línea común que va a cierto número de unidades (o cargas),  
ha de ser potenciada nuevamente. (Al realizar esta nueva  
potenciación, se consigue una expansión del número de lí-  
neas de canal generadas mediante codificación de las lí-  
neas existentes para un nivel alto o bajo durante distin-  
tos períodos de reloj de cada ciclo de micro-instrucción  
de ocho períodos de reloj).

#### REGISTRO DE DECREMENTOS

30 El registro 38 de decrementos se utiliza para  
18018

1 contar todas las instrucciones de desplazamiento, multi-  
plicación y división y en las instrucciones de decremento,  
ensayo y ramificación. El registro 38 de decrementos tiene  
entradas desde el registro 30 de programas siempre que  
5 una operación de desplazamiento solicite un desplazamien-  
to directo de hasta 32 posiciones y almacene el valor de-  
crementado en el registro 30 de programas. En desplaza-  
mientos indirectos, cuando el registro 50 de recuento  
adopta el valor de recuento de desplazamiento, se utiliza  
10 el mismo decremento en uno que en desplazamientos direc-  
tos, y el registro 38 de decrementos retiene el valor de-  
crementado antes de que sea devuelto al registro 50 de  
recuento.

15 Como la operación de desplazamiento máximo que  
se realiza en esta ejecución es de 32, es suficiente un  
registro 38 de decrementos de 5 bitios. Sin embargo, pa-  
ra realizar una operación de campo largo, se utiliza tam-  
bién el registro de recuento 50 como recuento de longitud  
de campo. Para esta operación, requiere una función de  
20 decremento completo de 8 bitios. Esto se consigue hacien-  
do circular en ciclo por dos veces el registro de decre-  
mentos 38, tomando un carácter de cuatro bitios del regis-  
tro 50 de recuento en primer lugar, decrementándolo y  
almacenando el acarreo en la quinta posición de orden al-  
25 to. El acarreo almacenado, si existe, junto con el carác-  
ter de cuatro bitios de orden alto procedente del regis-  
tro 50 de recuento son decrementados para formar el valor  
decrementado de ocho bitios completo para volver a cargar  
en el registro de recuento 50.

30

REGISTRO DE SALIDA DE CODIGO (ICO) DE LSR

1 El registro 40 de salida de código de LSR direcciona al dispositivo de entrada/salida o a la posición del registro 14 de LSR con respecto a la cual han de ser transferidos datos.

5 REGISTRO DE CONDICION CORRIENTE

Los cuatro bitios superiores del registro 48 de condición corriente retienen los cuatro códigos de condición, y los cuatro bitios inferiores retienen cuatro señales de indicación programables; estos bitios forman la batería de bitios de nivel alto no conectada del registro de recuento 50. En cada operación aritmética, se fijan los cuatro códigos de condiciones para operaciones enlazadas de campo subsiguientes. Las cuatro condiciones son: acarreo binario; exceso de complemento básico; menos de complemento básico; y el indicador de no-cero que es acumulativo. El indicador de no-cero, una vez fijado en cualquier longitud de campo, permanecerá ajustado hasta que sea variado por una micro-instrucción.

15 REGISTRO DE RECUENTO

20 El registro de operando secundario de la ALU es el registro de recuento 50. Además, puede servir como contador de desplazamientos. El recuento de desplazamientos originalmente almacenado en el registro de recuento 50 es decrementado para cada desplazamiento de registro 34 acumulador, o de registro de extensión 36, individualmente, o de ambos, cuando están conectados entre sí para una operación de desplazamiento de doble precisión. En una instrucción de desplazar a la izquierda y contar, tan pronto como se encuentra el bitio de orden alto, se interrumpe el desplazamiento y el valor remanente en el regis-

1     tro de recuento 50 indica cuánto ha progresado el despla-  
zamiento. Por tanto, en muchas operaciones ese valor re-  
sulta ser un indicador de dirección indirecto para la me-  
5     memoria fija 16 o el LSR 14. Así, el registro 50 de recuen-  
to puede ser cargado desde la línea interna 25, y puede  
ser modificado a través de la ALU 22 con el resultado car-  
gado en el registro 40 de ICO para acceso a la memoria lo-  
cal 14 en la línea 21 o a los dispositivos de entrada/sa-  
lida en la línea de salida 20.

10     Para orientar cálculos de dirección y para cal-  
cular direcciones efectivas, se utiliza el registro de  
recuento 50 como desplazamiento positivo o negativo que  
es combinado con los datos por la ALU 22. El resultado  
se almacena en el registro 14 de memoria local o en cual-  
15     quier registro interno en la pastilla 9.

REGISTROS DE CODIGO DE CONDICION CONSERVADO Y CODIGO DE  
CONDICION CORRIENTE

20     La salida del registro 48 de condición corrien-  
te es compensada selectivamente en el registro 42 de cón-  
digo de condición conservado. Los códigos de condición bás-  
cos, ajustados como resultado de las operaciones de la  
ALU, son: exceso, acarreo-acreedor, no cero acumulativo,  
menos. Los códigos de condición corriente reflejan el  
25     resultado de la ejecución de una micro-instrucción arit-  
mética más reciente. Todos los bits de orden alto des-  
plazados a la izquierda son llevados al indicador de aca-  
rreo corriente. Ante un desplazamiento a la izquierda y  
un recuento, el bit de orden alto puede ajustar el in-  
dicador de acarreo corriente. Las cargas, los almacena-  
30     mientos, los movimientos, las instrucciones lógicas, los

1 incrementos, los decrementos, los saltos y las ramifica-  
ciones no cambian los códigos de condición. Los códigos  
en los registros 42 y 48 pueden ser despejados por sepa-  
5 rado y pueden ser ensayados individualmente mediante ins-  
trucciones de salto. Además de estos códigos de condición,  
existen cuatro bitios de señalización controlados por pro-  
grama que, en combinación con los códigos de condición co-  
rrientes, forman el registro 48 de condición. Cuando se  
10 está emulando una micro-instrucción, el código de micro-  
nivel corriente, correcto, es transferido al registro  
42 de código de condición conservado para conservar el  
código de condición de micro-nivel del lenguaje que está  
siendo emulado en el micro-nivel.

#### REGISTRO DE INTERRUPCIONES

15 El registro 44 de máscara de interrupción con-  
tiene el estado de máscara corriente de los niveles de  
interrupción permitidos. El registro 44 de interrupción  
puede ser modificado también a través de la ALU 22, ex-  
traído del LSR 14 o restablecido desde él.

#### REGISTRO DE ERRORES

20 Los bitios de orden bajo del registro 44 de má-  
scara comprenden el registro 46 de error de una batería de  
bitios, que controla y registra los errores. Ejemplos de  
errores de ensayo de máquina que pueden ser registrados:  
25 un error de paridad en una instrucción que está siendo in-  
vestigada a partir de la memoria fija 16; un error de da-  
tos desde el registro de memoria local 14; un error de pa-  
ridad en la memoria principal 12 detectado por una compro-  
bación de paridad en la línea de entrada 10; un error de  
30 paridad en los datos que están siendo recibidos desde uno

1 cualquiera de los dispositivos de entrada/salida; una con-  
dición de canal suspendido, cuando un dispositivo de en-  
trada/salida no realiza un "intercambio" ni permite que  
5 el micro-ordenador continúe a la siguiente micro-instruc-  
ción; o errores de retraso, tales como ocurren cuando es  
emitida una instrucción de entrada/salida a un dispositivo  
de entrada/salida que no existe y cuya dirección, por tan-  
to, no es detectable. Estos errores pueden fijarse en el  
registro de errores 46 y modificarse, salvaguardarse, pro-  
10 barse o almacenarse en el LSR 14. Uno cualquiera de estos  
errores que esté siendo fijado automáticamente por el equi-  
po físico obliga a la interrupción de más alto nivel (ni-  
vel 7) del micro-ordenador a ir hacia una subrutina que  
bien puede volver a ensayar la operación o bien puede dar  
15 por terminada la función corriente y proporcionar una se-  
ñal a la consola del operador.

#### GENERADOR DE 4 FASES Y RELOJES 60,64,66

Un oscilador 59 monofásico constituye la entra-  
da para el generador 60 de cuatro fases que hace marchar  
20 dos relojes: el reloj básico 66 y el reloj 64 de despla-  
zamiento y de retraso auxiliar. El reloj básico 66 es un  
reloj bifásico que puede ser detenido cada segunda posi-  
ción de reloj, existiendo ocho posiciones de descodifica-  
ción de reloj proporcionadas a partir de 4 estados de en-  
ganche solapados. El reloj básico 66 marcha a través de  
25 las ocho posiciones cada ciclo de micro-instrucción. El  
reloj básico 66 proporciona también una posición de en-  
ganche elevado que se utiliza siempre que la micro-ins-  
trucción que se esté ejecutando exija un ciclo doble, lo  
que tiene lugar siempre que se tenga acceso a la memoria  
30

1 principal 12; entonces el reloj 66 marcha a través de las  
mismas ocho posiciones, excepto en que esta vez la presen-  
cia del biestable de posición alta codifica la salida del  
reloj 66 como relojes 8 a 15. La descodificación del reloj  
5 auxiliar 64 proporciona cuatro intervalos de tiempo distin-  
guibles junto con un biestable de posición alta que se uti-  
liza siempre que el reloj realice un ciclo repetido para  
indicar el retraso máximo de dos pasos a través del reloj,  
lo que es equivalente a un ciclo de ejecución de instruc-  
10 ción completo. El reloj auxiliar 64 se utiliza siempre que  
se requiera una operación de desplazamiento, multiplica-  
ción o división. Durante estas instrucciones, el reloj 66  
principal está detenido en su posición séptima. Esto permi-  
te que se produzcan robos de ciclo en mitad de operaciones  
15 de desplazamiento, multiplicación o división extendidas.  
El reloj 64 auxiliar se utiliza también para retrasos quan-  
do no están respondiendo dispositivos de entrada/salida o  
para intercambiar operaciones siempre que se encuentre que  
un dispositivo de entrada/salida está en la línea 10 y es-  
20 tá intentando intercambiar datos. Si el retraso excede del  
tiempo asignado, entonces el reloj 64 auxiliar se retrasa  
y ajusta los indicadores del registro de error 46 para  
iniciar la interrupción de máximo nivel o de comprobación  
de la máquina.

25 CANAL CON PRIORIDAD DE ROBO DE CICLO Y DE INTERRUPCION IN-  
TEGRADO

Haciendo referencia a la figura 5, en relación  
con la figura 1, las funciones de robo de ciclo y de inte-  
rrupción se consiguen mediante la línea de escrutinio co-  
mún 53, que proporciona 8 niveles de robo de ciclo o 7 ni-

1 veles de petición de interrupción. En este caso, la línea  
de escrutinio 53 tiene una anchura de siete bitios para  
contener las peticiones para siete niveles de interrupción  
por encima del nivel de programa ejecutable corriente, lo  
5 que da un total de 8 niveles de interrupción. Cualquier  
dispositivo de entrada/salida puede estar unido a cualquie-  
ra de las 7 líneas de petición de interrupción con priori-  
dad. El escrutinio de interrupciones es continuo, excepto  
cuando se ajusta el fiador 75 de robo de ciclo de escruti-  
10 nio solamente, y tiene lugar la función de robo de ciclo.  
Tan pronto como el dispositivo de entrada/salida pide ser-  
vicio desde el micro-ordenador 9, dispone su petición en  
el bitio 530-536 de prioridad asignado de la línea de es-  
crutinio 53. La multiplicidad de peticiones pasará por la  
15 lógica 54 de codificación de prioridades, en donde la pe-  
tición de máximo nivel es codificada en forma de un cón-  
digo de tres bitios (en las líneas 541, 542, 544) especi-  
ficando uno de los 8 niveles de prioridad diferentes. La  
prioridad de las interrupciones es controlada también por  
20 el registro 44 de máscara de interrupción. Si la máscara  
44 se ajusta para permitir la interrupción, entonces los  
circuitos Y de la puerta de interrupción 52 permiten que  
la interrupción pase al codificador 54 de prioridades,  
con el fin de ajustar el código de las prioridades que se  
25 solicitan corrientemente. Esta prioridad de interrupción  
se compara en el comparador 58 con el nivel corriente al-  
macenado en el registro 56 de nivel de interrupción co-  
rriente de 3 bitios. El nivel 56 corriente es comparado  
continuamente con cualquier nuevo nivel procedente del co-  
30 dificador de prioridades 54 para ver si el nuevo código es

1 superior al corriente. Si resulta serlo, entonces no se  
ejecutará la siguiente instrucción de la cadena corriente.  
En lugar de ello, el indicador de dirección corriente del  
registro 32 de dirección de instrucción es transferido a  
5 la posición del registro 14 de memoria local para el nivel  
corriente. El indicador de nuevo nivel, o de nivel supe-  
rior, es sacado del registro 14 de memoria local y es pue-  
sto en el registro 32 de dirección de instrucción.

La dirección para la rutina de interrupción en  
10 el registro 14 de memoria local (uno de los 8 indicadores  
de interrupción posibles) es derivada como sigue: los 3  
bitios de orden bajo (en las líneas 561, 562, 564) proce-  
dentes del registro 56 de interrupción corriente son trans-  
feridos bajo el control de la puerta 81 a las líneas de en-  
15 trada 831, 832, 833 del registro 40 de ICO. El ajuste del  
nivel 73 de interrupción corriente carga las líneas 834,  
835 de orden alto con los restantes bitios de la dirección  
del registro 40 de ICO para almacenar el indicador inte-  
rrumpido en el LSR 14. El nuevo indicador para los regis-  
20 tros de interrupción en el LSR 14 es cargado en forma simi-  
lar en el registro 40 de ICO por las líneas de entrada 834,  
835 de orden alto por la orden de ajustar nivel 72 de inte-  
rrupción corriente y por las líneas 831, 833 de orden bajo  
en el registro 40 de ICO desde el registro 56 de interrup-  
25 ciones después de que la orden de cargar nuevo nivel 73  
de interrupción ha transferido la nueva prioridad 54 al  
registro 56 de interrupción corriente. Esto cambia la nueva  
dirección del registro 40 de ICO convirtiéndola en la de la  
posición del registro LSR 14 que contiene un indicador para  
la subrutina de la memoria fija 16 para ejecutar la inte-

1 - rrupción para el nivel seleccionado, llegando el indica-  
dor de dirección en la línea de salida 20 y en el regis-  
tro 32 de dirección de instrucción desde el registro 14  
de memoria local a través de la AIU 22 y el registro 24  
5 de total. Al término de la ejecución de la subrutina  
del nuevo nivel de interrupción, se emite una instruc-  
ción de rama de salida. Esta instrucción restablece el  
indicador del programa originalmente interrumpido. Como  
la subrutina que sirvió a la interrupción repone también  
10 la interrupción, no debe estar presente la petición para  
la misma interrupción. Si llega otra interrupción en el  
mismo nivel o a un nivel superior, el programa no volve-  
rá a la posición de programa original, sino que continua-  
rá para tratar la petición de prioridad de interrupción  
15 más reciente. Esto permite una inserción total de hasta  
8 niveles de interrupción. Además, para cada nivel puede  
existir una multiplicidad de subniveles. Una vez que se  
detecta un nivel de interrupción dado, se emite una ins-  
trucción de vocablo de estado de nivel de interrupción  
20 (ILSW) a todos los dispositivos de entrada/salida, y debe  
identificarse por sí mismo uno de los 16 dispositivos,  
corrientemente el que solicita servicio en cualquier ni-  
vel de interrupción particular. (De esta manera, pueden  
obtenerse 16 subniveles para cada uno de los 8 niveles  
25 para un total de 128 interrupciones de subnivel). El vo-  
cablo de estado de nivel de interrupción que es recibido  
en uno de los registros de micro-ordenador puede utili-  
zarse para determinar cuál de los 16 dispositivos en ese  
nivel está solicitando servicio. Esto se realiza median-  
te una instrucción de desplazamiento a la izquierda y re-

1      cuento. El primer bitio de la posición de orden más ele-  
vado interrumpirá la instrucción de desplazamiento a la  
izquierda y recuento y el cómputo que quede en el regis-  
tro 50 de recuento indicará la posición de la subrutina  
5      para ese dispositivo particular.

          La línea de escrutinio común 53 se utiliza tam-  
da primero de todas las peticiones de interrupción. Cual-  
quier línea 68 de petición de robo de ciclo es ajustada  
10     a un nivel lógico negativo por un dispositivo que esté so-  
licitando un robo de ciclo. Una vez que la línea ajusta  
el fiador 75 de robo de ciclo de escrutinio solamente, in-  
mediatamente de ser activada la línea 77 de petición de  
robo de ciclo de escrutinio, se requiere a los dispositi-  
15     vos para que eliminen sus peticiones de interrupción de  
la línea de escrutinio 53 hasta que haya concluido la fun-  
ción de robo de ciclo. Tan pronto como la línea 70 de pe-  
tición de interrupción común y cualquier línea 68 de peti-  
ción de robo de ciclo son reducidas por todos los dispositi-  
20     tivos, el fiador 76 de acuse de recibo de robo de ciclo es  
ajustado en el siguiente período de reloj 0, indicando que  
la línea de escrutinio 53 contiene la prioridad de robo  
de ciclo para el dispositivo que la solicita, que va direc-  
tamente al codificador 54 de prioridad (derivando la puer-  
25     ta 52 de máscara de interrupción). Esto produce 3 bitios  
de una dirección de prioridad de ICO desde el codificador  
54 de prioridad, que son dejados pasar de manera discrimi-  
nada en Y 82 por la línea 78 y la puerta Y 89 (la salida  
temporizada del fiador 76), al registro 40 de ICO junto  
con los indicadores de acceso de bitios de orden superior

1 - fijados en el LSR 14 para el nivel de robo de ciclo que  
se utiliza como dirección de la memoria principal 12, para  
obtener o para almacenar datos en la memoria principal 12  
bajo el control completo del dispositivo de entrada/salida  
5 hasta el punto de fijar justamente la batería de bitios su-  
perior e inferior (en lugar de las dos baterías de bitios  
en el modo de medio vocablo). El registro 56 de nivel de  
interrupción corriente, en este modo, no es perturbado  
porque el nivel de interrupción (tanto si se está ejecutar-  
10 do el nivel de programa como cualquier nivel superior) es  
retrasado justamente por la recepción de instrucción de  
robo de ciclo. Como se acaba de describir, un acceso a me-  
moria es direccionado inicialmente por un indicador desde  
el registro 40 de IOO, incluyendo tres bitios de orden bajo  
15 que significan a cuál de los ocho niveles de robo de ciclo  
se está acusando recibo corrientemente, y dando los bitios  
de orden alto un desplazamiento al registro de medio voca-  
blo de memoria local 14 que retiene la dirección de memoria  
indirecta. Esta dirección es leída desde la memoria local  
20 14 en la línea de entrada 10 y es incrementada a través  
de la ALU 22 antes de ser fijada en el registro intermedio  
26. Durante el tiempo de acceso de memoria a la memoria  
principal 12, la dirección incrementada en la línea de sa-  
lida 20 puede ser inscrita de nuevo y actualizada en su  
25 registro de robo de ciclo del registro 14 de memoria local  
o puede impedirse su inscripción por el dispositivo de en-  
trada/salida al que se ha acusado recibo con el fin de  
conservar invariable la dirección de robo de ciclo. Después  
de un tiempo de acceso, son leídos datos desde la memoria  
30 12 en la línea de entrada 10 si el dispositivo de entrada/

1 salida permite la selección de lectura de la memoria prin-  
cipal 12 e inhibe los impulsos de inscripción que son im-  
pulsos de control 19 salidos del micro-ordenador. El dis-  
positivo de entrada/salida puede poner sus propios datos  
5 en la línea de entrada 10 para ser inscritos en la memoria  
principal 12. Así, el dispositivo tiene el control comple-  
to de la función de incrementar o no incrementar a través  
de la ALU integrada y el control completo del modo de lec-  
tura o de inscripción de la operación. En el modo de ins-  
10 cripción, una vez que se ha completado esa operación, el  
dispositivo de entrada/salida puede ver todavía sus pro-  
pios datos en la línea de salida 20 durante el siguiente  
período de reloj 1. En el modo de lectura, los datos leí-  
dos en la línea de entrada 10 circulan a través de la ALU  
15 22 al registro 24 de total y al registro 26 intermedio de  
salida para quedar disponibles para todos los dispositivos  
en la línea de salida 20. El único dispositivo de entrada/  
salida que captará esos datos en el modo de lectura es  
aquel que reconozca el código de nivel de robo de ciclo en  
20 las 6 líneas 21 de dirección de LCO. El dispositivo de tra-  
tamiento vuelve de nuevo a su ejecución normal de instruc-  
ción o al tratamiento de rutina de interrupción que había  
sido suspendido para este ciclo de DMA (o robo de ciclo)..

#### DESCRIPCION DE TEMPORIZACIONES

25 Haciendo referencia ahora a las figuras 2-4, se  
dará una breve descripción de las temporizaciones para eje-  
cutar las micro-instrucciones. Como todas las instrucciones  
tienen características de temporización de ejecución simi-  
lares, se dará primero una descripción general y esta des-  
30 cripción general irá seguida por una descripción más deta-

1 llada de cada tipo de instrucción.

5 El ciclo de reloj está dividido en ocho tiempos diferentes conocidos como períodos de reloj 0 a 7. Los períodos de reloj 8 a 15 son repeticiones de los períodos de reloj 0 a 7, y el único instante en que aparecen estos períodos de reloj es durante una operación en la memoria principal 12, incluyendo una DMA. El tiempo de instrucción básico de 8 períodos de reloj está dividido en dos partes para utilización de la ALU 22. Durante los períodos de reloj 7 a 2, la ALU 22 es dedicada a incrementar o a modificar de otro modo el registro 32 de dirección de instrucción. Los períodos de reloj 3 a 6 se utilizan para tratamiento por todas las micro-instrucciones. De esta manera, la ALU 22 se utiliza continuamente sobre una base del 50% para ejecución de instrucciones y del 50% para actualización de indicadores de instrucciones. El intervalo básico durante el que la dirección para la memoria fija 16 aparece en la línea de salida 20, comienza en el intervalo de reloj 3, cuando el indicador de nueva dirección computado es cargado desde la ALU 22 en el registro 24 de total y es transferido al registro 26 intermedio de salida. Esta dirección permanece invariable hasta el siguiente período de reloj 0 cuando se cambia el registro intermedio 26 para contener los datos para el registro 14 de memoria local o para cualquier dispositivo de entrada/salida en la línea de salida 20 común de entrada/salida.

20 El período de reloj 0 inicia cada instrucción cargando la instrucción desde la memoria fija 16 en el registro 30 de programas. Esta compensación en el registro 30 de programas permite la ejecución de esa instrucción

1 mientras se cambia la dirección de la memoria fija 16 en el período de reloj 3, como se ha descrito previamente, para tener acceso a la siguiente micro-instrucción.

5 El registro 24 de total se ajusta en el período de reloj 2 con la dirección de instrucción y en el período de reloj 6 con los datos tratados por la ALU 22 al ejecutar la instrucción. Durante el período de reloj 3, se fija la siguiente dirección de instrucción en el registro intermedio 26 para cargar en la línea de salida 20.

10 Si la micro-instrucción requiere que se inscriban esos datos en los registros 14 de memoria local, estos datos se inscriben durante el período de reloj 1 de la micro-instrucción siguiente a aquella con que se computaron los datos, y son inscritos desde el registro intermedio de salida 26 a través de los excitadores 18 directamente en la posición de la memoria local 14 seleccionada por las seis líneas del ICO 40. De la misma manera, pueden ser transferidos datos a un dispositivo de entrada/salida cargándolos en el registro 26 intermedio de salida en el período de reloj 0 e indicando una señal 19 durante el período de reloj 1 que los datos en la línea de salida 20 son válidos. Estos datos cambian al comienzo del período de reloj 3 cuando la dirección de la memoria fija 16 aparece en el registro intermedio de salida 26. Cualquier dato que esté entrando en la UCT 9 en la línea de entrada 10 para almacenamiento o modificación, ha de llegar a la ALU 22 y ser válido durante los períodos de reloj 3, 4, 5 y 6 -siendo éste el tiempo durante el cual la ALU realiza el proceso especificado por la instrucción que se está ejecutando. Por la misma razón, los datos procedentes del LSR

1 14 se colocan en la línea de entrada 10 para tratamiento por la UCT 9 en el período de reloj 2. En el período de reloj 3, que permite retrasos de señal, los datos están disponibles para la función de la ALU.

5 Los datos procedentes de los registros 14 de memoria local se colocan en la línea de entrada 10 comenzando en el período de reloj 2. Estos datos no son dejados pasar a la ALU 22 hasta el comienzo del período de reloj 3 porque desde los períodos de reloj 7 a 2, la ALU 22 se utiliza para actualizar el registro 32 de dirección de instrucción. Al comienzo del período de reloj 7, la ALU 22 es transferida de nuevo a la función de incrementar direcciones, habiendo completado su función de tratamiento de micro-instrucción básica.

15 Haciendo referencia a la figura 2, para micro-instrucciones relativas a la memoria principal 12, particularmente para la búsqueda de datos desde la memoria principal 12 en uno de los registros de la UCT 9, el segundo ciclo (períodos de reloj 8 a 15) tiene una ligera variación en la que es buscada la siguiente micro-instrucción desde la memoria fija 16 durante el período de reloj 8 aún cuando la ejecución de la instrucción corriente continúa a través del período de reloj 15 y en el siguiente período de reloj 0, en cuyo momento los datos procedentes de la memoria principal 12 son fijados finalmente en el registro especificado de la UCT 9 o son enviados a un dispositivo de entrada/salida. En este caso (después de cada acceso de instrucción a la memoria principal 12) no es dejada pasar una nueva instrucción al registro 30 de programas en el siguiente período de reloj 0 ya que ha sido atra-

1    pada ya en el período de reloj 8 precedente de la instruc-  
ción de memoria principal 12. Asimismo, el intervalo para  
actualizar el registro 32 de dirección de instrucción es  
acortado y no comienza en el período de reloj 15 equiva-  
5    lente, sino dos períodos de reloj más tarde, en el perío-  
do de reloj 1, y sólo ocupa los períodos de reloj 1 y 2,  
ya que esta actualización es justamente una transferencia  
directa a través de la ALU 22 sin modificación alguna (co-  
mo la que ya ha tenido lugar durante los períodos de reloj  
10   7 a 10 de la instrucción de memoria principal previa).

La instrucción de inscribir en memoria principal  
inscribe los datos en la memoria principal 12 durante la  
segunda fase de la instrucción, en el transcurso de los  
períodos de reloj 13 a 15.

15        Haciendo referencia a la figura 3, para aritmés-  
tica decimal, durante los primeros cuatro períodos de re-  
loj, la ALU 22 realiza la función binaria equivalente y  
almacena los acarrees intermedios para cada uno de los dí-  
gitos decimales en paquete. Se realiza entonces un paso re-  
20    petido de la ALU 22 durante otros cuatro períodos de reloj  
(controlados por el reloj auxiliar 64) para corregir "seis"  
con el fin de obtener el resultado decimal puro.

25        Haciendo referencia a la figura 4, siempre que  
se realice una ramificación o salto condicional, cuando  
la dirección de ramificación se carga en el período de re-  
loj 7 (tal como la condición de ramificación conectada,  
una ramificación de tabla de múltiples vías al descodifi-  
car un código Op procedente de un lenguaje de blanco que  
está siendo emulado, o cuando se devuelven una ramifica-  
30    ción y una conexión restableciendo la dirección original

1 desde el registro 14 de memoria local al registro 32 de  
dirección de instrucción), entonces se suman cuatro ciclos  
de reloj adicionales del reloj auxiliar 64 para dar tiem-  
po al acceso a la memoria fija 16, ya que en cada uno de  
5 estos casos un salto ha cambiado la dirección prevista  
previamente computada desde la instrucción previa.

En operaciones de desplazamiento, el reloj au-  
xiliar 64 ocupa dos períodos de reloj para cada despla-  
zamiento de un solo bitio en el registro 34 acumulador o en  
10 el registro 36 de extensión; u ocupa 4 períodos de reloj  
(que es, como mucho, la mitad del tiempo de ejecución de  
una micro-instrucción básica) para desplazar una posición  
de los registros 34 y 36 acumulador y de extensión con  
una precisión doble; estos son conectados lógicamente en-  
15 tre sí como un registro de doble precisión realizando un  
ciclo alternativamente a través de la ALU 22.

Para operaciones de salto, el tiempo de trata-  
miento básico de la ALU 22 (períodos de reloj 3 a 6) rea-  
liza el ensayo en búsqueda de instrucciones iguales, mayo-  
res o el ensayo bajo máscara; el resultado del ensayo no  
20 es conocido hasta el comienzo del período de reloj 7, y en  
ese momento se realiza una decisión de salto. Si no ha de  
tener lugar salto alguno, entonces la siguiente instruc-  
ción a la que se haya tenido acceso continúa sin retraso  
25 alguno. Si se encuentra una condición de salto y ha de  
ignorarse una instrucción, el reloj básico de micro-ordena-  
dor toma otro ciclo de micro-instrucción falso durante el  
cual incrementa para la siguiente micro-instrucción sin  
ejecutar la instrucción que se ha saltado.

30 La ramificación incondicional es una instrucción

1 - muy rápida, ya que no es necesario ensayar condiciones,  
por lo que no están presentes retrasos de reloj auxiliar.  
Además, la dirección de ramificación de 12 bitios es he-  
cha pasar directamente a través de la ALU 22 y se carga  
5 en el registro 24 de total en el período de reloj 2. Des-  
de el registro 24 de total pasa al registro 32 de direc-  
ción de instrucción y al registro 26 intermedio en el pe-  
ríodo de reloj 3, sincronizándose así con el acceso de  
instrucciones normal previsto.

#### 10 GRUPO DE INSTRUCCIONES

Las instrucciones básicas para la máquina están  
diseñadas óptimamente para emulación y están almacenadas  
en la memoria fija 16. Denominadas con frecuencia micro-  
-instrucciones, se les puede llamar simplemente instruc-  
15 ciones en lo que sigue, excepto quizás cuando haya de re-  
saltarse una distinción entre las instrucciones de máquina  
de blanco emuladas y las instrucciones de micro-ordenador.

Comunes para todas las instrucciones son un bi-  
tio de paridad en la posición de bitio más significativa  
20 (bitio 0) y un código de operación de 3 bitios (bitios 1-3).  
Los restantes bitios están subdivididos en campos de longi-  
tudes variables, cuya naturaleza y función dependen del ti-  
po de instrucción. Como hay sólo 8 códigos de operación  
distintos, algunos de los tipos de instrucción se distin-  
25 guen por bitios modificadores adicionales de descodifica-  
ción. La mayor parte de las instrucciones están codifica-  
das en alto grado y especifican o implican una gran varie-  
dad de operaciones distintas, muchas de las cuales se rea-  
lizan en secuencia. Estas operaciones secuenciales están  
30 coordinadas por un grupo muy apretadamente diseñado de

1 - patrones de temporización, como se indica en las figuras 2-4.

Haciendo referencia ahora a las figuras 2-4, se describirán las 11 categorías de instrucciones básicas.

5 Los símbolos utilizados en los gráficos de temporización para referirse a los registros son como siguen:

	<u>Símbolos</u>	<u>Registros</u>
	A	Acumulador
	B	Extensión
10	T	Total
	P	Programa
	U	Dirección de instrucción
	N	Recuento (Recuento de desplazamiento)
15	M	Memoria de compensación de salida (línea de salida)
	I/O	Dispositivo de entrada/salida
	E	Error
	I	Máscara de interrupción
	C	Código de condición actual
20	PCC	Código de condición reservado
	L	Registro de memoria local

Cada una de las instrucciones puede estar definida por un código de instrucción de 16 bits, incluyendo un bitio de paridad. Los bitios 1-3 definen el código de operación, y éstos códigos se enumeran en lo que sigue junto con la categoría de la instrucción:

25

	<u>Instrucciones</u>	<u>Nemónico</u>	<u>Código de operación</u>
1	Control	CO	000
	Inscripción lógica	LW	001
	Desplazamiento lógico	LS	001
5	Mover recuento lógico	LM	001
	Modificar datos	MD	010
	Modificar operando	MO	010
	Buscar en memoria	FS	011
	Modificación inmediata	IM	100
10	Salto condicional	JC	101
	Ramificación condicional	BC	110
	Ramificación incondicional	BU	111

#### INSTRUCCION DE CONTROL

15 Haciendo referencia a la figura 30, en ella se representa el diagrama de temporización para las instrucciones de control. Las instrucciones de control pueden ser proporcionadas, por ejemplo, para la siguiente operación: para transferir datos, para ejecución indirecta, para fijar la máscara de interrupción, para fijar foliado, para ramificar tabla, para selecciones de modo opcional, para operación en código de condición reservado y código de condición corriente, para señales indicadoras de programa y para transferencias de entrada/salida. A modo de introducción, se describirán varios usos de las instrucciones de control.

20

25

Cierto número de las instrucciones de control se refiere al tratamiento de interrupciones. Una de tales instrucciones hace posible que tenga lugar una interrupción después de completarse cada micro-instrucción, mientras que otra proporciona un intervalo de interrupción du-

30

1 rante el cual se atenderán cualesquiera interrupciones  
pendientes y se realizará el cambio de interrupción. Des-  
pués de eso, las interrupciones son inhabilitadas hasta  
que se encuentre de nuevo el intervalo.

5 OTRAS INSTRUCCIONES DE CONTROL SE REFIEREN A LA  
foliación de entrada/salida de la memoria fija. La página  
de cuatro bitios de la memoria fija 16 es una página in-  
terna especificada dentro del registro 32 de dirección  
de instrucción. Este registro de páginas se utiliza siem-  
pre que se requiera una ramificación directa a través de  
10 los límites 4K de las posiciones de instrucciones de la  
memoria fija 16 a las que se puede tener acceso directa-  
mente. La ALU 22 incrementará por encima de los límites  
4K en todo momento, a través de los 64K medios vocablos  
15 de la memoria fija 16. Asimismo, los indicadores de cam-  
bio de interrupción proporcionan un acceso de 16 bitios  
completos y no simplemente 12 bitios. Por tanto, es capaz  
también de proporcionar acceso a 64K complementos comple-  
tos de instrucciones.

20 OTRAS INSTRUCCIONES DE CONTROL CONTROLAN CUATRO  
bitios de señal indicadora. Estos son los cuatro bitios  
inferiores del registro C 48 que, junto con los cuatro  
códigos de condición, forman la batería de bitios supe-  
rior no conectada del registro de recuento 50. Los bitios  
25 de señal indicadora pueden ser fijados por el programador  
para distintas indicaciones y pueden utilizarse como cam-  
bios en la subrutina. Los bitios de señal indicadora pue-  
den almacenarse o restablecerse junto con los códigos de  
condición y el registro 50 de recuento de batería de bi-  
tios inferior a y fuera del LSR 14, al producirse un cam-

30

1 bio de interrupción.

5 Las restantes instrucciones de control tratan del código de condición, Hay dos niveles de códigos de condición, cada uno de ellos dotado de cuatro bitios que indican acarreo binario, exceso de complemento básico, bitio menos de orden alto de complemento básico no-cero acumulativo. Los cuatro bitios superiores del registro 48 de código de condición corriente cambian con cada operación aritmética así como con una lógica de desplazamiento a izquierda, desplazamiento a izquierda y recuento, multiplicación y división. Para otras instrucciones de la naturaleza lógica, los propios registros pueden ser ensayados en busca de cero o no cero, unos o unos y ceros mezclados. El registro 42 de código de condición reservado almacena los

10 mismos cuatro bitios que el registro 48 de código de condición corriente, excepto si está bajo control de micro-programa para transferir y acumular el equivalente de códigos de condición del macrolenguaje que está siendo emulado.

15 A modo de ejemplo, se utilizan las siguientes operaciones de control en la realización del sistema de micro-ordenador del invento.

20 La operación de control de cargar datos inmediatos (KBUS) opera para cargar el campo de datos de la instrucción en las posiciones de bitios de orden alto del registro 26 intermedio de salida. Los bitios 0-4 de datos del registro 0 de los registros 14 de memoria local son cargados en las posiciones de bitios de orden bajo del registro intermedio 26 y el contenido del registro intermedio 26 se inscriben en el registro 0 de los registros 14

25 de memoria local.

30

1                    La operación de control de transferir datos del  
LSR a un dispositivo de entrada/salida (KLSR) proporciona  
un campo de cuatro bitios para tener acceso a los regis-  
tros 0-15 de los registros 14 de memoria local. Los datos  
5                    procedentes del registro 14 de memoria local a que se ha  
tenido acceso son transferidos al registro intermedio de  
salida 26 y en la línea de salida 20. Un campo de seis bi-  
tios de la instrucción KLSR proporciona una dirección de  
dispositivo, que es cargada en el registro 40 de ICO para  
10                    tener acceso a los dispositivos 1-63 de entrada/salida.

                  La instrucción de control para transferir datos  
inmediatos a un dispositivo de entrada/salida (KICO) car-  
ga parte del registro 26 intermedio de salida con datos  
inmediatos procedentes del código de instrucción, siendo  
15                    el resto cargado a partir de los bitios del registro 0  
de los registros 14 de memoria local seleccionados. Los  
datos en otras posiciones de bitios del código de ins-  
trucción se cargan en el registro 40 de ICO para la direc-  
ción del dispositivo. El contenido del registro 26 inter-  
20                    medio de salida se carga en el registro 0 de los registros  
14 de memoria local.

                  Las operaciones de control de ajustar máscara  
de interrupción (KILM) proporcionan los bitios de máscara  
de interrupción para el registro 44, haciendo posible un  
25                    uno en una posición de bitio una interrupción para el ni-  
vel correspondiente. Un bitio en el código de instrucción  
especifica si han de salvaguardarse o fijarse los bitios  
de máscara de interrupción.

                  Se proporcionan operaciones de control para fi-  
30                    jar la foliación de la memoria 16 fija. La KIAP tiene un

1 campo para especificar las páginas 0-15 y la KRAP específica la página 16. Cada página representa 4096 medios vocablos.

5 Las operaciones de control para ramificación de tabla especifican el registro o la parte de registro que ha de sumarse o enviarse a una puerta 0-exclusiva para el registro 32 de dirección de instrucción para proporcionar la siguiente dirección en secuencia de la memoria fija 16 para ejecución. Estas son como se indica en lo que sigue:

	<u>Nemónico</u>	<u>Sumar a IAR 32</u>
	KIAL	Batería de bitios de nivel bajo en registro 34 de acumulador
	KIXL	Batería de bitios de nivel bajo en registro 36 de extensión
15	KIBL	Batería de bitios de nivel bajo en registro 26 de salida
	KIEL	Batería de bitios de nivel bajo en línea 10 de entrada
	KIAH	Bitios hexadecimales de nivel bajo en registro 34 acumulador
20	KIXH	Bitios hexadecimales de nivel bajo en registro 36 de extensión
	KIBH	Bitios hexadecimales de nivel bajo en registro 26 de salida
	KIEH	Bitios hexadecimales de nivel bajo en línea de entrada 10
	KIAZ	Zona baja del registro 34 acumulador
25	KIXZ	Zona baja del registro 36 de extensión
	KIBZ	Zona baja del registro 26 de salida
	KIEZ	Zona baja de la línea 10 de entrada
	KIAS	Seis bitios de nivel bajo del registro 34 de acumulador
30	KIXS	Seis bitios de nivel bajo del registro 36 de extensión
	KIBS	Seis bitios de nivel bajo del registro 26 de salida

1 KIES Seis bitios de nivel bajo de la línea de entrada IO exterior

5 Las operaciones de control de ramificación de salida (KILB), transfieren el contenido del registro 32 de dirección de instrucción corriente al registro 14 de LSR para la interrupción corriente, reponen la interrupción corriente, muestrean una nueva interrupción y transfieren al registro 32 de dirección de instrucción el contenido de la posición del registro 14 de memoria local para el nuevo nivel de interrupción.

10 La operación de control KSIE proporciona tres campos de dos bitios (II, EE, y SS) para especificar el código de interrupción (habilitar una interrupción o muestrear la interrupción y luego inhabilitar otras interrupciones) especifica el modo de error, y especifica la dirección de batería de bitios de la memoria principal 12 (no cambiar; modo de reponer o modo de fijar batería de bitios).

15 El código 01 en uno o más de cada uno de los campos de código de interrupción (II), modo de error (EE) y dirección de batería de bitios de memoria principal (SS) de la operación de control KSIE, están reservados para operaciones de control adicionales específicas, en las que se conservan o sustituyen, como se indica en la siguiente tabla, las características de código de interrupción, modo de error, o modo de dirección de batería de bitios de memoria principal de la instrucción de control KSIE. Si

20 el código de control muestra II, EE, o SS, entonces la instrucción de control KSIE define las operaciones especificadas por el código de interrupción, el modo de error o el modo de batería de bitios de dirección de memoria prin-

25

1 cipal, respectivamente:

	Nemónico	Campo de código de instrucción	Descripción
	KPIE	IIEE01	Reponer Código de condición conservado (no hay sobrante)
5	KPSI	II01SS	Reponer código de condición conservado (todo)
	KCSE	01EES	Código de condición actual 0 a código de condición conservado y reponer código de condición actual.
	KTPI	II0101	Reponer código de condición actual y código de condición conservado (no hay sobrante)
10	KCPS	0101SS	Transferir código de condición actual a código de condición conservado y reponer código de condición actual.
	KCPE	01EE01	Transferir código de condición actual a código de condición conservado (excepto sobrante 0) y reponer código de condición actual.
15			

La operación de control KNTC realiza la función KTPI. Además, se fijan controles para realizar una KCSE después de las siguientes instrucciones si ésta es una operación aritmética. La señal indicadora 4 es repuesta también a "par" o es fijada en "impar" según el resultado.

20 La instrucción de control KPCC realiza una transferencia directa del código de condición conservado al código de condición actual.

25 La instrucción de control KFCC especifica si ha de salvaguardarse o fijarse el registro 48 de código de condición corriente, y especifica las condiciones que han de ser salvaguardadas o fijadas: acarreo-acreedor, rebose, menos, acumulativa, no cero, o señales indicadoras 1 a 4.

#### INSTRUCCIONES DE MEMORIA PRINCIPAL

30 Las instrucciones de inscripción lógica (LW) y

1 buscar en memoria (FS) comprenden el grupo de instruccio-  
nes para la memoria principal. Con estas instrucciones,  
descritas en la figura 28, los datos pueden ser leídos des-  
de la memoria principal 12 y colocados en los cuatro regis-  
5 tros de datos internos básicos: registro acumulador 34,  
registro de extensión 36, registro de cómputo 50 y regis-  
tro 26 intermedio de salida.

A los datos que se buscan desde la memoria prin-  
cipal 12 se tiene acceso por el registro de extensión 36  
10 o mediante uno de los registros 14 de memoria local, se-  
gún lo especifique la dirección de instrucción. La direc-  
ción puede actualizarse inicialmente con un incremento o  
con un decremento para proporcionar un indicador en conti-  
nuo movimiento a la memoria principal 12 en la línea de  
15 salida común 20 de entrada/salida, o puede ser hecha osci-  
lar en una dirección efectiva por suma a un indicador es-  
pecificado del desplazamiento del bloque 50 del registro N  
(positivo o negativo).

El modo de acceso por batería de bitios o por me-  
20 dios vocablos puede ser especificado para las instruccio-  
nes de almacenamiento. El ordenador IBM 1130 tiene acceso  
a los datos de su memoria principal en un modo de medios  
vocablos. El sistema IBM 360/370 y el sistema IBM /3, ha-  
cen uso del modo de acceso por baterías de bitios, e in-  
25 cluso así, pueden buscar una o dos baterías de bitios en  
un acceso cualquiera. Como la arquitectura del grupo de  
instrucciones del sistema 3 permite que las instrucciones  
tengan 3, 4, 5 ó 6 baterías de bitios, las instrucciones  
en sí mismas no están alineadas en los límites de los me-  
30 dios vocablos. Por tanto, para facilitar la emulación, el

1 micro-ordenador de este invento proporciona alineaciones  
de medios vocablos sometiendo a una torsión por baterías  
de bitios a los datos procedentes de la memoria principal  
12 en la ALU 22 con el fin de alinear cualquier batería  
5 de bitios específica en una posición, tal como, por ejem-  
plo, el código de operación de instrucción para que apa-  
rezca siempre en la batería de bitios de orden bajo.

#### INSTRUCCION DE INSCRIPCION LOGICA

10 Como se indicó previamente, no existe trayecto-  
ria directa para los datos desde la UCT 9 hacia la memo-  
ria principal 12. Esto se debe a que la línea de salida  
20 se utiliza como línea de dirección de la memoria prin-  
cipal y, por tanto, no está disponible para datos. La lí-  
nea de entrada 10 es bidireccional solamente con respect-  
15 to a la memoria principal 12. La razón para no permitir  
que sea bidireccional con respecto a la pastilla 9 de UCT  
es conservar el área en la pastilla 9 de UCT, ya que los  
excitadores de salida requeridos para poner los datos en  
la línea 10 utilizarían una gran área y gran cantidad de  
20 potencia sobre la pastilla 13 y, en consecuencia, no están  
incluidos.

Las cuatro instrucciones de inscripción lógica  
seleccionan los modos de medio vocablo, batería de bitios  
de nivel bajo o batería de bitios de nivel alto; y alma-  
25 cenan datos en la memoria principal 12 tomados desde una  
posición del registro 14 de memoria local a que se ha te-  
nido acceso o desde un dispositivo de entrada/salida.

#### INSCRIPCION LOGICA A PARTIR DEL LSR

30 En la primera instrucción de inscripción lógica,  
los datos procedentes de la posición 1 del registro 14 de

1 memoria local se inscriben en la posición de la memoria principal 12 a la que ha tenido acceso una de las posiciones 0-63 del registro 14 de memoria local. Se selecciona un registro 1-63 del LSR 14 y el contenido se incrementa  
5 o se decrementa en uno, o se deja sin cambios, antes de fijar el registro 26 intermedio de salida a la dirección de memoria principal, volviéndose a inscribir nuevamente la dirección actualizada en la posición 1-63 antes seleccionada del registro 14 de memoria. La especificación de la posición 0 del registro 14 de memoria local como fuente de direcciones selecciona el registro 50 de recuento como la dirección indirecta del registro 14 de memoria local a ser utilizada como fuente para la dirección para la memoria principal 12. Se realiza un ciclo de inscripción en memoria con los datos obtenidos a partir de la posición 1 del registro 14 de memoria local que ha sido conectada en la línea de entrada 10. Como opción, el código de modificación de dirección (2 bitios del código Op), si se fija a 10, seleccionará una batería de bitios de nivel bajo o una batería de bitios de nivel alto solamente para inscribirla en la memoria principal 12. Si una instrucción de control ha fijado previamente el modo de acceso a memoria por batería de bitios, todas las actualizaciones de dirección más o menos funcionarán como más o menos 2  
15 y la selección de batería de bitios de nivel alto forzará una actualización de dirección -1 (la batería de bitios de nivel bajo no modifica la dirección) almacenando la dirección resultante, par o impar, la batería de bitios de nivel alto o de nivel bajo, respectivamente. Asimismo, el contenido original del registro 26 intermedio de salida

1 será seleccionado a partir de la posición 0 del registro 14 de memoria local.

INSCRIPCION LOGICA DESDE 0-63 DE LSR DIRECCIONADA POR EL REGISTRO 36 DE EXTENSION

5 La segunda instrucción es similar a la primera, excepto en que los datos a inscribir en la memoria principal 12 se obtienen desde un registro 14 de memoria local seleccionado (posición 0-63) y la dirección de memoria para la memoria principal 12 se obtiene a partir del registro 36 de extensión. Las operaciones con baterías de bitios de nivel bajo o de nivel alto antes descritas están también disponibles.

10 DESCRIPCION LOGICA A PARTIR DE 0-63 DE UN DISPOSITIVO DE ENTRADA/SALIDA DIRECCIONADO POR EL MISMO 0-63 DE LSR

15 La tercera instrucción es similar a la primera instrucción de inscripción lógica descrita, excepto en que el mismo código de LSR 14 (0-63) que selecciona el registro de dirección, selecciona también el dispositivo de entrada/salida (0-63) para proporcionar los datos en la línea de entrada 10 a inscribir en la memoria principal 12.

20 INSCRIPCION LOGICA A PARTIR DE 1-63 DE UN DISPOSITIVO DE ENTRADA/SALIDA DIRECCIONADO POR EL REGISTRO DE EXTENSION  
36

25 La cuarta instrucción es similar a la segunda instrucción de inscripción lógica antes descrita, excepto en que los datos a inscribir en la memoria principal 12 son proporcionados por el dispositivo de entrada/salida seleccionado (1-63) en la línea de entrada 10.

30  
18018

BUSQUEDA EN MEMORIA

1 Las instrucciones de búsqueda en memoria (FS)  
están designadas para el modo de medio vocablo. Para fijar  
un acceso a la memoria por batería de bitios en lugar de  
un acceso por medios vocablos, véanse las instrucciones  
5 de control. (Condición corriente 48 + recuento 50 o má-  
scara de interrupción 44 + error 46, se utilizan siempre  
juntos en un modo de batería de bitios y la batería de  
bitios superior no es puesta a cero en una orden de bús-  
queda en memoria).

10 CARGA DESDE LA MEMORIA A LOS REGISTROS DE LA UCT 9 CON DI-  
RECCION DE LSR 14 (MODO DE DIRECCION POR MEDIOS VOCABLOS)

Se selecciona un registro (1-63) de LSR 14 y el  
contenido, modificado por 0,  $\pm 1$  u 0 1 antes de ajustar  
el registro 26 de compensación de salida (no posición 0  
de LSR 14) a la memoria principal 12 de direcciones. Si  
15 la modificación era  $\pm 1$ , se actualiza el contenido del re-  
gistro 26 de compensación de salida en el registro selec-  
cionado de LSR 14. Se realiza ahora un ciclo de lectura  
de memoria y la salida de datos en la memoria 12 es cam-  
20 biada a la línea de entrada 10 para ser fijada en los re-  
gistros de operando, acumulador 34, de extensión 36, inter-  
medio 26 o de recuento 50/error 46, selectivamente. Los  
registros de interrupción 44 + error 46 pueden ser selec-  
cionados por una instrucción de control KSIE en lugar de  
25 los registros de condición 48 + recuento 50. (El registro  
de recuento 50/error 46 tiene solamente la batería de bi-  
tios de nivel bajo). La posición 0 del LSR 14 selecciona  
el acceso indirecto del LSR 14 desde los 6 bitios de or-  
den bajo del registro 50 de recuento de operando. Asimis-  
30 mo, los datos del registro 26 de salida originales serán

1 seleccionados a partir de la posición 0 del LSR 14.  
DIRECCION DE OPERANDO CON LINEA ( MODO DE DIRECCION POR  
MEDIOS VOCABLOS)

5 La instrucción es similar a la siguiente ins-  
trucción descrita excepto en que se utiliza el registro  
26 intermedio de salida (que significa la posición 0 del  
LSR 14) en lugar del registro de acceso de extensión 36  
y la transferencia de direcciones en la línea de salida  
auxiliar 20 actúa como orden de mover medio vocablo del  
10 registro 26 intermedio a las posiciones 1-63 del LSR 14 o  
actualizar la dirección en la línea de salida 20 en la po-  
sición 0 del LSR 14.

DIRECCION DE OPERANDO CON XTN (MODO DE DIRECCION POR MEDIOS  
VOCABLOS)

15 Se modifica el contenido del registro 36 de ex-  
tensión por 0,  $\pm 1$ , o sumando el desplazamiento del ope-  
rando del registro de recuento 50 antes de fijar el regis-  
tro 26 intermedio de salida (no LSR 0) para tener acceso  
a la memoria principal 12. El valor actualizado en el re-  
20 gistro 26 intermedio se inscribe de nuevo en el registro  
36 de extensión. Se inicia un ciclo de lectura de la memo-  
ria principal 12. Se realiza una transferencia auxiliar  
(antes de que estén disponibles los datos de la memoria  
principal 12) suponiendo que la selección de LSR 14 es  
25 desde 1 a 63, y no es cero. Opcionalmente, se inscribe  
el contenido del registro de dirección 32 en el registro  
seleccionado del LSR 14. Finalmente, los datos de la memo-  
ria principal 12 son cambiados a la línea de entrada 10 pa-  
ra ser introducidos en los registros de operando: acumula-  
30 dor 14, de extensión 36, intermedio de salida 26, o de re-

1      cuento 50/error 46, selectivamente, como en la primera  
instrucción FS. Asimismo, los datos del registro interme-  
dio de salida 26 originales serán seleccionados a partir  
de la posición 0 del LSR 14.

5      CARGA DESDE LA MEMORIA A DISPOSITIVOS DE ENTRADA/SALIDA  
(MODO DE DIRECCION DE MEDIOS VOCABLOS)

10      Esta instrucción es similar a la anterior, ex-  
cepto en que el registro 32 de direcciones puede ser se-  
leccionado desde el registro 36 de extensión o la posi-  
ción del LSR 14 igual al dispositivo de entrada/salida  
seleccionado y actualizado. Los datos de la memoria prin-  
cipal 12 se fijan en el registro intermedio 26 (no LSR 0),  
desde donde son enviados al dispositivo de entrada/salida  
seleccionado (1-63) con un impulso de salida de muestra,  
15      y no tienen lugar transferencias auxiliares. El dispositi-  
vo 0 selecciona el acceso indirecto del dispositivo desde  
los 6 bitios de orden bajo del registro 50 de recuento de  
operando. Asimismo, los datos del registro intermedio 26  
originales serán seleccionados a partir de la posición 0  
20      del LSR 14.

INSTRUCCIONES ARITMETICAS Y LOGICAS

25      Con referencia a la figura 3, las instrucciones  
aritméticas y lógicas son: modificar datos (MD) y modifi-  
car operandos (MO). La aritmética incluye sumar con o sin  
acarreo, y restar. Pueden realizarse en complementos bási-  
cos binarios o en paquetes decimales (un dígito sin signo  
cada cuatro bitios hexadecimales de datos). Las funciones  
aritméticas pueden ser realizadas dentro del micro-orde-  
nador entre los registros internos (registro acumulador  
30      34, registro de extensión 36, registro de recuento 50, y

1 registro 26 intermedio de salida). Además, el registro  
acumulador 34 o el registro de extensión 36 pueden combi-  
narse aritméticamente con uno de los 64 registros 14 de  
5 memoria local, con el resultado almacenado bien en uno  
de los registros 14 de memoria local o bien en el regis-  
tro de extensión 36. Todas las instrucciones aritméticas  
realizadas dentro de los registros del micro-ordenador  
9 pueden realizarse en un modo de medio vocablo, en un  
modo de batería de bitios de orden superior solamente, en  
10 un modo de batería de bitios de orden inferior, o en un  
modo de cuatro bitios hexadecimales de orden bajo. Los  
otros bitios de cada una de estas configuraciones perma-  
necen invariables.

15 Las instrucciones lógicas incluyen Y, O y O-Ex-  
clusivo. Estas operaciones, cuando se realizan en los re-  
gistros internos solamente, como en el modo aritmético,  
pueden llevarse a cabo en el modo de cuatro bitios hexa-  
decimales de nivel bajo, en el modo de batería de bitios  
de nivel bajo, el modo de batería de bitios de nivel al-  
20 to o en el modo de medios vocablos. También pueden reali-  
zarse funciones similares con el registro 14 de memoria  
local, excepto todas las funciones lógicas de externo-a-  
interno o interno-a-externo, que solamente pueden llevar-  
se a cabo en el modo de medios vocablos.

25 MODIFICAR DATOS

Mediante la orden de modificar datos el regis-  
tro 34 acumulador o el registro 36 de extensión pueden  
ser modificados en posición con el contenido del registro  
14 de memoria local, que permanece invariable. Asimismo,  
30 un registro 14 de memoria local especificado puede modi-

1      ficarse con el contenido de registro de extensión 36, per-  
maneciendo invariable el registro de extensión 36 y ajustándose el resultado en el registro 14 de memoria local  
5      seleccionado. Además, cualquier dispositivo de entrada/sa-  
lida puede ser seleccionado para suministrar datos en la  
línea de entrada 10. Estos datos pueden modificarse con  
el registro de extensión 36 y el resultado devolverse al  
mismo dispositivo de entrada/salida fijando los datos en  
10      el registro intermedio 26 de salida (no LSR 0) y, desde  
él, a la línea de salida 20 y también en la posición 0 del  
registro 14 de memoria local. Si la parte de dirección de  
la instrucción de datos modificados se fija en 0, se pro-  
ducen 0 datos en la línea de entrada 10. Utilizando la  
función 0, se realiza un desplazamiento desde el registro  
15      de extensión 36 hasta el registro de salida 26. Haciendo  
uso de la función Y, se ajusta el registro 26 de salida  
para que sean todos ceros.

Las funciones de modificación que pueden espe-  
cificarse mediante la instrucción de modificar datos son:  
20      sumar en binario con o sin acarreo o decimal en paquete  
con acarreo, restar en binario o en decimal en paquete con  
cantidad acreedora (la resta no puede realizarse desde un  
registro 14 de memoria local seleccionado o dispositivo  
de entrada/salida, excepto a la inversa), Y, 0 y 0-Exclu-  
25      sivo. La especificación de la posición 0 de un registro 14  
de memoria local, selecciona el acceso indirecto del re-  
gistro 14 de memoria local o el dispositivo de entrada/sa-  
lida a partir de los seis bits de orden bajo del regis-  
tro 50 de recuento.

30

MODIFICAR OPERANDOS

1                   Con las instrucciones de modificar operandos  
(MO) el registro acumulador 34 o el registro de extensión  
36, pueden ser modificados en posición con el acumulador  
34, que permanece invariado. Asimismo, pueden modificarse  
5 el registro de extensión 36 en posición con el registro  
26 intermedio de salida. Con el cero del registro de ex-  
tensión 36, la posición 0 del LSR 14 (registro intermedio  
de salida 26) se mueve al registro de extensión 36 y tam-  
bién al LSR 14 (posiciones 1-15) por lo que puede obtener-  
10 se el desplazamiento del resultado de medio vocablo opcio-  
nal.

                  Las funciones de modificación son las mismas  
que las instrucciones de modificar datos (MD) excepto en  
que las funciones de desplazamiento entre cualquier com-  
15 binación de los registros de operando de acumulador 34,  
de extensión 36, o de recuento 50 y de error 46 se suman,  
y la resta no puede realizarse desde los registros de ope-  
rando de recuento 50/error 46 excepto a la inversa. Además,  
todas las anteriores funciones pueden ser realizadas en  
20 el modo de medio vocablo, solamente en el modo de batería  
de bitios de nivel alto, solamente en el modo de batería  
de bitios de nivel bajo o solamente en el modo de dígitos  
hexadecimales de nivel bajo, excepto cuando la batería de  
bitios de nivel alto del registro de operando de recuento  
25 50/error 46, no existe. Después de que se completa cada  
una de las anteriores funciones, puede realizarse un des-  
plazamiento del resultado de medio vocablo auxiliar (ba-  
tería en bitios de nivel alto de recuento 50/error 46 =  
condición corriente 48/máscara de interrupción 44), a una  
30 posición 1-15 del LSR 14 seleccionada.

1 DESPLAZAMIENTO LOGICO

Haciendo referencia a la figura 4, pueden ejecutarse operaciones de desplazamiento hacia la izquierda o hacia la derecha, un bitio cada vez. La longitud del desplazamiento depende de la longitud del registro. El registro acumulador 34 y el registro de extensión 36 pueden ser desplazados, cada uno, desde una a dieciséis posiciones. Para multiplicar y dividir, cuando se requiere una doble precisión, el registro 34 acumulador se convierte en el registro de orden alto del registro de extensión 36 y forman, juntos, un registro de 32 bitios acoplado que puede ser desplazado desde las posiciones 1 a 32 en cualquiera de los siguientes modos: desplazamiento aritmético a la derecha, desplazamiento a la izquierda y recuento, desplazamiento lógico a la izquierda, desplazamiento lógico a la derecha, desplazamiento a la izquierda y rotación, y desplazamiento a la derecha y rotación. En un ciclo de micro-instrucción pueden realizarse operaciones más rápidas que sean equivalentes a una rotación de las ocho posiciones de los registros de 16 bitios, conocidos de otro modo como torsiones de baterías de bitios.

15 MODIFICACION INMEDIATA

Las instrucciones de modificación inmediata (IM) se ilustran en la figura 3C.

25 Una batería de bitios de datos procedente del registro de programas 30 (bitios 8-15 Op) se combina con la batería de bitios de orden bajo del registro 34 acumulador, del registro 36 de extensión o del registro de recuento 50/error 46, seleccionado por una instrucción de control previa KSIE. Para los registros de operando acu-

30

1 mulador 34 o de extensión 36, las funciones de combina-  
ción son la resta, la carga, O, Y, XO, SUMAR. Cualquier  
resto o acarreo generado por SUMAR o RESTAR es propagado  
a la batería de bitios de orden alto. Para el registro  
5 de recuento 50/error 46, las funciones de combinación son  
O, Y, CARGAR, SUMAR. Para las funciones de SUMAR o RESTAR,  
los datos de la batería de bitios inmediata son incremen-  
tados o decrementados en uno, y cualesquiera acarreos en-  
trantes serán ignorados con un nuevo ajuste de código de  
10 condición.

#### SALTO CONDICIONAL

Refiriéndonos a la figura 4B, la instrucción  
de salto se realiza siempre que un ensayo resulte falso.  
Los ensayos, realizados contra una batería de bitios de  
15 máscara de la instrucción en los 8 bitios de orden bajo  
de un registro seleccionado, son como sigue: máscara  
igual a batería de bitios de orden bajo, máscara mayor  
que batería de bitios de orden bajo, los bitios de máscara  
ensayados para bitios uno en la batería de bitios de  
20 orden bajo y se ignoran los restantes bitios no seleccio-  
nados, o se ensaya la máscara para los bitios de DESCONE-  
XION de la batería de bitios de orden bajo y se ignoran  
los restantes bitios. El registro 48 de condición puede  
ensayarse bajo una máscara con selección de bitios CONE-  
25 XION/DESCONEXION y un salto en cualquier combinación de  
condiciones. El registro 48 de condición tiene cuatro  
códigos de condición y cuatro bitios de marcación contro-  
lados por programa. Si el ensayo resulta falso, se salta  
la siguiente instrucción. Asimismo, los dígitos de zona  
30 hexadecimales de orden alto de los registros de operando

1 - acumulador 34 o de extensión 36 pueden ser ensayados para ver si son todos ceros.

#### OPERACIONES DE RAMIFICACION

5 Las operaciones de ramificación son la ramificación condicional y la ramificación incondicional. Pueden realizarse para cualquier memoria ejecutable 16 de rango 4K. Almacenando el registro 32 de dirección de instrucción corriente más 1 en uno de los registros 14 de memoria local antes de tomar la ramificación incondicional, se realiza una operación de ramificación y conexión. La inversa, es decir, tomar la dirección almacenada en el registro 14 de memoria local y mover ese indicador de dirección de nuevo a un registro 32 de dirección de instrucción, lleva a cabo el retorno a la subrutina de la que se tomó originalmente la ramificación y la conexión.

15 Una segunda agrupación de instrucciones de ramificación realiza la ramificación de tabla de múltiples vías que puede llevarse a cabo en los cuatro bitios hexadecimales de orden bajo de los registros del micro-ordenador, en los siguientes cuatro que son los cuatro bitios de zona, al tiempo que se ignoran los cuatro o seis bitios de orden bajo, o en el total de 8 bitios, proporcionando así una ramificación de tabla 256 completa a partir de la cual puede descodificarse el código Op de 8 bitios mediante una instrucción de ramificación incondicional fuera de la tabla.

25 Un tercer grupo de instrucciones de ramificación proporciona una ramificación de desplazamiento con signo en 16 condiciones diferentes; tales como: registro cero o no cero, registro negativo o no negativo. La rami-

1      ficación de desplazamiento se realiza tomando el despla-  
zamiento de ocho bitios desde la instrucción y sumándolo  
como un número de 16 bitios con signo al registro 32 de  
dirección de instrucción corriente.

5                Otras instrucciones permiten la ramificación de  
desplazamiento basada en el hecho de que el registro de  
recuento 50 sea decrementado por 1 o por 16 y se toman  
las ramificaciones si el resultado son todos ceros o no  
son todos ceros, si los cuatro bitios de orden bajo son  
10      todos ceros, si los cuatro bitios de orden bajo son to-  
dos unos o no son todos unos, si los cuatro bitios de or-  
den alto son todos unos o no son todos unos, y así sucesi-  
vamente.

#### RECUESTO DE MOVIMIENTO LOGICO

15              Haciendo referencia a la figura 3B, las instruc-  
ciones de recuento de movimiento lógico (LM) mueven selec-  
tivamente el contenido de un registro 1-63 especificado  
en el registro 14 de memoria local y al registro 32 de di-  
rección de instrucción, al registro 34 acumulador, regis-  
20      tro 36 de extensión, o a los registros 48, 50 combinados  
de condición corriente y de recuento. Durante esta trans-  
ferencia, el valor puede ser modificado por cero, -1 o +1  
(excepto en lo que respecta al desplazamiento de baterías  
de bitios únicas al registro acumulador 34 o al registro  
25      de extensión 36) y el valor, tal como se ha modificado,  
se inscribe de nuevo en el registro 1-63 seleccionado del  
registro 14 de memoria local. Inversamente, el registro  
especificado (registro 32 de dirección de instrucción,  
registro acumulador 34, registro de extensión 36, o los  
30      registros 48, 50 combinados de condición corriente y de

1 recuento) pueden ser movidos a la posición 1-63 seleccionada del registro 14 de memoria local con una modificación por 0, +1, o -1 (excepto para desplazamientos de baterías

5 únicas de bitios de datos procedentes del registro 34 acumulador o del registro 36 de extensión. Los movimientos de baterías de bitios pueden especificar la batería de bitios de orden alto o de orden bajo del registro 34 de acumulador o del registro 36 de extensión, pero no se realiza modificación al moverse entre el registro de acumulador

10 34 o el registro de extensión 36 y el registro especificado del LSR 14. El valor del registro 32 de dirección de instrucción está compuesto por la dirección de 16 bitios para la memoria 16 fija. El registro 48 de condición corriente solamente puede ser seleccionado como la batería de bitios superior de los registros 48, 50 de condición corriente y de recuento, si no se especifica incremento ni decremento. Asimismo, el registro de interrupciones 44 y el registro de errores 46 sustituirán a los registros 48, 50 de condición corriente y de recuento si así se fija mediante la instrucción de control KSIE previamente descrita. Cuando la instrucción de recuento de movimiento lógico especifica la posición 0 en el registro

15 14 de memoria local, se selecciona el acceso indirecto del registro 14 de memoria local a partir de los 6 bitios de orden bajo del registro 50 de recuento, excepto por la selección de los registros 48 y 50 de condición corriente y de recuento como destino, o el registro de fuente para la operación de movimiento desplazará a los datos hacia o desde los registros 48, 50 de condición corriente y de recuento desde o hacia la posición 0 del registro 14 de

20

25

30

1 memoria local.

ENTRADA/SALIDA

5 No existe una instrucción de entrada/salida particular como tal; las transferencias controladas por programa directo de datos o de mensajes de control hacia o desde un dispositivo de entrada/salida son realizadas mediante las siguientes instrucciones: buscar en memoria, inscripción lógica en memoria, modificar datos, y control.

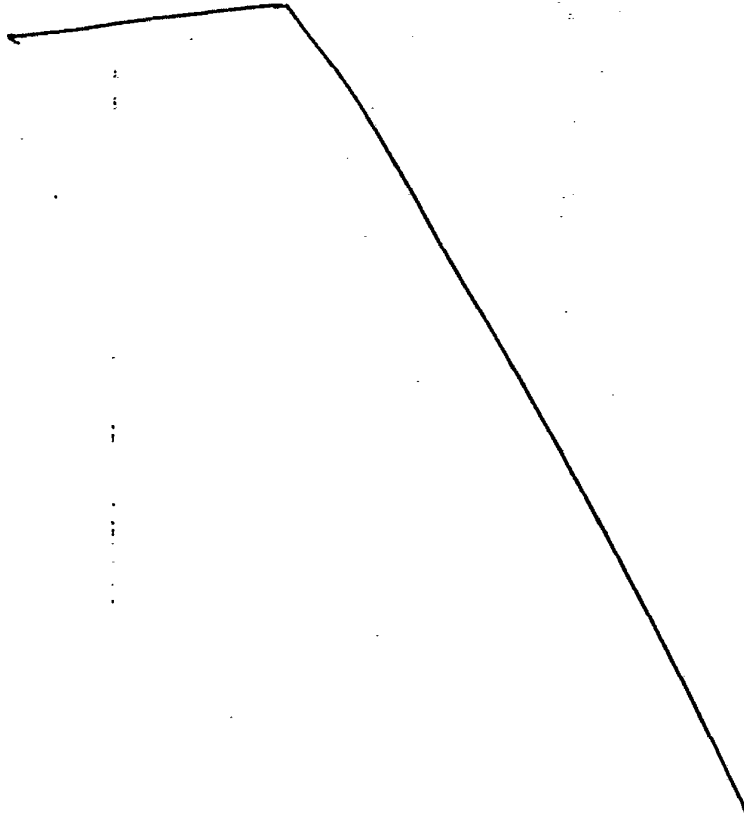
10 La instrucción de búsqueda en memoria transfiere datos desde la MS 12 a un dispositivo de entrada/salida a través de la trayectoria para datos interna de las líneas 25, 23, 28. La instrucción de inscripción lógica transfiere datos directamente desde un dispositivo de entrada/salida a la MS 12 a través de la línea de entrada  
15 10 sin pasar por el dispositivo de tratamiento 9, utilizando la dirección desde el registro 36 de extensión o de cualquiera de los registros LSR 14. La instrucción de modificar datos lleva datos desde un dispositivo de entrada/salida, realiza una operación en la AIU 22 sobre él  
20 con el operando de extensión 36, y devuelve el resultado al dispositivo de entrada/salida a través del registro intermedio de salida 26. Puede utilizarse una instrucción de control para evacuar datos hacia un dispositivo, bien desde un LSR 14 especificado (0-15) o bien desde un campo de datos inmediato de la instrucción. Otras instrucciones de control pueden transferir datos desde cualquier dispositivo de entrada/salida al registro acumulador 34, al registro de extensión 36 o a los registros 0-15 de LSR 14.

25 En todos los casos, la dirección del dispositivo, especificada por la instrucción bien directamente en  
30

1 el campo de dirección o bien indirectamente como contenido  
del registro 50 de recuento, es transmitida al dispositivo  
de entrada/salida mediante las líneas 21, 41 del IC0 40,  
que también se utilizan para tener acceso al LSR 14. La  
5 transferencia está sincronizada mediante un par de señales  
de intercambio, de entrada de muestra y salida de muestra.  
Estas señales, junto con la entrada de reloj de fijación,  
permiten un funcionamiento asíncrono de las transferencias  
de entrada/salida, independiente de la longitud de la línea  
10 y de los retrasos de operación del dispositivo.

Aunque el invento se ha descrito con respecto a  
realizaciones preferidas del mismo, resulta evidente que  
los que anteceden y otros cambios pueden realizarse en él  
sin apartarse del espíritu del mismo.

15



1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Aparato perfeccionado de tratamiento de datos que incluye una disposición de líneas unidireccionales en bucle para comunicar señales de información, que comprende: primeros medios de memoria para almacenar señales de instrucción ejecutables; medios de ejecución de instrucciones; medios de línea de entrada para transferir señales de instrucción desde dichos primeros medios de memoria a dichos medios de ejecución de instrucción; segundos medios de memoria para almacenar señales de datos; primeros medios de línea de salida para comunicar señales de dirección; segundos medios de línea de salida para transferir señales de datos desde dichos medios de ejecución de instrucciones a la posición, en dichos segundos medios de memoria, especificada por dichas señales de dirección; y medios de control para dejar pasar de manera discriminada en dichos segundos medios de línea de salida datos resultantes de la ejecución de una primera instrucción mientras dichos medios de instrucciones están ejecutando la siguiente instrucción de la secuencia.

2ª.- El aparato de la reivindicación 1ª, en el que dichos medios de ejecución de instrucciones incluyen medios para cargar en dichos segundos medios de línea de

1 salida segundas señales de dirección para tener acceso a  
señales de instrucción en dichos primeros medios de memo-  
ria.

5 3ª.- El aparato de la reivindicación 1ª, que  
comprende además medios para dejar pasar de manera discrimi-  
minada en dichos medios de línea de entrada señales de da-  
tos procedentes de dichos segundos medios de memoria para  
uso por dichos medios de ejecución de instrucciones cuan-  
do ejecutan dicha siguiente instrucción de la secuencia.

10 4ª.- El aparato de la reivindicación 1ª, que  
comprende además terceros medios de memoria que están co-  
nectados a dichos medios de línea de entrada para suminis-  
trar señales de datos a ellos o para recibir señales de  
datos desde ellos en respuesta a señales de dirección  
15 transferidas a ellos desde dichos medios de ejecución de  
instrucciones en dichos medios de línea de salida.

20 5ª.- El aparato de la reivindicación 1ª, en el  
que dichos primeros medios de memoria proporcionan señales  
de instrucción a dichos medios de línea de entrada en res-  
puesta a señales de dirección suministradas por dichos me-  
dios de ejecución en dichos segundos medios de línea de  
salida.

25 6ª.- El aparato de la reivindicación 1ª, en el  
que dichos medios de línea de entrada están conectados con  
al menos un dispositivo de entrada/salida para recibir da-  
tos desde él, y los primeros y los segundos medios de lí-  
nea de salida están conectados con dicho dispositivo de  
entrada/salida para transferir señales de direcciones o  
señales de datos, respectivamente, a él.

1

7ª.- El aparato de acuerdo con una cualquiera de las reivindicaciones precedentes, en el que dichos primeros medios de línea de salida están conectados con dichos medios de ejecución de instrucciones para recibir señales de dirección desde ellos.

5

8ª.- Aparato perfeccionado de tratamiento de datos.

10

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de ochenta y una hojas escritas a máquina por una sola cara.

Madrid, 31.ENE.1978

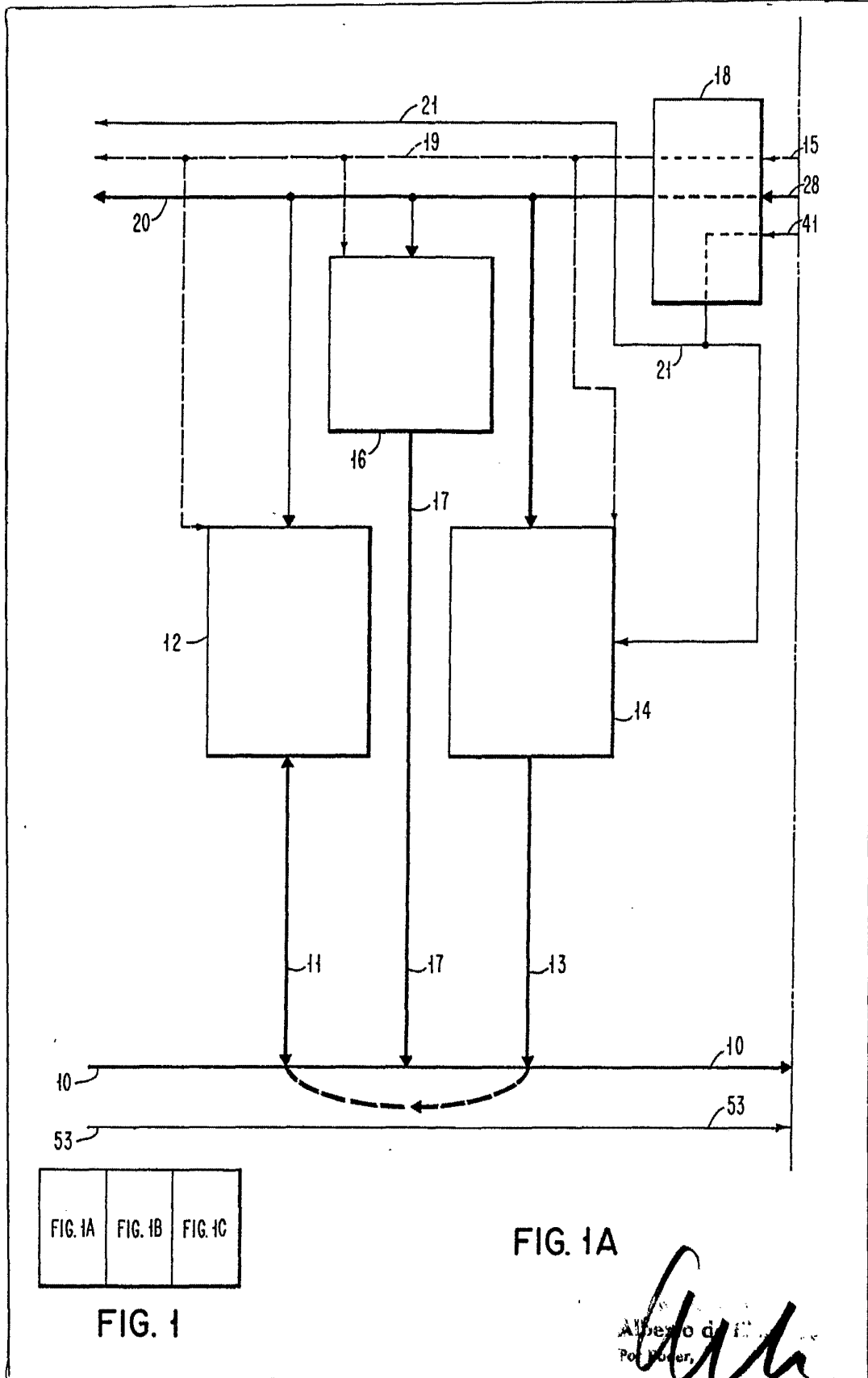
P.A.

Alberto de Eizaburu  
Por Poder.



MCC.

18018



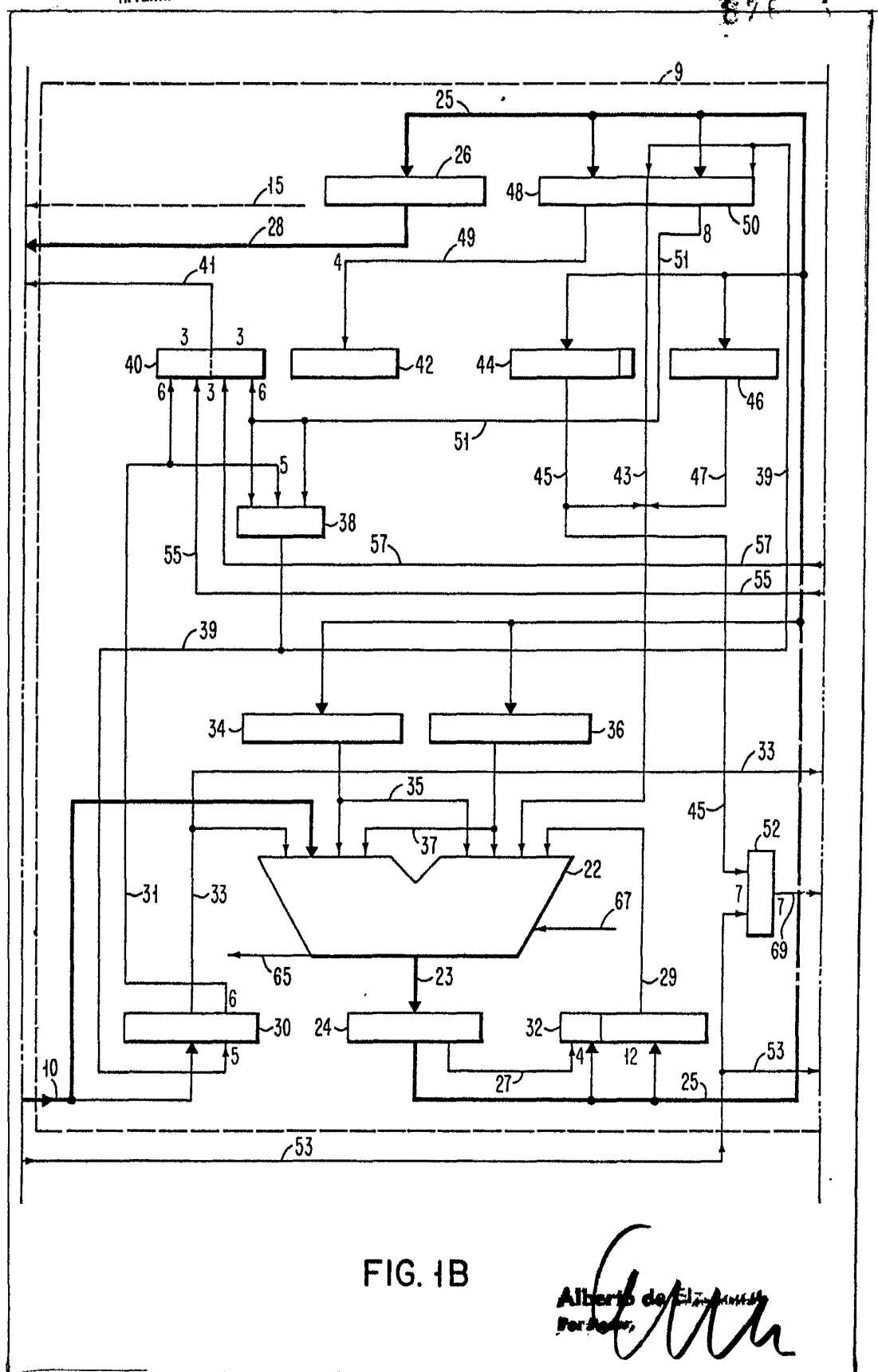


FIG. 1B

Alberto de El...  
Per...  
*[Handwritten signature]*

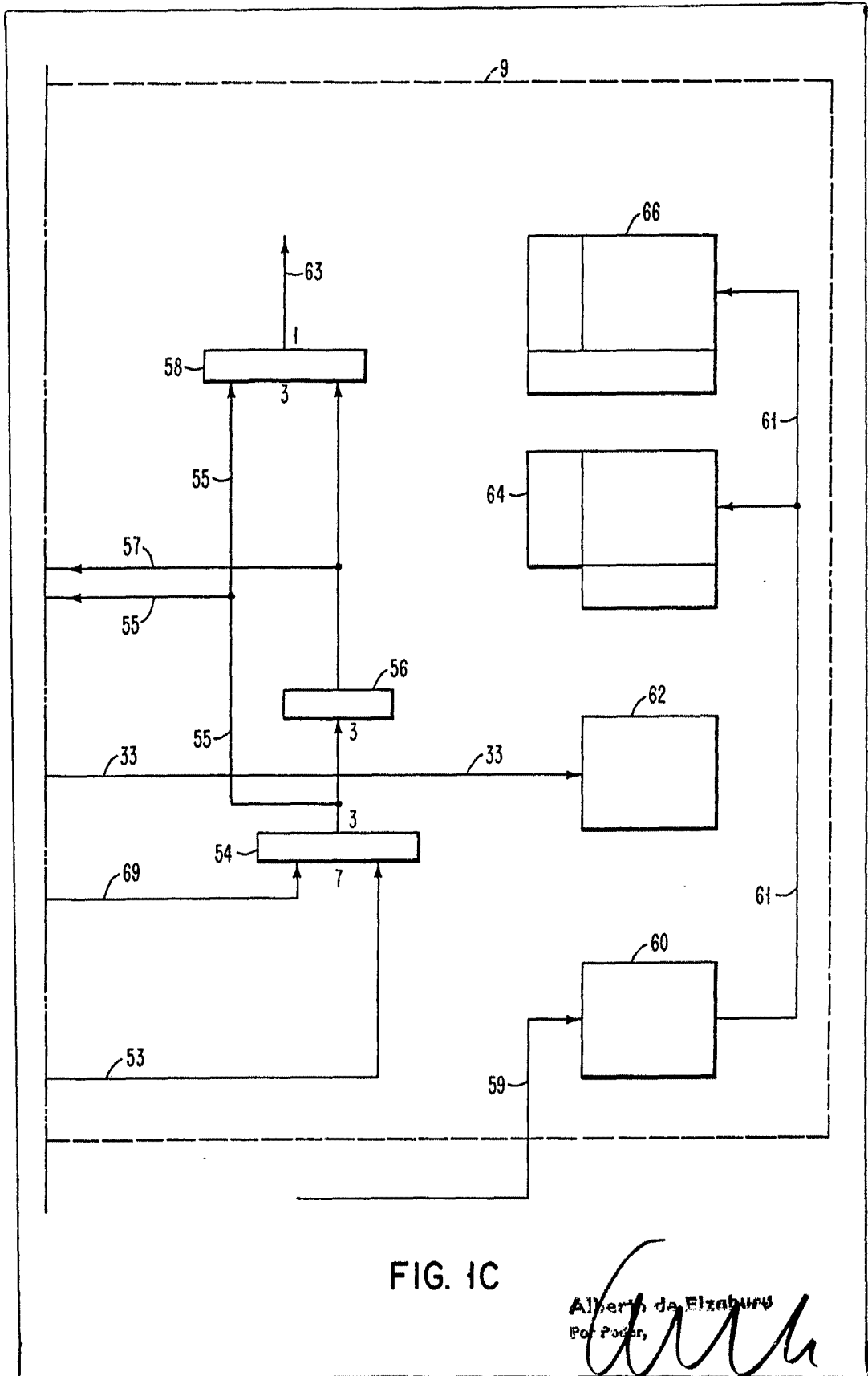


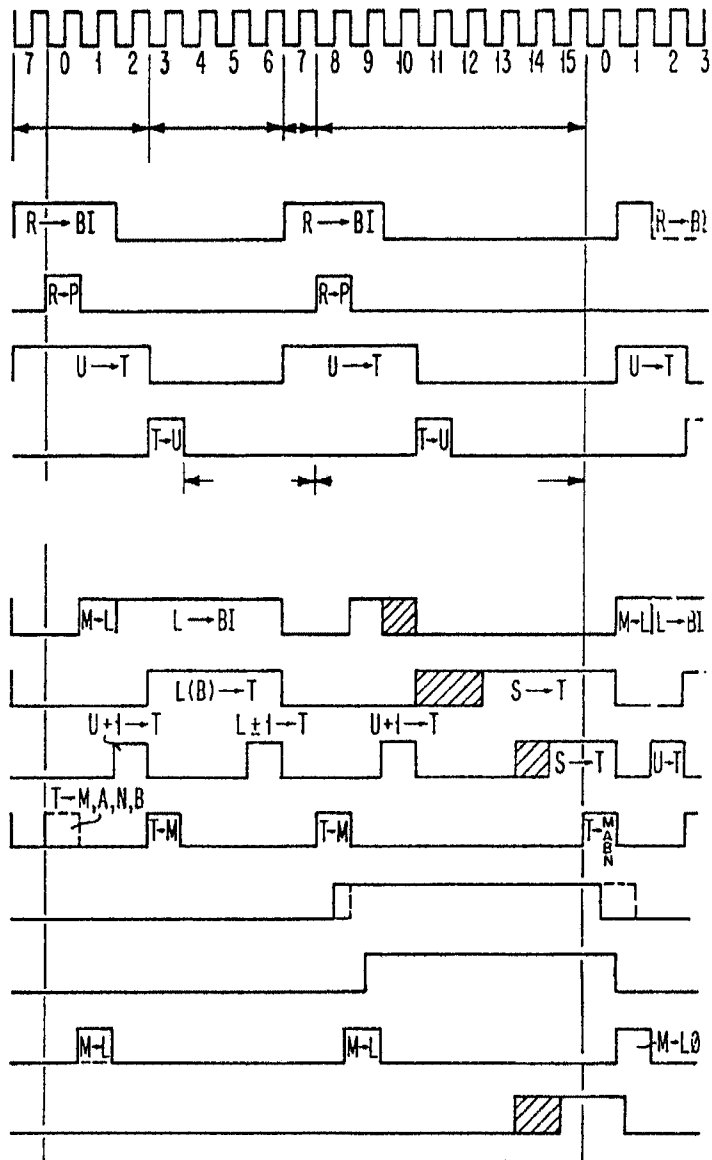
FIG. 1C

Alberto de Elizaburu  
Por Poder,

FIG. 2



FIG. 2A



Albert de Elizabeth  
Por Poder,



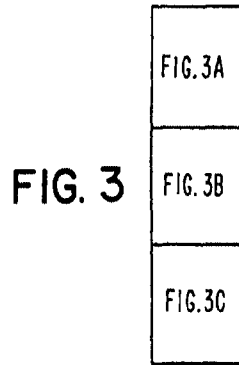
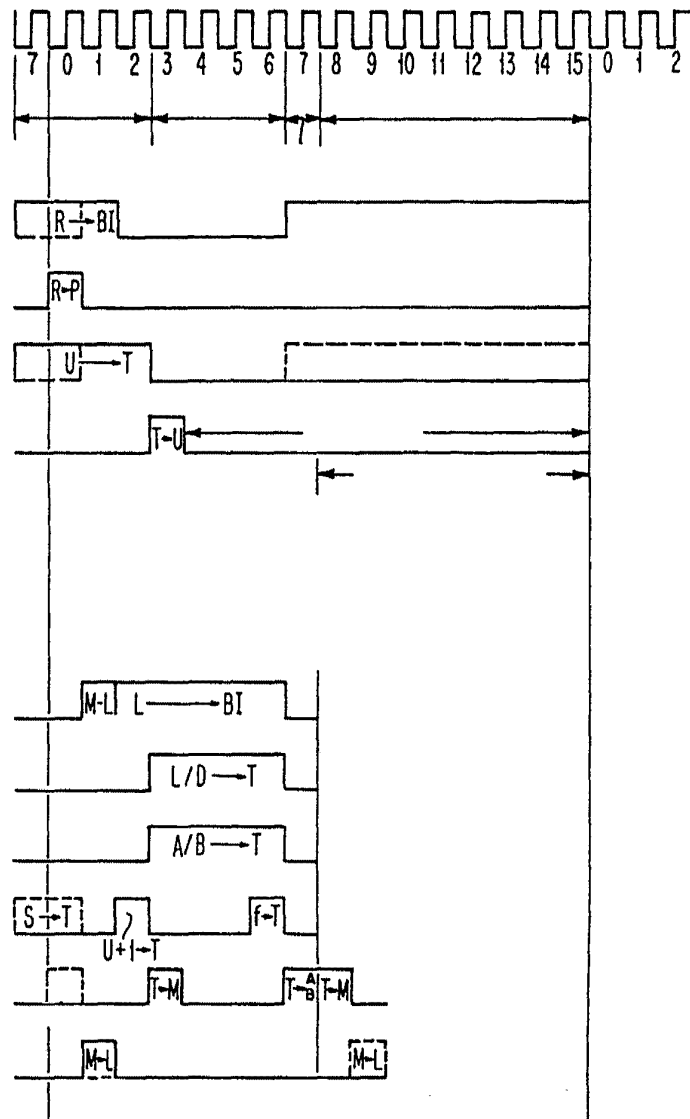


FIG. 3A



Alberto E. Elaburo  
 P. 10/11

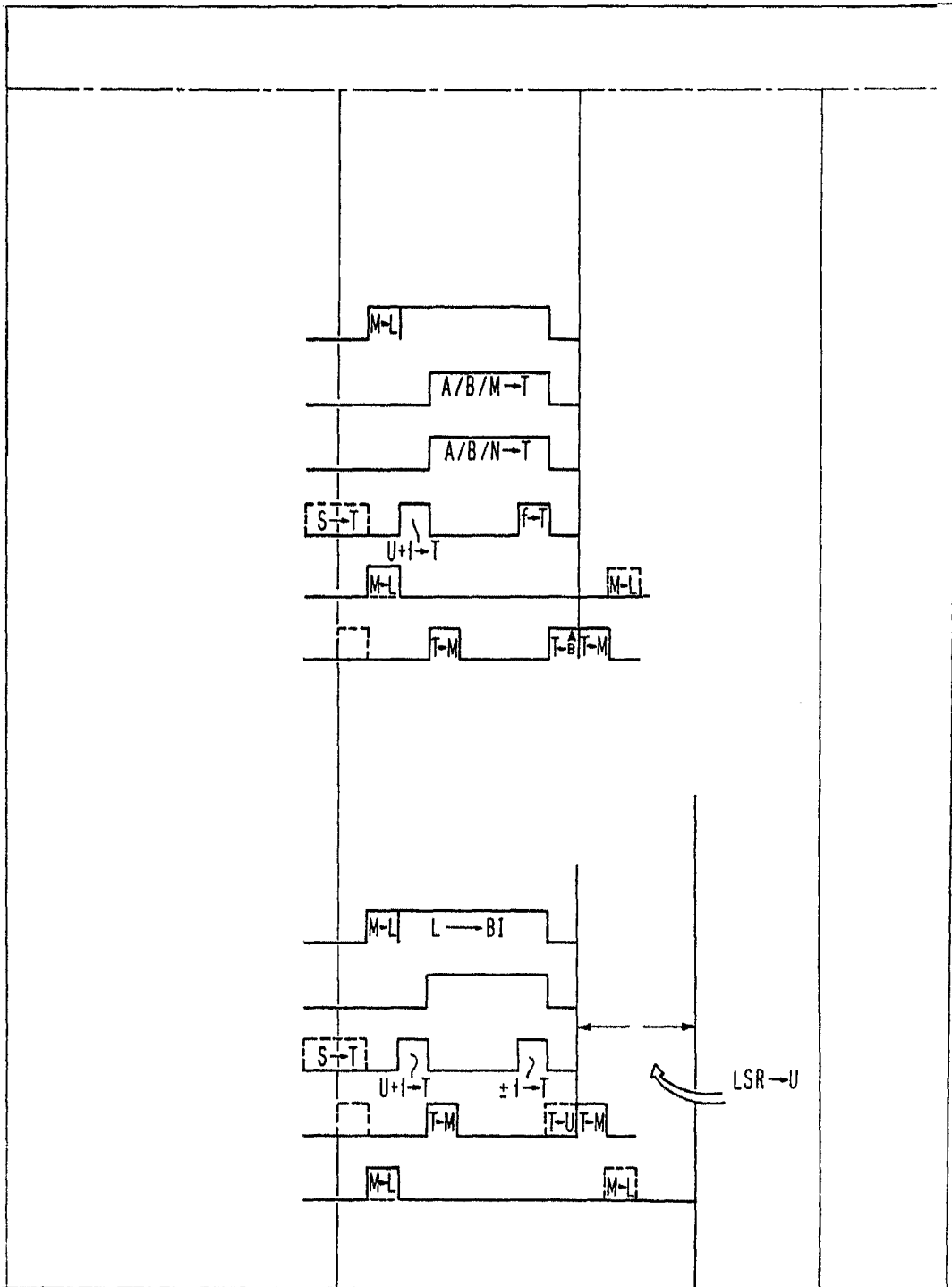


FIG. 3B

Alberto de Elzaburo  
Por Poder,  
*[Signature]*

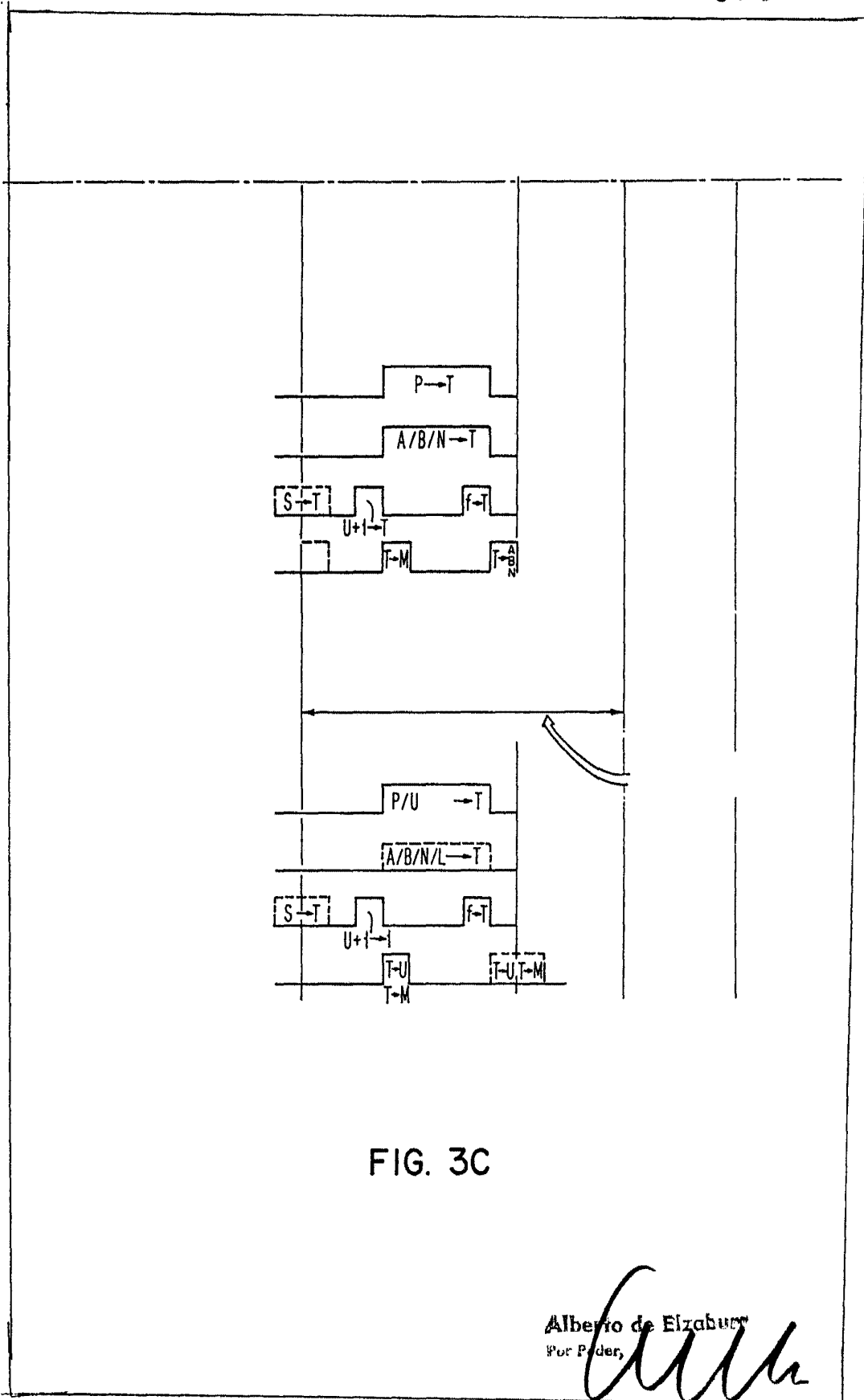


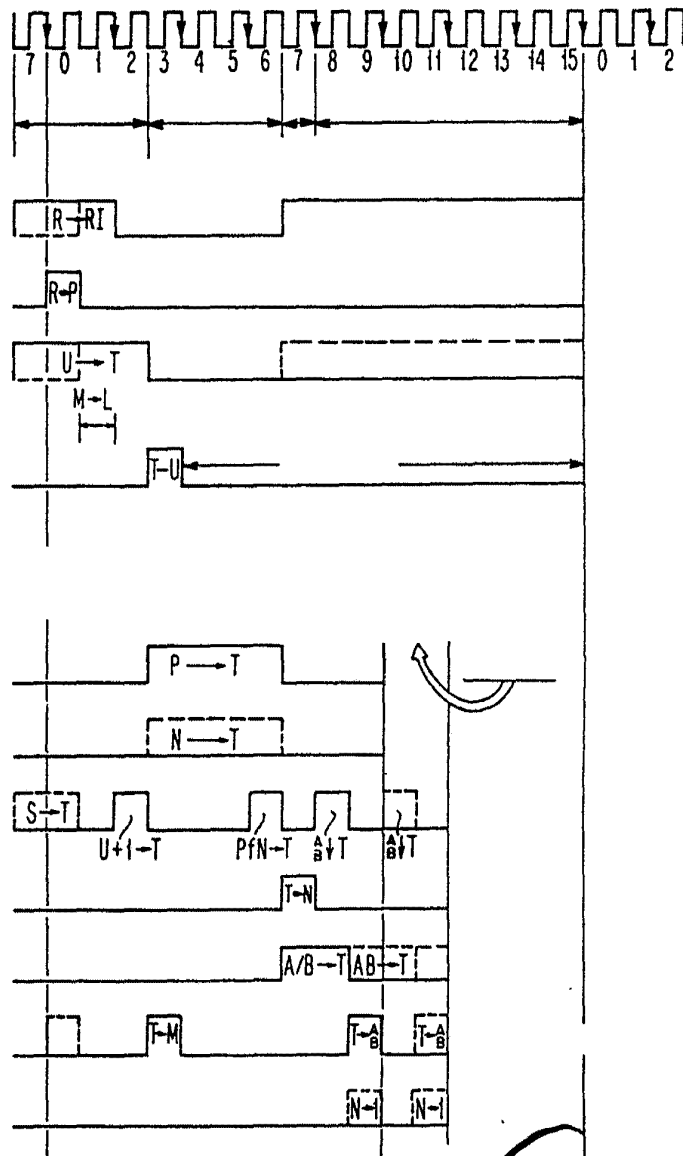
FIG. 3C

Alberto de Elizaburr  
Por Poder,  
*[Signature]*

FIG. 4

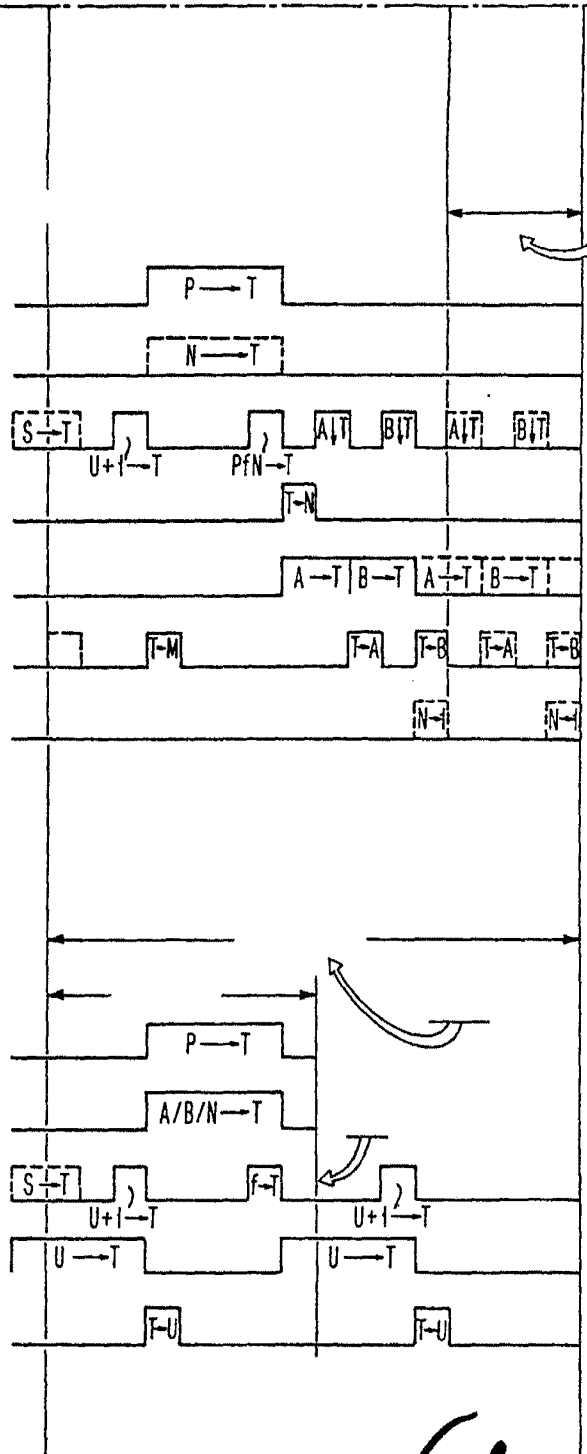
- FIG. 4A
- FIG. 4B
- FIG. 4C

FIG. 4A



Alberto de Elizaburu

FIG. 4B



Alberto de Szabun  
Per Pod...

Alberio d'Alzoburu  
 Alberto Elizaburu  
 Por Poder

FIG. 5

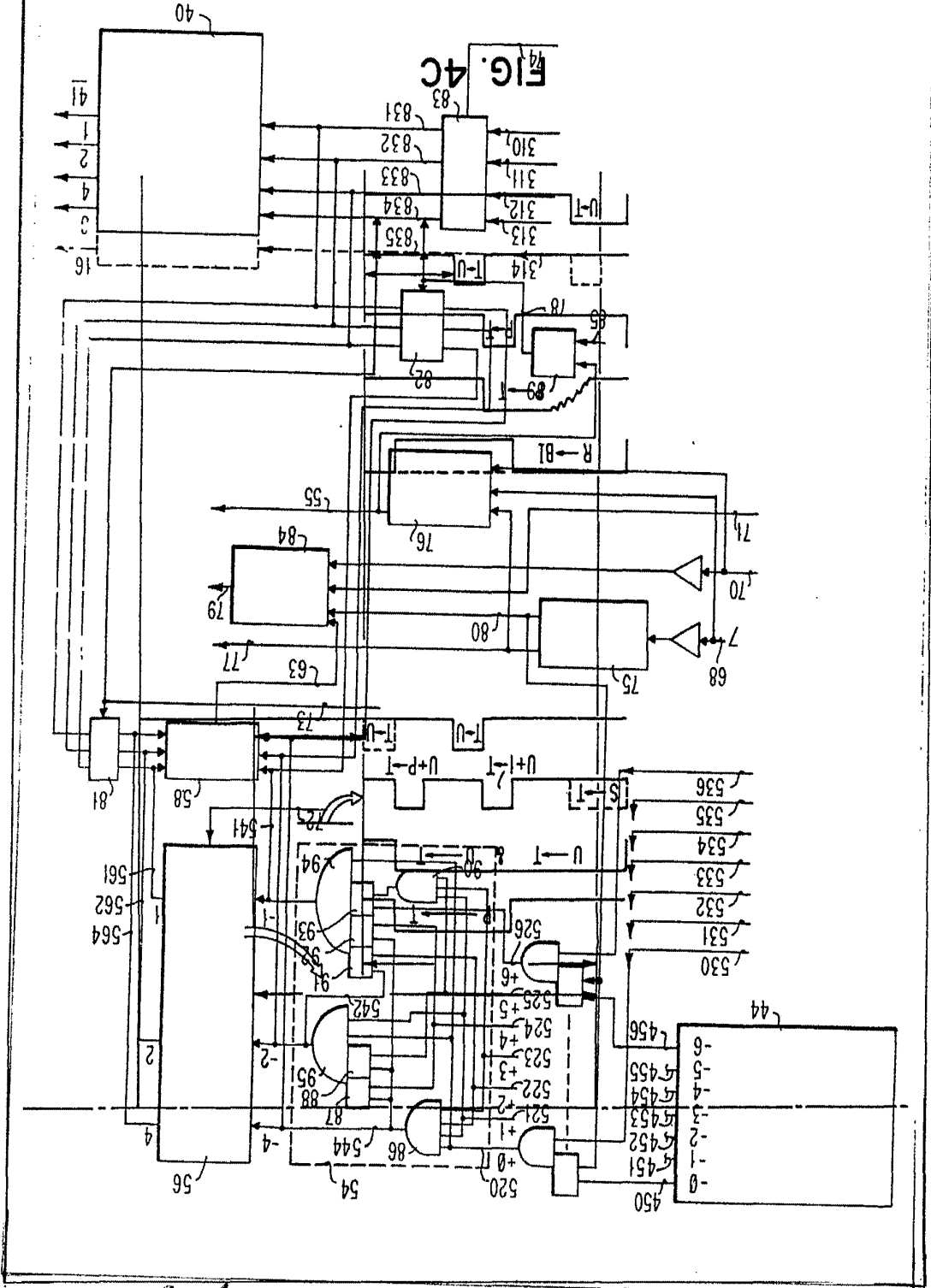


FIG. 4C

INTERNATIONAL BUSINESS MACHINES CORPORATION  
 XI/XII  
 6767-57025