

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL

20 JUL. 1978

(19) ES	(11) NUMERO	(10) A1
(21)	<b>465142</b>	
(22)	FECHA DE PRESENTACION	
	16-12-77	



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

**PATENTE DE INVENCION**

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
P 26 57 281.6	17.Dic.76	Alemania
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H03K	
(54) TITULO DE LA INVENCION		
"UN CIRCUITO INVERSOR MIS (METAL-AISLADOR-SEMICONDUCTOR)		
(71) SOLICITANTE (S)		
STANDARD ELECTRICA S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, nº 5.		
(72) INVENTOR (ES)		
Wolfgang Gollinger Wilfried Werner Gehrig Guenter Lindstedt		
(73) TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
(74) REPRESENTANTE		
D. Manuel Gómez Santamaría.		

El presente invento se refiere a un circuito inversor MIS (Metal-Aislador-Semiconductor).

Los circuitos inversores MIC ya conocidos tienen la desventaja de que a niveles específicos de la tensión de entrada puede establecerse una condición de equilibrio en la que la tensión de salida caiga en el margen indefinido entre el lógico "0" y el lógico "1". En esta condición de equilibrio, no pasa corriente a las capacidades de nodo. En la vecindad de la condición de equilibrio estas corrientes pueden ser muy pequeñas, de manera que se deja el margen crítico lentamente.

El presente invento se refiere a un circuito inversor MIS temporizado por las señales de un sistema de reloj de dos-fases, esto es, con un circuito inversor cuyo estado lógico tiene que cambiar solamente durante los dos impulsos de reloj del sistema de reloj, de acuerdo con una señal de entrada lógica.

Sin embargo, en circuitos integrados o en sistemas de circuitos que incluyan tales circuitos, es difícil fijar el impulso de entrada respecto a su ritmo de incremento y su posición de fase en relación a las señales de reloj del sistema de reloj; esta dificultad se debe, por ejemplo, a las veces en que se desplaza la señal.

Como consecuencia, el objetivo del presente invento es proporcionar un circuito inversor MIS para generar un impulso sincronizado respecto a un sistema de reloj de dos-fases, a partir de un impulso de entrada cuyo ritmo de crecimiento y posición de fase en relación al sistema de reloj son arbitrarios.

El invento se refiere a un circuito inversor MIS para

generar un impulso sincronizado respecto a un sistema de re-  
loj de dos-fases a partir de un impulso de entrada que se  
aplica a través del canal de un primer transistor de efecto  
de campo MIS, a cuya puerta se aplica la primera señal de  
5 reloj, a la puerta del transistor de efecto de campo MIS que  
está a tierra de una serie de, por lo menos, dos transisto-  
res de efecto de campo MIS de una sección inversora MIS en  
dónde el impulso sincronizado se toma de la unión de los  
transistores de efecto de campo MIS a través del canal de un  
10 cuarto transistor de efecto de campo MIS, a cuya puerta se  
aplica la segunda señal de reloj, y en dónde la tensión de  
alimentación se obtiene a través de un segundo transistor  
de efecto de campo MIS del conjunto serie.

Según el invento, este objetivo se consigue conectan-  
15 do la unión de los dos transistores de efecto de campo MIS  
del conjunto serie a la puerta de un quinto transistor de  
efecto de campo MIS cuyo canal conecta la puerta del segundo  
transistor de efecto de campo MIS a tierra.

El circuito inversor MIS según el invento lo expli-  
20 caremos seguidamente refiriéndonos a los dibujos que se  
acompañan, en los cuales:

La Fig. 1 muestra un circuito inversor MIS básico  
sobre el que se basa el presente invento;

La Fig. 2 a 4 son modificaciones del circuito de la  
25 Fig. 1;

La Fig. 5 muestra un circuito de una primera confi-  
guración del circuito inversor MIS del invento;

La Fig. 6 muestra un circuito de una segunda configu-  
ración del circuito inversor MIS del invento;

30 La Fig. 7 muestra una tercera configuración del cir-

cuito inversor MIS del invento, y

La Fig. 8 sirve para explicar el funcionamiento del circuito inversor MIS del invento.

El circuito de la Fig. 1 muestra un inversor temporizado conocido con dos transistores de efecto de campo MIS, T2 y T3, que tiene sus canales conectados en serie. La señal de entrada se aplica a través de E y el canal de un primer transistor de efecto de campo MIS, T1 a la puerta de un segundo transistor de efecto de campo MIS T2, cuya fuente es-  
 5 rá a potencial de tierra  $U_{SS}$ . La primera señal de reloj  $\phi_1$  se aplica a la puerta del primer transistor de efecto de campo T1. Conectadas a la fuente de tensión  $U_{DD}$  están el drenaje y la puerta del segundo transistor de efecto de campo T3 del conjunto serie, que actúa como un transistor de carga.  
 10 La segunda señal de reloj  $\phi_2$  se aplica a la puerta de un cuarto transistor de efecto de campo MIS T4, cuyo canal se conecta entre la unión de los dos transistores de efecto de campo MIS conectados en serie T2 y T3, y la salida A.  $C_2$  es la capacidad de salida del circuito inversor MIS temporizado.

Para cada relación de los valores  $\beta$  de los dos transistores de efecto de campo MIS, T2 y T3,  $\beta_R = \frac{\beta_{T2}}{\beta_{T3}}$ ,  
 20 dónde la corriente drenaje-fuente es  $i = \frac{\beta}{2} (U_G - U_{th})^2$ , la puerta del transistor de efecto de campo MIS, T2 tiene aplicada una  $U_g$  a la cual existe un caso estacionario con  $U_A = U_g$ , esto es, un caso en el que la corriente de carga del condensador  $i_C$  es despreciable. En este caso,  $i_1 = i_2$ , estando indicadas las mencionadas corrientes en la figura 1. Esta condición desaparecerá lentamente en respuesta a una señal de entrada  $U_E$ . El circuito inversor MIS del invento  
 25  
 30 evita esta situación.

En lugar de la sección inversora MIS mostrada entre las líneas discontinuas 1 y 2 de la Fig. 1, pueden utilizarse las secciones mostradas en las Figuras 2 a 4 en el circuito inversor MIS del invento, con ciertas ventajas. Mientras en la etapa inversora de la Fig. 3 tambien se aplica la segunda señal de reloj  $\phi_2$  a la puerta del tercer transistor de efecto de campo MIS, a la cual se aplica la tensión de alimentación  $U_{DD}$ , el circuito de la Fig. 3 incluye un transistor de efecto de campo adicional MIS T6 cuya puerta está conectada a la tensión de alimentación  $U_{DD}$  y cuya fuente se acopla a la fuente del tercer transistor de efecto de campo MIS, T3.

La Fig. 4 muestra una sección inversora MIS con un par complementario de transistores de efecto de campo MIS, T2, T3, a cuya unión se conecta una puerta de transmisión que comprende dos transistores de efecto de campo MIS, T7 y T8, en paralelo, a cuyas puertas se aplica la segunda señal de reloj  $\phi_2$ .

En la primera configuración del circuito inversor MIS del invento, mostrado en la Fig. 5, que está basado en el circuito inversor MIS de la Fig. 1, la unión de los transistores de efecto de campo MIS T2 y T3, está acoplada a la puerta de un quinto transistor de efecto de campo MIS, T5, cuyo canal está conectado entre la puerta del segundo transistor de efecto de campo MIS, T2, del conjunto serie T2 T3 y el potencial de tierra  $U_{SS}$ . Por este quinto transistor de efecto de campo MIS T5, que actúa como un transistor de descarga en la puerta del segundo transistor de efecto de campo MIS al circuito inversor MIS de la Fig. 1 se le da un estado preferente. Si se utiliza con un posterior circui-

to diferenciador digital, el circuito de la Fig. 5 puede cumplir las siguientes condiciones:

a) La resistencia de salida del inversor G1 en la entrada E debe ser tan baja que, a pesar de la conducción del transistor T5 de efecto de campo MIS, el transistor de efecto de campo MIS T2 recibe una tensión de entrada suficiente para conducir.

b) El subcircuito consistente de los transistores MIS de efecto de campo T2, T3, T4 y T5 debe ser lo suficientemente rápido para tomar un estado lógico final "0" ó "1" dentro del período de impulso de reloj.

El circuito inversor MIS del presente invento, mostrado en la Fig. 5, puede modificarse utilizando las secciones inversoras MIS de las Figuras 2 a 4. Conectado a la salida A existe un inversor de salida G2, que se controla con la señal de reloj  $\phi_1$ .

Según la anterior condición a), el circuito de la Fig. 5 requiere un inversor G1 con una baja resistencia de salida. Esta desventaja se evita con el circuito de la Fig. 6, insertando un transistor de efecto de campo MIS T6, cuya puerta se alimenta con la señal de reloj  $\phi_2$ , en serie con el quinto transistor de efecto de campo MIS T5. Esto permite la utilización de un inversor normal de baja potencia para el inversor G1, porque no puede existir fuga de carga mientras el transistor de efecto de campo MIS T1 entre el inversor G1 y la puerta del segundo transistor de efecto de campo MIS T2 está conduciendo. De esta manera, la realimentación positiva obtenida en el circuito inversor MIS del invento no tiene lugar hasta que el transistor de efecto de campo MIS T6 esté conduciendo.

En la configuración de la Fig. 7, las puertas de los dos transistores de efecto de campo MIS T2 y T3 están interconectadas a través del inversor G3. Esto tiene la ventaja de que la realimentación positiva obtenida a través del quinto transistor de efecto de campo MIS T5 se hace más rápida. Este inversor G3 se utiliza preferiblemente, como es normal, en dos transistores adicionales de efecto de campo MIS en serie.

Aunque en el circuito de la Fig. 6 puede utilizarse un inversor G1 de relativamente elevada resistencia en la entrada E, un inversor MIS como se muestra en la Fig. 5 es más rápido, ya que la realimentación positiva del subcircuito que comprende los transistores de efecto de campo MIS T2, T3 y T5 tiene efecto ya al comienzo de la señal de reloj  $\phi_1$ .

Para explicar la realimentación positiva obtenida en el circuito inversor MIS del invento, la Fig. 8 muestra las dos señales de reloj  $\phi_1$  y  $\phi_2$  del sistema de reloj en relación con el tiempo. Se representa en ella una señal de entrada  $U_E$  con un ritmo relativamente lento de subida cuyo borde delantero está aún cubierto por un impulso de la señal de reloj  $\phi_1$ , de tal manera que aparece una señal en la puerta del transistor de efecto de campo MIS T2. Esto hace disminuir el potencial en la unión de los dos transistores de efecto de campo MIS T2 y T3, pero no se aplica un lógico "0" definido a esta unión en tanto este potencial no quede por debajo de la tensión de umbral del transistor de efecto de campo T5, desconectando este último. Por lo tanto, la carga situada en la puerta E' del transistor de efecto de campo MIS T2 durante el impulso de reloj  $\phi_1$  en la porción ascendente de

la señal de entrada  $U_E$  con un lógico "0" definido como se muestra en la Fig. 8, se produce hasta que tiene lugar el siguiente impulso de la señal de reloj  $\phi_1$ .

Este comportamiento proporciona un circuito inversor MIS según el invento particularmente apropiado para su utilización con circuitos diferenciadores digitales, porque el borde de una señal de entrada  $U_E$  no es diferenciada en el margen indefinido entre el lógico "0" y el lógico "1".

El circuito inversor MIS del invento puede realizarse utilizando cualquier tecnología apropiada para la fabricación de circuitos integrados MIS, MOS, CMOS o la tecnología de puerta-de-silicio.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Alemania el día 17 de Diciembre de 1976, señalada con el Nº P 26 57 281.6 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

## -----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5           1.- Un circuito inversor MIS para generar un impulso sincronizado respecto a un sistema de reloj de dos fases, a partir de un impulso de entrada que se aplica a través del canal de un primer transistor de efecto de campo MIS, a cuya puerta se aplica la primera señal de reloj, a la puerta del  
10 transistor de efecto de campo MIS que está a tierra de un conjunto serie de, por lo menos, dos transistores de efecto de campo MIS de una sección inversora MIS en dónde el impulso sincronizado se toma de la unión de los dos transistores de efecto de campo MIS a través del canal de un cuarto transis-  
15 tor de efecto de campo MIS a cuya puerta se aplica la segunda señal de reloj, y en dónde se obtiene la tensión de alimentación a través de un segundo transistor de efecto de campo MIS del conjunto serie, caracterizado porque la unión de los dos transistores de efecto de campo MIS (T2, T3) del conjunto  
20 serie se conecta a la puerta del quinto transistor de efecto de campo MIS (T5) cuyo canal conecta la puerta del segundo transistor de efecto de campo MIS (T2) al potencial de tierra ( $U_{SS}$ ).

25           2.- Un circuito inversor MIS, según el punto 1, caracterizado porque el canal del quinto transistor de efecto de campo MIS (T5) se conecta en serie con el de un sexto transistor de efecto de campo MIS (T6) cuya fuente está al potencial de tierra ( $U_{SS}$ ) y a cuya puerta se aplica la segunda señal de reloj ( $\phi_2$ ).

30           3.- Un circuito inversor MIS, según los puntos 1 y 2,

caracterizado porque las puertas de los dos transistores de efecto de campo MIS (T2 y T3) del conjunto serie, están interconectadas a través de un inversor (G3).

5 4.- Un circuito inversor MIS (Metal-Aislador-Semicon ductor).

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

10 Esta memoria consta de nueve hojas escritas por una sola cara.

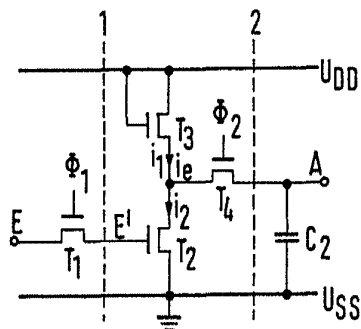
Madrid, 16 DIC. 1977



M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

2/1

FIG. 1



16 DIC. 1977

FIG. 2

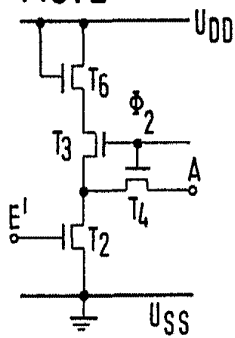


FIG. 3

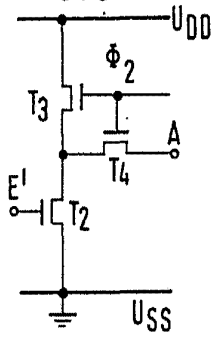


FIG. 4

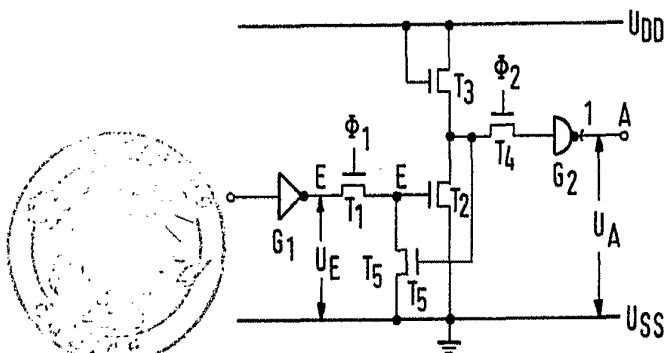
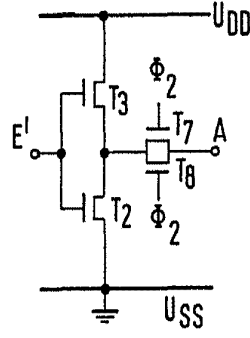
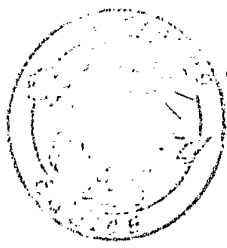


FIG. 5



*M. G. Santamaria*  
 M. G. SANTAMARIA  
 VICE-SECRETARIO GENERAL

FIG. 6

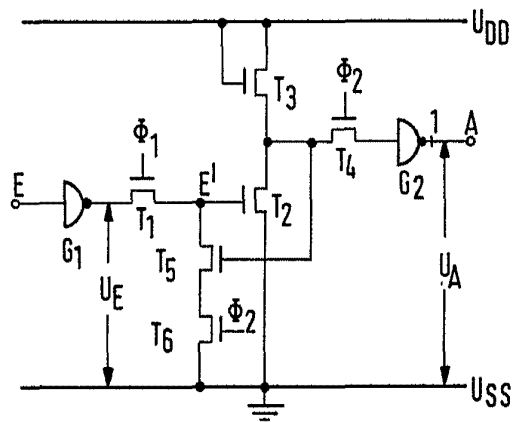


FIG. 7

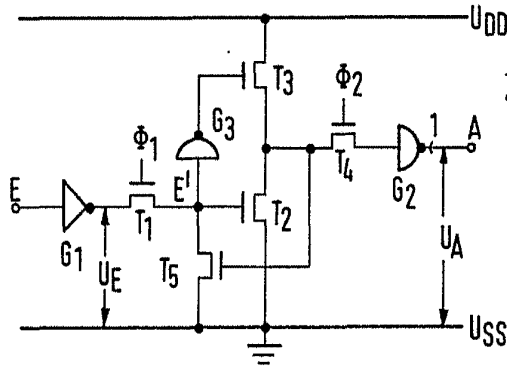
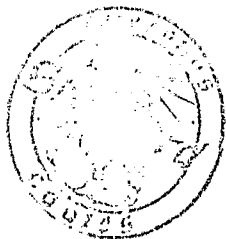
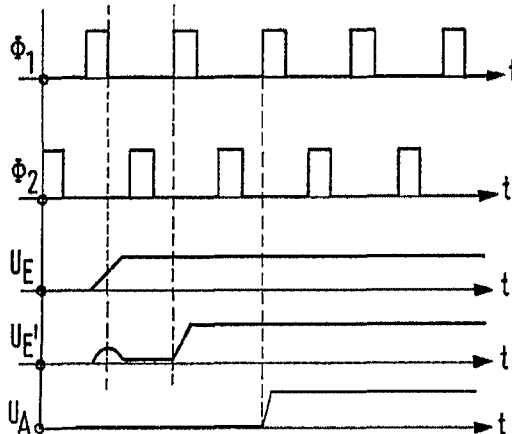


FIG. 8



*M. G. Santamaria*  
 M. G. SANTAMARIA  
 DIRECTOR GENERAL