

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

19	ES	11	NUMERO	464843	10	A1
		21				
		22	FECHA DE PRESENTACION			

PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	76 37121		9. ic.76		Francia

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H04Q; H04J		

64	TITULO DE LA INVENCION
	"UN DISPOSITIVO DE CONVERSION PARA UN SISTEMA DIGITAL"

71	SOLICITANTE (S)
	STANDARD ELECTRICA, S.A.

	DOMICILIO DEL SOLICITANTE
	Madrid, calle de Ramirez de Prado, nº 51

72	INVENTOR (ES)
	Claude Paul Henri Lerouge.

73	TITULAR (ES)
	STANDARD ELECTRICA S.A.

74	REPRESENTANTE
	D. Manuel Gómez Santamaria.

UNE A-4 MOD. 3106

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta. UTILICESE COMO PRIMERA PAGINA DE LA MEMORIA

20 JUL. 1978

El presente invento se refiere a un dispositivo de conversión para un sistema digital y, concretamente, a mejoras, modificaciones y adiciones a la Patente Francesa Nº 76 22036.

5 La conversión serie-a-paralelo es una función ampliamente utilizada en los sistemas numéricos en general. Además, en los sistemas de conmutación MIC (modulación por impulsos codificados), los datos recibidos en serie por diferentes entradas, y convertidos a forma paralelo, se procesan en

10 aberturas de tiempo diferentes; esto implica que la conversión serie-a-paralelo viene seguida por una operación de multiplexión. Se ha descrito en la solicitud de patente principal mencionada anteriormente un convertidor que se ajusta a estos objetivos y que consiste en un circuito integrado

15 tipo MOS (metal óxido semiconductor). Con este dispositivo el número de salidas es igual al número de entradas y la velocidad de los datos es igual a la entrada que a la salida. Actualmente en algunas aplicaciones y especialmente en los sistemas de conmutación MIC (modulación por impulsos codificados), el número de entradas y el número de salidas no,

20 son necesariamente iguales, y correlativamente la velocidad de los datos es entonces diferente a la entrada que a la salida.

 Así, un objetivo del presente invento es un convertidor para un sistema numérico que proporciona la doble función

25 de una conversión serie-a-paralelo y una multiplexión, cuando el número de entradas es igual a p veces el número de salidas.

 Otro objetivo del presente invento es un convertidor para un sistema numérico que proporciona la doble función

30 de una conversión serie-a-paralelo y una multiplexión cuando

el número de salidas es igual a p veces el número de entradas.

Otro bojetivo del presente invento es un convertidor para un sistema numérico que proporciona la función doble de una conversión serie-a-paralelo y una multiplexión con
5 diferentes velocidades de datos en la entrada y en la salida.

Según una característica del invento, un dispositivo proporciona, para un sistema numérico, la conversión serie-a-paralelo de los datos recibidos en $p \times N$ entradas y la multiplexión de las entradas de datos, recibiendo el mencionado
10 dispositivo en cada una de las $p \times N$ entradas un grupo de N bits en serie y transmitiendo en paralelo a sus N salidas los N bits de cada grupo, estando los $p \times N$ grupos multiplexados en tiempo, y contiene p convertidores simples, cada uno con N entradas y N salidas, estando dispuestos los p
15 convertidores simples en paralelo con cada datos que se recibe de las N entradas bien directamente por un convertidor simple o, por los otros $p-1$ convertidores, después de un retraso igual a un valor entre $\frac{1}{p}$ y $\frac{p-1}{p}$ veces el período del reloj.

Según otra característica del invento, para asegurar
20 la conversión serie-a-paralelo de los datos recibidos por las N entradas y que han de transmitirse a las $N \times p$ salidas, conectándose los p convertidores simples sucesivamente a las N entradas del convertidor; los p convertidores
25 simples realizan cada uno la conversión serie-a-paralelo de los N bits recibidos y funcionan a la misma velocidad pero con tiempos de reloj cambiados respecto al reloj maestro en un tiempo que, para el convertidor simple de orden K , es igual a $\frac{K}{p}$ veces el período base; los p registros de salida,
30 con N salidas, reciben cada uno los datos de salida desde

uno de los p convertidores simples.

- Otros objetivos, características y ventajas del presente invento aparecerán con más detalle en la descripción que sigue de configuraciones particulares dadas solamente para indicar las posibilidades del mismo, y junto con los dibujos que se acompañan, en los cuales:
- 5 - la fig. 1 muestra un convertidor con cuatro entradas y cuatro salidas tal como el que se describe en la solicitud de patente principal;
 - 10 - las figuras 2.a y 2.b muestran la interconexión de dos células que son simétricas respecto a la diagonal del convertidor de la fig. 1;
 - las figuras 3.a y 3.b muestran una célula de la diagonal del convertidor en la fig. 1;
 - 15 - la fig. 4 es un diagrama de tiempo de las señales implicadas en el funcionamiento del convertidor de la fig. 1;
 - la fig. 5 muestra un diagrama del dispositivo con diez y seis entradas y ocho salidas de acuerdo con los principios de este invento;
 - 20 - la fig. 6 es un diagrama de tiempo de las señales implicadas en el funcionamiento del dispositivo de la fig. 5;
 - la fig. 7 muestra el diagrama de un dispositivo con ocho entradas y diez y seis salidas utilizando los principios de este invento.

25 El diagrama de la fig. 1 puede utilizarse para explicar los principios del dispositivo (que denominaremos en lo que sigue convertidor simple), sujeto a los principios de la solicitud de patente principal, que se utilizará en los dispositivos de acuerdo con los principios de este invento.

30 El convertidor simple contiene cierto número de las denomi-

nadas células simétricas tales como C12, C21,etc. y cuatro denominadas células diagonales tales como C11, C22, C33 y C44. Estas células están dispuestas de tal manera que constituyen registros de conversión. Un registro de conversión

5 consiste de tres células simétricas y una célula diagonal (por ejemplo C31, C32, C33 y C34). Puede tener lugar una transferencia de datos bidireccional entre dos células simétricas tales como C12 y C21 que están interconectadas a través del conmutador K. Esta transferencia de datos entre

10 dos células simétricas tiene lugar solamente cuando todas las células se han llenado, esto es, una vez cada cuatro cambios en el caso de la fig. 1. Debido a esta transferencia de datos entre células simétricas, los datos aplicados en serie en una de las entradas E1 a E4 llegan en paralelo

15 a las salidas S1 a S4.

Las figs. 2.a y 2.b, 3.a y 3.b son diagramas que muestran el diseño e interconexión de células simétricas, por una parte, y células diagonales por otra. Cada célula consiste, en realidad, de dos medias-células (por ejemplo

20 cmn1 y Cmn2 por célula Cmn, o Cii1 y Cii2 por célula Cii) que pueden diseñarse, por ejemplo, utilizando inversores tipo-MOS. La información se almacena en una media-célula de entrada en el momento t1, y se transfiere a una media-célula de salida en el momento t2 o en el momento t'2. Las

25 señales de tiempo t1, t2 y t'2 se muestran en la fig. 4. Como se indica en las figs., la transferencia de datos bidireccional entre dos células simétricas tales como Cmn y Cnm tiene lugar en el momento t'2, esto es, una vez cada cuatro impulsos de reloj.

30 Por supuesto que un convertidor simple, tal como el

descrito anteriormente, contiene tantas salidas como entradas y la cadencia de la información es la misma a la entrada que a la salida. En ciertas aplicaciones y especialmente en los centros de conmutación MIC (modulación por impulsos codificados), se requieren convertidores que tengan el doble de 5 entradas que de salidas, e, inversamente, el doble de salidas que de entradas. Tal es el caso en que los datos están en forma de palabras de ocho bits en serie que llegan desde diez y seis uniones diferentes y han de convertirse en la 10 forma de diez y seis palabras sucesivas de ocho bits en paralelo. La velocidad de transmisión de los datos es entonces doble a la salida que a la entrada. También se requiere el funcionamiento opuesto, que es la conversión a diez y seis salidas de los datos recibidos en ocho entradas.

15 La figura 5 muestra el diagrama de un convertidor con diez y seis entradas y ocho salidas. Los datos llegan en cada una de las diez y seis entradas en forma de palabras de ocho bits en serie y se desea obtener a la salida diez y seis palabras sucesivas de ocho bits en paralelo. Los 20 datos llegan a una cadencia de 2 MHz y deben tener una cadencia de 4 MHz a la salida. Para obtener este objetivo, el invento se propone utilizar dos convertidores simples TR1 y TR2 teniendo cada uno ocho entradas y ocho salidas. Estos dos dispositivos son similares al descrito en la figura 1, 25 y en la solicitud de patente principal, y funcionan con tiempos de reloj cambiados en medio período de un dispositivo al otro. Existen por tanto elementos para retrasar en medio período de reloj los datos a la entrada de uno de los dispositivos, y las salidas se conmutan de un dispositivo a otro 30 a una cadencia igual a la cadencia de salida.

Los datos de entrada vienen proporcionados por diez y seis uniones J0 a J15 y cada unión envía palabras de ocho bits en serie. Los datos enviados por las uniones de orden par (J0, J12, ..., J14) se aplican sin retardo a las ocho entradas del convertidor simple TR1. Los datos enviados por las uniones de orden impar (J1, J3, ..., J15) se retardan antes de ser aplicadas al convertidor simple TR2. Un registro R2 está situado a la entrada del convertidor simple TR2. Este registro contiene ocho medias-células, consistiendo cada media-célula, por ejemplo, de un inversor MOS. El retardo a ser introducido debe ser igual a medio-período de reloj, que puede producirse por medio de puertas cuya apertura se retarde el tiempo correspondiente. Estas puertas se muestran esquemáticamente por conmutadores cerrados en el momento T1. Los datos suministrados por el convertidor simple TR1 también invertidos, pero a la salida del mencionado dispositivo. El registro R1 contiene por lo tanto ocho inversores (un inversor en cada salida de TR1) que no introduce ningún retardo. Un tercer registro R3 recibe los datos de salida desde el registro R1 y desde el convertidor simple TR2 y envía las palabras de ocho bits en paralelo a sus ocho salidas B0 a B7. El registro R3 constituye una etapa de salida e incluye inversores, a menos que se permita que los datos de salida representen el complemento de los datos aplicados a las entradas J0 a J15.

La fig. 6 muestra las diferentes señales de tiempo utilizadas en el funcionamiento del dispositivo de la fig. 5. Los tiempos T1, T2, T'2 proporcionan el funcionamiento del convertidor simple TR1; los tiempos T3, T4, T'4 aseguran el funcionamiento del convertidor simple TR2. La señal T1

constituye la señal de reloj que, en el ejemplo que estamos considerando, es de 2 MHz. La señal T2 es una señal de la misma frecuencia que la señal T1 pero cambiada en fase; además, se pierde una vez cada ocho periodos de la señal de reloj T1. La señal T'2 existe solamente cuando está ausente la señal T2, esto es, una vez cada ocho periodos de la señal de reloj T1. Las señales T3, T4 y T'4 corresponden a las señales T1, T2 y T'2 respectivamente, pero están cambiadas en tiempo medio periodo de reloj.

10 El funcionamiento del convertidor simple TR1 o el del TR2 es idéntico al descrito en la solicitud de la patente principal y referidos en las figuras 1 a 4. Ya que cada convertidor simple contiene ahora ocho entradas y ocho salidas, la transferencia de datos bidireccional entre células simétricas tiene lugar una vez cada ocho impulsos de reloj, más bien que cada cuatro. De esta manera, ambas señales T2 y T4 están presentes durante siete periodos de reloj consecutivos y son sustituidas por las señales T'2 y T'4 respectivamente en el octavo periodo de reloj. Debe insistirse en que 20 las señales T1 (o T2) provocan la transferencia de los datos desde una media-célula de salida a la siguiente media-célula de entrada del registro de conversión correspondiente, las señales T2 (o T4) provocan la transferencia de los datos desde una media-célula de entrada a la correspondiente media-célula de salida y las señales T'2 (o T'4) provocan la transferencia de datos desde una media célula de entrada a la media 25 célula de salida de la célula simétrica. Estas diferentes transferencias se muestran claramente en las figuras 2 y 3.

Ya se ha mencionado anteriormente que se aplicaba un 30 retardo de medio periodo a los datos a la entrada del con-

vertidor simple TR2. Este retardo se obtiene por una puerta y una media-célula por entrada, constituyendo las ocho medias-células el registro R2. Como se muestra en la figura 5, los datos se almacenan en las medias-células del registro R2 en el momento T1, esto es, en el mismo momento que los datos, recibidos por las entradas J0 a J14, se introducen en el convertidor simple TR1. Los datos se transfieren entonces desde el registro R2 a las primeras medias-células del convertidor simple TR2 en el momento T3, esto es, medio período de reloj después de la entrada de los datos correspondientes en el convertidor simple TR1.

El registro R1 consiste de ocho inversores que no introducen retardo. Así, los datos en las salidas del registro R1 o en las salidas del convertidor simple TR2 representan el complemento de los datos aplicados en las entradas J0 a J15. Estos datos se transmiten a las salidas B0 a B7 del registro R3, bien en el momento T1 para el convertidor simple TR1, o en el momento T3 para el convertidor simple TR2. El registro R3 realiza una nueva operación de complemento de datos a fin de compensar la realizada por el registro R1 y el registro R2.

Los datos se aplican a las salidas B0 a B7 a una frecuencia doble de la de los datos recibidos en las entradas J0 a J15. Los primeros datos aplicados a las salidas B0 a B7 representan los ocho bits recibidos en serie en la entrada J0, estos van seguidos por los ocho bits recibidos en la entrada J1, luego en la entrada J2 y así sucesivamente hasta la J15. El dispositivo de la fig. 5 realiza por tanto la conversión serie-a-paralelo de los datos recibidos en cada entrada y la mutiplexión de las entradas, siendo trans-

mitidos los datos a una velocidad dos veces más alta a la salida que a la entrada.

La figura 7 muestra otra configuración en la que los datos llegan en paralelo en ocho entradas B0 a B7 y aparecen en serie en las salidas J0 a J15. Los datos llegan a una frecuencia de 4 MHz y aparecen en la salida a una frecuencia de 2 MHz. El dispositivo de la fig. 7 requiere las mismas señales que el dispositivo de la fig. 5, estas señales son T1, T2 y T'2 para el convertidor simple TR'1 y las señales T3, T4 y T'4 para el convertidor simple TR'2.

Los datos que llegan en las entradas B0 a B7 se introducen en el convertidor simple TR'1 en el momento T1 y en el convertidor simple TR'2 en el momento T3. Se muestran conmutadores en las entradas de ambos dispositivos TR'1 y TR'2 para ayudar a explicar el funcionamiento. Realmente, estos conmutadores son una parte de las medias-células de entrada, como se muestra en las figuras 2.b y 3.b. Como en el caso de la figura 5, cada convertidor simple funciona con sus propias señales cambiadas en medio período una respecto de la otra. Cada dispositivo funciona a una frecuencia de 2 MHz. Las salidas del convertidor simple TR'1 se aplican a un registro de salida R'1 en el momento T1 mientras que las salidas del convertidor simple TR'2 se aplican a un registro de salida R'2 en el momento T4 o en el momento T'4. Refiriéndonos a los diagramas de la figura 6, en ellos puede verse que los datos se aplican en el mismo momento al registro R'1 y al registro R'2. Estos registros R'1 y R'2, bien son idénticos al registro R3 en la figura 5, en cuyo caso los datos de salida con el complemento de los datos correspondientes recibidos en las entradas B0 a B7, o contienen

dos inversores por entrada, en cuyo caso los datos de salida representan los datos de entrada correspondientes convertidos y que tienen el mismo valor lógico.

Los ejemplos mostrados se refieren al caso de convertidores con $2N$ entradas y N salidas y el caso de convertidores con N entradas y $2N$ salidas. Realmente, pueden diseñarse sistemas utilizando los principios del invento en donde bien el número de entradas sea igual a p veces el número de salidas (siendo p un número entero) o, inversamente, el número de salidas sea igual a p veces el número de entradas. Para estos sistemas, se requieren entonces p convertidores simples, funcionando cada uno a la misma velocidad pero con impulsos de reloj cambiados. Así, deben generarse p grupos de señales de tiempo, cada una de las cuales ocupa solamente la p -ava parte del período del reloj. En el caso de un diseño con $p \times N$ entradas y N salidas, se puede ver que deben existir retardos para las entradas de los $p-1$ convertidores simples. Estos retardos son iguales respectivamente a $\frac{1}{p}$, $\frac{2}{p}$, $\frac{p-1}{p}$ del mencionado período de reloj.

Las salidas de los diferentes convertidores simples se multiplexan y los datos quedan disponibles en la salida del convertidor completo a una cadencia igual a p veces la cadencia de los datos de entrada.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Francia el día 9 de Diciembre de 1976 señalada con el nº 76 37121 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de invención son los siguientes:

5 1.- Un dispositivo de conversión para un sistema digital, que proporciona la conversión serie-a-paralelo de los datos recibidos y la multiplexión de las entradas, teniendo dicho dispositivo $p \times N$ entradas y N salidas, recibiendo en cada una de las $p \times N$ entradas un grupo de N bits en
10 serie y transmitiendo en paralelo a N salidas los N bits de cada grupo, siendo los $p \times N$ grupos multiplexados en tiempo, caracterizado porque p convertidores simples con N entradas y N salidas cada uno reciben los datos desde N entradas y se retrasan en un retardo que, para el convertidor de orden K (variando K de 1 a p), es igual a $\frac{K}{p}$ veces
15 el período base, porque las N salidas de los p convertidores simples se aplican sucesivamente a un registro de salida que contiene N entradas y N salidas y porque los p convertidores simples funcionan a la misma velocidad pero con tiempos
20 de reloj cambiados respecto al reloj maestro en una cantidad igual al retardo aplicado a su entrada.

25 2.- Un dispositivo, según el punto 1, que proporciona la conversión serie-a-paralelo de los datos recibidos, conteniendo dicho dispositivo N entradas y $p \times N$ salidas que recibe en sus N entradas, $p \times N$ grupos en serie de N bits en paralelo y que transmite en paralelo un bit de los $p \times N$ grupos, transmitiéndose en serie los N bits de un grupo en una de las $p \times N$ salidas, caracterizado porque p convertidores simples con N entradas y N salidas se conectan sucesivamente a las N entradas de dicho dispositivo, realizando
30

cada uno la conversión serie-a-paralelo de los N bits recibidos, porque los p convertidores simples funcionan a la misma velocidad pero con tiempos de reloj cambiados, respecto al reloj maestro, en un tiempo que, para el convertidor simple de orden K, es igual a $\frac{K}{p}$ veces el período base y porque p registros de salida con N entradas y N salidas reciben cada uno los datos de salida de uno de los convertidores simples.

3.- Un dispositivo, según el punto 1, caracterizado porque está diseñado utilizando circuitos integrados de tipo-MOS.

4.- Un dispositivo, según el punto 1, que contiene dos convertidores simples, caracterizado porque el retardo aplicado en la entrada de uno de los dos convertidores simples se obtiene por medias-células del mismo tipo que las que constituyen los mencionados convertidores simples.

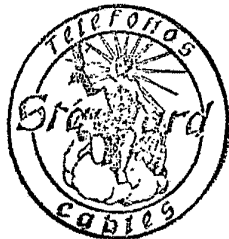
5.- Un dispositivo, según el punto 4, caracterizado porque dichas medias-células consisten de inversores MOS, el mencionado registro de salida consiste de inversores MOS y porque en las salidas del convertidor simple que no tiene retardo, existen inversores que no introducen retardo.

6.- Un dispositivo de conversión para un sistema digital.

Tal y como se ha descrito en la memoria que antecede representado en los dibujos que se acompañan y a los fines especificados.

5 Esta memoria consta de trece hojas escritas por una sola cara.

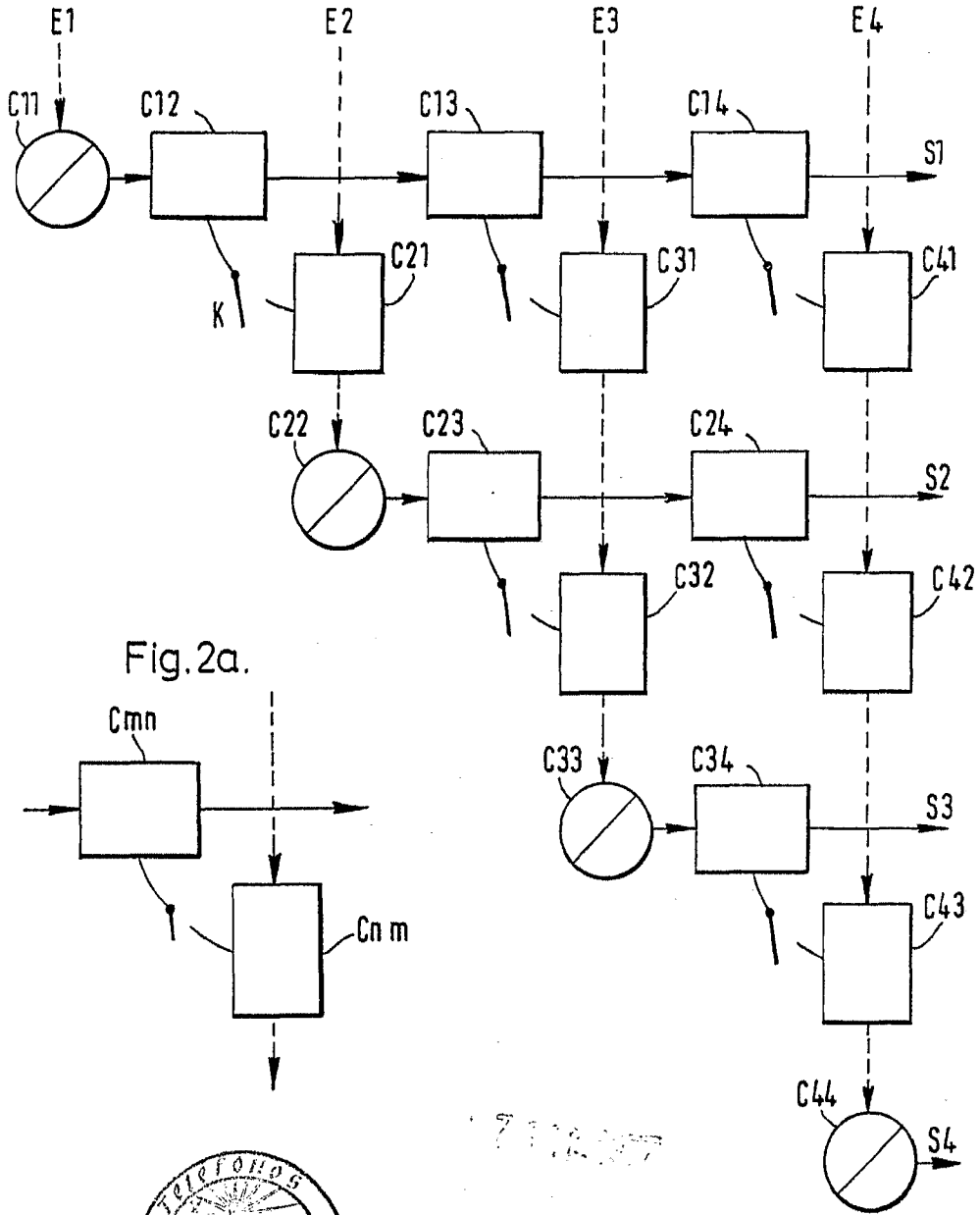
Madrid, 17 DIC. 1977




M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

8

Fig. 1.



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

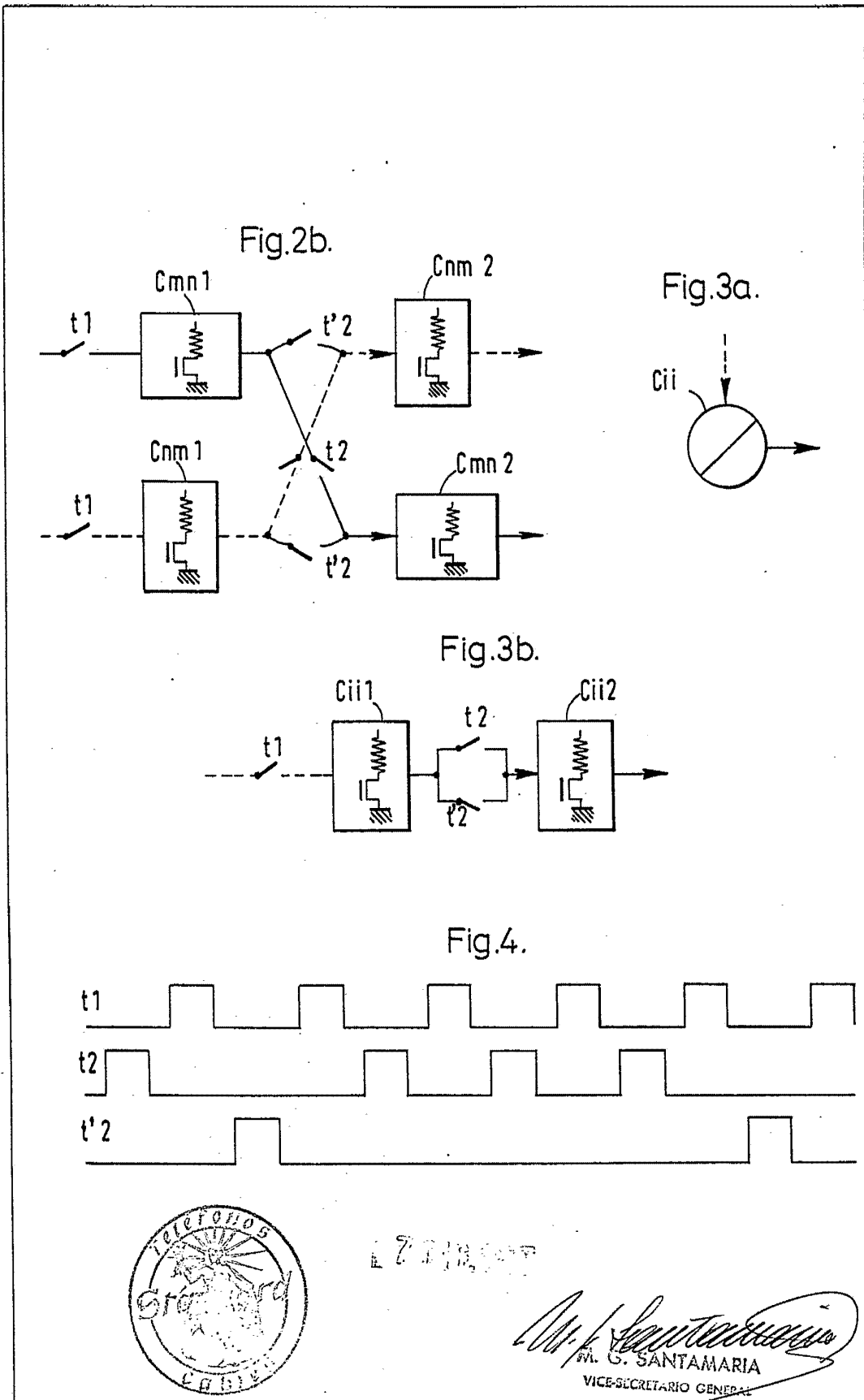


Fig. 5.

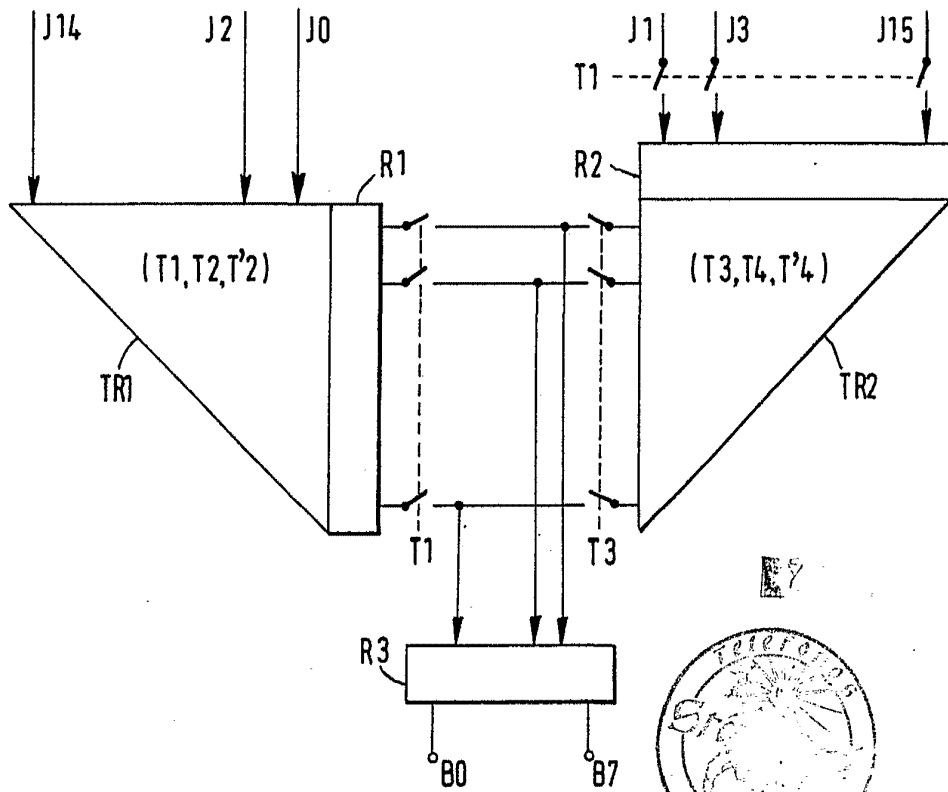
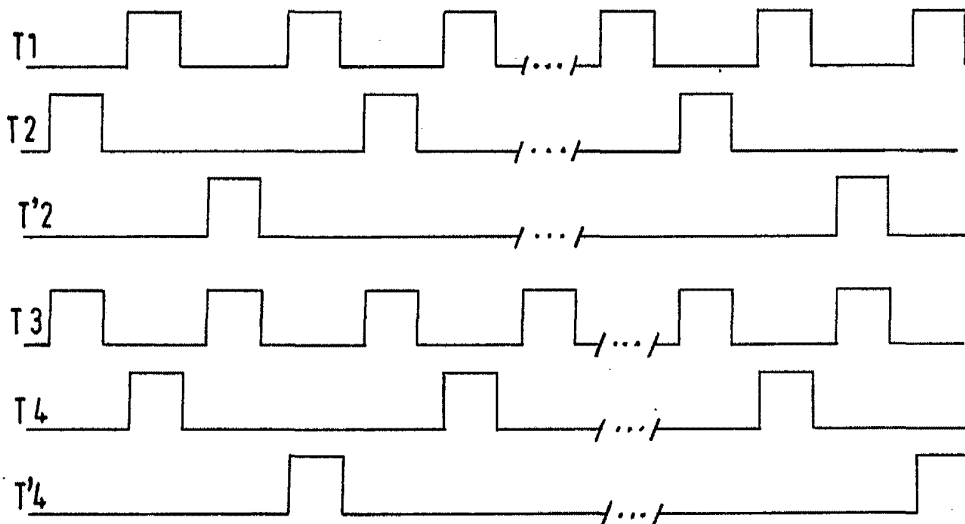
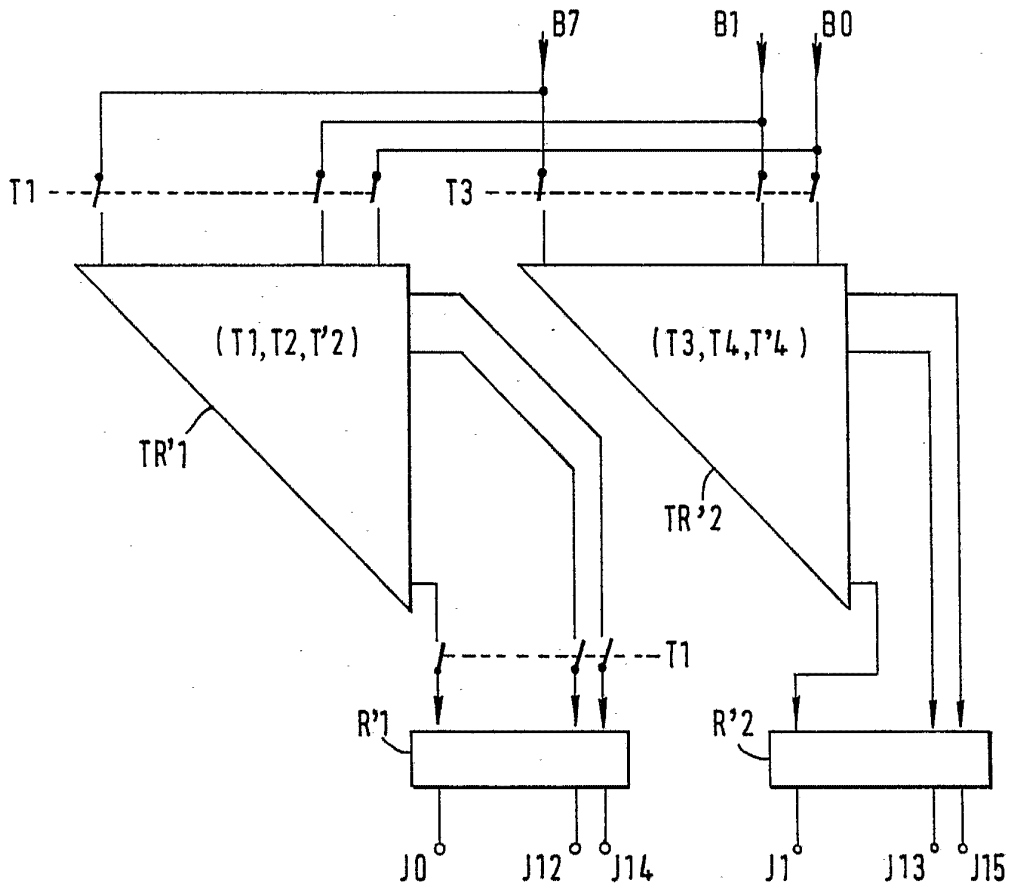


Fig. 6.



M. G. Santamaría
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

Fig.7.



27 DIC. 1977



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL