

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

...ro de 6000 (10) ES (11)
con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta. (21)
(22)

-5 OCT. 1978

NUMERO	464.798	(10) A 1
FECHA DE PRESENTACION	6-12-77	

PATENTE DE INVENCION

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		
747.700	6 de diciembre	1976

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04B	

(54) TITULO DE LA INVENCION

PERFECCIONAMIENTOS EN SISTEMAS DE ESCRUTINIO DE PUNTOS MULTIPLES

(71) SOLICITANTE (S)

WESTERN ELECTRIC COMPANY INCORPORATED

DOMICILIO DEL SOLICITANTE

(72) INVENTOR (ES)

ORLANDO NAPOLITANO, ROBERT EDWARD REID, BURTON SALTZBERG, NATHAN HAROLD STOCHEL. JOHN RONALD TINGLEY

(73) TITULAR (ES)

(74) REPRESENTANTE

GOMEZ-ACEBO

Este invento se refiere a un sistema de escrutinio de puntos múltiples que comprende : una pluralidad de terminales; y una estación central para proporcionar una lista de localizaciones o direcciones de terminales distantes que se han de escrutinar por un trayecto de señalización que se extiende desde la estación central hasta los terminales distantes.

Los sistemas de escrutinio de puntos múltiples en los cuales una estación central tiene acceso de una forma selectiva a una pluralidad de terminales distantes son dispositivos conocidos. Dichos sistemas consisten en general en dos dispositivos básicos. El primer dispositivo es un dispositivo de línea compartida en el cual se realiza el escrutinio transmitiendo localizaciones a todos los terminales distantes. Cada terminal distante se ha diseñado para reconocer su propia localización entre las localizaciones transmitidas y cada terminal distante responde a su propia localización iniciando comunicaciones con la estación central. El segundo dispositivo utiliza un dispositivo de conmutación de puntos múltiples en el cual una estación central transmite localizaciones de terminales distantes sobre un trayecto de señalización a un conmutador de puntos múltiples que, en respuesta, extiende el trayecto de señalización a algunos de los terminales distantes elegidos definidos por las localizaciones de los terminales distantes. El terminal distante elegido, en respuesta a una señal de mando transmitida sobre el trayecto de señalización desde la estación central, se activa para iniciar las comunicaciones con la estación central.

Ambos tipos de sistemas de escrutinio de puntos múltiples utilizan en general una de las dos formas de enfocar el problema generar y transmitir las localizaciones de terminales distantes. La primera forma de enfocar el problema consiste en utilizar un generador de localizaciones que genera automáticamente

5 las localizaciones de los terminales distantes. Dicho genera-
dor de localizaciones puede consistir normalmente en una apara-
to controlado por la estación central, que avanza progresiva-
mente a través de un ciclo de contaje fijo para generar en se-
cuencia una lista de localizaciones. Los generadores de locali-
zaciones de este tipo están limitados de por sí a la genera-
ción de un conjunto de localizaciones repetitivas fijas. Cier-
tas localizaciones se pueden saltar o eliminar del conjunto
pero el orden básico de efectuar la localización es fijo. Di-
cho dispositivo reduce, por lo tanto, la flexibilidad del sis-
tema de escrutinio y dificulta si es que lo hace imposible el
10 revisar o modificar el orden de escrutinio.

15 Por lo tanto, un objeto de este invento es proporcionar
un medio perfeccionado de generación de localizaciones que per-
mite una modificación o revisión sencilla del orden de escru-
tinio.

20 La segunda forma de enfocar el problema de la generación
de localizaciones se utiliza cuando la estación central com-
prende un ordenador, y comprende almacenar la lista de locali-
zaciones de los terminales distantes en la memoria del ordena-
dor. Con esta forma de enfocar el problema, el ordenador escu-
ta los terminales distantes extrayendo de una forma selectiva
una localización particular de la memoria, transmitiendo la lo-
calización al terminal distante y esperando después a que el
terminal distante transmita una respuesta a la estación cen-
tral. Esta forma de enfocar el problema permite una modifica-
ción sencilla del orden de escrutinio simplemente reprograman-
do el ordenador para elegir las localizaciones de la memoria en
una secuencia diferente. No obstante, esta forma de enfocar el
problema impone también una gran carga de tiempo real en el
ordenador, puesto que se debe emplear tiempo del ordenador par
30

5 extraer cada localización de la memoria y transmitir cada localización a los terminales distantes. La imposición de esta carga adicional de tiempo real en el orden exige una limitación innecesaria del número de terminales distantes para evitar una sobrecarga del ordenador o el empleo de un ordenador mayor y más complicado en la estación central. Dichas exigencias aumentan el costo del sistema de escrutinio o reducen el número de terminales del sistema de escrutinio que se pueden utilizar por lo que el sistema resulta menos atractivo a los posibles usuarios.

10 Por lo tanto, el presente invento tiene por objeto reducir la carga de tiempo real en el ordenador de la estación central pero manteniendo la conveniencia de una modificación sencilla del orden de escrutinio.

15 Los sistemas de escrutinio, según se ha descrito anteriormente, comprenden conectar directamente la estación central a una pluralidad de terminales distantes en una organización de líneas compartidas o, alternativamente, extendiendo un trayecto de señalización desde la estación central hasta un conmutador de puntos múltiples al que se pueden enlazar la pluralidad de terminales distantes. Estos dos dispositivos son en sí susceptibles de fallos catastróficos en el sentido del trayecto de señalización o el fallo de la conmutación de puntos múltiples puede dar por resultado una pérdida de servicio a un número sustancial de terminales distantes. Esta susceptibilidad a graves fallos de servicio es inaceptable en muchos ambientes de escrutinio donde se exige fiabilidad.

25 Por lo tanto, otro objeto de este invento es aumentar la fiabilidad de un sistema de escrutinio de puntos múltiples.

30 El problema se resuelve según el invento en el sentido de que el sistema de escrutinio de puntos múltiples comprende: un adaptador de línea conectado a la estación central para almace-

nar partes de la lista de localizaciones de terminales distantes y para transmitir localizaciones individuales de las localizaciones de terminales distantes almacenadas al trayecto de señalización; el adaptador de línea comprende: un secuenciador y un registrador para pedir periódicamente partes diferentes de la lista de localizaciones de terminales distantes desde la estación central y para reemplazar la parte almacenada de las localizaciones de terminales distantes con la parte requerida de localizaciones de terminales distantes por lo que se escrutan subconjuntos diferentes de terminales distantes definidos por las partes de listas de localizaciones diferentes.

Según el invento, el aparato de escrutinio almacena parte de una lista de localizaciones de terminal distantes proporcionada por una estación central y el aparato de escrutinio transmite localizaciones individuales de terminales distantes almacenadas a un trayecto de señalización que se extiende desde la estación central hasta los terminales distantes. Las localizaciones de terminales distantes definen cuales de los terminales distantes se han de conectar a la estación central.

Una característica del invento es que el aparato de escrutinio pide periódicamente parte diferentes de la lista de localizaciones de terminales distantes de la estación central y reemplaza las partes almacenadas de las localizaciones de terminales distantes con las partes pedidas de localizaciones de terminales distantes. Los subconjuntos diferentes de terminales distantes definidos por las partes de la lista de localizaciones diferentes se conectan, por lo tanto, a la estación central en respuesta al funcionamiento del aparato de escrutinio que reduce la carta de tiempo real en el ordenador de la estación central.

Otra característica del invento es que en respuesta al co-

mienzo de una transmisión de mensaje en un trayecto de señalización en la estación central y los terminales distantes se suspende el escrutinio, y porque después de terminar la transmisión del mensaje se puede pedir y volver a comenzar el escrutinio de una lista diferente de localizaciones de terminales distantes. Por lo tanto, se puede conseguir una modificación del orden de escrutinio cada vez que se suministra una lista diferente de localizaciones de terminales distantes al aparato de escrutinio.

Otra característica del invento es que se utiliza un conmutador de puntos múltiples para conectar de una forma selectiva terminales distantes a la estación central, estando compuesto el conmutador de puntos múltiples por una pluralidad de secciones y respondiendo cada sección del conmutador de puntos múltiples a una parte de la lista de localizaciones completando un trayecto de señalización entre la estación central y los terminales distantes definidos por la parte de lista de localizaciones. El fallo de una sección de conmutación de puntos múltiples no respondiendo a las localizaciones de terminales distantes, da por resultado el que la parte de la lista de localizaciones que normalmente se transmite a la parte que ha fallado y la parte de la lista de localizaciones normalmente transmitidas a la parte activa restante se transmita a la parte activa por lo que la parte activa escruta los terminales distantes escrutados anteriormente por la parte que ha fallado al par que escruta los terminales distantes escrutados normalmente por la parte activa.

Otra característica del invento es que cada sección del conmutador de puntos múltiples se conecta a la estación por un trayecto de señalización correspondiente y que el fallo de la estación central no recibiendo una transmisión de mensaje de prueba desde una primera sección de por resultado un intercambio del trayecto de señalización que conecta la primera sección

5 a la estación central conectando un trayecto de señalización una segunda sección a la estación central. Después del intercambio se transmite un mensaje de prueba desde la segunda sección hasta la estación central.

10 Los objetos anteriores y otros objetos y características de este invento se comprenderán mejor por la descripción que sigue de una modalidad ilustrativa tomando como referencia los dibujos adjuntos.

En los dibujos:

La fig, 1 describe en un diagrama de conjuntos un sistema de comunicaciones de datos de puntos múltiples que contiene conmutadores de puntos múltiples de secciones múltiples y un aparato de escrutinio de recirculación.

15 Las figuras, 2, 3 y 4 cuando se organizan según se ilustra en la figura 5, describe los detalles del aparato de escrutinio de recirculación.

Las figuras, 6 y 7 describen ciertos detalles del conmutador de puntos múltiples de secciones múltiples.

20 Las figura, 8 describe ciertas secuencias de comunicaciones utilizadas en el sistema de comunicaciones de datos de puntos múltiples.

25 Las figura, 9 describe un diagrama de estados para la lógica de secuencias utilizada en el aparato de escrutinio de recirculación.

La fg, 10 describe una tabla de estados para lógica de secuencias; y

30 Las fig, 11-17 describen los detalles de ciertos conjuntos funcionales representados en las fig, 2-4.

Refiriendonos a las figura, 1, en la que se ilustra una dia-
grama de conjuntos de un sistema de comunicaciones de datos de
puntos múltiples diseñado para verificación de créditos, trans-
ferencia electrònica de fondos y otras aplicaciones de pregunta
5 y respuesta. Los ordenadores de base de datos 100-102 son orde-
nadores de uso general situados a distancia de la estación cen-
tral 103. Estos ordenadores podrìan ser, por ejemplo, ordenado-
res de bancos que almacenan informaciòn de crédito de interès a
una pluralidad de usuarios. Como variante, uno de los ordenado-
res 100-102 podrìa ser un ordenador de uso general situado en
10 un lugar de negocio del cual un usuario desea comprar mercancia
y otro de los ordenadores 100-102 podrìa ser el ordenador en el
banco del usuario. El sistema en la figura 1, podrìa funcionar
entonces para proporcionar transferencia electrònica de fondos
entre el ordenador del lugar de negocio y el ordenador del ban-
co cada vez que el usuario o cliente realiza una compra. Los ter-
15 minales distantes 113-118 son terminales de pregunta respuesta
situados en lugares distantes, como establecimientos de los cua-
les los usuarios desean extraer informaciòn o introducir infor-
mación desde uno de los ordenadores de base de datos. Los termi-
nales distantes 113-118 son del tipo, conocido y no se expon-
20 dràn con detalle en la presente memoria.

Los ordenadores de base de datos 100-102 se conectan a la
estaciòn central 103 por los trayectos de comunicaciòn 137-139.
En la modalidad preferible descrita en la presente memoria, los
trayectos 137-139 son canales de datos de banda ancha. Aun cuan-
do solamente se conectan tres ordenadores de base de datos a la
25 estaciòn central 103, se comprenderà que la estaciòn central
103 podrìa servir para una pluralidad de ordenadores de base de
datos. La estaciòn central 103, en la modalidad preferible de
este invento, està compuesta convenientemente por un procesador
de datos y el equipo de comunicaciones de datos correspondiente.
30

La estación central 103 realiza diversas funciones según se
expondrá más adelante. Estas funciones se realizan fácilmente
programando de una forma apropiada el procesador de datos en la
estación central 103. Dichos métodos de programación son conoci-
5 dos en esta rama de la industria y no se describirán con detalle.
Por lo tanto se comprenderá que las funciones siguientes atribui-
didas a la estación central 103 se consiguen por programación
apropiada del procesador de datos que está contenido en la es-
tación central 103.

10 La estación central 103 funciona para establecer un trayec-
to de comunicaciones entre los terminales distantes 113-118 y
los ordenadores de base de datos elegidos. De un modo más parti-
cular, la estación central 103, conjuntamente con adaptadores
de línea asíncronos (ALA) 106-109, funciona para escrutar los
15 terminales distantes por los conmutadores de puntos múltiples
(MPS) 110-112. Los terminales distantes, si desean comunicarse
con un ordenador de base de datos, corresponden a las señales
de escrutinio e identifican con cual de los ordenadores de base
de datos desean comunicarse. La estación central 103 acepta men-
20 sajes de los terminales distantes y transfiere estos mensajes
al ordenador de base de datos identificado. El ordenador de ba-
se de datos procesa el mensaje, formula una respuesta y dicha
respuesta se devuelve al terminal distante por la estación cen-
tral 103 en una forma que se detallará más adelante.

Los trayectos 104 y 105 se extienden desde la estación cen-
25 tral hasta los ALA. Cada uno de los trayectos 104 y 105 son
vías de datos y permiten que la estación central se comunique
con una pluralidad de ALA por cada vía de datos. Aun cuando so-
lamente se ilustran dos vías de datos extendiéndose desde la es-
tación central hasta los ALA, se comprenderá que la estación
30 podría servir para una pluralidad de vías de datos, proporcio-

nando cada vía de datos acceso a una pluralidad de los ALA.

Los ALA 106-109 funcionan para recibir una lista de órdenes de escrutinio y localizaciones de terminales distantes desde la estación central y para escrutar después de una forma autónoma los terminales distantes. Los ALA transfieren también mensajes entre la estación central y los terminales distantes. Las funciones realizadas por los ALA se describirán más adelante con detalle. Los conmutadores de puntos múltiples 110 y 112 funcionan para conectar de una forma selectiva los ALA a terminales distantes en respuesta a localizaciones de terminales distantes transmitidas desde los ALA. Los conmutadores de puntos múltiples se pueden disponer en una configuración primaria o secundaria. Los conmutadores de puntos múltiples 110 y 111 son conmutadores de puntos múltiples primarios que se conectan directamente a los ALA respectivos. El conmutador de puntos múltiples 112 es un conmutador de puntos múltiples secundarios que se conecta a la salida de un conmutador de puntos múltiples primario. De un modo más particular, cada sección de conmutadores de puntos múltiples 110-112 es equivalente a un conmutador de puntos múltiples. La fig, 6 de la solicitud presente es una representación en diagrama de conjuntos de una sección de MPS. Cada sección de conmutadores de puntos múltiples 110-112 se conectan a un ALA, o a una salida de conmutación de puntos múltiples, y cada sección se interconecta, a su vez, con su sección correspondiente por contactos de relé de línea 119-121. Las salidas de cada sección de conmutación de puntos múltiples se conectan a un conjunto predeterminado de terminales distantes o se conectan a un conmutador de puntos múltiples secundario. Aun cuando se ilustra solamente un número limitado de terminales distantes conectado cada uno a un conmutador de puntos múltiples, se comprenderá que cada conmutador de puntos múltiples se puede adaptar a una pluralidad de terminales dis-

5 tantes. Cada salida de cada sección de conmutación de puntos múltiples se conecta a una salida de una sección correspondiente y a un terminal distante o a un conmutador de puntos múltiples secundarios. Por ejemplo, la salida 127 del conmutador de puntos múltiples 110, sección B y la salida 132 de la sección A se conectan al terminal distante 113. De un modo similar, la salida 129 de la sección B y la salida 134 de A se conectan al terminal distante 114. La salida 130 de la sección B y la salida 135 de la sección A se conectan a la sección B del conmutador de puntos múltiples 112. La conexión de los terminales distantes a los conmutadores de puntos múltiples de esta manera permite que cada sección de conmutación de puntos múltiples establezca una conexión de su ALA correspondiente y cualquiera de los terminales distantes en el conjunto de terminales distantes conectados a dicho conmutador de puntos múltiples. Cuando se trata de un dispositivo MPS en tandem, una u otra sección de MPS puede establecer una conexión entre su ALA correspondiente y un MPS en tandem. Las ventajas de este dispositivo duplicado se expondrá más adelante.

20 Según se ha expuesto anteriormente, el sistema en la figura, 1 funciona para escrutar los terminales distantes y para establecer de una forma selectiva comunicaciones entre los terminales distantes y los ordenadores de base de datos con el fin de efectuar verificación de crédito, transferencia electrónica de fondos y otras aplicaciones de pregunta / respuesta. Se realizan en la forma siguiente. La estación central 103 tiene almacenada una lista de localizaciones de terminales distantes. Para comenzar una secuencia de escrutinio, la estación central, según propia iniciativa, o en respuesta a una petición de un ALA, extrae una lista de localizaciones de terminales distantes de almacén y almacena en cada ALA una parte particular de la lista de localizaciones de terminales distan-

tes. La parte particular de la lista de localizaciones almacenadas en cada ALA corresponde al conjunto de terminales distantes conectados a la sección MPS servida por dicho ALA. Por ejemplo, la sección B del MPS 110 de servicio a terminales distantes elegidos conectados a sus líneas de salida 127-131. Por lo tanto, la estación central 103 suministrará al ALA 106 las localizaciones de los terminales distantes elegidos conectados a las líneas de salida de la sección B del MPS 110. De un modo similar, la sección A del MPS 110 dará servicio a terminales distantes elegidos conectados a sus líneas de salida 132-136 y el ALA 108 tendrá almacenadas localizaciones de dichos terminales elegidos. Después de almacenar las partes de lista de localizaciones en cada ALA, la estación central 103 activa los ALA para comenzar la secuencia de escrutinio. La estación central 103 reanudará después otras tareas y no proporcionará servicio adicional a los ALA hasta que se transfieran mensajes de pregunta/respuesta entre la estación central y los terminales distantes o hasta que se reciben ciertos mensajes de error de una sección de MPS. Cada ALA comienza a generar de una forma autónoma una frecuencia de ordenes de escrutinio. En respuesta a las ordenes de escrutinio, cada sección de MPS escrutará los terminales distantes definidos por la parte de lista de localizaciones almacenada en su Ala correspondiente. Este proceso continúa hasta que uno de los terminales distantes tiene un mensaje que se transmite al ordenador de base de datos y se escruta. En este instante, el terminal distante señala su Ala correspondiente de su dispositivo para transmitir un mensaje y dicho Ala deja de efectuar su secuencia de escrutinio. Los ALA restantes continúan escrutando de una forma autónoma los terminales distantes definidos por sus partes de lista de localizaciones. Cuando un ALA recibe noticias de que un terminal tiene un mensaje, notifica a la estación central 103 que el terminal

distante ha solicitado transmisión. La estación central 103 acepta después el mensaje entrante y transfiere dicho mensaje al ordenador de base de datos designado por el terminal distante. Después, la estación central 103 inserta la misma lista de localizaciones de terminales distantes o alternativamente una nueva lista de localizaciones de terminales distantes en el ALA y el ALA reanuda el escrutinio. El ordenador de base de datos que recibió el mensaje elabora dicho mensaje de acuerdo con instrucciones predeterminadas y formula una respuesta al terminal distante. Estas respuestas se transmiten a la estación central 103. La estación central 103 notifica al ALA correspondiente que deje de efectuar escrutinio y da instrucciones al ALA para que localice el terminal distante al cual está destinado el mensaje de respuesta. La estación central 103 transfiere el mensaje al terminal predistante y después inserta una nueva lista de localizaciones de terminales distantes en el ALA y activa dicho ALA para volver a comenzar la secuencia de escrutinio. En vista de lo anterior, se observará que cada ALA escruta de una forma independiente su conjunto correspondiente de terminales distantes. Una vez que la estación central 103 carga los ALA con las localizaciones apropiadas, no es necesario realizar tareas adicionales de escrutinio hasta después que uno de los terminales distantes o la estación central pone un mensaje en el trayecto de señalización entre la estación y los terminales distantes. Por lo tanto, la estación central Lo3 se puede utilizar convenientemente para realizar otras tareas mientras los ALA realizan escrutinio de rutina. Una función adicional realizada por la estación central 103 es verificar periódicamente la integridad del sistema de escrutinio de puntos múltiples. Para realizar esta función, la estación central 103 da instrucciones a un ALA de que localice un acceso de pruebas de una sección de MPS particular en forma que se

5 detallará más adelante. En respuesta, dicha sección de MPS devuelve un mensaje de prueba a la estación central que indica que la sección particular está funcionando apropiadamente e indica también que su ALA correspondiente y el trayecto que conecta la sección con su ALA correspondiente está en perfecto orden de funcionamiento. Supongamos por ejemplo, que un acceso de prueba de la sección B del MPS 110 se localiza y la estación central no recibe una respuesta de mensaje de prueba. Esto indicará que la sección B no está en servicio, el trayecto 126 no está en servicio o, como variante, el ALA 106 no está en servicio. Cuando esto ocurre, la estación central 103 transmite una requisición de mensaje de pruebas al MPS 110 sección A por el ALA 108 y el trayecto 125. El retorno de un mensaje de prueba, indica que el ALA 108, trayecto 125 y la sección A del MPS 110 funcionan apropiadamente. La estación central 103 transmite entonces una secuencia de ordenes al MPS 110 sección A que en respuesta, hace funcionar el relé de línea 119 conecta el trayecto 125 a la sección B del MPS 110 que conecta el trayecto 126 a la sección A del MPS 110. La estación central 103 transmitirá otra solicitud de mensaje de prueba al MPS 110 sección B por el ALA 108 y el trayecto 125. Si se recibe una respuesta de mensaje de prueba la estación central 103 sabe que el trayecto 126 o el ALA 106 está fuera de servicio. Cuando esto corre, la estación central 103 restablecerá el relé de línea 119 y tomará la parte de lista de localizaciones previamente almacenadas en el ALA 106 y transferirá dicha parte al ALA 108. El ALA 108 reanuda entonces el escrutinio y escrutará su conjunto anterior de terminales distantes además del conjunto de terminales distantes manejado previamente por el ALA 106. Esto se realiza haciendo que el ALA 108 escrute todo el conjunto de terminales distantes por el trayec-

to 125 y la sección A del conmutador de puntos múltiples 110. Por lo tanto, de esta manera, el fallo de un trayecto de comunicaciones o de un ALA no dará por resultado una pérdida de servicio a los terminales distantes servidos por dicho ALA particular o trayecto de comunicaciones. Si, en el ejemplo anterior, la estación central 103 no ha recibido una respuesta al mensaje de pruebas de la sección B, esto habría indicado que la sección B del MPS 110 no estaba en servicio. En ese caso, la parte de lista de localizaciones del MPS 110 sección B podría ponerse en el ALA 106 o ALA 108 con el relé de línea 119 disparado o funcionando, respectivamente, y los terminales distantes continuarían siendo escrutados por la sección A del MPS 110 en la forma descrita anteriormente.

Recordemos por lo que procede que cada ALA genera ordenes de escrutinio que se transmiten a cada sección de MPS y que, en respuesta, cada sección de MPS establece un trayecto de señalización entre un terminal distante localizado y el ALA asociado con dicha sección de MPS. Cada sección de MPS corresponde esencialmente al conmutador de puntos múltiples conocido. Por lo tanto, solamente se expondrá una descripción general de la respuesta del MPS a las ordenes de escrutinio.

Tomando como referencia la figura 8, en la que se ha designado por 1000 la secuencia de escrutinio; por 1001 intervalos de bitios de parada; por 1002 intervalos de bitios de localización de un nuevo terminal distante; por 1003 intervalos de silencio; por 1004 un intervalo de corriente portadora receptora; por 1005 un caracter de control y un mensaje; por 1006 un intervalo de localización de acceso de pruebas, por 1007 un intervalo de respuesta al mensaje de prueba, por 1008 la secuencia del mensaje de prueba y por 1009 la secuencia de intercambio de líneas.

Refiriendonos de un modo específico a la figura, 1, supongamos que el ALA 106 transmite una secuencia de escrutinio al MPS 110 sección B, cuya secuencia de escrutinio contiene la localización del terminal distante 113. La sección B del MPS 110 detecta el primer intervalo de bitios de parada y después funciona en respuesta a los bitios localización para completar un trayecto de señalización entre el ALA 106 y el terminal distante 113. Después de completar el trayecto de señalización, la sección B del MPS 110 se cierra a las señales en el trayecto de señalización y permanece cerrada hasta que detecta una ausencia de señales en el trayecto de señalización en un intervalo de tiempo predeterminado. Después de este intervalo, el MPS se abrirá como medida preparativa a una nueva localización. El terminal 113, al completarse el trayecto de señalización recibe el segundo intervalo de bitios de parada seguido por el intervalo de silencio. Este intervalo de tono, seguido por un intervalo de silencio, es una señal válida de escrutinio para todos los terminales distantes. Si en este instante el terminal distante 113 tiene información para transmitir al ALA, se activaría y respondería a la señal válida de escrutinio iniciando con el ALA. La línea A en la figura 8, no adopta respuesta de un terminal distante. Por lo tanto, suponiendo que no haya respuesta el ALA 106, al final del intervalo de silencio, comenzaría una nueva secuencia de escrutinio consistente en un intervalo de bitios de parada, 10013 un intervalo de bitio de localización de un nuevo terminal distante 10022, y un intervalo final de bitios de parada 10014. Este proceso continuaría según el ALA 106, conjuntamente con la sección B del MPS 110, escrutada todos los terminales distantes cuyas localizaciones se hubieran almacenado inicialmente en el ALA 106 por la estación central. De esta manera, por lo tanto, cada ALA utilizando

la secuencia de escrutinio en la onda A, escruta los terminales distantes cuyas localizaciones se almacenan en el ALA.

5 La Línea B en la figura 8 ilustra una secuencia de escrutinio en la cual un terminal distante se conecta a un MPS secundario. Esto se ilustra en la figura, 1 cuyo terminal distante 115, por ejemplo se conecta al MPS 112 sección B. El ALA 106 escrutaría el terminal distante 115 utilizando la sección de doble escrutinio ilustrada en la línea B, figura, 8. El ALA 106 transmite inicialmente una sola secuencia de escrutinio a 10 la sección B del MPS 110 consistente en un intervalo de bitios de parada 1001, un intervalo de bitios de localización 1002, y un segundo intervalo de bitios de parada 10012. El primer intervalo de bitios de localización para un doble escrutinio, definiría la localización de la sección B del MPS 112 secundario.

15 Al final de la secuencia de escrutinio simple la sección B del MPS 110 habrá establecido un trayecto de señalización entre el ALA 106 y la sección B del MPS 112. Inmediatamente después de la secuencia de escrutinio simple, el ALA 106 transmite un segundo intervalo de bitios de localización 10022 y un intervalo 20 final de bitios de parada 10013, El segundo intervalo de bitios de localización define la localización distante 115. La sección B del MPS 112, en respuesta al segundo intervalo de bitios de localización, extiende el trayecto de señalización desde el MPS 110 hasta el terminal distante 115. De esta manera, por lo tanto, cada ALA, empleando la secuencia de doble escrutinio 25 ilustrada en la línea B puede tener acceso a cualquier terminal distante conectado a un conmutador de puntos múltiples secundario.

30 La línea C, figura 8, ilustra una secuencia de mensaje transmitida a un terminal distante por la estación central inmediatamente después del final de la transmisión del terminal distante

de un mensaje a la estación central 103. La finalidad de esta
secuencia de mensaje es notificar al terminal distante que su
mensaje ha sido recibido correctamente por la estación central.
5 El primer intervalo de la línea C, indicado como corriente portadora
receptora 1004 ilustra la conclusión de una transmisión
del final distante. Después del intervalo de corriente portadora
receptora 1004, el ALA asociado con el terminal distante de-
tectará la terminación de la corriente portadora receptora y co-
10 menzará a temporizar un intervalo ilustrado como intervalo de
mensaje de ida y vuelta (MT) en la línea C. Al final del inter-
valo MT, el ALA transmitirá bitios de parada 1001, un caracter
de control y un mensaje correspondiente al terminal distante
1005. El mensaje es formulado por la estación central 103 y
puesto en un ALA en una forma que se detallará más adelante. Los
15 bitios de parada se necesitan por parte del terminal distante
115 para detectar la corriente portadora. El caracter de con-
trol que precede el mensaje es necesario para un funcionamiento
apropiado del MPS. Los bitios de parada son necesario para un
funcionamiento apropiado de los terminales distantes. La fina-
20 lidad del caracter de control y los bitios de parada es una fi-
nalidad conocida.

La línea D, figura 8, ilustra la secuencia de transmisión
desde un ALA hasta una sección de MPS cuando se ha transmitido
un mensaje desde un ordenador de base de datos a un terminal
distante. Recuerdese por la descripción anterior que cada orde-
25 nador de base de datos recibe preguntas de un terminal distan-
te, que procesa la pregunta y después formula un mensaje de res-
puesta que se transmite al terminal distante. Cada vez que un
ordenador de base de datos tiene un mensaje, lo envía a la es-
tación central 103 e identifica a qué terminal distante está
30 destinado el mensaje. Como respuesta, la estación central 103

se elige el ALA apropiado y almacena en el mismo las localizaciones del terminal distante apropiado y el mensaje procedente del ordenador de base de datos destinados al terminal distante.

5 La estación central 103 dará entonces instrucciones al ALA elegido para que transmita el mensaje al terminal distante. Esta secuencia de transmisión se ilustra en la línea D y consiste en una secuencia de localización de doble escrutinio 1001, 1002, 10012, 10022, 10013 seguida por el caracter de control mencionado y el texto del mensaje 1005. La secuencia de localización de

10 doble escrutinio contiene la localización del terminal distante apropiado y una sección de conmutación de puntos múltiples, en respuesta a esta localización, completa un trayecto de señalización entre el ALA y el terminal distante. Si el terminal distante al cual se envía un mensaje está situado en un MPS primario, el MPS primario recibirá la segunda localización pero responderá a la misma puesto que el MPS primario se habrá cerrado en la forma descrita anteriormente. Si se sitúa al terminal dis-

15 tante en un MPS secundario, se establecerá una conexión al terminal distante a través de los conmutadores de la forma descrita anteriormente. El terminal distante conectado al MPS secundario tendría entonces acceso en la forma descrita anteriormente.

20 te.

La línea E, figura 8, ilustra la secuencia de transmisión necesaria para poner en práctica el procedimiento de prueba de las secciones de MPS según se ha descrito anteriormente. Para

25 ejecutar este procedimiento de prueba cada sección de MPS exige pequeñas modificaciones. Estas modificaciones no se describirán con detalle. Recuerdese por lo expuesto anteriormente que una función realizada por la estación central es la detección de una sección MPS averiada o un trayecto de señalización correspondiente y la capacidad para conmutar a una sección de MPS

30

5
10
15
20
25
30

averiada o un trayecto de señalización correspondiente y la capacidad para conmutar a una sección de MPS asociada cuando se detecta un fallo o avería. La sección de MPS en funcionamiento adopta entonces la tarea de escrutinio realizada anteriormente por la sección de MPS averiada. Esta función se realiza con las modificaciones del MPS ilustradas en las Figuras, 6 y 7. El trayecto de señalización 620 se extiende desde el circuito lógico de control 602 hasta el aparato de datos 601; el trayecto de señalización 626 se extiende desde el aparato de datos 601 hasta el acceso de pruebas 619 y el trayecto de señalización 627 se extiende hasta los relés de línea. El aparato de datos 601 puede recibir y descodificar información de FSK y también puede codificar información binaria en información de FSK para transmisión. El trayecto de señalización 620 suministra información binaria al aparato de datos 601; y, en respuesta, el aparato de datos 601 convierte esta información binaria en información de FSK para transmisión al ALA correspondiente por el trayecto de señalización 626 y el acceso de pruebas 619 en la forma que se detallará más adelante.

La figura, 7 ilustra modificaciones internas al conmutador de puntos múltiples, cuyas modificaciones son necesarias para realizar la función de intercambio de mensaje de prueba y de línea descrito anteriormente. El conjunto 700 en la figura 7, contiene partes elegidas de un circuito lógico de control de conmutador de puntos múltiples; acepta bitios entrantes descodificados por el aparato de datos 6; realiza una comprobación de paridad, y alimenta los 6 bitios de la localización del terminal distante a las salidas AL-A6 del UART. Cuando los 6 bitios se alimentan a la salida del AL-A6, se genera un impulso estroboscópico y se alimenta al trayecto 708 por la puerta 520. El basculador 504 contenido en el conjunto 700 se repone cada

vez que se produce una pérdida de señal en el trayecto de señalización. El detector de localización 701 del acceso de prueba funciona para detectar la localización del acceso de prueba en el módulo de conmutación del MPS en respuesta a las señales de localización alimentadas a las salidas AL-A6 del UART 513. Un monopulsador 703 genera un impulso de puesta a cero alimentado al contador 704 en respuesta a que el basculador 504 se coloca en el estado de reposición opuesta a cero. El generador de mensaje de prueba 706 se activa en respuesta a que el contador 704 se pone en el estado de contaje "1". El generador de mensaje de pruebas puede ser simplemente un registrador de almacenamiento binario y funciona simplemente para transmitir un mensaje binario al conjunto de datos 601 que, a su vez, convertirá el mensaje a FSK para retransmisión a la estación central 103. Como variante, el generador de mensaje de pruebas podría muestrear diversas condiciones de existentes en una sección de conmutación de puntos múltiples y generar un mensaje de prueba indicativo de las diversas condiciones que existen en una sección de conmutación de puntos múltiples y generar un mensaje de prueba indicativo de los diversos puntos de prueba dentro del conmutador de puntos múltiples. Para los fines de la solicitud presente, el generador de mensajes de pruebas 706 se supondrá como un registrador de almacenamiento binario simple. No obstante, se comprenderá que el generador de mensaje de pruebas podría realizar funciones de pruebas más completas en una forma conocida. El circuito activador del relé 705 se activa en respuesta a que el contador 704 se pone en el estado de contaje "2". El circuito 705 activa los relés de línea cuyos contactos se ilustran en la figura, 1 estos relés de línea funcionan en respuesta a la activación del circuito excitador del relé. El circuito excitador del relé, al hacer funcionar los relés de línea, mantiene los relés de línea en el estado activo hasta que el circuito exci-

tador del relès se libera con un contacto "2" del contador 704. Aunque el circuito excitador de relès no se describe con detalle es evidente que las funciones realizadas por este circuito son del tipo conocido y, por lo tanto, el circuito no se describirà
5 adicionalmente con más detalle.

Refiriendonos ahora a la línea E en la figura 8, se describen con detalle las funciones de intercambio de mensaje de prueba y línea. Supongamos, por ejemplo que la estación central 103 desea probar la integridad de una ALA, una sección de MPS y un trayecto de señalización de conexión. La estación central 103
10 elegiría de la memoria la localización de acceso de prueba de la sección MPS y almacenaría la localización en el ALA correspondiente. El ALA, en respuesta, transmitiría la secuencia de mensaje de prueba 1008 ilustrada en la línea E. Esta secuencia consiste en un intervalo de bitios de parada 1001, la localiza-
15 ción de acceso de pruebas 1006, y un segundo intervalo de bitios de parada 10012. La sección de conmutación de puntos múltiples recibiría la secuencia de mensaje de prueba y alimentaría los bitios de localización de acceso de pruebas a la salidas del UART 513. Esto sería detectado por el detector de localización
20 701 que, en respuesta, alimentaría una señal alta a una entrada de la puerta 702. La entrada restante de la puerta 702 se encontraría también en este instante en estado alto en respuesta al impulso estroboscópico recibido desde la salida de la puerta
520. La puerta 702 alimentaría entonces un impulsos de dos direcciones al contador 704 poniendo el contador en contaje "1"
25 y activando el generador de mensajes de prueba. (El contador 704 se pone ulteriormente a cero por acción del monopulsador 703 que genera un impulso de puesta a cero en respuesta a que el basculador 504 se pone en estado de reposición durante el
30 intervalo de silencio ilustrado en la línea E de la figura 8).El

generador de mensaje de pruebas comenzaría entonces a transmitir un mensaje binario 3 determinado al aparato de datos 601 por el trayecto 620. El aparato de datos 601 convierte este mensaje binario en FSK transmite este mensaje por el trayecto 626, el acceso de prueba 619 del módulo de conmutación 603 y el terminal 600 de nuevo a la estación central por el ALA y el multiplexador correspondiente. La estación central examina el mensaje de prueba y hace una determinación respecto a la integridad del ALA, la sección del MPS y el trayecto de señalización de conexión. Si la estación central se satisface con la respuesta del mensaje de pruebas, se puede suponer que el tipo sometido a prueba funciona correctamente. La estación central recarga entonces una nueva vista de localizaciones de escrutinio en el ALA y la instrucciones al ALA para que reanude el escrutinio. Como variante la estación central después de recibir el mensaje de prueba, puede detectar un mal funcionamiento basado en la respuesta al mensaje de prueba 1007 o puede que no reciba respuesta al mensaje de prueba alguna. En este caso, la estación central sabe que el ALA, la sección de MPS o los trayectos de señalización de conexión no funcionan. Por lo tanto, la estación central, en este instante, desearía conmutar a la sección MPS correspondiente de modo que los terminales distantes conectados a dicho MPS continuarían siendo escrutados. Para realizar esta función, la estación central transmite la secuencia de intercambio de líneas indicada en la línea E a la sección de MPS correspondiente en la forma descrita anteriormente. La estación central 103 da instrucciones al ALA asociado con la sección de MPS para que transmita la secuencia de intercambio de línea a la sección de MPS. La secuencia consiste en un primer intervalo de bitios de parada 1001₃, bitios de localización de acceso de prueba 1006₂, un segundo intervalo de bitio separada 1001₄, los mismos bitios de localización de acceso de pruebas 1002, seguido por un intervalo

de conclusión de bitios de parada 10015. La sección de conmutación de puntos múltiples en respuesta a esta secuencia detecta el primer intervalo de bitios de localización de acceso de prueba que pone el contador 704 en estado de contaje "1". El segundo intervalo de bitios de localización de acceso de pruebas sería detectado por la sección de MPS y pondría el contador 704 en el estado de contaje "2". Como respuesta, el circuito excitador de relés 705 se activaría y haría funcionar los relés de línea asociados con dicho MPS particular. De esta manera, por lo tanto, la estación central 103 puede detectar fácilmente un defecto en cualquier sección de MPS ALA o trayecto de señalización de conexión y en respuesta a un defecto puede conmutar las secciones de MPS de modo que no se interrumpa el escrutinio de los terminales distantes.

Recuerdese por lo que precede que cada ALA funciona para escrutar de una forma autónoma un grupo predeterminado de terminales distantes cuyas localizaciones han sido puestas en el ALA por el procesador en la estación central 103. Cada ALA bajo la orden del procesador de la estación central transmite también mensajes y reciben mensajes de los terminales distantes. Además, cada ALA transmite mensajes de prueba y secuencias de intercambios de línea a las secciones MPS. La forma en que cada ALA realiza estas funciones se describirá a continuación con detalle.

Tomemos como referencia las figuras, 2,3, y 4, que cuando se disponen según se ilustra en la figura 5, sirven para ilustrar los detalles de un ALA. Supongamos que el ALA ilustrado en las figuras 2,3, y 4 es el ALA 106 ilustrado en el diagrama de conjuntos de la figura 1. Los ALA restantes ilustrados en la figura 1, son idénticos al ALA 106. El trayecto 122 se extiende desde la estación central 103 por el trayecto 104, se aplica al terminal de entrada 229 (figura 2) del ALA 106. Este

trayecto actúa para transportar ordenes desde la estación central hasta el ALA 106 y, además, este trayecto lleva mensajes que se transmiten entre la estación central y los terminales distantes. En la modalidad del invento ilustrado en las figuras 2,3, y 4, la comunicación entre la estación central y cada ALA por el trayecto 122 se supone que consiste en un conjunto paralelo de secuencias de transmisión de banda de base binarias donde el trayecto 122 es una vía de conductores múltiples. No obstante, se comprenderá que el invento no está limitado a este medio específico de comunicación entre la estación central y cada ALA y, de hecho, el trayecto 122 podría ser cualquier medio de comunicaciones apropiado.

El trayecto 126 (figura 1) es un trayecto de cuatro hilos que se extiende desde el ALA 106 hasta el MPS 110, sección B. El tramo de transmisión de este trayecto de cuatro hilos se extiende desde los terminales de salida 417 y 418 (figura, 4) al MPS y el trayecto de recepción del MPS se alimenta a los terminales de entrada 419-420. Las comunicaciones entre cada ALA y su MPS correspondiente se efectúa por fricción de manipulación de desplazamiento de frecuencia (FSK). Por lo tanto, la frecuencias de comunicación representadas en la figura 8, que tienen lugar entre el ALA y un MPS, están representadas por impulsiones de tonos de señal y pausa de FSK siendo un tono de señal igual al 1488 Hz y siendo un tono de pausa igual a 1983 Hz. No obstante, se comprenderá que el invento descrito en la presente memoria no está limitado a esta forma de comunicaciones entre un ALA y un MPS y, de hecho el trayecto 126 podría ser cualquier medio de comunicaciones apropiados, por ejemplo un trayecto de dos hilos.

El ALA está compuesto por cinco secciones principales, el circuito lógico de ordenes, el secuenciador, el circuito lógico de transmisión, el circuito lógico de recepción y el transmisor

receptor. El circuito lógico de ordenes consiste generalmente en un registrador de ordenes 327, circuito lógico de control del procesador 200, registrador 220 y registrador 425.

El circuito lógico de ordenes funciona para aceptar ordenes de la estación central 103 por el trayecto 122 y por la vía de datos 224, y transfiere estas ordenes a secciones elegidas al ALA. El circuito lógico de ordenes acepta también señales de estado procedentes de secciones elegidas del ALA y transfiere estas señales de entrada a la estación central por la vía 224 y el trayecto 122. La forma en que funciona el circuito lógico de ordenes se detallará más adelante.

El secuenciador indicado por el bloque 326 es el corazón del ALA. El secuenciador 326 acepta ordenes de la estación central 103 y las secciones de ALA elegidas y en respuesta a las mismas proporciona señales de control necesarias para hacer funcionar el ALA. El secuenciador consiste en el temporizador 314, reloj 315, circuito lógico 300, circuito lógico 321 y basculador 317-320. El reloj 315 es un oscilador de funcionamiento libre de tipo bien conocido. El temporizador 314 es un contador de estados múltiples que proporciona señales de salida a intervalos predeterminados en respuesta a la señal de cronometración del reloj 315. El circuito lógico 300, circuito lógico 321 y basculadores 317-320 comprenden un circuito de conmutación en secuencia de 15 estados. Un diagrama de estados para el circuito de conmutación se ilustra en la figura 9, y una tabla de estados para el circuito de conmutación se ilustra en la figura 10. Los circuitos de conmutación de este tipo son conocidos. Dados el diagrama de estados representado en la figura 9, y la tabla de estados representado en la figuras 10 el proceso para designar el circuito lógico 300 y el circuito lógico 321 es evidente. Por lo tanto, los detalles del circuito lógico 300 y el

circuito lògico 321 no se describiràn de un modo adicional. El funcionamiento de este secuenciador se describirà con detalle màs adelante.

El circuito lògico de transmisiòn del ALA cònsiste generalmente en el registrador de carga de circulaciòn 206, memoria tampòn de transmisiòn con prioridad de salida en el orden de entrada (FIFO) 207, circuito lògico de control de transmisiòn 201 y la parte de transmisiòn del UART 208. El registrador de carga de circulaciòn se compone de 8 basculadores de tipo D de doble entrada. Ademàs el registrador contiene puertas de control de modo para elegir una de las dos entradas en respuesta a las se\u00f1ales de control alimentadas o sus entradas de control. El registrador de carga de circulaciòn funciona para pasar informaciòn desde su entrada al FIFO de transmisiòn en respuesta a un control estroboscòpico segùn se describirà màs adelante. El FIFO de transmisiòn, identificado tambièn como memoria tampòn de FIFO de transmisiòn, es una memoria de 64 palabras en serie con prioridad en el orden de entrada. Dichos dispositivos son perfectamente conocidos. La memoria FIFO de transmisiòn en respuesta a ciertas se\u00f1ales de control acepta informaciòn de entrada del registrador 206 y propaga esta informaciòn a la salida FIFO donde se puede cargar en la memoria tampòn UART segùn se describirà màs adelante. La memoria UART 208 es un receptor/transmisor asìncrono de tipo bien conocido. La funciòn del UART se describirà con detalle màs adelante. El circuito lògico de transmisiòn bajo control del secuenciador, funciona para transmitir se\u00f1ales de escrutinio a los terminales distantes por las secciones de MPS y funciona tambièn para transmitir mensajes desde la estaciòn central a los terminales distantes. El circuito lògico de transmisiòn realiza la transmisiòn de se\u00f1ales de escrutinio en la forma siguiente. La estaciòn central 103, en la forma que se describirà màs adelante, aplica

una lista de localizaciones de los terminales distantes al registrador 206 por el trayecto 222 y la vía 224. Según se ha descrito anteriormente, esta lista de localizaciones de terminales distantes es la lista de localizaciones para los terminales distantes asociados con el ALA en el cual se almacenan las localizaciones. El registrador 206 en respuesta a ordenes del circuito lógico 201 acepta las localizaciones de la vía 224 y alimenta las localizaciones de una en una a la memoria FIFO de transmisión 207. La memoria FIFO de transmisión 207 acepta las localizaciones y propaga cada localización a la salida de la memoria FIFO. Por lo tanto, a medida que las localizaciones se alimentan a la memoria FIFO 107, se apinan en la memoria FIFO en el orden en que se reciben de la estación central 103. Después que se ha almacenado la lista completa de localizaciones en la memoria FIFO 207, la estación central en la forma que se detallará más adelante da instrucciones al ALA para que comience el escrutinio. En respuesta, la memoria FIFO de transmisión transfiere las localizaciones de una en una a la memoria tampón 209 en el UART 208. En este mismo instante, las localizaciones se ponen en recirculación por la vía 226 de nuevo a la entrada del registrador 206. Cada localización transferida al UART se almacena en la memoria tampón 209 y en este instante se añade a la localización un bitio de iniciación y parada. La localización se transfiere entonces al registrador de transmisión del UART 210. Este registrador pone en serie la localización y transmite la localización por la vía 225 al modem 402. La localización se convierte entonces en señales de FSK y transmite al MPS en la forma que se detallará más adelante. Recuerdese por lo anterior que cada localización se había alimentado a la memoria tampón 209 y que se recirculaba en este orden por el trayecto 226 de nuevo a la entrada del registrador 206. Este proceso de recirculación continúa a medida que cada localización individual se alimenta en

secuencia de una forma repetida al UART 208. Por lo tanto, una vez que se ha almacenado una lista de localizaciones en la memoria FIFO 207, el ALA transmitirá continuamente localizaciones de escrutinio a las secciones de conmutación de puntos múltiples hasta que se detiene el proceso de escrutinio por la estación central o por la recepción de un mensaje entrante procedente del terminal distante. Por lo tanto, una vez que el procesador de la estación central 103 proporciona una lista de localizaciones al ALA, queda libre de realizar otras tareas mientras que el ALA funciona para escrutar continuamente los terminales distantes.

Una función adicional realizada por el circuito lógico de transmisión es la transmisión de mensajes procedentes de la estación central a los terminales distantes. La estación central, cuando tiene que enviar un mensaje, ensambla el mensaje, y pone la localización del terminal al que se destina el mensaje a la cabeza del mensaje. El mensaje completo que incluye la localización se almacena entonces en el FIFO 207. El ALA, en la forma que se detallará más adelante, recibe instrucciones para transmitir el mensaje al terminal distante. El circuito lógico de transmisión envía la localización al conmutador de puntos múltiples, que en respuesta completa la conexión entre el ALA y el terminal distante. Después, el circuito lógico de transmisión transmite el mensaje almacenado en el FIFO 207 al terminal distante localizado.

El circuito lógico de recepción consiste generalmente en la memoria FIFO de recepción 219, identificada también como memoria también FIFO de recepción el circuito de control de recepción 221, almacen de errores 222, y la parte de recepción del UART 208. El circuito lógico de recepción funciona para recibir mensaje de los terminales distantes y para trasladar estos men-

sajes a la estación central por la vía 224 y el trayecto 122. De un modo más particular, se reciben mensajes por el transmisor-receptor en la figura 4, y se convierten de la señales FSK a señales binarias de banda de base. Estas señales se alimentan por la vía 225 al circuito lógico de control de datos en series 223 y, a su vez, se alimentan por el trayecto 228 al registrador de corrimiento de recepción 215 en el UART. El dato serial entrante se desplaza en el registrador de corrimiento de recepción de UART y se forma en palabras. Los bitios de iniciación y parada se separan del dato serial y los 8 bitios restantes de la palabra del dato se cargan en la memoria tampón del UART 214. El UART realiza ciertas verificaciones de errores que se describirán más adelante y después transfiere el dato desde la memoria tampón 214 a la memoria FIFO de recepción 219 (la memoria FIFO de recepción 219 es del mismo tipo que la memoria FIFO de transmisión 207). La memoria FIFO de recepción bajo control del circuito lógico de control de recepción 221 almacena el mensaje recibido una palabra cada vez y apila el mensaje recibido en la misma forma que la memoria FIFO 207 apila los mensajes procedentes de la estación central. Cada palabra del mensaje se transfiere entonces al registrador 220 y después se envía a la estación central por la vía 224 y el trayecto 122. Los detalles del circuito lógico de recepción se describirán más adelante.

El transmisor-receptor ilustrado en la figura 4, consiste en el reloj 401, modem 402 y otra diversa circuitería de filtrado, limitación y protección contra descargas. El transmisor receptor funciona para recibir mensajes de FSK desde los terminales distantes y para convertir estos mensajes de FSK en señales binarias de banda de base para ser utilizados por el ALA. El transmisor-receptor acepta también señales binarias de banda de base del ALA y convierte estas señales en secuencias de transmisor-receptor es el modem 402. Este modem realiza las

funciones de conversacion del FSK a la banda de base y viceversa. Dichos modem son de tipo conocido. Los detalles del transmisor-receptor se describiràn mäs adelante.

Cada secciòn del ALA se describe a continuaciòn con detalle. Durante el curso de la descripciòn siguiente, se reciben ciertas ordenes y se transmiten al procesador de la estaciòn central 103. La generaciòn y proceso de estas ordenes se puede realizar por cualquier ordenador de tipo general que se programa de acuerdo con tècnicas de programaciòn perfectamente conocidas. Por lo tanto, los detalles del procesador de la estaciòn central no se tienen que describir de un modo adicional.

Segùn se ha descrito anteriormente, el circuito lògico de ordenes del ALA consiste en circuito lògico de control del procesador 200, registrador de ordenes 327, registrador 220 y registrador 425. El circuito lògico 200 funciona para recibir ciertas ordenes del procesador en la estaciòn central 103, y en respuesta a estas ordenes proporciona ciertas señales de control para el ALA. La orden \overline{ENL} que se alimentan al circuito lògico 200 es una orden del procesador en la estaciòn central 103 que activa el circuito lògico 200 para pasar una de otras cuatro ordenes del procesador al ALA. Cuando el circuito lògico 200 recibe la orden \overline{ENL} es una indicaciòn de que se prevee una orden adicional del procesador. La orden \overline{LCP} del procesador indica al circuito lògico 200 que està presente una orden en la vìa 224. El circuito lògico 200, en respuesta a la orden \overline{LCP} genera una orden estroboscòpica \overline{ENCP} . Esta orden se alimenta al registrador de ordenes 327 por la vìa 225 y funciona para modular ciertas ordenes procedentes de la vìa 224 en el registrador de ordenes. La orden \overline{LOR} indica al circuito lògico 200 que el procesador en la estaciòn central 103 requiere datos del ALA. En respuesta a esta orden, el circuito lògico 200 ge-

nera la orden ENDR que se alimenta al registrador 220, el circuito lógico 221 y se alimenta también al registrador 425 por la vía 225. Esta orden funciona para modular cierta información en la vía 224 de los registradores 220 y 424. La orden \overline{LSST} es una solicitud del procesador al ALA que indica que el procesador desea que ciertos bitios de estados se transmitan desde el ALA. El circuito lógico 200, en respuesta a esta orden genera la orden ENSST. Esta orden se alimenta al registrador 220 y al registrador 425 por la vía 225. La orden \overline{LDP} indica al circuito lógico 200 que el dato entrante está presente en la vía 224. El circuito lógico 200, en respuesta a esta orden, genera la orden ENDP que se alimenta al circuito lógico de control 201. Cuando se reciben una u otra de las ordenes mencionadas por el circuito lógico 200, el circuito lógico 200 genera la orden \overline{LSYNC} que acusa recibo de las ordenes enviadas desde el ordenador. La orden \overline{LSYNC} se envía al procesador por la vía 224 y el trayecto 122. Los detalles del circuito lógico 200 se ilustran en la figura 11, y el funcionamiento del circuito lógico 200 resultará evidente a los expertos en la materia al examinar los detalles ilustrados en la Fig, 11. El registrador de ordenes 327 consisten en basculadores 305-312. Este registrador funciona para almacenar ciertas ordenes del procesador de la estación central que se alimentan ulteriormente a diversas secciones del ALA. Recuerdese por lo expuesto anteriormente, que, cada vez que el procesador alimenta una orden a la vía 224, alimenta la orden \overline{LCP} al circuito lógico 200 que, en respuesta, genera la orden ENCP. La orden ENCP se alimentan las puertas para pasar la orden por la vía 224 al registrador 327. La orden BTM del procesador pasa al basculador 305, y a su vez, se alimenta al secuenciador 326. La orden BTM es aseverada por el procesador cada vez que se transmite un mensaje de uno de los ordenadores de base de datos a los terminales

distantes por la estación central 103. La orden ETM pasa al basculador 306 y desde el basculador se alimenta al secuenciador. La orden ETM se asevera por el procesador cuando la última palabra que se ha de transmitir a un terminal distante se ha cargado en la memoria FIFO por el procesador. La orden RCY se almacena en el basculador 307 y desde este se alimenta al secuenciador. La orden RCY es aseverada por el procesador cada vez que el procesador desea enviar un mensaje de la estación central a un terminal distante. Esta orden se ha de contrastar con la orden DTM que se utiliza para mensajes que tienen origen con los ordenadores de base de datos y no para mensajes que tienen origen por el procesador de la estación central. La orden NOP se almacena en el basculador 308 y se alimenta al secuenciador. La orden NOP es aseverada por el procesador cada vez que el procesador desea suspender la función de escrutinio del ALA. El escrutinio se suspende en respuesta a la orden NOP y permanece suspendido hasta que la orden NOP es invalidada por el procesador. El procesador utiliza normalmente esta orden mientras almacena una lista de localizaciones en el ALA comenzar una nueva secuencia de escrutinio. La orden de conexión/desconexión se almacena en el basculador 309. La orden de desconexión coloca la salida Q del basculador 309 en un "1" lógico y la salida \bar{Q} en un "0" lógico. La salida Q se alimenta a la entrada de la puerta 304 y a la entrada de reposición de los basculadores 308 y 310. Funciona para reponer los basculadores 305-308 y el basculador 310. La salida \bar{Q} repone también el temporizador 314, repone a los basculadores 317-320 e inhibe ciertas funciones lógicas en el detector de actividades 423. La orden de conexión coloca la salida \bar{Q} del basculador 309 en un "1" lógico que, cuando se alimenta al temporizador 314, activa el temporizador y permite que el ALA comience a funcionar. La orden CIRC se almacena en el basculador 310

5 y se alimenta por la vía 225 al circuito lógico 201 y al regis-
trador de carga de circulación 206. La orden CIRC, cuando es
igual a un "1" lógico, permite que tenga lugar la recirculación
entre la memoria FIFO de transmisión y el registrador de carga
de circulación. La orden CIRC, cuando es igual al "0" lógico
evita la recirculación entre la memoria FIFO de transmisión y
el registrador de carga de circulación 206. La forma en que se
realiza esta operación se describirá más adelante. La orden
CTF se almacena en el basculador 311 y se alimenta como \overline{CTF}
por la vía 226 al circuito lógico 201. La orden CTF es asevera-
10 da por el procesador para limpiar la memoria FIFO de transmi-
sión de todos los datos antes de que se utilice la memoria FIFO
para transmitir mensajes al terminal distante. La orden CTF se
utiliza también para limpiar la memoria FIFO de transmisión an-
tes de cargar en la misma las localizaciones de escrutinio. La
forma en que se realiza esta operación se describirá más ade-
15 lante. La orden CRF se almacena en el basculador 312 y se tran-
sfiere por la vía 225 al circuito lógico 221. La orden CRF es
aseverada por el procesador cada vez que el procesador desea
limpiar la memoria FIFO de recepción. Según se describirá más
adelante, la orden CRF es generada por el procesador en respues-
20 ta a la detección de errores en los datos entrantes por el
UART 208.

El registrador 425, en respuesta a las ordenes ENDR y
ENSST funciona para transferir ciertos bitios de estado desde
el ALA hasta el procesador por la vía 224. Cuando se alimentan
25 al registrador 425 la orden ENDR o la orden ENSST, los siete
bitios de estado se transfieren desde la entrada del registra-
dor a la vía 224. El bitio de estado TFE es un bitio generado
por el circuito lógico 201 y funciona para informar el proce-
sador de que la memoria FIFO de transmisión está vacía. Esta
30 orden informa al procesador que se necesita información adi-

cional por lo que el ALA puede continuar el escrutinio o puede
continuar transmitiendo mensajes distantes. La orden RCD es ge-
nerada por el transmisor-receptor cada vez se espera un mensaje
de un terminal distante. La orden ERR es una bandera de error
5 comprendida en el circuito lógico OR o un error de secuencia
generado por el secuenciador y un bitio de error de recepción
generado por el UART 208. Cuando el secuenciador genera uno u
otro de estos errores o los genera el UART, la orden ERR se
alienta al registrador 425. La orden RFE es generada por el cir-
cuito lógico de control de recepción 221 e indica que la memo-
10 ria FIFO de recepción está vacía. Esta orden se utiliza para in-
formar al procesador el instante en que el último carácter de
un mensaje entrante ha sido introducido desde la memoria FIFO
de recepción al registrador 220. La orden RDA es generada por
el detector de actividades 423 e indica que el dato de recep-
15 ción está disponible en la memoria FIFO de recepción que está
esperando el paso de la memoria FIFO de recepción al registra-
dor 220. En tanto que la orden RDA sea aseverada por el regis-
trador 425, indica al procesador que hay información adicional
en esfera de transmisión en la memoria FIFO de recepción. La
forma en la que el detector de actividades genera la orden TFF
20 es generada por el circuito lógico 201 e indica al procesador
que la memoria FIFO de transmisión está llena con caracteres y
que no se pueden cargar caracteres adicionales en la memoria
FIFO de transmisión hasta que se hayan transmitidos algunos ca-
25 racteres. La orden RFF es generada por el circuito lógico 221
e indica al procesador que la memoria FIFO de recepción está
llena. Esta orden es una indicación al procesador de que debie-
ran cargarse caracteres adicionales de la memoria FIFO de recep-
ción antes de poderse recibir nuevos caracteres del terminal
30 distante.

El registrador 220 funciona para transferir los datos entrantes desde la memoria FIFO de recepción 219 hasta la vía 224 y funciona también para transferir bitios de estado TDR y DONE al procesador por la vía 224. Cada vez que se genera la orden ENSST o el circuito lógico 200 si se alimenta al registrador 220, los dos bitios de estado se transmiten al procesador. Cuando la orden ENDR es aseverada por el circuito lógico 200 y alimentada al registrador 220, Los ocho bitios de datos de la memoria FIFO de recepción y los dos bitios de estado se transmiten a la estación central 103. La orden DONE es una orden generada por el secuenciador e indica al procesador que el ALA está en el modo inactivo y esperando ordenes adicionales del procesador. La orden TDR es generada por el detector de actividades 423 e indica al procesador que el ALA está intentando la transmisión pero que no existen caracteres en la memoria FIFO de transmisión para ser enviados.

Según se ha descrito anteriormente, el circuito lógico de transmisión consiste en el circuito lógico de control 201, registrador 206, memoria FIFO de transmisión 207 y la sección de transmisión de UART 208. El circuito lógico de control 201 acepta las señales de entrada y genera 8 señales de salida utilizadas para controlar varias secuencias de transmisión. Las señales de entrada aceptadas por el circuito lógico 201 comprenden la orden CIRC. El circuito lógico 201, en respuesta al hecho de que la orden CIRC es igual a un "1" lógico, alimenta la orden TBSO a la memoria FIFO de transmisión 207. Esta orden actúa para pasar información desde la salida de la memoria FIFO de transmisión a la entrada del registrador 206. La orden CIRC se alimenta también a la entrada de control del registrador 206. Cuando la orden CIRC es igual a un "1" lógico, el registrador 206 acepta datos de entrada en los conductores TQO a través de TQ 7. Por lo tanto, cuando la orden CIRC es igual a un

"1" lògico, y la orden TBSO es igual a un "1" lògico, se pasa informaciòn desde la salida de la memoria FIFO de transmisiòn a la entrada del registrador 206. Cuando la orden CIRC es igual a un "0" lògico, el circuito lògico 201 asevera la orden CS. Esta orden es generada por el circuito lògico 201 cuando la orden CIRC es igual a un "0" lògico y cuando la orden ENBP se alimenta al circuito lògico 201 por el circuito lògico 200. La orden CS se alimenta al registrador 206 y funciona para pasar informaciòn desde la via 224 al registrador 206. Al ser la orden CIRC igual a un "0" lògico el registrador 206 se ve obligado a aceptar informaciòn de la via 224 y a excluir informaciòn de la via 226. La orden TDSI es generada por el circuito lògico 201 en respuesta a la generaciòn de la orden CS. La orden IR 1, IR 2, al alimentarse al circuito lògico 201 por la memoria FIFO de transmisiòn, repone el TBSI. La orden IR 1, IR 2, consiste en dos ordenes idènticas generadas por dos secciones idènticas de la memoria FIFO de transmisiòn e indica que la memoria FIFO de transmisiòn està dispuesta para aceptar informaciòn entrante. Cada vez que la orden IR 1, IR 2, pasa a nivel alto y CS pasa a nivel alto, se genera la orden TBSI que actua para pasar informaciòn desde el registrador 206 a la memoria FIFO de transmisiòn. El circuito lògico 201 genera la orden TBSO y funciona para pasar informaciòn desde la memoria FIFO de transmisiòn al UART. La orden TBSO se genera en respuesta a la orden ES del secuenciador, la orden TBRE del UART y la orden OR 1, OR 2 de la memoria FIFO de transmisiòn. La orden ES es una orden de activaciòn de paso que se genera por el secuenciador en ciertas condiciones, segun se describirà màs adelante. La orden OR 1, OR 2, consiste en dos ordenes idènticas generadas por dos secciones idènticas de la memoria FIFO de transmisiòn e indica que la memoria FIFO de transmisiòn està dispuesta para transferir

Un caracter desde la memoria FIFO hasta la memoria tampòn 209. Una condiciòn adicional necesaria para la generaciòn de la orden TBSO es la aseveraciòn de la orden TBRE que es generada por el UART 208. Esta orden se genera cada vez que està vacia la memoria tampòn de transmisiòn del UART. Por lo tanto, la orden TBSO se genera por el circuito lògico 201 cuando la memoria FIFO de transmisiòn està dispuesta para dar salida a un caracter indicado por aseveraciòn de la orden OR 1, OR 2, el UART està dispuesto para recibir un caracter indicado por aseveraciòn de la orden TBRE y cuando la orden ES es aseverada por el secuenciador. La orden TBRLD es la inversa de la orden TBSO y actúa para pasar informaciòn a la memoria tampòn del UART al salir de la memoria FIFO de transmisiòn en respuesta a la orden TBSO. La orden HS es generada por el secuenciador y alimentada al circuito lògico 201. La orden HS es una orden de retenciòn generada por el secuenciador conjuntamente con una secuencia de carga deble segùn se describirà màs adelante. El circuito lògico 201, en respuesta a la orden HS, pasa la orden PBSO a un estado de "1" lògico y pasa la orden TBRLD al estado "0" lògico. El resultado de alimentarse la orden HS al circuito lògico 201 es que el caracter contenido en la memoria tampòn 209 del UART se evita que se transfiera al registrador de desplazamiento de transmisiòn 210, y, por lo tanto, se evita que se transmita que la orden HS se està aseverando, segùn se ha descrito anteriormente. La orden PRE se genera por el UART cuando el registrador de desplazamiento de transmisiòn està vacio. La orden TRE es de nivel bajo mientras que la informaciòn se desplaza del registrador 210 y pasa a nivel alto cuando el registrador 210 està vacio. El circuito lògico 201, en respuesta a estar TRE en estado bajo, inhibe la generaciòn de la orden TBRLD, Por lo tanto, esto evita que se transfiera informaciòn desde la memoria tampòn 209 al registrador 210 mientras que la informaciòn se des-

plaza del registrador 210. La orden TRE se alimenta también al secuenciador por la vía 225, según se describirá más adelante. La orden TFF se genera por el circuito lógico 201 y se alimenta al registrador 425. La orden TFF indica que la memoria FIFO de transmisión está llena y aseverada por el circuito lógico 201 en respuesta a la orden IR1, IR 2, generándose la orden IR por la memoria FIFO 207 que se alimenta al circuito lógico 201 e indica que la memoria FIFO de transmisión no está dispuesta para aceptar un carácter. La orden TFF se genera también cada vez que el circuito lógico 201 genera la orden TBSI que indica que la memoria FIFO de transmisión no puede recibir una orden debido a que pasa un carácter a la memoria FIFO de transmisión. La orden TFE se genera por el circuito lógico 201 y se alimenta al secuenciador por la vía 225. La orden TFE se asevera cuando la orden OR 1, OR 2, se genera por la memoria FIFO 207 o cuando la orden TBSO se genera por el circuito lógico 201. Por lo tanto, la orden TFE se genera cada vez que un carácter sale de la memoria FIFO de transmisión o cuando la memoria FIFO de transmisión está dispuesta para transferir un carácter al URT 208. La orden CCTF es la inversa de la orden TFE y se alimenta al registrador de ordenes para colocar el basculador 311 en el estado de reposición o puesta a cero. La orden TMR se genera por el circuito lógico 201 y se alimenta a la memoria FIFO de transmisión y se alimenta también al detector 205. Esta orden actúa para limpiar la memoria FIFO de transmisión de los caracteres anteriores almacenados en la misma y funciona para limpiar el detector 205. Esta orden es generada por el circuito lógico 201 en respuesta a la orden \overline{CTF} alimentada al circuito lógico 201 por el registrador de ordenes 327.

Según se ha descrito anteriormente, la orden \overline{CTF} es una petición por el procesador para limpiar la memoria FIFO de

transmisión. En respuesta a la orden, el circuito lógico 201 genera la orden TMR que funciona para limpiar la memoria FIFO de transmisión. La orden IPFC se genera por el secuenciador y se alimenta al circuito lógico 201. El circuito lógico 201, en respuesta a la orden, inhibe la generación de la orden TMR a pesar de la solicitud de limpieza de la memoria FIFO por el procesador. La orden IPFC asegura que la memoria FIFO de transmisión no se limpie involuntariamente mientras que el ALA está en el proceso de transmitir secuencia de escrutinio.

El reloj 202 es una fuente de funcionamiento libre de señales de cronometración digitales que proporciona una señal de cronometración al circuito lógico 201 y a los basculadores 317-320 por el inversor 203, la vía de datos 225 y el inversor 316. Estas señales de cronometración se utilizan para hacer funcionar los diversos circuitos lógicos de una manera que fácilmente comprenderá el experto en la materia tomando como referencia los detalles de los diversos circuitos lógicos. Los detalles del circuito lógico de transmisión se ilustran en la figura 17.

Según se ha descrito anteriormente, el circuito lógico de recepción consiste en el circuito lógico de control 221, almacén de error 22, memoria FIFO de recepción 219 y la parte de recepción del UART. El circuito lógico de control 221 acepta diversas ordenes de las secciones en el ALA y, en respuesta a las mismas, genera ordenes adicionales necesarias para hacer funcionar el circuito lógico de recepción. La orden RFF se genera por el circuito lógico 221 y se alimenta al registrador 425 indicando el procesador que la memoria FIFO de recepción está llena. Esta orden es aseverada cada vez que la orden IR 1, IR 2, es generada por la memoria también 219 o cuando el circuito lógico 221 genera la orden RBSI. La orden IR 1, IR 2, indi-

ca que la memoria FIFO de recepci3n est3 dispuesto para reci-
bir informaci3n en su entrada. La orden RBSI, que es similar
a la orden TBSI, es aseverada cada vez que la orden IR 1, IR 2,
se asevera por la memoria FIFO de recepci3n y la orden UDR se
5 asevera por el UART. La orden RBSI se alimenta tambi3n al al-
mac3n de error de recepci3n 222 y funciona para limpiar el al-
mac3n de error de recepci3n. La orden CRF se genera por el pro-
cesador y se alimenta al circuito l3gico 221 por el basculador
312. El circuito l3gico 221, en respuesta a esta orden, genera
10 la orden RMR que es una reposici3n maestra para limpiar la me-
moria FIFO de recepci3n. La orden CRF, seg3n se ha descrito an-
teriormente, es generada por el procesador cada vez que se de-
tectan ciertas condiciones de error. La orden CRFP es generada
por el secuenciador y utilizada para poner el basculador 312
en el estado inicial. La orden RBSI es generada por el circui-
15 to l3gico 221 en respuesta a la conjunci3n l3gica de las orde-
nes IR 1, IR 2, y UDR. La orden IR 1, IR 2, es aseverada por
la memoria FIFO de recepci3n cuando est3 dispuesta para recibir
datos y la orden UDR es aseverada por el UART cuando dispuesta
para transferir datos a la memoria FIFO de recepci3n. Cada vez
20 que se hace una transferencia entre el UART y la memoria FIFO
de recepci3n, el circuito l3gico 221 genera la orden DRR que
act3a para reponer la bandera de disponibilidad de datos en el
UART. La orden RBSO es generada por el circuito l3gico 221 y
alimentada a la memoria FIFO de recepci3n 219. Esta orden pasa
25 informaci3n de la memoria FIFO de recepci3n que se alimenta al
registrador 220. La orden RBSO se genera cada vez que el cir-
cuito l3gico de tiempo 221 recibe la orden OR 1, OR 2 de la me-
moria FIFO de recepci3n. La orden RBSO se limpia en respuesta
a la alimentaci3n de la orden ENDR al circuito l3gico 221 por
el circuito l3gico 200. La orden CCRF se genera en respuesta
30 a la ausencia de orden UE del almac3n de error 222, y a la

presencia de la orden RFE, que la inversa de la orden RBS0. La orden CCRF se utiliza para poner el basculador 312 en el estado de reposición. El almacén de error 22 recibe ciertas condiciones de error del UART y, en respuesta, genera la orden UE indicativa del error del UART. Estas señales de error o indicativas de un error de rebose que tiene lugar cuando se intenta cargar un carácter en la memoria tampón de recepción mientras la memoria tampón de recepción está llena. La señal de error restante generada por el UART es la señal de error FE que se asevera cada vez que falta el bitio de parada de un carácter entrante. Cuando una u otra de estas señales de error se alimentan al almacén de error 22, se genera la orden $\bar{U}R$ y se alimenta al circuito lógico 221. El circuito lógico 221, en respuesta a la orden CRF alimentada al mismo, genera la orden RMR que actúa para limpiar la memoria FIFO de recepción y actúa también para preparar el almacén de error 222 como medida preparatoria a la detección de errores ulteriores. La orden $\bar{U}E$ se alimenta también a una entrada de la puerta 422 y actúa para generar la orden ERR según se ha descrito anteriormente. Los detalles del circuito lógico 221 y el circuito lógico 222 se ilustran a las figuras 15 y 12, respectivamente, y el funcionamiento de este circuito lógico resultará evidente a los expertos en la materia al examinar las figuras, 15 y 12.

La figura 4, ilustra una representación de diagrama de conjuntos del transmisor-receptor ALA. La orden $\bar{R}S$ es una orden de modo para el modem 402. De un modo más particular, la orden $\bar{R}S$ es igual a un "0" lógico. Esto impone en el modem un modo de funcionamiento en transmisión. Las señales de datos de banda de base procedentes del ALA se alimentan al DAT de entrada del modem 401. El modem convierte las señales de banda de base en una señal FSK consistente en frecuencias de señal y pausa. La señal FSK se alimenta a la salida PTD del modem 402 desde donde

la señal de FSK se alimenta al filtro 403. El filtro 403 amortigua las señales en una onda sinusoidal aproximada y la alimenta por el resistor 408 y el transformador 409 a los terminales de salida 417 y 418. El resistor 411 y el varistor 410 proporcionan protección contra sobre cargas para el trayecto de transmisión de receptor. Para poner el transmisor-receptor en el modo de recepción, la orden \overline{RS} se pone a un nivel "1" lógico. Este, a su entrante se alimentan a los terminales de entrada 419 y 420 y se alimentan por el transformador 413 al filtro 407. La protección contra sobre carga se consigue por el trayecto de recepción del transmisor-receptor gracias al varistor 412 y el resistor 415. El resistor 414 proporciona la terminación de 600 ohmios para el trayecto de entrada. El filtro 407 es un filtro de paso alto que proporciona una atenuación de 10 db para la señal de entrada. El igualador 405 proporciona igualación de ganancia fija y retardo del canal telefónico y rechaza también el ruido fuera de banda. El limitador 404 convierte la señal de recepción en una onda rectangular de amplitud aproximadamente constante. La señal de entrada, después de ser elaborada por el limitador 404 se alimenta a las entradas AMPD y LIM del modem 402. El modem responde a la señal de entrada y alimenta una señal de detección de corriente portadora a la salida CFOX que se alimenta al trayecto RCD y \overline{RCD} por el inversor 416. La orden RCD es utilizada por la circuitería ALA para detectar la presencia de mensajes de llegada del terminal distante. El modem 402, en respuesta a la señal de entrada alimentada a la entrada LIM convierte la señal en datos de banda de base (invertidos) y alimenta los datos de banda de base (invertidos) al DBX del terminal de salida y por el inversor 400 a la salida RD en la vía 225. Los datos de recepción son utilizados por el ALA según se ha descrito anteriormente.

El detector de escrutinio de 2 bytes 205 funciona para de

terminar si se transmite un escrutinio simple o un escrutinio
doble por el circuito lógico de transmisión según se ha descri-
to. El detector de escrutinio de dos bytes consiste en una memo-
ria tampón de un bitio y un circuito comparador. La orden TBSO
5 cronometra el séptimo bitio de la localización del terminal dis-
tante en la memoria tampón del detector de escrutinio. El sépti-
mo bitio de la localización del terminal distante es un "1" ló-
gico para una localización de conmutador primario y es un "0"
10 lógico para una localización de conmutador secundario. La detec-
ción de un escrutinio de dos bytes por el detector 205 da por
resultado la aseveración de la orden \overline{TBP} que se alimenta al se-
cuenciador 326. La forma en que el secuenciador utiliza esta or-
den se describirá más adelante. Los detalles del detector 205
se ilustran en la figura 13 y el funcionamiento del detector
15 resultará evidente a los expertos en la materia al examinar la
figura 13.

El circuito lógico de control de datos en serie 223 pasa
los datos desde el UART 208 al transmisor-receptor y acepta da-
tos del transmisor-receptor para ser utilizados por el UART.
20 Además, los datos en serie de la sección de transmisión del
UART pasan también a la sección de recepción del UART por el
circuito lógico de control de datos en serie cuando el ALA está
realizando el escrutinio. Esto permite que cada localización
de terminal distante se almacene en la sección de recepción del
UART según se transmite a los conmutadores de puntos múltiples
25 El circuito lógico de control de datos en serie, en respuesta
a un nivel alto en la entrada RCD, pasa datos recibidos por la
entrada RD a la salida SDI y desde este punto a la sección de
recepción del UART. Además, el circuito lógico de control de
datos en serie, en respuesta a una orden LBP, del secuenciador
30 pasa datos de llegada en la entrada TD a la salida SDI y por

el trayecto 228 a la sección de recepción del UART. Los detalles del circuito lógico 223 se ilustran en la figura 14, y el funcionamiento del circuito lógico 223 resultará evidente a los expertos en la materia al examinar el dibujo detallado.

El detector de actividad 423 funciona para detectar ciertos estados en el ALA y en respuesta transmite ciertas ordenes al procesador. Cuando el detector de actividad es activado por la orden de conexión, se asevera la orden \overline{ACT} si existen las condiciones siguientes en la estación central 103. El detector de actividad genera la orden \overline{TDR} que, según se ha descrito anteriormente, indica al procesador que el ALA está en el modo de transmisión pero que no existen caracteres en la memoria también de transmisión que se tengan que enviar. Por lo tanto, esto supone una solicitud al procesador de que ponga información adicional con el ALA. La orden \overline{TDR} es generada por el detector 423 en respuesta al estado S4 del secuenciador, siendo la orden TFF baja y siendo bajo el retén ETM. El estado S4 indica que el secuenciador está en el modo de transmisión, la orden TFF de nivel bajo indica que la memoria FIFO de transmisión no está llena y siendo bajo el ETM indica que el final del mensaje transmitido no ha tenido todavía lugar y que existen caracteres adicionales que enviar. Cuando se producen estas tres condiciones, el detector 423 genera la orden \overline{TDR} y establece también la bandera de actividad \overline{ACT} . La bandera de actividad es una indicación al procesador de que el ALA pide que el procesador realice una comprobación de estado. El procesador, al realizar la comprobación de estado, detecta la orden \overline{TDR} por el registrador 220 que indica al procesador que el ALA pide datos adicionales que se han de transmitir. El detector de actividad genera también la orden RDA. Según se ha descrito anteriormente, la orden RDA indica al procesador que se han recibido datos en la memoria FIFO de

recepción dispuesto para transmisión al procesador. El detector
423 genera la orden RDA en respuesta a que el secuenciador se
encuentra en el estado S9 que es el modo de lectura del secuenciador y en respuesta a la orden de nivel bajo RFE que indica
5 que la memoria FIFO de recepción no está vacía. La bandera de actividad \overline{ACT} se asevera también cada vez que se genera la orden RDA que indica al procesador que es necesario una comprobación de estado y la bandera \overline{ACT} se genera también cada vez que se alimenta una orden TFE al detector de actividad. La condición restante para la cual se establece el detector de actividad es cuando el secuenciador sin advertencia previa queda bloqueado en el estado S13. La figura 10 ilustra la tabla de estados para el secuenciador. Cuando esto ocurre, la salida del secuenciador SS alimenta por la puerta 422 y se alimenta a la entrada ERR del registrador 425. El detector de actividad hace
10 surgir la bandera de actividad haciendo que el procesador realice una comprobación de estado, en cuyo instante el procesador detectaría la condición de error. Esta condición de error indica al procesador que el secuenciador está funcionando mal y que se deben adoptar medidas de corrección. Los detalles de detector de actividad se ilustran en la figura, 16. Y el funcionamiento del detector de actividad resultará evidente en vista de los detalles de la figura 16, y la exposición anterior.

El temporizador 314 se utiliza para contar y almacenar la señal de cronometración del reloj 315. En respuesta, el temporizador 314 genera ciertos intervalos de tiempo para ser utilizados por el secuenciador. El temporizador se pone en funcionamiento y cada una de sus salidas se reponen siempre que transmite el UART, lo cual se indica por la alimentación de la orden TRE al temporizador, igualmente cuando el transmisor-receptor está recibiendo lo cual queda indicado por la orden \overline{RCD} que se
25 alimenta al temporizador, el secuenciador se encuentra en el
30

estado de puesta a cero del temporizador indicado por la orden $\bar{T}0$ alimentada al temporizador, o cuando el procesador establece la orden de desconexión. La orden de desconexión repone al temporizador y el temporizador comienza a contar en respuesta a la orde de conexión. Cuando el temporizador no se repone por una de las ordenes mencionadas, continúa contando hasta que se alcanza uno o más de sus intervalos de salida. El temporizador tiene cuatro salidas. La salida ACC es aproximadamente un intervalo de 10,2 milisegundos que es verificado por el secuenciador para asegurar que la cantidad correcta de bits de parada (periodo de señal) precede a la localización de terminal distante en la secuencias de escrutinio. La salida ATC indica un intervalo de aproximadamente 11,6 milisegundos. Este intervalo es verificado por el secuenciador para asegurar la magnitud apropiada de parada que siguen a una localización de terminal distante en la secuencia de escrutinio. La salida NTL indica un intervalo de aproximadamente 4,2 milisegundos. Este intervalo es utilizado por el secuenciador para retardar la transmisión de un mensaje de retorno al terminal distante en un intervalo de tiempo predeterminado. Este retardo sigue inmediatamente a un mensaje de llegada terminal distante y es necesario para que los diversos modems del sistema puedan dar la vuelta. La salida SPL indica un intervalo entre aproximadamente 27 a 50 milisegundos. Este intervalo es utilizado por el secuenciador para determinar el intervalo siguiente a la transmisión de una localización de terminal distante. Este intervalo de silencio se puede generar en una pluralidad de etapas de 27 a 50 milisegundos dependiendo de la distancia física que separa el ALA y los terminales distantes. La aseveración de la orden SPL al secuenciador informa al secuenciador que el intervalo de silencio ha finalizado y que puede comenzar una nueva secuencia de transmisión.

Según se ha descrito anteriormente, el secuenciador es el

corazón del ALA y funciona para proporcionar señales de control para que funcione las secciones restantes del ALA. Las diversas secuencias de comunicaciones generadas por el ALA están indicadas en la figura 8 y se han descrito anteriormente. La línea A, figura 8, indica una secuencia simple de escrutinio. Una secuencia simple de escrutinio consiste en un intervalo de corriente portadora de señal determinado por un intervalo ACC, la localización determininal distante y un intervalo posterior de corriente portadora de señal determinada por el intervalo de ACC. Después, el secuenciador entra en un intervalo de silencio que, según se ha descrito anteriormente, está determinado por el intervalo SPL. Durante el intervalo de silencio el secuenciador espera una respuesta del terminal distante. Si no se presenta una respuesta, el secuenciador continúa entonces la secuencia de escrutinio según se describirá más adelante. La línea B, figura 8, ilustra una doble secuencia de escrutinio. Una doble secuencia de escrutinio es formulada por el secuenciador cuando un terminal distante unidos a un conmutador de puntos múltiples secundario se somete a escrutinio. Según se ha descrito anteriormente, se detecta una doble secuencia de escrutinio por el detector de escrutinio de dos bytes 205. Una doble secuencia de escrutinio consiste en una secuencia simple de escrutinio seguida por una localización determininal distante adicional y un intervalo adicional de tono de señal. La doble secuencia de escrutinio va seguida por un intervalo de silencio al igual que la secuencia simple de escrutinio. La línea C, figura 8, indica la secuencias de comunicación generadas por el secuenciador cuando la estación central transmite una respuesta a un terminal distante. Según se ilustra en la línea C, el secuenciador detecta la terminación de la corriente portadora de recepción del terminal distante. Después, el secuenciador aguarda el intervalo MT y después transmite un intervalo de bitio de parada, un

5 un caracter de control y un texto de mensaje al terminal dis-
tante. A esto sigue un intervalo de silencio durante el cual el
secuenciador aguarda la respuesta de un terminal distante. La
lìnea D, figura 8 ilustra la secuencia de comunicaciòn genera-
das por el secuenciador cuando un mensaje de retorno proceden-
te del ordenador de base de datos se transmite a un terminal
distante. Segùn se ilustra en la lìnea D, esta secuencia con-
siste en una doble secuencia de escrutinio seguida por un caracte-
10 ter de control y el texto del mensaje. A esta secuencia sigue
de nuevo un intervalo de silencio durante el cual el secuenciador
espera una respuesta del terminal distante. Aunque la lìnea D
indica que el mensaje va precedido por una secuencia de
doble escrutinio, se comprenderà que esta secuencia se utiliza
tambièn para devolver un mensaje a un terminal situado en un
conmutador primario segùn se ha descrito anteriormente. La lì-
15 nea E, figura 8 ilustra la secuencia de comunicaciòn generadas
por el secuenciador cuando el procesador desea realizar una
prueba de una secciòn MPS y desea realizar la funciòn de inter-
cambio de lìnea. La finalidad del mensaje de prueba y las funci-
ones de intercambios de lìnea se han descrito anteriormente.
20 Segùn se indica en la lìnea E, la secuencia consiste en un so-
lo escrutinio seguido por un intervalo de silencio durante el
cual el ALA recibe el mensaje de prueba del conmutador de pun-
tos múltiples y transfiere el mensaje de prueba al procesador.
Este intervalo va seguido por una doble secuencia de escrutinio
que se utiliza para realizar un intercambio de líneas se-
25 gùn se ha descrito anteriormente.

Refiràmonos ahora a la figura 9. En esta figura se ilus-
tra un diagrama de estados del secuenciador. Una table de es-
tados para el secuenciador se ilustra en la figura 10. Cada
circulo en la figura 9 indicado como S0, S1 y así sucesivamen-
te indica los diversos estados del secuenciador. Dentro de ca-
30

da círculo está comprendida una lista de salidas del secuenciador. El estado S0 es el estado inactivo en el cual se ilustran las diversas salidas del secuenciador. Los círculos restantes se ilustran las salidas del secuenciador que han cambiado de estado a estado. Solamente las salidas que han cambiado se ilustran en el diagrama de estados excepto el estado S0 que indica todas las salidas del secuenciador. Cada estado se conecta con un trayecto en el cual se ilustra la entrada o salidas del secuenciador necesarias para que el secuenciador se mueva de un estado al siguiente. La orden de desconexión pone en funcionamiento al secuenciador colocandolo en el estado S0. Cuando se recibe la orden de conexión del procesador, el temporizador se pone en marcha. El secuenciador verifica entonces sus entradas para determinar cuando ha de ocurrir un cambio de estado. Supongamos que el procesador desea dar instrucciones al ALA para que transmita secuencias de escrutio simples a los terminales distantes. Antes de instruir al ALA para que comience el escrutinio, el procesador carga una lista de localizaciones de terminales distantes en la memoria fija de transmisión según se ha descrito anteriormente. Mientras carga las localizaciones en la memoria fija de transmisión, el procesador asevera la orden NOP al ALA que, según se ha descrito anteriormente, evita que realice el escrutinio al ALA. Refiriendonos ahora a la figura 9, y de un modo más particular al trayecto 900, que se extiende entre el estado S0 y el estado SI, las condiciones asociadas con dicho trayecto son todas las condiciones necesarias para que el secuenciador se mueva de S0 a SI. En la figura 9, se ilustra cada uno. Estas condiciones comprenden la conjunción lógica de la orden de conexión y la orden RCD del transmisor-receptor. Además, el secuenciador se moverá del estado S0 al estado SI en respuesta a la conjunción lógica de la orden de conexión y a la señal SPL del temporizador, la orden \overline{NOP} y la orden \overline{TFE} . El

procesador, después de cargar las localizaciones de terminales
distantes en la memoria fija de transmisión, limpia la orden
NDP de modo que el secuenciador se asevera la orden \overline{NDP} . La me-
5 moria FIFO de transmisión en este instante tiene localizaciones
almacenadas por lo que la orden TFE de nivel bajo será asevera-
da por el secuenciador. Por lo tanto, cuando se asevera el esta-
do SPL al secuenciador por el temporizador, el secuenciador se
moverá del estado S0 al estado S1. En el estado S1 el secuencia-
dor limpia el temporizador con la TD. El secuenciador asevera
10 también la orden LBP al circuito lógico de control de datos en
serie que ordena a este circuito lógico devuelva las secuencias
transmitidas de escrutinio a la memoria tampón de recepción. El
secuenciador asegura también la orden de \overline{DONE} que se alimenta
al registrador 220 que indica al procesador que el ALA ha de-ja-
15 do de modo inactivo y ha comenzado el escrutinio. El secuencia-
dor en el estado S1 verifica la orden RCD del transmisor-recep-
tor. El RCD indica que no existen mensajes recibidos del termi-
nal distante y que el secuenciador puede proseguir con la se-
cuencia de escrutinio. Por lo tanto, al detectarse el \overline{RCD} el se-
20 cuenciador se mueve del estado S1 al estado S5 por el trayecto
901. En el estado S5, la orden \overline{RS} es aseverada en el transmi-
sor-receptor que, en respuesta, comienza a transmitir el tono
de señal. La orden TD se asevera en el temporizador que permite
que el temporizador comience el intervalo de temporización ACC.
La orden ITFC se alimenta al circuito lógico de control de tran-
25 smisión que, según se ha descrito anteriormente, inhibe la or-
den CTF, evitando por lo tanto que la memoria FIFO de transmi-
sión se limpie durante el escrutinio.

La orden CRFP se alimenta al circuito lógico de control
de recepción que funciona, según se ha descrito anteriormente,
30 para limpiar la memoria FIFO de recepción como medida prepara-

5 toria al retorno de las localizaciones transmitidas. El secuenciador permanece en el estado S5 hasta que se detecta el ACC procedente del temporizador. En respuesta, el secuenciador se mueve del estado S5 al estado S7 por el trayecto 905. En el estado S7 la orden ES se alimenta al circuito lógico de control de transmisión que, en respuesta, genera la orden TBSO, según se ha descrito anteriormente. Funciona para pasar un carácter de la memoria FIFO de transmisión al UART como medida preparatoria a la transmisión. La orden $\bar{T}O$ se alimenta al temporizador que repone al temporizador. El secuenciador limpia también la orden CRFP que permite que las localizaciones a transmitir por el UART se cargen en la memoria FIFO de recepción. El secuenciador verifica las ordenes TBP y BTM para determinar que trayecto ha de seguir desde el estado S7. La conjunción lógica del $\bar{T}BP$ y $\bar{B}TM$ indica que se transmite un escrutinio de dos bytes e indica también que no se transmite mensaje al terminal distante. En respuesta a estas condiciones, el secuenciador toma el trayecto 907 desde el estado S7 hasta el estado S3.

20 En el estado S3, el secuenciador limpia la orden ES que evita que el circuito lógico de control de transmisión genere la orden TBSO. Por lo tanto, no se alimentan localizaciones adicionales al UART. La orden $\bar{T}O$ se alimenta al temporizador que permite que el temporizador comience a contar el intervalo ATC. La orden ITFC se limpia también por el secuenciador que da instrucciones al circuito lógico de control de transmisión de que la memoria también de transmisión podría limpiarse por acción del procesador, si fuera necesario. La orden ITFC es aseverada por el secuenciador solamente cuando la localización del terminal distante se transfiere desde la memoria FIFO de transmisión al UART. Después de la transferencia, se limpia el ITFC que permite que el procesador, si fuera necesario, limpie la memoria
25 FIFO de transmisión y la cargue con un mensaje. Mientras se en-
30

5 cuenta en el estado S3, la localización de escrutinio que se ha cargado en el UART se transmite. Durante la transmisión, la orden $\overline{TR\bar{E}}$ mantiene el temporizador a cero. El secuenciador permanece en el estado S3 hasta que el caracter de localización se transmite y hasta que se detecta el intervalo ATC. En respuesta al intervalo ATC, el secuenciador se mueve en el trayecto 903 al estado S2.

10 En el estado S2, la orden TD se limpia y repone el temporizador. La orden LBP se limpia también y da instrucciones al circuito lógico de control de datos para que termine su función de realimentación. El secuenciador se mueve entonces al estado S0.

15 El secuenciador permanecerá en el estado S0 hasta que el temporizador reasevera el intervalo SPL. Esto indica al secuenciador que ha finalizado el intervalo de silencio y que el proceso descrito anteriormente se puede repetir para la transmisión de una secuencia de escrutinio adicional. Mientras el secuenciador se encuentra en el modo de escrutinio, el procesador asevera la orden CIRC que permite que las localizaciones transmitidas se pongan de nuevo en circulación desde la memoria FIFO de transmisión a la entrada del registrador 206 según se ha descrito anteriormente. Por lo tanto, durante el escrutinio, el registrador 206 y la memoria FIFO de transmisión funcionan como un almacen de recirculación de modo que las localizaciones que se transmiten se pongan de nuevo en circulación en todo el almacen en un proceso continuo. Este proceso continuaria hasta que el secuenciador es interrumpido por las ordenes procedentes del ordenador por una respuesta procedente de un terminal distante.

30 La secuencia de doble escrutinio comienza en la misma forma que la secuencia de escrutinio simple. El secuenciador, en

5 respuesta a la conjunción lógica de las ordenes de conexión ON, SPL, \overline{NOP} y \overline{TPE} se mueve del estado S0 al estado S1. El secuenciador precede al estado S7 en la forma descrita anteriormente con relación a la secuencia de escrutinio simple. Para una se-
10 cuencia de doble escrutinio el secuenciador en el estado S7 detectará la orden TBP. En respuesta el secuenciador adopta el trayecto 915 al estado S15. En el estado S15, la orden TO activa el temporizador. En el estado S15 la orden ES que ha sido aseverada en el estado S7 se alimenta todavía al circuito lógico de control de transmisión. Por lo tanto, la segunda localización en la secuencia de doble escrutinio se carga en el UART en estado S15. El secuenciador asevera también la orden RS al circuito lógico de control de transmisión que, según se ha descrito anteriormente, funciona para retener la segunda localización en la memoria también UART mientras que se transmite la
15 primera localización. Al recibirse el intervalo ACC del temporizador, el secuenciador se mueve del estado S15 por el trayecto 911 al estado S11.

20 En el estado S11, el secuenciador limpia la orden HS que permite que se transfiera la segunda localización desde la memoria también del UART al registrador de corrimiento de transmisión del UART. La orden ES se limpia y evita transferencias adicionales de localizaciones desde la memoria FIFO de transmisión al UART. La orden TO se limpia y pone en funcionamiento el temporizador. La orden BTM se verifica en el estado S11. La orden
25 \overline{BTM} indica al secuenciador que la transmisión presente es una secuencia de doble escrutinio. En respuesta a la orden \overline{BTM} el secuenciador se mueve al estado S3 por el trayecto 913. El secuenciador progresa desde el estado S3 de nuevo al estado S0 de la misma forma que se ha descrito anteriormente para la secuencia de escrutinio simple.

30 Supongamos que llega un mensaje de un terminal distante.

Esta acción es detectada por el secuenciador en el estado S0, por la conjunción lógica de la orden de conexión ON y RCD. El secuenciador se mueve por el trayecto 900 al estado S1 y continúa hasta el estado S9 en respuesta a la orden RCD. Cuando el secuenciador entra en el estado S9, la bandera de actividad es aseverada en el procesador de la forma descrita anteriormente. El detector de actividad genera también en este instante la orden RBA. Estas dos condiciones notifican al procesador que llega información de un terminal distante. En el estado S9, la orden PO se alimenta al temporizador que, cuando el RCD es igual a un "0" lógico, funciona para poner en funcionamiento el temporizador. La orden LBP se limpia por acción del secuenciador que evita el modo de realimentación descrito anteriormente. El procesador, al recibir la orden RDA se informa de que el secuenciador se encuentra en el estado S9 y se informa también de que está disponible el dato de recepción. El procesador alimenta entonces la orden CTF al registrador de ordenes que funciona para limpiar la memoria FIFO de transmisión. El procesador alimenta también la orden $\overline{\text{LDR}}$ al circuito lógico de control del procesador que, en respuesta, genera la orden ENDR que se alimenta al registrador 220. El registrador 220, en respuesta a la orden $\overline{\text{ENDR}}$ pasa los caracteres entrantes que se han almacenado en la memoria tampón de recepción al ordenador por la vía 224. Cada vez que el procesador pasa información de la memoria tampón de recepción que verifica el estado y este estado comprende la orden RDA que se ha alimentado al registrador 425, según se ha descrito anteriormente. La orden RDA permanece establecida en tanto que esté disponible el dato de recepción en la memoria FIFO de recepción. Por lo tanto, cada vez que el procesador verifica el estado, la orden RDA indica que hay disponibles caracteres adicionales para transmisión al procesador. En respuesta, el procesador continúa suministrando la orden $\overline{\text{LDR}}$ al circuito ló-

5 gico de control del procesador que da por resultado el que los
caracteres en la memoria tampòn de recepciòn pasen de la memo-
ria FIFO de recepciòn al registrador 220. El secuenciador per-
manece en el estado S9 hasta que todos los caracteres entran-
tes han pasado desde la memoria FIFO de recepciòn al procesa-
dor. El secuenciador da salida al estado S9 despuès de la con-
junciòn lògica de las tres condiciones. Estas condiciones son
que la memoria FIFO de recepciòn debe estar vacia, significan-
do que la orden RFE es de nivel elevado y debe haber una ausen-
10 cia de corriente portadora entrante que significa que la orden
RCD debe ser baja y que la memoria FIFO de transmisiòn debe te-
ner caracteres almacenados lo cual significa que la orden TFE
debe ser tambièn de nivel bajo. Es necesario que se almacenen
caracteres en la memoria FIFO de transmisiòn antes que el se-
cuenciador pueda dejar el estado S9 para que el secuenciador
15 pueda realizar otras tareas antes de salir del estado S9. Los
caracteres almacenados en la memoria FIFO de transmisiòn sig-
nifican que el secuenciador tiene que realizar tareas adi-
cionales al salir del estado S9.

20 Al salir del estado S9 el secuenciador prosigue al estado
S8 por el trayecto 908. El secuenciador en el estado S8 verifi-
ca el bitio de la orden de respuesta. El bitio de la orden de
respuesta se establece por acciòn del procesador mientras el
secuenciador se encuentran en el estado S9. Si se establece la
orden de respuesta, indica que el procesador desea transmitir
25 un mensaje de respuesta al terminal distante y que el mensaje
de respuesta se almacenarà en la memoria FIFO del terminal. Si
no se establece la orden de respuesta, ello indica que no hay
respuesta que se haya de transmitir desde el procesador al ter-
minal distante. Por lo tanto, el secuenciador en el estado S8,
30 en respuesta a no establecerse la orden de respuesta prosigue

desde el estado S8 hasta el estado S0. El secuenciador permanecerà entonces en el estado S0 hasta que se le ordene salir de ese estado segùn se ha descrito anteriormente. El secuenciador en respuesta al establecimiento de la orden de respuesta del estado S8 al estado S12 por el trayecto 912. El secuenciador verifica la salida MTL del temporizador mientras se encuentra en el estado S12. Al final del intervalo MTL el secuenciador se mueve desde el estado S12 hasta el estado S14 por el trayecto 914. En el estado S14 el secuenciador asevera la orden $\overline{P0}$ en el temporizador y limpia el temporizador segùn se ha descrito anteriormente. El secuenciador asevera tambièn la orden \overline{RS} en el transmisor-receptor que activa la corriente portadora. El secuenciador adopta entonces el trayecto 910 desde el estado S14 hasta el estado S10. El secuenciador en el estado S10 alimenta la orden T0 al temporizador, lo cual permite que el temporizador comience a medir el intervalo ACC. El secuenciador permanecerà en el estado S10 hasta que el intervalo ACC se asevera en el secuenciador por el temporizador. La orden ITFC representada en los estados S10 se utiliza solamente mientras se transmite un mensaje desde la base de datos hasta el terminal distante, segùn se describirà màs adelante. Al aseverarse el intervalo de ACC por el temporizador, el secuenciador se mueve desde el estado S10 hasta el estado S4 por el trayecto 904. En el estado S4, el secuenciador asevera la orden ES al circuito lògico de control de transmisiòn que genera la orden estroboscòpica TBS0 segùn se ha descrito anteriormente. El secuenciador continúa aseverando la orden ES en el circuito lògico de control de transmisiòn mientras se encuentra en el estado S4. En tanto que la orden ES permanezca en nivel alto, el circuito lògico de control de transmisiòn continúa generando la orden TBS0 que pasa la informaciòn almacenada en la memoria FIFO de transmisiòn al UART. La orden $\overline{LB\overline{P}}$ representada en los estados S4, se

utiliza mientras se transmite un mensaje desde la base de datos hasta el terminal distante según se describirá ulteriormente. El secuenciador permanece en el estado S4 hasta que recibe la orden TFE del circuito lógico de control de transmisión y la orden ETM del registrador de ordenes. Según se ha descrito anteriormente, la orden TFE indica que la memoria FIFO de transmisión está vacía y que la orden ETM ha sido establecida por el procesador después de haberse cargado el último carácter en la memoria FIFO de transmisión. Cuando se cumplen estas dos condiciones, el secuenciador se mueve desde el estado S4 hasta el estado S6 por el trayecto 906. Durante la transición desde el estado S4 hasta el estado S6, el secuenciador genera la orden CLRML que, según se ha descrito anteriormente, actúa para limpiar las ordenes BTM, ETM y RPY en el registrador de ordenes. En el estado S6, el secuenciador limpia la orden ES que evita la generación adicional del impulso TBSO. El secuenciador limpia también la orden CLRML. El secuenciador permanece en el estado S6 hasta que recibe la orden TRE del circuito lógico de control de transmisión indicando que el registrador de transmisión en el UART está vacío. Esto significa que el último carácter en el UART se ha transmitido a los terminales distantes. El secuenciador prosigue entonces desde el estado S6 hasta el estado S2 por el trayecto 916. Las funciones realizadas por el secuenciador en el estado S2 se han descrito anteriormente y al completarse estas funciones el secuenciador prosigue al estado S0, que es el estado inactivo.

La secuencia restante realizada por el secuenciador es la transmisión de un mensaje desde la base de datos hasta el terminal distante. El secuenciador sale del estado inactivo en respuesta a la conjunción lógica de la orden de conexión ON, la orden SPL, la orden \overline{NOP} y la orden \overline{TFE} . El secuenciador prosigue en el estado S0 a través de S7 en la forma descrita anterior-

mente. En el estado S7 el secuenciador verifica la orden BTM que se establece por acción del procesador cuando se ha de transmitir un mensaje desde la base de datos hasta el terminal distante. El secuenciador en respuesta al establecimiento de la orden BTM se mueve desde el estado S7 hasta el estado S15 por el trayecto 915. El secuenciador prosigue desde el estado S15 hasta el estado S11 de la forma descrita anteriormente. La orden BTM se establece todavía de modo que el secuenciador prosigue desde el estado S11 hasta el estado S10 por el trayecto 917. En el estado S10 la orden TO es aseverada por el secuenciador que activa el temporizador. Así mismo, en el estado S10, la orden ITFC se limpia y, según se ha descrito anteriormente, activa la memoria FIFO de transmisión que se limpia por acción del procesador si fuera necesario. No obstante, como se está en este instante transmitiendo un mensaje al terminal distante, el procesador limpiarían normalmente la memoria FIFO de transmisión. El secuenciador permanece en el estado S10 hasta la aseveración de la orden ACC por el temporizador, en cuyo instante el secuenciador se mueve al estado S4. En el estado S4, el secuenciador asevera la orden ES, según se ha descrito anteriormente, y limpia también la orden LBP que evita realimentación adicional según se ha descrito anteriormente. El secuenciador permanece en el estado S4 mientras que el mensaje almacenado en la memoria FIFO de transmisión se transmite al terminal distante. El secuenciador se mueve entonces por los estados S6 y S2 de nuevo al estado S0 en la forma descrita anteriormente.

La secuencia restante generada por el secuenciador es el mensaje de prueba y la secuencia de intercambio de línea en la figura 8. La secuencia del mensaje de prueba es la misma que la secuencia de escrutinio simple según se ha descrito anteriormente donde la localización transmitida es la localización

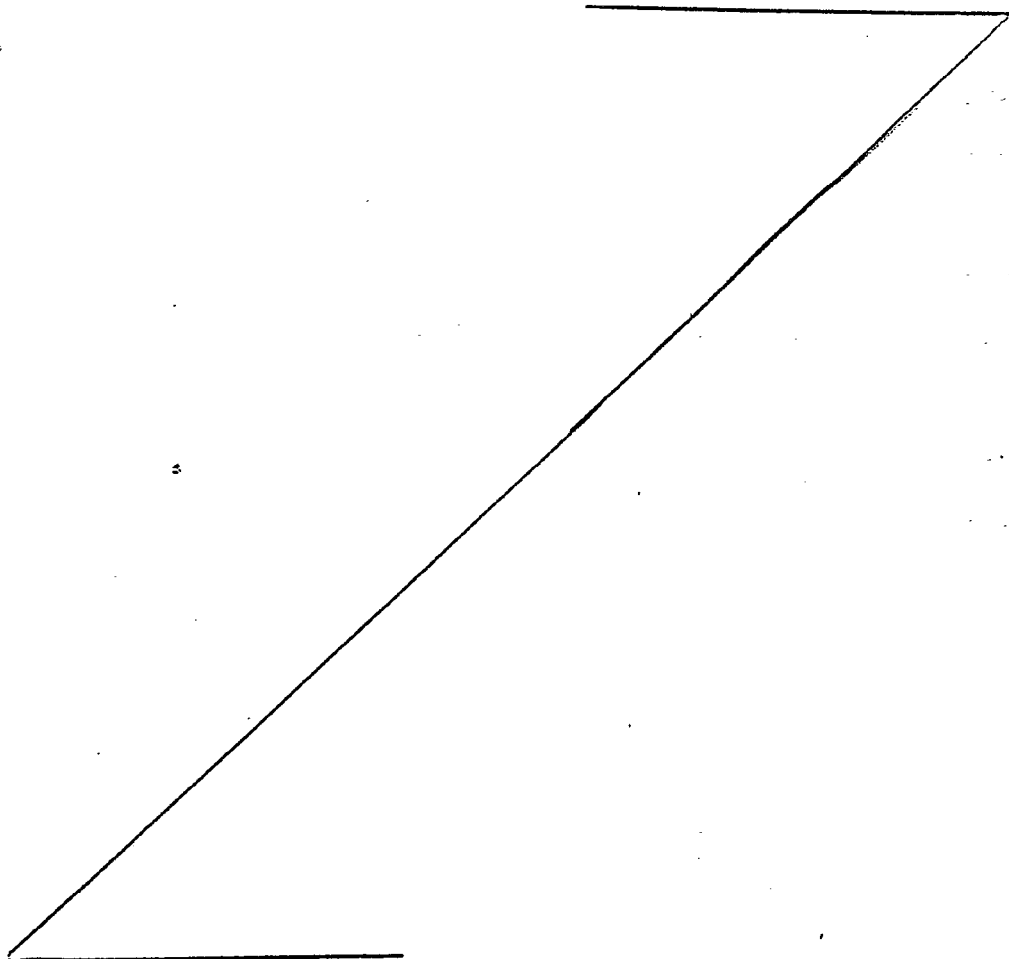
del acceso de prueba. La secuencia de intercambio de línea es la misma que la secuencia de doble escrutinio. Como esta secuencia ya se han descrito, no se detallaràn mäs.

5

Aunque se ha ilustrado y descrito una modalidat específica de este invento se comprenderà que se pueden efectuar diversas modificaciones sin desviarse del espíritu del invento.

10

Descrita suficientemente la naturaleza del invento, así como la manera de realizarse en la practica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.



REIVINDICACIONES

5 1. Perfeccionamientos en sistemas de escrutinio de puntos múltiples, cuyos sistemas comprenden: una pluralidad de terminales distantes y una estación central para proporcionar una lista de localizaciones de terminales distantes que define terminales distantes selectivos que se han de someter a escrutinio por un trayecto de señalización, cuyo trayecto se extiende desde la estación central hasta los terminales distantes, caracterizados porque cada sistema de escrutinio comprende: un adaptador de líneas, conectado a la estación central para almacenar partes de la lista de localizaciones de terminales distantes y para transmitir localizaciones individuales de las localizaciones de terminales distantes almacenadas al trayecto de señalización; y porque el adaptador de líneas comprende: un secuenciador y un registrador para pedir periódicamente partes diferentes de la lista de localizaciones de terminales distantes desde la estación central para reemplazar la parte almacenada de las localizaciones de terminales distantes por la parte solicitada de localizaciones de terminales distantes, por lo que se someten a escrutinio subconjuntos diferentes de terminales distantes definidos por la lista de localizaciones diferentes.

20 2. Perfeccionamientos según la reivindicación 1, caracterizados porque cuando el sistema comprende un conmutador de puntos múltiples, el conmutador de puntos múltiples conectado entre medias del adaptador de líneas y los terminales distantes y que responde a las localizaciones de los terminales distantes transmitidas al trayecto de señalización, extiende el trayecto de señalización desde la estación central hasta terminales distantes elegidos definidos por las localizaciones de terminales distantes.

30 3. Perfeccionamientos según la reivindicación 2, caracte

60

rizados porque el conmutador de puntos múltiples comprende una pluralidad de secciones estando dispuesta cada sección para recibir una parte diferente de las localizaciones e terminales distantes transmitidas al trayecto de señalización y que comprende medios que responden a las localizaciones de terminales distantes para extender el trayecto de señalización desde la estación central a los terminales distantes elegidos definidos por la localizaciones de terminales distantes, y medios que responden al hecho de que una primera sección de conmutación de puntos múltiples deje de responder a las localizaciones de terminales distantes transmitidas a la misma para transmitir a una segunda sección del conmutador de puntos múltiples la parte de las localizaciones de los terminales distantes recibidas normalmente por la segunda sección y la parte recibida normalmente por la primera sección.

4. Perfeccionamientos según la reivindicación 3, caracterizados porque el adaptador de líneas comprende además medios que responden al comienzo de una transmisión de mensaje en el trayecto de señalización entre la estación central y el terminal distante elegido para suspender la transmisión de localizaciones de terminales distantes individuales almacenadas y medios que funcionan después de terminar la transmisión del mensaje para pedir una lista diferente de localización de terminales distantes de la estación central y para volver a comenzar la transmisión de localizaciones individuales de terminales distantes almacenadas.

5. Perfeccionamientos según la reivindicación 3, caracterizados porque cada sección del conmutador de puntos múltiples se conecta a la estación central por un trayecto de señalización correspondientes; porque comprende un aparato iniciador incluido en una primera sección del conmutador de puntos múlti



5 ples que inicia una transmisiòn de mensaje de prueba desde la primera secciòn hasta la estaciòn central por el trayecto de se\u00f1alizaciòn correspondiente y un aparato de intercambio comprendido en una segunda secciòn del conmutador de puntos m\u00faltiples y que responde al hecho de que la estaciòn central deja de recibir el mensaje de prueba, para intercambiar los trayectos de se\u00f1alizaciòn que conectan la primera y la segunda secciones con la estaciòn central, y para comenzar una transmisiòn de mensaje de prueba desde la segunda secciòn hasta la
10 estaciòn central.

15 6. Perfeccionamientos seg\u00fan la reivindicaciòn, 5, caracterizados, porque la secciòn de conmutaciòn de puntos m\u00faltiples comprende: una circuiter\u00eda de acceso de prueba localizable que responde a la recepciòn de una localizaciòn de acceso de prueba simple con el fin de activar el aparato iniciador y en respuesta a la recepciòn de dos localizaciones de acceso de prueba en secuencia activa el aparato de intercambio.

20 7. Perfeccionamientos seg\u00fan la reivindicaciòn 3, caracterizados porque la estaciòn central, en respuesta al hecho de que la secciòn de conmutaciòn de puntos m\u00faltiples deje de responder a las localizaciones de terminales distantes, transmite la parte de las localizaciones normalmente transmitida a la secciòn que ha fallado del conmutador de puntos m\u00faltiples y la parte de las localizaciones normalmente transmitidas a la
25 secciòn activa restante del conmutador de puntos m\u00faltiples a la secciòn activa restante del conmutador de puntos m\u00faltiples.

30 8. Perfeccionamientos en sistemas de escrutinio de puntos multiples, tal y como queda sustancialmente descrito en la presente memoria e ilustrado en los dibujos adjuntos.

6

Esta memoria consta de sesenta y tres hojas escritas a
màquina por una sola cara.

5

MADRID

23 ENE. 1978

WESTERN ELECTRIC COMPANY INCORPORATED

10

J. M. GONZALEZ GARCIA Y PARRA
p. p. Firmador J. Suarez

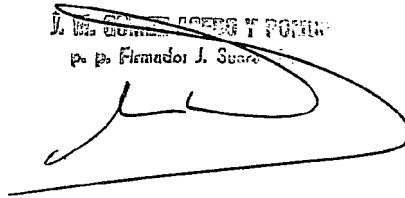
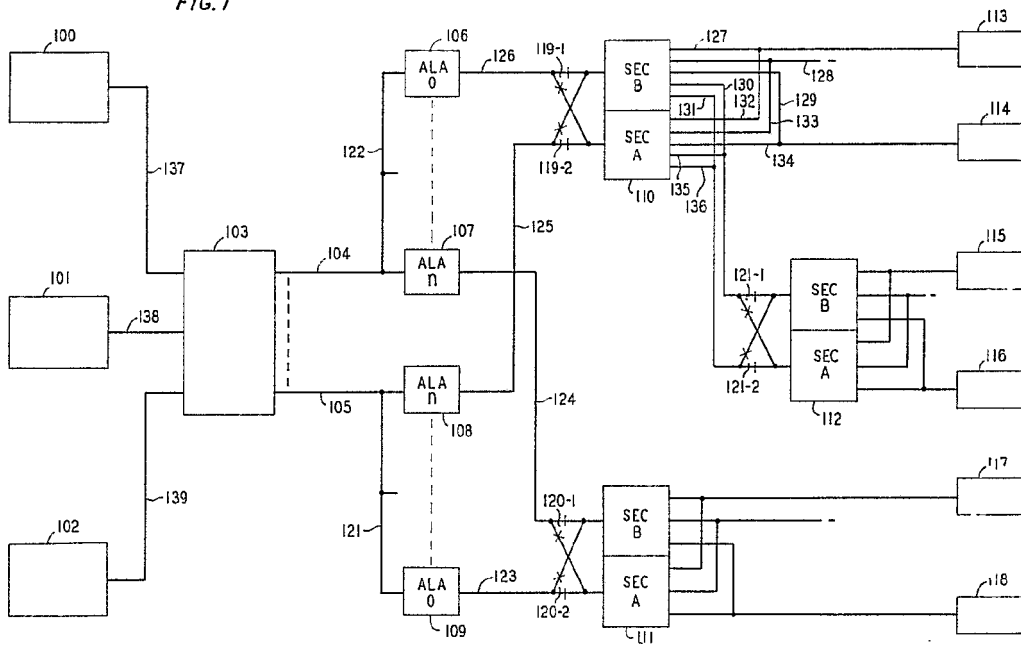
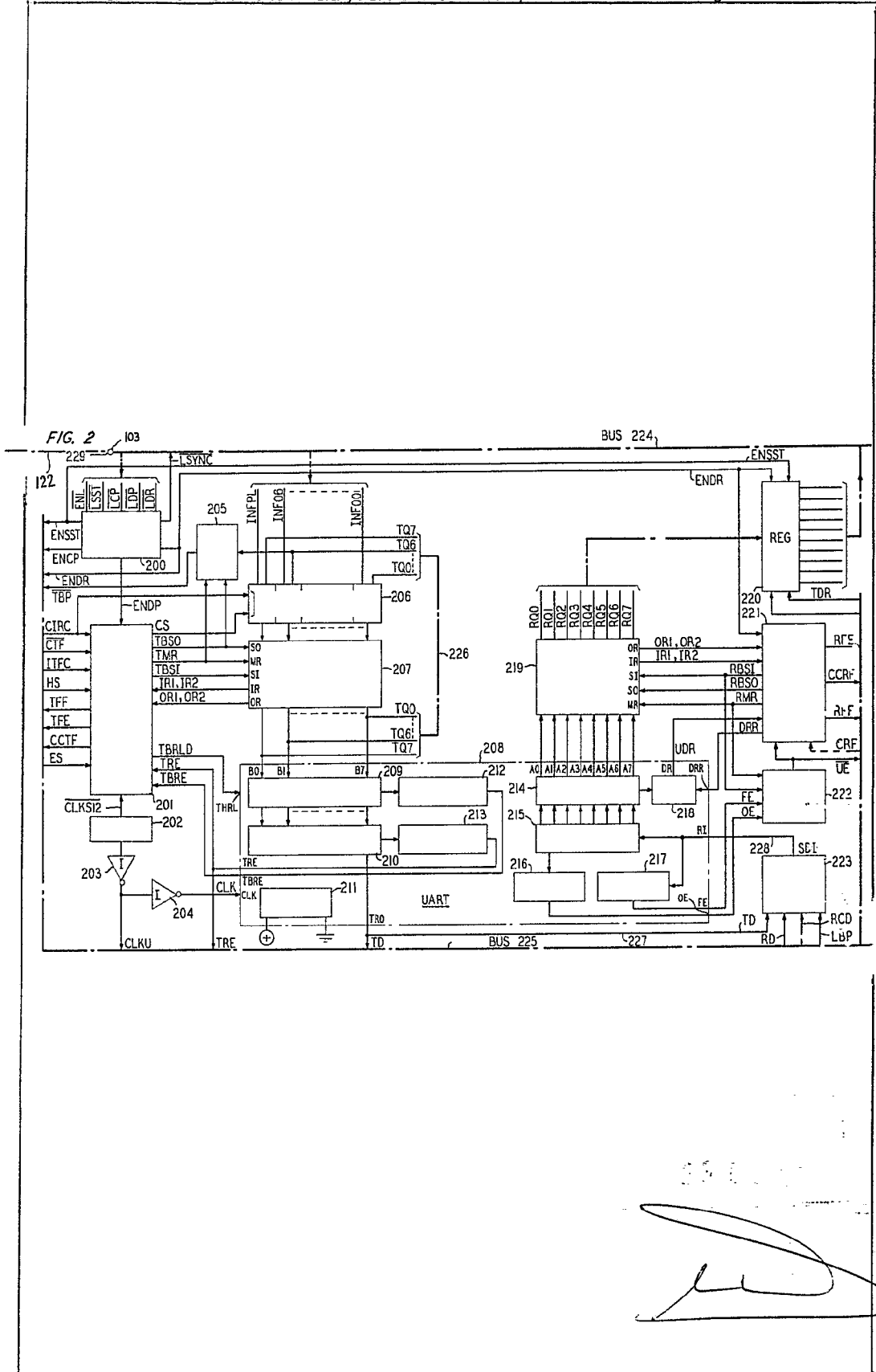
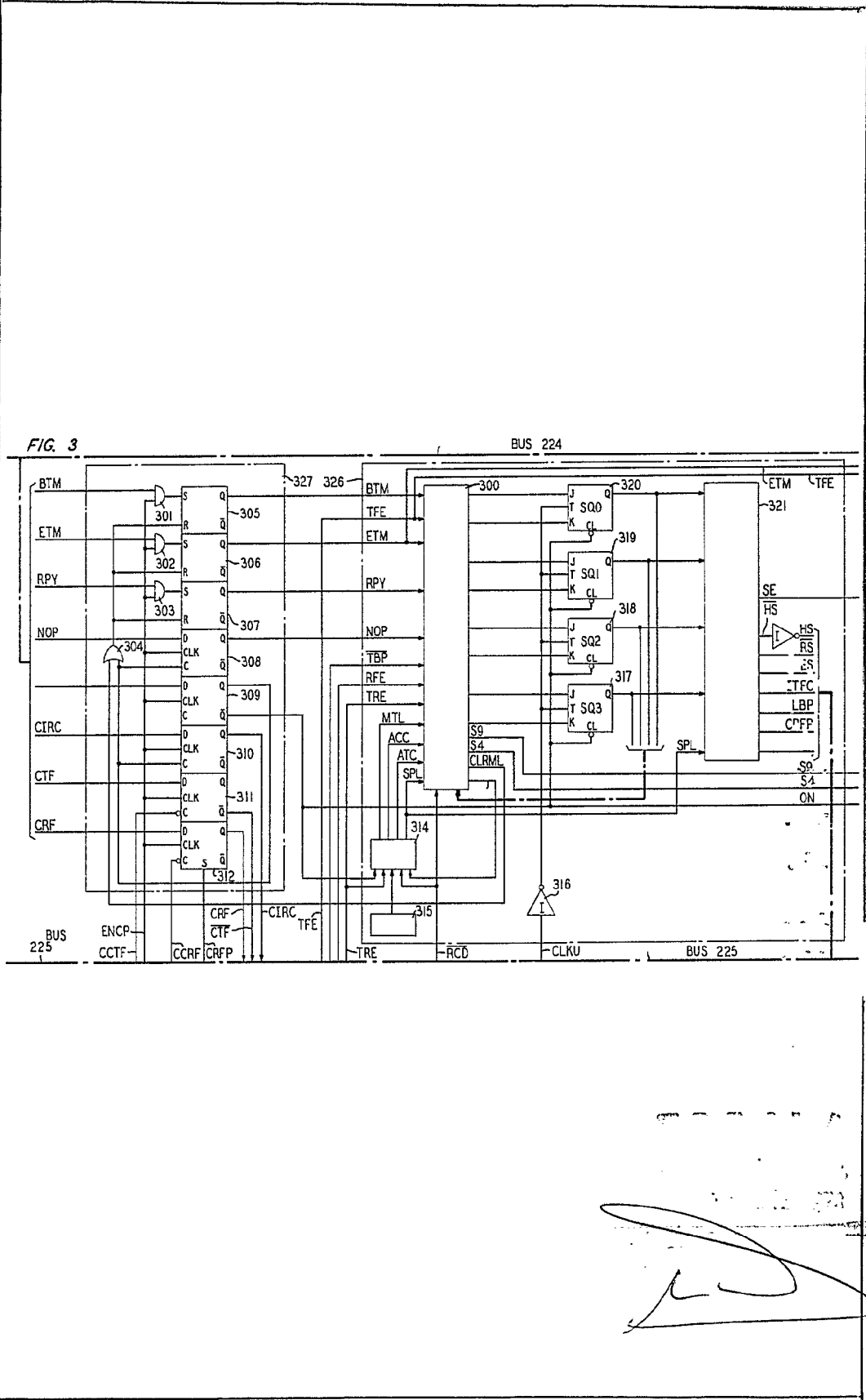
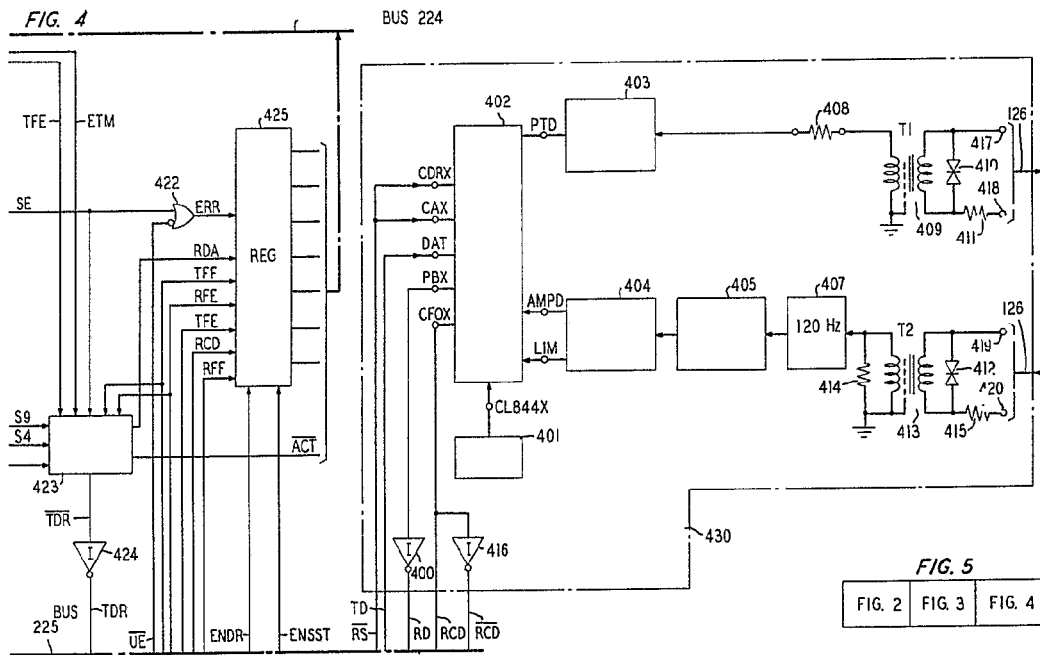


FIG. 1









[Handwritten signature and stamp]

FIG. 6

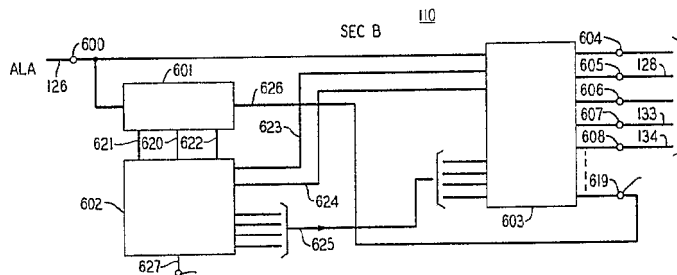
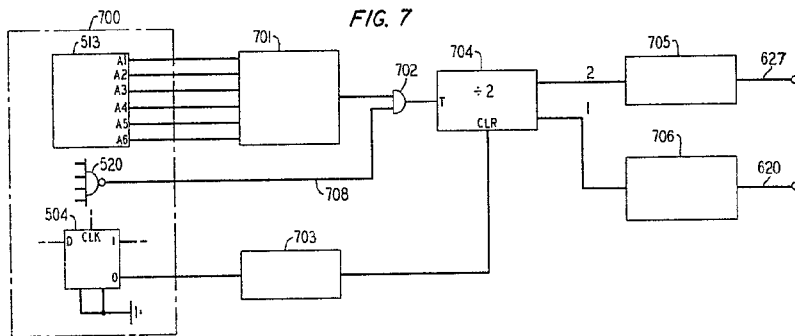


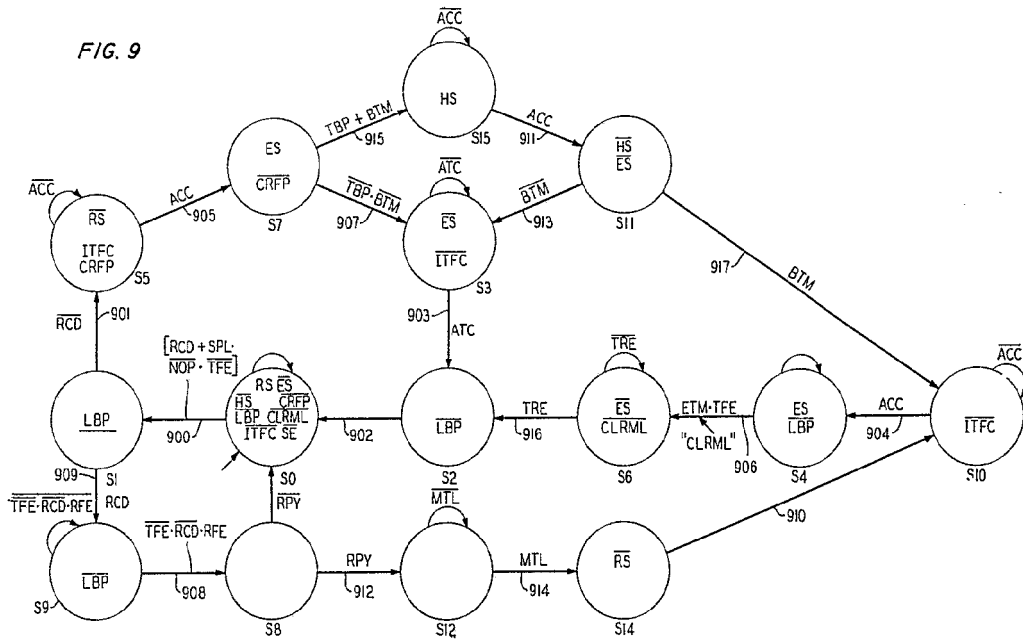
FIG. 7



ESPECIAL
VARIABLE

RECEIVED
WESTERN ELECTRIC COMPANY
NEW YORK, N. Y.
APR 11 1956

FIG. 9



WESTERN ELECTRIC
 COMPANY, INCORPORATED
 11 Hojas nº 7

[Handwritten signature]

FIG. 10

	SQ4=													
		SQ4=0	SQ4=1	RS	ES	HS		ITFC	CRFP	LBP		CLRM	SE	
S0	(SPL·NOP·TFE+RCD)	NC	S1	1	0	1	1	0	0	0	0	1	0	0
S1	RCD	S5	S9	1	0	1	0	0	0	1	0	0	0	0
S2	I	—	S0	0	0	1	0	0	0	0	0	0	0	0
S3	ATC	NC	S2	0	0	1	1	0	0	1	0	0	0	0
S4	(ETM)(TFE)	NC	S6	0	1	1	1	0	0	0	0	0	0	0
S5	ACC	NC	S7	0	0	1	1	1	1	1	0	0	0	0
S6	TRE	NC	S2	0	0	1	1	0	0	0	0	0	0	0
S7	TBP+BTM	S3	S15	0	1	1	0	1	0	1	0	0	0	0
S8	RPY	S0	S12	1	0	1	1	0	0	0	0	0	0	0
S9	TFE·RCD·RFE	S8	NC	1	0	1	1	0	0	0	0	0	0	0
S10	ACC	NC	S4	0	0	1	1	0	0	1	0	0	0	0
S11	BTM	S3	S10	0	0	1	0	1	0	1	0	0	0	0
S12	MTL	NC	S14	1	0	1	1	0	0	0	0	0	0	0
S13*	I	—	NC	1	0	1	1	0	0	0	0	0	0	1
S14	I	—	S10	0	0	1	0	0	0	0	0	0	0	0
S15	ACC	—	S11	0	1	0	1	1	0	1	0	0	0	0

*

**

Attestado:
 J. W. L.
 Director de Ingeniería

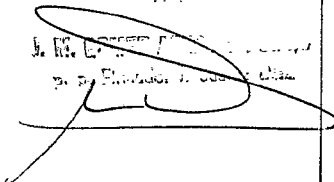


FIG. 11

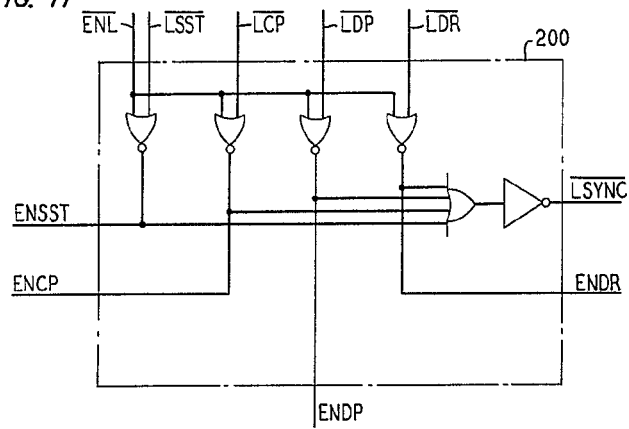


FIG. 12

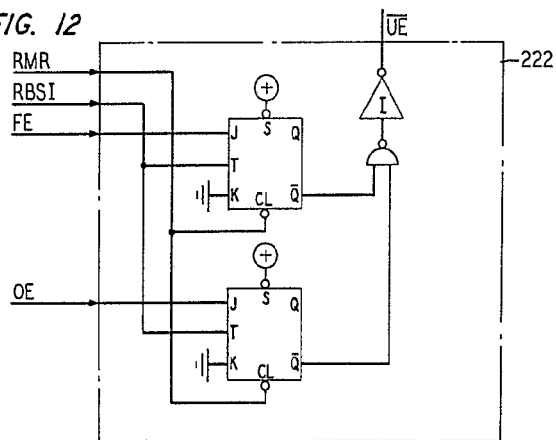
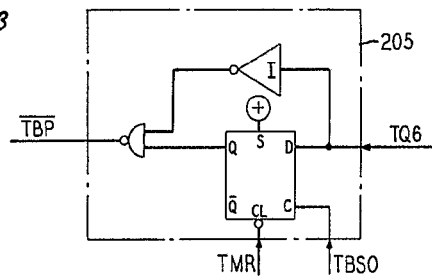


FIG. 13



[Handwritten signature and stamp]

FIG. 14

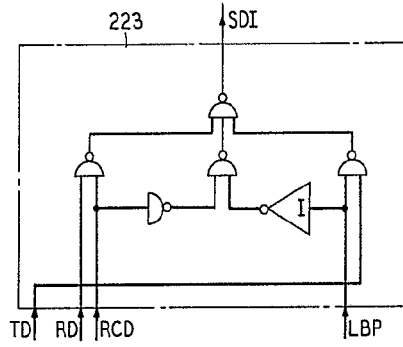


FIG. 15

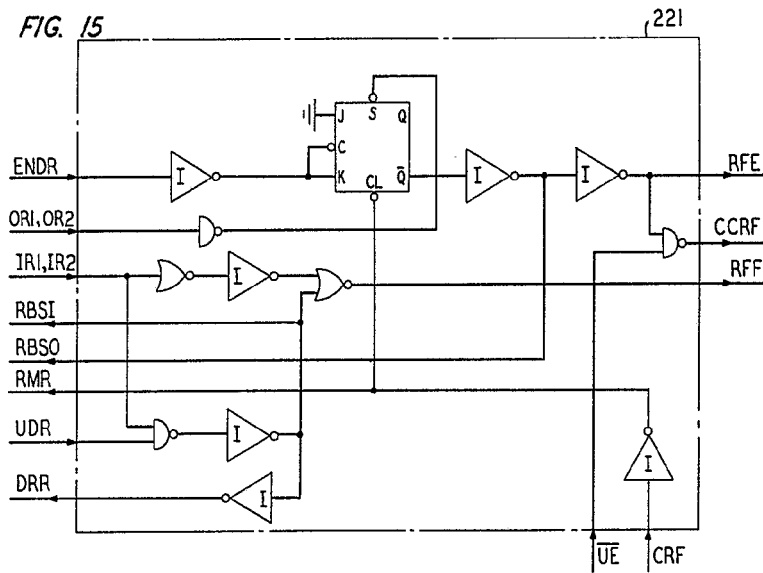
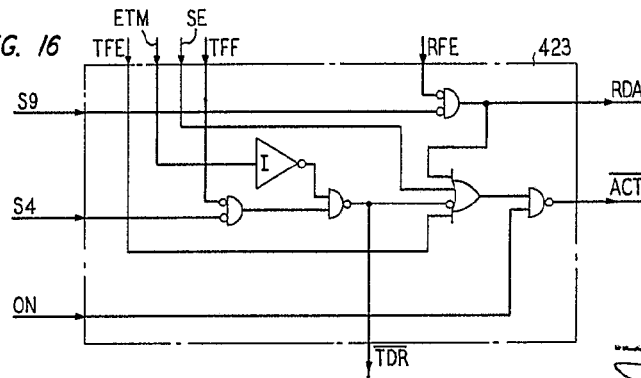


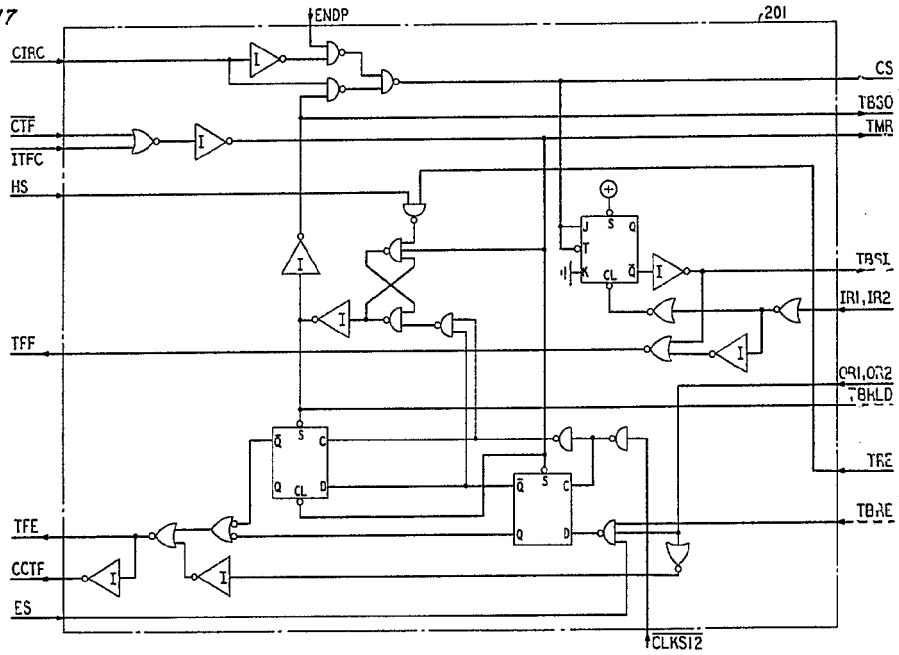
FIG. 16



ESCALA
VARIABLE

J. M. GOMEZ REYES Y COMPANIA
P.º Firmador: J. Suarez Diaz

FIG. 17



ESCALA
VARIABLE

WESTERN ELECTRIC COMPANY