

MINISTERIO DE INDUSTRIA Y ENERGIA  
Registro de la Propiedad Industrial

20 NOV. 1978

ES

11	NUMERO	464.138
22	FECHA DE PRESENTACION	15-11-77

A1



ESPAÑA

Concedido el Registro de acuerdo  
con las disposiciones que figuran en la pre-  
sente descripción y según el con-  
tenido de la Memoria adjunta.

**PATENTE DE INVENCION**

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	P 26 52 103.9		16-11-76		Rep. Federal Alemana

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H 01 L		

64	TITULO DE LA INVENCION
	"DISPOSICION DE SEMICONDUCTOR INTEGRADA PARA UN ESQUEMA DE CIRCUITO LOGICO".

71	SOLICITANTE (S)	(GE9-76-009)
	INTERNATIONAL BUSINESS MACHINES CORPORATION	

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, Estados Unidos de América

72	INVENTOR (ES)
	Horst H. Berger y Siegfried Kurt Wiedmann

73	TITULAR (ES)

74	REPRESENTANTE	(P.- 67.236)
	DON OSCAR DE ELZABURU FERNANDEZ	

1 En el sector de la técnica de circuitos integra-  
dos gracias a la invención del esquema de circuito dado a  
conocer bajo la designación MTL (Merged Transistor Logic =  
lógica de transistor fusionado) o I<sup>2</sup>L (Integrated Injection  
5 Logic = lógica de inyección integrada) se ha iniciado un  
desarrollo por medio del cual se combinan entre sí amplia-  
mente las ventajas de la técnica bipolar tradicional (ele-  
vada velocidad de conmutación) con las ventajas de la téc-  
nica FET dominante en aquel momento (elevada densidad de  
10 integración, reducida potencia de pérdida). Del gran núme-  
ro de artículos aparecidos respecto a este tema en la bi-  
bliografía técnica se puede remitir por ejemplo a las expo-  
siciones en el IEEE Journal of Solid-State Circuits, volu-  
men SC-7, número 5, octubre de 1972, páginas 340 y siguien-  
15 tes, así como 346 y siguientes. Como consecuencia de ello  
se conocieron con diferentes nombres perfeccionamientos  
basados sobre el mencionado esquema (de inyección), en los  
que la corriente de portadores de carga que parte de un  
inyector (primario) pudo conectarse en su recorrido hacia  
20 una región colectora condicionadamente a través de diferen-  
tes zonas de control dispuestas en el curso del recorrido.  
En otras palabras, en este caso se aprovechaba la llamada  
inyección secundaria en cadenas PNP para la formación de  
enlaces lógicos. Ejemplos de tales perfeccionamientos se  
25 encuentran bajo la designación CHL (Current Hogging Logic =  
lógica de cribado de corriente) en el IEEE Journal of Solid-  
-State Circuits, volumen SC-9, número 5, octubre de 1974,  
páginas 228 a 233, y además bajo la designación CHIL  
(Current Hogging Injection Logic = lógica de inyección con  
30 cribado de corriente) en el IEEE Journal of Solid-State

1 - Circuits, volumen SC-10, número 5, octubre de 1975, páginas 348 a 352 así como en la DT-OS 25 09 530 de la solicitante (número de referencia interno GE 975 004).

5 En las conocidas formas de realización de estos circuitos basados en el principio de inyección - en cualquier caso si con ello han de realizarse funciones de enlace lógicas de variables de entrada - para la fabricación según una técnica monolítica de semiconductores se requieren por lo menos tres máscaras determinantes de las dimensiones incluidos los huecos de contacto (sin diseño de metalización). Si se parte por ejemplo de un material para semiconductores impurificado en N, se necesita una primera máscara para la estructuración de las zonas de impurificación conductivas en P de las estructuras PNP. Por medio  
10 de una segunda máscara se definen las zonas de impurificación conductivas en N dentro de algunas zonas P para las estructuras NPN. Finalmente se requiere además una tercera máscara determinante de los huecos de contacto para las correspondientes zonas de impurificación. Para el marco de  
15 la presente invención se puede prescindir de las etapas adicionales de fabricación que siguen a esto.

20 Con la invención se pretende un perfeccionamiento adicional de los conocidos circuitos del tipo tratado arriba. Especialmente ha de ser posible una fabricación más sencilla de tales circuitos con un consumo menor de máscaras. Debido a las relaciones existentes en este sentido, con la invención se pretende, según otro aspecto del planteamiento de misión, un aumento adicional de la densidad de integración o un perfeccionamiento adicional, frente a  
25 los circuitos conocidos, del producto, que caracteriza a  
30

1 las propiedades eléctricas del circuito, de los factores  
tiempo de retardo y potencia de pérdida por cada función  
de enlace. Finalmente con criterios económicos la misión  
de la invención es una reducción adicional de los costes  
5 de fabricación de tales circuitos, aumentándose la densi-  
dad de funciones en una unidad de empaquetamiento estable-  
cida previamente o alojándose el mayor número posible de  
funciones del circuito de conmutación en una plaquita de  
semiconductor (pastilla).

10 Las características importantes para la resolu-  
ción de esta misión se encuentran en las reivindicaciones.  
De manera resumida la invención prevé en su forma general  
para la realización inmediata de enlaces lógicos de varia-  
bles de entrada, prever en una disposición de semiconduc-  
15 tor con por lo menos dos zonas de impurificación entremez-  
cladas de las que por lo menos la externa debe ser accesi-  
ble eléctricamente, una conexión externa sobre la superfi-  
cie no directamente sobre esta zona, sino sobre una zona,  
dispuesta contiguamente a ésta, del mismo tipo de conduc-  
20 tividad, efectuándose el acoplamiento funcional a la zona  
exterior de por lo menos dos zonas de impurificación entre-  
mezcladas por medio de acoplamiento por inyección. Para  
una estructura de transistor NPN esto significa, por ejem-  
plo, que la zona de conexión de la base está separada de  
25 la base propiamente dicha y está antepuesta a ésta, esta-  
bleciéndose la unión mediante inyección de huecos. Median-  
te la separación de la zona de conexión puede utilizarse  
para circuitos de este tipo un proceso de fabricación no-  
tablemente simplificado, porque las zonas de impurifica-  
ción y eventualmente incluso las aberturas de contacto pue-

1 den definirse conjuntamente como superficies mínimas por una única máscara, añadiéndose a esto solamente una máscara gruesa relativamente no crítica (llamada máscara de bloqueo).

5                   Ciertamente ha sido dada ya a conocer una disposición de semiconductor en la que entre una zona de inyector y un transistor de salida NPN, que está realizado sin conexión externa de la base, se encuentra una zona adicional, provista con una conexión externa, del mismo tipo de  
10 conductividad que la zona de base del transistor, véase Electronics del 3 de octubre de 1974, páginas 111 a 118, especialmente página 114. La disposición de semiconductor mostrada allí sirve no obstante expresamente para la adaptación del nivel de tensión requerido en la zona de transición por diferentes esquemas de circuitos de conmutación  
15 (allí  $I^2L/TTL$ ). No se encuentra ninguna referencia a la posibilidad de realización de enlaces lógicos ni tampoco a los aspectos especiales en lo que se refiere a las etapas de fabricación o enmascaramiento de técnica de procesos, sobre los que se basan las ventajas obtenibles con  
20 la invención. Especialmente en el caso de la salida del circuito adaptador no se trata de la salida lógica original, en la que se forma por vez primera el resultado de enlace. La operación de enlace correspondiente se realiza más bien en la parte de circuito  $I^2L$  convencional conectada de antemano y está ya terminada a disposición esencialmente en la entrada del circuito adaptador.  
25

30                   Finalmente la estructuración de dos zonas de impurificación por medio de una única abertura de máscara debe considerarse como conocida por sí, véase DT-OS 1 789 055.

1 No se encuentra ninguna mención a transistores, especialmente ninguna a transistores del tipo propuesto, de tal manera que además no existen puntos de contacto adicionales con el sector afectado por la invención.

5 La invención se explica más detalladamente a continuación por medio de ejemplos de realización con ayuda de los dibujos.

En ellos:

10 La figura 1 muestra un primer ejemplo de realización de la invención en forma de un elemento NO para dos variables de entrada en una vista superior así como en la sección transversal a través de la correspondiente estructura de semiconductor;

15 La figura 2 una conocida estructura comparativa MTL;

la figura 3 representaciones para la comparación superficial de una disposición según la invención con una estructura conocida comparable;

20 la figura 4 representaciones para la explicación de la intercambiabilidad lógica de disposiciones según la invención con conocidas disposiciones comparativas MTL;

la figura 5 otro ejemplo de realización de la invención en forma de un elemento NO ampliado a cuatro entradas;

25 la figura 6 como ejemplo adicional de realización de la invención un elemento de unión, Y DE INVERSION;

la figura 7 un último ejemplo de realización de una disposición de semiconductor según la invención;

30 la figura 8 un ejemplo de realización para la etapa de fabricación según la invención y

1                    la figura 9 la representación de un perfil de  
impurificación para el transistor de salida.

5                    Si para los siguientes ejemplos de realización  
se dan vistas superiores o representaciones de sección  
transversal para la explicación, hay que mencionar que la  
representación de la disposición mutua de zonas de impuri-  
ficación así como las demás dimensiones no se ha efectuado  
en general a escala, sino, apartándose conscientemente de  
ello, con el fin de ilustrar. De la misma manera las unio-  
10 nes y conexiones eléctricas están representadas sólo de ma-  
nera esquemática. En el caso de vistas superiores, a partir  
de las cuales ha de resultar clara la posición de las zonas  
de impurificación, la capa aislante que cubre eventualmente  
al cuerpo de semiconductor se ha supuesto como transparen-  
15 te.

                  En las figuras 1A y 1B en una vista superior o  
en una representación correspondiente de la sección trans-  
versal a lo largo de la línea de corte indicada está indi-  
cado un primer ejemplo de realización de la invención en  
20 su disposición de semiconductor. Como se explicará todavía,  
este ejemplo de realización constituye un elemento NO ade-  
cuado para el enlace de dos variables de entrada A y B. La  
estructura para el elemento NO se basa en un cuerpo de se-  
miconductor 1, que consta por ejemplo de silicio conducti-  
25 vo en N. El cuerpo de semiconductor puede tener de manera  
conocida en sí una región  $N^+$  cubierta o empotrada, sobre  
la que está dispuesta una capa epitaxial conductiva en N.  
Desde la superficie del cuerpo de semiconductor 1 están  
previstas zonas de impurificación P1 a P5 conductivas en P  
30 dispuestas separadamente de manera típica para la lógica

1 de inyección tratada al principio. Estas zonas P pueden es-  
2 estructurarse a través de orificios en la capa aislante 2 que  
3 cubre al cuerpo de semiconductor 1, la cual consta por ejem-  
4 plo de dióxido de silicio, utilizando procesos fotolitográ-  
5 ficos conocidos con subsiguientes procedimientos de difu-  
6 sión o implantación. Las zonas externas de impurificación  
7 P1 y P5 son los llamados inyectores primarios para la apor-  
8 tación de corriente; éstos están conectados entre sí eléc-  
9 tricamente y son accesibles a través de la conexión I exte-  
10 rior de inyector. A través de esta conexión I de inyector  
11 se aplica un flujo de corriente  $I_0$  (elegible) de la manera  
12 usual para tales esquemas de lógica de inyección. P2 y P4  
13 son las llamadas zonas de inyección secundaria, que están  
14 provistas con entradas de condición lógicas A ó B. A con-  
15 tinuación éstas se designan también como zonas de control  
16 de la base o de conexión de la base. Por medio de éstas  
17 la corriente de portadores de carga que sale de los inyec-  
18 tores primarios P1 y P5 se puede conectar en función de la  
19 condición, en su recorrido hacia el transistor de salida  
20 dispuesto en el centro de esta disposición de cadena PNP.  
21 El transistor de salida consta de la zona P3 dispuesta en  
22 el cuerpo del semiconductor N así como de la zona de impu-  
23 rificación N1 adicional prevista en él. La zona de impuri-  
24 ficación N1 proporciona una salida C, en la que está dispo-  
25 nible el enlace NO de las variables de entrada A y B.

10117

Con referencia a su función eléctrica se puede  
concebir la disposición de semiconductor descrita como un  
compendio altamente integrado de diferentes transistores  
PNP, por ejemplo de los transistores PNP laterales con la  
30 sucesión de zonas P1-N-P2, P2-N-P3 etc., con un transistor

1 NPN (vertical) con la sucesión de zonas N-P3-N1. Al igual  
que en la lógica de inyección usual según el estado de la  
técnica mencionado al principio, en el caso del transistor  
de salida se trata de un transistor de funcionamiento in-  
5 verso, es decir, la zona de impurificación N1 junto a la  
superficie del semiconductor es hecha funcionar como colec-  
tor, P3 es la base, y el material fundamental del semicon-  
ductor N o la región N<sup>+</sup> cubierta o empotrada actúa como  
emisor.

10 La peculiaridad de la presente invención estriba  
ahora en el hecho de que el transistor de salida, a dife-  
rencia de conocidos circuitos de enlace de este tipo, no  
tiene ninguna conexión de la base exterior en su zona de  
base P3. Debido a la supresión de cualquier contacto ex-  
15 terno de la base en el transistor de salida NPN, en éste  
tanto la zona de base P3 como también la zona de colector  
N1 (correspondientemente a la zona de emisor en el caso  
de un transistor que funciona normalmente) se puede intro-  
ducir a través de una misma ventana de máscara 3 en la capa  
20 aislante 2 que cubre el cuerpo de semiconductor. Además de  
ello, finalmente puede aprovecharse incluso ventajosamente  
la misma ventana 3 como abertura de contacto para la cone-  
xión exterior C con la zona N1. Asimismo, en cada caso la  
abertura de impurificación puede coincidir con la abertura  
25 de contacto para las demás zonas P. Consecuentemente toda  
la estructura, incluidos los huecos de contacto, a dife-  
rencia de los circuitos conocidos de este tipo, puede ser  
definida sobre una única máscara. Solamente para distinguir  
dónde se ha de encontrar el colector del transistor de sa-  
30 lida NPN, se requiere una máscara gruesa, no crítica, en lo

1 que se refiere a sus dimensiones (la llamada máscara de  
bloqueo). Con ello se puede utilizar un proceso de fabri-  
cación extremadamente sencillo y barato, que se abordará  
adicionalmente más tarde. Se añade a esto el hecho de que  
5 la estructura, debido al ahorro de etapas de enmascaramien-  
to, puede hacerse muy pequeña en la extensión horizontal,  
porque en principio cada abertura puede tener dimensiones  
mínimas. No se requieren los suplementos de dimensión en  
lo que se refiere al tamaño mínimo de las aberturas de má-  
10 cara, prescritos en caso contrario para tener en cuenta  
tolerancias de superposición. Finalmente, mediante el lo-  
gro de estructuras mínimas se puede conseguir un factor  
de amplificación de corriente  $\beta$  superior y una velocidad  
de conmutación superior.

15 Las relaciones de acción físicas que constituyen  
la base de la función del elemento NO descrito no se dis-  
tinguen prácticamente de las de conocidos circuitos de in-  
yección del tipo mencionado al principio, tal como están  
descritos por ejemplo en la DT OS 25 09 530 (número de re-  
20 ferencia interno GE 975 004). En el caso presente es su-  
ficiente por ello una breve exposición resumida de la fun-  
ción. A través de la conexión de inyector I se aplica una  
corriente a los dos inyectores primarios externos P1 y P5.  
Los inyectores primarios inyectan después de esto portado-  
25 res de carga, en el caso de los tipos de conductividad ele-  
gidos huecos (electrones de defecto o laguna), que chocan  
(también) contra las zonas de impurificación P2 o P4 con-  
tiguas en cada caso. Según los potenciales aplicados en  
estas zonas, con los que están asociados a su vez los dos  
30 significados binarios, los portadores de carga recogidos

1 por estas zonas son derivados a través de las conexiones  
de entrada y de los transistores de salida de elementos de  
unión contiguos conectados en cada caso con aquéllos en una  
red de enlace más amplia, o los portadores de carga proce-  
5 dentes de los inyectores primarios pueden cargar la zona  
P2 y/o P4 en el estado binario diferente en cada caso de  
las variables de entrada A o B de tal manera que de estas  
zonas siga saliendo una inyección secundaria en dirección  
hacia el transistor de salida (común). En este caso su zo-  
10 na de base P3 actúa como colector para estos portadores de  
carga que proceden de los inyectores secundarios. El flujo  
de corriente que a fin de cuentas se realiza o no se reali-  
za debido a la estructura del transistor de salida, viene  
determinado por consiguiente por las entradas A y B. Es  
15 evidente que un flujo de corriente tiene lugar a través  
del transistor de salida, si por lo menos una de las zonas  
P2 o P4 conectadas con las entradas A o B actúa como inyec-  
tor secundario. En lo que se refiere a la base del transis-  
tor de salida existe según esto a los potenciales en A o B  
20 un enlace 0, que al pasar al potencial de colector se in-  
vierte para formar un enlace NO.

Por lo que respecta a la asociación de los esta-  
dos binarios "0" y "1" a los valores de tensión o de poten-  
cial correspondientes se parte en la presente descripción  
25 del acuerdo de una llamada lógica positiva. Los valores de  
potencial correspondientes son en este caso los usuales po-  
tenciales de MTL o  $I^2L$ . Al significado binario "1" corres-  
ponde en este caso el valor de la tensión de paso o direc-  
ta de la transición PN correspondiente, por ejemplo de la  
transición entre la zona P2 y el cuerpo de semiconductor N  
30

1 circundante, lo que en transiciones de silicio corresponde  
a un potencial de aproximadamente 0,7 V. Por otra parte el  
significado binario "0" en lógica positiva corresponde al  
valor de la tensión de saturación (de transistor), es de-  
5 cir prácticamente 0 V. Naturalmente la invención no está  
limitada a esta asociación de significados.

En las figuras 2A y 2B, para ilustrar la inven-  
ción está presentada la vista superior así como una sección  
transversal correspondiente a través de una estructura fun-  
10 damental MTL/I<sup>2</sup>L conocida a partir del estado de la técnica  
mencionado al principio. En este caso se trata de una es-  
tructura con una entrada de condición D y dos salidas E y  
F. Tal como se muestra con detalle posteriormente por medio  
de la figura 4, colectores múltiples (salidas) en lo que  
15 se refiere a la función lógica son comparables en el caso  
de MTL/I<sup>2</sup>L con inyectores secundarios múltiples de modo  
correspondiente al primer ejemplo de realización de la in-  
vención según la figura 1. Tal como en la figura 1, tam-  
bién aquí está prevista en un cuerpo de semiconductor 1  
20 conductivo en N una zona de inyección primaria P 11 provis-  
ta con una conexión de inyector I, y contigua a ésta la zo-  
na de base P31 del transistor de salida correspondiente a  
la zona P3 en la figura 1. Un inyector secundario corres-  
pondiente a la zona P2 en la figura 1 no está presente.  
25 En la zona de base P31 del transistor de salida están alo-  
jadas separadamente dos zonas N11 y N21 (como zonas de co-  
lector). En la región izquierda de la zona de base P31 está  
previsto el sitio requerido para la conexión (de condición)  
externa D o para el correspondiente hueco de contacto 4.  
30 La disposición de semiconductor está cubierta con una capa

1 aislante 21, que permite reconocer ya las varias etapas  
necesarias de enmascaramiento.

5 En comparación con esta conocida estructura bá-  
sica resultan claras las características especialmente im-  
portantes en lo que respecta a la invención. Las estructu-  
ras fabricadas según la invención no tienen ninguna cone-  
xión externa de base para el transistor de salida así como  
ningún colector múltiple ni ninguna salida múltiple. A di-  
ferencia del proceso de fabricación, muy sencillo, y espe-  
cialmente al que basta prácticamente solo una máscara de-  
terminante de las dimensiones, ya mencionado arriba y que  
10 se ha de describir todavía con más detalle, las estructu-  
ras del tipo conocido, presentadas en la figura 2, requie-  
ren una etapa de fabricación considerablemente más costosa  
y que proporciona circuitos de semiconductores integrados  
15 menos densamente.

Para la fabricación de la estructura mostrada en  
la figura 2, por medio de una primera etapa de enmascara-  
miento en la capa aislante (gruesa) 21 se abren las abertu-  
ras designadas en la figura 2B con 5 y 6 hasta llegar a la  
20 superficie del cuerpo de semiconductor 1. A través de estas  
aberturas se forman la zona P11 así como la zona P31 (por  
ejemplo mediante difusión). Después de esto está formada  
o se forma nuevamente en estas aberturas una capa aislante,  
25 de tal manera que el cuerpo de semiconductor está cubierto  
de una capa protectora continua (escalonada). Por medio de  
una segunda etapa en enmascaramiento se abre, cada vez, a  
continuación en la capa aislante producida en último lugar,  
30 una ventana para la introducción de los materiales de impu-  
rificación para las zonas de colector N11 y N21. Por medio

1 de una tercera etapa de enmascaramiento deben fabricarse  
finalmente las aberturas de contacto, en especial precisa-  
mente también la abertura de contacto 4 para la conexión  
de base. Debido a las sucesivas etapas de enmascaramiento  
5 y a los suplementos de tolerancia necesarios para el ajus-  
te de las máscaras, resultan frente a la invención dispo-  
siciones comparables que necesitan claramente más superfi-  
cie de semiconductor.

10 En la figura 3 está establecida una comparación  
superficial a escala de la realización según la invención  
conforme a la figura 1 con la conocida realización según  
la figura 2. La figura 3A muestra prácticamente una vista  
de detalle de la (única) máscara determinante de dimensio-  
nes, es decir reproduce la vista superior sobre las abertu-  
15 ras de máscara (de óxido) en la capa aislante 2, reconoci-  
bles en sección transversal en la figura 1B. Correspondien-  
temente la figura 3B reproduce una vista superior sobre las  
máscaras superpuestas necesarias para la producción de la  
disposición según la figura 2. Para ambos casos están toma-  
20 das como fundamento las mismas reglas de dimensionamiento,  
es decir rigen las mismas prescripciones en lo que se re-  
fiere a las distancias mínimas, todavía permisibles etc.  
Se tiene en cuenta además que pueden preverse conjuntamente  
inyectores primarios para elementos de unión contiguos, a  
25 partir de lo cual se explica que los enmascaramientos indica-  
dos de líneas interrumpidas en las figuras 3A y 3B para la  
superficie resultante requerida, sólo abarcan en la mitad  
algunas aberturas de máscaras. Con las suposiciones mencio-  
nadas ha resultado una relación de  $X_1 \cdot Y_1 / X_2 \cdot Y_2 = 1/1,9$  para  
la superficie mínima requerida de las mencionadas estructu-

1 ras comparativas. Con ello, junto a la ventaja de poder utilizar un proceso de fabricación considerablemente más sencillo y barato, se puede alcanzar un notable aumento de densidad de integración.

5 Por medio de las figuras 4A y 4B ha de explicarse para un caso, que constituye ya otro ejemplo de realización de la invención (figura 4B) que la supresión del contacto de base y de los colectores múltiples en la estructura del transistor de salida no significa ninguna limitación en lo que se refiere a los posibles enlaces lógicos frente a MTL. Para explicar la intercambiabilidad lógica de los colectores múltiples en el caso de esquemas MTL y de los inyectores secundarios múltiples en el marco de la invención, se ha elegido en la figura 4A para MTL o en la figura 4B según la invención el ejemplo de dos enlaces NO de A y C o de A y B. En ambas estructuras comparativas han sido suprimidos los inyectores primarios para obtener una mejor visibilidad. En este contexto éstos no interesan. De las representaciones se deduce que el número de los inyectores secundarios P6, P7, P8 y P9 en la figura 4B es igual al número de las zonas de colector separadas N3, N4, N5 y N6 en la figura 4A (MTL). En el caso de MTL existe por tanto una distribución física del colector en colectores parciales separados, correspondiendo el número de los colectores parciales a la llamada salida en abanico. En el caso de entrada en abanico, es decir por el lado de la entrada, no tiene lugar ninguna separación de zonas de semiconductor, y existe más bien una llamada entrada en abanico cableada. Esto está indicado en la figura 4A mediante la diversificación de los correspondientes conductores de entrada, lo que

1 es posible porque los conductores reunidos allí proceden de salidas, desacopladas en cada caso, de otros elementos de unión comparables.

5 En el caso del elemento NO de inyección secundaria (figura 4B) el inyector secundario (P6-P9) está distribuido físicamente según la entrada en abanico. En el lado de salida está presente, en lugar de esto, una llamada salida en abanico cableada en forma del colector N7 o N8 único en cada caso. Ambas medidas, es decir tanto la separación en el lado de entrada (entrada en abanico) como también en el lado de salida (salida en abanico) son equivalentes desde el punto de vista lógico, tal como se deduce de las dos representaciones en las figuras 4A y 4B. Con respecto a la realización de los dos enlaces lógicos indicados en la figura 4B, a saber del enlace NO de las variables de entrada A y C, por una parte, así como de A y B, por la otra, puede remitirse al ejemplo de realización descrito en relación con la figura 1. En resumen, solamente hay que decir a este respecto que el transistor de salida superior con la zona de colector N7 es ya conductora (potencial del colector aproximadamente 0 V), cuando por lo menos una de las entradas C o A permite un proceso de inyección secundaria de la zona P6 o P7 al transistor de salida. Si ambas entradas C y A están en cuanto al potencial a aproximadamente 0 V, los portadores de carga procedentes del inyector primario (no mostrado) y que llegan a la zona P6 así como a la P7 son derivados a través de estos conductores de entrada. El transistor de salida permanece en este caso bloqueado, es decir el potencial del colector tiene el valor de nivel superior correspondiente a un "1" bi-

10  
15  
20  
25  
30

1 nario. Lo mismo vale para el enlace NO, representado en la  
parte inferior de la figura 4B, de las variables de entra-  
da A y B. En este lugar se puede hacer mención también a  
que, partiendo de tales enlaces NO se pueden estructurar  
5 fundamentalmente todos los enlaces más complejos posibles.  
Esto mismo vale por ejemplo también para enlaces Y DE INVER-  
SION o en general para las funciones o grupos de funciones  
conocidos como sistemas fundamentales en el sector de los  
circuitos lógicos.

10 La figura 5A muestra como ejemplo de realización  
adicional de la invención un elemento NO ampliado a 4 entra-  
das. Se le puede imaginar derivado del elemento NO, repre-  
sentado en la figura 1A, mediante división de las zonas  
(de inyección secundaria) designadas allí con P2 o P4. Co-  
15 rrespondientemente resulta para la representación de sec-  
ción transversal, a lo largo de la línea de corte mostra-  
da, la sucesión de zonas comparable con la figura 1B. En  
lo que se refiere a la función de las zonas de inyección  
secundaria P2, P21 o P4, P41 dispuestas en cada caso para-  
20 lelamente a un transistor de salida (colector N1) puede re-  
mitirse a la explicación respecto a la figura 4B con las  
correspondientes zonas P6, P7.

25 La figura 5B muestra el diagrama de circuitos  
equivalente eléctrico correspondiente a la disposición de  
semiconductor de la figura 5A, del que se desprenden las  
cadenas PNP juntamente con el transistor de salida PNP  
provisto sin conexión externa de base así como la posición  
de las entradas A a D y de la salida E. Para facilitar la  
asociación entre el diagrama de circuitos, por una parte, y  
30 la disposición de semiconductores, por la otra, están desig-

1 -nadas las zonas de transistores.

Hay que hacer observar además que pueden aprove-  
charse también las conocidas ventajas de un bloqueador o  
inhibidor lateral de inyección, especialmente de uno cons-  
tituido a base de aislamiento dieléctrico (llamado Recessed  
-Oxide-Isolation = aislamiento de óxido rebajado), juntamen-  
te con las estructuras lógicas descritas según la presente  
invención. El bloqueador de inyección limita las inyeccio-  
nes laterales preferentemente a los bordes (que se han de  
inyectar) deseados de las zonas de impurificación corres-  
pondientes o en las direcciones deseadas, y mejora por con-  
siguiente las propiedades eléctricas de tales estructuras.  
La figura 5C muestra con la ayuda del ejemplo de la estruc-  
tura según la figura 5A una tal realización con aislamien-  
to dieléctrico como bloqueador de inyección. Los aislamien-  
tos de óxido correspondientes están representados con raya-  
do o sombreado. Una sección transversal correspondiente es-  
tá mostrada en la figura 50.

En la figura 6A está representado esquemáticamente  
como ejemplo de realización adicional de la invención  
un circuito Y DE INVERSION en una vista superior. Una sec-  
ción transversal correspondiente a ella, a lo largo de la  
línea de corte mostrada, se encuentra en la figura 6B. Tam-  
bién aquí está previsto nuevamente un inyector primario  
P10 con otra conexión externa de inyector I, cuya corrien-  
te de inyección puede llegar a la zona (de inyección secun-  
daria) P14. La zona P14 tiene una conexión 7, que se descom-  
pone eléctricamente en dos conexiones de entrada exterior-  
res para las variables de entrada A y B. Por consiguiente  
se forma en la entrada un llamado elemento Y cableado, lo

1 cual es posible porque las señales A y B proceden de sali-  
das desacopladas (comparables a C o C') según este esquema  
de circuito. En comparación con la disposición de la figu-  
ra 1A, a la que la disposición descrita aquí es igual en  
5 este sentido, el transistor de salida está dividido no obs-  
tante en dos estructuras de transistor separadas. La sali-  
da C es derivada por la zona de colector N9 dentro de una  
de las zonas de base P12. La salida C' es derivada por la  
zona de colector N10 dentro de la otra zona de base P13.  
10 La zona de emisor común de estos transistores de salida es  
formada por el cuerpo de semiconductor conductivo en N. Es-  
te ejemplo de realización muestra cómo, conservando las  
características especiales según la invención, a saber la  
supresión de los colectores múltiples así como del contac-  
15 to de base en el transistor de salida, mediante descompo-  
sición de la entrada de condición en dos o varias entradas  
en colaboración con un tal transistor de salida puede rea-  
lizarse una función Y DE INVERSION, o cómo, mediante una  
disposición múltiple de transistores de salida se pueden  
20 obtener salidas, múltiples y desacopladas mutuamente, de  
igual función lógica. Para el técnico ocupado de la estruc-  
turación de complejas redes de enlace se ofrecen con ello  
notables grados de libertad, de tal manera que está garan-  
tizada una elevada flexibilidad de este esquema de circui-  
25 to de conmutación.

La figura 7 muestra finalmente en un último ejem-  
plo de realización la utilización de una disposición funda-  
mental del tipo mostrado en la figura 6 en otro contexto.  
Tampoco aquí está representado el inyector primario por  
30 razones de mejor visibilidad. Se muestra una vez más que

1 con tales estructuras que pueden fabricarse con ajuste au-  
tomático es posible una separación de salida en abanico,  
si se utiliza el inyector secundario o la zona de conexión  
de base con entrada en abanico cableada y si en su lugar se  
5 prevén nuevamente salidas de colector separadas iguales al  
número de salidas en abanico.

Antes de abordar un ejemplo de realización rela-  
tivo a un procedimiento de fabricación sencillo, utiliza-  
ble con tales estructuras, sobre el que se basan de modo  
10 no insignificante las considerables ventajas del tipo men-  
cionado al principio, obtenibles con la invención, hay que  
decir además que naturalmente pueden aprovecharse las for-  
mas mixtas más diversas de las estructuras fundamentales  
descritas en el marco de un proyecto de circuitos. Así,  
15 por ejemplo, varias zonas de inyección secundaria, dispues-  
tas en paralelo y/o en serie, pueden actuar sobre una es-  
tructura individual común de transistor de salida. Regio-  
nes individuales o múltiples de estas zonas de inyección  
secundaria pueden estar provistas con entradas descompues-  
20 tas según el descrito enlace Y cableado. Sin embargo, tam-  
bién pueden estar previstas juntamente con ello, o en su  
lugar, para una zona de inyección secundaria varias estruc-  
turas de transistor de salida, cuyas salidas están even-  
tualmente a su vez descompuestas, si están presentes para  
25 ello entradas desacopladas. Además de ello, también en la  
correspondiente función de salida puede tenerse en cuenta  
la aparición de la corriente de inyección primaria como  
otra condición adicional. Además, se propuso ya anteriormen-  
te, en relación con esta lógica de inyección, hacer de di-  
30 ferente magnitud la corriente de inyección aplicada en fun-

1 ción de la velocidad de conmutación deseada de los elemen-  
tos de unión. Obviamente, se puede hacer también uso de  
ello en el contexto presente. Lo mismo vale para los nume-  
rosos perfeccionamientos y mejoras dados a conocer en rela-  
5 ción con circuitos de lógica de inyección. En este contex-  
to se remite expresamente a la DT-OS 25 09 530 de la soli-  
citante, ya mencionada al principio (número de referencia  
interno GE 975 004), así como al artículo de los inventores  
aparecido en Electronics del 2 de octubre de 1975, páginas  
10 99-103. Según esto, especialmente en lugar de las estruc-  
turas laterales del inyector son también posibles inyector-  
es verticales (véase allí página 101), la estructuración  
o previsión de contactos metálicos Schottky para prever en-  
15 tradas y/o salidas adicionales desacopladas o como diodos  
de sujeción de nivel (que impiden la saturación) con barre-  
ras eventualmente diferentes, etc.

Por medio de las representaciones en sección trans-  
versal según la figura 8 ha de explicarse más concretamen-  
te un ejemplo de un desarrollo de proceso especialmente  
20 ventajoso, utilizable en el marco de la invención, para la  
fabricación de tales elementos de unión con un transistor  
de salida sin conexión galvánica de la base. Ya que la dis-  
posición de semiconductores fabricada finalmente de esta  
manera puede considerarse como una vista fragmentaria del  
ejemplo de realización explicado en la figura 1, se utili-  
25 zaron en este contexto los mismos signos de referencia. Co-  
rrespondientemente a la figura 8A se parte de una plaquita  
de silicio 1. En este caso en la superficie decisiva para  
las etapas de fabricación adicionales puede estar presente  
30 una sucesión de capas N-N<sup>+</sup>, por ejemplo epitaxial. Sin em-

1 bargo también puede elegirse un material de semiconductor  
conductivo en P<sup>-</sup> con regiones empotradas o cubiertas N<sup>+</sup>  
selectivas. El cuerpo de semiconductor 1 está cubierto de  
manera conocida con una capa aislante 2, por ejemplo con  
5 una capa de dióxido de silicio de 5.000 Å. de espesor.

A la disposición mostrada en la figura 8B ha si-  
do aplicado un proceso fotolitográfico conocido en sí. En  
este caso ha pasado a utilizarse la (única) máscara deter-  
minante de las dimensiones. En todas las partes, en donde  
10 se utilizan zonas conductivas en P, es decir inyectores,  
inyectores secundarios y transistores NPN (o también para  
eventuales zonas de aislamiento), son corroídas las corres-  
pondientes aberturas en la capa aislante 2. Sigue una eta-  
pa de impurificación tipo P, por ejemplo una difusión de  
15 boro con un perfil, tal como se muestra en el ejemplo de  
realización según la figura 9, y que se va a explicar toda-  
vía brevemente. Gracias a esto se producen las zonas desig-  
nadas con P1, P2 y P3 de modo correspondiente a la figura  
8C. En las aberturas de la capa aislante 2, a través de  
20 las cuales son introducidas estas zonas de impurificación,  
se forma a continuación la capa aislante, más delgada, re-  
conocible en la figura 8C, por ejemplo por medio de una  
subsiguiente reoxidación con un espesor de óxido de por  
ejemplo 1.000 Å. Con ello la superficie total del cuerpo  
25 de semiconductor está cubierta nuevamente por una capa ais-  
lante. Por medio de una máscara gruesa, ahora relativamen-  
te no crítica en lo que se refiere a sus dimensiones, (lla-  
mada máscara de bloqueo), que está designada con 8 en la  
figura 8D, esta delgada capa de óxido se desprende solamen-  
30 te sobre la zona de impurificación P3 destinada para el

1 transistor de salida NPN deseado. Para ello se efectúa nue-  
vamente un conocido proceso fotolitográfico con un proceso  
de corrosión subsiguiente. Es evidente sin más a partir de  
la figura 8D, que el ajuste de la máscara gruesa 8 con la  
5 abertura 9, contenida en ella, no es crítico, porque pueden  
tolerarse desplazamientos laterales de la máscara así como  
eventuales inexactitudes de dimensiones de la abertura 9  
en un grado desacomodadamente grande para tales etapas  
de enmascaramiento. A través de la ventana de óxido 10 des-  
10 cubierta de esta manera (nuevamente) se estructura enton-  
ces a continuación de manera conocida la zona de impurifi-  
cación N1 ( $N^+$ ). Preferentemente, a esta etapa de difusión  
no le sigue ninguna reoxidación, de tal manera que el cuer-  
po de semiconductor queda sin cubrir en la zona de la ven-  
15 tana 10, véase figura 8D.

Por medio de una breve corrosión por inmersión  
subsiguiente (llamada apertura por inmersión) sin enmasca-  
ramiento, se corroe la delgada capa de óxido en las restan-  
tes aberturas de la máscara dondequiera, precisamente duran-  
20 te un tiempo tal que las zonas P quedan descubiertas nueva-  
mente para la subsiguiente puesta en contacto. Después de  
esto se presenta la estructura mostrada en la figura 8E. Las  
etapas de proceso adicionales, ya no decisivas en el marco  
de esta invención, prevén de manera conocida la aplicación  
25 de las uniones (metálicas) por medio de procesos habitua-  
les y eventualmente en varias capas así como la fabricación  
subsiguiente de las conexiones externas.

En lugar de la etapa de reoxidación descrita en  
relación con la figura 8C, se puede aplicar también nitruro  
30 de silicio, que reacciona frente a una solución corrosiva,

1 por la que el dióxido de silicio no es gastado. Es tam-  
bién concebible invertir la sucesión de difusión, es de-  
cir primeramente  $N^+$  y después P. Esto puede lograrse si en  
la primera etapa se aplica nitruro de silicio sobre un  
5 dióxido de silicio más delgado de aproximadamente 1.000 Å.  
A continuación se marcan en este nitruro de silicio las  
ventanas o aberturas y el óxido se abre a través de una  
máscara gruesa primeramente solo en la región  $N^+$ . Una eta-  
pa de corrosión por inmersión abre después de la difusión  
10  $N^+$  todas las ventanas para las zonas de impurificación P.

En la figura 9 está representado un ejemplo re-  
lativo al perfil vertical de impurificación a través de  
tal transistor de salida NPN. Este perfil vertical no  
debe diferenciarse de los usuales transistores NPN monolí-  
15 ticos. Se pueden utilizar también perfiles más modernos,  
producibles mediante implantación de iones, en los que  
la impurificación de la base intrínseca del transistor es  
definida por una implantación profunda. Las zonas de base  
extrínsecas, es decir también los inyectores tipo P, se  
20 pueden producir mediante difusión o mediante una segunda  
implantación más plana. Por base intrínseca se entiende  
en el contexto presente la zona de base propiamente dicha,  
que está prevista en el marco de la presente invención  
sin conexión externa. Las estructuras que constituyen el  
25 fundamento de la invención se pueden concebir, por ejemplo,  
como transistores NPN, en los que a la zona de base pro-  
piamente dicha está antepuesta una zona de impurificación  
que tiene el mismo tipo de conductividad, que está provis-  
ta de una conexión externa, por medio de la cual se puede  
30 controlar el flujo de corriente a través del transistor

1 NPN. Esta zona de contacto de la base separada o antepues-  
ta se designa en el contexto presente también como base  
"extrínseca".

5 En la figura 9 está representada a escala loga-  
rítmica una representación aproximada de la densidad de  
impurificación  $N/cm^3$  en función de la profundidad  $X$ . Con  
 $N_E^+$  se designa el curso de impurificación de la difusión  
del "emisor". Si se utilizan estructuras de transistor in-  
versas, se producen de este modo en tales esquemas de ló-  
gica de inyección, como se sabe, las zonas de colector.  
10  $P_{Be}^+$  o  $P_{Bi}$  designan la densidad de impurificación  $P$  de las  
zonas de base extrínsecas o intrínsecas. Como zonas de  
base extrínsecas se consideran en el contexto presente las  
zonas (de conexión de la base (inyectores secundarios) o  
15 incluso los inyectores primarios. Los demás datos sobre  
impurificación relativos a la capa epitaxial ( $N_{EPI}^+$ ) o al  
substrato ( $N_{SUB}^+$ ) se explican por sí mismos.

En este caso no es necesario proveer a los in-  
yectores asimismo con la impurificación intrínseca de la  
20 base. Más bien, después de la formación de la base extrín-  
seca (para inyectores y transistor NPN), se puede utilizar  
una etapa de enmascaramiento grueso, por la que se dife-  
rencian los inyectores del transistor NPN. Después de es-  
to en el transistor NPN se implantan sucesivamente la ba-  
25 se intrínseca - y el emisor  $-N^+$  (colector).

Para terminar puede afirmarse que, a diferencia  
de las condiciones elegidas para los ejemplos de realiza-  
ción pueden elegirse los tipos de conductividad complemen-  
tarios en cada caso, asociaciones de potenciales lógicas  
30 opuestas, otros materiales de substrato y posibilidades

1 de aislamiento, hasta substratos aislantes en lugar de  
semiconductores, sin abandonar por ello el marco de la  
presente invención. En lugar de estructuras hechas funcio-  
nar de modo inverso pueden hallar utilización también tran-  
5 sistores hechos funcionar de modo normal, con la misma  
ventaja en lo que se refiere a la posibilidad de utiliza-  
ción del procedimiento descrito. En lugar de una difusión,  
se puede utilizar también, como se ha mencionado ya, un  
procedimiento de implantación, o una combinación a base  
10 de ambos. Si se remite a procedimientos fotolitográficos  
habituales, se incluyen también entre éstos los procedi-  
mientos de haces de electrones o incluso de haces de ra-  
yos X, prometedores de éxito para densidades de integra-  
ción muy elevadas.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

1ª.- Disposición de semiconductor integrada para un esquema de circuito lógico con zonas de impurificación entremezcladas, que representan en cada caso la zona de base y de colector o emisor de transistores bipolares, preferentemente de transistores inversores desde el punto de vista lógico en circuitos de lógica de inyección, que se caracteriza por el hecho de que estos transistores bipolares están realizados sin conexión externa sobre su zona de base propiamente dicha, por el hecho de que están previstas entradas de condición lógicas externamente accesibles en forma de conexiones o contactos en por lo menos una zona de control de base o de conexión de base separada, unida con la zona de base propiamente dicha del transistor bipolar por medio de acoplamiento interno de inyección, como zona de impurificación adicional del mismo tipo de conductividad que la zona de base, y por el hecho de que la zona de transistor dispuesta en la zona de base propiamente dicha del transistor bipolar como zona de impurificación está prevista como salida lógica original, en la que se forma por primera vez el resultado de enlace.

30

2ª.- Disposición de semiconductor según la reivindicación 1ª, que se caracteriza por el hecho de que

1 se establecen enlaces lógicos por el hecho de que salidas  
(colectores) de diversos transistores bipolares están  
unidas o de que transistores bipolares están provistos con  
por lo menos dos entradas de condición.

5 3ª.- Disposición de semiconductor según las rei-  
vindicações 1ª ó 2ª, que se caracteriza por el hecho  
de que a las zonas de conexión de base están conectadas  
fuentes de corriente, que son realizadas preferentemente  
por medio de inyección directa desde una zona contigua  
10 de igual tipo de conductividad.

15 4ª.- Disposición de semiconductor por lo menos  
según la reivindicación 1ª, que se caracteriza por el he-  
cho de que por lo menos en cada caso uno de los bordes  
de las zonas de impurificación entremezcladas está defini-  
do en cuanto a su disposición con utilización de un mismo  
proceso de fotolitografía determinante de las dimensiones.

20 5ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que por lo menos un borde de por lo menos una  
de las zonas de impurificación entremezcladas así como de  
por lo menos otra zona de impurificación están definidos  
en cuanto a su disposición utilizando un mismo proceso  
de fotolitografía determinante de las dimensiones.

25 6ª.- Disposición de semiconductor por lo menos  
según la reivindicación 1ª, que se caracteriza por el he-  
cho de que para por lo menos una tal disposición de zona  
de semiconductor por lo menos una zona de base propiamen-  
te dicha, una zona de colector o emisor rodeada por ella  
así como por lo menos una zona de conexión de la base, es-  
tán definidas en cuanto a su disposición utilizando una  
30

1 misma etapa de enmascaramiento determinante de las dimensiones.

5 7ª.- Disposición de semiconductor según una de las reivindicaciones precedentes, que se caracteriza por el hecho de que por lo menos algunas aberturas, pero preferentemente todas las aberturas de contacto para las zonas de impurificación provistas con conexiones, están definidas por medio de la misma etapa de fotolitografía decisiva para la fabricación de las zonas correspondientes o por medio de la máscara correspondiente.

10 8ª.- Disposición de semiconductor según una de las reivindicaciones precedentes, que se caracteriza por el hecho de que contiguamente a una zona de base propiamente dicha están previstas varias zonas de conexión de la base provistas con otras entradas de condición lógicas.

15 9ª.- Disposición de semiconductor según la reivindicación 8ª, que se caracteriza por el hecho de que las varias zonas de conexión de la base están dispuestas en paralelo y/o en serie unas respecto a otras y respecto a la zona de base propiamente dicha.

20 10ª.- Disposición de semiconductor según una de las reivindicaciones precedentes, que se caracteriza por el hecho de que contiguamente a una zona de conexión de la base están dispuestas varias zonas de base propiamente dichas, asociadas con aquella, de transistores de salida separados.

25 11ª.- Disposición de semiconductor según una de las reivindicaciones precedentes, que se caracteriza por el hecho de que en una conexión sobre por lo menos una zona de conexión de la base están reunidos varios conduc-

1      tores conectados a salidas desacopladas de elementos de  
unión precedentes con entradas de condición.

5      12ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que zonas de conexión de la base asociadas  
con zonas de base propiamente dichas, separadas, de dife-  
rentes transistores de salida, están unidas eléctricamente  
entre sí.

10      13ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que la conexión sobre la zona de colector o  
emisor dispuesta dentro de la zona de base propiamente di-  
cha de un transistor de salida, está descompuesta en aba-  
nico en varios conductores que conducen a entradas separa-  
15      das y desacopladas de circuitos de conmutación sucesivos.

20      14ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que a la(las) zona(s) de contacto de la base  
está antepuesta contiguamente una zona de inyección(prima-  
ria) preferentemente común, alimentada con corriente ex-  
ternamente.

25      15ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que en un cuerpo de semiconductor están dis-  
puestas dos zonas de inyección primaria unidas entre sí  
eléctricamente y alimentadas externamente, por el hecho  
de que entre las zonas de inyección primaria está dispues-  
ta en cada caso contiguamente a ellas por lo menos cada  
vez una zona de conexión de la base y entre éstas está dis-  
30      puesta una zona de base propiamente dicha de una estructu-

1 ra de transistor de salida, estando provistas las zonas  
de conexión de la base con entradas de condición lógicas  
y la zona de colector o emisor que se encuentra dentro de  
la zona de base propiamente dicha está provista con una  
5 conexión de salida, y siendo estructuradas por lo menos  
las zonas de conexión de la base, la zona de base propia-  
mente dicha con la zona de semiconductor adicional dispues-  
ta en ella y preferentemente además las zonas de inyección  
primaria por una misma etapa de enmascaramiento determinan-  
10 te de las dimensiones.

16ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que el transistor de salida inversor desde el  
punto de vista lógico está estructurado como transistor  
15 bipolar NPN vertical, cuya zona de base propiamente dicha  
que no lleva ninguna conexión externa constituye la zona  
de colector de por lo menos un transistor PNP lateral, cu-  
ya base, al mismo tiempo que la zona de emisor del tran-  
sistor vertical está formada por el cuerpo fundamental  
20 del semiconductor y su zona de emisor está formada por una  
zona de contacto de la base.

17ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que todas las zonas de impurificación y/o ven-  
25 tanas de contacto pueden ser realizadas como superficies  
mínimas.

18ª.- Disposición de semiconductor según una de  
las reivindicaciones precedentes, que se caracteriza por  
el hecho de que para reprimir corrientes de inyección en  
30 determinadas direcciones están previstas regiones de sepa-

ración de material dieléctrico.

19ª.- Disposición de semiconductor integrada para un esquema de circuito lógico.

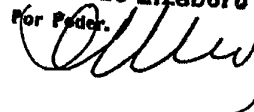
5 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de treinta y una hojas escritas a máquina por una sola cara.

10

Madrid, 08. SET. 1978

P.A.

**Oscar de Elzaburu**  
Por Poder.

MRS

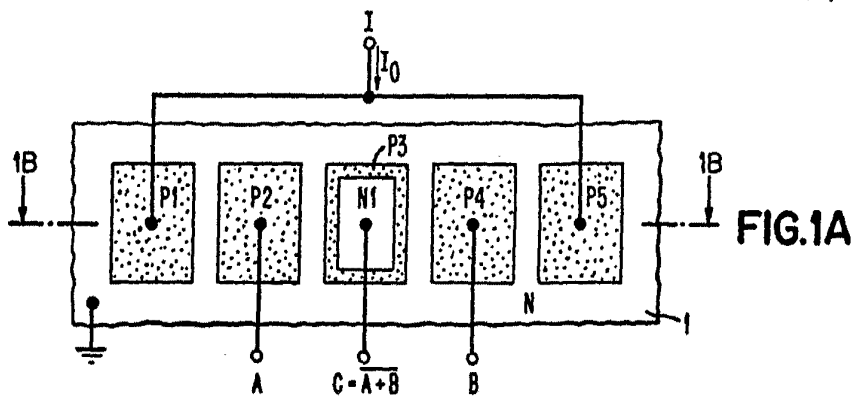


FIG. 1A

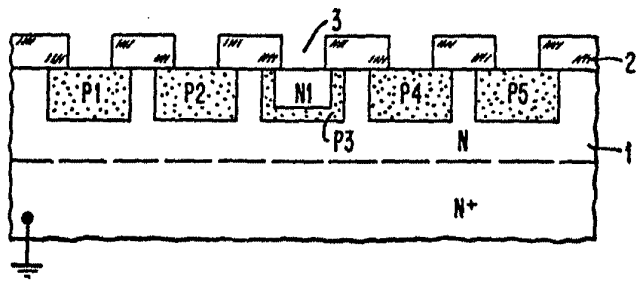


FIG. 1B

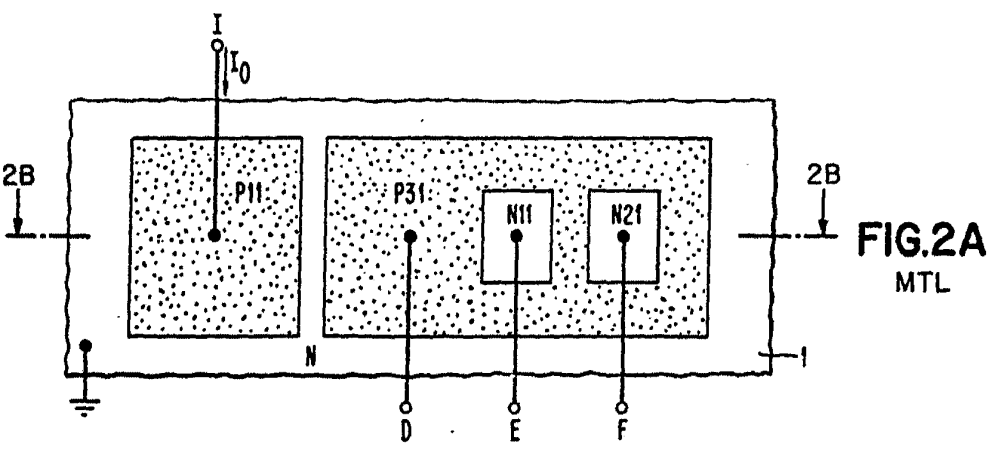


FIG. 2A  
MTL

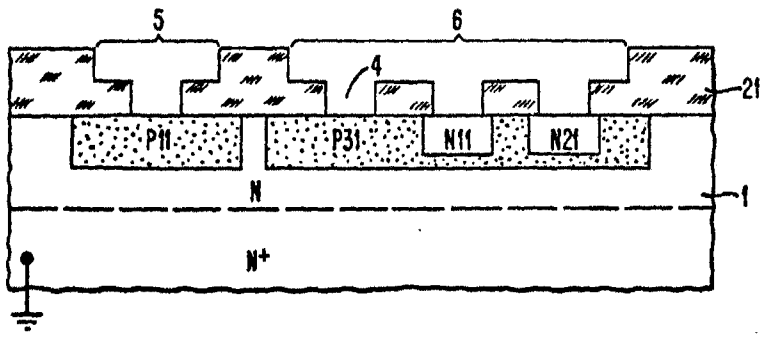


FIG. 2B

Oscar de la Haza  
Pat. Invention

FIG.3A

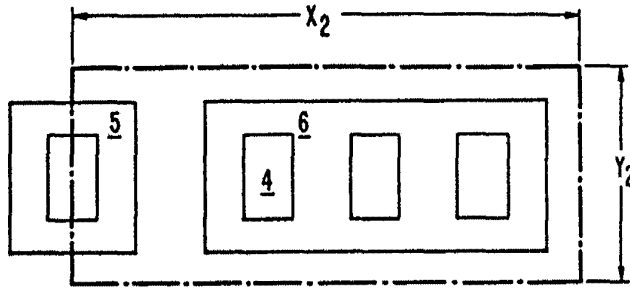
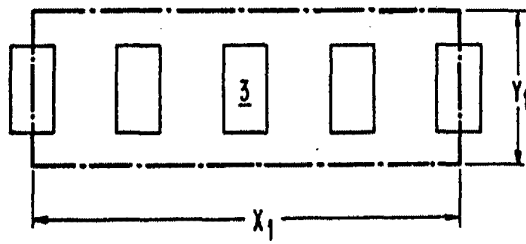


FIG.3B  
MTL

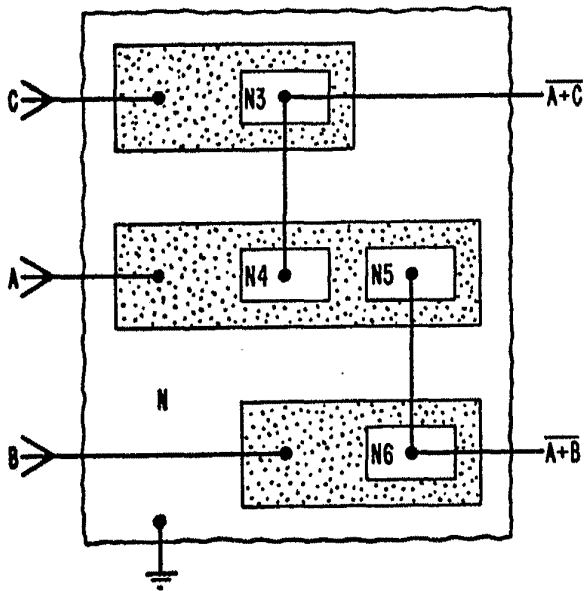


FIG.4A  
MTL

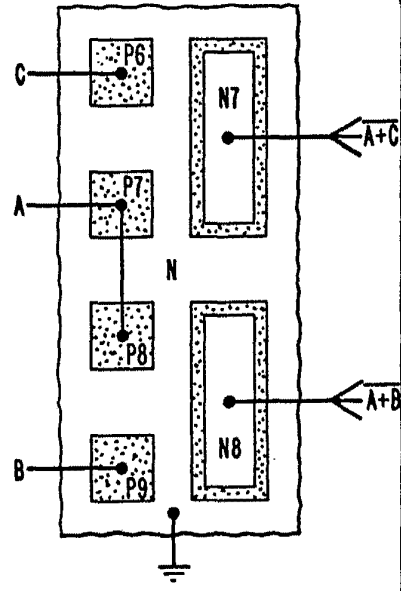
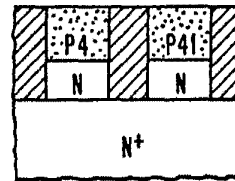
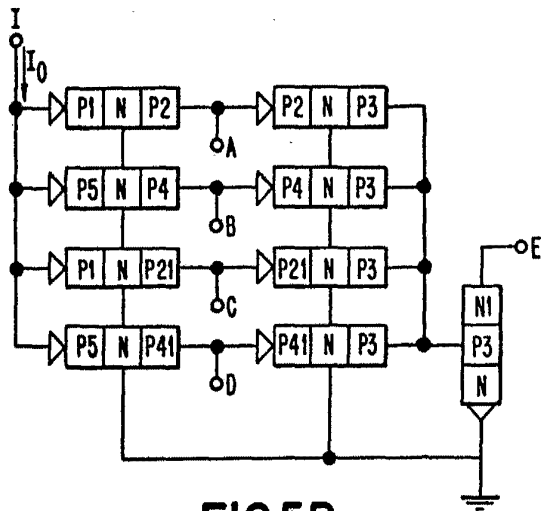
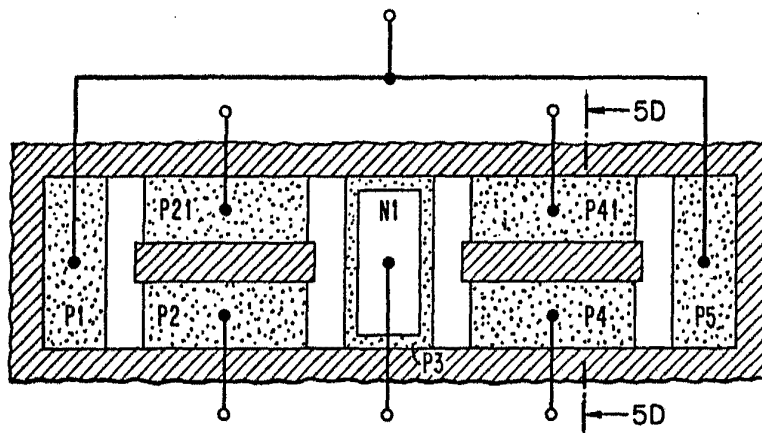
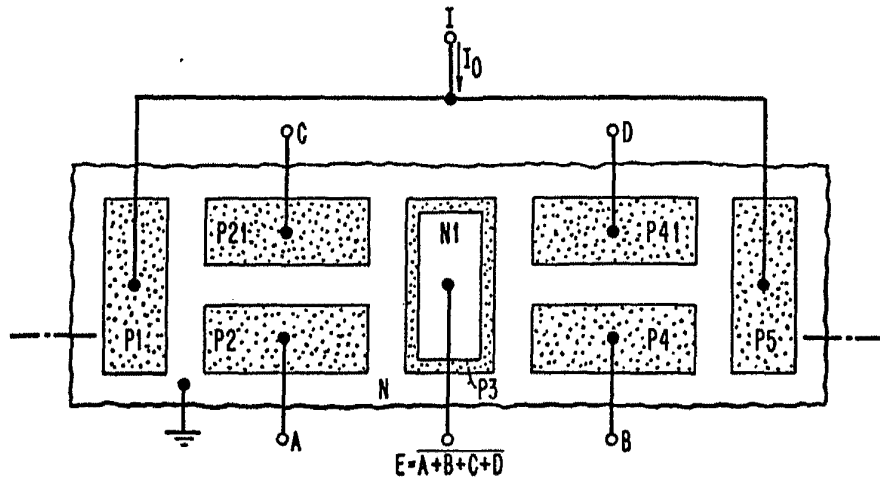


FIG.4B

Oscar de Elzaburu  
Por Poder.



Oscar G. Ekstrand  
For Patent

*Ekstrand*

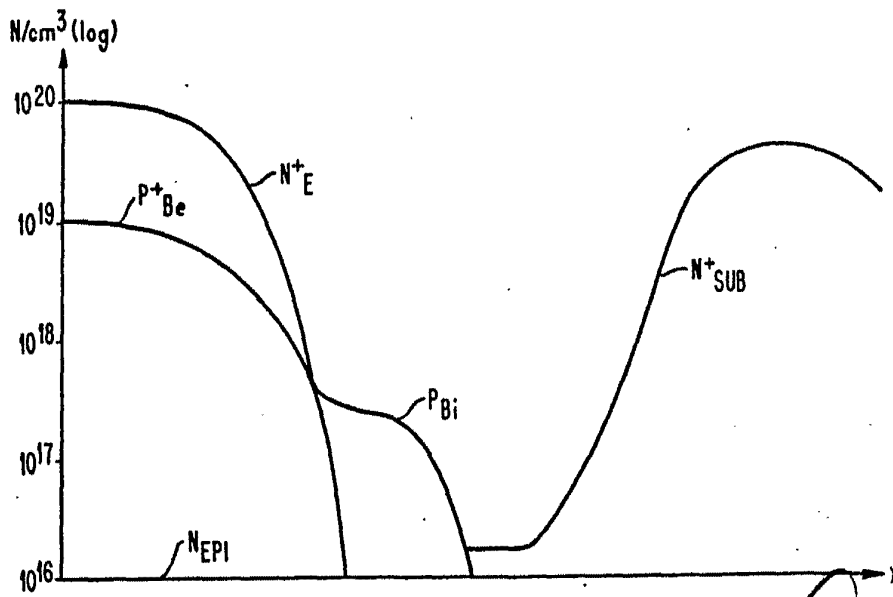
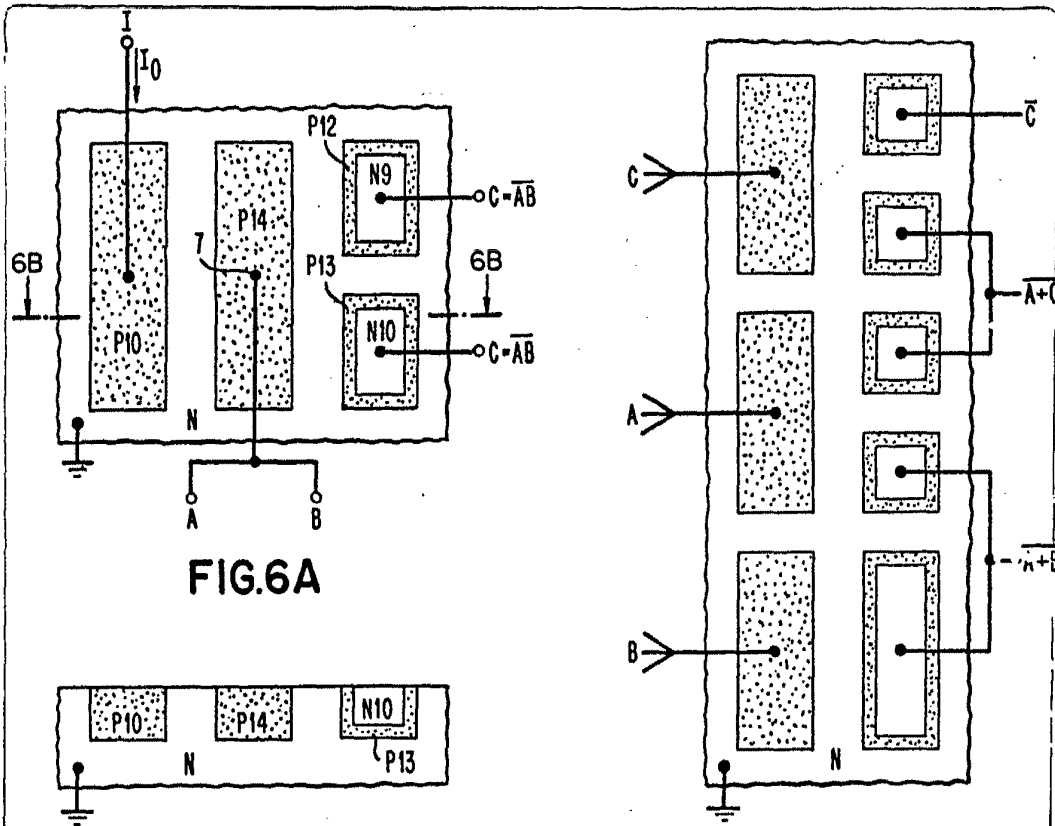


FIG. 9

*[Handwritten signature]*

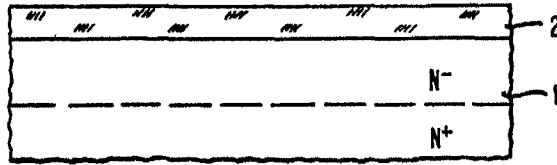


FIG. 8A

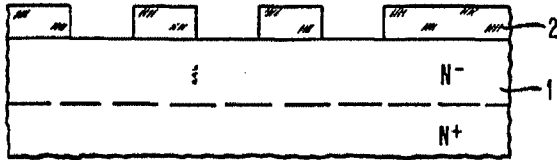


FIG. 8B

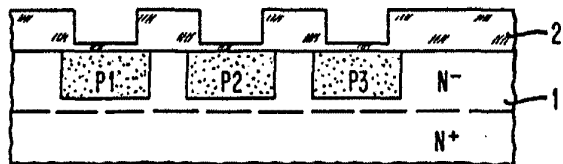


FIG. 8C

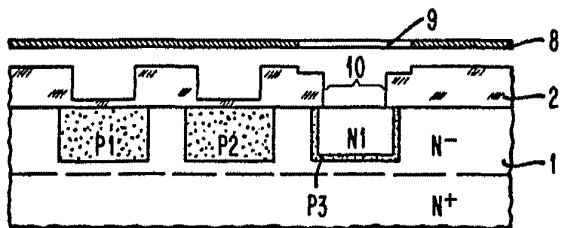


FIG. 8D

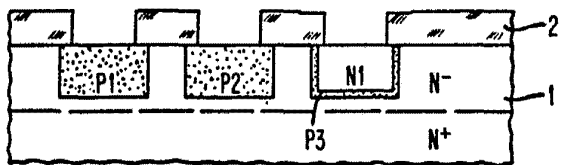


FIG. 8E

Oscar de Lizauru  
Per Poder