



20 JUL. 1978

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

10 ES	11 NUMERO	10 A1
21	464.099	
22	FECHA DE PRESENTACION	
	12-11-1977	

PATENTE DE INVENCION

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
757.403	6-1-1977	EE.UU.
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	
54 TITULO DE LA INVENCION		
"UNA DISPOSICION DE CIRCUITO CONECTADOR DE ACOPLAMIENTO DE ENTRADA/CALIDA"		
71 SOLICITANTE (S)		
INTERNATIONAL BUSINESS MACHINES CORPORATION		(IBM Docket BC9-76-018)
DOMICILIO DEL SOLICITANTE		
Armonk, N.Y. 10504, EE.UU.		
72 INVENTOR (ES)		
Max Abbot Bouknecht y Louis Peter Vergari		
73 TITULAR (ES)		
74 REPRESENTANTE		
DON ALBERTO DE ELZABURU MARQUEZ		(P.-67.259)

jga

POOR
QUALITY

1 Este invento está dirigido a sistemas de computador digital, y más específicamente a la interacción entre unidades de entrada-salida periféricas y un ordenador central en el sistema de computador.

5 El control de transferencia de datos entre la memoria de la unidad central de tratamiento y dispositivos de entrada-salida periféricos sobre una línea general de entrada-salida, o sistema de acoplamiento, puede adoptar muchas formas. Entre las formas de control de entrada-salida para la finalidad de transferencia de datos, están el control de instrucción directo por programa para cada --
10 transferencia de datos, la iniciación de transferencias de datos por un ordenador central, después de lo cual se realiza la transferencia de datos subsiguiente bajo control del dispositivo periférico sin utilizar el ordenador central, y unidades lógicas para tratar solicitudes de interrupción procedentes de dispositivos periféricos para
15 informar al ordenador central del estado del dispositivo periférico. En varios de estos conceptos están incluidos mecanismos de control para permitir que los dispositivos
20 periféricos inicien tratamiento de interrupción en el ordenador central informando directamente al ordenador del dispositivo y el estado que requiere tratamiento, o la solicitud de interrupción puede requerir del ordenador central iniciar una señal de llamada selectiva a todos los
25 dispositivos asociados, en serie, para permitir subsiguientemente que sea transferida al ordenador central información que identifica el dispositivo y el estado que originan la interrupción.

30 En sistemas que utilizan control directo por pro

1 grama para cada transferencia de datos entre un dispositi-
vo periférico y la memoria principal, están dispuestos --
usualmente sistemas de acoplamiento que requieren, en res-
5 puesta a la instrucción de programa, la transferencia se-
cuencial de órdenes de direcciones de dispositivo, y (o)
datos al dispositivo periférico.

En sistemas de tratamiento de datos que no sola-
mente proveen los medios para transferencias de datos de
control directo por programa, sino que también proporci-
10 nan los medios para transferencias de datos de interrup-
ción monocíclica, se requieren normalmente diferentes for-
mas de instrucciones de programa. Incluso si no se requie-
ren formas diferentes de instrucciones de iniciación, se
requieren formas diferentes de información de control de
15 dispositivo periférico cuya información debe ser reconoci-
da por la unidad de control de dispositivo periférico y
tratada en forma diferente. Por consiguiente, cada unidad
de control de dispositivo periférico debe tener circuitos
lógicos especializados. Adicionalmente, si se requiere
20 que el sistema de control de entrada-salida trate también
solicitudes asíncronas para interrumpir el servicio por
parte del ordenador, deben disponerse circuitos adiciona-
les en la unidad de control de dispositivo periférico.

Durante operaciones de transferencia de datos de
25 interrupción monocíclica cuando una unidad de control de
dispositivo periférico ha sido provista de información su-
ficiente para iniciar y controlar la utilización adicional
de la línea general de acoplamiento para controlar la uni-
dad de memoria independientemente del ordenador, pueden --
30 producirse ciertas condiciones excepcionales antes de que

1 se complete la transferencia de datos que requiere trata-
miento especial por el ordenador central antes de reini-
ciar la transferencia de datos.

5 Normalmente, sistemas de control de entrada-sa-
lida que están destinados a tratar transferencias de datos
de control directo por programa, de interrupción monocícli-
ca, o de solicitud de interrupción sobre un sistema de --
acoplamiento común, deben tratar cada una de estas situa-
ciones exclusivamente sobre la línea general de acoplamien-
10 to, impidiendo que sea tratada cualquier otra forma de so-
licitud.

En sistemas de la técnica anterior han sido dis-
puestos circuitos lógicos de llamada selectiva para res-
ponder a una solicitud de interrupción desconocida que se-
ñaliza la prioridad de la solicitud de interrupción. Los
15 circuitos lógicos de control de entrada-salida responden
con una señal de llamada selectiva en serie combinada con
una señal de identificación procedente del ordenador cen-
tral correspondiente a la prioridad de la solicitud de in-
20 terrupción que está siendo seleccionada para orifinar la
selección por parte de una unidad de control de dispositi-
vo periférico para utilización subsiguiente de la línea ge-
neral de acoplamiento. La solicitud de interrupción de
25 prioridad efectuada por una unidad de control de dispositi-
vo periférico puede ser modificada por un ordenador cen-
tral. Sin embargo, en estos sistemas de la técnica ante-
rior la modificación del nivel de prioridad de una unidad
de control de dispositivo periférico podría ser realizada
solamente cuando el dispositivo asociado con la unidad de
30 control de dispositivo periférico no estuviese ocupado con

1 alguna orden anterior. Adicionalmente, ha sido requerido
que los sistemas de la técnica anterior que combinan trans-
ferencias de datos de interrupción monocíclica con trata-
5 miento de solicitud de interrupción, dispongan de circui-
tos lógicos independientes dentro de una unidad de control
de dispositivo periférico y circuitos lógicos de control
de entrada-salida del ordenador central para seleccionar
las dos formas de comunicación requeridas.

10 Los sistemas de la técnica anterior que incorpo-
ran una señal de llamada selectiva en serie para el fin de
seleccionar una de una pluralidad de unidades de control
de dispositivo periférico, todas las cuales están solici-
tando servicio, requieren la utilización de circuitos ló-
gicos dentro de cada una de las unidades de control de dis-
15 positivo periférico para propagar la señal de llamada se-
lectiva en serie a los dispositivos subsiguientes. En es-
tos sistemas anteriores resulta fácilmente evidente que si
una unidad particular de control de dispositivo periféri-
co, o dispositivo, fuese eliminada físicamente de una lí-
nea general de entrada salida, no sería posible el funcio-
20 namiento correcto de la propagación de la señal de llama-
da selectiva.

25 Resultan complicaciones adicionales en un siste-
ma de tratamiento de datos cuando están unidos al sistema
de acoplamiento de entrada-salida más dispositivos perifé-
ricos de los que pueden ser tratados debido a una potencia
de excitación insuficiente de un canal. Si se realiza una
extensión a una línea general de acoplamiento que incluye
líneas de señal bidireccionales mediante la utilización de
30 un sistema de conexión especial, los excitadores dispues-

1 tos sobre el sistema de conexión especial deben estar pro-
vistos normalmente de información de control adicional pa-
ra indicar la dirección de las señales sobre la línea ge-
5 neral. Si una extensión a la línea general de acoplamiento
incluye su propia fuente de alimentación de potencia --
las posibles fluctuaciones pueden originar señales erró-
neas sobre la línea general original. Adicionalmente, se-
ría requerida normalmente una unidad de conexión especial
si se deseara suministrar potencia adicional a señales --
10 desde el sistema básico a un único dispositivo periférico
remoto.

En vista de las complicaciones antes mencionadas
que resultan de la necesidad de ampliar las capacidades
de un ordenador de datos base que incluye una unidad de
15 tratamiento central, un canal y una línea general de aco-
plamiento de entrada salida con dispositivos periféricos
asociados, un objeto principal del presente invento es --
crear una tarjeta de aneji3n común a la línea general de
acoplamiento de entrada-salida base para permitir el sumi-
20 nistro de potencia adicional a señales sobre la línea ge-
neral de acoplamiento base dirigidas indistintamente a una
extensión de la línea general de acoplamiento o a disposi-
tivos periféricos remotos.

Otro objeto de este invento es crear una tarje-
25 ta de aneji3n común que incluye circuitos de conector pa-
ra responder a señales de control de acoplamiento normales
para controlar el suministro de potencia adicional correc-
to a señales presentes sobre líneas de acoplamiento que
son bidireccionales.

30 Un objeto adicional de este invento es crear una

1 tarjeta de anexión de acoplamiento que incluye circuitos
de conector a una línea general de acoplamiento adicional
que pueden proporcionar aislamiento de potencia entre
la línea general de acoplamiento base y la línea general
5 de acoplamiento ampliada adicional que incluye su propia
fuente de alimentación de potencia.

Otro objeto del presente invento es crear una
tarjeta de anexión de acoplamiento que incluye algunos cir-
cuitos lógicos en los circuitos de conector que estarían
normalmente incluidos en un dispositivo periférico remoto
10 para responder a ciertas de las señales de control presen-
tes sobre la línea general de acoplamiento para realizar
captación de llamada selectiva en serie en la tarjeta de
anexión.

15 Estos y otros objetos se consiguen disponiendo
circuitos de conector sobre una tarjeta de anexión de
una unidad de acoplamiento de entrada-salida base que in-
cluye líneas de señal bidireccionales y también líneas de
señal unidireccionales, y que incluye excitadores bidirec-
20 cionales, excitadores unidireccionales, y medios lógicos
que responden a señales de acoplamiento normales entre
cualquier dispositivo periférico y el canal de un sistema
de tratamiento de datos base para controlar la dirección
de transferencia de señal sobre las líneas de señal bidi-
25 reccionales. Están dispuestos circuitos lógicos adiciona-
les con los excitadores bidireccionales para responder a
una señal de acoplamiento normal procedente de una unidad
de acoplamiento adicional para aislar la unidad de acopla-
miento base durante fluctuaciones de potencia. Están tam-
30 bién dispuestos ciertos circuitos lógicos que estarían nor

1. malmente incluidos en un dispositivo periférico para acortar el camino de señal requerido para captación de llamada selectiva en serie sobre la unidad de acoplamiento.

Descripción de los Dibujos

5 La figura 1 es un diagrama de bloques que representa los componentes principales de un sistema de tratamiento de datos que utiliza el presente invento.

La figura 2 es una representación de la configuración física de un sistema de tratamiento de datos que
10 utiliza el presente invento.

La figura 3 identifica las líneas de una línea general de acoplamiento (I/F) de entrada-salida (I/O) que interconecta los circuitos lógicos de control de entrada-salida (canal) en una unidad central de tratamiento (CPU) y una unidad de control de dispositivo periférico de acuerdo con el presente invento.
15

La figura 4 es un diagrama de bloques que representa los componentes principales del sistema lógico de control de entrada-salida de un sistema de tratamiento de datos.
20

La figura 5 representa ciertos registros y líneas generales de datos de una unidad central de tratamiento requeridos para interacción con el presente invento y para la comprensión del mismo.

25 La figura 6 representa ciertos registros y líneas generales de una unidad central de tratamiento utilizados con el presente invento para tratar información de dirección.

La figura 7 es una representación de una instrucción de programa de sistema de tratamiento de datos y un
30

1 bloque de control de dispositivo inmediato (IDCB) para ini-
ciar operaciones de entrada-salida de acuerdo con el pre-
sente invento.

5 La figura 8 es una representación de información
en un bloque de control de dispositivo inmediato transfe-
rido a una unidad de control de dispositivo periférico y
el sincronismo implicado.

10 La figura 9 representa la interacción y el con-
tenido de una instrucción "activar entrada-salida" (I/O),
un bloque de control de datos inmediato (IDCB), un bloque
de control de datos (DCB), y datos transferidos de acuer-
do con el presente invento.

15 La figura 10 es una representación del conteni-
do de un bloque de control de datos y una palabra de con-
trol dentro de un bloque de control de datos almacenado
en la memoria principal de un sistema de tratamiento de
datos utilizado para controlar operaciones de entrada-sa-
lida de acuerdo con el presente invento.

20 La figura 11 es una representación de las líneas
incluidas en la línea general de acoplamiento de entrada-
salida y el sistema de sincronismo implicado en la trans-
ferencia de datos según un principio de interrupción mono-
cíclica (C/S) entre una unidad de memoria de sistema de
tratamiento de datos y una unidad de control de dispositi-
vo periférico de acuerdo con el presente invento.

25 La figura 12 es una representación de las líneas
incluidas en la línea general de acoplamiento de entrada-
salida y el sistema de sincronismo para la llamada selec-
tiva de unidades de control de dispositivo periférico pa-
30 ra iniciar comunicación adicional sobre la línea general

1 de acoplamiento de acuerdo con el presente invento.

5 La figura 13 es una representación general del concepto de una señal de llamada selectiva en serie que se propaga en serie de unidad de control de dispositivo periférico a unidad de control de dispositivo periférico seleccionando un dispositivo para utilizar la línea general de acoplamiento.

10 La figura 14 representa los componentes principales del presente invento para recibir señales de llamada selectiva de una unidad de control de dispositivo periférico precedente, captar la unidad de acoplamiento, y señalar este hecho en retorno hacia los circuitos lógicos de control de entrada-salida de un sistema de tratamiento de datos.

15 La figura 15 es una representación de los componentes principales de una unidad de control de dispositivo periférico asociada a una línea general de acoplamiento de entrada-salida del presente invento.

20 La figura 16 es un diagrama de bloques de los componentes principales de la unidad lógica de acoplamiento de canal que conecta la línea general de acoplamiento a la unidad de control de dispositivo periférico.

25 La figura 17 representa los componentes principales de un microordenador utilizado en una realización -- preferida del presente invento como parte de una unidad de control de dispositivo periférico.

30 La figura 18 es una representación de diagrama de bloques de la interconexión de diversas líneas generales de datos de un microordenador y una unidad de acoplamiento de entrada-salida dentro de la unidad lógica de con

1 trol de dispositivo de una unidad de control de dispositi-
vo periférico de acuerdo con el presente invento.

5 La figura 19 es un diagrama general de bloques
de los circuitos de conector de una tarjeta de ane-
xión de acoplamiento de entrada-salida base de acuerdo con el
presente invento.

10 La figura 20 es un diagrama lógico detallado del
sistema lógico de control de puertas de la figura 19 que
responde a señales de control normales de una línea gene-
ral de acoplamiento de entrada-salida para controlar la ex-
citación correcta de un par de excitadores para proporcio-
nar transferencia de señal correcta indistintamente en --
cualquiera de dos direcciones sobre una línea general bi-
direccional.

15 Descripción Detallada

Sistema de Tratamiento de Datos La disposición
ambiental completa del invento está ilustrada en la figu-
ra 1. El presente invento está utilizado en un sistema de
tratamiento de datos que incluye una unidad 30 central de
20 tratamiento (unidad CPU), una unidad 31 de memoria princi-
pal para almacenamiento de datos, instrucciones de máqui-
na, e información de control de entrada-salida (I/O), y
una unidad lógica (32) de control de entrada-salida (ca-
nal). El invento trata del control de la transferencia de
25 datos e información de control a dispositivos 33 de entra-
da-salida a través de unidades de control de dispositivo
periférico o unidades 34 de ane-
xión de entrada-salida que
utilizan una línea general 35 de acoplamiento de entrada
salida (línea general I/F) que conecta las diversas unida-
30 des en paralelo para la transferencia de datos, informa-

1 ción de dirección e información de control. Está también
representada una señal de llamada selectiva sobre una lí-
nea 36 que interconecta las unidades 34 de control de dis-
positivo periférico en serie con el fin de seleccionar un
5 dispositivo 33 de entrada-salida particular para anexión
a la unidad 35 de acoplamiento de entrada-salida durante
un ciclo de transferencia particular.

En la figura 2 se expone una representación fí-
sica del sistema de tratamiento de datos que utiliza el
10 presente invento. La disposición física incluye una fuen-
te 37 de alimentación de potencia, un bastidor o bloque or-
denado 38 de tarjetas, y una pluralidad de tarjetas 39
enchufables que contienen los circuitos que componen las
diversas unidades del sistema de tratamiento de datos.

15 Tres tarjetas 40, 41 y 42 incluyen circuitos que
componen el ordenador 30. Están distribuidas sobre las
tarjetas de ordenador diversas partes de la unidad 32 ló-
gica de control de entrada-salida. Están conectadas en el
bloque 38 ordenado de tarjetas un número de tarjetas 43
20 de memoria, dependiendo de la cantidad de memoria deseada.

La unidad 34 de anexión de entrada-salida, como
se ilustra en la figura 1, está representada por cada una
de una pluralidad seleccionada de tarjetas 44. Si se de-
sea anexionar dispositivos de entrada-salida adicionales
25 al sistema, puede incluirse una tarjeta 45 de realimen-
tación de potencia y aislamiento. La tarjeta 45 de realimen-
tación de potencia tiene la misión de suministrar potencia
nuevamente a las líneas 35 de acoplamiento de entrada-sa-
lida conectadas a un bastidor adicional y aislar los com-
30 ponentes representados en la figura 2 si algunos bastido-

1 res adicionales quedasen sin potencia e hiciesen inoperante de este modo normalmente a la unidad 35 de acoplamiento de entrada-salida.

5 La tarjeta 42 es una tarjeta de memoria fija (memoria ROS) que contiene un mecanismo de control de microprograma para el sistema de tratamiento de datos. La tarjeta 41 de dirección (ADDR) contiene todos los circuitos accesibles por programa, tales como registros de datos y de estado, y forma direcciones utilizadas para establecer acceso a la unidad 31 de memoria y a los dispositivos 33 de entrada-salida. La tarjeta 40 de datos (tarjeta DATA) realiza todas las operaciones lógicas aritméticas y proporciona el control de transmisión para datos a y desde la unidad 35 de acoplamiento de entrada-salida y la unidad 10 31 de memoria.

15

Líneas de Acoplamiento

En la figura 3 se ilustra el sistema lógico de control de entrada-salida para el canal 32 distribuido entre la tarjeta 41 de dirección, la tarjeta 40 de datos y la tarjeta 42 de memoria fija. También se ilustra una tarjeta 44 de anexión de entrada-salida de la figura 2 para un dispositivo 33 periférico. La línea general 35 de acoplamiento, de acuerdo con el presente invento, puede alojar cualquier número de diferentes dispositivos 33. Sin embargo, de acuerdo con una realización preferida del presente invento, cada una de las tarjetas 44 de anexión de entrada-salida, que representa una unidad de control de dispositivo periférico, tendrá circuitos comunes divididos entre el sistema lógico 46 de canal y un microordenador 47. Está dispuesto el circuito 48 lógico de dispositi

20

25

30

1 -vo adicionalmente a los circuitos comunes, cuyo circuito
lógico depende del dispositivo 33 particular a ser contro-
lado.

5 El comentario subsiguiente del funcionamiento de
una unidad 34 de control de dispositivo periférico, de --
acuerdo con una realización preferida del presente inven-
to, se referirá al funcionamiento de un microordenador 47.
Sin embargo, los circuitos 46 y 47 comunes podrían estar
compuestos solamente por circuitos lógicos combina-
10 les y secuenciales.

Hay tres formas básicas de comunicación entre un
dispositivo 33 de entrada-salida y el circuito lógico 32
de control de entrada-salida, las cuales, dependiendo del
tipo de dispositivo 33, pueden requerir la utilización de
15 hasta 81 líneas sobre la unidad 35 de acoplamiento de en-
trada-salida. Son iniciadas dos formas de comunicación
por una instrucción de programa identificada como "Activar
Entrada-Salida" (instrucción OIO). Estas dos formas de
comunicación están previstas principalmente para intercam-
20 bio de datos, y son identificadas como transferencia de
control directo por programa (DPC) o transferencia de in-
terrupción monocíclica (transferencia CS). En la forma
DPC de transferencia cada instrucción OIO efectúa la trans-
25 ferencia de una partida de información entre la unidad 31
de memoria y un dispositivo 33 de entrada-salida en cual-
quier dirección. La forma de transferencia de interrup-
ción monocíclica es iniciada por el ordenador 30, e impli-
ca la transferencia de información de orden de entrada-sa-
30 lida a la unidad 34 de control de dispositivo periférico
para utilización subsiguiente por la unidad 34 de control

1 de dispositivo periférico para controlar la transferencia
de una pluralidad de partidas de datos entre la unidad 31
de memoria y el dispositivo 33 periférico. Esta transfe-
5 rancia es independiente de otras operaciones del ordenador
30 y concurrente con las mismas. La tercera forma de co-
municación requerida entre el ordenador 30 y el dispositi-
vo 33 es la iniciación de secuencias de interrupción de
programa en el ordenador 30 en respuesta a solicitudes pa-
ra servicio de ordenador por parte de un dispositivo 33
10 periférico.

La interacción de la unidad lógica 32 de control
de entrada-salida, la línea general 35 de acoplamiento, y
la unidad 34 de control de dispositivo periférico para --
realizar estas formas de comunicación se comentará ahora
15 con detalle.

Se definirá ahora brevemente, utilizando la re-
presentación de la figura 3, cada una de las 81 líneas de
la unidad 35 de acoplamiento de entrada-salida. Hay dos
líneas generales bidireccionales esenciales para el funcio-
20 namiento, y éstas incluyen una línea general 49 de direc-
ción bidireccional de 17 bitios y una línea general 50 de
datos de entrada-salida de 16 bitios más dos bitios de pa-
ridad.

Para controlar la comunicación sobre la línea ge-
25 neral 35 de entrada-salida en respuesta a la descodifica-
ción de una instrucción OIO, para la finalidad de transfe-
rencia de datos o información de control de entrada-salida
sobre la línea general 50 de datos, se requiere la utiliza-
ción de la línea general 49 de dirección. Otras líneas de
30 acoplamiento requeridas para controlar la transferencia --

1 son la línea 51 de puerta de dirección, la línea 52 de re-
torno de puerta de dirección, la línea 53 general de entra-
da de código de estado, y la línea 54 de selección de da-
5 tos, que se excitarán en secuencia correcta para controlar
la comunicación.

Durante comunicaciones de interrupción monocíclica (CS), la transferencia de datos sobre la línea general 50 de datos y de información de dirección de la unidad 31 de memoria sobre la línea general 49 de dirección es efectuada por la unidad 34 de control de dispositivo. Se incluyen como líneas adicionales sobre la línea general 35 de acoplamiento, requeridas para este tipo de transferencia, una línea 55 de señal de puerta de servicio, una línea 56 de retorno de puerta de servicio, una línea 57 indicadora de entrada-salida, una línea 58 indicadora de palabra/batería de bitios, y una línea general 59 de estado de cuatro bitios distribuida entre la tarjeta 42 de memoria fija y la tarjeta 41 de dirección. Si el ordenador central 30 y la unidad 31 de memoria tienen instalado un
10 mecanismo de protección de memoria, es utilizada la línea general 53 de código de estado durante operaciones de interrupción monocíclica para transferir una clave de protección de memoria de la unidad 34 de control de dispositivo al mecanismo de protección de memoria.

25 Normalmente, la transferencia de información de interrupción monocíclica entre la unidad lógica 32 de control de entrada-salida y la unidad 34 de control de dispositivo implica una única transferencia seguida por la selección de otro dispositivo para operaciones adicionales.
30 Puede ejecutarse un tipo adicional de transferencia, y se-

1 ría identificado por una señal presente sobre una línea
denominada línea 60 de retorno de cadena de datos. La se-
ñal 60 de retorno de cadena de datos excita circuitos de
control tanto en la unidad 34 de control de dispositivo co
5 mo en la unidad lógica 32 de control de entrada-salida pa-
ra permitir, en respuesta a una selección del dispositivo
33, una pluralidad de transferencias de información de in-
tarrupción monocíclica sobre la línea general 35 de entra-
da-salida antes de seleccionar otro dispositivo.

10 Una tercera forma básica de comunicación implica
el requerimiento de indicar a la unidad 32 lógica de entra-
da-salida que un dispositivo 33 particular desea interrumpir
al ordenador 30 central. Las líneas del sistema de
acoplamiento 35 principalmente implicadas son una línea 61
15 general de entrada de solicitud y una línea general 62 --
identificadora de llamada selectiva. Para una explicación
más completa, le habrá sido asignado a una unidad 34 de
control de dispositivo un nivel de interrupción de priori-
dad particular por medio de una orden "preparar". El ni-
20 vel de interrupción asignado puede ser uno de cuatro nive-
les diferentes, aunque el concepto del invento en lo que
respecta a esto puede adaptarse hasta a 16 niveles dife-
rentes. Cuando un dispositivo 33 requiere servicio de in-
tarrupción, una porción de la unidad 46 lógica de acopla-
25 miento de canal de la unidad 34 de control de dispositivo
periférico excitará una línea particular de las cuatro lí-
neas dispuestas sobre la línea general 61 indicando una so-
licitud de interrupción. La línea particular de las lí-
neas incluidas en la línea 61 general excitada está asocia-
30 da con el nivel de interrupción de prioridad asignado. Una

1 línea adicional en la línea general 61 está identificada
como bitio 16, y se excita para informar a la unidad lógi-
ca 32 de control de entrada-salida de una necesidad de --
transferencia por parte de un dispositivo 33 que utiliza
5 la forma de transferencia de interrupción monocíclica.

Cuando un dispositivo 33 particular ha señaliza-
do indistintamente una solicitud de interrupción de prio-
ridad o una solicitud de interrupción monocíclica, sobre
la línea general 61, la unidad lógica de control de inte-
rrupción en la unidad lógica 32 de control de entrada-sa-
lida y el ordenador 30 determinan qué nivel de una plura-
lidad de niveles de prioridad o solicitudes de interrup-
ción monocíclica puede ser reconocido para establecer co-
nexión entre la unidad lógica 32 de control de entrada-sa-
lida y el dispositivo 33. La línea general 62 identifica-
dora de llamada selectiva está codificada con información
binaria para indicar qué nivel de prioridad de interrup-
ción está siendo reconocido, o señalará un código bina-
rio particular sobre la línea general 62 identificadora de
15 llamada selectiva indicando que está siendo reconocida --
cualquier solicitud de interrupción monocíclica.

Como parte de la selección de un dispositivo 33
cuya conexión a la línea general 35 de entrada-salida va
a ser permitida en respuesta a una solicitud de interrup-
ción o solicitud de interrupción monocíclica, la unidad
25 lógica 32 de control de entrada-salida genera una señal
63 de llamada selectiva y una señal 64 principal de llama-
da selectiva. Las señales 63 y 64 de llamada selectiva se
propagan en serie a través de todas las unidades 34 de con-
30 trol de dispositivo conectadas a la línea general 35 de --

1 acoplamiento. Como parte de la selección de dispositivo pa
ra utilización de la línea general 35, las señales 63 y 64
de llamada selectiva y principal de llamada selectiva co-
operan con la información codificada presente sobre la lí-
5 nea 62 general identificadora de llamada selectiva para ha
cer que sea seleccionada una unidad 34 de control de dispo
sitivo particular. Cuando una unidad 34 de control de dis-
positivo periférico reconoce una identificación de llamada
selectiva sobre la línea general 62 correspondiente a su
10 nivel de interrupción de prioridad actual o que requiere
transferencia de interrupción monocíclica y reconoce el có
digo de identificación particular, y recibe también las se
ñales 63 de llamada selectiva y 64 de llamada selectiva --
principal, se realiza la selección, y este hecho es repor-
15 tado hacia la unidad lógica 32 de control de entrada-sali
da sobre una línea 65 de retorno de llamada selectiva. La
recepción por una unidad 34 de control de dispositivo de
la señal 63 de llamada selectiva y la señal 64 principal
de llamada selectiva, y en ausencia de reconocimiento de
20 un código correcto sobre la línea general 62 de identifica
ción de llamada selectiva, hará que la unidad 34 de con-
trol de dispositivo propague las señales 63 y 64 de llama
da selectiva y principal de llamada selectiva a unidades
34 de control de dispositivo periférico subsiguientes.

25 Están incluidas en la realización preferida de
la línea general 35 de entrada-salida líneas de señal adi-
cionales sobre la línea 35 general de acoplamiento, no co-
mentadas anteriormente y que no forman parte del presente
invento. Estas líneas incluyen una línea 65 de señal de
30 parada o de comprobación de máquina para interrumpir el --

1 funcionamiento de un dispositivo iniciado anteriormente,
dos líneas 66 utilizadas para control y transferencia du-
rante una carga de programa inicial desde un dispositivo
33 a la unidad 31 de memoria, una línea 67 de reposición
5 de encendido para hacer que se repongan a un estado cono-
cido todos los circuitos lógicos incluidos en las unidades
34 de control de dispositivo, y una línea 68 de reposición
de sistema para establecer estados conocidos en respuesta
a señales de control de ordenador.

10 En todo el resto de la descripción y en los di-
bujos restantes, se identificarán como se representa en la
figura 3 las líneas de señal y líneas generales. Cualquier
referencia a un bitio binario particular sobre una línea
general mayor será identificada por el número de línea ge-
15 neral, guión, y número de bitio. Por ejemplo, la línea de
nominada 16 sobre la línea general 61 será identificada
como 61-16.

Descripción General de la Unidad Lógica de Control de En-
trada/Salida-Unidad CPU

20 Están representados en la figura 4 los componen-
tes funcionales principales de la unidad lógica 32 de con-
trol de entrada-salida representada en la figura 1. Puede
utilizarse una realización preferida del presente invento
con un ordenador central 30 que tiene un mecanismo lógico
25 para indicar el nivel de importancia de un programa parti-
cular que está siendo ejecutado en el ordenador 30. Las
solicitudes de cualquier clase para ejecución de un progra-
ma de mayor o menor importancia que el del nivel en curso
determinarán la respuesta del ordenador 30 a tal solicitud.
30 Como parte de la unidad lógica 32 de control de entrada-sa

1 lida, está dispuesta una unidad 69 lógica de interrupción
para comparar la importancia de una solicitud de interrupción
procedente de dispositivos de entrada-salida, como se
señaliza sobre la línea general 61, con el nivel de impor-
5 tancia del programa actual del ordenador 30 indicado en un
registro 70 de nivel en curso. Como en muchos otros sis-
temas de tratamiento de datos, la capacidad de cualquier
interrupción particular para ser efectiva puede ser modi-
ficada mediante la utilización de una máscara de interrup-
10 ción contenida en un registro 71. El contenido del regis-
tro 70 de nivel en curso y el registro 71 de máscara de in-
terrupción pueden ser modificados por datos presentes so-
bre la línea general 72 de datos de ordenador de acuerdo
con instrucciones programadas. De acuerdo con los estados
15 del registro 70 de nivel en curso, el registro 71 de má-
scara y el nivel de la solicitud de interrupción sobre la
línea general 61, el circuito de control de memoria fija
del ordenador 30 puede ser informado sobre una línea 73 --
del requerimiento de controlar el ordenador 30 para inte-
20 rrumpir el funcionamiento en el nivel en curso e iniciar
una interrupción.

Después de funciones accesorias necesarias en el
ordenador 30, el mecanismo de control de memoria fija re-
tornará una señal sobre la línea 74 que indica que puede
25 reconocerse una solicitud de interrupción o solicitud de
interrupción monocíclica indicada sobre la línea general
61-16.

En este momento, el ordenador 30, y por consi-
guiente los programas almacenados en la unidad 31 de memo-
30 ria, no "saben" la identidad del dispositivo particular --

1 que hizo la solicitud que está siendo reconocida. Por con-
siguiente, la unidad 32 lógica de control de entrada-sali-
da incluye adicionalmente un mecanismo 75 de control de
5 secuencia de llamada selectiva que inicia una señal de lla-
mada selectiva sobre la línea 63 junto con información co-
dificada sobre la línea general 62 identificadora de lla-
mada selectiva que indica si está siendo atendida una so-
licitud de interrupción monocíclica, o identifica un nivel
de prioridad de interrupción particular que está siendo re-
10 conocido. En respuesta a una señal sobre la línea 65 de
retorno de llamada selectiva que indica que un dispositi-
vo 33 ha captado la señal 63 de llamada selectiva, la uni-
dad 75 de control de secuencia de llamada selectiva inicia
el intercambio necesario de señales entre la unidad lógi-
ca 32 de control de entrada-salida y la unidad 34 de con-
15 trol de dispositivo periférico.

El control de la transferencia de señales, y la
respuesta al mismo, en la unidad 32 lógica de control de
entrada-salida se realiza en circuitos lógicos denominados
20 unidad 76 de control de puerta de acoplamiento. Si, como
se ha comentado anteriormente, fué iniciada una secuencia
de llamada selectiva por razones de interrupción o inte-
rrupción monocíclica, las líneas de señal principales ex-
citadas y que responden a este hecho en el circuito 76 de
25 control de puerta de acoplamiento, son: la línea 55 de --
puerta de servicio, la línea 56 de retorno de puerta de
servicio y la línea 54 selectora de datos. Si la selec-
ción ha sido realizada para transferencias de interrupción
monocíclica, es transferida información diversa de estado
30 de interrupción monocíclica sobre la línea 59 a la unidad

1 34 de control de dispositivo periférico que indica diversos estados del funcionamiento de interrupción monocíclica.

5 Si la unidad 76 de control de puerta de acoplamiento va a iniciar y controlar transferencia de información, se recibirá una señal sobre la línea 77 procedente del registro de instrucciones del ordenador 30 que indica la descodificación de una instrucción "Activar Entrada-Salida". La respuesta a la señal sobre la línea 77 requiere la excitación de las líneas de señal 51 de puerta de dirección, 52 de retorno de puerta de dirección, y 54 selectora de datos y la respuesta a las mismas. Adicionalmente, la respuesta a cada instrucción OIO por la unidad 34 de control de dispositivo periférico direccionado es señalizada por información presente sobre la línea general 15 53 de entrada de código de estado que es ingresada en circuitos 78 de retención para presentación a registros de estado de nivel en el ordenador 30 sobre las tres líneas 20 79. Si están teniendo lugar transferencias de interrupción monocíclica, será enviada la clave de protección de memoria al mecanismo de protección de memoria sobre líneas 80.

25 La unidad lógica 81 de control de comprobación de acoplamiento responde a diversas señales (y genera las mismas) que indican que es correcto el funcionamiento de la secuencia lógica de control de entrada-salida sobre una línea 82, otros errores de entrada-salida y relacionados con dispositivo sobre la línea 83 de comprobación de entrada-salida, y responde a una señal sobre una línea 84 que 30 indica que fué detectado un error de paridad durante una

1 transferencia de datos de interrupción monocíclica. La de
signación PSW se refiere a la palabra de estado de ordena-
dor en el ordenador 30. La palabra PSW puede ser percibi-
da por control de programa para vigilar e indicar diversos
5 errores y estados de excepción dentro del sistema de tra-
tamiento de datos.

El control de las señales de sincronismo entre
la unidad 32 lógica de control de entrada-salida y la uni-
dad 31 de memoria se realiza en general sobre las líneas
10 85. El hecho de completarse una secuencia de entrada-sa-
lida es indicado al ordenador 30 sobre una línea 86 y el
control de puertas incluidas en el ordenador, denominadas
A, B y C, requeridas para realizar la transferencia de da-
tos, es indicado sobre tres líneas 87. La descodificación
15 de una instrucción "Interrumpir Entrada-Salida" por el or-
denador 30 es señalizada a la unidad 76 de control de puer-
ta de acoplamiento sobre una línea 88 y cualquier requeri-
miento para reponer el mecanismo de control de entrada-sa-
lida se señala sobre una línea 89 procedente del ordena-
dor 30. Durante operaciones de interrupción monocíclica,
20 cualquier error de paridad detectado sobre la unidad de
acoplamiento en la transferencia de datos en la unidad 31
de memoria es señalizado sobre una línea 90. Se han cita-
do en la figura 4 otras diversas líneas dirigidas al orde-
nador 30 y procedentes del mismo y son esencialmente auto-
25 explicatorias y no se requieren para la comprensión del --
funcionamiento del presente invento.

En las figuras 5 y 6 están representados diver-
sos registros y líneas generales contenidas en un ordena-
dor 30 para la realización de operaciones de entrada-sali-
30

1 da. Todas las líneas generales y registros representados
están compuestos por 16 bits binarios. La línea general
72 de ordenador tiene un número de otras unidades anexo-
5 nadas tales como la unidad lógica y aritmética, memoria
local, y registros adicionales relacionados principalmen-
te con funciones de tratamiento de datos.

Los datos procedentes de la unidad 31 de memoria
son recibidos sobre una línea general 91, e ingresados en
la unidad 31 de memoria sobre una línea general 92. Los
10 datos recibidos de la unidad 31 de memoria, cuando van a
ser utilizados principalmente dentro del ordenador 30, --
son recibidos en un registro 93 de datos de memoria de --
unidad CPU (registro CPU SDR), y cuando están siendo trans-
feridos datos entre dispositivos 33 periféricos y la uni-
15 dad 31 de memoria durante operaciones de interrupción mo-
nocíclica serán ingresados datos en un registro 94 de da-
tos de memoria de interrupción monocíclica (registro CS
SDR).

Está también representado en la figura 5 un re-
20 gistro 95 de operación que recibe instrucciones de progra-
ma de la unidad 31 de memoria sobre la línea general 91 y
el registro CPU SDR 93, que han de ser descodificadas para
control de operaciones del sistema. Es de particular in-
terés para el presente invento la descodificación de una
25 instrucción denominada "Activar Entrada-Salida" (OIO).

Cuando la instrucción OIO va a efectuar una trans-
ferencia de control directo por programa de datos desde la
unidad 31 de memoria a un dispositivo 33 periférico, los
datos serán recibidos desde la unidad 31 de memoria sobre
30 la línea general 91, ingresados en el registro CPU SDR 93,

1 transferidos a la línea general 72 de ordenador sobre una
línea general 96 adicional, ingresados en uno de los regis-
tros 97 de unidad CPU y presentados a la línea general 50
de datos de entrada-salida sobre una línea general 98 en
5 respuesta a la excitación de la puerta IF A 99 en respues-
ta a señales de control procedentes de la unidad 32 lógica
de control de entrada-salida. La transferencia de datos
con control directo por programa desde un dispositivo 33
de entrada-salida a la unidad 31 de memoria sería realiza-
10 da presentando datos sobre la línea general 50 de datos de
entrada-salida a la línea 72 general de ordenador mediante
excitación de puertas representadas en 100, ingresando los
datos en el registro CPU SDR 93 desde una línea general
101 y transfiriendo los datos a la unidad 31 de memoria so-
15 bre la línea general 92.

La transferencia de datos durante operaciones de
interrupción monocíclica desde los dispositivos 33 de en-
trada-salida a la unidad 31 de memoria implicará la trans-
ferencia de datos desde la línea general 50 de datos de en-
20 trada-salida al registro CS SDR 94 sobre una línea general
102, por excitación de la puerta IF B 103, seguida por la
transferencia de datos desde el registro CS SDR 94 a la --
unidad 31 de memoria sobre la línea general 92.

Las transferencias de salida de interrupción mo-
25 nocíclica implicarían la transferencia de datos desde la
unidad 31 de memoria sobre la línea general 91 al registro
CS SDR 94, seguida por la excitación de la puerta IF C 104
para presentar los datos sobre una línea general 105 a la
línea general 50 de datos de entrada-salida.

30 La generación de bitios 106 de paridad a incluir

1 con los datos procedentes de la línea general 50 de datos
de entrada-salida o la indicación de errores de paridad
sobre la línea 84, se realiza en el generador 107 compro-
bador de paridad de acoplamiento durante operaciones de
5 entrada-salida.

La figura 6 representa las líneas generales y
registros de ordenador 30 requeridos para la transferencia
de información de dirección entre dispositivos 33 de en-
trada-salida y la unidad 31 de memoria. Las direcciones
10 son presentadas a la unidad 31 de memoria sobre una línea
general 108 indistintamente desde un registro 109 de di-
rección de memoria CPU (registro CPU SAR), o durante trans-
ferencias de interrupción monocíclica desde un registro
110 de dirección de memoria de interrupción monocíclica
15 (registro CS SAR). Como parte del presente invento, la se-
lección de un dispositivo 33 de entrada-salida particular,
y la transmisión de órdenes al dispositivo 33, se realiza
utilizando la línea general 49 de dirección de entrada-sa-
lida. Esta información es presentada a la línea general
20 49 de dirección de entrada-salida procedente de un regis-
tro 111 de unidad CPU adicional que recibe la información
procedente de la línea general 72 de ordenador.

Sincronismo y Formatos de los Bloques OIO-IDCB-DCB

La figura 7 representa la instrucción "Activar
25 Entrada-Salida" (instrucción OIO) de dos palabras (32 bi-
tios) descodificada en el registro 95 de operación de la
figura 5 que inicia todas las operaciones de entrada-sali-
da desde el ordenador 30. Es una instrucción privilegiada
y puede ser localizada solamente en estado supervisor. Si
30 esta instrucción es localizada en un estado problemático,

1 se establece una comprobación de programa de "violación de privilegio" y se adopta una interrupción de clase. La dirección efectiva, generada por esta instrucción, indica, y
5 direcciona, un Bloque de Control de Dispositivo Inmediato (ID CB) en la unidad 31 de memoria. El bloque IDCB contiene un campo de orden (bitios 0-7), un campo de dirección de dispositivo (bitios 8-15), y el campo de datos inmediato (bitios 16-31).

10 En el campo de orden, el primer dígito hexadecimal (bitios 0-3) identifica el tipo de orden, y el segundo dígito hexadecimal (bitios 4-7) es un dígito modificador. Los tipos de orden son Leer, Leer ID, Leer Estado, Escribir, Preparar, Controlar, Reposición de Dispositivo, Iniciar, Iniciar Estado de Interrupción Monocíclica, e Interrumpir Entrada-Salida.
15

El campo de dirección de dispositivo contiene la dirección del dispositivo 33. Las direcciones de dispositivo 33 son seleccionables mediante conmutadores o puentes sobre cada tarjeta 34 de anexión de entrada-salida.

20 Para operaciones de control directo por programa (DPC), el campo inmediato del bloque IDCB en la unidad 31 de memoria contiene la palabra a ser transferida desde la unidad 31 de memoria al dispositivo 33 de entrada-salida, o la palabra procedente del dispositivo 33 a almacenar
25 en la unidad 31 de memoria. Para operaciones de interrupción monocíclica, el campo inmediato contiene la dirección en la unidad 31 de memoria de un bloque de control de dispositivo (DCB).

30 La orden "Leer", transfiere una palabra o batería de bitios desde el dispositivo 33 direccionado a la pa

1 labra de campo inmediato del bloque IDCB. Si es transfe-
rida una batería de bitios única, es situada en los bitios
24-31 de la palabra datos.

5 La orden "Leer ID" transfiere una palabra de --
identificación desde el dispositivo 33 al campo inmediato
del bloque IDCB. La palabra de identificación de disposi-
tivo contiene información física referente al dispositivo
y es utilizada por programación de diagnóstico para tabu-
lar una configuración de sistema. Esta palabra no está re-
10 lacionada con la palabra "Interrumpir ID" asociada con tra-
tamiento de interrupción.

La orden "Leer Estado" transfiere una palabra de
estado de dispositivo desde el dispositivo 33 al campo in-
mediato del bloque IDCB. El contenido de la palabra de es-
15 tado depende del dispositivo.

La orden "Escribir" transfiere una palabra o ba-
tería de bitios de datos al dispositivo 33 direccionado
desde el campo inmediato del bloque IDCB. Si ha de ser
transferida una única batería de bitios, se sitúa en los
20 bitios 24-31 de la palabra de datos y son ignorados los
bitios 16-23.

La orden "Preparar" transfiere una palabra al --
dispositivo 33 direccionado que controla su nivel de inte-
rrupción. La palabra es transferida desde la segunda pa-
25 labra del bloque IDCB en donde son ceros los bitios 16-26,
los bitios 27-30 constituyen un campo de nivel, y el bitio
31 es un bitio I. Es asignado un nivel de prioridad de in-
terrupción al dispositivo 33 por el campo de nivel. El bi-
tío I (máscara de dispositivo) controla la capacidad de in-
30 terrupción del dispositivo. Si el bitio I es igual a 1,

1 se permite que el dispositivo origine interrupción.

La orden "Controlar" inicia una acción de control en el dispositivo 33 direccionado. Puede producirse o no una tranferencia de palabra, o batería de bitios, desde el campo inmediato del bloque IDCB al dispositivo direccionado, dependiendo de requerimientos de dispositivo.

5 La orden "Reposición de Dispositivo" da lugar a la reposición del dispositivo 33 direccionado. Se borra una interrupción pendiente de este dispositivo. No se modifica la máscara de dispositivo (bitio I).

10 La orden "Iniciar" inicia una operación de interrupción monocíclica para el dispositivo 33 direccionado. La segunda palabra, o campo inmediato del bloque IDCB, es transferida a la unidad 34 de control de dispositivo periférico. Contiene una dirección de unidad 31 de memoria de 16 bitios de un bloque de control de dispositivo (DCB) a ser utilizada por la unidad 34 de control de dispositivo periférico para controlar operaciones adicionales.

15 La orden "Iniciar Estado de Interrupción Monocíclica" inicia una operación de interrupción monocíclica para el dispositivo 33 direccionado. Su finalidad es recoger información de estado relativa a la operación de interrupción monocíclica anterior. El campo inmediato del bloque IDCB es transferido a la unidad 34 de control de dispositivo periférico y contiene una dirección de 16 bitios de un bloque DCB.

20 La orden "Interrumpir Entrada-Salida" es una orden dirigida por la unidad lógica 32 de control de entrada-salida que origina una interrupción de toda la actividad de entrada-salida sobre la unidad 35 de acoplamiento

30

1 de entrada-salida. No están asociados datos con esta or-
den. Se eliminan todas las interrupciones de dispositivo
pendientes. Permanecen inalteradas las asignaciones de ni-
vel de prioridad de interrupción de dispositivo y máscaras
5 de dispositivo (bitios I).

La figura 8 ilustra el contenido del registro 97
de la figura 5 y el registro 111 de la figura 6 y el sis-
tema de sincronismo de señales sobre diversas líneas de la
unidad 35 de acoplamiento. Esto representa la acción ini-
10 cial que tiene lugar cuando es descodificada una instruc-
ción de programa OIO, bien sea para "Leer o Escribir DPC",
transferencia de la dirección de bloque DCB para operacio-
nes de interrupción monocíclica, o transferencia de códi-
gos de nivel de interrupción para una orden "Preparar".

15 La línea general 50 de datos será excitada con los datos
que están siendo transferidos entre el dispositivo 33 y el
campo inmediato del bloque IDCB en la unidad 31 de memoria
que fué direccionada por la instrucción "Activar Entrada-
-Salida".

20 Los bitios 0-15 de la línea general 49 de direc-
ción contienen la primera palabra del bloque IDCB. La lí-
nea general 49 de dirección está activa antes de tomar ni-
vel alto la señal de la línea 51 Puerta de Dirección y has-
ta que toma nivel bajo la señal de la línea 52 Retorno de
25 Puerta de Dirección. La igualdad entre la dirección de
dispositivo establecida por conexionado y los bitios 8-15
de la línea general 49 de dirección, teniendo el bitio 16
un estado binario 1, constituye la selección inicial de
una unidad 34 de control de dispositivo periférico. Es su-
30 mado el bitio 16 a la línea general 49 de dirección por la

1 unidad 76 de control de puerta de acoplamiento de la figu-
ra 4 desde un descodificador 112 para distinguir la utili-
zación de la línea general 49 de dirección para operacio-
nes de entrada-salida en contraste con otras operaciones
5 que utilizan la línea general 49 de dirección.

La señal 51 Puerta de Dirección es la etiqueta
de dirección de tránsito utilizada para indicar al dispo-
sitivo 33 que responda a selección inicial y comience la
operación especificada por la orden (bitios 0-7 de la lí-
nea general de dirección).
10

La señal 52 Retorno de Puerta de Dirección es la
etiqueta de identificación utilizada por la unidad 34 de
control de dispositivo periférico para indicar a la unidad
32 lógica de control de entrada-salida que ha recibido la
señal 51 Puerta de Dirección, ha reconocido su dirección,
15 y ha activado información de estado sobre la línea general
53 de entrada de código de estado. Esta etiqueta de iden-
tificación debe tomar nivel alto dentro de un cierto lími-
te de tiempo del estado de nivel alto de la señal 51 Puer-
ta de Dirección, como se ve en la salida del canal. Si no
20 es así, es retornado un código 0 de estado a la unidad ló-
gica 32 de control de entrada-salida y finaliza la secuen-
cia. La señal 51 Puerta de Dirección toma nivel bajo y
desaparece la señal 49 Línea General de Dirección.

La línea 53 general de entrada de código de es-
tado es una línea asociada a un campo de 3 bitios que está
codificado en binario. El dispositivo 33 de entrada-salida
transmite información de estado al canal sobre esta línea
principal durante el tiempo de etiqueta Retorno de Puerta
30 de Dirección. Los bitios de código de estado son situados

1 - en el registro de estado de nivel en curso (registro LSR) de la unidad CPU 30. En la tabla 1 están representados los valores de código de estado y su significado.

TABLA I

5	<u>Valor de código de estado</u>	<u>Significado</u>
	0	Dispositivo no anexionado
	1	Ocupado
	2	Ocupado después de reposición
	3	Rechazo de orden
10	4	Intervención requerida
	5	Comprobación de datos de sistema de acoplamiento
	6	Controlador ocupado
	7	Satisfactorio

15 La señal 54 Selectora de Datos es una señal de tránsito generada por la unidad lógica 32 de control de entrada-salida, y puede ser utilizada por el dispositivo para registrar datos que se están enviando al dispositivo. El nivel de la señal 54 Selectora de Datos cae al caer el nivel de la señal 51 "Puerta de Dirección".

20

Se utilizarán las figuras 9, 10 y 11 para describir detalles adicionales de operaciones de entrada-salida de interrupción monocíclica. En la figura 9, la decodificación de una instrucción OIO con dirección 200 de unidad de memoria hará que el ordenador 30 direcciona y establece acceso desde la posición 200 en la unidad 31 de memoria a las dos palabras del bloque IDCB 113. El bloque IDCB será transferido a la unidad 34 de control de dispositivo periférico seleccionada por la porción de dirección de dispositivo del bloque IDCB de acuerdo con la secuencia

25

30

1 representada en la figura 8. El campo inmediato del blo-
que IDCB identifica y proporciona la dirección de la posi-
ción de un bloque 114 de control de dispositivo (bloque --
DCB) en la unidad 31 de memoria. La orden Iniciar Inte-
5 rrupción Monocíclica o Iniciar Estado de Interrupción Mono-
cíclica será descodificada en la unidad 34 de control de
dispositivo periférico e iniciará una primera operación de
interrupción monocíclica utilizando la información 500 de
10 dirección de la unidad 31 de memoria con el fin de trans-
ferir el bloque DCB 114 a la unidad 34 de control de dis-
positivo periférico.

El contenido del bloque DCB identificará la di-
rección en la unidad 31 de memoria implicada con la trans-
ferencia de datos y, como se ilustra en la figura 9, se ve
15 que está situado en la dirección 800 en la unidad 31 de me-
moria, definiendo así una zona 115 de datos. La cantidad
de datos a ser transferidos está especificada por un cam-
po de cómputo de baterías de bitios. Al completarse la --
transferencia controlada por el bloque DCB 114, puede ser
20 transferido un bloque DCB adicional, identificado como --
bloque DCB 116 encadenado, a la unidad 34 de control de
dispositivo periférico para proporcionar control adicional
para el dispositivo 33 periférico seleccionado anteriormen-
te. Como se representa en la figura 9, el bloque DCB 114
25 contiene información de control que proporciona la direc-
ción en la unidad 31 de memoria del bloque DCB 116 encade-
nado que está situado en la unidad 31 de memoria comenzan-
do en la dirección 600.

Durante operaciones de interrupción monocíclica,
30 cada una de las ocho palabras que componen un bloque DCB

1 -es transferida a la unidad 34 de control de dispositivo
periférico anteriormente seleccionada según un principio
de solicitud de interrupción monocíclica. La figura 10
5 ilustra el contenido de un bloque DCB incluido indistinta-
mente en la unidad 31 de memoria o en la forma en que se
recibe por una unidad 34 de control de dispositivo perifé-
rico en respuesta a la utilización de la información IDCB,
la cual fué transferida a su vez en respuesta a la instruc-
ción OIO.

10 El bloque DCB es un bloque de control de ocho
palabras que reside en la zona supervisora de la unidad
31 de memoria. Describe los parámetros específicos de la
operación de interrupción monocíclica. La unidad 34 de
15 control de dispositivo periférico localiza el bloque DCB
utilizando clave de protección de memoria cero. Los comen-
tarios siguientes describen el contenido de la Palabra de
Control de cada bloque DCB.

Si el bitio 0 es igual a uno, se indica una ope-
ración de encadenamiento de bloque DCB. Después de com-
20 pletarse satisfactoriamente la operación DCB en curso, el
dispositivo no origina interrupción (excluyendo interrup-
ciones PCI). En vez de ello, el dispositivo localiza el
siguiente bloque DCB en la cadena.

Si el bitio 1 es igual a uno, el dispositivo pre-
25 senta una instrucción controlada por programa (instrucción
PCI) al finalizarse la operación de búsqueda del bloque
DCB. Una interrupción PCI pendiente no inhibe las trans-
ferencias de datos asociadas con el bloque DCB. Si la in-
terrupción PCI está pendiente cuando el dispositivo encuen-
30 tra el siguiente estado que origina interrupción, la con-

1 condición PCI es descartada por el dispositivo y sustituida
por la nueva condición de interrupción.

5 El estado del bitio 2 informa al dispositivo sobre la dirección de la transferencia de datos; 0 = Salida (memoria principal a dispositivo) y 1 = Entrada (dispositivo a memoria principal). Para transferencia de datos bidireccional en una operación DCB, este bitio debe estar puesto a uno. Para operaciones de control que no implican transferencia de datos, este bitio debe estar puesto
10 a cero.

Si el bitio 3 es igual a uno, la transferencia de datos tiene lugar en el modo de cadenas de datos cerradas. Este modo dedica el canal y unidad de acoplamiento de entrada-salida al dispositivo hasta que se completa la
15 última transferencia de datos asociada con este bloque -- DCB.

Si el bitio 4 es igual a uno, no es reportado un registro de longitud incorrecta. El dispositivo continúa la operación. Las clases de registro de longitud incorrecta son: (1) un registro más largo que el cómputo especificado, y (2) un registro más corto que el cómputo especificado. El reporte de registro de longitud incorrecta puede ser suprimido para una o ambas clases dependiendo del dispositivo individual.
20

25 Los bitios 5-7 son la clave de dirección de interrupción monocíclica. Esta clave es presentada por el dispositivo durante transferencias de datos. Es utilizada para averiguar la autorización de acceso a memoria.

30 Los bitios 8-15 pueden ser utilizados para describir funciones singulares para un dispositivo particular.

1 Las palabras 1-3 de parámetro son palabras de control dependientes de dispositivo y están ejecutadas según se requiera. Si es utilizada por un dispositivo la instrucción "suprimir longitud incorrecta" (SIL), la palabra 4 de parámetro especifica una dirección de unidad de memoria de 16 bitios denominada dirección de estado. Esta dirección indica un bloque de estado residual que es almacenado cuando se cumplen las dos condiciones siguientes:

5

10 (1) el bitio SIL (bitio 4 de la palabra de control DCB) está puesto a uno, y (2) se han completado sin error todas las transferencias de datos para el bloque DCB en curso.

El tamaño del bloque de estado residual varía de una a tres palabras dependiendo del dispositivo individual. La primera palabra contiene el cómputo de batería de bitios residual. Palabras adicionales (máximo de dos) contienen información de estado dependiente de dispositivo.

15

Si no es utilizada la instrucción "suprimir longitud incorrecta" por un dispositivo, el significado de la palabra 4 de parámetro de dispositivo es dependiente del dispositivo y tiene el mismo significado que las palabras 1-3 de parámetro.

20

Si el bitio de encadenamiento DCB (bitio 0 de la palabra de control) es igual a uno, la palabra 5 de parámetro especifica una dirección de memoria principal de 16 bitios del bloque DCB siguiente en la cadena. Si no está indicado encadenamiento, esta palabra de parámetro es dependiente de dispositivo.

25

La palabra de cómputo contiene un número entero sin signo de 16 bitios que representa el número de baterías de bitios de datos a ser transferidas para el bloque

30

1 DCB en curso. El cómputo está especificado en baterías de bitios con un campo de variación de 0 a 65.535. Debe ser también par para la operación "iniciar estado de interrupción monocíclica".

5 La palabra Dirección de datos contiene la dirección de memoria principal de iniciación para la transferencia de datos.

10 El mecanismo de interrupción monocíclica permite el servicio de datos a o desde un dispositivo 33 de entrada-salida mientras la unidad CPU 30 está haciendo otro tratamiento. Este funcionamiento solapado permite la iniciación de transferencias de datos múltiples por una instrucción "activar entrada-salida". La unidad CPU ejecuta la instrucción "activar entrada-salida"; continúa entonces
15 tratando la cadena de instrucciones mientras el dispositivo de entrada-salida origina interrupciones monocíclicas de datos de la memoria 31 principal cuando se necesita. El funcionamiento finaliza siempre con una interrupción de prioridad procedente del dispositivo. Es generada una etiqueta 63 de identificación de llamada selectiva por el canal para decidir en caso de competencia entre dispositivos
20 múltiples que solicitan transferencias de interrupción monocíclica. La etiqueta de identificación de llamada selectiva resuelve también en la competencia para interrupciones de prioridad en el mismo nivel.

Todas las operaciones de interrupción monocíclica incluyen ciertas capacidades que se ofrecen tomando como base una característica de dispositivo:

1. Modo de cadena cerrada.
2. Encadenamiento de orden.

30

- 1 3. Encadenamiento de datos.
4. Interrupción controlada por programa (PCI).
5. Direcciones de memoria y transferencias de datos por batería de bitios o palabra.

5 Todas las operaciones de interrupción monocíclica terminan con una interrupción de prioridad.

La finalidad de la orden "Iniciación de Interrupción Monocíclica" es la transferencia de datos. La finalidad de la orden "Iniciar Estado de Interrupción Monocíclica" es obtener parámetros residuales del dispositivo si la operación anterior de interrupción monocíclica termina debido a un estado de error o de excepción. El formato del bloque DCB es el mismo que el correspondiente a una operación normal de interrupción monocíclica con las palabras 1-5 puestas a cero.

15 Durante operaciones de "iniciar estado de interrupción monocíclica", son transferidos datos a la memoria principal comenzando en la dirección de datos especificada en el bloque DCB. Estos datos consisten en parámetros residuales e información de estado dependiente de dispositivo. La primera palabra transferida contiene la dirección de memoria principal de la última transferencia de interrupción monocíclica intentada asociada con una orden "Iniciar". Si se produce un error durante una operación "iniciar estado de interrupción monocíclica", esta dirección no es alterada. La dirección residual puede ser una dirección de datos, una dirección de bloque DCB, o una dirección de bloque de estado residual y se borra solamente por una reposición de encendido. Es actualizada a la

20

25

30 dirección de memoria de interrupción monocíclica en curso

1 al ejecutarse transferencias de interrupción monocíclica.
Para transferencias de palabra, la dirección residual in-
dica la batería de bitios de orden superior de la palabra.
Las órdenes "reposición de dispositivo" "interrumpir en-
5 trada-salida", "comprobación de máquina", y "reposición de
sistema" no tienen efecto sobre la dirección residual en
el dispositivo.

La segunda palabra de estado transferida contie-
ne el cómputo de batería de bitios residual de un disposi-
10 tivo. El cómputo de batería residual es establecido en
sus valores iniciales por el campo de cómputo de un bloque
DCB asociado con una orden Iniciar y es actualizado a me-
dida que cada una de las baterías de bitios de datos es
transferida con éxito mediante una operación de interrup-
15 ción monocíclica. No es actualizado por transferencias de
interrupción monocíclica dentro del bloque de estado resi-
dual. El cómputo de batería residual no se altera si se
produce un error durante una operación de "iniciar estado
de interrupción monocíclica". Es repuesto por (1) reposi-
20 ción de encendido (2) reposición de sistema, (3) reposi-
ción de dispositivo, (4) "interrumpir entrada salida" y
(5) estado de comprobación de máquina. El contenido de la
palabra 1 de estado de interrupción monocíclica de disposi-
tivo es dependiente del dispositivo si el dispositivo: (1)
25 no pone en ejecución la instrucción "suprimir longitud in-
correcta" (SIL), o (2) no almacena un cómputo de batería
de bitios residual como parte de su estado de interrupción
monocíclica.

Pueden ser transferidas otras palabras de esta-
30 do dependientes de dispositivo dependiendo del tipo de dis

1 positivo.

Dos estados pueden hacer que sean activados bitios en las palabras de estado dependientes de dispositivo.

1. Ejecución de una orden de entrada-salida que origina una interrupción de excepción.
2. Estados de transmisión asíncrona en el dispositivo que indican un error o excepción.

Los bitios se reponen del modo siguiente:

1. Para el primer estado enumerado anteriormente, los bitios son repuestos por la aceptación de la siguiente orden de entrada-salida (excepto iniciar estado de interrupción monocíclica) a continuación de la interrupción de excepción. Estos bitios son también repuestos por una reposición de encendido, reposición de sistema, o ejecución de una orden "Interrumpir Entrada-Salida".
2. Para el segundo estado, los bitios son repuestos según un principio dependiente del dispositivo.

La figura 11 ilustra las líneas del sistema de acoplamiento 35 utilizadas y las señales de sincronismo durante operaciones de interrupción monocíclica. Con anterioridad a esta operación, el dispositivo ha enviado una solicitud de interrupción monocíclica (bitio 16 sobre la línea general 61 de entrada de solicitud), a la unidad lógica 32 de control de entrada-salida que respondió con la secuencia de llamada selectiva, y este dispositivo captó esta llamada selectiva.

Es elevado el nivel de la señal 55 Puerta de Ser

1 vicio por la unidad lógica 32 de control de entrada-salida
para indicar al dispositivo 33 que captó la señal 64 de
llamada selectiva e indicó retorno 65 de llamada selecti-
va, que pueden comenzar las transferencias de datos.

5 Cuando el dispositivo detecta la señal 55 Puer-
ta de Servicio, envía la señal 56 Retorno de Puerta de Ser-
vicio al canal 32 para indicar que ha situado los datos
necesarios e información de control sobre la línea de aco-
plamiento 35 de entrada-salida. Los datos de cualquier
10 tipo proporcionados por el dispositivo para la transferen-
cia, son activados antes de que se produzca la subida de
nivel de la señal de esta línea de etiqueta de identifica-
ción. La señal en esta línea de etiqueta de identifica-
ción puede bajar de nivel no antes de que se produzca la
15 bajada de nivel de la señal 55 Puerta de Servicio y la se-
ñal 54 Selectora de Datos vista en la salida del disposi-
tivo de entrada-salida.

 La línea 49 general de direcciones contiene la
dirección de la unidad 31 de memoria que es utilizada pa-
20 ra la palabra de datos a transferir. El contenido de la
línea general de direcciones es transmitido al registro
SAR 110 de interrupción monocíclica en la tarjeta 41 de
dirección. Tiene lugar un ciclo de memoria y la palabra
es situada en el registro SDR 94 de Interrupción Monocícli-
ca. La línea general 50 de datos contiene la palabra que
25 está siendo transferida.

 La línea general 53 de entrada de código de es-
tado contiene la clave de dirección a utilizar durante el
acceso a la unidad 31 de memoria. Los bitios 0, 1, 2 de
30 entrada de código de Estado corresponden a los bitios 0,

1 1, 2 de la clave de dirección. Esta línea general es ac-
tivada con la subida de nivel de la señal 56 Retorno de
Puerta de Servicio y se mantiene hasta que se produce la
caída de la señal 55 Puerta de Servicio.

5 La señal 54 Selectora de Datos es una etiqueta
de identificación de salida y puede ser utilizada por el
dispositivo para registrar datos que están siendo enviados
al dispositivo. El nivel de la señal 54 selectora de da-
tos cae al producirse la bajada de nivel de la señal 55
10 Puerta de Servicio.

La línea general 59 de estado es utilizada por
la unidad lógica 32 de control de entrada-salida para en-
viar una indicación a la unidad 34 de control de dispositi-
vo periférico en caso de que sea detectado un error du-
rante operaciones de interrupción monocíclica. Los bitios
15 de esta línea general tienen el siguiente significado:

Bitio 0 Comprobación de datos de memoria.

Bitio 1 Dirección de memoria inválida.

Bitio 2 Comprobación de protección.

20 Bitio 3 Comprobación de datos de sistema de aco-
plamiento.

Si esta línea general está activada, el dispositi-
vo retiene la información para presentación en una orden
"Interrumpir Batería de Bitios de Estado" en el intervalo
25 de interrupción. La operación de interrupción monocíclica
finaliza y el dispositivo presenta una interrupción final.

Si el dispositivo ha alcanzado ya la solicitud
de interrupción monocíclica para la siguiente transferen-
cia, o está en el modo de transferencia de cadenas cerra-
das, debe completar una o más operaciones de servicio so-
30

1 bre el sistema de acoplamiento. Este servicio es un ciclo
muerto donde no se actualiza ningún parámetro retenido de
dispositivo ni se acumula ningún bitio de estado.

5 La etiqueta de identificación Indicador 57 de
Entrada-Salida indica a la unidad 32 lógica de control de
entrada-salida, cuando es igual a 0, que la operación es
una salida de la memoria 31, y cuando es igual a 1, indi-
ca una entrada a la memoria 31.

10 La etiqueta de identificación Indicador 58 de
Palabra/Batería de Bitios indica a la unidad lógica 32 de
control de entrada-salida, cuando es igual a 0, que va a
tener lugar una transferencia de palabra, y cuando es --
igual a 1, indica una transferencia de batería de bitios.

Llamada selectiva

15 Las figuras 12 a 14 ilustran en general el con-
cepto de llamada selectiva de acuerdo con el presente in-
vento. La lógica de llama selectiva es común para la se-
lección de unidades 34 de control de dispositivo periféri-
co en respuesta indistintamente a solicitudes de interrup-
ción o solicitudes de interrupción monocíclica. De acuer-
do con la secuencia representada en la figura 12, la línea
20 general 61 de entrada de solicitud es excitada por cual-
quier dispositivo 33 periférico sobre la línea 35 general
de acoplamiento que requiere tratamiento de interrupción o
25 utilización de la línea general 35 para transferencias de
datos de interrupción monocíclica. La línea denominada
"bitio 16" de la línea general 61 de entrada de solicitud
se excita siempre que cualquier dispositivo requiera trans-
ferencias de datos de interrupción monocíclica. Las líneas
30 restantes de la línea general 61 de entrada de solicitud

1 están asociadas cada una con un nivel de interrupción par-
ticular. La excitación de las líneas sobre la línea gene-
ral 61 de entrada de solicitud permanecerá en un valor de
estado estacionario mientras cualquier dispositivo requie-
ra servicio para interrupción o transferencias de interrup-
5 ción monocíclica.

En el momento en que la unidad lógica 32 de con-
trol de entrada-salida determina que deberán reconocerse
cualquiera de las solicitudes sobre la línea general 61 de
10 entrada de solicitud, se excitarán las líneas de señal de
la línea general 62 identificadora de llamada selectiva de
un modo codificado para indicar a todos los dispositivos
que está siendo iniciado un proceso de selección y llama-
da selectiva indistintamente para transferencias de inte-
15 rrupción monocíclica o tratamiento de interrupción en un
nivel de interrupción particular identificado por la línea
62 identificadora de llamada selectiva. Después que se ha
excitado la línea general 62 identificadora de llamada se-
lectiva, es generada en serie una señal 63 de llamada se-
20 lectiva para todas las unidades 34 de control de disposi-
tivo periférico sobre la línea general 35 para resolver en
la competencia entre unidades de control de dispositivo
periférico que solicitan interrupciones en el mismo nivel
de prioridad y solicitudes de interrupción monocíclica. Ca-
25 da una de las unidades 34 de control de dispositivo perifé-
rico recibe la etiqueta 63 identificadora de llamada selec-
tiva y reexcita, o propaga esta señal, hasta la siguiente
unidad 34 de control de dispositivo periférico enviando se-
ñal de propagación de llamada selectiva si el dispositivo
30 no capta la llamada selectiva. Si ha requerido servicio

1 una unidad 34 de control de dispositivo particular del ti-
po identificado por la línea general 62 identificadora de
llamada selectiva, responde con la señal de retorno de lla-
mada selectiva sobre la línea 65, y la señal 63 de llama-
5 da selectiva no se propaga a ninguna otra unidad 34 adicio-
nal de control de dispositivo periférico.

En la figura 13 se ilustra una representación de
tres unidades de control de dispositivo periférico todas
las cuales tienen interrupciones pendientes. El primer
10 dispositivo está indicando una solicitud para interrumpir
en nivel 2 mientras que los dispositivos restantes están
solicitando interrupciones en nivel 1. La línea 62 iden-
tificadora de llamada selectiva estará codificada para es-
pecificar una llamada selectiva para cualquier dispositivo
15 que hace una solicitud en nivel 1. Puesto que la línea 62
general identificadora de llamada selectiva no corresponde
exactamente a la solicitud en nivel 2 por parte del primer
dispositivo, la señal 63 de llamada selectiva se propaga-
rá hasta el siguiente dispositivo. El primer dispositivo
20 que manifiesta una solicitud en nivel 1 capta la llamada
selectiva, e inhabilita la transmisión de la señal de pro-
pagación de llamada selectiva a los siguientes dispositi-
vos próximos. Al mismo tiempo, el primer dispositivo de
nivel 1 generará la señal 65 de retorno de llamada selec-
25 tiva para informar a la unidad lógica 32 de control de en-
trada-salida de que ha sido captada la llamada selectiva.
La unidad 32 lógica de control de entrada-salida responde-
rá con la señal 55 de puerta de servicio, el dispositivo
responde a la señal 55 de puerta de servicio con la señal
30 56 de retorno de puerta de servicio e inicia la utiliza-

1 ción de la línea general 35 de acoplamiento.

5 Como se representa en la figura 3, la señal de llamada selectiva que se propaga en serie de dispositivo a dispositivo consiste en realidad en dos señales indepen-

10 dientes denominadas señal 63 de llamada selectiva y señal 64 principal de llamada selectiva. Los circuitos lógicos internos para cada una de las unidades 34 de control de -- dispositivo periférico generan una señal de llamada selectiva interna en respuesta a la recepción de una señal sobre

15 ambas líneas 63 de entrada de llamada selectiva y 64 de entrada principal de llamada selectiva. Esta característica permite el funcionamiento correcto del mecanismo de llamada selectiva aún cuando una unidad 34 de control de dispositivo periférico particular esté físicamente eliminada de la línea general 35 de acoplamiento. Como caso extremo, pueden eliminarse físicamente todas las unidades 34 de control de dispositivo periférico alternativas.

20 La figura 14 representa un detalle adicional del sistema lógico interno de una unidad 34 de control de dispositivo periférico utilizado en la recepción de las señales 63 y 64 de llamada selectiva, y en la generación de la señal 65 de retorno de llamada selectiva. Un circuito "Y" 117 recibe tanto la señal 63 de llamada selectiva como la señal 64 principal de llamada selectiva recibidas sobre

25 primera y segunda entradas, respectivamente. La salida del circuito "Y" 117 sobre la línea 118 es portadora de la señal de llamada selectiva interna. Un circuito "Y" 119 y un circuito 120 comparador determinan a partir del nivel de interrupción de dispositivo actual o la indicación de

30 solicitud de interrupción monocíclica sobre una línea 121

1 y la información codificada sobre la línea general 62 iden-
tificadora de llamada selectiva, si el dispositivo parti-
cular representado captará o no la llamada selectiva y ge-
nerará una señal 65 de retorno de llamada selectiva desde
5 el circuito "Y" 122.

Indistintamente la salida del circuito 120 com-
parador o del circuito "Y" 119 serán efectivas en el cir-
cuito "Y" 122 junto con una señal 118 de llamada selectiva
interna para generar la señal 65 de retorno de llamada se-
10 lectiva e inhibir el funcionamiento de los circuitos lógi-
cos de propagación de llamada selectiva a un dispositivo
siguiente próximo.

El circuito "Y" 117 está representado teniendo
sobre cada una de la primera y segunda entrada una resis-
15 tencia 123 conectada a una tensión positiva. La línea 63
de llamada selectiva y la línea 64 principal de llamada se-
lectiva estarán mantenidas normalmente a niveles negativos,
inefectivos, en ausencia de la generación de las respecti-
vas señales. Si fuese eliminada de la línea general 35 de
20 acoplamiento la siguiente unidad 34 de control de dispositi-
vo periférico precedente, la resistencia 123 conectada
a la fuente de alimentación de tensión positiva fijará el
nivel de la primera entrada del circuito "Y" 117 a un ni-
vel positivo indicando una señal de llamada selectiva nor-
25 mal sobre la línea 63. En este momento, la recepción de
la señal principal de llamada selectiva sobre la línea 64
de una unidad 34 de control de dispositivo periférico que
precede inmediatamente a la unidad 34 de control de dispo-
sitivo periférico eliminada de la línea general de acopla-
30 miento, se combinará con la primera entrada del circuito

1 "Y" 117 cuyo nivel ha sido fijado, y será efectiva para
generar la llamada selectiva interna sobre la línea 118
de señal. Si la unidad 34 de control de dispositivo peri-
férico que genera la señal 64 principal de llamada selec-
5 tiva fuese eliminada de la línea general 35, quedaría fija
da en nivel la segunda entrada al circuito "Y" 117 y el
circuito "Y" 117 respondería a la señal 63 de llamada se-
lectiva procedente de la siguiente unidad 34 de control
de dispositivo periférico precedente.

10 Unidad de Control de Dispositivo Periférico

La figura 15 ilustra con un poco más de detalle
la disposición de las partes principales de una unidad 34
de control de dispositivo periférico representada en la
figura 3. La unidad lógica 46 de acoplamiento de canal
15 está conectada en paralelo con otra unidad lógica de aco-
plamiento de canal a la unidad 35 de acoplamiento, y reci-
be también la señal 63 de llamada selectiva transmitida en
serie. En ciertas situaciones, la unidad lógica 46 de --
acoplamiento de canal podría contener todos los circuitos
20 lógicos combinacionales y secuenciales requeridos para con-
trolar directamente un dispositivo 33. Sin embargo, en
una realización preferida del presente invento, el control
básico para la unidad 34 de control de dispositivo perifé-
rico es realizado por un microordenador 47 que incluye su
25 propia memoria 124 para programas, datos, e información de
control de dispositivo periférico. La transferencia de
datos, información de control e información de percepción
es efectuada por el microordenador 47 desde la línea 125
general de salida de datos, la línea 126 general de entra-
30 da de datos, y la línea general 127 de dirección. El con-

1 junto de instrucciones del microordenador 47 incluye códigos OP e información de dirección en donde la información de dirección sobre la línea general 127 identifica registros particulares, circuitos de báscula, circuitos de re-
5 tención, y puertas dentro de la unidad 34 de control de dispositivo periférico cuyos códigos de operación han de ser efectuados o percibidos.

La figura 16 representa los componentes principales de la unidad lógica 46 de acoplamiento de canal en la forma en que está conectada a la línea general 35 de acoplamiento y líneas generales del microordenador 47. Las
10 unidades principales incluyen la batería 0 de bitios del registro de datos con comprobación de paridad y generación de paridad, y la batería 1 de bitios del registro de datos con comprobación de paridad y generación de paridad. El
15 proceso de secuencia de interrupción e interrupción monocíclica está controlado en circuitos lógicos que incluyen comprobación de nivel de prioridad e identificación de llamada selectiva. Medios lógicos adicionales incluyen la batería 0 de bitios de un registro de dirección que, como se
20 ha comentado anteriormente, es portadora de la orden para un dispositivo y por consiguiente incluye también un mecanismo descodificador de órdenes. Otros medios lógicos reciben la batería 1 de bitios de la información de dirección, que, como se ha comentado anteriormente, direcciona un dispositivo particular cuya dirección es comparada con una dirección rígidamente establecida en el cableado sobre puentes de dirección. Existen medios lógicos que incluyen el registro de estado de interrupción monocíclica, la generación de código de estado y otros circuitos de control
25
30

1 de reposición y acoplamiento. Está dispuesto un descodi-
ficador para la información de dirección procedente del
microordenador que actúa para controlar y percibir el es-
tado de diversos circuitos de retención en la unidad 34 de
5 control de dispositivo periférico.

La figura 17 representa un diagrama de bloques de los componentes principales de un microordenador 47 --
adecuado para utilización en la unidad 34 de control de
dispositivo periférico. Están representadas la memoria
10 124, las líneas generales 125 y 126 de datos de salida y
entrada, y la línea general 127 de dirección, mencionadas
anteriormente. El microordenador está controlado por la
entrada de instrucciones de 16 bits en un registro OP
128, del cual es utilizada la porción de código OP por la
15 unidad 129 de control de ciclo y un generador 130 de im-
pulsos de sincronismo para generar señales de control ne-
cesarias dentro del microordenador. Es establecido acce-
so a la memoria 124 por información de dirección proceden-
te de un registro (SAR) 131 de dirección de memoria que re-
20 cibe información de dirección procedente de diversas fuen-
tes. Estas fuentes incluyen información de dirección en
instrucciones contenidas en el registro OP 128, un regis-
tro 132 de dirección de instrucción, un registro 133 de en-
lace, y un bloque 134 de registros superpuestos (DAR) de
25 dirección de datos direccionable por instrucción. En com-
binación con el registro 132 de dirección de instrucción y
el registro 133 de enlace, un registro 135 de reserva y un
incrementador 136 proporcionan las señales de control ne-
cesarias para controlar la secuencia de ejecución de ins-
30 trucción programada, incluyendo los tipos de controles de

1 secuencia de bifurcación, bifurcación y retorno, bifurca-
ción y enlace.

5 El contenido de un bloque 137 adicional de regis-
tros superpuestos direccionables y datos procedentes de la
memoria 124, presentados a través de un ensamblador 138 o
selector de transmisión simultánea, pueden almacenarse en
un registro A 139 y/o en un registro B 140. Los registros
139 y 140 proporcionan entrada a la unidad 141 lógica y
aritmética, y son los registros utilizados para transferen-
10 cia de datos haciendo uso de la línea general 125 de sali-
da de datos o la línea general 126 de entrada de datos.

15 La figura 18 representa detalles adicionales de
la unidad lógica 46 de acoplamiento de canal comentada --
brevemente en relación con la figura 16. Como resultado
de una descodificación en el ordenador 30 de una instruc-
ción OIO, la unidad lógica 32 de control de entrada-salida
o canal debe comunicar con las unidades 34 de control de
dispositivo periférico para utilizar la línea general 35
de acoplamiento para transferir el bloque de control de da-
20 tos inmediato (IDCB). La unidad lógica 46 de acoplamiento
de canal, bien sea que esté controlada por un microordena-
dor 47 de acuerdo con una realización preferida, o por cir-
cuitos lógicos combinacionales y secuenciales, debe in-
cluir un número de elementos básicos, y éstos incluyen un
25 registro 142 de datos de 16 bitios, un registro 143 de di-
rección, un registro 144 de órdenes, y un circuito 145 com-
parador de direcciones de selección de dispositivo o cir-
cuito de anexión.

30 Como se ha indicado anteriormente, la línea ge-
neral 49 de dirección de acoplamiento es portadora de la

1 primera palabra del bloque IDCB que incluye la orden de
dispositivo en los bitios 0 a 7 y la dirección de dispositi-
vo en los bitios 8 a 15. Se realiza una selección ini-
cial de todas las unidades 34 de control de dispositivo
5 periférico por el bitio 16 de la línea general 49 de direc-
ción para distinguir la utilización de la línea general pa-
ra operaciones de entrada-salida en contraste con otras
operaciones. La selección de dispositivo inicial o de ane-
xión se realiza comparando la dirección de dispositivo en
10 los bitios 8 a 15 sobre la línea general 49 de dirección
con la dirección 133 de dispositivo establecida rígidamen-
te por cableado en el circuito 145 comparador de direccio-
nes para proporcionar una señal de selección de dispositi-
vo inicial o de anexión sobre la línea 146. El reconoci-
15 miento de la dirección de dispositivo hará que los bitios
1 a 7 sobre la línea general 49 de dirección sean transmi-
tidos al registro 144 de órdenes para presentación a un
registro 147 descodificador de orden. La línea general
127 de dirección de microordenador es descodificada en un
20 circuito 148 descodificador. La salida del descodifica-
dor 148 está combinada con la salida del descodificador
147 en el circuito lógico 149 de anexión. Para operacio-
nes de transferencias de datos, indistintamente una prime-
ra o una segunda señal de salida sobre las líneas 150 y
25 151 indicarán una transferencia de control directa por pro-
grama o una transferencia de interrupción monocíclica, res-
pectivamente.

La señal de selección de dispositivo inicial o
de anexión (señal 146) proporciona una señal de habilita-
ción a un circuito "Y" 152 que responde a la señal de la
30

1 línea 51 de puerta de dirección generada por la unidad ló-
gica de control de entrada-salida para generar una señal
52 de retorno de puerta de dirección. En respuesta a la
señal 52 de retorno de puerta de dirección la unidad lógi-
5 ca 32 de control de entrada-salida es informada de la se-
lección de dispositivo.

El registro 142 de datos de 16 bitios está inter-
conectado a la línea general 50 de datos de acoplamiento
mediante líneas generales 153 y 154. El registro 142 de
10 datos de 16 bitios comunica con la línea general 125 de
salida de datos de microordenador de 8 bitios o la línea
general 126 de entrada de datos, en dos ciclos independien-
tes en respuesta a señales de control procedentes del mi-
croordenador. En el caso de una operación de lectura de
15 control directo por programa el registro 142 de datos ha-
brá recibido los datos procedentes de la línea general 125
de salida de datos de microordenador para presentación a
la línea general 50 de datos de acoplamiento sobre la lí-
nea general 154. Si la operación DPC es "escribir datos",
20 el contenido de la línea general 50 de datos de acoplamiento
habrá sido situado en el registro 142 de datos sobre la
línea general 153 para presentación subsiguiente, en dos
ciclos independientes, a la línea general 126 de entrada
de datos de microordenador.

25 Si la porción de orden de bloque de control de
datos inmediato ha requerido una operación Iniciar Inte-
rrupción Monocíclica, el contenido del registro 142 de da-
tos recibido por la línea general 153 incluye información
de dirección que será transferida sobre la línea general
30 126 de entrada de datos de microordenador, a la memoria --

1 124 del microordenador representado en la figura 17. Adi-
cionalmente, en respuesta a la descodificación de una ope-
ración "Iniciar Interrupción Monocíclica", el contenido
del registro 124 de órdenes será transferido por una línea
5 general 155 a la línea general 126 de entrada de datos de
microordenador para almacenamiento en la memoria 124 del
microordenador. Por consiguiente, la memoria 124 del mi-
croordenador será utilizada como memoria de órdenes y me-
moria de direcciones de la unidad 31 de memoria para la fi-
10 nalidad de controlar operaciones subsiguientes de transfe-
rencia de datos de interrupción monocíclica.

Durante operaciones de transferencia de datos de
interrupción monocíclica subsiguientes, el registro 143 de
dirección recibirá sobre una línea general 156 en dos ci-
15 clos consecutivos, desde la memoria 124 del microordenador,
la información de dirección de unidad 31 de memoria ante-
riormente almacenada. Esta información de dirección en
operaciones de transferencia de datos de interrupción mo-
nocíclica subsiguientes será transferida sobre una línea
20 general 157 a la línea general 49 de dirección de acopla-
miento para presentación al mecanismo de dirección de la
unidad 31 de memoria de la unidad de tratamiento central.
El registro 142 de datos contendrá los datos de una trans-
ferencia de interrupción monocíclica bien sea para una ope-
25 ración de lectura o para una operación de escritura.

Un tercer tipo de orden recibida en el bloque de
control de datos inmediato es una orden "preparar" señal-
zada sobre una línea 158. En respuesta a una orden "pre-
parar" señalizada sobre la línea 158, los bits 11 a 14
30 sobre la línea general 50 de datos de acoplamiento serán

1 almacenados en un registro 159 de nivel de prioridad y el
bitio I 15 anteriormente mencionado será almacenado en
un circuito 160 de báscula. El contenido del registro 159
de nivel de prioridad manifiesta el nivel de prioridad del
5 dispositivo cuando deben realizarse solicitudes de inte-
rrupción. Una señal de solicitud de interrupción sobre
la línea 161, iniciada por el microordenador 57 anexiona-
do, será efectiva en un circuito "Y" 162 si el bitio I al-
macenado en 160 es un 1 binario. Esto pone de manifiesto
10 que el dispositivo puede interrumpir en cualquier nivel.
Si el dispositivo puede interrumpir, y ha sido hecha una
solicitud de interrupción sobre la línea 161, entrará en
funcionamiento efectivo un descodificador 163 de nivel pa-
ra excitar una de las líneas de señal sobre la línea gene-
15 ral 61 de entrada de solicitud de interrupción. La línea
excitada estará asociada con el nivel de interrupción de
prioridad registrado en el registro 159 de nivel de prio-
ridad.

Como se ha comentado anteriormente en relación
20 con la figura 14, la unidad lógica 32 de control de entra-
da-salida responde a cualquier señal sobre la línea gene-
ral 61 de entrada de solicitud bien sea para una solicitud
de interrupción o para una solicitud de interrupción mono-
cíclica señalizada sobre una línea 61-16 mediante la ini-
25 ciación de una secuencia de llamada selectiva. La secuen-
cia de llamada selectiva incluye la transmisión de la iden-
tificación de llamada selectiva sobre la línea general 62
a todas las unidades 34 de control de dispositivo perifé-
rico anexionadas junto con la señal 63 de llamada selecti-
30 va transmitida en serie. Si la identificación de llamada

1 selectiva sobre la línea general 62 indica una llamada se-
lectiva para cualquier dispositivo que solicita una trans-
ferencia de interrupción monocíclica, se generará una se-
ñal sobre la línea 164. Esta señal habilita la puerta "Y"
5 119, para producir una salida si el dispositivo representa-
do en la figura 18 ha solicitado una transferencia de in-
terrupción monocíclica como se indica sobre la línea 121.

Si la línea general 62 de identificación de llama-
mada selectiva está codificada con un nivel de interrup-
ción de prioridad que es comparable con el nivel actual
10 asignado, como se indica en el registro 159, y el dispositi-
vo representado en la figura 18 ha solicitado una inte-
rrupción, como se indica por una salida del circuito "Y"
162, será generada una señal por un circuito "Y" 165. El
15 circuito "O" 166 generará una señal de salida en respues-
ta a una salida del circuito "Y" 119, o a la salida del
circuito "Y" 165, para inhabilitar la propagación de la
llamada selectiva a unidades 34 de control de dispositivo
periférico subsiguientes, cuya señal está representada en
20 167. Serán señalizados otros estados lógicos de la unidad
34 de control de dispositivo periférico de la figura 18
correspondientes a la captación de llamadas selectivas so-
bre una línea 168. Adicionalmente, será habilitado un cir-
cuito "Y" 169 para hacer así que la unidad 34 de control
25 de dispositivo periférico responda a la señal 55 de puerta
de servicio sobre la unidad 35 de acoplamiento generando
la señal 56 de retorno de puerta de servicio para el fin
de controlar la transferencia adicional sobre la línea ge-
neral 35 de acoplamiento.

30 Las figuras 19 y 20 representan detalles de los

1 circuitos de conector incluidos en una tarjeta de ane-
xi3n, tal como la tarjeta 45 representada en la figura 2.
Las tarjetas 40, 41 y 42 de ordenador son capaces de tra-
5 tar un n3mero predeterminado de dispositivos perif3ricos
anexionados a tarjetas 44 de entrada-salida que est3n in-
cluidas en el sistema de tratamiento de datos base ilustra-
do en la figura 2. En ciertos casos, puede requerirse que
deban anexionarse dispositivos perif3ricos adicionales a
la unidad base y 3stos estar3n incluidos normalmente en un
10 mueble tal como el representado en la figura 2 que incluye
una fuente 37 de alimentaci3n de potencia, un bastidor o
bloque 38 ordenado de tarjetas, y tarjetas 44 adicionales
de ane3xi3n de dispositivo de entrada-salida. Los circui-
tos de conector sobre la tarjeta 45 de realimentaci3n de
15 potencia actuar3n para interconectar las l3neas de se3al
de la l3nea general 35 de acoplamiento de la unidad base
de la figura 2 a la l3nea general 35 de acoplamiento adi-
cional de la unidad de ampliaci3n.

La figura 19 es un diagrama de bloques de la tar-
20 jeta 45 de ane3xi3n de realimentaci3n de potencia de la fi-
gura 2. Los circuitos de conector de acoplamiento in-
cluyen excitadores 170 y 171 bidireccionales que interco-
nectan la l3nea general 49 de direcci3n y la l3nea general
50 de datos, respectivamente, del sistema de tratamiento
de datos base de la figura 2, al sistema de acoplamiento
25 adicional de entrada-salida que incluye tambi3n una l3nea
general 172 de direcci3n bidireccional y una l3nea general
173 de datos.

Los excitadores 174 unidireccionales responden a
30 diversas l3neas generales de tr3nsito y etiquetas de iden-

1 tificación de tránsito procedentes del canal del sistema
de tratamiento de datos base sobre una línea general ilus-
trada en 175 y realimentan potencia a estas señales para
5 su transmisión a líneas de señal correspondientes sobre
una unidad de acoplamiento adicional dispuesta en una lí-
nea general representada en 176. Excitadores 175 unidi-
reccionales responden a líneas de señal de una línea gene-
ral 176 procedente de una línea general de acoplamiento
adicional para realimentar potencia y excitar diversas lí-
10 neas de señal de etiqueta de tránsito y línea general de
tránsito sobre la línea general 177 al canal del sistema
de tratamiento de datos base.

La unidad lógica 178 de puertas, que se descri-
birá con más detalle en relación con la figura 20, respon-
15 de a ciertas líneas de señal normales que implican trans-
ferencia de dirección, datos y otras señales de control,
entre el canal del sistema de tratamiento de datos base y
dispositivos periféricos conectados, para controlar la ex-
citación de un excitador correcto de los excitadores bidi-
20 reccionales 170 y 171 para asegurar que la transferencia
de información sobre estas líneas generales bidirecciona-
les tiene lugar en la dirección correcta. Como resultado
de esto, no se requiere información adicional a la que se
transmite normalmente en el sistema de acoplamiento, para
25 determinar qué excitadores 170 y 171 de dirección han de
estar operantes.

La figura 19 representa un bloque 179 denominado
unidad lógica de llamada selectiva. La tarjeta de anexión
conectada directamente al sistema de acoplamiento del sis-
30 tema base para realizar la realimentación de potencia a --

1 una unidad de extensión de dispositivo de entrada-salida
puede ser utilizada para interconectar el sistema de acoplamiento del sistema base a un dispositivo periférico que puede estar físicamente a muchos metros de la unidad de
5 acoplamiento del sistema base, de tal modo que se requiere volver a suministrar potencia a las líneas de señal de acoplamiento para proporcionar un control correcto al dispositivo periférico físicamente alejado. Como parte de la operación de acoplamiento, como se ha descrito en relación
10 con las figuras 13, 14 y 18, debe ser generada una señal de llamada selectiva en serie, una señal de llamada selectiva principal, y una señal de retorno de llamada selectiva para determinar el dispositivo periférico particular que va a utilizar el sistema de acoplamiento en respuesta
15 a solicitudes de interrupción o de interrupción monocíclica. Si se requiere que la señal de llamada selectiva, la señal de propagación de llamada selectiva o la señal de retorno de llamada selectiva pasen a través del camino desde el sistema de acoplamiento hasta el dispositivo periférico
20 remoto, se perderá tiempo en el funcionamiento del sistema de acoplamiento. Por consiguiente, como parte del presente invento, la tarjeta de anexión que proporciona --realimentación de potencia está también provista del bloque lógico 179 de llamada selectiva el cual, en combinación con un conjunto adicional de líneas generales de entrada y etiquetas de identificación sobre una línea general 180, y terminales, indicados en general en 181, a los
25 cuales puede estar anexionado, el dispositivo periférico remoto, puede conseguir la señalización de captación de --
30 llamada selectiva, propagación, o retorno de llamada selec

1 tiva en la propia tarjeta de anexión. Esto ahorra tiempo
de propagación de señales a y desde el dispositivo perifé-
rico remoto para la finalidad de captación de llamada se-
lectiva, como se ha descrito anteriormente.

5 Serían recibidas señales tales como solicitud
161 de interrupción o solicitud 121 de interrupción mono-
cíclica, representadas en la figura 18, procedentes del
dispositivo periférico remoto en el bloque lógico 179 de
llamada selectiva para la finalidad de excitar una línea
10 correcta de las líneas 61 de señal de línea general de en-
trada de solicitud de interrupción. Una línea general 182
conectada a la línea general 177 proporciona esta informa-
ción. La unidad lógica 179 de llamada selectiva incluiría
también los circuitos lógicos que responderían a una señal
15 ID de llamada selectiva de acoplamiento sobre las líneas
62 en combinación con el nivel de prioridad asignado al
dispositivo periférico en el registro 169 para conseguir
la señalización de captación de llamada selectiva, propa-
gación de llamada selectiva, o retorno de llamada selecti-
20 va sobre el sistema de acoplamiento del sistema base.

La figura 20 representa más detalles del conjun-
to lógico del circuito de conector sobre la tarjeta 45
de anexión de realimentación de potencia de la figura 2,
que responde a ciertas señales presentes sobre la línea ge-
25 neral de acoplamiento del sistema base, excitadas durante
la utilización normal del sistema de acoplamiento, para --
controlar la dirección de la transferencia de señales so-
bre la línea general 49 de dirección bidireccional o la lí-
nea general 50 de datos.

30 Solamente está representada en la parte inferior

1 de la figura 20 una única línea de señal bidireccional de
la línea general 49 de dirección. Se representarían idé-
nticamente todas las otras líneas de señal de la línea ge-
neral 49 de dirección y todas las demás líneas de señal de
5 la línea general 50 de datos. Está asociado con cada lí-
nea de señal bidireccional un primer excitador 183 habili-
tado por una primera puerta "Y" 184 para habilitar el ex-
citador 183 para generar señales sobre la línea general
172 de acoplamiento adicional, de acuerdo con información
10 presente sobre la línea 149 de señal de la línea general
de dirección. Un segundo excitador 185 y una segunda puer-
ta "Y" 186 actuarán para generar señales en la dirección
opuesta es decir a partir de la información sobre la línea
general 172 de entrada-salida adicional hacia el canal del
15 sistema base sobre la línea 49.

El sistema lógico para controlar la dirección de
transferencia de señal sobre las líneas bidireccionales de
dirección incluye un primer circuito 187 inversor y un se-
gundo circuito 188 inversor. En descripciones anteriores,
20 se indicó que el único tiempo que se está generando infor-
mación de dirección a partir del canal para todos los dis-
positivos periféricos anexionados a la línea general de
acoplamiento es durante la selección inicial de un dispo-
sitivo periférico en respuesta a una instrucción OIO en la
25 unidad central de tratamiento. Cuando esto ocurre, el bi-
tío 16 de dirección sobre la línea 49 general de dirección
es obligado a ser un 1 binario. Cuando el bitio 16 de la
línea general 49 de dirección es un 1 binario, es inverti-
do para convertirlo en un cero binario por el inversor 187
30 e invertido nuevamente a un 1 binario por el inversor 188

1 para habilitar la puerta "Y" 184 para responder a la in-
formación presente sobre la línea 49 de señal incluida en
la línea general de dirección. Esto permite al excitador
183 aplicar potencia nuevamente a las señales de informa-
5 ción hacia la línea 172 de señal incluida en la línea ge-
neral de acoplamiento adicional. En todos los demás ca-
sos, los bitios 16 de la línea general 49 de dirección se-
rán un cero binario, el cual cuando es invertido por el
inversor 187, habilitará la puerta "Y" 186 para habilitar
10 el excitador 185 para aplicar nuevamente potencia a las
señales procedentes de la línea general 172 de acoplamiento
adicional sobre la línea general 49 de dirección conec-
tada al canal. Esta operación es efectiva durante trans-
ferencias de datos de interrupción monocíclica en las cua-
15 les el dispositivo periférico transmite información de di-
rección hacia la unidad central de tratamiento.

Para cada línea de señal bidireccional de la lí-
nea general 50 de datos, estarían incluidos un par de ex-
citadores 183, 185 y las puertas "Y" 184 y 186 de habili-
20 tación. La generación selectiva y alternada de las seña-
les correspondientes a cualquiera de los excitadores esta-
rá controlada por la salida de un circuito "O" 189 y el
inversor 190. El sistema lógico para determinar la direc-
ción de la transferencia de señal sobre la línea general
25 de datos está ilustrado en el resto de la figura 20.

Una primera situación en la cual han de ser ---
transferidos datos desde la línea general de acoplamiento
adicional hacia el canal, como se indica sobre una línea
191, está indicada por un circuito "Y" 192 que recibe in-
30 formación procedente de las posiciones 1 y 16 de bitio de

1 la línea general 49 de dirección. Un 1 binario sobre la
línea 49-16 de señal de la línea general de dirección, co-
mo se ha indicado anteriormente, indica la selección ini-
5 cial de un dispositivo periférico en respuesta a una ins-
trucción OIO. Durante la selección inicial, si la selec-
ción tiene por objeto efectuar una operación de lectura de
control directo por programa (DFC), la posición 1 de bitio
de la línea general 49 de dirección es parte del código de
orden que indica una orden de lectura y será un "0" bina-
10 rio que es invertido por un inversor 193 para habilitar el
circuito "Y" 192 para generar una señal a través del cir-
cuito "O" 189 que habilita el dispositivo periférico para
transferir datos al canal en respuesta a la orden de lec-
tura.

15 Un circuito 194 de báscula de puerta de servicio
de interrupción y un circuito "Y" 195 indican otra situa-
ción en la cual los excitadores de la línea general de da-
tos bidireccional están dispuestos para transferir infor-
mación hacia el canal, como se indica por una señal sobre
20 la línea 191. Durante una transferencia de datos de inte-
rrupción monocíclica por parte de un dispositivo periféri-
co, estará indicado un 1 binario sobre la línea 57 como
operación de interrupción monocíclica de entrada, y el ser-
vicio de la transferencia de datos de interrupción monocí-
25 clica estará indicado por la señal de puerta de servicio
normal sobre la línea 55. La única otra determinación que
debe hacerse para esta situación particular es que la se-
ñal 55 de puerta de servicio no está siendo generada para
la finalidad de tratar interrupciones, estando indicado es
30 to por el hecho de que el circuito 194 de báscula estará

1 en el estado de desactivación proporcionando la tercera
entrada de habilitación al circuito "Y" 195.

5 La tercera entrada al circuito "O" 189 es la se-
ñal de 1 binario indicada por el hecho de que el circuito
194 de báscula está en el estado activo, o estado de nivel
alto, lo cual hace que la información sobre la línea gene-
ral de datos bidireccional sea transmitida hacia el canal
porque está en tratamiento un servicio de interrupción. --
Debe ser transmitida a la unidad central de tratamiento
10 información, tal como la correspondiente a interrupción
ID, para ser situada en registros internos. Un circuito
196 de báscula de muestreo de llamada selectiva de inte-
rrupción "recuerda" que ha sido recibida sobre la línea
63 una llamada selectiva para un servicio de interrupción
15 cuando el bitio 0 de ID de llamada selectiva sobre la lí-
nea 62-0 es un 0 binario, invertido a través de un inver-
sor 197.

Por consiguiente, el circuito 196 de báscula se
activa solamente cuando se ha producido una llamada selec-
20 tiva para una interrupción, en contraste con una llamada
selectiva para una operación de interrupción monocíclica.
Cuando el circuito 196 de báscula ha sido activado y está
activo, la siguiente señal de puerta de servicio recibida
sobre la línea 55 actuará para activar el circuito 194 de
25 báscula.

Quando el circuito 194 de báscula de puerta de
servicio de interrupción se activa, el circuito 196 de bás-
cula de muestreo de llamada selectiva de interrupción se
repone a través de un inversor 198 y un circuito "O" 199.
30 Un circuito "Y" 200, a través de un circuito "O" 201, ac-

1 túa para reponer el circuito 194 de báscula de puerta de
servicio de interrupción. Esto ocurre cuando el circuito
196 de báscula de muestreo de llamada selectiva de inte-
5 rrupción ha sido repuesto y ha caído el nivel de la señal
de puerta de servicio sobre la línea 55, como se indica a
través de un inversor 202, indicando el hecho de haberse
completado el ciclo de servicio de interrupción.

Un circuito "0" 203 adicional responde a diver-
sas señales sobre el sistema de acoplamiento que proceden
10 del canal y son efectivas para reponer todos los circuitos
lógicos representados en la figura 20.

Una característica adicional del presente inven-
to es efectuada por una entrada adicional a la puerta "Y"
186 asociada con todas las líneas de señal bidirecciona-
15 les. Cuando han de añadirse al sistema base un bloque de
tarjetas adicional y una fuente de alimentación de poten-
cia, el sistema de alimentación de potencia incluirá una
línea de señal denominada "reposición de encendido" que es
comparable a la línea 57 de señal de reposición de enceu-
20 dido del sistema de tratamiento de datos base. El estado
normal de una señal de reposición de encendido sobre la
línea 204, asociada con la línea general de acoplamiento
adicional, es el estado de desactivación, para un estado
0 binario. Mediante el funcionamiento del inversor 205,
25 permanecerá habilitada la puerta "Y" 186. Incluso si fue-
se desconectada la fuente de alimentación de potencia de
la línea general de acoplamiento adicional, el sistema de
acoplamiento del sistema base puede continuar el funciona-
miento con todos los dispositivos directamente conectados
30 al mismo. Cualquier intento de seleccionar un dispositivo

1 periférico sobre la línea general de acoplamiento adicional daría lugar simplemente a que fuese retornado un código de estado de 0 al canal indicando que está inoperante. Puesto que el excitador 185 representa solamente una carga
5 única sobre la línea 49 de señal de acoplamiento, sin importar cuantos dispositivos periféricos sobre la línea general de acoplamiento adicional se han eliminado, no -- existirá efecto adverso sobre los niveles de señal presentes en el sistema de acoplamiento del sistema base.

10 La función de la entrada 204 procedente de la fuente de alimentación de potencia del sistema de acoplamiento adicional es que cuando se efectúa la reposición de encendido la línea 204 se hace positiva lo cual inhabilita la puerta "Y" 186. Durante el proceso de reposición de
15 encendido, en el cual diversos componentes sobre la línea general de acoplamiento adicional están cambiando de estado y de condiciones de señal, estas señales extrañas no se propagarán a través de la puerta "Y" 186 hasta la línea -- general de acoplamiento del sistema base.

20 Han sido así expuestos, de acuerdo con el presente invento, circuitos de conector normalizados incluidos en una tarjeta de aneja para conexión a una línea general de acoplamiento de un sistema de tratamiento de datos básico, para la finalidad de realimentar potencia tanto a
25 líneas de señal bidireccionales como a líneas de señal unidireccionales. El sistema lógico simple responde a señales normales sobre el sistema de acoplamiento para controlar la dirección de la transferencia de señales sobre las líneas generales bidireccionales. No se requieren circuitos lógicos adicionales ni en el canal ni sobre la tarjeta
30

1 de anexión para reconocer la información de dirección que
indica la necesidad de alimentar los excitadores con el
fin de enviar señales a una línea general de acoplamiento
de entrada-salida adicional. También, se reducen los re-
5 tardos de propagación para señales de llamada selectiva
críticas, incluyendo sobre la tarjeta de anexión de cir-
cuitos de conector ciertos circuitos lógicos que esta-
rían normalmente asociados con el dispositivo periférico
físicamente alejado de la línea general de acoplamiento.
10 Adicionalmente, se eliminan los efectos adversos debidos
a fluctuaciones de potencia o señales espúreas asociadas
con una línea general de acoplamiento adicional, o son --
aislados dichos efectos, mediante el funcionamiento de cir-
cuitos lógicos simples sobre la tarjeta de realimentación
15 de potencia.

20

25

30

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

1ª.- Una disposición de circuito conector de acoplamiento de entrada/salida para controlar la interconexión de líneas de datos, de dirección y de señal de control entre una primera línea general de entrada-salida asociada con una unidad central de tratamiento que incluye un canal de entrada-salida y dispositivos periféricos asociados, y una línea general de entrada-salida adicional, que comprende: medios de excitador bidireccionales que interconectan líneas de datos y de dirección de la primera línea general de entrada-salida y la línea general de entrada-salida adicional; medios de excitador unidireccionales que interconectan líneas de control de la primera línea general de entrada-salida y la línea general de entrada-salida adicional; y medios lógicos conectados y que responden a señales normales predeterminadas entre cualquier dispositivo periférico y el canal de entrada-salida, y conectados a dichos medios de excitador bidireccional, para controlar la dirección de transferencia de señal sobre las líneas de datos y de dirección.

30

2ª.- Una disposición de acuerdo con la reivindicación 1ª, en donde cada uno de dichos medios excitadores bidireccionales incluye: un primer excitador para generar señales sobre la línea general de entrada-salida adi

31018

1 cional; un segundo excitador para generar señales sobre
la primera línea general de entrada-salida; una primera
puerta conectada para habilitar dicho primer excitador, y
conectada a señales sobre la primera línea general de en-
5 trada-salida y dichos medios lógicos y que responde a las
mismas; una segunda puerta conectada para habilitar dicho
segundo excitador, y conectada a señales sobre la línea
general de entrada-salida adicional y dichos medios lógi-
cos y que responde a dichas señales; y dichos medios lógi-
10 cos incluyen medios para hacer efectivas de modo selecti-
vo indistintamente dicha primera puerta o dicha segunda
puerta.

3ª.- Una disposición de acuerdo con la reivin-
dicación 2ª, en donde: dicha segunda puerta está conecta-
15 da y responde a una señal predeterminada sobre una línea
predeterminada de las líneas de señal de control unidirec-
cionales de la línea general adicional para hacer inoperan-
te dicha segunda puerta.

4ª.- Una disposición de acuerdo con la reivin-
dicación 1ª, en donde ciertos de los dispositivos perifé-
ricos están asociados directamente a la primera línea ge-
neral de entrada-salida en una configuración de línea de
derivaciones múltiples e incluyen circuitos lógicos de cap-
tación de sistema de acoplamiento que responden a una se-
25 ñal de llamada selectiva procedente del canal de entrada-
salida para indistintamente propagar en serie la señal de
llamada selectiva hasta un dispositivo periférico subsi-
guiente o inhabilitar la propagación de la señal de llama-
da selectiva para captar el uso de la línea general de en-
30 trada-salida, y al menos un dispositivo periférico está --

1 asociado directamente a la línea general de entrada-salida
adicional, incluyendo adicionalmente el circuito de conec-
tador: un circuito lógico de captación de sistema de aco-
plamiento que incluye medios conectados y que responden a
5 la presencia o ausencia de una señal de solicitud proceden-
te de al menos un dispositivo periférico para hacer efecti-
vo dicho circuito lógico de captación de sistema de acopla-
miento para inhabilitar o propagar, respectivamente, la se-
ñal de llamada selectiva; y medios que conectan directamen-
te dicho circuito lógico de captación de sistema de acopla-
10 miento a ciertas de las líneas de señal de control de la
primera línea general de entrada-salida.

5ª.- "UNA DISPOSICION DE CIRCUITO CONECTADOR DE
ACOPLAMIENTO DE ENTRADA/SALIDA".

15 Tal y como se ha descrito en la Memoria que an-
tecede, representado en los dibujos que se acompañan y con
los fines que se han especificado.

Esta Memoria consta de setenta hojas escritas a
máquina por una sola cara.

20

Madrid, 10. FEB. 1978

P.A.

Alberto de Elzaburo
Por Poder,

25

JAC.

30

31018

FIG. 1

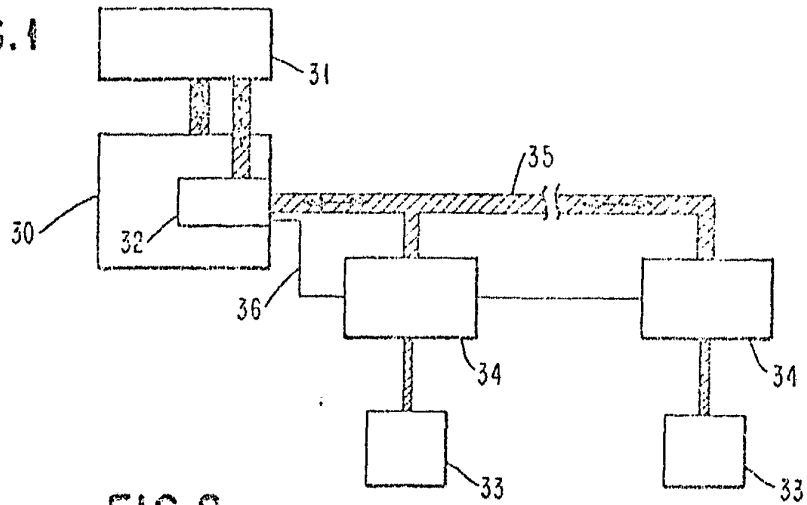


FIG. 2

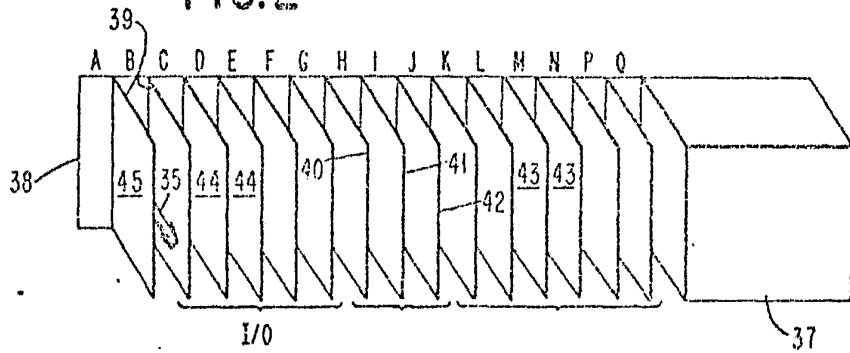
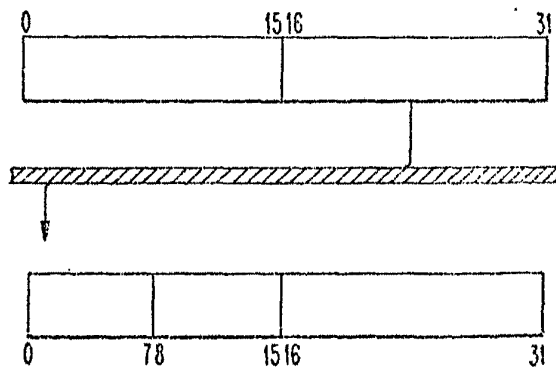
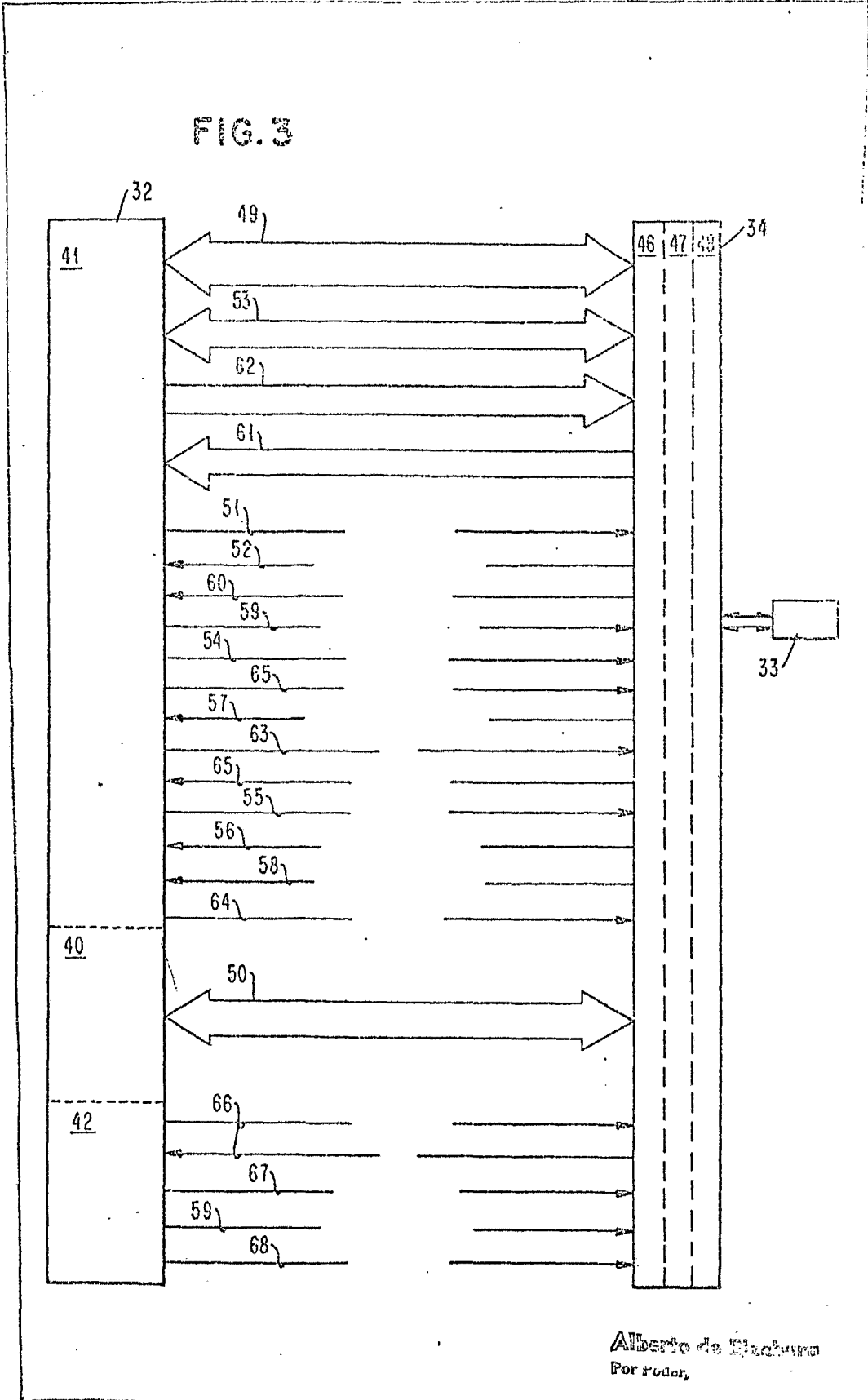


FIG. 7



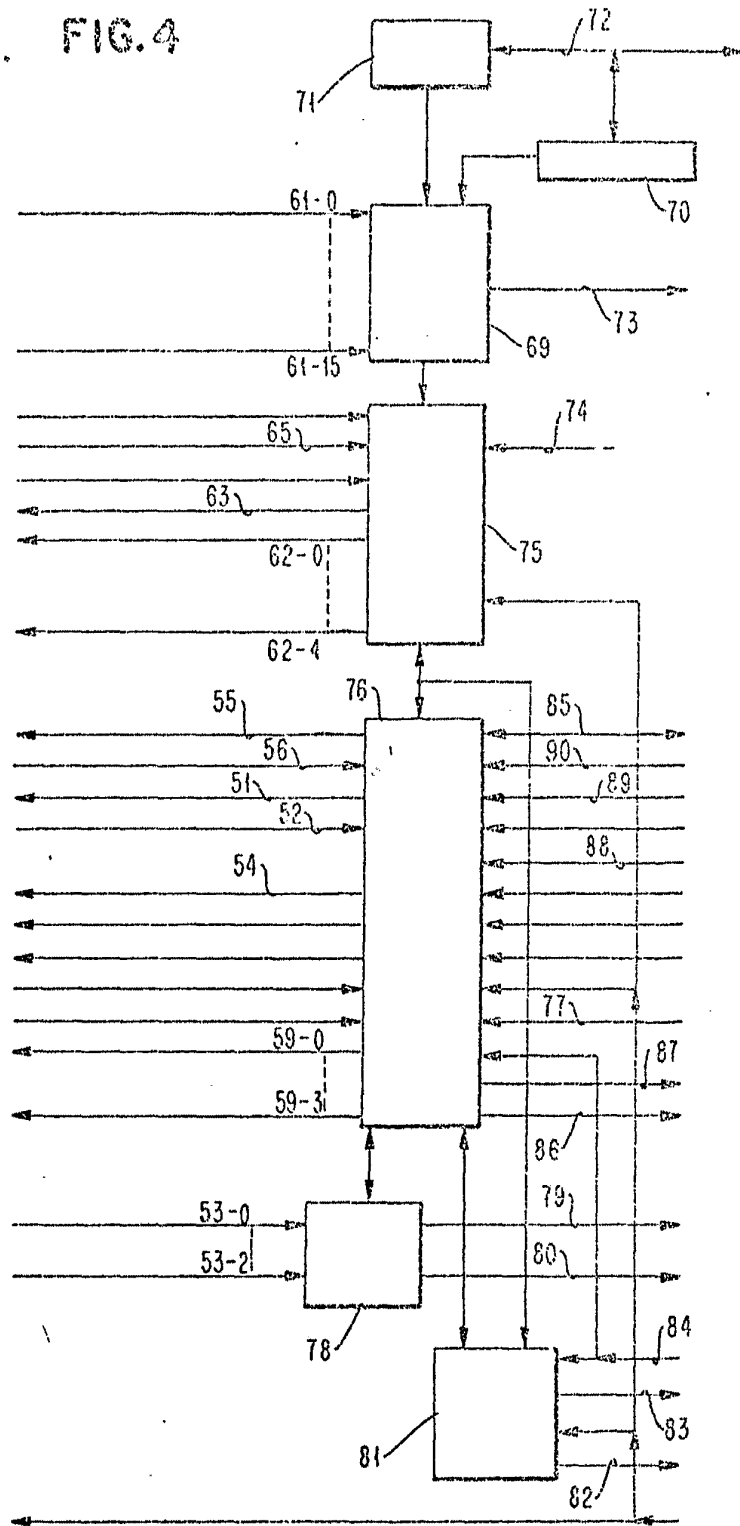
Alberto E. Elizabun

FIG. 3



Alberto de Echeverria
Por rodar,

FIG. 4



Alberto de Elzaburu
Por Poder,

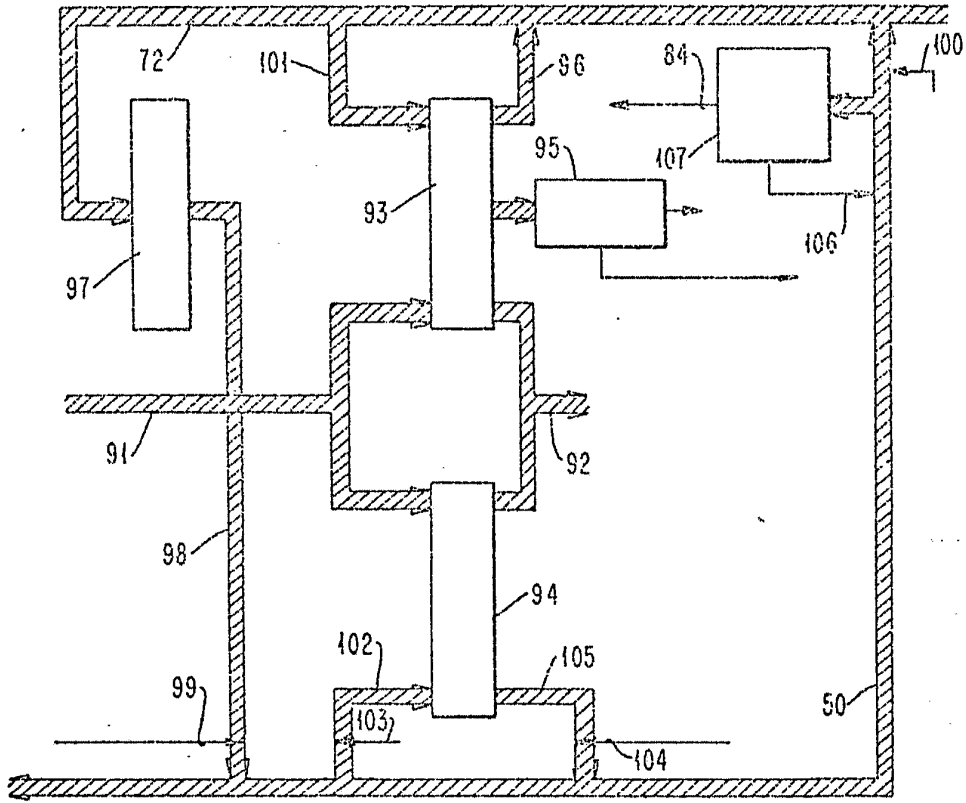


FIG. 5

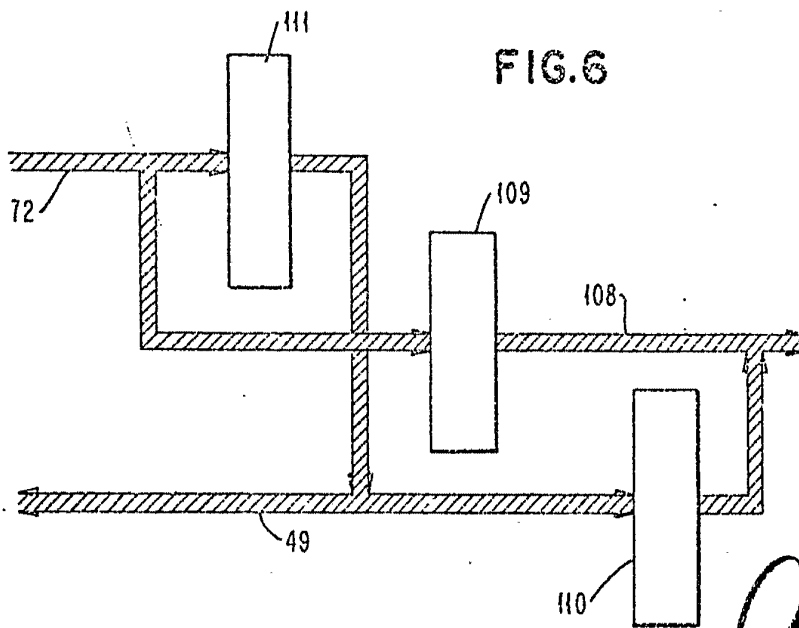
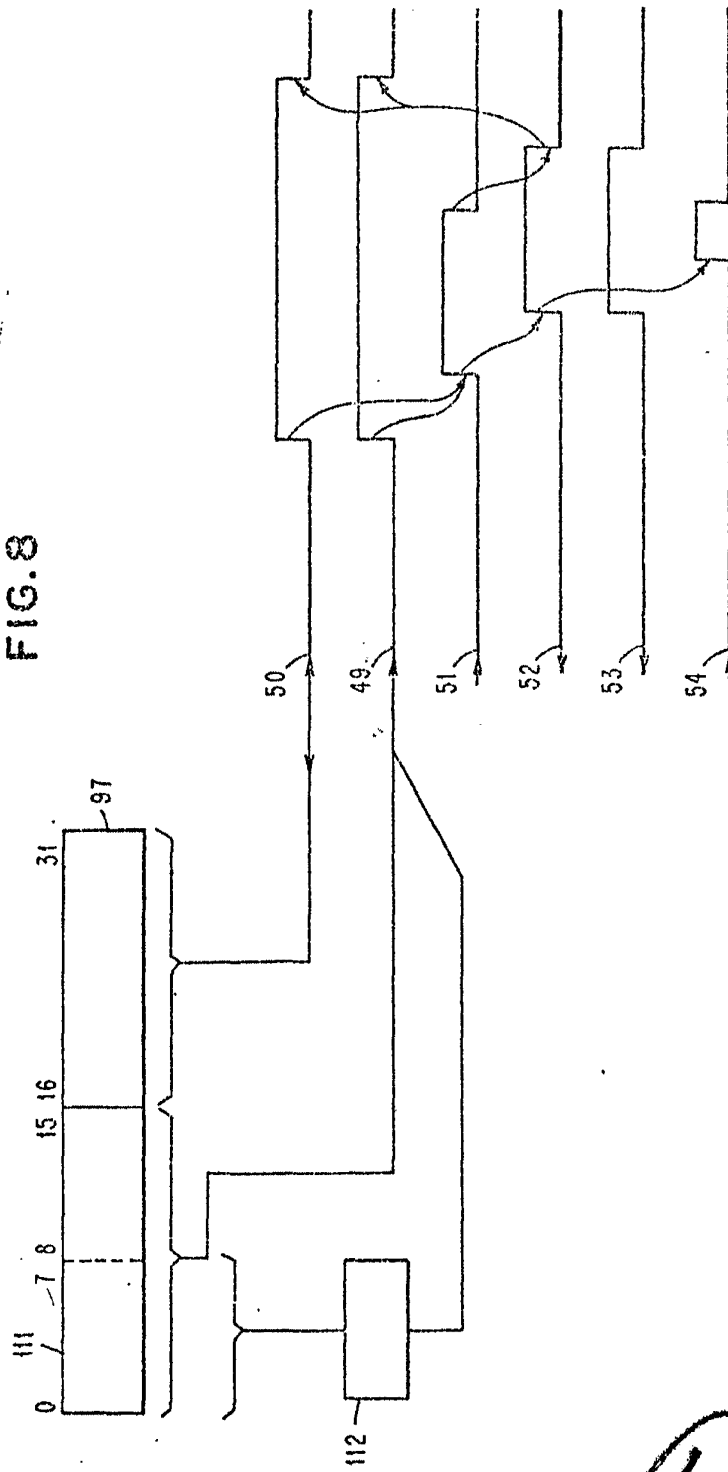


FIG. 6

Alberto de Vizcarra
For Patent

FIG. 8



Alberto de Elizaburu
Por Plata

FIG. 9

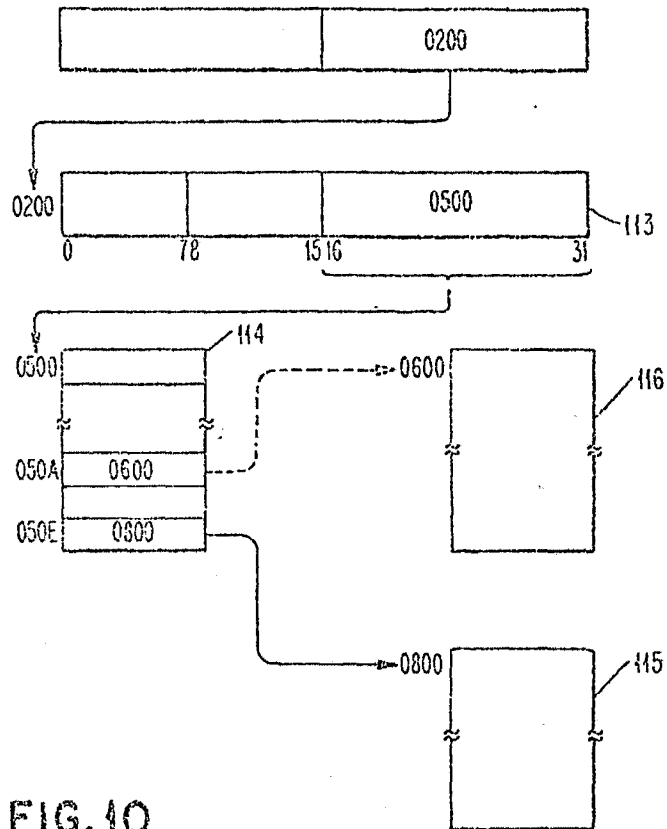
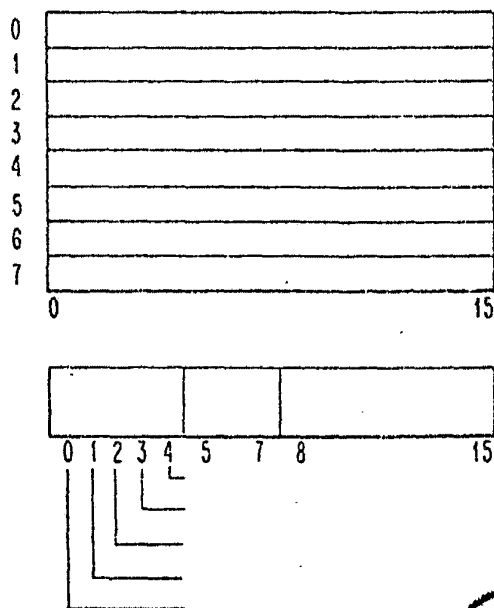
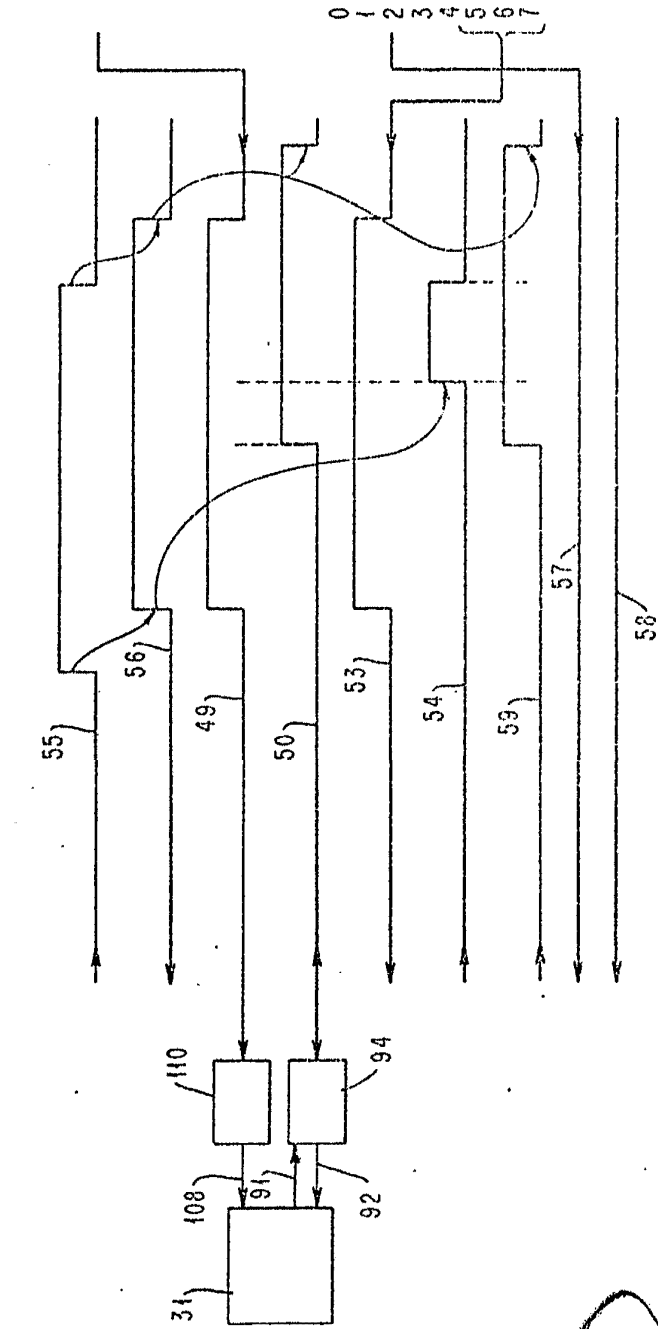


FIG. 10



Alberto de Elizabur
For Hoder

FIG. 11



Alberto de Elzaburu
For/Forer

FIG. 13

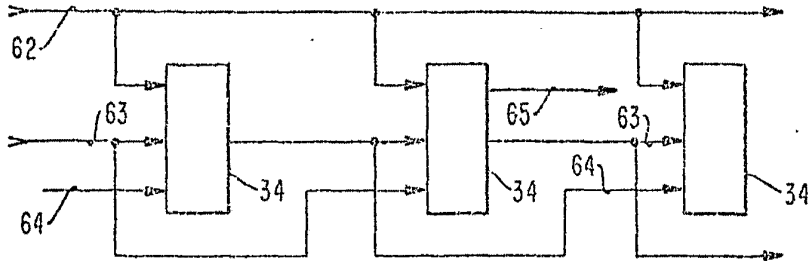


FIG. 14

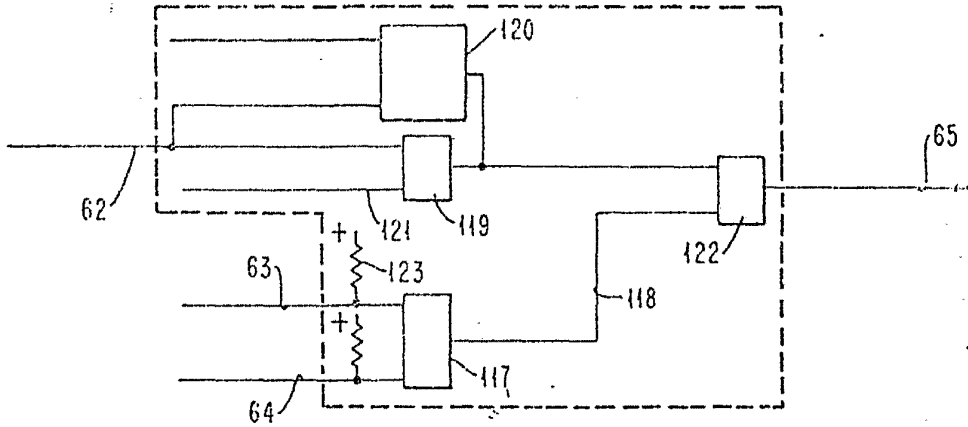


FIG. 17

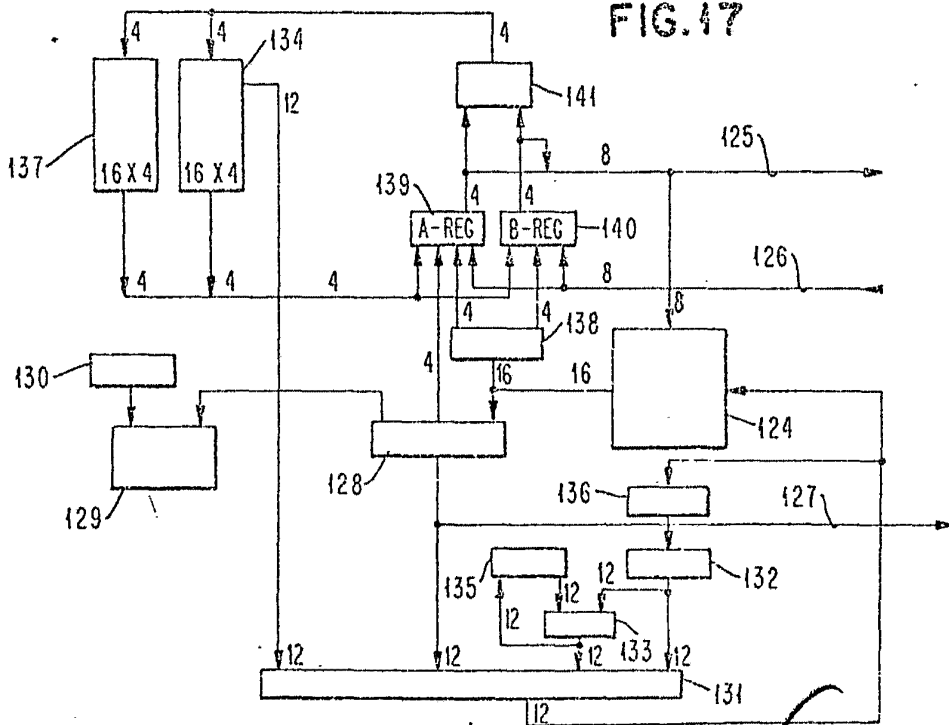


FIG. 15

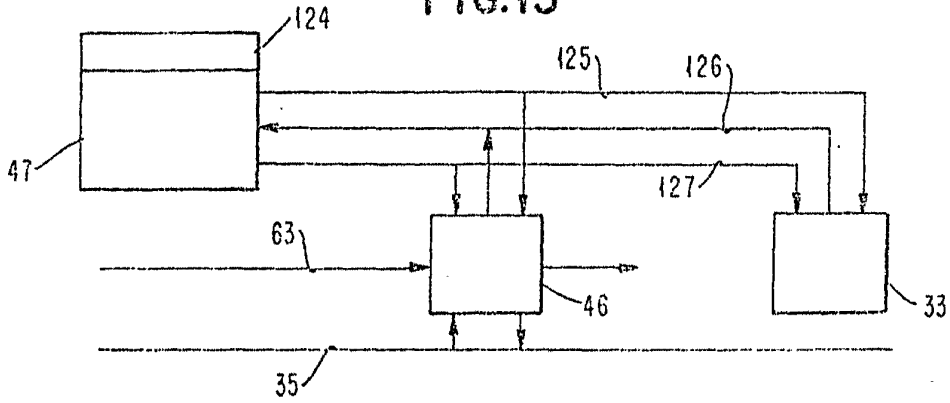
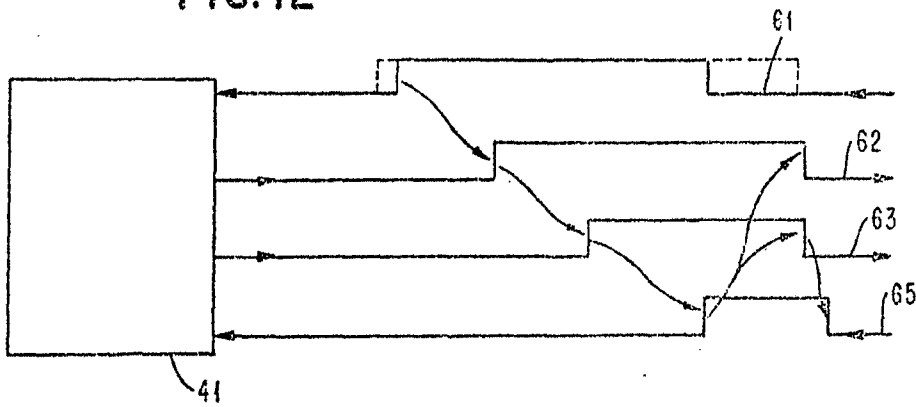
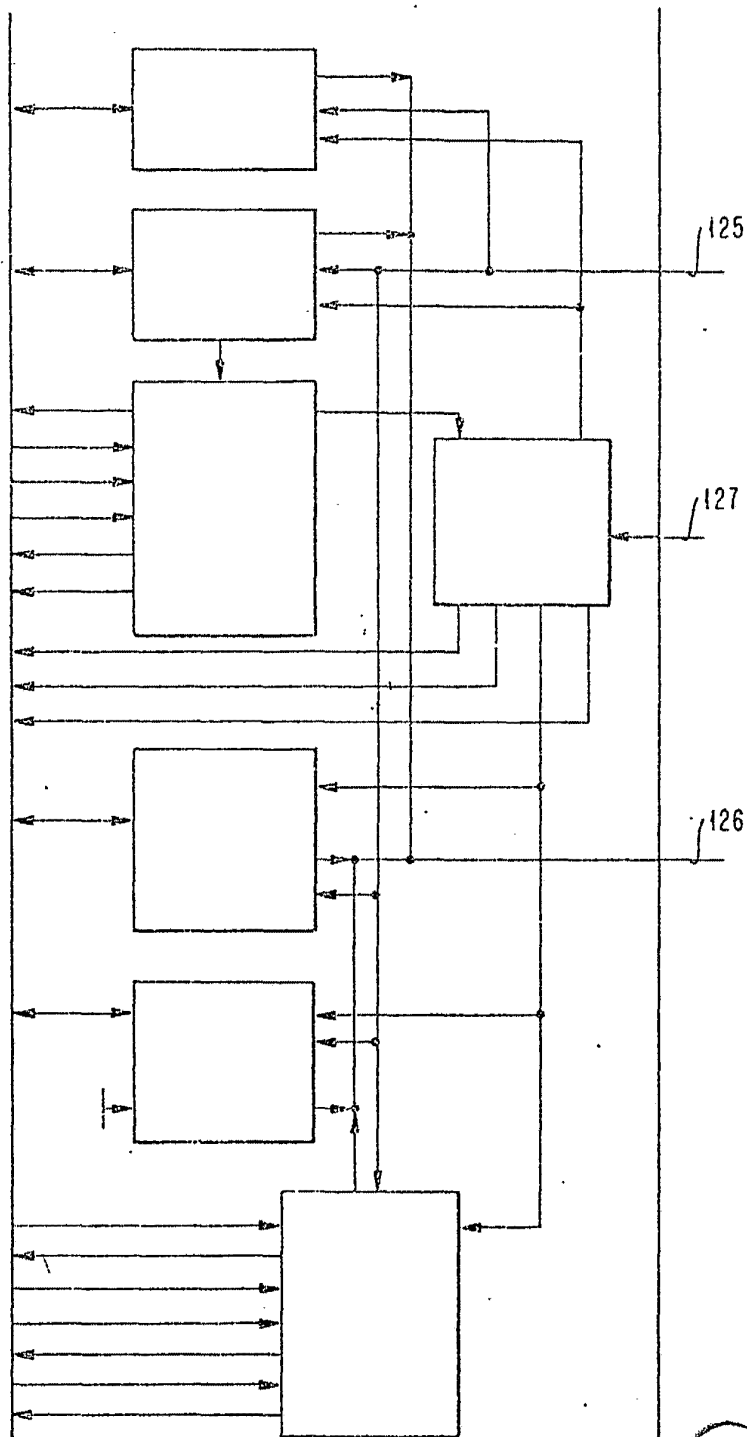


FIG. 12



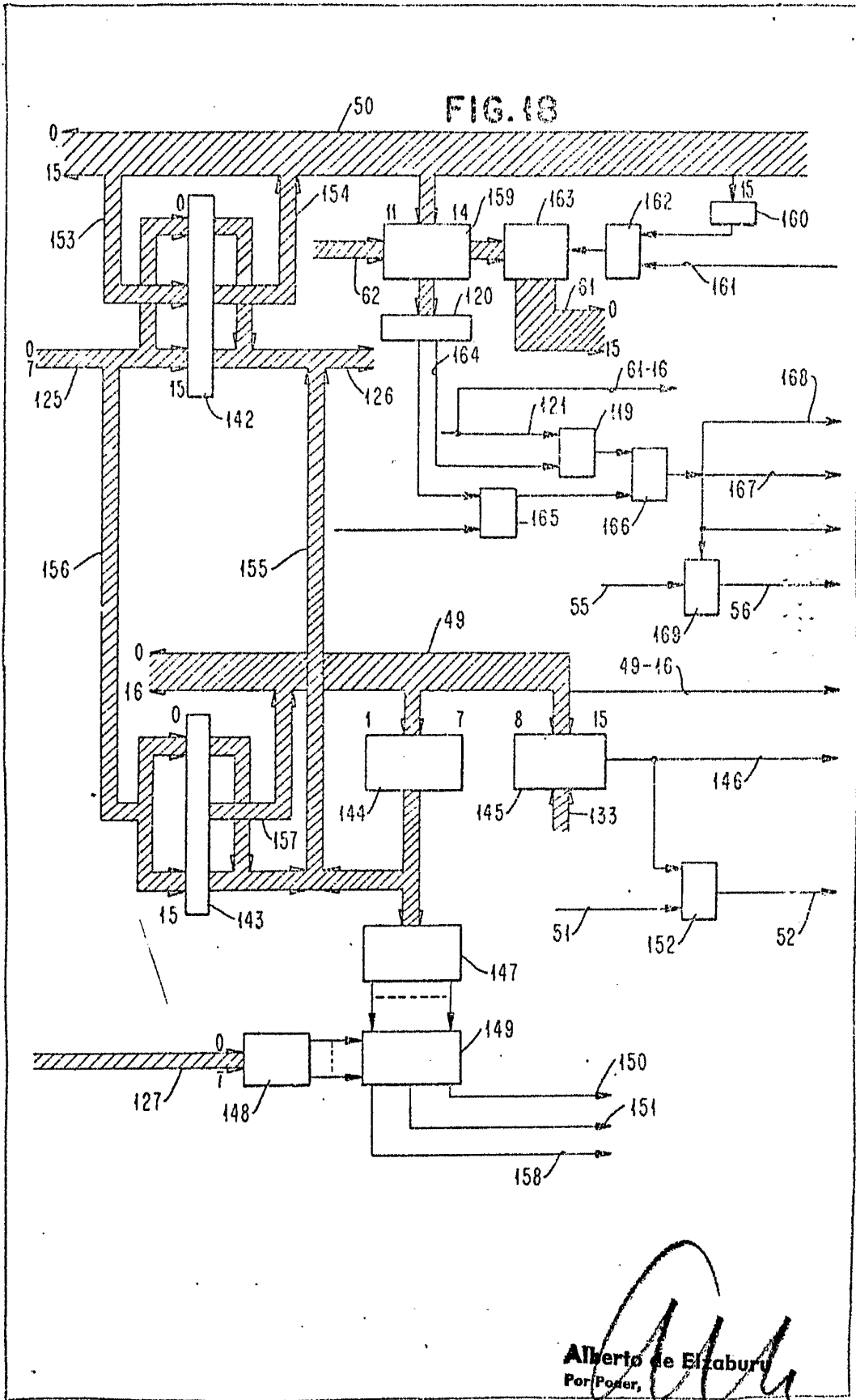
Alberto de Elaburu
Por Poder

FIG. 16



Alberto E. B. B. B.
For Patent

FIG. 18



Alberto de Elzaburu
For Power,

FIG. 20

