



ESPAÑA

| | | |
|-------|--------------------------------------|-------|
| 10 ES | 11 NUMERO 464.023 | 12 A1 |
| 21 | 22 FECHA DE PRESENTACION 10-11-77 | |

PATENTE DE INVENCION

| | | |
|------------------------------------------------------------------------------------------------------|----------------------------------------|--------------------------------------|
| 20 PRIORIDADES: | | |
| 31 NUMERO | 32 FECHA | 33 PAIS |
| 135026/76 | 10 de Noviembre de 1976 | Japón |
| 47 FECHA DE PUBLICIDAD | 61 CLASIFICACION INTERNACIONAL H03K | 62 PATENTE DE LA QUE ES DIVISIONARIA |
| 64 TITULO DE LA INVENCION Perfeccionamientos en circuitos digitales con red de fase sincronizada. | | |
| 71 SOLICITANTE (S) FUJITSU LIMITED, entidad japonesa. | | |
| DOMICILIO DEL SOLICITANTE residente en 1015 Kamikodanaka, Nakahara-ku, Kawasaki, Japón. | | |
| 72 INVENTOR (ES) Shoichi Kurita, Yoshitaka Hiratsuka, Kazuya Shuto. | | |
| 73 TITULAR (ES) | | |
| 74 REPRESENTANTE D. Jose Miguel Gomez-Acebo y Pombo. | | |

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

27 JUN. 1978

El presente invento se refiere a un circuito digital con red de fase sincronizada en la cual se puede hacer que el impulso de sincronización de salida siga instantáneamente al impulso de sincronización de entrada del circuito.

5. El circuito de red de fase sincronizada se emplea con profusión en un aparato de transmisión con el fin de extraer la temporización de un detector; de sincronizar la fase de diversos circuitos, o de filtrar la fase de los diversos circuitos. Un circuito de red de fase sincronizada tradicional se forma empleando un oscilador controlado por voltaje. Un circuito de red de fase sincronizada que se forma por un sistema de control de sincronización de fase que incluye un generador de frecuencia fija y un circuito digital se ha propuesto recientemente. Según este circuito propuesto, se ajuste se facilita o no es necesario el ajuste del circuito. El circuito se puede fabricar empleando una técnica de integración a gran escala. No obstante, en el circuito de red de fase sincronizada que comprende el generador de frecuencia fija, el impulso de sincronización de salida del circuito deberá seguir de un modo estable al impulso de entrada del circuito, y deberá suprimirse suficientemente el fenómeno de fluctuación que tiene lugar en la señal de salida. Por ejemplo, un sistema MODEM comprende un modo de funcionamiento que sincroniza el sistema con un impulso de sincronización interno y otro modo de funcionamiento que sincroniza el sistema con un impulso de sincronización externo. Por lo tanto, el circuito de red de fase sincronizada digital se utiliza en el sistema MODEM, siendo preciso cambiar frecuentemente el circuito del primer modo de funcionamiento al segundo modo de funcionamiento en el sistema MODEM. Si la fase del impulso de sincronización de entrada no coincide con el impulso de sincronización de salida del circuito cuando
- 10.
- 15.
- 20.
- 25.
- 30.

do se cambia el modo de funcionamiento, se perturba el dato inicial. La perturbación produce un grave deterioro en un sistema de transmisión de datos normal. Por ejemplo, en el circuito de red de fase sincronizada tradicional, si la comparación es de 5. 800 Hz y la frecuencia fija es de 1152,3 KHz (la frecuencia de la señal de entrada f_1 es de 1600 Hz, la relación M de la frecuencia del impulso de sincronización de entrada a la frecuencia de comparación es 2 y la frecuencia fija f_2 es 1152,3 KHz) entonces la diferencia de fase es de 180° cuando el régimen de símbolos es de 1600 bandas, el dato correspondiente a aproximadamente 10. el símbolo 720 se pierde, Por consiguiente, este tipo de deterioro no debiera ocurrir en la transmisión de datos.

El presente invento tiene por objeto proporcionar, teniendo en cuenta el inconveniente citado, un circuito digital de 15. red de fase sincronizada cuya fase y frecuencia del impulso de sincronización de salida coincide instantáneamente con los del impulso de sincronización de entrada del circuito.

Para conseguir el objeto mencionado anteriormente, el 20. circuito digital de la red de fase sincronizada comprende un circuito generador de frecuencia fija, un divisor de frecuencia de salida al que se suministra un impulso de cronometración normal del circuito generador de frecuencia fija por una puerta de inhibición, un divisor de frecuencia de impulso de sincronización de salida que divide la frecuencia del impulso de sincronización de salida a partir del divisor de frecuencia de salida, un comparador de fase al que se alimenta el impulso de sincronización de 25. entrada y el impulso de sincronización dividida del divisor de frecuencia de impulso de sincronización de salida y un generador de impulso de inhibición al que se alimenta la salida del comparador de fase, por lo que el impulso de inhibición del generador 30.

- de impulso de inhibición se suministra a la puerta de inhibición. Según el rasgo característico del presente invento, se proporciona un generador de impulso de puesta a cero con el fin de formar un impulso de puesta a cero que limpia el contenido del divisor de frecuencia de salida y el divisor de frecuencia de sincronización de salida. Dicho impulso de puesta a cero se genera durante un estado en el cual la diferencia de tiempo entre una primera aparición, en la cual actúa la división de frecuencia del divisor de frecuencia de salida por el impulso de sincronización normal después de haberse puesto a cero el divisor de frecuencia de salida y el divisor de frecuencia de sincronización de salida por el impulso de puesta a cero, y una segunda aparición en la cual la división de frecuencia del divisor de frecuencia de entrada actúa por el impulso de sincronización de entrada, es menor que un periodo predeterminado del impulso de sincronización normal.
- 5.
- 10.
- 15.

- Los objetos anteriores y otros objetos, características y ventajas consiguientes del invento, se comprenderá mejor por la descripción que sigue, tomando como referencia los dibujos adjuntos, en los que:
- 20.

La figura 1 es un diagrama de conjuntos que ilustra un ejemplo de un circuito digital con red de fase sincronizada tradicional.

- Las figuras 2A y 2B son ondas producidas por el circuito ilustrado en el diagrama de conjuntos de la figura 1.
- 25.

La figura 3 ilustra ondas producidas por otro circuito digital con red de sincronización de fase no ilustrado en el dibujo.

- La figura 4 es un diagrama de conjuntos de una modalidad del circuito digital con red de fase sincronizada de acuerdo
- 30.

con el presente invento.

5. La figura 5A es un diagrama de conjuntos de un ejemplo de un circuito de alimentación de la señal de puesta a cero en el diagrama de conjuntos ilustrado en la figura 4, y la figura 5B ilustra ondas producidas por el circuito ilustrado en el diagrama de conjuntos representado en la figura 5A.

10. La figura 6A es un diagrama de conjuntos de un ejemplo de un circuito de cuantificación de impulsos de sincronización en el diagrama de conjuntos ilustrado en la figura 4, y la figura 6B ilustra ondas producidas en el circuito representado en el diagrama de conjuntos de la figura 6A.

15. Según se ilustra en la figura 1, el circuito digital con red de fase sincronizada proporciona un generador de frecuencia fija 1, un divisor de frecuencia de salida 5 al que se alimenta un impulso de sincronización normal f_s por una entrada de una puerta de inhibición 2 desde el generador de frecuencia fija 1, un divisor de frecuencia de entrada 7, un divisor de frecuencia de impulsos de sincronización de salida 6 que divide la frecuencia de la salida del divisor de frecuencia de salida 5, un comparador de fase 4 que compara las fases de la frecuencia dividida en el impulso de sincronización de entrada y el impulso de sincronización de salida dividido del divisor de frecuencia del impulso de sincronización de salida 6, y un generador de impulsos de inhibición 3 al que se alimenta la salida del comparador de fase. La salida del generador de impulsos de inhibición 3 se conecta a la entrada de la puerta de inhibición 2.

20. El circuito comparador de fase 4 comprende un circuito basculador de tipo D 11 y una puerta de inhibición 12 y el generador de impulsos de inhibición 3 comprende circuitos basculadores de tipo D 13 y 14 y puertas de inhibición 15, 16 y 17.

25.

30.

Después se explicarán las funciones del circuito digital con red de fase sincronizada tradicional ilustrada en la figura 1 tomando como referencia las figuras 2A y 2B. El comparador de fase 4 compara el impulso de sincronización de entrada de frecuencia dividida (a) y el impulso de sincronización de salida de frecuencia dividida (b) representados ambos en la figura 2A. En la figura 2A, una parte (1) ilustra el caso en el cual la fase del impulso de sincronización de entrada de frecuencia dividida (a) se retarda con respecto a la fase del impulso de sincronización de salida de frecuencia dividida (b), y la salida (C') de la puerta de inhibición 15 cambia de un valor lógico "0" a un valor lógico "1" en un punto A ilustrado en la figura 2A. El eje de tiempo de esta parte se ha aumentado y es ilustrado en la parte de la izquierda de la figura 2B. Cuando el impulso de sincronización de entrada de frecuencia dividida (a) se retarda con respecto al impulso de sincronización de salida de frecuencia dividida (b), se obtiene un impulso de inhibición según se ilustra en la parte izquierda de (h) de la figura 2B. Por este impulso de inhibición se elimina un bitio del impulso de sincronización (d) del generador de frecuencia fija 1 y se evita una serie de impulsos representados (i) de la figura 2B desde la puerta de inhibición 2.

Una parte [II] de la figura 2A ilustra el caso en el cual el impulso de sincronización de entrada de frecuencia dividida (a) avanza con respecto al impulso de sincronización de salida de frecuencia dividida (b). El eje de tiempo de esta parte se aumenta y se ilustra en el lado de la derecha de la figura 2B. Cuando el impulso de sincronización de entrada de frecuencia dividida (a) se adelanta con respecto al impulso de sincronización de salida de frecuencia dividida (b), aparece un impulso fi

- no positivo B en la salida (c') de la puerta de inhibición 15, según se ilustra en la figura 2B. Esto tiene lugar debido al retardo del circuito basculador de tipo D 11 del comparador de fase 4. Si este impulso fino no es detectado por el circuito basculador de tipo D 13 del generador de impulso de inhibición 3, la salida de la puerta de inhibición 17 permanece a un valor lógico "1" y el impulso de cronometración (d) del generador de frecuencia fija no se elimina. Si este impulso fino positivo es detectado por el circuito basculador de tipo D 13 se generan impulsos en la salida de posición (f) del circuito basculador de tipo D 13 y la salida de posición (g) del circuito basculador de tipo D 14. Además, se genera un impulso de inhibición que elimina un bitio del impulso de sincronización. Para resolver este fenómeno cuando el impulso fino es detectado por el circuito basculador de tipo D 13, la salida (c') de la puerta de inhibición 15 se alimenta a la puerta de inhibición 17, para generar solamente un impulso negativo en la salida (h) de la puerta de inhibición 17. Por consiguiente, el impulso de sincronización (d) del generador de frecuencia fija 1 no se elimina.
- En el circuito ilustrado en la figura 1, el circuito divisor de frecuencia de entrada 7 no es necesario. El impulso de sincronización de salida se puede sincronizar con el impulso de sincronización de entrada comparando la fase del impulso de sincronización de entrada con la del impulso de sincronización de salida de frecuencia dividida. La figura 3 ordenes producidas en un circuito digital con red de fase sincronizada que no contiene un circuito divisor de frecuencia de entrada. En este caso, un impulso de sincronización (a) que tiene una frecuencia f_1 se alimenta directamente al terminal de entrada de posición del circuito basculador de tipo D 11 como impulso de cronometración de entrada.

Cuando este impulso de sincronización (a) es detectado por el im pulso de sincronización de frecuencia dividida (b), se obtiene la salida (c). Cuando el impulso (b) se multiplica lógicamente con la señal de salida (c), se obtiene la señal (c') de la figura 3. Como la función siguiente es igual que la función de la fi gura 1, no se explicará con detalle la función de la figura 3.

5.

En el circuito digital con red de fase sincronizada tra dicional según se ilustra en la figura 1, cuando la diferencia de fase entre dos fases que se han de comparar es de 180° , se ne cesita un periodo de tiempo de $N^2M/2f_s$ para hacer que el impulso de sincronización de salida coincida con el impulso de sincronización de entrada, donde N es una relación de división de frecuencia en el divisor de frecuencia de salida 5, M es una relación entre la frecuencia del impulso de sincronización de entrada y la frecuencia del impulso de sincronización que se ha de comparar en el circuito comparador de frecuencia 4 y f_s es una frecuencia del generador de frecuencias fija.

10.

15.

La figura 4 es una modalidad del circuito digital con red de fase sincronizada según el presente invento. Según se ilustra en la figura 4, de acuerdo con el presente invento, un circuito de cuantificación de impulsos de sincronización 8, un generador de impulsos de puesta a cero 9 y un circuito de suministro de señal de puesta a cero 10 se añaden al circuito tradicional ilustrado en la figura 1.

20.

25.

El circuito de alimentación de señal de puesta a cero 10 está compuesto, según se ilustra en la figura 5A, por circuitos basculadores de tipo D 21, ó 22 y un circuito NI 23. El circuito de alimentación de la señal de puesta a cero 10 recibe la señal de entrada CDI y forma una señal de puesta a cero CLR. La figura 5B representa las ondas en cada parte del circuito de ali

30.

mentación de la señal de puesta a cero 10.

El circuito de cuantificación del impulso de sincronización 8 está compuesto, según se ilustra en la figura 6A, por circuitos basculadores de tipo D 24 y 25, y el generador de impulsos de puesta a cero 9 está compuesto por circuitos basculadores de tipo D 26 y 27, un circuito NI 28, y un circuito inversor 29 y un circuito basculador de tipo D 30.

Si no se alimenta señal de entrada al circuito de alimentación de señal de puesta a cero 10, o sea, cuando el sistema MODEM funciona por impulsos de sincronización internos producidos en el sistema MODEM, no se envía señal de puesta a cero CLR desde el circuito de alimentación de señal de puesta a cero 10. Cuando se alimenta una señal de entrada al circuito de alimentación de la señal de puesta a cero 10, o sea, cuando cambia el modo de funcionamiento al modo que sincroniza el sistema MODEM con los impulsos de sincronización externos, el circuito de alimentación de la señal de puesta a cero 10 envía una señal de puesta a cero CLR. La señal de puesta a cero CLR se alimenta a una entrada D del circuito basculador de tipo D 26.

Según se ilustra en la figura 6B, cuando la señal de puesta a cero CLR tiene un valor lógico "1" y cuando el impulso de cronometración de entrada CLK₂ aumenta desde un valor lógico "0" a un valor lógico "1", la salida Q del circuito basculador de tipo D 26 se convierte en un valor lógico "0", y este valor "0" se invierte en el circuito NI 28 y la salida del circuito NI 28 se convierte en un valor lógico "1". Cuando el valor del impulso de sincronización de entrada siguiente CLK se alimenta, la salida Q del circuito basculador de tipo D 26 se convierte en un valor lógico "1", haciendo de este modo que la salida del circuito NI 28 se convierta en un valor lógico "0".

Por lo tanto, el segundo impulso de puesta a cero CLR_2 corresponde al impulso que se forma como resultado del proceso de diferenciación de la señal de puesta a cero CLR por el impulso de sincronización de entrada CLK_2 .

5. El segundo impulso de puesta a cero CLR_2 se alimenta a una entrada D del circuito basculador de tipo D 30, y los impulsos de sincronización normales CLK_2 se invierten por un inversor 29 y se alimentan a la entrada D del circuito basculador de tipo D 30. Por consiguiente, el impulso de sincronización CLR_1 , según
10. se ilustra en la figura 6B, se obtiene en la salida del circuito basculador de tipo D 30.

- El contenido del divisor de frecuencia de entrada se pone a cero por el frente delantero del segundo impulso de puesta a cero CLR_2 , y la puesta a cero se libera por el frente posterior del segundo impulso de puesta a cero CLR_2 . La división de frecuencia en el divisor de frecuencia de entrada 7 entra en acción por el frente delantero D del impulso de sincronización de entrada cuantificado CLK_2-M según se ilustra en la figura 6B. El
15. contenido del divisor de frecuencia de salida 5 y el divisor de frecuencia de sincronización de salida 6 se ponen a cero por el
20. frente delantero del primer impulso de puesta a cero CLR_1 y la puesta a cero del divisor del impulso de sincronización de salida 6 se libera por el frente posterior A del primer impulso de
25. puesta a cero CLR_1 . Las divisiones de frecuencia en estos divisores 5 y 6 entran en acción por el frente delantero de los impulsos de sincronización normales CLK_1 . El circuito de cuantificación de los impulsos de sincronización se proporciona por la razón siguiente. Si no se proporciona este circuito de cuantificación de impulsos de cronometración, el frente posterior D del se
30. gundo impulso de puesta a cero CLR_2 coincide con el frente delan

- tero del impulso de sincronización de entrada CLK_2 o tiene lugar algo después que el frente delantero e del impulso de sincronización de entrada CLK_2 . En estas condiciones, a veces cuando la división de frecuencia del divisor de frecuencia de entrada no entra en acción por el frente delantero o del impulso de sincronización de entrada CLK_2 , puede entrar en acción por el frente delantero del impulso de sincronización de entrada siguiente CLK_2 . Cuando la división de frecuencia del divisor de frecuencia de salida 5 entra en acción por el frente delantero C del impulso de sincronización normal CLK_1 y la división de frecuencia del divisor de frecuencia de entrada 7 entra en acción por el frente delantero del impulso de sincronización de entrada, que se produce un impulso después que el frente delantero e del impulso de sincronización de entrada CLK_2 , los impulsos de sincronización de salida del circuito digital con red de fase sincronizada pueden seguir instantáneamente al impulso de sincronización de entrada del circuito. Con el fin de hacer que el impulso de sincronización de salida siga instantáneamente al impulso de sincronización de entrada, el frente delantero del impulso de sincronización suministrado al divisor de frecuencia de entrada 7 deberá ser posterior al punto B cuando se libera la puesta a cero. Por consiguiente, el circuito de cuantificación del impulso de sincronización 8 está previsto en el circuito ilustrado en la figura 4 haciendo que el frente delantero D del impulso de sincronización llegue un bitio después que el punto B donde se libera la puesta a cero. Por otro lado, mediante el generador de impulsos de puesta a cero 9, el frente delantero C del impulso de sincronización normal CLK_1 y el punto A donde se libera el primer impulso de puesta a cero CLR_1 se sitúa separados a una distancia correspondiente a la mitad del periodo del impulso de sincroniza
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

ción normal. Por lo tanto, la distancia entre el punto C donde la división de frecuencia del divisor de frecuencia de salida 5 entra en acción y el punto D donde la división de frecuencia del generador de impulso de sincronización de salida 6 entra en acción, es igual a la mitad del periodo del impulso normal, y la división de frecuencia en los divisores de frecuencias 5, 6 y 7 entran en acción casi simultáneamente después de haberse puesto a cero estos divisores. Por consiguiente, el impulso de sincronización de salida del circuito digital con red de fase sincronizada según el presente invento puede seguir instantáneamente al impulso de sincronización de entrada del circuito.

El circuito digital con red de fase sincronizada mencionado tiene un divisor de frecuencia de entrada. No obstante, se comprenderá que se puede extractar el divisor de frecuencia de entrada. Cuando el circuito digital de fase sincronizada no tiene divisor de frecuencia de entrada, solamente se utiliza el generador de impulso de puesta a cero 9. En este caso, no es necesario emplear el circuito de cuantificación de impulso de sincronización 8. Por consiguiente, el segundo impulso de puesta a cero y el impulso de sincronización de entrada cuantificado CIK_2-M no son necesarios.

Según se ha expuesto en la explicación anterior y según el presente invento, se puede hacer que el impulso de sincronización de salida siga instantáneamente al impulso de sincronización de entrada tan solo mediante la adición de algunos circuitos simples al circuito digital con red de fase sincronizada tradicional. Además, el presente invento es muy eficaz cuando el circuito digital con red de fase sincronizada se construye empleando la técnica de integración a gran escala, porque el retardo del tiempo de propagación de los elementos en el circuito in-

tegrado no es constante en todos y cada uno de los elementos y se necesita un margen de tiempo suficiente entre el instante en que se pone a cero el impulso de sincronización y el instante en que el frente delantero del impulso de sincronización tiene lugar.

5.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constatar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

10.

REIVINDICACIONES

5. 1.- Perfeccionamientos en circuitos digitales con red de fase sincronizada, caracterizados porque comprenden un oscilador de frecuencia fija, un divisor de frecuencia de salida que recibe un impulso de sincronización normal por un circuito de inhibición procedente del oscilador de frecuencia fija, un divisor de impulso de sincronización de salida que divide la frecuencia del impulso de sincronización de salida del divisor de frecuencia de salida, un comparador de fase al que se alimentan un impulso de sincronización de entrada y la salida del divisor de frecuencia de sincronización de salida, un generador de impulso de inhibición al que se alimenta la salida del comparador de fase, alimentándose la salida del generador de impulso es inhibición al circuito de inhibición, comprendiendo el circuito digital con red de fase sincronizada un generador de impulso de puesta a cero que forma un impulso de puesta a cero para limpiar el contenido del divisor de frecuencia de salida y el divisor de impulso de sincronización de salida, haciendo de este modo que un impulso de sincronización de salida que siga instantáneamente el impulso de sincronización al impulso de sincronización de entrada.
- 10.
- 15.
- 20.

25. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque el generador de impulso de puesta a cero genera el impulso de puesta a cero durante un estado en el que un instante en que el circuito divisor de frecuencia de salida y el circuito divisor de frecuencia de impulso de sincronización de salida se ponen a cero se adelanta la mitad del periodo del impulso de sincronización normal desde el instante en que se produce la división de frecuencia del divisor de frecuencia de salida.
- 30.

da.

5. 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque comprenden además un divisor de frecuencia de entrada que divide la frecuencia de un impulso de sincronización de entrada en una entrada del circuito digital con red de fase sincronizada, formando el generador de impulso de puesta a cero durante un estado en el cual la diferencia de tiempo entre la primer aparición, en la cual se produce la división de frecuencia del divisor de frecuencia de salida y el impulso de sincronización normal entre en acción después por el divisor de frecuencia de salida y el divisor de frecuencia del impulso de sincronización de salida se pone a cero por el impulso de puesta a cero, y una segunda aparición en la cual la división de frecuencia del divisor de frecuencia de entrada entra en acción por el impulso de sincronización de entrada, es menor que un periodo predeterminado del impulso de sincronización normal.

20. 4.- Perfeccionamientos según la reivindicación 1, caracterizados porque el generador de impulso de puesta a cero comprende un circuito de diferenciación que diferencia una señal de puesta a cero alimentada al mismo por el impulso de sincronización de entrada y un circuito basculador tal como D que recibe la salida del circuito de diferenciación en el terminal de entrada D y que recibe un impulso de sincronización normal invertido en su terminal de entrada C.

25. 5.- Perfeccionamientos según la reivindicación 1, caracterizados porque comprenden además un circuito de cuantificación de impulso de sincronización que cuantifica el impulso de sincronización de entrada y que suministra el impulso de entrada cuantificado al circuito comparador de fase.

30. 6.- Perfeccionamientos según la reivindicación 3, caracterizados

- terizados porque comprenden un circuito de cuantificación de impulso de sincronización que cuantifica el impulso de sincronización de entrada y que suministra el impulso de sincronización de entrada cuantificado al circuito divisor de frecuencia de entrada, donde el generador de impulsos de puesta a cero forma un primer impulso de puesta a cero para limpiar el contenido del divisor de frecuencia de salida y el divisor de frecuencia del impulso de sincronización de salida forma un segundo impulso de puesta a cero para limpiar el contenido del divisor de frecuencia de entrada, y el impulso de sincronización de entrada cuantificada, formandose el primer impulso de puesta a cero y el segundo impulso de puesta a cero durante un estado en el cual la diferencia de tiempo entre una primera aparición en la cual la división de frecuencia del divisor de frecuencia de salida entra en acción por el impulso de sincronización normal después del divisor de frecuencia de salida y el divisor de frecuencia de impulso de puesta a cero de salida se pone a cero por el primer impulso de sincronización y una segunda aparición en la cual la división de frecuencia del divisor de frecuencia de entrada entra en acción por el impulso de sincronización de entrada cuantificada después de ponerse a cero el divisor de frecuencia de entrada por el segundo impulso de puesta a cero, es menor que un periodo predeterminado de la sincronización normal.

- 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque el generador de impulso de puesta a cero genera el primer impulso de puesta a cero de tal manera que un instante, en el cual el divisor de frecuencia de salida y el divisor de frecuencia de impulso de sincronización de salida se ponen a cero, se adelanta medio periodo de dicho impulso de sincronización normal con respecto a un punto en el cual comienza la división de

frecuencia del divisor de frecuencia de salida.

5. 8.- Perfeccionamientos según la reivindicación 6, caracterizados porque el generador de impulso de puesta a cero forma el primer impulso de puesta a cero y el segundo impulso de puesta a cero de tal manera que un adelanto de un primer instante, en el cual el divisor de frecuencia de salida y el divisor de frecuencia de impulso de sincronización de salida se ponen a cero con respecto a un segundo instante en el cual el divisor de frecuencia de entrada se pone a cero, es menor que la mitad del periodo del impulso de sincronización normal.

10. 9.- Perfeccionamientos según la reivindicación 6, caracterizados porque el circuito de cuantificación del impulso de cronometración forma un impulso de sincronización de entrada cuantificado de tal manera que un retardo de un primer punto en el cual la puesta a cero del divisor de frecuencia de entrada se libera con respecto al punto en el cual la división de frecuencia del divisor de frecuencia entra en acción, entre un periodo y un periodo i medio del impulso de sincronización normal.

15. 10.- Perfeccionamientos según la reivindicación 6, caracterizados porque el circuito de cuantificación del impulso de sincronización comprende una pluralidad de circuitos basculadores tal como D que se conectan con conexiones en cascada, y el impulso de sincronización de entrada se alimenta a un terminal D de una primera etapa de los circuitos basculadores tal como D y el impulso normal invertido se alimenta a un terminal de entrada C de la primera etapa de los circuitos basculadores tal como D.

20. 11.- Perfeccionamientos según la reivindicación 6, caracterizados porque el generador de impulsos comprende un circuito de diferenciación que diferencia el impulso de puesta a cero ali

30.

mentado al mismo por el impulso de sincronización de entrada para formar el segundo impulso de puesta a cero y un circuito basculador tal como D que recibe el segundo impulso a un terminal de entrada D del mismo y que recibe el impulso de sincronización normal invertido a un terminal de entrada C del mismo y que genera el primer impulso de puesta a cero en un terminal de salida Q del mismo.

5.

12.- Perfeccionamientos en circuitos digitales con red de fase sincronizada, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

10.

Esta Memoria consta de diecisiete hojas escritas a máquina por una sola cara.

Madrid, - 6 DIC. 1977

FUJITSU LIMITED.

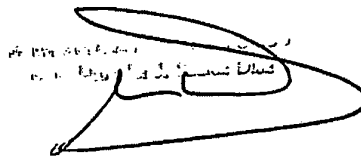
A large, stylized handwritten signature or stamp, possibly reading 'FUJITSU', is written over the typed name of the company.A small, handwritten mark or signature, possibly a checkmark or initials, is located in the bottom left corner of the page.

Fig. 1

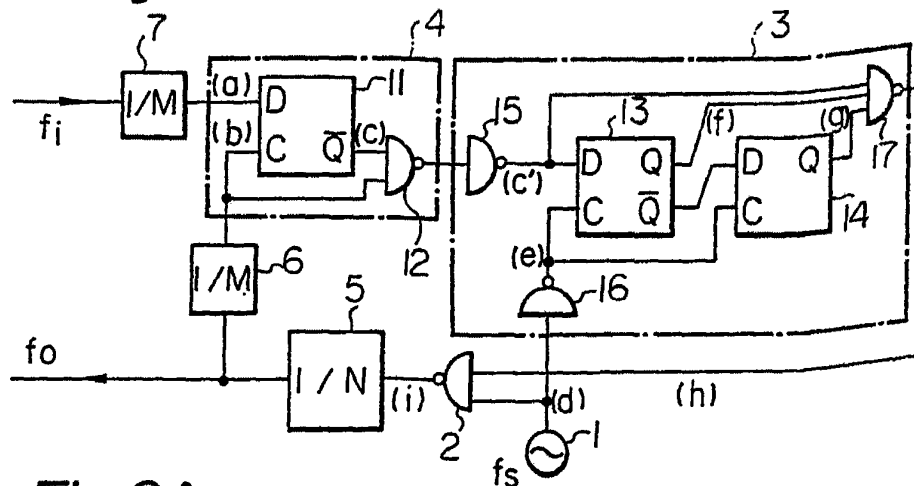


Fig. 2A

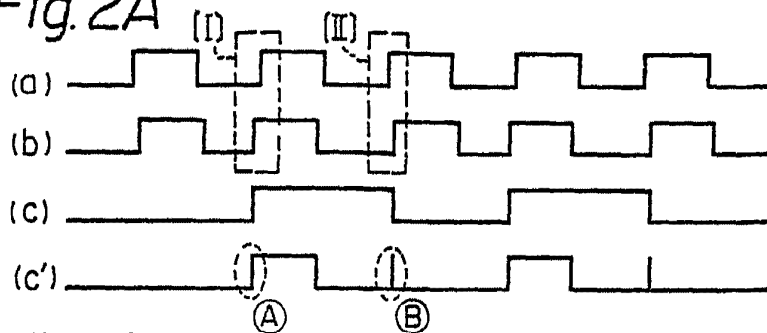
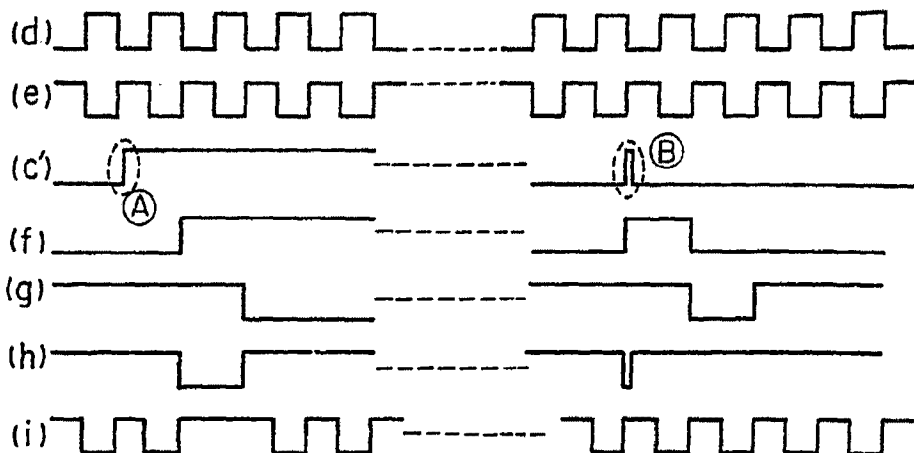


Fig. 2B



ESCALA
VARIABLE

Fig. 3

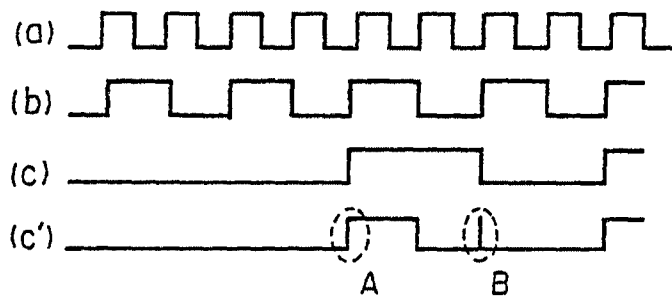
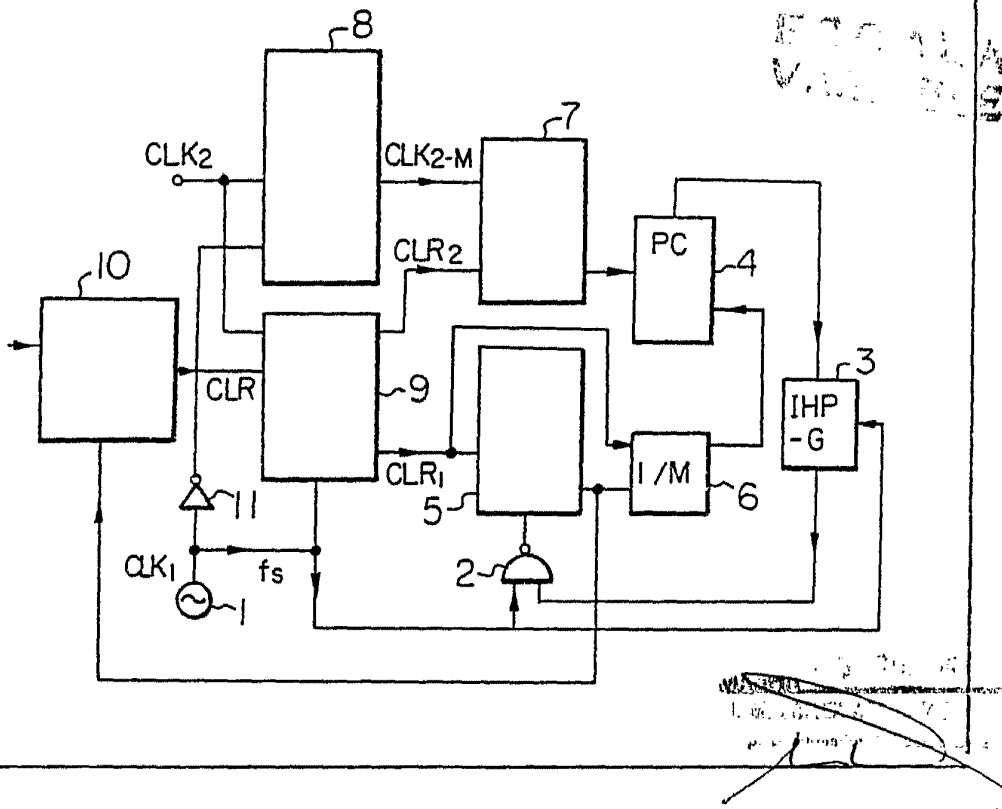


Fig. 4



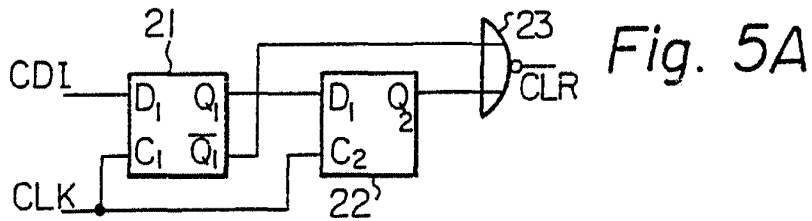


Fig. 5A

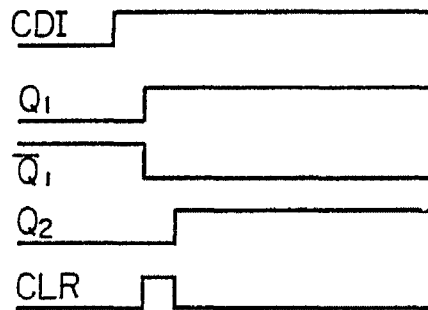
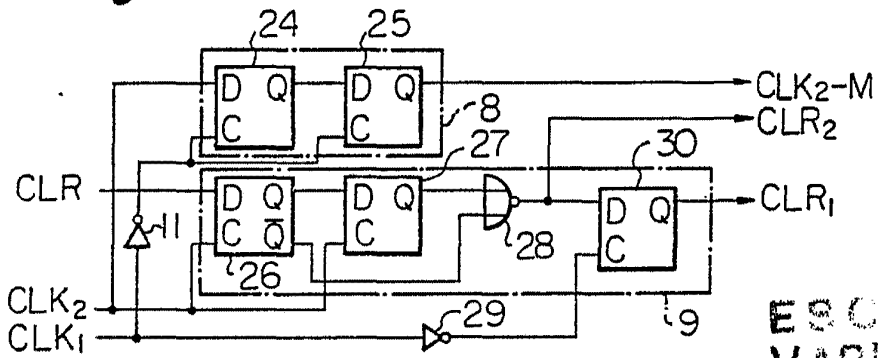


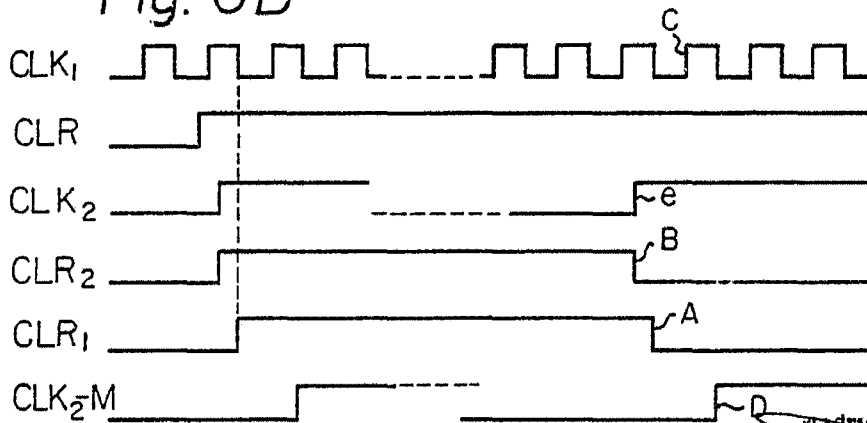
Fig. 5B

Fig. 6A



ESCALA VARIABLE

Fig. 6B



J. M. GÓMEZ APÉLIZ Y PARRA
 p/p. Firmado: J. Gómez Apéiz