

MINISTERIO DE INDUSTRIA Y ENERGIA
Registro de la Propiedad Industrial



ESPAÑA

26 ABR. 1978
CONCEDIDA

19 ES

11

21

22

NUMERO

463987

10 A1

FECHA DE PRESENTACION

PATENTE DE INVENCION

50 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
740.681 G.233	10.Nov.76	USA
740.682 G.233	10.Nov.76	USA

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04B, H04L	

54 TITULO DE LA INVENCION
"UN SISTEMA DE COMUNICACIONES DE DATOS POR PAQUETES-CONMUTADOS"

71 SOLICITANTE (S)
STANDARD ELECTRICA, S.A.
DOMICILIO DEL SOLICITANTE
Madrid, calle de Ramirez de Prado, nº 5
72 INVENTOR (ES)
William Cornelius Crager
73 TITULAR (ES)
STANDARD ELECTRICA, S.A.
74 REPRESENTANTE
D. Eugenio Barroso Espinosa de los Monteros.

El presente invento se refiere a una sistema de comunicaciones de datos por paquetes conmutados que funciona en un modo de almacenar-y-enviar, que hace posible la comunicación en dúplex total prácticamente simultánea entre una diversidad de terminales de telecomunicación, transceptores de facsímil u otras fuentes de entrada de datos por una red de comunicaciones, con una diversidad de otros terminales, transceptores de facsímil, u otras fuentes de datos con acceso a la red de comunicaciones y con los que se desea establecer comunicación. La puesta en paquetes de los datos y la transmisión de los mismos en el modo de almacenar-y-enviar con encaminamiento dinámico proporciona una utilización altamente eficiente de las facilidades de transmisión, una transmisión prácticamente libre de errores y una capacidad de entendimiento entre una amplia variedad de terminales distintos, que de otro modo serían incompatibles, tales como transceptores de facsímil con protocolo diferentes, y también diferentes técnicas de modulación y características de codificación y velocidad. Los grandes bloques de datos y otra información de mensaje desde los terminales de datos se subdividen en paquetes de datos antes de la transmisión, se convierten en un protocolo compatible con el sistema, se comprimen, se transmiten independientemente multiplexados en tiempo con otros datos también en paquetes procedentes de otros terminales de la red de comunicaciones, se almacenan y se envían sobre una base de prioridad y de acuerdo con la disponibilidad de la red, a uno o más modos de conmutación en dicha red; se re-ensamblan a partir de los paquetes recibidos en un procesador de destino, en los mensajes de datos originales, para acoplar a los terminales de destino de los mensajes, de tal

manera que el mensaje recibido se descomprime y reconvierte en un formato compatible con las características de los terminales de destino para hacer posible el intercambio de información entre dichos terminales.

5 El invento se refiere más concretamente al campo de las comunicaciones de datos digitales, y a un sistema de comunicaciones en el que se integran las técnicas de la comunicación de conmutación de mensajes (almacenar-y enviar) y la de conmutación de paquetes, para hacer posible la comunicación entre una gran variedad de terminales de entrada
10 de datos diferentes, tales como diferentes terminales de facsímil, unidades de representación visual, terminales de teletipo, terminales impresores, TWX ó Télex, equipo de proceso de la palabra, y terminales computadores. Más concretamente, el invento se refiere a un sistema de de comunicaciones y a un método que incorpora una nueva técnica de conversión de datos que hace posible que el usuario del sistema pueda comunicar, a través de cualquier entrada digital del mismo, con cualquier otro usuario o combinación de ellos de
15 otro punto con acceso al sistema, sin importar las diferentes técnicas de modulación, códigos de carácter, protocolo de datos o "entendimiento", sincronización y, en el caso de facsímil, cualquiera de lo anterior más el diámetro y velocidad de tambor, haciendo posible que terminales que de otra
20 manera serían incompatibles, puedan intercambiarse información. El invento además, y más concretamente una configuración determinada del mismo, se refiere a un sistema de comunicación y transmisión de facsímil mejorado que incorpora una nueva conversión de datos, técnicas de compresión y control de la red para la comunicación entre unidades facsímil
25
30

diferentes.

Actualmente se están desarrollando nuevos dispositivos transceptores de datos que se incorporan en un número creciente como terminales de teleproceso, aumentando la demanda de las redes de comunicaciones de conmutación de datos digitales existentes. Es esencial que tales terminales tengan la posibilidad de comunicarse entre ellos, sin embargo, debido a la variedad de códigos, técnicas de modulación, protocolos de datos y otras diferencias tecnológicas entre los diferentes terminales producidos por un número cada vez mayor de fabricantes, muchos de estos terminales no pueden comunicarse entre ellos debido a estas incompatibilidades. Se han utilizado en el pasado costosos procesadores de comunicaciones y programas de software especiales para conseguir las conversiones de códigos y otros datos que hicieran posible las comunicaciones entre los terminales. El presente invento resuelve estos problemas y permite la utilización de una amplia variedad de terminales de datos con diferentes protocolos, códigos y técnicas de modulación para la comunicación entre ellos, sin la necesidad de complejos equipos de interconexión individuales en cada terminal.

Aún cuando el presente invento es aplicable a la comunicación entre una amplia variedad de equipos de teleproceso como los descritos aquí, es particularmente apropiado para proporcionar elementos compatibles de comunicaciones entre una gran variedad de equipos de facsímil diferentes que, de otro modo, serían incompatibles. El problema de la comunicación facsímil está afectado particularmente por incompatibilidades en la resolución, la modulación, procedimientos de entendimiento y tamaño de los tambores existentes

en los equipos producidos por los diferentes fabricantes.

Un sistema de control de facsímil por programa almacenado, de una técnica ya conocida, se describe en la Patente U.S. Nº 3.751.582, en dónde pueden interconectarse varios tipos diferentes de dispositivos facsímil. Esto se consigue variando la operación de control del procesador con diferentes programas almacenados, haciendo posible un funcionamiento compatible entre transceptores facsímil que tengan diferentes características de funcionamiento. Así cuando el sistema descrito y ya conocido proporciona comunicación compatible entre dos unidades facsímil, el presente invento proporciona comunicación compatible entre un gran número de terminales facsímil simultáneamente, por ejemplo, entre ciento veinte terminales, sin retardo, pérdida de datos o protocolos complejos. El presente invento, por lo tanto, proporciona una capacidad de comunicación entre terminales y una compatibilidad entre los mismos. Además, el anterior sistema descrito requiere un operador para seleccionar el programa necesario del almacenaje, mientras que, según el presente invento, los programas utilizados en el proceso de proporcionar una operación compatible entre unidades facsímil diferentes, están almacenados en la memoria del sistema y se seleccionan automáticamente basados en una tabla de referencia o consulta una vez que se reciben los códigos indicativos del tipo de máquina del origen y del destino, evitando así cualquier error.

Otro sistema de transmisión facsímil ya conocido se describe en la Patente U.S. nº 3.739.338, en dónde existe un aparato que hace posible el acoplo de un dispositivo de datos a un canal de transmisión, para permitir la comunica-

ción de datos por dicho canal, como un sistema telefónico convencional. La Patente U.S. Nº 3.920.896 describe un sistema de comunicación conmutado que incluye elementos de almacenaje-y-envío para hacer posible la transmisión entre
5 varios dispositivos facsímil. La patente U.S. Nº 3.646.256 describe un sistema de transmisión facsímil en dónde la cadencia de transmisión está determinada por el contenido de la información transmitida. La Patente U.S. Nº 3.558.811 describe una unidad adaptadora de interface para convertir las;
10 señales de información gráfica facsímil en una copia. La Patente U.S. Nº 3.714.377 describe un cambiador de velocidad de almacenar-y-enviar para la transmisión fuera-de-línea de datos binarios. La Patente U.S. Nº 3.876.825 describe una unidad de conversión facsímil que pasa a digitales las se-
15 ñales facsímil para una posterior síntesis en una señal de banda de base de anchura de banda comprimida de cuatro niveles. La Patente U.S. Nº 3.830.962, referida a un interface de un procesador de datos gráfico, es una unidad adaptadora para interconectar un sistema de comunicaciones gráfico con
20 una unidad de proceso central. La Patente U.S. Nº 3.849.595 describe un sistema de transmisión de señal facsímil que utiliza tanto la modulación de fase como la AM, en dónde las modulaciones de fase están basadas en los valores binarios de la señal facsímil de entrada. La Patente U.S. Nº
25 3.868.477 describe un circuito para proporcionar una compensación en banda base del explorador convirtiendo la señal del explorador a negro o blanco, basado en la detección de umbral y la cadencia de la detección del cambio. La Patente U.S. Nº 3.392.232, un sistema para la transmisión
30 facsímil, describe la utilización de un acoplador acústico

para la transmisión de señales facsímil. La Patente U.S. Nº 3.292.148 describe un método y un aparato para captar e identificar los indicios de la presencia de información. La Patente U.S. Nº 3.831.091 describe un transceptor facsímil que utiliza un circuito de tiempo compartido para realizar una variedad de funciones. La Patente U.S. 3.614.319 describe un sistema de transmisión facsímil a través del teléfono en donde la iniciación del intercambio de datos de reconocimiento antes de la inicialización, resulta en la sincronización de las estaciones transmisora y receptora.

Se han desarrollado varias técnicas de compresión de datos. La compresión de los formatos de bits de líneas de exploración adyacentes en un formato de dos bits, referido a veces como el "método de codificación delta", se describe en la Patente U.S. Nº 3.804.975. La "codificación por longitud de ejecución" utiliza un algoritmo de compresión que elimina la redundancia en la transmisión de los datos negro y blanco, codificando una línea entera, una parte de la misma. o un número de líneas sucesivas de todo blanco o todo negro, como un código de longitud variable, más bien que codificar repetidamente cada segmento de línea. Tal codificación está descrita por D.A. Huffman en "Un método para la construcción de Códigos de Redundancia Mínimos". Radio Engineers, 40(1952) página 1098. La compresión de la anchura de banda, la reducción de la frecuencia de los componentes de la señal que comprende la representación de los datos de facsímil sirve para reducir el tiempo de transmisión, particularmente cuando el medio de transmisión es una línea telefónica de anchura de banda limitada. Dicha técnica de compresión de la anchura de banda se describe en la Patente U.S.

Nº 3.761.610. El algoritmo de compresión de línea doble se describe en la Patente U.S. Nº 3.916.095, en dónde se tratan simultáneamente dos líneas de datos exploradas con objeto de su codificación y decodificación. Las técnicas de compresión de datos del presente invento pueden utilizar un algoritmo de compresión, tal como el de codificación de línea doble, similar al mencionado de la patente, sin embargo, con la diferencia de incorporar la técnica de compresión dentro del presente sistema de puesta en paquetes. En otras palabras, la compresión se consigue a lo largo de toda la página de facsímil, pero los datos comprimidos se transmiten como paquetes para una última expansión y recomposición.

Se describen diferentes sistemas conmutados de comunicaciones con capacidad de almacenaje-y-envío, refiriéndose a la anterior Patente U.S. Nº 3.920.896.

La transmisión de datos de almacenar-y-enviar, conocida a veces como conmutación de mensajes, puede definirse como un modo de transmisión en dónde los mensajes de datos o porciones de los mismos se acumulan, almacenan y retransmiten sobre una base de prioridades o previsiones, según se desee, y de acuerdo con las disponibilidades de canal y/o equipo, al siguiente destino deseado, maximizando la eficiencia de la transmisión de acuerdo con una estructura de prioridades predeterminada para el flujo de mensajes. Dicho almacenaje puede hacerse por varias horas o más, según se requiera.

La conmutación de paquetes es un modo de prioridad de la transmisión de datos particularmente útil en las comunicaciones computador-a-computador, cuya transmisión tiene lugar casi instantáneamente, equipando un canal virtual

por un terminal del computador al que se dedica un portador de entrada, sin conmutación de circuitos que requiere tiempo ni procedimientos de conexión. En los sistemas de conmutación de paquetes, los datos se subdividen en paquetes denominados "sobres electrónicos", consistiendo cada paquete en un número 5 predeterminado de bytes de datos, y un código de comprobación de error. Posteriormente se describirá con más detalle la composición de los paquetes individuales. Los paquetes de datos se integran en el flujo de datos total de la red de 10 comunicaciones, de acuerdo con el presente invento, junto con otras transmisiones de datos en el momento de almacenar y enviar sobre un esquema de multiplexado por división de tiempo. Los paquetes se transmiten desde su terminal fuente a través de diversos lugares o nodos de conmutación de la 15 red, hasta su destino previsto, en donde se reconstruyen según se requiera en los mensajes de datos originales. El contenido de los paquetes individuales es variable y dinámico y puede encaminarse independientemente a través de la red de comunicaciones antes de que los paquetes múltiples se 20 reconstruyan en el mensaje final. Para propósitos descriptivos, un mensaje típico puede consistir de una secuencia de datos de, aproximadamente, ciento cincuenta paquetes de información.

Los sistemas de conmutación de paquetes de técnica ya conocida se describieron por L. Pouzin (Réseau 25 Cyclades), "Una propuesta para Interconectar Redes de Conmutación por Paquetes; Universidad Brunel Eurocomp, Londres Mayo de 1974, "El Procesador de Mensajes de Interface para la Red por Computador ARPA", Conferencia sobre El Computador 30 Joint Spring, Mayo de 1970 por Heart y F.E.; "Presentación

y Principales Aspectos en el Diseño de la Red por Computador CYclades", L. Pouzin, tercer Simposio sobre Comunicaciones de Datos, Abril de 1973, Protocolo de Acceso a la Red Standard Datapac, El Grupo de Comunicaciones por Computador, 5 El Sistema Telefónico de Trans-Canada, 31 de Marzo de 1976; "Red de Conmutación por Paquetes de CTNE", Alarcia G. Herrera segunda Conferencia Internacional sobre Comunicaciones por Computador, Estocolmo, Agosto de 1974; "Servicio de Conmutación de Paquetes y el Usuario de las Comunicaciones de Datos" 10 OVUM Diciembre de 1974, y "Algoritmos para el Encaminamiento Adaptivo para las Redes por Computador Distribuidas", J. Mcquillan, Tesis, Harvard 1974.

Las siguientes definiciones de ciertos términos utilizados aquí se incluyen para un mejor entendimiento de 15 la descripción que sigue. Se incluyen definiciones adicionales a lo largo de la siguientes especificación, en varios puntos de la misma, para un más completo entendimiento de la descripción asociada.

Un dispositivo facsímil es un transceptor que 20 incluye un explorador y un impresor, utilizado para transmitir y recibir documentos y que utiliza técnicas analógicas o digitales de modulación/demodulación (modulación de amplitud y frecuencia), para convertir la información grafica y/o alfanumérica del documento en un flujo de datos, y para 25 reconvertir dichos datos recibidos desde los dispositivos facsímil nuevamente en documentos.

Un teleimpresor es un dispositivo para generar 30 señales codificadas que corresponden a un carácter alfanumérico escrito y para escribir tales caracteres alfanuméricos a partir de tales señales codificadas recibidas por una línea

de comunicaciones.

Una unidad de representación visual, o CRT, es un terminal transceptor de datos que tiene un teclado y un tubo de rayos catódicos u otro elemento de representación visual, para enviar y recibir mensajes por una línea de comunicaciones y representar tales mensajes sobre los elementos de representación visual.

El terminal de proceso de palabra es un teleimpresor que tiene posibilidades de almacenamiento de datos, comunicaciones y memoria, utilizado en oficinas.

Un canal de comunicaciones está definido como el enlace de transmisión entre las diferentes fuentes de datos y los destinos, e incluye líneas de datos digitales de alta velocidad a 56 K-bps, 230 Kbps, u otras posibilidades a diferentes cadencias de datos; líneas de telecomunicaciones y telefónicas urbanas e interurbanas, tanto analógicas como digitales; transmisión por microondas con diversos canales de voz modulados. Tales facilidades están realmente disponibles y proporcionadas por diferentes portadores comunes, junto con los modems necesarios y otros equipos de interconexión, y hacen posible que cada terminal de teleproceso local individual comunique con cualquier otro terminal de teleproceso local o remoto a través de canales dúplex-total.

Los términos bytes de datos y palabras de datos se utilizan aquí indistintamente y están definidos como una distribución de bits binarios de longitud fija. Un bit se define aquí como la más pequeña unidad de información binaria.

El presente invento comprende un sistema de co-

5 municaciones de datos para proporcionar comunicaciones compatibles entre una diversidad de dispositivos terminales de datos con una diversidad de localizaciones que utilizan comunicaciones en una diversidad de lugares de conmutación, tanto en conmutación de paquetes como en conmutación de almacenar-y-enviar, para asegurar una utilización máxima de la red de transmisión. El presente invento comprende además aparatos y métodos para relizar la comunicación conmutada de mensajes y paquetes entre terminales distintos que tengan diferentes modos de funcionamiento, y en una configuración particular entre máquinas facsímil distintas. Los mensajes de datos y de facsímil se transmiten y reciben, en forma digital, almacenados temporalmente en nodos de conmutación en u a red de comunicaciones sobre una base de prioridad predeterminada, se ponen en formatos en un protocolo compatible a todo el sistema en lugares de proceso de datos locales y se subdividen en paquetes de mensajes de datos y se transmiten en tales paquetes dinámicamente e independientemente a través de, por lo menos, un centro o nodo de conmutación. Los paquetes se retransmiten así por la red bien a otro nodo o procesador de conmutación donde los mismos se reensamblan en los mensajes o porciones de los mismos originales se convierten en un modo compatible con las características del terminal de recepción y se acoplan a dicho terminal.

 Por lo tanto, el objetivo primario del presente invento es proporcionar un sistema de comunicaciones de datos digitales conmutados y un método que haga posible la comunicación entre una diversidad de dispositivos terminales analógicos y/o digitales que, de otro modo, serían incompatibles.

Otro objetivo del presente invento es proporcionar un sistema de comunicaciones de datos digitales por paquetes conmutados y un método que tenga una capacidad de almacenar-y-enviar sobre una base de prioridades.

5 Otro objetivo del presente invento es proporcionar la conversión de los datos recibidos desde una diversidad de fuentes de generación de datos en un formato que tenga un protocolo para todo el sistema que pueda hacer compatible la información intercambiada entre ellos.

10 Otro objetivo del presente invento es proporcionar un sistema de comunicaciones facsímil de paquetes conmutados con una capacidad de almacenar-y-enviar y un protocolo para hacer posible la comunicación por el sistema, entre una pluralidad de máquinas facsímil que tengan diferentes
15 características de generación de datos.

Las anteriores y otras características y ventajas del presente invento serán ampliadas en la descripción que sigue junto con los dibujos que se acompañan, en algunos de los cuales las líneas dobles indican el flujo de datos,
20 las líneas sencillas indican las señales de control eléctrico y otras señales eléctricas y las líneas sencillas curvadas indican los buscadores de dirección.

La fig. 1 es un ejemplo de una red de comunicaciones incorporando las características del presente invento
25 sobrepuesta sobre un mapa de los Estados Unidos.

La fig. 2 es un diagrama bloque simplificado de algunos de los elementos principales que constituyen un sistema de comunicaciones conmutado, de acuerdo con los principios del presente invento.

30 La Fig. 3 es un diagrama bloque de un nodo conmu-

tado y lugar de proceso típico como un subsistema del presente invento;

La Fig. 4(a) es un diagrama de flujo del control del sistema operacional que representa las tablas y rutinas de principal ejecución del presente invento;

La Fig. 4(b) es un diagrama de flujo de control operacional del sistema de las memorias de datos y tablas de principal ejecución, particularmente referidas a las colas para envío de mensajes de facsímil del presente invento;

La fig. 5 es un diagrama de flujo de control operacional que ilustra la conexión del proceso de control del presente invento;

La fig. 6 es un diagrama de flujo de control operacional que ilustra el proceso de control de abonado del presente invento.

La fig. 7 es un diagrama de flujo de control operacional que ilustra el proceso de control de máquina del presente invento;

La fig. 8 es un diagrama de flujo operacional que ilustra un proceso de almacenaje en disco de paquetes de acuerdo con el presente invento;

La fig. 9(a) es una representación simplificada del enlace, protocolo de mensajes y paquetes de datos en tránsito, de acuerdo con el presente invento;

La fig. 9(b) es un diagrama bloque simplificado que ilustra el hardware para la realización del protocolo ilustrado en la fig. 9(a);

La fig. 9(c) es un diagrama bloque de los aparatos de telecomunicaciones utilizados en la realización de la transmisión de datos en la configuración mostrada en la Fig. 9 (b);

La fig. 10 es un diagrama bloque simplificado de un interface de comunicaciones de entrada al procesador del presente invento;

5 La fig. 11 es un diagrama bloque funcional simplificado que ilustra el interface de comunicaciones ilustrado por el Circuito de Entrada al Procesador de la Fig. 10.

10 La fig. 12 es un diagrama simplificado de una parte de la Unidad Adaptadora de Línea del Circuito de Entrada al Procesador de la fig. 10;

La fig. 13 es un diagrama bloque simplificado de la parte de Unidad de Acceso a la Memoria del Circuito de Entrada al Procesador de la Figura 10;

15 La fig. 14 es un diagrama bloque funcional de la parte de la Unidad Generadora de Voz del Circuito de Entrada al Procesador de la fig. 10;

La fig. 15(a) y la 15(b) son diagramas de la memoria de acceso aleatorio de control de la Unidad Generadora de Voz de la Fig. 14;

20 La fig. 16 es un diagrama bloque funcional de la parte de microprocesador del Circuito de Entrada al Procesador de la Fig. 10;

25 La fig. 17, es un diagrama de flujo simplificado del encaminamiento de un paquete de datos en el presente invento;

La fig. 18 ilustra el formato total de un paquete de datos típico;

La fig. 19 ilustra el encabezamiento del paquete de datos ilustrado en la Fig. 18;

30 La fig. 20 es una carta de flujo simplificada

referida a un ejemplo de rutina Directora para controlar la programación de varias subrutinas utilizadas por el presente invento; y

La fig. 21 es una carta de flujo simplificada que ilustra varias interacciones en el procesamiento de mensajes y paquetes en el presente invento.

Refiriéndonos ahora a la fig. 1, en ella se ilustra una red de comunicaciones de características apropiadas para incorporar el presente invento, sobreimpuesta en un mapa de los Estados Unidos. En términos generales, la red incluye nodos de conmutación por computador 10, 12, 14, 16, 18, 20, 22, 24, 26 y 28 y lugares concentradores de datos 30, 32, 34, 36, 38, 40, 42, 44, 46, 48, 50, 52, 54 y 56 interconectados punto a punto por cables normales y/o enlaces de microondas, que ya están disponibles. Por ejemplo, existen canales de transmisión digital a 96 K-bps y a 56 K-bps de AT y T, y existen canales de transmisión analógica a 4 KHz de la Western Union. Dichos enlaces de microondas incluyen varios canales de rf, por ejemplo, ocho canales, teniendo cada uno de dichos canales rf capacidad para proporcionar hasta diez mil canales modulados de voz, proporcionando por tanto una capacidad de comunicación de voz entre los diferentes terminales es así como nodos de conmutación. Los diferentes terminales de entrada digitales y/o analógicos contemplados por el presente invento están situados próximos a e interconectados por la red mencionada anteriormente.

Refiriéndonos a la fig. 2, en ella se muestra un diagrama bloque simplificado de un sistema de comunicaciones digitales por paquetes conmutados que tiene la posibilidad de almacenar-y-enviar, de acuerdo con el presente

invento, como se ilustra en 200. Los mensajes de datos se generan en el lugar terminal, tal como el terminal 202, y se dividen en segmentos que denominamos aquí como paquetes, los cuales se transmiten dinámicamente e independientemente uno de otro por la ruta más expedita hacia el terminal de destino, tal como el 210. Antes de llegar al terminal 210, los paquetes de datos se reensamblan en los mensajes transmitidos originalmente, sin importar el orden de llegada de los paquetes. De esta manera, se ve aquí que los paquetes de datos individuales, que constituyen el mensaje transmitido pueden tomar diferentes rutas hacia el terminal de destino último y pueden llegar sin orden; sin embargo, al reensamblarlos, llegará el mensaje original al terminal 210 tal como se generó en el terminal 202, en su forma original. Varios terminales hasta, por ejemplo, treinta y dos de ellos, como los ilustrados en 202, 204 y 206, se acoplan a través de líneas telefónicas a la unidad de proceso, indicada antes como un Circuito de Entrada al Procesador (FEP) 208. Los terminales indicados antes pueden incluir terminales facsímil de diferentes técnicas de modulación, velocidad, codificación y acoplamiento, fabricados por compañías diferentes. Los terminales anteriores pueden incluir facsímil analógicos de baja velocidad, facsímil digitales de alta velocidad, terminales compatibles de teletipo de baja velocidad, equipo de proceso de datos acoplado por serie de tonos, teletipos, terminales de pantalla, conexiones de acoplamiento, terminales de teclado, computadores u otros equipos de proceso de voz. La comunicación entre terminales, como se ha descrito se consigue a través del FEP 208. Un dispositivo de conversión de comunicaciones basado en un microprocesador, que

automáticamente responde y/o origina llamadas a y desde sus terminales respectivos, proporciona el protocolo de entendimiento con tales terminales para hacer posible la transmisión de los datos, transmite y recibe los datos en un modo de dúplex-total a y desde sus terminales 202 a 206, los sonidos vocales de un operador terminal como datos que entran en el terminal en un modo de conocimiento/no. conocimiento a la recepción de un mensaje de datos y proporciona la temporización, sincronización y desconexión de los terminales.

De una manera similar, el FEP 212 proporciona un interface en otro lugar para un conjunto de terminales de datos tales como 214, 216 y 218. El FEP 12 proporciona las conversiones necesarias de velocidad, código, formato y protocolo para hacer posible que se comuniquen sus terminales respectivos con los terminales de otros lugares, tales como el terminal 202 y el terminal 210 y se conectan al FEP 212 por medio de cualquier conexión de comunicaciones apropiado tal como líneas telefónicas que incluyen líneas WATS, líneas entre centrales, líneas de marcación a distancia directa y/o líneas privadas, para márgenes de velocidad de 50 bits por segundo a 9600 bits por segundo. Diversos FEP del 208 al 212 están acoplados a un nodo de conmutación que es una Red de Conmutación y Sistema de Proceso 220 (indicado después como SNAPS) por líneas de transmisión digitales de alta velocidad, indicándose dicha red de conmutación por razones de simplicidad como una fuente SNAPS, que recibe los mensajes acoplados a ella desde sus FEP 208, 212 y otros FEP no indicados, para la transmisión a un nodo de conmutación de destino y sistema de proceso 222 a través de un nodo de conmutación de tránsito y un sistema de pro-

ceso 224 o, como puede ser el caso, directamente a través de la línea 226. En el destino SNAPS 222, los datos recibidos se encaminan bien directamente a varios FEP, tales como los FEP 228 a 230, para acoplar sus respectivos terminales de datos, o a un concentrador 232 para su retransmisión a través de líneas de transmisión digital que van desde 50 bits por segundo a 9600 bits por segundo, indicadas en 234, a un conjunto de FEP, tales como los FEP 236 a 238, para la transmisión alterna a un conjunto de terminales servidos por cada uno de tales FEP 236 a 238, por ejemplo, el terminal 210. La red de comunicaciones entre el concentrador 232 y una localización de SNAPS 222 es, por ejemplo, una línea a 9600 bps ó a 56 K-bps, tal como el Servicio Digital Data-phone proporcionado por AT y T.

El concentrador 232 proporciona un punto de entrada en dónde los terminales locales pueden comunicar a través de sus respectivos FEP. En esencia, el concentrador recibe y envía un conjunto de mensajes desde sus terminales y almacena tales mensajes o discos para su transmisión de acuerdo con una prioridad predeterminada.

Los SNAPS 220, 222 y 224 además de realizar las funciones del concentrador 232 mencionadas anteriormente, también controlan las comunicaciones a través de las líneas de enlace entre-nodos 226, 240 y 242 a un centro de control de la red 244, cuando este está presente en el sistema. De esta manera, los lugares de SNAPS proporcionan concentración de datos a la recepción de los mensajes, desconcentración de datos a la transmisión de los mensajes recibidos desde otras localizaciones de SNAPS y una función de conmutación entre las líneas síncronas a alta velocidad y otros lugares de

SNAPS. El concentrador 246, que sirve a varios terminales en la localización del SNAPS 224 de tránsito, a través de su FEP asociado, se muestra, a modo de ilustración, para indicar que los terminales de datos pueden acoplarse al sistema total en cualquier punto a lo largo de la red a través de un nodo de conmutación, tal como el nodo de conmutación 224.

Refiriéndonos ahora a la Fig. 3 en ella se ilustra en forma de diagrama bloque simplificado, una localización de SNAPS, tal como el SNAPS 220. El SNAPS 300, en esencia, almacena los mensajes recibidos desde los terminales en una memoria de núcleo, en donde se ejecuta en cada paquete de datos almacenado un programa de una duración de un milisegundo aproximadamente, después tales paquetes se transmiten a uno o más SNAPS de tránsito en saltos intermedios en donde se ejecutan programas similares antes de la transmisión final al SNAPS de destino para su envío final al terminal de destino. Este procedimiento puede llamarse como de llamada virtual. El encaminamiento anterior de paquetes de datos hace posible que tales datos en forma de paquetes se transmitan a través del sistema desde una fuente a un destino en menos de un segundo. Para la transmisión facsímil, no puede tener lugar tal transmisión, ya que una máquina facsímil necesita normalmente más de tres minutos para dar entrada a su mensaje entero, esto es, una página completa y todos los paquetes generados, según se transmiten por la red, deben retenerse (almacenarse) hasta que todo el mensaje sea introducido, para su envío al destino último. Ya que no es deseable ocupar la memoria de núcleo con un mensaje de más de tres minutos, los paquetes se leen del núcleo hacia alma-

cenajes de masa intermedios, tales como los discos de cabeza móvil 302 y 304 de una memoria multiportadora de banco múltiple compartido 306, que proporciona capacidad de memoria para un procesador de comunicaciones 308 asociado con el SNAPS 300 y que incluye una memoria local 310.

El procesador de comunicaciones 308 está on-line; sin embargo, se apoya en un Procesador de Comunicaciones de apoyo 312 con su propia memoria local 314 acoplándose los CPU 308 y 312 a través de un enlace de datos de alta velocidad computador-a-computador 316 y una red de alarma del estado del sistema 318 que puede consistir de un simple conmutador para activar el CPU 312 en el supuesto de un fallo del CPU 308. El almacenaje de paquetes en discos hasta que haya entrada todo el mensaje facsímil en el sistema se conoce aquí como una conmutación de mensajes de almacenar-y-enviar. Sin embargo, cuando el mensaje se conmuta a través de la red, su paquete se conmuta al punto más cercano a su último terminal de destino en dónde, en el caso de transmisión facsímil, los paquetes de datos se almacenan nuevamente en un medio de almacenaje de masa intermedio, tal como un disco de cabeza móvil, y se transmiten durante tres o más minutos por página al terminal facsímil receptor. El SNAPS 300, cuando funciona como un conmutador, no almacena paquetes en los discos 302, y 304, sino que más bien conmuta tales paquetes a través de su memoria de núcleo de alta velocidad 306 desde una línea telefónica de alta velocidad a otra. Un conjunto de conmutadores 320, 322, 234, 326, 328, 330, 332, 334, 336 y 337 sirven para transferir los periféricos y los FEP 338, 340, 342 y 344 de on-line a reserva en el caso de fallo. La capacidad de transferencia de datos a granel

a alta velocidad entre la memoria de núcleo y los periféricos y el FEP viene proporcionada por el bus DMA 346. Los SNAPS 300 realizan el encaminamiento dinámico por una técnica mediante la cual los paquetes de datos se encaminan a la línea de transmisión que contenga un mínimo de errores y de colas de tráfico para su transmisión. Los paquetes de mensajes diferentes se multiplexan en tiempo para la transmisión por líneas de comunicaciones a SNAPS remotos y, concentradores a elevadas velocidades de CPU 308 más bien que a velocidades de disco paqueñas con un protocolo de enlace que describiremos después, realizan el entendimiento entre los diferentes sitios de conmutación. Con propósitos descriptivos, puede definirse una capacidad de entendimiento como la preparación de una unidad de proceso para recibir los datos transferidos desde otra unidad de proceso. El procesador central on-line 308 controla los requerimientos del protocolo de línea y también sirve para actualizar el CPU off-line 312 configurado idénticamente, que se mantiene en estado de reserva. On-line se define como un modo en el cual una unidad se utiliza de una manera activa en la realización de una tarea tal como una función de conmutación. Off-line se define como un modo redundante en donde una unidad está encargada de una función de mantenimiento u otro trabajo de soporte, pero no está disponible como reserva. Reserva (stand-by) se define como un modo en el que un sistema está inmediatamente disponible para hacerse cargo del trabajo en el supuesto de un fallo de hardware/software de la unidad on-line. El CPU se actualiza periódicamente por las transferencias computador-a-computador para mantener su estado de reserva. Estas transferencias incluyen la inicialización de la memoria, la transfe-

rencia normal de información de paquetes, y la transferencia de supervisión de varios datos opcionales. Un teletipo de consola 348 sirve como un dispositivo de entrada para la unidad CPU 312 de reserva, mediante el cual un operador
5 puede efectuar modificaciones en el programa. Una consola similar 350 sirve como entrada de control del operador al procesador de comunicaciones 308. La capacidad de almacenaje de paquetes del CPU 312 viene proporcionada por las unidades de disco 302, y 304. Las unidades de disco 352 y 354 se uti-
10 lizan para almacenar los programas y tablas objeto, residentes normalmente en el núcleo, y las unidades de cinta magnética 356 y 358 proporcionan una capacidad de almacenaje adicional. El controlador de línea 360 de 56 K-bps y un controlador de línea de 9600 bps 362 están acoplados a los buses
15 DMA 364 y 366, respectivamente, a través de los conmutadores 368 y 370, respectivamente. Los controladores 360 y 362 sirven para proporcionar conmutación y control a los buses de entrada/salida 372 y 374 de los CPU 308 y 312, respectivamente, y sirven para conmutar los datos a las líneas
20 de comunicaciones. Los transportes de cinta 356 y 358 pueden comprender nueve pistas de 1600 caracteres por pulgada (cpi) (1 pulgada = 2,54 centímetros) a 75 pulgadas por segundo (ips) mientras que los discos de cabeza móvil 302 y 304 tienen normalmente una capacidad de 100 a 300 megabit. El CPU 308 puede
25 incluir un mini-procesador, tal como el Modelo SPC 16/440 fabricado por General Automation Co. y los controladores de línea 284 y 286 pueden incluir controladores normales SDLC (control de enlace de datos síncronos) también fabricados por General Automation Co. Lo anterior se menciona solamente a
30 modo de ejemplo. Los concentradores tales como el concentrador

246, realiza la conversión de compatibilidad entre los diferentes terminales acoplados a ellos a través de los FEP asociados con tales terminales, y es un subsistema basado en un minicomputador para realizar las diferentes comunicaciones, funcionaes de control y gobierno de los datos y de la red de telecomunicación. Fundamentalmente, el concentrador 246 concentra los datos recibidos de cientos de terminales locales por líneas digitales de alta velocidad a los asentamientos de SNPAS, tales como el SNPAS 224, y reconcentra los datos recibidos por la red para el envío a los terminales locales a través de su FET respectivo. La configuración del concentrador es sustancialmente la misma que la configuración del SNPAS ilustrada en la Figura 3. De esta manera, puede verse que el concentrador 246 y un SNPAS, tal como el SNPAS 300, realizan las mismas funciones en la reunión de los mensajes de datos de entrada, la concentración, transmisión de los mensajes ensamble y desconcentración del mensaje a sus terminales respectivos. Sin embargo, el SNPAS tiene la función adicional de la transmisión de los datos acumulados a, y recibir los datos acumulados desde otro SNPAS, esto es, el SNPAS maneja las comunicaciones por las líneas de enlace a otro SNPAS, cuyas líneas de enlace entre nodos son normalmente, como se ha indicado antes, de 9600 bps o de 56 K-bps.

El centro de control de la red 244, aunque no es esencial para el funcionamiento del sistema descrito, se utiliza para fines de integridad del sistema y puede comprender un minicomputador de líneas apoyado por un minicomputador en reserva, cada uno con su propia memoria local y una memoria en tiempo compartido, que tenga una configuración similar

a la del concentrador 246. El control de la red 244 realiza las funciones on-line tales como el diagnóstico de la red, el control de la misma y varias funciones off-line, tales como estadísticas de mantenimiento sobre la disponibilidad y confiabilidad de la red, información sobre transacciones para la preparación de facturas, etc. Puede existir una consola en el centro de control de la red 244 similar a la consola 350 para que el operador introduzca datos o proporcione asistencia verbal por las líneas telefónicas cuando se le requiera.

Nos referiremos ahora a las Figuras 4(a) y 4(b), en donde un diagrama de flujo del sistema simplificado y generalizado ilustra el flujo de datos del software Director del sistema por el que se mantienen la secuencia de control y la frecuencia de activación de las diferentes rutinas del software del sistema. Parte del software del control Director son tablas compelidas, esto es, activadas por medio de tablas de consulta, y parte del software Director hace posible el almacenaje y recuperación de los datos del mensaje encaminado a través del sistema.

En términos generales, las Figuras 4(a) y 4(b) junto con las Figuras 5 a 9, describen con detalle el flujo de los datos del mensaje facsímil a través del presente sistema, desde la adquisición del mensaje inicial en un terminal de facsímil, a través de diversos nodos de conmutación intermedios o de tránsito y de destino, y el envío final a un terminal facsímil de destino. El control directo e interpretación del mensaje y sus paquetes constitutivos, se describen e ilustran por las rutinas principales del software, las tablas de consulta y memorias intermedias y su interacción en

formato diagramático. En la descripción que sigue, el programa que sigue, el programa Director recorre una cadena enlazada de tablas en donde cada tabla está acoplada con la siguiente por un indicador. El flujo de datos, que se ilustra
5 secuencialmente, puede interrumpirse asincrónicamente en respuesta a varias temporizaciones e interrupciones externas. Las rutinas principales del sistema, y las tablas descritas después, se ilustran en las Figuras 4(a) y 4(b) en donde el flujo de datos se indica por una línea doble, las líneas
10 de control por una línea continua y los indicadores de dirección por una línea curva.

El funcionamiento y mantenimiento del sistema de comunicaciones se consiguen por un conjunto de subrutinas de software 400, 402, 404, 408, 410, 412, 414 y 416, que
15 se activan periódicamente, y se ilustran en (A). Cada conjunto de subrutinas de software periódicas tiene una ejecución única, que comienza en la dirección binaria (B) contenida dentro de una tabla de consulta asociada a la misma, la cual sirve como una Lista del Vector de Exploración. Las
20 direcciones individuales 418, 420 y 422 conducen a las subrutinas de software 400, 402 y 404 respectivamente, con otras direcciones semejantes que corresponden a las subrutinas 406 a 416. Debe comprenderse que existen muchas
25 más sub-rutinas y direcciones; sin embargo, por simplicidad en la descripción, se han representado tres grupos. Las tablas de direcciones de comienzo de ejecución 418, 420 y 422, etc., se activan periódicamente por el software Director 424 a través de los indicadores de dirección del Director 426, 428 y 430 acoplados a las listas del vector
30 de exploración 432, 434, 436 y 438.

Una Tabla de Control de Tarea se ilustra en 440, que se direcciona por el software Director 424 a través de los indicadores de dirección del Director, para hacer posible que el software Director controle las tareas tales como la recogida o envío de mensajes específicos. La Tabla de Lista del Vector de Exploración se enlazan en forma de cadena por la Cadena de Exploración de Línea 442, que son Indicadores de Dirección del Director. Cada Tabla de Control de Tarea 440 está enlazada a un explorador de línea de acuerdo con la frecuencia con la que debe explorarse la Tabla de Tarea particular, normalmente cada 10 milisegundos, cien milisegundos y un segundo. Las Tablas de Tareas individuales contienen en Índice Explorador 444 en la Lista del Vector de Exploración de la siguiente rutina del software a ser activada, en la secuencia requerida para efectuar la tarea particular. Esta dirección se actualiza en su momento por cada rutina acoplada a la Tabla de Tarea 440 a través de un transferidor de datos 446 a partir de la rutina de software 414 descrita. Por supuesto que los datos acoplados a la tabla 440 a través de la línea de datos 446 pueden también dar paso a los datos almacenados dentro de la Tabla de Tarea 440 a lo largo de las siguientes rutinas. La segunda tabla de exploración, la tabla de exploración de 100 milisegundos y la tabla de exploración de 10 milisegundos se ilustran en 448, 450 y 452, respectivamente.

La Tabla de Servicio de Interrupción 454 contiene las direcciones de un conjunto de rutinas de interrupción en 456, y se ilustra en 458 una de las direcciones de la rutina de interrupción que responde a diversas interrupciones del sistema internas y externas. Estas rutinas de interrupción

460 sirven para acoplar la información de control a través de la línea de control de datos 462 en la Tabla de Tareas 440.

5 En la Figura 4(b), junto con la Figura 4(a), se ilustra un flujo del sistema simplificado de las principales tablas de consulta Directoras y las rutinas de software que mantienen el curso de los mensajes y los paquetes de datos individuales que constituyen tales mensajes.

10 La Tabla de Mensaje 470 es una tabla de consulta que contiene la información del mensaje en forma binaria incluyendo el destino y la prioridad así como las direcciones del disco de los paquetes que constituyen el mensaje, ilustrándose por el indicador 472 una de dichas direcciones del disco para un paquete individual 474, en un archivo de disco 476.

15 La cola para el envío de un mensaje facsímil 478 consiste de dos juegos de tres colas de direcciones, una por cada prioridad asignada, utilizándose el juego de cola 480 para el envío local de mensajes y el juego de cola 482 para la transmisión remota a otras localizaciones de SNPAS. Cada
20 entrada de cola, tal como la entrada 484, la prioridad 1 del juego de envío local 480, comprende la dirección de su correspondiente tabla de mensaje, tal como la tabla 470, en el disco de dirección de la tabla de mensaje 474. Todas las otras colas de mensaje facsímil ilustradas en 478 acceden al disco
25 476 de la misma manera a través de sus indicadores de dirección, tales como el indicador 486, que sirve como una dirección de la tabla de mensajes del disco.

Las Tablas de Control de Tareas 440, que se utilizan por la rutina Directora 424 para controlar la ejecución
30 de las rutinas del Vector Explorador y las interrupciones

de control, están enlazadas cada una a una cadena de exploración a través de los indicadores 442 y a la Lista del Vector Explorador 432 de los vectores exploradores que realizan la siguiente sub-tarea que constituye una parte de la
5 tarea total a ser realizada, por indicadores tales como el indicador 488. Las Tablas de Control de Tareas se clasifican, por sus aplicaciones, como sigue:

Tablas de Control de Tareas de Línea, denominadas a veces como Tablas de paquete, que están en el núcleo, y re-
10 presentan la tarea particular a ser procesada por una línea particular, esto es, la línea digital a alta velocidad en el SNPAS. Y que cada tabla de control de tarea de línea corresponde a una sola línea, en ella se contiene la información sobre el estado de la línea.

15 Tablas de Control de Tareas de Canal, que son idénticas a las anteriores y contienen información sobre el estado del canal y cada una de tales Tablas de Control de Tareas de Canal está dedicada a un canal FEP o portador.

Tablas de Control de Tareas de Dispositivo, que están
20 en el núcleo en correspondencia de uno-a-uno por cada dispositivo (terminal facsímil u otro terminal de datos) y representan la tarea particular para este dispositivo determinado.

Tablas de Control de Tareas de Proceso, son tablas
25 de control de tareas transitorias correspondientes a tareas ejecutadas con poca frecuencia y creadas solamente en lo que dura otra tarea tal como la de las funciones suplementarias de supervisión. Otras tablas contiene indicadores de información de difusión, información sobre tipo de máquinas etc.. y otras tablas contienen incluso el número te-
30

telefónico del destino, información sobre el tipo de máquina y otros datos indicativos de la dirección y del tipo del terminal de destino.

Las tablas de consulta mencionadas anteriormente pueden realizarse de acuerdo con las técnicas de programación ya conocidas para el proceso de datos en núcleo, en disco, cinta magnética, memoria virtual u otros medios de almacenaje de datos. En el Apéndice anexo a esta especificación, se ilustran disposiciones típicas de una Tabla de Control de Tareas y de Mensajes mencionadas anteriormente. En particular, el Apéndice I ilustra una típica Tabla de Control de Tarea y el Apéndice II ilustra una típica Tabla de Mensaje.

Refiriéndonos ahora a las Figuras 5, 6, 7 y 8 en ellas se ilustran varios procedimientos de sistemas simplificados para el SNPAS fuente, siendo la fuente SNPAS, el SNPAS que recibe los mensajes digitales generados en el circuito de entrada del procesador asociado con varios terminales de datos locales. Este se diferencia de los SNPAS de destino y tránsito configurados idénticamente porque operan para transmitir mensajes encaminados desde el SNPAS fuente hacia ellos para enviar a una diversidad de terminales de datos remotos. El SNPAS fuente, además de reunir los mensajes de y enviarlos a una diversidad de terminales locales, sirve también para conmutar los paquetes que se originan en otro SNPAS remoto de una manera prevista para reducir el retardo del mensaje (un modo almacenar-y-enviar) y de expedir la llegada temporizada de paquetes de datos que llegan al SNPAS de destino para el que se han destinado. La Figura 9(b) ilustra el flujo de mensajes de la reunión de mensajes en el SNPAS fuente desde los terminales locales a través del SNPAS de

tránsito que conmuta los paquetes a través del SNPAS de destino y a través del SNPAS de destino que envía los mensajes a los terminales locales designados a través de sus FEP asociados. Debe entenderse que todos los SNPAS realizan realmente todas las funciones descritas anteriormente simultáneamente en una multi-tarea, en una configuración dúplex-total, y la descripción simplificada que sigue del flujo de mensajes desde un SNPAS fuente a través de un SNPAS de destino, se hace a modo de ejemplo solamente.

10 El protocolo de acceso de mensaje de un SNPAS fuente para la transmisión de un mensaje desde un Circuito de Entrada de Procesador (FRP) a un Procesador de Comunicaciones contenido dentro de un SNPAS fuente, para la transmisión de un mensaje facsímil, lo describiremos seguidamente. Refiriéndonos a las Figuras 10 y 11 describiremos después con mayor detalle el FEP y el Procesador de Comunicaciones. Para los fines de la descripción siguiente del protocolo de acceso del mensaje, es suficiente que el Procesador de Comunicaciones implicado sea el procesador del SNPAS local, que dirige el Circuito de Entrada del Procesador (FEP) que, a su vez, comunica con diferentes terminales en un modo de orden/respuesta, por dónde se edita una orden desde el Procesador de Comunicaciones al FEP para realizar una operación específica en un portador del FEP específico, al final de lo cual el FEP proporciona una respuesta y, hasta que dicha respuesta desde el FEP se haya recibido por el Procesador de Comunicaciones, no se editará una orden subsecuente desde el Procesador de Comunicaciones al FEP.

Las comunicaciones entre un FEP y un Procesador de Comunicaciones del SNPAS, en un modo de orden/respuesta para

cada canal del FEP, se editan por el Procesador de Comunicaciones del SNPAS como rutinas de reunión de software, conocidas algunas veces como rutinas de vector. Estas rutinas de Vector pueden catalogarse como Rutinas de Control de Conexión, descritas en relación con la Figura 5; Rutinas de Control de Abonado, descritas en relación con la Figura 6, Rutinas de Control de Máquina, descritas en relación con la Figura 7.

La Rutina de Control de Conexión se refiere al control de la conexión de los teléfonos de abonado al sistema, esto es, las conexiones de establecimiento y liberación por medios de, por ejemplo, un aparato de teclado (de AT&T) y un acoplador fabricado por Western Electric, u otros equipos de conexión para telecomunicaciones conocidos.

Antes de continuar, definamos las siguientes condiciones de estado de canal y órdenes, que representan en conjunto el protocolo de control de conexión.

Listo para contestar- El FEP queda libre de conmutar, responde llamadas responde al conocimiento (ACK) al Procesador de Comunicaciones y mantiene la conexión. Si no aparece la llamada, el FEP responde t/O (fuera de tiempo) después de un período de tiempo especificado y se ocupa de la conmutación.

Ocupado para Conestar- El FEP se libera de la conmutación, contesta a las llamadas, informa al que llama de que el sistema no está disponible, liber la conexión, pasa a ocuparse de la conmutación y responde ACK. La respuesta a la no existencia de llamada es la misma que para el caso de Listo para Conestar. Si no se dispone de otro modo, todos los canales están ocupados.

Interceptar- El FEP trãnsfiere a una consola atendida y responde ACK. La aparici3n de una orden posterior restaura la conexi3n al FEP.

5 Rellamada- El FEP termina el proceso en curso, requiere al abonado para llamar nuevamente, libera la conexi3n, responde ACK y pasa a ocuparse de la conmutaci3n.

Abortar- El FEP libera la conexi3n, responde ACK y se ocupa de la conmutaci3n.

10 Adi3s- El FEP dice adi3s al abonado, libera la conexi3n, responde ACK y pasa a ocuparse de la conmutaci3n.

Marcaci3n- Se marca el n3mero proporcionado por el Procesador de Comunicaciones por el FEP, el FEP responde ACK cuando el abonado estãn en l3nea o fuera de tiempo (T/O) si no responde el abonado despu3s de un per3odo de tiempo predeterminado.

15 Extensi3n- El FEP requiere el n3mero proporcionado por el Procesador de Comunicaciones. El FEP responde con ACK.

Espera - Requiere el conocimiento del abonado, y FEP responde con ACK. FEP responde T/O despu3s de un tiempo predeterminado sin este conocimiento.

El proceso de control de conexi3n, que utiliza el protocolo anterior se describe en relaci3n con la Figura 5, en d3nde los canales de FEP se conmutan en/y fuera del modo Listo para Contestar.

25 El procesador central procesa peri3dicamente cada portador de entrada (canal) del FEP 500 a trav3s de la l3nea 504 en el modo de Listo para Contestar. Si un operador terminal no marca en el intervalo de un tiempo predeterminado a trav3s de la l3nea 502 despu3s de la edici3n de la orden Listo para Contestar, el FEP 500 interrumpe el Proce-

30

sador de Comunicaciones del S̄NPAS (etapa 1). Una dirección de interrupción de la Tabla de Servicio de Interrupción 506 inicia la ejecución de una rutina de interrupción 508. Esta acción enlaza la Tabla de Control de Tareas (TCT) 510 que corresponde al canal procesado específico con la cadena de exploración de línea (etapa 2) a través de un indicador de dirección 512. Se establece una marca en el TCT 514 que indica la condición de interrupción del FEP (etapa 3), y se establece un vector explorador a través de la línea 516 para procesar la interrupción de FEP mencionada anteriormente (etapa 4), en cuyo punto la rutina de interrupción del FEP vuelve al punto de interrupción (etapa 5). En la siguiente exploración de línea por la rutina Directora de la Tabla de Control de Tareas 514 (etapa 6), se ejecuta un vector explorador del "proceso de interrupción del FEP" (etapa 7) la cual rutina lee la memoria de FEP para obtener el código de interrupción para este canal específico y determinar que la respuesta apropiada es un "no conocimiento" (NAK) (etapa 8). En resumen, el código del estado del canal de FEP se lee por el vector de interrupción de FEP mostrado en 520, a través de la línea 502. Se edita entonces otra orden de Listo para Contestar al portador del FEP específico (etapa 9) a través de la línea 504 en respuesta a la respuesta NAK que aparece en la etapa final de la secuencia, la desconexión de la Tabla de Control de Tarea 514 del explorador de línea y la salida y procesamiento de la rutina al siguiente portador de FEP (etapa 10) por el Director 424.

Como una laternativa a la secuencia anterior, cuando el usuario de un terminal, a través de un portador del FEP específico establece contacto con el FEP en el portador es-

pecífico del usuario, elevando el nivel de la tensión de la línea indicadora de llamada, el FEP interrumpe el Procesador de Comunicaciones con la rutina de interrupción del proceso del FEP, que lee el FEP como se describió anteriormente

5 en la etapa 8, a través de la línea 502 para obtener el , código de interrupción en el canal específico por el que el usuario del terminal haya establecido contacto con el FEP, sin embargo, en este momento, es apropiada una respuesta de conocimiento (ACK). Cuando ocurre esto, el índice

10 del vector explorador 524 se repone por un vector explorador a través del indicador de dirección 526 para acceder o "apuntar" a la parte superior de la lista del vector explorador de Descolgado 528, siendo esta operación sustitutiva de la etapa 9 descrita anteriormente cuando la respuesta

15 es NAK en lugar de ACK, la etapa final (etapa 10) de salida y volver a tomar la rutina Directora es como antes. La lista del vector explorador de Descolgado contiene direcciones tales como las direcciones 530, 532 y 534 de rutinas de Descolgado, tales como las rutinas de Descolgado 536, 538

20 y 540. Como se puede ver, existe una variedad de rutinas a disposición del usuario de un terminal una vez que acceda al sistema a través del control de conexión descrito antes, mientras que una rutina de interrupción hace que el FEP procese el siguiente canal cuando no existe indicación en

25 un canal de que el usuario desea acceder al sistema.

Una vez que se obtiene el acceso al sistema por el Proceso de Control de Conexión, es necesario un elemento para intercambiar información de control con un abonado (usuario) terminal. Este elemento está proporcionado por el

30 Proceso de Control de Abonado, descrito en relación con la

Figura 6, y mediante el cual una rutina del software en el Procesador de Comunicaciones, hace que el FEP 600 responde con un mensaje de voz apropiado que invita al abonado del terminal a introducir los datos apropiados a través del dispositivo de conexión del aparato de teclado acumulando la información del aparato de teclado generada una vez requerida, realizando una comprobación de los datos generados en el aparato de teclado introducidos y acumulados y, finalmente, acoplando los datos de comprobación de error en el Procesador de Comunicaciones. Antes de describir el Proceso de Control de Abonado, definiremos los siguientes términos:

Búsqueda I.D - FEP requiere el abonado para que introduzca ID. FEP responde ACK si ID se ha introducido apropiadamente, NAK si se ha hecho impropriadamente, T/O (fuera de tiempo) si no se ha introducido dentro de un período de tiempo especificado.

Requisición de Prioridad - Lo mismo que lo anterior excepto que se requiere la prioridad.

Requisición de Destino - Lo mismo que lo anterior excepto que se requiere el destino.

Mensaje Pendiente - FEP informa al abonado de que está pendiente un mensaje y espera a que el abonado lo introduzca en el aparato de teclado. FEP responde ACK si el abonado desea enviarlo, NAK si no lo desea, T/O si no responde

Reensayar - FEP requiere al abonado para que repita la última transferencia (El Procesador de Comunicaciones identificó la orden anterior). Las respuestas son las mismas que para la orden anterior.

Continuar- FEP requiere al abonado e informa al Procesador de Comunicaciones de la subsecuente respuesta del Abonado (destino, prioridad, transferencia de datos, cancelar la entrada anterior).

5 Verificar Copia - FEP requiere al abonado para que verifique la copia recibida. FEP responde ACK si está de acuerdo, NAK si no lo está y T/O si el abonado no responde.

Instrucción N del Operador - FEP requiere al abonado como se especifica por CP. FEP responde ACK. (Mensajes tales como poner máquina a 4 minutos").

10 Requisición del Parámetro N - FEP requiere al abonado para que introduzca dígitos en el aparato de teclado. FEP responde ACK cuando aparecen dígitos, NAK si hay error, T/O si no hay respuesta.

15 Fuera de Tiempo (T/O) - La terminación de un período de tiempo predeterminado dentro del cual debe existir una respuesta.

La primera etapa en el Proceso de Control del Abonado es la exploración de la cadena exploradora de línea de las Tablas de Control de Tareas 602, 604, 606 etc., por la rutina Directora 424 que examina cada una de las Tablas de Control de Tareas y, en respuesta, activa una diversidad de rutinas de Descolgado 608 (etapa 1). Por supuesto que la rutina de Descolgado 608, a la que se accede por un indicador de dirección 610 desde una lista del vector explorador de Descolgado de direcciones 612, de las que la dirección 614 que corresponde al indicador 610, aunque es solamente una, contiene otras varias rutinas de Descolgado. Sin embargo, por simplicidad en la descripción, solamente describiremos una aquí.

30

En resumen, la rutina de Descolgado 608 crea una Tabla de Mensaje de núcleo adquiriendo una memoria intermedia de un conjunto de tarjetas comunes, estando enlazada esta Tabla de Mensaje a la Tabla de Control de Tarea 602 asociada con el portador de FEP particular utilizado en ese momento. El enlace se establece a través de la línea 616 a la dirección de la Tabla de Mensaje 618 en la Tabla de Control de Tareas 602, esta Tabla de Control de Tareas 602 tiene almacenados los datos que indican el estado de la operación particular que se realiza en el portador de FEP particular que está en uso. Esto constituye la etapa 2 de la secuencia. Como puede verse, la Tabla de Mensaje 620 se accede por el indicador 622 desde la dirección de la Tabla de mensaje 618 almacenada en la Tabla de Control de Tareas 602. Al final de la etapa 2, se repone la siguiente dirección de rutina en la Tabla de Control de Tareas 602 para indicar a la rutina Directora 424 la siguiente rutina a ser ejecutada en la secuencia de vectores que comprende la operación de recogida de mensajes. De esta manera, cada rutina está programada para ser informada de la siguiente rutina y programa también para que pueda localizar tal rutina siguiente en la Tabla de Tareas 602 en virtud de un conocimiento programado de la posición de tal siguiente rutina en la Tabla de Tareas. Como ejemplo de lo anterior y para la secuencia particular de Descolgado descrita, la rutina de Descolgado 608 activada por el Director, descrita en la etapa 1, editaría entonces una orden de búsqueda ID (etapa 3) a través de la línea 624 al FEP 600', dicha orden se recibe en el FEP (etapa 4) que, a su vez, hace que la rutina de búsqueda de ID sea la siguiente rutina activada a través de la línea 626 (etapa 5) y hace

finalmente que la Directora 424 salga de la rutina de Búsqueda ID, (etapa 6).

La anterior secuencia de etapas de la 1 a la 6 hace que el FEP active su unidad de control vocal 1016 descrita con detalle con referencia a la Figura 13, cuya activación se muestra operacionalmente como la etapa 7 en la Figura 6. La unidad de control vocal, a su vez, transmite una orden de audio a través de una línea telefónica 630 al abonado terminal (etapa 8). El abonado, en respuesta a la salida de voz del transceptor telefónico 632, introduce la información requerida para acoplar al FEP 600 a través del aparato de teclado del operador 634 y a través de la línea 636, la cual entrada de datos por el operador constituye la etapa 9 del Proceso de Control de Abonado. El Procesador de Comunicaciones se interrumpe entonces a través de la línea 638 para indicar estos datos nuevamente adquiridos (etapa 10). Esta indicación se constituye por la asociación de los datos generados por el operador con una dirección particular 640 en la Tabla de Servicio de Interrupción 454 descrita con referencia a la Figura 4(a), la cual Dirección de la Tabla de Servicio de Interrupción 640 tiene un indicador de dirección 642 asociado a la misma, dicho indicador 642 se acopla a la tabla de rutina de interrupción del FEP644 (etapa 11) para la selección de una rutina de interrupción particular almacenada en la misma. La rutina de interrupción seleccionada se acopla a través de la línea 646 a la Tabla de Control de Tareas 602 para establecer una marca en la misma (etapa 12), la cual marca indica que se ha recibido una interrupción de FEP como consecuencia de los datos introducidos. En este punto, la rutina Directora vuelve, por

la rutina de interrupción del FEP 644, al punto de interrupción (etapa 13).

La activación de la rutina Búsqueda ID, como se ha dicho antes, hace que la rutina Búsqueda ID que se muestra en 648 examine la Tabla de Control de Tareas 602, ilustrada por la línea 650 como etapa 14 para determinar si, en efecto, se ha introducido una respuesta desde el abonado. En el supuesto de que no se haya recibido todavía una respuesta del abonado y no se haya indicado fuera de tiempo (T/O), saldrá la rutina Búsqueda ID 648, esto es, la Directora 424 volverá al estado existente antes de la activación de la rutina Búsqueda ID. Por otra parte, si ha tenido lugar un fuera de tiempo, se solicita nuevamente al abonado, por la unidad de control vocal 1016 a través de la línea telefónica 630, una repetición de las etapas anteriormente descritas, Sin embargo en el supuesto de que se haya recibido la respuesta y no ha tenido lugar el fuera de tiempo, la rutina de búsqueda ID 648 lee el ID (identificación del usuario) introducido en el FEP por el operador terminal para su proceso posterior, que incluye como etapa 15 la comprobación del ID en una lista de ID editando la orden siguiente si fuera necesario, actualizando las siguientes direcciones de rutinas del vector a una rutina capaz de procesar la respuesta esperada y, finalmente, la terminación de la secuencia de la rutina.

Una vez que se establece la conexión entre un operador y un FEP, como se describió en relación con la Figura 5, y se ha obtenido toda la información requerida del usuario, como se describió con referencia a la Figura 6, debe establecerse el control real del terminal de datos. Este establecimiento del control de la máquina se ilustra operacionalmente

por la Figura 7 para el control de una máquina facsímil 702 por un FEP 700 después de la conexión descrita y se ha establecido el control del abonado. Antes de describir el proceso de control de la máquina, definiremos las siguientes condiciones:

5 Tranferencia Dentro - El FEP inicia la secuencia de entendimiento especificada por el Procesador de Comunicaciones para hacer que transmita la maquina de facsímil. El FEP responde Memoria Intermedia Llena con las direcciones de la memoria intermedia al ensamblar un paquete, T/O si no hay respuesta en el tiempo especificado, Error si falla la señal, Cancelación si el abonado inicio un alto, EOM con las direcciones de la memoria intermedia cuando está disponible el último bloque, Fallo si falla el entendimiento.

15 Transferencia Fuera - El FEP inicia la secuencia de entendimiento especificada por el Procesador de Comunicaciones para hacer que reciba la máquina de facsímil. El FEP responde Memoria Intermedia Vacía con las direcciones de la memoria intermedia, T/O si no existe respuesta en el tiempo especificado, Cancelación si el abonado inició un alto, Fallo si falla el entendimiento.

25 Transferencia Parcial Fuera - Lo mismo que al anterior excepto que el Procesador de Comunicaciones especifica el tamaño del bloque y el FEP responde con ACK cuando la memoria intermedia está vacía.

 Recomienzo - FEP detiene la transferencia en curso y solicita al abonado para que recomience la operación. FEP responde ACK ó T/O si no responde el abonado en el tiempo especificado.

30 La máquina de facsímil 702 se instruye para comenzar

la transmisión serie de sus datos mientras que explora el FEP 700 como sigue. La rutina Directora 424 activa una transferencia de datos en la rutina 704 a través de la línea 706 (etapa 1), la cual transferencia en rutina se acopla como una secuencia de control a través de la línea 706 al FEP 700 (etapa 2) que hace que se genere un indicador de lista del vector de exploración de Descolgado 710 por la tabla del vector de exploración de Descolgado 712 (etapa 3). Este, a su vez, por medio de la transferencia en rutina 704 hace que tenga lugar la transferencia de los datos en curso en virtud de la recepción de la transferencia en rutina en el FEP 700 (etapa 4) a través de la línea 714 y la transferencia en curso a través de la línea 716 al FEP (etapa 5). Después de transferir al FEP, los datos de facsímil se comprimen y acumulan en forma comprimida en una Memoria de Libre Acceso (RAM) de paquete, como se describe en relación con la Figura 11 hasta que las dos memorias intermedias de 8 K-bit del FEP por canal están llenas (las memorias intermedias 1112 de la Figura 11). Las dos memorias intermedias de 8 K-bit no se llenan simultáneamente, sino que al llenarse una de ellas, se conmuta la otra al canal para la acumulación de datos, en cuyo punto se interrumpe el Procesador de Comunicaciones (etapa 6) por una rutina de interrupción 718 seleccionada por una dirección de interrupción 720 de la Tabla de Servicio de Interrupción 722. La selección de la rutina de interrupción del FEP 718 (etapa 7) sirve para establecer una marca en la Tabla de Control de Tareas 720 (etapa 8) que indica que se ha recibido una interrupción del FEP. La rutina sale entonces (etapa 9) para hacer posible que la siguiente rutina, una rutina de recogida de datos 724

que espera la interrupción anterior y que, después de esperar la rutina de interrupción 718 (etapa 10) lee el código de interrupción del FEP (etapa 11), adquiere una memoria intermedia de paquete para iniciar la transferencia bloque de los datos en paquetes desde el terminal facsímil, acoplando los parámetros necesarios, tales como la dirección de la memoria intermedia y una cuenta de byte, a la memoria intermedia de paquete adquirida para hacer posible la transferencia mencionada antes (etapa 12) a la memoria intermedia de paquete 726. Finalmente, la rutina de recogida sale (etapa 13) a la Directora para que pueda repetirse el ciclo.

El proceso final implicado en la recepción de mensajes del FEP es el proceso de almacenaje en disco del paquete, descrito en relación con la Figura 8. Este proceso tiene lugar después de que se haya transferido un paquete entero de datos desde el FEP 800 por el Proceso de Control de Máquina descrito con referencia a la Figura 7, en cuyo punto una condición de "memoria intermedia de paquete vacía" hace que el FEP 800 interrumpa al Procesador de Comunicaciones (etapa 1) a través de la Tabla de Servicio de Interrupción 802, que, a su vez, activa la rutina de interrupción de FEP 804 (etapa 2). La rutina de interrupción del FEP 804 dispara una rutina de vector explorador apropiada (etapa 3) en la cadena exploradora de línea de las Tablas de Control de Tareas 806, 808 y 810. La rutina del Vector explorador seleccionada de la Tabla 806, por ejemplo, además de realizar una comprobación de error en la transferencia de datos en paquetes del FEP, introduce también la dirección de la memoria intermedia de paquete particular a la que se han transferido los datos de entrada en una cola de requisiciones al disco del Proce-

sador de Comunicaciones, en una cola de escritura de disco 812 bajo el control de una sub-rutina de escritura de disco 814 (etapa 4). Después de que se ha hecho una entrada en la Table de Tareas 806 indicativa de una señal que muestra que se han puesto en la cola de direcciones para entrar en el disco (etapa 5), se accede a la dirección particular de una sub-rutina de control en la Directora 424 para controlar la cola de escritura del disco 812. La rutina de escritura del disco 814 inicia entonces una transferencia DMA de los datos de la memoria intermedia de paquete en la memoria de paquete 816 al disco del Procesador de Comunicaciones 818 a través del controlador del disco 820, cuya transferencia puede considerarse colectivamente como la etapa 8 del proceso de almacenaje en disco de paquetes. En este punto de la secuencia una rutina de interrupción completa de escritura del controlador de disco 820 a través de la línea 822 indica los datos transferidos al disco a través de la Tabla de Servicio de Interrupción 802 (etapa 9) que, por medio de un indicador de dirección 824, dispara la rutina de interrupción completa de escritura 826 (etapa 10) para alertar a la Tabla de Control de Tareas 806 del transferidor de datos (etapa 11). En la siguiente exploración de la Tabla de Tareas 806 por la rutina Directora 422, la rutina descrita anteriormente que mantiene la pista de la recogida de la memoria intermedia de paquetes en el disco 818 se activa (etapa 12) y la rutina de control del disco se indica operacionalmente en 828, la cual entra en la Tabla de Mensajes 830, la dirección del sector del disco 818 en dónde estaba escrito el paquete particular (etapa 13) y que se ilustra en la Tabla de Mensajes 830 a 832. Se borra o se "de-asigna" entonces la memoria

intermedia de paquetes 816 y queda a la espera la siguiente memoria intermedia de paquetes, alertando así la rutina Directora a través de la línea 834 (etapa 14). Aún cuando el proceso descrito anteriormente lo ha sido en relación a una adquisición de paquete única y su escritura en el disco, debe entenderse que el proceso se repite para cada paquete recibido hasta que todos los paquetes de datos que comprende el mensaje facsímil recibido se haya escrito en el disco 818 y se haga una entrada en la cola de envío de mensajes que indica la dirección del sector del disco 818 de la Tabla de Mensajes 830. Por razones de simplicidad, no hemos descrito la cola de prioridad; sin embargo, debe también entenderse que, en realidad, las entradas que constituyen la cola de envío del mensaje total están enlazadas en una de las tres cadenas, de acuerdo con la prioridad con la que debe enviarse el mensaje facsímil particular asociado, esto es, dentro de quince minutos, dentro de cuatro horas, o por la noche. La transmisión de mensajes desde un SNPAS remoto o de tránsito lo describiremos seguidamente. La rutina Directora 424 que controla el flujo de tráfico y las condiciones de tráfico apropiadas, esto es, las condiciones de bajo tráfico, provoca la iniciación de una sub-rutina que lee los mensajes del disco 818 y los transmite a través de la red de comunicaciones a remotas localizaciones de comunicación, que puede o no ser el destino final del mensaje transmitido.

Al llegar a un SNPAS de tránsito, se lee el paquete en la memoria intermedia de paquete. Después de asegurarse de que el paquete está en tránsito, se accede a una tabla de encaminamiento, que hace que el paquete sea puesto en cola,

en una cola de línea de salida opcional, de una manera similar a como se ha descrito en relación con el SNPAS fuente. El encaminamiento se consigue por medio de un algoritmo de encaminamiento que, en esencia, es una representación en matriz de los nodos de conmutación y líneas. Explorando esta matriz y los datos de recepción indicativos de las colas asociadas con cada línea, puede elegirse la línea óptima.

Los tres protocolos implicados en la transmisión de mensajes son:

10 Protocolo de Línea, que describe los datos intercambiados entre los procesadores de comunicaciones SNPAS enlazados;

 Protocolo de Paquetes, que describe los datos intercambiados entre los procesadores de comunicación de los SNPAS de origen y de destino; y

 Protocolo de Mensaje, que describe el intercambio de mensajes entre los procesadores de comunicación de los SNPAS de origen y entre los terminales y los portadores del FEP.

En las Figs. 9(a) y 9(b) se ilustra una descripción simplificada de la realización de los anteriores protocolos y el filtrado de los diferentes campos durante la transmisión. Refiriéndonos a la Figura 9(a), el Protocolo de Enlace 900 proporciona, a modo de ejemplo, el reconocimiento de la dirección del enlace de Hardware con una inserción de software de direcciones secundarias. Una marca de 8-bits (F) identifica la secuencia de apertura y cierre de un cuadro; un campo de dirección de 8-bits (A) identifica cualquier información sobre el origen o destino del enlace secundario; un campo de control de 8-bits (C) incluye cualquier información de control que se requiera para realizar las funciones

de control del enlace; el campo de información de longitud de bits variable (L) contiene el texto básico que debe transportarse; y una secuencia de comprobación de 16-bits (FCS) contiene la información de comprobación de error de datos.

5 Todos los campos anteriores (excepto el campo de información) se insertan por el procesador del SNPAS fuente de la transmisión y, de la misma manera, se quitan, o "se despoja de" por el procesador del SNPAS de destino a la llegada, dejando solo el campo de información que constituye el paquete
10 de datos real.

El paquete 902 está controlado por el protocolo de paquete y se incluye en el campo de información del cuadro de enlace 900 controlado por el protocolo de enlace. El paquete se sub-divide en encabezamiento e información, descritos
15 con detalle en relación con la Figura 19. El encabezamiento contiene la información de control de paquete, mientras que la porción de datos contiene la información del mensaje.

El segmento del mensaje 904 comprende la porción
20 de datos del paquete y está controlado por el protocolo de mensaje. El segmento de mensaje se subdivide además en un campo de información (I) y un campo de datos. El campo de información incluye datos tales como la prioridad del mensaje, el tipo de la máquina de facsímil, la velocidad de explotación facsímil, la velocidad del tambor, etc. El campo de
25 datos consiste de las distribuciones de bits del paquete, que están como se ha dicho antes, comprimidas para los datos de facsímil.

La transmisión de los datos de facsímil en paquetes
30 desde un SNPAS fuente a un SNPAS de destino a través de un

SNPAS de tránsito que utiliza el protocolo descrito con referencia a la Figura 9(a), lo describiremos operacionalmente con referencia a la Figura 9(b).

5 La recuperación del error a nivel de enlace se consigue manteniendo memorias intermedias para almacenar varios cuadros, tales como seis, en todos los procesadores del los SNPAS, los cuales cuadros se numeran secuencialmente y se retienen en las memorias intermedias hasta que se reconoce la recepción. Si la secuencia de cuadro es incorrecta, los cuadros recibidos se descartan y se requiere la retransmisión desde la memoria intermedia del SNPAS de donde se recibió la transmisión.

15 La recuperación de error a nivel de paquete se incorpora en el algoritmo de la rutina. Por ejemplo, a fin de poder evitar el "ping-pong" de un paquete entre SNPAS, existe un algoritmo (o regla matemática) para impedir la retransmisión de un paquete desde el SNPAS que no haya recibido, sin importar el hecho de que el algoritmo de encaminamiento muestre que éste es el camino óptimo. De la misma manera, los paquetes presentes en la red demasiado tiempo, "paquetes errantes", pueden descartarse, ya que, estadísticamente, se habrá realizado ya una requisición para su retransmisión.

25 La recuperación de error a nivel de Mensaje puede realizarse proporcionando datos indicativos del número total de paquetes que constituyen un mensaje en un número predeterminado de paquetes, tal como en los tres primeros paquetes, haciendo así posible una comprobación rápida del número de paquetes que se esperan. Los errores en los paquetes recibidos son determinables por la suma que compruebe

30

los paquetes pendientes. Como se ha mencionado anteriormente, todos los paquetes se retienen en el disco en el SNPAS fuente hasta que se ha recibido con éxito todo el mensaje en el SNPAS de destino.

5 Las órdenes que comprenden datos y la información del mensaje facsímil en las líneas 906 de un terminal facsímil 910 se acoplan al SNPAS fuente 912 en su Entrada del Procesador (FEP) 914, en dónde se comprimen en bloques de 8-bits y se almacenan en el núcleo 916. El protocolo descrito en
10 relación con la Figura 9(a) se inserta por el procesador del SNPAS en 918, escrito en el disco 920, encaminado por la matriz de encaminamiento 922 para el proceso del protocolo del paquete en 924 en dónde el encabezamiento se separa del paquete antes del reensamble de un nuevo encabezamiento por
15 los elementos de proceso del protocolo de línea 926. El Procesador de Comunicaciones 928 acopla el paquete con el protocolo de enlace 900 adjunto en la red de comunicaciones 930. Las inserciones del protocolo 918, 924 y 926 y el encaminamiento 922 se consiguen todas internamente por el
20 procesador de Comunicaciones 928 del SNPAS fuente.

El paquete se encamina a un SNPAS de tránsito 932 y se recibe por el Procesador de Comunicaciones del SNPAS de tránsito 934 en dónde se almacena en memorias de paquetes antes de que el Procesador de Comunicaciones 934 procese
25 el protocolo de enlace en 936, el protocolo de paquete en 938, y el encaminamiento en la matriz de encaminamiento 940. Los campos de dirección y control se reinsertan en el procesamiento del protocolo de enlace de transmisión 942 y finalmente, el paquete, con el protocolo de enlace total, se re-
30 transmite desde el Procesador de Comunicaciones del SNPAS

de tránsito 934 en la red on-line 944, al SNPAS de destino 946.

A la llegada del primer paquete de almacenaje 900 al receptor 948 del Procesador de comunicaciones del SNPAS de destino 946, se aduieren las tablas de paquete y mensaje descritas anteriormente. Después de quitar el campo de control del paquete por el protocolo de enlace del Procesador de Comunicaciones del SNPAS 950, el campo de información se procesa por el protocolo de paquete en 952 bajo el control de la matriz de encaminamiento 954. El Paquete se lee en la memoria de núcleo 956 después de separar el encabezamiento en 957 y se almacena en el disco 958 de una manera similar a como en el SNPAS fuente 912. Después de la recepción libre de error del mensaje completo (como determinan los números de secuencia del paquete), la tabla de mensaje se actualiza para los fines de prioridades y envío de mensaje. En los momentos apropiados de baja carga del sistema los mensajes en paquetes almacenados se leen del disco 958 hacia el FEP 960 para su transmisión a través de la línea 962 al terminal facsímil de destino apropiado 964. Una requisición del mensaje se acopla desde el terminal 964 al FEP 960 a través de las señales de tonos en la línea 964. Es importante hacer notar que el terminal facsímil fuente 910 y el terminal facsímil de destino 964 pueden ser totalmente incompatibles en la cadencia de exploración, modulación, protocolo, etc., sin embargo, el protocolo descrito y la puesta en paquetes por el FEP, descritos con detalle anteriormente, hacen posible la comunicación entre ambos terminales que, de otro modo, serían incompatibles. Utilizando la Tabla de Mensaje, los paquetes que constituyen el mensaje facsímil se leen

secuencialmente del disco al núcleo, para transferir a los terminales facsímil servidos por cada FEP, un paquete a la vez.

En la Figura 9(c) se ilustra un diagrama bloque simplificado de los elementos principales utilizados para realizar la transmisión de mensajes descrita operacionalmente con referencia a la Figura 9(b). El terminal facsímil fuente 910, ilustrado, uno de los hasta treinta y dos servidos por el FEP 914, puede generar una salida de datos tanto en forma acústica, analógica o digital. Los datos generados acústicamente y los analógicos generados por el uso de un aparato de teclado 967 del terminal facsímil 910 se acoplan a un acoplador acústico normalizado 969 de un aparato telefónico convencional para iniciar la transmisión. Las salidas facsímil en forma digital o analógica de la máquina facsímil 968, después de acoplarse a la línea 972 a través de modems normales y disponibles en el mercado, se acoplan después a una central telefónica 974. Por razones de simplicidad, se ilustra la técnica de los datos acoplados acústicamente. Estas señales se acoplan a través del equipo demarc standard 970, tal como se suministra por la Compañía de Telefonía y Telegrafía de América a través de las líneas de voz a la central local 974. La central 974 se acopla a la central 977 del SNPAS fuente 912 a través de las líneas de enlace 978 dúplex-total (FDX) de alta velocidad. Como se ha mencionado anteriormente, las líneas de la central local 974 al terminal de facsímil puede comprender un bucle del aparato de voz. Las líneas anteriores pueden ser líneas de marcaje convencional (compartidas) o líneas alquiladas (dedicadas). Desde la central 977 del SNPAS fuente, las señales analógicas se acoplan

a través del demarc 979 (que puede incluir un demarc de AT8T como se ha descrito anteriormente) a otro demarc 980, que puede incluir un demarc ITT normal desde el que las mencionadas señales se conectan a un Dispositivo de Acceso de Datos (DAA) 981. El DAA 981 comprende el equipo de interconexión ya disponible requerido para ser utilizado por y ser alquilado por AT8T y que contiene un multicircuito para limitar la frecuencia, las excursiones de corriente y tensión de equipo que no sea de AT8T y conectado a las líneas portadoras comunes. El equipo de control y modificación convencional 982 proporciona la interconexión entre las líneas de comunicaciones, de acuerdo con el equipo de control telefónico normal. Después del acoplamiento a través del equipo de control y modificación 982, un conmutador de entrada (FES) 984 funciona como un conmutador de concentración que hace posible que el mayor número de líneas 985 se interconecte con el menor número de portadores del FEP. Tales conmutadores ya son conocidos y se describen con detalle en el ITT Reference Data For Radio Engineers, sexta edición, 1975, del 36-1 al 36-7.

La unidad Adaptadora de Línea particular (LAU) descrita en detalle en relación con la Figura 12 y que es una parte del FEP 914, entre otras funciones, adapta la impedancia, en corriente y tensión, entre las líneas portadoras comunes y los portadores de entrada del FEP 914. Cuando se acoplan al FEP 914, los datos de entrada inician las diferentes secuencias de control entre el FEP y el Procesador de Comunicaciones del SNPAS fuente 928 descrito después. Después de que los datos de entrada se demodulan, se convierten en un formato digital en forma de paquetes, se comprimen y almacenan por el FEP 914, se acoplan a un bus de la Me-

moria de Acceso Directo (DMA) 987. El control orden/respuesta secuencial entre el Procesador de Comunicaciones 928 y el FEP 914 se define en otro lugar de esta memoria; sin embargo, tales señales de control a través de la línea 988 se interconectan a través del bus multiplexador del Procesador de Comunicaciones 989. Después de la conexión y de haberse establecido el control del abonado como se describió en relación con las Figuras 5 y 6, respectivamente, tiene lugar la transmisión de datos, datos comprimidos y almacenados en una memoria intermedia del FEP, el FEP 914 interrumpe el Procesador de Comunicaciones 928 para iniciar una transferencia de datos en bloque a través del bus del Procesador de Comunicaciones DMA, como sigue.

Una señal de control se genera por el FEP 914 en la línea 988 que interrumpe el Procesador de Comunicaciones 928 haciendo que suspenda temporalmente su operación en curso y devuelva una señal de conocimiento al FEP 914. El FEP responde entonces con una señal de sincronización y transmite su número de identificación de portador al Procesador de Comunicaciones 928. El Procesador de Comunicaciones 928 almacena entonces la información sobre el estado del programa en curso en su memoria de núcleo 990, dispone un registro de datos y salta a una rutina de servicio de interrupción a través de su tabla de interrupción, la cual rutina, después de comprobar el estado del dispositivo, compone la dirección de la memoria intermedia y la cuenta de byte disponible e instruye al FEP para que inicie su transferencia de datos. Durante la transferencia de datos del FEP al CPU 928, el Procesador de Comunicaciones 928 queda libre para almacenar el estado del programa interrumpido almacenado en el núcleo

y continua la ejecución del mismo. Al terminar la transferencia de datos, se genera otra interrupción por el FEP al Procesador de Comunicaciones 928 en cuyo momento el Procesador de Comunicaciones 928 determina si la transferencia estaba libre de error, en cuyo caso, vuelve a su tarea de interrupción o, de lo contrario, se reinicia la transferencia. Como se describió anteriormente, los paquetes de datos pasan del núcleo 990 al disco 992 a través del bus DMA 987 y su unidad de control asociada 994 hasta el momento en que tiene lugar la transmisión a la siguiente localización de SNPAS, esto es, el SNPAS de tránsito 932. Los paquetes de datos se leen del disco 992 y se vuelven al núcleo a través del canal DMA 987 y luego, por una transferencia DMA de nuevo, a través de la línea 996, al controlador de comunicaciones del SNPAS fuente (CC) 997. El disco 992 es un disco de cabeza móvil de 100 megabits-300 para el almacenaje de paquetes temporal aunque puedan utilizarse también transportes de cinta para el almacenaje de mensaje durante seis meses, por ejemplo, sobre bobinas apropiadas de cinta magnética.

El controlador de Comunicaciones 997 incluye software suficiente para el manejo e interpretación de los protocolos orientados de bit descritos con detalle en otro lugar de esta descripción. Los paquetes de datos del controlador de comunicaciones 997, con el protocolo de enlace apropiado a los mismos, se acoplan a través de una Unidad Adaptadora de Línea 998 de diseño semejante a la Unidad Adaptadora de Línea 986, al equipo de búsqueda y control 982, en donde se acopla para la transmisión digital a alta velocidad, por ejemplo a 56 K-baudios, por las líneas portadoras comunes. Si, por ejemplo, se utilizan los datos de la red

de servicio digital (DDS), el dispositivo de conversión digital apropiado dentro del equipo de control y búsqueda 982 comprende una unidad de servicio de datos normal (DSU) 999. Alternativamente, cuando se utilizan líneas convencionales de alta velocidad, la unidad 999 podría incluir un modem apropiado. Es suficiente para un entendimiento del acoplamiento de los datos a la línea de transmisión que el DSU proporcione un interface para las señales procedentes del equipo terminal de datos para pasar a las señales bipolares requeridas por la red digital y proporcione también funciones tales como la ecualización del bucle y la protección de la red. Después de la conversión por el DSU 999 mencionada antes, los datos se acoplan a través del equipo demarc ITT 1000 y el equipo demarc 1002 de AT&T, mencionados anteriormente, desde donde se acoplan a las líneas de transmisión digitales tales como las líneas de transmisión del servicio digital 1004 a la central telefónica 977, vuelven por las líneas de transmisión digital 1006, y por la red, a la central del siguiente SNPAS 1008 de configuración idéntica a la central 977 desde donde se acoplan, a través de las líneas de transmisión digitales 1010, al SNPAS de tránsito 932, que incluye un equipo de configuración prácticamente idéntica a la descrita en relación con el SNPAS fuente 912. En resumen, los paquetes de datos que entran en el SNPAS de tránsito 932 se acoplan a través del almacenaje de núcleo 1012 y luego se conmutan de nuevo a través de las líneas de transmisión digital 1014 tan rápidamente como sea posible. Los demarcos 1016 y 1018 de AT&T, y los demarcos 1020 y 1022 de ITT, la unidad de servicio digital 1024 y 1026, los paneles de control e interconexión 1028, las porciones de la Unidad Adaptadora de Línea

1030 y 1032 de sus respectivos FEP, el controlador de comunicaciones 1034, el Procesador de Comunicaciones 1036, el bus multiplexor 1038 y el bus DMA 1040 corresponden todos al equipo descrito con referencia al SNPAS fuente 912. Desde las líneas 1014, los paquetes de datos se acoplan a la central 1042 del SNPAS de destino 946 a la central local 1044 del SNPAS de destino en donde los datos recibidos se almacenan en el disco 1046 desde donde se acoplan, para su envío local, a través del equipo del SNPAS de destino ilustrado, que es idéntico al ilustrado respecto al SNPAS de tránsito y el fuente y, como consecuencia, no lo describiremos con detalle. Sin embargo, es suficiente establecer que después del proceso en el SNPAS de destino 946 y el acoplamiento a través de las centrales 1042 y 1044, los datos se transfieren en un bucle local semi-dúplex, al terminal facsímil de destino 964, que incluye una unidad facsímil un aparato de teclado, un acoplador acústico y microteléfono de estructura semejante a como en el terminal facsímil 910.

20 Refiriéndonos a la Figura 10, la Entrada del Procesador (FEP), que sirve para realizar el interface de las comunicaciones entre los diferentes terminales de facsímil de diversas velocidades, se ilustran los protocolos de entendimiento y modulación. Ha de quedar entendido que cada FEP está organizado como cuatro módulos independientes de treinta; y dos canales cada uno; como consecuencia, por razones de simplicidad, la Figura 10 ilustra uno de tales módulos. Dichos terminales facsímil están acoplados al FEP a través de las líneas 1052, 1054 y 1056 acopladas a las Unidades Adaptadoras de Línea 1058, 1060 y 1062, respectivamente,

30

del FEP, describiéndose con detalle más tarde las Unidades Adaptadoras de Línea con referencia a las Figuras 11 y 12. Aún cuando se ilustran treinta y dos Unidades Adaptadoras de Líneas en el Módulo de FEP de la Figura 10, se obtienen portadores de comunicaciones adicionales añadiendo más módulos FEP que proporcionan redundancia en el caso de un fallo del sistema; sin embargo, por razones de simplicidad, se describen tres (las Unidades Adaptadoras de Línea 0, 1 y 31) con entradas a las mismas desde sus respectivos terminales facsímil. Estos terminales facsímil están acoplados a las líneas 1052, 1054, y 1056 por técnicas de acoplamiento ya conocidas, tales como acopladores acústicos o módems a disposición del usuario bien por líneas dedicadas o no-dedicadas. Tal acoplamiento se describirá con mayor detalle con referencia a la Figura 9(c). Todas las secuencias de control del FEP se realizan por un microprocesador y el lógico asociado 1064 que tiene su soporte organizado para permitir la utilización de varios terminales facsímil distintos por el sistema. El microprocesador interacciona en el arranque con las Unidades Adaptadoras de Línea, una unidad de control y generación de voz 1066, la Unidad de Interface del Computador 1068, la Unidad de Acceso a la Memoria 1070 y la memoria de paquete de acceso aleatorio 1072, coordinando y comprobando todas las subfunciones de tales unidades. La porción 1660 del microprocesador y el lógico asociado 1064 puede comprender un microprocesador Intel 8080 para realizar las diferentes transferencias de datos digitales dentro del FEP. Todas las transferencias de datos entre las Unidades Adaptadoras 1058 y las otras treinta y una Unidades Adaptadoras de Línea ilustradas por las Unidades adaptadoras de

Línea 1050 a 1062 son transferencias en serie de bits como son las transferencias de datos desde la Unidad Generadora de Voz 1066 a las Unidades Adaptadoras de Línea. Todas las otras transferencias de datos son transferencias de datos de byte (palabra de 8-bits) paralelo. El microprocesador 1660 y el lógico asociado se describen con más detalle en relación con la Figura 16.

El FEP está constituido por seis subsistemas principales, siendo el primero las Unidades Adaptadoras de Línea, tales como la Unidad Adaptadora de Línea 1058 indicada después como LAU. La LAU es, en esencia, el interface entre el FEP y una línea telefónica a dos-hilos a través de un Dispositivo de Acceso de Datos, indicado después como un DAA. La línea telefónica puede comprender bien una línea de marcación o una línea privada, siendo tal línea telefónica de voz de 3 Kc nominal. La función primaria de la Unidad Adaptadora de Línea es realizar la conversión entre los tonos analógicos serie que se originan en los terminales facsímil en las líneas telefónicas, tales como la línea 1052, y las señales digitales dentro del FEP.

El segundo subsistema incluido en el FEP es la Unidad de Proceso de Bit 1071 descrita con más detalle en relación con la Figura 11, este procesador de bit interconecta todas las LAU soportadas por el Módulo FEP (hasta treinta y dos LAU) en un bus dedicado. Después de que cada LAU convierte sus respectivos tonos blanco y negro acoplado al mismo a través de sus respectivas líneas telefónicas, a bits blanco ó negro, el procesador de bits explora dichos bits blanco ó negro convertidos y ejecuta un algoritmo de compresión sobre el flujo de bits de entrada acoplado al mismo a través del

bus de bits de datos 1075, y en promedio, las salidas de aproximadamente un quinto del número de bits como se reciben. De esta manera, se consigue la compresión facsímil dentro del procesador de bit como se describirá después.

5 La salida de datos comprimidos del procesador de bit se acopla a tercer subsistema principal del FEP, la Unidad de Acceso de Memoria indicada como MAU 1070 en dónde los datos comprimidos se almacenan en la RAM de paquete 1072 que tiene una capacidad de sesenta y cuatro paquetes de 8-k-

10 bits por paquete. El procesador de bits 1071, que incluye un explorador de bits 1073 y un circuito de compresión/ expansión y generación de carácter 1069, a la transmisión de los bits a los LAU cuando se funciona en el modo de transmisión, recibe los datos comprimidos del MAU 1070 y

15 ejecuta un algoritmo de expansión sobre los bits comprimidos antes de enviar la distribución de bits recuperados al LAU en dónde sirven para modular los tonos portadores al terminal facsímil de recepción. El procesador de bits realiza también la compensación verticalmente sobre los bits

20 de datos de los MAU para la transmisión a los terminales facsímil que realizan un número diferente de exploraciones por unidad de longitud vertical que la realizada por el terminal facsímil de origen. La realización del algoritmo de compresión en el procesador de bit necesita menos memoria

25 del FEP para almacenar la imagen facsímil digitizada y se reduce sustancialmente el tiempo requerido para la transmisión de la imagen facsímil digitizada entre los diferentes nodos de conmutación y resultando un menor requerimiento de la memoria de núcleo y tiempo de la línea de transmisión,

30 ya que pueden transmitirse más datos por unidad de tiempo

entre los nodos de conmutación.

El tercer subsistema principal del FEP es el MAU 1070 que se acopla a través del procesador de bit a los LAU y controla la RAM de paquete 1072 en dónde se almacenan las imágenes facsímil digitizadas comprimidas. Esencialmente, la MAU, después de recibir los bits de datos comprimidos desde el procesador de bits almacenan las LAU tales datos comprimidos en memorias intermedias en la RAM de paquete 1072 y controla el contenido de tales memorias intermedias a través de la porción de control de la RAM 1074. La Unidad de Interface del Computador 1068 requisiciona las memorias intermedias 1076 de la MAU 1070 para los datos comprimidos contenidos a la misma.

El cuarto subsistema principal del FEP es la Unidad de Interface del Computador 1068, conocida como la CIU, que sirve para transferir datos desde los Procesadores de Comunicaciones a los nodos de conmutación a través de la línea de control 1078 para proporcionar unas funciones I/O por el canal de comunicaciones desde la porción de control 1080 de la CIU y, a través de la línea, un enlace de datos de acceso directo al canal de comunicaciones desde la porción de datos 1084 de la CIU. De esta manera, la CIU transfiere los datos desde la línea de comunicaciones a la MAU quién a su vez, los almacena en memorias intermedias en la RAM de paquete, mantiene la pista de las memorias intermedias y finalmente transmite los datos comprimidos al procesador de bits en dónde tales datos se expanden y acoplan a la LAU para su transmisión a través de líneas telefónicas a los respectivos terminales facsímil de destino. Las CIU se interconectan al Procesador de Comunicaciones a través de las líneas 1082, un

canal de Acceso de Memoria Directo (DMA), proporciona una transferencia de datos bidireccionala través de la línea 1086 entre la MAU y la RAM de paquete a través de la línea 1087. Un canal I/O programado del Procesador de Comunicaciones 5 1078, por el cual se acoplan las órdenes de control desde las unidades de proceso en los sitios de conmutación a un terminal RAM dentro de la porción de control 1080 de la CIU, también acopla a través del mismo las respuestas de la CIU al Procesador de Comunicaciones. La CIU 1068, a través 10 de la línea 1088, interconecta el subsistema microprocesador de FEP 1064 para acoplar las órdenes del mismo y para recibir órdenes desde el mismo para la realización de tales tareas y para responder y provocar una llamada telefónica, requerir por voz a un operador para que introduzca los 15 datos de conexión en el terminal facsímil, transferir los datos facsímil y desconectar una llamada y cualquier otra comunicación con el Procesador de Comunicaciones.

El quinto subsistema de FEP, el microprocesador 1064, que incluye un almacenaje de programa en PROM, una porción 20 de I/O multiplexora, I/O del Selector, una memoria de escritura-lectura para almacenaje temporal y parámetros del programa y una memoria de lectura-escritura para interconectar todos los otros sub-sistemas de FEP de las treinta y dos Unidades Adaptadoras de Línea a través de un bus selector 25 de la LAU del microprocesador 1079, proporciona el control de todo el FEP, y se describe con detalle en relación con la Figura 16.

El sexto subsistema del FEP es la Unidad Generadora de Voz 1066 conocida aquí como VGU que consiste de una parte 30 de control de voz 1090 y una Memoria de Acceso Aleatorio

1092 acoplada a la misma para almacenar las palabras del
vocabulario de voz digitizadas y codificadas, que pueden
juntarse para formar frases. La VGU proporcionó una capa-
cidad de interface para los treinta y dos LAU por un canal
5 dedicado, el bus de voz 1077, interconectando simultáneamen-
te el microprocesador 1064 y la información de acoplamiento
para saber a qué palabra digitizada debe acoplarse la LAU
y cuando debe ocurrir tal acoplamiento. La VGU se describirá
con mayor detalle en relación con las Figuras 14, 15(a) y
10 15 (b). Existe, dentro de la VGU, la capacidad de acoplar
la misma o diferentes palabras a cualquiera o a todas las
LAU. Adicionalmente, la VGU ejecuta un algoritmo de decodi-
ficación sobre los bits de palabra del vocabulario digiti-
zado codificado durante la transmisión de tales palabras
15 digitizadas a la porción demoduladora de voz de la LAU,
para que exista, dentro de la LAU, la capacidad de recibir
tales bits decodificados de la VGU y generar una palabra de
voz humana reconocible para acoplar a su respectiva línea
telefónica con el nivel y en las frecuencias apropiadas.

20 La descripción generalizada del FEP anterior, la
describiremos con más detalle en relación con las Figuras
11 a 16 mediante una descripción primero del flujo de datos
recibido en el FEP desde el terminal y luego respecto a la
transmisión de los datos desde el FEP a un terminal indivi-
25 dual.

En la Figura 11 se ilustra un diagrama bloque del :
FEP. La Línea telefónica 1104 se interconecta a la Unidad
Adaptadora de Línea 1100 a través de un Dispositivo de Acceso
de Datos (DAA) 1102 que utiliza las líneas de control 1118
30 y la línea de datos analógicos 1126, así como interconectar

cada terminal facsímil individual para permitir el intercambio de información entre el terminal facsímil y el FEP. Después de que el CPU 1106 haya reunido y almacenado la información de conexión desde los terminales de abonado en el disco 1107, se encamina una orden desde el mismo a través de la Unidad de Interface del Computador 1068 al FEP, para aceptar el mensaje facsímil de entrada, esto es, para pasar al modo de datos en donde los datos de facsímil a través de la Unidad Adaptadora de Línea 1100 al procesador de bit 1108 a través de la Unidad de Acceso de Memoria 1068 a través de la línea 1114, todos bajo el control del microprocesador 1040, desde donde tal control de datos facsímil se acopla a través de la línea 1116 a la CPU 1106 para la transmisión de los datos facsímil a la red de comunicaciones.

La LAU 1100 se acopla al Dispositivo de Acceso de Datos 1102 a través de la línea de control 1118 que se acopla al convertidor de nivel del Dispositivo de Acceso de Datos 1120. Un amplificador digital que, además de interconectar el multicircuito del Dispositivo de Acceso de Datos 1102, también interconecta el selector 1072 de I/O del microprocesador 1040 a través de la línea 1024, que sirve como el interface entre el microprocesador y el Dispositivo de Acceso de Datos 1120, y acopla entre ellos el Indicador de Llamada de Descolgado, y el Interruptor de Acoplamiento a través de señales de control en ellos. Estas señales de control hacen posible que el microprocesador 1040 detecte la llamada Descuelgue y conteste a una llamada de entrada desde un terminal facsímil. Descuelgue y desconecte, Descuelgue y obtenga un tono de marcar, los impulsos de marcación de salida a través de un relé de Descolgado, detecte la llamada

o tonos de ocupado o desconecte. El convertidor de nivel 1120 contiene adicionalmente un circuito de tensión de avanzar y retroceder para cambiar los niveles de tensión desiguales del microprocesador 1064 y el multicircuito de acceso de datos 1102. Los datos que llegan del multicircuito de acceso de datos 1102 se acoplan a través de la línea 1126 a un bus común 1128 en donde se acoplan simultáneamente a un detector de señal 1130, un detector de señalización por tonos 1132, un detector del tono de control 1134, un demodulador AM 1136 y un demodulador FM 1132.

El Detector de tonos 1132 comprende una red de ocho filtros paso-banda y los detectores de nivel asociados, cuatro de tales filtros detectan los cuatro tonos bajos de 697 Hz, 770 Hz, 852 Hz y 941 Hz, mientras que los otros cuatro filtros detectan los cuatro tonos altos de 1209 Hz, 1336 Hz, 1477 Hz y 1633 Hz. Ya que cada filtro paso-banda está sintonizado a un tono, cuando detecta este tono, bien sólo o incluido entre los otros tonos presentes en la línea telefónica 1104, el nivel de la tensión de salida de tal filtro que corresponde a la detección del tono al que está sintonizado, estará presente en los que dura el tono detectado, si una salida del tono detectado del detector de tonos 1132, para cada LAU en la línea 1140, se acopla al bus de I/O del Selector 1072 del microprocesador 1064. La entrada de información por un operador de facsímil puede realizarse por medio de un aparato de tonos que consiste, normalmente de doce botones, la presión de cualquiera de ellos provoca la transmisión de un tono alto y otro bajo por la línea telefónica hacia el detector de tonos 1132, de una manera convencional. El microprocesador 1064, explo-

rando la salida del detector de tonos 1132 y los otros detectores de tonos asociados con sus respectivos LAU, determina el nivel del detector de tonos en cualquier instante determinando así el botón o dígito presionado por el operador.

5 El detector de señal 1130 comprende un amplificador operacional que tiene un umbral de referencia por encima de una amplitud de umbral mínima predeterminada en la línea telefónica 1104 para hacer posible que el detector de señal 10 1130 detecte la presencia de cualquiera de los tonos por encima de dicha amplitud de umbral mínima, a la cual detección una salida del nivel de tensión se acopla a través de la línea 1142 en lo que dura dicho tono detectado. El microprocesador 1064 explora la salida del detector de señal 1130 15 a través de su bus I/O del Selector 1072 para hacer posible que el microprocesador 1064 determine si o no un abonado que llama por la línea telefónica esté enviando información viable o si las condiciones de la línea son pobres para una calidad aceptable de la transmisión o si el abonado que 20 llama ha colgado, en cuyo momento, el microprocesador 1064 envía a la CPU 1106 una secuencia de control que indica el estado de la línea.

La línea telefónica se interconecta por el detector de tono de control 1134 que comprende dos bucles sincroni- 25 zados en fase programables para detectar los tonos de control, los Tonos de Arranque, los Tonos de Detención a 1100 Hz y 1500 Hz, los Tonos de Sincronización, los Tonos de Entendimiento a 2425 Hz y 1500 Hz, los Tonos de Marcación a 350 Hz y 440 Hz, los Tonos de Portadora, tales como la portadora 30 AM, a 2048 Hz. Aún cuando cualquiera de la amplia variedad

de dispositivos detectores pñede incluirse dentro del detector de tonos de control 1134, típicamente el detector de tono de control 1134 incluye dos detectores de tono programables independientes para detectar cualesquiera dos de entre N tonos
5 seleccionados por el microprocesador 1064. Cuando se detectan estos dos tonos en la línea telefónica, el detector 1134 produce a la salida un nivel de tensión por cada tono que se explora por el microprocesador que seleccionó dos tonos de entre los N a través del detector de tonos de control 1134
10 para buscar cualesquiera otros dos tonos, avanzando así a través de una secuencia de control predeterminada.

La demodulación de los datos facsímil real se consigue por un demodulador AM 1136 o un demodulador FM 1138, de acuerdo con las características de modulación de la unidad
15 facsímil conectada al mismo. Las salidas del demodulador 1136 ó 1138, como puede ser el caso, están acopladas a una unidad voter del selector 1144, que describiremos después. El demodulador AM 1136 demodula cualquier frecuencia portadora AM presente en la línea telefónica 1104 por encima de
20 un umbral predeterminado, tal como la frecuencia portadora AM de 2048 Hz. El demodulador AM 1136 demodula basado sobre el valor medio de la portadora AM. La portadora AM de llegada se normaliza periódicamente utilizando un amplificador de AGC que se conecta por el secuenciador 1154. La salida
25 del demodulador es un uno ó un cero binario (dos diferentes niveles de tensión) que especifica si una portadora AM representa el dato facsímil "negro" ó "blanco". Por cada revolución del tambor o equivalente de la unidad facsímil (una línea de exploración). La salida del demodulador 1136 en
30 la línea 1146 se muestrea normalmente 1600 veces y se alterna

como bits de datos "negro" ó "blancō" y en forma serie como bits de datos a través de un flip-flop dentro del circuito voter selector 1144, en dōndé los mencionados bits de datos se exploran por el procesador de bit 1108 a través de la
5 línea 1146 a una cadencia de hasta 10,4 K-bits por segundo. Para la decodificación se considera un valor medio intermedio de la portadora de AM como "negro" si está más cerca de la amplitud completa ó "blanco" si está más cerca de la media amplitud.

10 El multicircuito 1136 del demodulador AM comprende un convertidor analógico-a-digital de seguimiento que funciona a un mHz, el cual obtiene el valor medio de la portadora de AM sumando aproximadamente 128 muestras digitales por cada medio ciclo de la onda portadora. Los contornos
15 del medio ciclo portador se identifican por el demodulador AM 1136 utilizando la salida de un detector de cruce de cero de una configuración ya conocida, dentro del demodulador FM 1138, los cuales cruces de cero se acoplan al demodulador AM 1136 a través de la línea 1148.

20 Los terminales de facsímil que utilizan un esquema de modulación de frecuencia se demodulan por el demodulador FM 1138 que los interconecta de la línea 1104 a través del amplificador de AGC no-amnipulado dentro del demodulador FM 1138. El demodulador FM 1138 comprende un detector de
25 umbral que reconoce un tono de 2425 como "negro" y un tono de 1500 Hz como "blanco". Otras frecuencias representativas de los datos de facsímil "negro" y "blanco" se acomodan también en otros tonos que se decodifican como "negro" si están próximas en frecuencia a 2425 Hz o "blanco" si están
30 próximos en frecuencia a 1500 Hz. Existen dos niveles de ten-

si3n de salida en el demodulador 1138, en virtud de un detector de cruce de cero, que proporciona un primer nivel representativo de la decodificaci3n de un tono "negro" y un segundo nivel representativo de la decodificaci3n de un tono "blanco", estando acoplados ambos niveles al voter selector 1144 a trav3s de la l3nea 1150 u el cual nivel de tensi3n en la l3nea 1150 est3 presente en lo que dura el tono detectado. El nivel de salida del demodulador de FM 1138 se muestrea normalmente 1600 veces por l3nea de exploraci3n (revoluci3n del tambor) y se introduce de forma estrobosc3pica en el voter selector 1144, en d3nde se acoplan a un flip-flop que tiene una salida representativa de los datos de facs3mil digitales cuyos bits se exploran por el procesador de bit 1108 en la l3nea 1150 de una manera similar a los datos AM acoplados al voter selector 1144 a trav3s de la l3nea 1146 a una cadencia de 10,4 K-bits por segundo. La compatibilidad de las unidades de facs3mil que funcionan a cadencias de exploraci3n diferentes, esto es, a diferentes velocidades del tambor, puede conseguirse variando la cantidad de tiempo permitido para las 1600 muestras por l3nea de exploraci3n a cualquier frecuencia que corresponda a la cadencia de revoluci3n del tambor de facs3mil de la unidad de facs3mil particular acoplada a la Unidad Adaptadora de L3nea 1100.

La compensaci3n para la distorsi3n no-lineal introducida por el micr3fono en el microtel3fono por el que se adaptan los datos a trav3s del multicircuito de acceso de datos 1102 al demodulador, puede conseguirse utilizando, dentro del demodulador FM 1138, un par de detectores de cruce de cero de dise1o bien conocido, uno para detectar pendientes ascendentes y otro para pendientes descendentes. Diferentes

circuitos de detección de cruce de cero ya concocidos se lustran en el Manual de Circuitos Electrónicos, publicado por la MacGraw-Hill Book Company, en 1971, páginas 947 a 951. Para AM, la distorsión del micrófono se acomoda detec
5 tando el valor medio mejor que la amplitud de pico.

Describiremos seguidamente el funcionamiento del voter selector 1152. El voter selector está constituido por un contador de negro, un contador de blanco y un par de flip-flops a los que se acoplan los niveles de salida del demodulador AM y el demodulador FM 1138 para muestrear por el se-
10 cuenciador 1154 y poner en forma estroboscópica en el procesador de bits 1108 a través de la línea 1146 dependiendo de si los datos que introduce el terminal facsímil particular en la LAU utilizan un esquema de modulación AM ó un
15 FM. El voter selector 1144 indica adicionalmente si debe considerarse "negro" ó "blanco" un nivel de tensión que haya cambiado de polaridad durante un intervalo de la muestra. Los bits de datos muestreados por el secuenciador 1154 en
virtud de un muestreo de su nivel de salida de tensión del
20 demodulador seleccionado particular 1136 ó 1138 en las típicas 1600 veces por línea de exploración (una revolución del tambor) de la máquina de facsímil, después de ponerse en
forma estroboscópica en el flip-flop del voter selector, se exploran por el procesador de bit 1108, como se describirá.

25 El secuenciador 1154 sirve para interconectar el detector de tono de control 1134, el voter selector 1144 y el procesador de bit 1108 al bus de entrada/salida multiplexor 1022 del microporcesador 1040. Los "Tonos de Sincronismo" y los tonos de fin-de-línea del detector de tonos de control
30 1134 se detectan por el secuenciador 1154 y se utilizan para

sincronizar sus 1600 impulsos de muestra a cada revolución del tambor facsímil de la máquina de facsímil. Un terminal de facsímil determinado puede tener una rotación del tambor de $2 \frac{1}{2}$, 3, 5 ó más revoluciones por segundo y, a 1600
5 muestras por revolución, la cadencia de muestreo del secuenciador 1154 sería de 4 K-bits por segundo, 4,8 K-bits por segundo u 8 K-bits por segundo. La cadencia de muestreo puede aumentarse hasta 10,4 K-bits por segundo, la cadencia máxima a la que el procesador de bit puede explorar o escri-
10 bir los bits a o desde la LAU 1100 a través de las líneas 1156 y 1146, respectivamente. La línea 1158 del procesador de bit 1108 es simbólica de la conexión de las otras treinta y una LAU acopladas al procesador de bit 1108. Los niveles de tensión de salida de los demoduladores AM y FM 1136 y 1138
15 respectivamente, se muestrean por el secuenciador 1154 y se separan en 1600 bits por línea de exploración, los cuales bits se introducen en forma estroboscópica en el voter selector 1144 y se exploran en el procesador de bit 1108.

El secuenciador 1154 incluye una RMA 1160 y una por-
20 ción de lógica cableada. La RAM 1160 está organizada en 256 localizaciones de memoria de cuatro bits cada una, para almacenar la cuenta de muestras, el período de muestra y la cuenta de sincronización y la secuencia de control utilizada por la máquina de facsímil particular que está funcio-
25 nando. Por supuesto que, pueden almacenarse datos adicionales dentro de la RAM, sin embargo, para describir el funcionamiento del secuenciador, serán suficientes los datos mencionados anteriormente. La primera función del secuenciador es ejercer el control de los datos que entran y las
30 señales de control que se reciben demasiado rápidas para el

microprocesador 1064, normalmente un Intel 8080, y para permitir el control de diferentes y normalmente incompatibles tipos de máquinas que tienen diferentes cadencias de exploración, secuencias de control y técnicas de modulación, esto es, como las AM y FM mencionadas anteriormente. Las diferentes instrucciones y parámetros de control almacenados dentro de la RAM 1160 que hacen que el secuenciador 1154 seleccione la apropiada cadencias de exploración basado sobre la máquina de facsímil particular que normalmente introduce los datos al sistema, se realiza por el microprocesador 1064 a la entrada del tipo de máquina utilizada. Tal control se realiza por el secuenciador por la realización de varias pruebas e instrucciones locales cargadas previamente en la RAM 1160 por el microprocesador 1064 a través del bus de I/O 1072 del Selector.

El Relé Operador Interceptor 1162 comprende un relé que tiene contactos para conmutar la batería y la tierra de los dos hilos de la línea telefónica a una consola de operador interceptador para hace posible la intervención humana en un terminal de facsímil. El operador, presionando un botón de "operador" en el aparato de teclado 1606 establece la comunicación vocal con el operador interceptador, como el detector del aparato de teclado 1132, que se ha indicado anteriormente, y reconoce los tonos alto y bajo indicativos del botón preionado. La CPU 1106 es informada de la depresión del botón del operador por el microprocesador 1064, que como se ha descrito anteriormente, explora los niveles de salida de los detectores del señalizador de tonos. De esta manera, el relé interceptador 1162 responde a las órdenes de Conexión y Desconexión iniciadas por el operador

desde el CPU 1106.

La Unidad de Demodulación de Voz 1164, indicada aquí como VDU, sirve como un interface paralelo a la VGU 1166 que, como se ha indicado anteriormente, almacena las palabras del vocabulario digitizadas y codificadas. El VGU se describe en relación con las Figuras 14 y 15. Los datos de la VGU 1166 se acoplan a la VDU 1164 por el bus de datos paralelo 1168 a unas 8 K palabras/segundo. La VDU es un convertidor digital-a-analógico que al recibir los datos por la línea 10 1168, los decodifica por cada transferencia para derivar una tensión analógica que representa la voz humana para la salida a la línea telefónica 1104 a través de un multiplexor 1199. La VDU incluye filtros de adaptación de impedancia para acoplar los tonos de voz analógicos descritos a la 15 línea telefónica 1104, normalmente de 600 ó 900 ohmios. Ya que los tonos acoplados son la versión decodificada de los bits codificados de voz en la VGU 1166, el operador, en el terminal facsímil oye la conversación humana. La VDU 1164 se acopla al hilo de batería y tierra de la línea telefónica 1104 por un conmutador analógico (ilustrado en la 20 Figura 16 como el conmutador 1604).

Un interface del canal multiplexado al microprocesador 1064 viene proporcionada por el bus de I/O del Selector 1072, el bus de datos bidireccional paralelo que incluye 25 una provisión para la dirección, el control y datos que hacen posible que el microprocesador seleccione la dirección, para cada LAU, su convertidor de nivel respectivo 1120, el relé del operador interceptor 1162, el secuenciador 1154, el detector de tono de control 1134, el detector del señalizador 30 de tonos 1132 y el detector de señal 1130. El microprocesador

1064 direcciona las LAU que están multiplexadas en tiempo para que las mismas puedan realizar una variedad de funciones simultáneas. A modo de ejemplo, cada una de las treinta y dos LAU puede ser accedida por el microprocesador normalmente, sesenta veces por segundo, direccionando el microprocesador cada LAU a intervalos de unos 500 microsegundos.

Describiremos ahora el funcionamiento del procesador 1108 particularmente respecto a su función de compresión de datos. Ya se conocen diferentes algoritmos de compresión sistemas y circuitos para su realización, de las Patentes U.S. Nos. 3.916.095; 3.830.966 y 3.804.975, que son típicas para tales técnicas de compresión. La codificación por bloque de escritura es particularmente útil en la transmisión facsímil, dado que reduce la redundancia de los datos transmitidos. Esta codificación se describe por Fano, R.M. , "La Transmisión de Información", John Willey and Sons, Inc., New York, N.Y. 1961 por D.A. Huffman "Un método para la Construcción de Códigos de Redundancia Mínimos", Proc. Inst. Radio Eng. 40 (1952) pp. 1908 y por A.E. Laemmel, "Procesos de Codificación para la Reducción de Anchura de Banda en la Transmisión de Imagen", Informe R246-51 Microondas Res. Inst., Instituto Politécnico de Brooklyn, N.Y. Agosto de 1951. El procesador de bit del presente invento puede utilizar el algoritmo descrito u otros algoritmos de compresión.

Después de la conversión de los tonos negro y blanco procedentes de las líneas telefónicas de entrada en bits de negro y blanco por las LAU, estos bits se exploran por el procesador de bit 1108 que no solamente ejecuta el algoritmo de compresión de datos en el flujo de bits de entrada sino que sobre los datos transmitidos a las LAU, ejecuta un

algoritmo de expansión sobre los datos comprimidos recibidos desde la Unidad de Acceso a la Memoria 1110. A la recepción de los datos a través de la línea 1146, un bus multiplexor multiplexa por división de tiempo (TDM) a partir del voter selector 1144 para la LAU 1100 y hasta treinta y una LAU adicionales, un explorador y un procesador de bit exploran cada LAU secuencialmente, creando una abertura de tiempo de tres microsegundos en el bus del procesador de bit TDM para hacer posible bien la transmisión o la recepción entre el procesador de bit 1108 y la LAU 1100 de datos hasta a 10,4 K-bits por segundo. El procesador de bits 1108 incluye el lógico cableado y una RAM 1172 que contiene la información de tráfico perteneciente del algoritmo compresión/expansión. El procesador de bits 1108 explora los bits de datos de cada LAU típicamente a 1600 bits por línea de exploración desde cada canal en una memoria intermedia de 8 bits, ya que la cadencia de datos de entrada puede diferir en cada canal debido a las diferencias de la velocidad del tambor, esto es, de $2 \frac{1}{2}$, 3 ó 5 revoluciones por segundo, la cadencia de bits puede, por ejemplo, ser de 4 K-bits por segundo, 4,8 K-bits por segundo ó de 8 K-bits por segundo. Después del proceso por el algoritmo de compresión del procesador de bit 1108, los bits de cada canal de entrada se almacenan en una localización en la RAM 1172 que corresponde al canal asociado.

El algoritmo de compresión utilizado convierte el número de bits similares en una fila, por ejemplo, bits negro, en una cuenta binaria, esto es, si se reciben 256 bits de negro en una fila, los 256 bits negro recibidos se convierten en una cuenta de 8 bits ya que $2^8 = 256$ y

así, los 256 bits se comprimen en 8 bits. El algoritmo
 también mantiene la pista de si la cuenta se refiere a bits
 negro o blanco de los datos de facsímil. Siempre que se de-
 tecta un cambio entre los datos de entrada de bit negro o
 5 blanco, la cuenta acumulada a tal cambio se transmite a la
 MAU 1110 y un contador interno, dentro del procesador de bits
 1108 se repone a cero, haciendo posible que el procesador de
 bits mantenga la pista de la detección de la cuenta de la que
 se deriva el canal de la LAU y de la línea de exploración
 10 asociada, por todo lo cual los datos se acoplan a la MAU
 1110 de forma paralelo por un bus dedicado 1174. El micro-
 procesador 1064 acoplado al procesador de bits 1108 a través
 de sus líneas de entrada/salida multiplexoras, entre otras
 funciones, controla el procesador de bits. El procesador de
 15 bits realiza la transferencia descrita siempre que tenga lu-
 gar tal cambio de sentido y siempre que se encuentre lleno
 el contador del procesador de bits interno. Ya que solamente
 se transmiten tantos bits como sean necesarios para repre-
 sentar la cuenta de bits semejantes en secuencia, entre dos
 20 y ocho bits se acoplan en paralelo por la línea 1174 lo que
 resulta en la no compresión (alternando constantemente los
 bits negro y blanco) $1600 \times 2 = 3200$ bits transmitidos por
 línea de exploración y, para la compresión completa,
 $(1600 \times 8)/256 = 50$ bits por línea de exploración. De esta
 25 manera, una máquina de facsímil que tenga una velocidad de
 tambor de cinco revoluciones por segundo y sin compresión
 resultará en $5 \times 3200 = 16.000$ bits por segundo para aco-
 plarse del procesador de bits 1108 a la Unidad de Acceso
 de la Memoria 1110, mientras que una máquina de facsímil con
 30 una velocidad del tambor de $2 \frac{1}{2}$ revoluciones por segundo

y compresión completa, resultará en $2\frac{1}{2} \times 50 = 125$ bits por segundo a ser acoplados a través de la línea 1174 a la MAU 1110. De esta manera, se ve que el procesador de bits 1108 puede acomodar una variedad estremadamente amplia de cadencias de datos de un número diverso de diferentes máquinas de fac-
5 símil que tengan unas diferentes características de velocidad del tambor y de modulación. Como se ha mencionado, cualquiera de 125 a 16.000 bits por segundo puede acoplarse a la MAU 1110 sobre una base aleatoria desde el procesador de bit
10 1108. El procesador de bit detectará el final de cada línea de exploración en virtud de su cuenta acumulada.

El algoritmo de compresión descrito sirve para reducir los requisitos de los datos transmitidos impartiendo la compresión solamente para tres o más bits semejantes que
15 tengan lugar secuencialmente ya que uno o dos bits semejantes resultarían en una cuenta de dos bits; como consecuencia, los datos de llegada derivados de otros terminales distintos de un equipo de facsímil, no se someten al algoritmo de la compresión sino que se acoplan a la MAU 1110 como caracte-
20 res completos para su almacenaje en localizaciones en la RAM de paquetes 1112 que corresponde al canal particular del que se derivan los datos. La RAM de paquete 1112 está constituida por dos memorias intermedias de 8 K-bits por canal y tiene la capacidad de carga, en el pero de los ca-
25 sos, para manejar 64 K-bytes por segundo, típicamente en 1667 milisegundos del overflowing.

El procesador de bits 1108 también tiene una capacidad de compensación vertical que hace posible la comunicación entre terminales de facsímil con diferentes revolucio-
30 nes verticales. La compresión vertical o el fusionar dos

líneas de exploración juntas cada cierto número de líneas predeterminado tiene lugar a modo de ejemplo cuando una máquina de facsímil, que funciona a una cadencia de 96 exploraciones por cada 2,4 cms, debe transmitir a una máquina facsímil que funciona a una cadencia de 88 exploraciones por cada 2,4 cms, verticales, lo que requiere que las 96 exploraciones sean comprimidas en 88 exploraciones, en una relación de 11/12. Esto se consigue fundiendo cada línea de exploración de orden 11 y 12 juntas antes de dar salida a la línea de facsímil de recepción a través de la porción de transmisión de la LAU implicada. Inversamente, la expansión se consigue duplicando selectivamente ciertas líneas, por ejemplo para convertir 88 líneas a 96 líneas.

La Unidad de Acceso de Memoria 1110 no solamente interconecta la RAM de paquete 1112 y el procesador de bits 1108, sino que proporciona una interconexión paralelo bidireccional por el bus multiplexor de entrada/salida 1170 al microprocesador 1064 o la CIU 1018. La MAU 1110, descrita con más detalle en relación con la Figura 13, incluye una RAM con memorias intermedias para cada uno de los treinta y dos canales que pueden acoplarse a la misma, y así los datos del procesador de bit a través de la línea 1174 se acoplan a una RAM de funcionamiento 1300, las órdenes del procesador de bits se acoplan a través de la línea 1302 a una RAM de órdenes 1304, los datos de la memoria intermedia de paquete de la RAM de paquete 1112 se acoplan a través de la línea 1180 a una RAM intermedia de paquete 1306 y los datos del microprocesador después de almacenarse por un registro tri-estado 1308 se transfieren de las líneas de I/O del multiplexor del microprocesador 1170 a la RAM de órdenes

1304 y la RAM de operación 1300. La memoria intermedia de datos 1310 y la de dirección 1312 registran una anchura de 16 bits para los datos acoplados a las mismas desde la RAM de operación 1300 a través del bus de operación 1314 y de la memoria intermedia tri-estado 1316 a través de la línea 1318, respectivamente, para el acceso de los treinta y dos canales de entrada y para los datos de exploración en la RAM de paquete 1112. La memoria intermedia de dirección 1312 contiene las direcciones, sobre una base de canal-por-canal, para la RAM de paquete 1112. Las RAM de las MAU se ilustran en general en la Figura 11 por la RAM 1182.

La cuenta comprimida en paralelo de dos a ocho bits, como forma de los terminales de facsímil o los caracteres de los terminales de datos de origen no-facsímil a través de las líneas 1320 se reciben en la MAU a través de las líneas 1174 y 1320 para su almacenaje en la memoria intermedia de datos 1310, que incluye, para cada canal, un registro intermedio de 16 bits. Todas las memorias intermedias de datos de canal individual 1310 pueden acumular normalmente los datos bajo el control de la MAU total cuando la memoria intermedia 1310 está llena o sobrepasada, con las cuentas comprimidas o caracteres. El contenido de las mismas se transmite por los buses de datos 1322 después del direccionamiento apropiado, a un registro de proceso de datos intermedio 1322 a través de un registro de datos intermedio de paquete 1326 a la RAM de paquete 1112, en donde las cuentas se cursan continuamente sin demarcaciones de bordes.

El contador de abertura de tiempo 1344 es un contador de módulo-12, cuyas salidas se utilizan como entrada de dirección a una ROM de control 1346. Al final de la

cuenta, el contador 1348 se dispara y avanza un paso. El contador de abertura de tiempo 1344, a modo de ejemplo, se dispara una vez cada 250 nanosegundos y su ciclo completo se extiende a los microsegundos. El contador 1348 es un contador de módulo-32, cuyas salidas se acoplan como la entrada de la dirección más significativa a una RAM de dispositivo 1336. El control de la RAM de dispositivo 1350 controla tanto la operación de la RAM de dispositivo 1336 como las entradas de dirección a la misma desde el contador de dispositivo 1348.

Una ROM de control 1346, que consiste de cuatro PROMS de 32 por 8, da salida a los datos a la MAU de control de tal manera que tiene lugar una única operación durante cada abertura de tiempo, esto es, el archivo del registro de memoria, el control del bus, etc. El control y temporización 1342 proporciona los estrobes de control de memoria, las señales del dispositivo externas y los impulsos de refresco de la memoria intermedia de paquete. La RAM del dispositivo 1336 consiste de 256 por 4 RAM bipolares de alta velocidad organizadas como una memoria de 256 por 16 para su utilización como almacenaje temporal. Todo el contenido de 256 palabras de la RAM del dispositivo 1336 está dividido en treinta y dos grupos cada uno de los cuales contiene ocho palabras y está direccionado por el control del dispositivo 1350. Dentro de cada grupo, cada palabra (localización de la memoria) está dedicada a un tipo específico de información. La entrada a la RAM 1336 está proporcionada bien por el procesador de dirección 1332 o por un procesador de datos 1324. La salida de la RAM 1336 está acoplada al bus de operación 1314 junto con las salidas de la RAM de operación 1300, la RAM de recepción intermedia de paquete 1306 y la memoria intermedia tri-estado 1316. Es-

ta salida puede cargarse en la memoria intermedia de dirección 1312 o en la de datos 1310. La RAM de operación 1300, que consiste de archivos de registro de 4 por 4 y que tiene operaciones de lectura y escritura independientes con líneas de control y dirección independientes hace posible que la MAU utilice eficientemente las técnicas de abertura de tiempo y bus común, eliminando la utilización de multiplexores. El direccionamiento y control de la RAM de operación 1300 está proporcionado por la ROM de control 1346, mientras bien el microprocesador 1064, el procesador de bit 1108 o la CIU 1068, pueden proporcionar los datos de entrada. En una abertura de tiempo predeterminada, los datos de uno de estos dispositivos se seleccionan por la MAU. La salida de la RAM 1300 se acopla bien a la memoria intermedia de datos 1310 o a la de dirección 1312, a través del bus de operación 1314.

La RAM de recepción intermedia de paquete 1306 que tiene los datos intermedios acoplados a la misma a través de la línea 1180, incluye cuatro archivos de registro de 4 por 4. Las líneas de dirección a la RAM 1306 están controladas por la ROM de control 1306 con el estrobo de escritura del intermedio de paquete. La salida de la RAM 1306 se acopla al procesador de datos 1324 por el bus de operación 1314. La RAM de órdenes 1304 consiste de dos archivos de registro de 4 por 4 y tiene líneas de dirección y señales de control proporcionadas desde la ROM de control 1346. La entrada de la RAM de orden 1304 se selecciona por la MAU del procesador de bit, el microprocesador o el CIU en las aberturas de tiempo predeterminadas. La salida de la RAM de órdenes se acopla al procesador de dirección 1332 y al control/tempo-

rización 1342 de tal manera que elimina el excesivo retardo de tiempo. Esto se consigue "preleyendo" la salida de la MAU y cargándolo en un registro en cada transición de la cuenta de abertura de tiempo. De esta manera, la orden a ser ejecutada durante la abertura de tiempo (n+1) se lee durante la abertura de tiempo n y se carga al final de la abertura de tiempo n. Un registro tri-estado 1308 sincroniza la operación de I/O microprocesador con la MAU y el bus común en la entrada de la RAM de operación 1300 y la RAM de órdenes 1304. El registro tri-estado 1038 puede consistir de dos registros tipo-D en cuadrete con salida de 3-estados. Las memorias intermedias de dirección y datos 1312 y 1310, respectivamente, están constituidos de cuatro archivos de registro de 4 por 4 y tienen controles de salida idénticos y controles de entrada diferentes. La salida del registro tri-estado se acopla bien a la RAM 1304 o a la RAM 1300 de acuerdo con el campo de control de la línea de dirección del microprocesador. La memoria intermedia tri-estado 1316 comprende tres memorias intermedias tri-estado y se activa cada vez que la CIU 1068 accede a la memoria intermedia de paquete. La salida de la memoria intermedia tri-estado 1316 se almacena en la memoria intermedia de dirección 1312. El procesador de datos 1324 consiste de siete escaladores de posición de 8-bits de alta velocidad y puede cambiar los datos de la memoria intermedia de datos 1310, como se necesitase. El procesador de dirección 1332 comprende cuatro directores binarios y dos escaladores de 8 posiciones. El procesador de dirección 1332 aumenta la cuenta de dirección y combina el contenido de la memoria intermedia de dirección 1312 y un registro índice para derivar una dirección de la memoria intermedia de paquete

de 15-bits. El registro índice es un registro de 8-bits interno que contiene el MSB (bits más significativos) de la dirección de la memoria intermedia de paquete. Esta dirección se acopla por la línea 1360 al registro de dirección de la memoria intermedia de paquete 1346 y se realimenta a la RAM de dispositivo 1336 como una referencia para la siguiente operación. Un multiplexor de dos-a-uno selecciona las entradas, bien la dirección o los datos, para su almacenaje en la RAM del dispositivo 1336. Todas las direcciones a ser accedidas en la memoria intermedia de paquete y los datos asociados a ser escritos en dicha memoria se almacenan en el registro de dirección de la memoria intermedia de paquete 1346 y en el registro de datos de dicha memoria 1326, respectivamente. Los registros 1346 y 1326 consisten cada uno de cuatro archivos de registro de 4 por 4 y el control de I/O de los mismos viene proporcionado por la ROM de control 1346. Un registro de datos de microprocesador 1362, que consiste de dos registros tipo-D de 4-bits, tiene una salida por la línea 1330 que se activa cuando el microprocesador 1064 registra la MAU, haciendo de esta manera que los datos estén disponibles en el bus de entrada del microprocesador. El registro de datos de la CIU 1338, que consiste de cuatro registros tipo-D de 4-bits, sirve para transferir los datos de la memoria intermedia de paquete a la CIU.

La unidad de Interface del Computador (CIU) 1068 proporciona un interface entre la MAU 1110 y la CPU 1106. La información de control de la CIU 1068 se acopla a la CPU 1106 por un canal multiplexor ancho de 8-bits 1184 y por un canal de Acceso a la Memoria Directo de 16-bits (DMA) 1186. Los bytes de datos se transfieren a través del canal DMA

1186 bajo el control del canal DMA de la CPU, y los bytes de datos se transfieren a través del canal DMA 1186 a la CPU con una velocidad del ciclo de memoria de hasta tres microsegundos por transferencia. El canal DMA está preparado para ejecutar la transferencia por la CPU por el canal multiplexor mencionado anteriormente. El canal de interrupción de alto nivel 1188 notifica a la CPU 1106 de la condición de listo de la memoria intermedia para requerir la transferencia de un paquete de datos de K bits entre la CIU 1068 y la CPU 1106, mientras que un canal de interrupción de bajo nivel 1190 notifica a la CPU 1106 de una requisición del canal multiplexor 1184 para transferir la información de control a la CPU. La capacidad de reposición viene proporcionada por el canal 1192. La capacidad de soporte para otra CPU (unidad de proceso central) se describe con más detalle en relación con la Figura 3, haciendo que los canales multiplexor y DMA 1184 y 1186, respectivamente, sean conmutables entre dos CPU. Operacionalmente, la CPU no interrumpe el FEP mientras se transfieren las órdenes a y desde la CIU 1018 o la RAM 1194 y los paquetes de datos a y desde la RAM de paquete 1112. La RAM de la CIU 1194 incluye treinta y dos localizaciones de 8 bits para cada una de las treinta y dos LAU. Esta capacidad viene proporcionada para cada canal por diez y seis registros para respuestas a la CPU y diez y seis registros para órdenes desde la CPU, las cuales órdenes son una cadena de instrucciones desde la CPU al FEP, como la siguiente tarea requerida del FEP para cada canal. Varios parámetros de órdenes asociados con las órdenes de transferencia son portadores de informaciones tales como duraciones del tiempo de las órdenes, números de teléfono, procedimiento de error, tipo

de máquina de facsímil, velocidad del tambor de facsímil, código, modulación (AM ó FM) etc. Las respuestas del FEP a la CPU instruyen a la CPU sobre lo que se ha hecho en respuesta a cada orden por canal, los parámetros de dicha respuesta

5 incluyen información tal como datos numéricos, números de canal, ID del abonado, Tiempos, etc. El microprocesador 1064 explora la CIU 1068 para las órdenes para cada canal y después de la ejecución de la orden explorada, acopla una respuesta para el canal apropiado a la CPU. Un ejemplo de órdenes

10 y respuestas puede ser:

	<u>ORDEN</u>	<u>RESPUESTA</u>
	(a) CANAL DE CONTESTACION 1	CANAL 1 DESCOLGADO
	(b) INDIQUE ID. DE ABONADO	DIGITOS ID DE ABONADO
	(c) INDIQUE TIPO DE MAQUINA	MAQUINA TIPO ALFA/NUMERICO
15	(d) INDIQUE VELOCIDAD DE MAQUINA	DIGITOS DE VELOCIDAD DE MAQUINA
	(e) INDIQUE DIRECCION DE DESTINO	DIGITOS DE DIRECCION DESTINO
	(f) ENTRE EN MODO DE DATOS	LLENO BUFFER DE PAQUETE CANAL 1
	(g) DESCONECTE CANAL 1	COLGADO CANAL 1

Por ejemplo, la respuesta (a) hará que la CPU 1106

20 requiera una memoria intermedia (buffer) de paquete para el canal particular, a la CIU 1068 se le comunica así por el canal MUX 1184 y la MAU 1110 controla la transferencia del paquete requisicionado desde la RAM de paquete 1112 en el canal DMA 1186 de la CIU para la transferencia a la CPU.

25 La carga de datos en el peor de los casos, de sesenta y cuatro K bytes por segundo, podría acoplarse de la CPU 1018 a la CPU 1110 en una transferencia paralelo de 16-bita. Por lo tanto, las posibilidades del FEP son de 256 bytes por segundo para un tráfico dúplex-total ya que cuando

30 se transfieren sesenta y cuatro K bits por segundo a las

treinta y dos LAU, tambien se transmiten sesenta y cuatro K bytes por segundo a través de la CIU a la CPU. Es importante hace notar que las anteriores cadencias de transferencia de datos dados a modo de ejemplo son para el tráfico de datos facsímil solamente, ya que para terminales de datos no-facsímil, un FEP manejaría normalmente una línea FDX a 9600 baudios cuando el microprocesador 1064 sea requerido para procesar cada carácter. Alternativamente, los caracteres generados por los terminales no-facsímil pueden procesarse de manera similar a como los de información facsímil, permitiendo así que el microprocesador procese tales datos en forma de bloque. La capacidad (K bytes por segundo) del FEP es normalmente más de veinticinco veces mayor para los datos facsímil que para los terminales no-facsímil, ya que el microprocesador de transmisión facsímil 1064 no necesita procesar cada byte a través del FEP, ya que los datos facsímil se transmiten directamente desde la LAU a la RAM de paquete a través del procesador de bit y la MAU. Este no es el caso para los terminales de datos no-facsímil, en dónde cada carácter del terminal de datos debe procesarse separadamente por el microprocesador debido a la diferencia de protocolo. Suponiendo una velocidad de exploración del microprocesador mencionado anteriormente de 500 microsegundos por canal (cada portador LAU) y suponiendo treinta y dos LAU, cada portador se explora sesenta veces por segundo haciendo posible entonces que la capacidad del microprocesador sea de sesenta caracteres por segundo y por portador dúplex-total (30 caracteres por segundo dentro, más 30 caracteres por segundo fuera) lo que es equivalente a un terminal FDX de 30 caracteres por segundo a 300 baudios.

Refiriéndonos ahora a la Figura 12, en ella se muestra en forma de diagrama bloque funcional simplificado la LAU 1100 descrita con referencia a la Figura 11, en dónde se representa el flujo de datos por las líneas dobles. Los

5 datos que se originan en un terminal individual, por la línea 1126, se acoplan en la LAU 1100 a un amplificador de obturación 1202 y las señales de control DAA 1118 de la línea 1118 se acoplan a través de la línea 1203 a la memoria intermedia del interface del microprocesador 1204 que interconecta los

10 datos ilustrados, la información de control y dirección al microprocesador 1064. Los datos solicitados se suministran al interface del microprocesador 1064. Los datos solicitados se suministran al interface del microprocesador 1204 a través del multicircuito de detección de tono 1206, que incluye

15 el detector del aparato de teclado 1132, los detectores de tono de facsímil, el tono de progreso de la llamada etc., y el detector de la señal 1130. Los datos por la línea 1208 activan el conmutador del Operador Interceptor 1210, que se utiliza con amplificadores de control apropiados 1212 para

20 iluminar las lámparas del indicador del LED 1214, y se acopla directamente al detector de FM 1138 (descrito con referencia a la Figura 11), el multiplexor 1216, la porción de selección del voter 1218, que selecciona bien la salida del detector de FM 1138 o del detector de AM 1136 para acoplar a un muestreador de datos 1220, y finalmente, a un multiplexor analógico

25 co 1222. El multiplexor 1216 y el voter 1218 según se describió operacionalmente en relación con el voter selector 1152 y el muestreador de datos 1220 y el multiplexor analógico 1199 en relación con el procesador de bit 1108. La salida del muestreador de datos 1220 se acopla al procesador

30

de bit 1073 a través de un control del bus de la memoria de datos 1222. El control de la transferencia de datos al procesador de bit viene proporcionado a través de la línea 1224.

La secuencia de la LAU está proporcionada por un secuenciador y la RAM, que controla un detector de AM 1136, el control del bus de los datos de salida de la memoria 1238, el muestreador de datos 1220 asociado con el procesador de bit, el control del bus de datos de la memoria 1222 y el MUX analógico 1199. El secuenciador 1226 comprende el secuenciador 1154 y la RAM 1160 ilustrada en la Figura 11.

La transmisión de los datos de la CPU 1106 a los terminales individuales a través de un FEP es operacionalmente similar a la recepción de los datos desde los terminales para la transmisión a la CPU 1106 a través del FEP.

Cuando la CPU 1106 contiene los paquetes de datos para el envío a una estación terminal, el código de identidad (número telefónico) de tal terminal se acopla a través de un bus multiplexor 1184 a la RAM 1194 de la CIU 1068 para el terminal de destino particular. El microprocesador (descrito con más detalle en relación con la Figura 16) entonces, en secuencia:

- (a) señala el convertidor de nivel DAA 1120 en Descolgado,
- (b) detecta el tono de marcación a través del detector de tono de control 1134
- (c) marca el teléfono del terminal de destino particular a través de la línea de control 1118 del convertidor de nivel DAA 1120 (pulsando un relé de Descolgado);
- (d) detecta la señal de Marcación a través del circuito detector de tono 1206,
- (e) detecta la respuesta del teléfono en el terminal de des-

tino por la interrupción de la llamada; y

(f) señala el convertidor de nivel DAA 1120 para el colgado en el supuesto de que se detecte una señal de ocupado en el apartado (e), en cuyo supuesto se desconecta la línea 1024 y se notifica a la CPU 1106 a través de la CIU 1018.

5 Cuando la transmisión de datos puede empezar, la CPU ordena al microprocesador 1064 para que la unidad generadora de voz 1166 (descrita en detalle con referencia a la Fig. 14) comunique al operador terminal de que un mensaje es-
10 tá listo para su envío al terminal a una velocidad determinada, por ejemplo, tres minutos, seis minutos, etc. El operador del terminal tiene diferentes respuestas posibles, por ejemplo, introducir un código ID etc., descrito anteriormente, la cual respuesta se acopla a la CPU 1106 a través del Circuito de
15 Entrada del Procesador (FEP). La colocación del microteléfono en el acoplador acústico en el terminal inicia en intercambio de control, sincronismos y tonos de entendimiento entre el terminal de facsímil y el FEP bajo el control del micropro-
cesador 1064. Todo el intercambio descrito antes de órdenes,
20 respuestas y parámetros (características) del terminal entre el microprocesador 1064 y la CPU 1106 se hacen a través de la CIU 1068, la RAM 1194 y el canal multiplexor 1184. La aparición de una respuesta del operador del terminal se señala a la CPU por el microprocesador a través de la línea de
25 interrupción de bajo nivel 1190.

Los datos se acoplan de la CPU 1106 por el canal DMA 1186 en paquetes de 1024 bytes (8129 bits) a la CIU 1068, junto con la dirección de canal (terminal de destino) para el paquete. El paquete y la dirección se acoplan a la MAU
30 1110 también a través del canal DMA, a dos memorias inter-

medias de 1 K-byte por cañal en la RAM de paquete 1112. El microprocesador requiere más paquetes cuando la RAM de paquete asociada con un canal particular está vacía. Por este procedimiento se consigue una capacidad de datos de la CPU 1106 a la CIU 1068 de 16.000 bits/segundo/canal (64 K bytes/segundo) para los treinta y dos canales. La velocidad de transferencia real está en la velocidad del ciclo de memoria del FEP, alrededor de una megabyte/segundo.

Desde la CPU 1106, los paquetes de 1 K byte se acoplan a la CIU 1068 a través del canal DMA paralelo de 16-bits, junto con la dirección del canal (terminal). Estos paquetes se escriben en los dos registros de las memorias intermedias de 1 K byte que corresponde al canal particular al que el paquete se direcciona dentro de la RAM de paquete 1112. Cuando se llena una de estas memorias intermedias (descritas con referencia a la Figura 13), el microprocesador 1064 requiere otro paquete de la CPU a la otra mitad de la memoria intermedia de 1 K byte por canal, y ordena a la MAU 1110 que envía al procesador de bit 1108 una zona de cuenta comprimida a la vez, o dos zonas de cuenta comprimidas alineadas verticalmente a la vez, para líneas de exploración facsímil consecutivas y hacer posible el procesamiento de las mismas por el procesador de bit para la compresión vertical.

El procesador de bit 1108 funciona sobre las zonas de cuenta comprimidas mencionadas anteriormente desde la MAU 1110 con un algoritmo de intercambio (referido algunas veces como algoritmo de decompresión) para volver a crear los datos originales antes de la compresión. El procesador de bits transfiere entonces los datos recuperados (expandidos) directamente a la LAU 1100.

Para el caso en que los datos originales se derivan de una máquina de facsímil que tenga más líneas de exploración por unidad vertical que la máquina de facsímil de destino, por ejemplo, 96 líneas de exploración por 2,4 cms
5 contra 88 líneas de exploración por 2,4 cms, el procesador de bit fundirá juntas cada línea de orden 11 con la de orden 12. Las líneas de exploración se derivan de la relación de 88 a 96, esto es, 11 a 12. Por supuesto que para otras relaciones de las líneas de exploración por unidad vertical,
10 de las máquinas de origen y destino, pueden fundirse otras relaciones de líneas de exploración y la descrita incompatibilidad de una relación de 11 a 12 se hace solamente a modo de ejemplo.

Después del alineamiento vertical, las zonas de
15 cuenta comprimidas se funden, se expanden y acoplan al modulador AM de la LAU correcta 1196 y el modulador FM 1198.

Un algoritmo de intercambio puede funcionar como sigue: Suponiendo que se recibe en el procesador de bit una cuenta comprimida de ocho bits con una polaridad indicativa
20 de "negro", el procesador de bit expande esta cuenta de ocho en 256 bits "negro" ($2^8 = 256$) que se acopla a los moduladores de la LAU como se ha mencionado anteriormente. Como puede verse, los ocho bits han sido decomprimidos o expandidos en 256 bits. La relación del intercambio de compresión
25 puede ir de cero a treinta y dos con un promedio de, aproximadamente, 5:1 de compresión. Los datos recibidos del procesador de bit en la Unidad Adaptadora de Línea para la transmisión a un terminal se almacenan momentáneamente en el
30 interface del procesador de bit 1197 que es secuenciado por el secuenciador 1154 como se describió con referencia a la

Figura 11 para acoplar todos los datos a una cadencia de 10.4 K-bits por segundo desde la línea 1156. La salida del interface del procesador de bit 1197 se acopla a un modulador de amplitud 1196 y a un modulador de FM 1198 y luego a un multiplexor 1199, un multiplexor analógico que está condicionado por el secuenciador 1226 para seleccionar el modulador AM o el FM apropiado, de acuerdo con las características de modulación de la máquina de facsímil del terminal, para la transmisión a través de la línea 1200 al terminal facsímil individual. El MUX analógico 1199 permite la conexión de la línea telefónica 1104 al generador de tono de control 1194, al modulador Am 1196, al modulador FM 1198 y a la unidad demoduladora de voz 1164.

El generador de tono de control 1194 incluye los generadores de tono 1232 y 1234 para generar tonos audibles a diferentes frecuencias, los tonos A y B, y se acopla a la línea telefónica 1104 a través del multiplexor 1199 bajo el control del microprocesador para la transmisión de los tonos en duraciones predeterminadas y los tonos combinados a través de un sumador 1236. El control del bus a la RAM del procesador de bit 1172 viene proporcionado por un circuito de control del bus 1238. Los tonos de control acoplados al terminal facsímil de destino proporcionan el entendimiento, la sincronización, el control, el tono portador de AM y otras señales de una manera similar a como se proporcionan cuando los datos se transmiten desde el terminal.

La unidad de interface 1197 recibe los bits de datos de facsímil negro y blanco desde el procesador de bit que se tratan de forma estroboscópica por el secuenciador

1154, en bien el modulador FM 1198 o el modulador AM 1196, que se seleccionan por el multiplexor 1199 de acuerdo con la modulación utilizada por la máquina facsímil del terminal. El secuenciador 1154 sincroniza con la velocidad del tambor, en revoluciones por segundo, de la máquina facsímil receptora y trata normalmente 1600 bits por segundo por línea de exploración, que es equivalente a una revolución del tambor, de la unidad de interface 1197 en el modulador FM 1198 y el modulador AM 1196. El modulador respectivo convierte los bits negro y/o blanco en tonos de negro y/o blanco para acoplar a la línea telefónica.

El modulador AM 1196 recibe los bits negro y/o blanco en forma estroboscópica desde el secuenciador 1154 y utiliza estos bits para controlar el porcentaje de modulación en el modulador AM. Específicamente, los bits negro (por ejemplo, un lógico 1) hace que el valor total del tono de portadora AM se acople a la línea telefónica al terminal facsímil receptor, mientras que los bits de blanco (lógico cero) hacen que se acoplen a la línea telefónica la mitad del valor del tono de portadora AM.

El modulador FM 1198 ha recibido en forma estroboscópica los bits de negro y/o blanco del procesador de bits 1108 a través de la unidad de interface 1197 por el secuenciador 1154, también a la velocidad típica de 1600 bits por línea de exploración, esto es, una revolución del tambor de la máquina de facsímil receptores. Estos bits se utilizan en el modulador FM para controlar al VCO y acoplar una diferente, por ejemplo alta frecuencia a la línea telefónica para los bits de negro y acoplar una baja frecuencia a la línea telefónica para los bits de blanco. La máquina de facsímil en el

terminal de recepción, a través de su descolgado telefónico a su acoplador acústico, utiliza las señales recibidas para reproducir el mensaje de facsímil recibido.

Describiremos ahora el VGU 1166 con referencia a las Figuras 11, 14, 15 (a) y 15(b). El VGU se interconecta al microprocesador 1064 por el bus de I/O del multiplexor 1070 y a las treinta y dos LAU a través del bus de datos de voz 1168. Para cada LAU, el VGU proporciona una transferencia de datos de 8 K-bits/segundo a través de la línea 1168 a la Unidad Demoduladora de Voz 1164. El VGU incluye un PROM (memoria solamente de lectura programable) de 8 K-bits 1402 para cada una de las sesenta y cuatro palabras del vocabulario, cada una de cuyas palabras está codificada en la distribución de 8 K-bits. El VGU 1166 incluye otra PROM que contiene un algoritmo de decodificación y una RAM de control 1404 que incluye memorias intermedias por canal controlado, ilustradas por los registros 1406, 1408, 1410 y 1412. Las localizaciones de palabra de la RAM 1404 son normalmente de 8 bits.

Cada memoria intermedia de la RAM incluye registros que corresponden a localizaciones de palabra, como sigue:

- (a) la dirección de la LAU a la que la palabra seleccionada tiene que acoplarse a través del lógico de control 1418, al que la salida de datos de la RAM de control 1404 se multiplexa para cada canal por los multiplexores 1420, 1422, 1424, y 1426;
- (b) la dirección de la PROM de la palabra seleccionada 1402 a través de las líneas de dirección 1414 y 1416;
- (c) un acumulador para avanzar a través de un algoritmo de decodificación por la PROM de palabra; y

(d) un registro para controlar la ejecución del algoritmo.

Los registros anteriores están incluidos dentro de las memorias intermedias 1406 a 1412 por el lógico de control 1418 y son de diseño convencional, comprendiendo registros de 8-bits.

5 El microprocesador 1064 controla el funcionamiento del VGU a través de las líneas 1428, 1430, 1432, 1434, 1436 y 1438 instruyendo al VGU para que dé salida a una palabra particular a un canal particular. El VGU selecciona cada palabra particular de la PROM 1402 y lee los 8 K-bits de la misma a través de la línea 1403 al lógico de control 1418, la cual operación se ilustra por las Figuras 15(a) y 15(b). La salida del lógico de control 1418 se acopla a través de la línea 1168 al VGU según lo seleccionado por la línea de dirección de voz 1440. La palabra específica seleccionada de la PROM 1402, y mencionada anteriormente, se decodifica bit a bit, antes de su acoplamiento, N bits a la vez en paralelo al VDU. El proceso de exploración anterior se consigue por medio del lógico de control 1418 que multiplexa las direcciones del VDU en la RAM de control 1404 a través del multiplexor de 3:1, 1442, que se explora por un registro de exploración 1444, que está interconectado al multiplexor 1442 por medio del sumador 1446. Las señales de temporización y sincronización del microprocesador, de una manera convencional, están proporcionadas a través de las líneas mencionadas anteriormente 1430 a 1438. Por ejemplo, la dirección de destino de una VDU particular se acopla a través de la línea 1430 a la VGU en donde se puertea por la puerta 1448 al multiplexor de 2:1, 1450, controlado a través de la línea 1452 desde el lógico de control 1418 y a cuya

10

15

20

25

30

salida se acopla un multiplexor 2:1, junto con la salida del multiplexor 3:1, 1442, a la RAM de control, para proporcionar la dirección seleccionada a la misma. Otras puertas de interface AND, 1454 y 1456, el inversor 1458 y los flip-flops 1460, 1462 y 1464 están acoplados al lógico de control 1418 y proporcionan el interface de una manera convencional, por lo que no los describiremos aquí en detalle.

Las transferencias paralelo de bits acoplados a cada VDU se modulan en una palabra hablada de duración desde medio a dos tercios de segundo y, como se mencionó anteriormente, las VDU adaptan las frecuencias y la amplitud de la palabra hablada a la línea telefónica. A la conclusión de la palabra hablada por la VDU, la VGU da conocimiento del mismo al microprocesador a través del flip-flop 1460 y la dirección de la siguiente PROM de palabra a ser enviada a la VGU especificada se transfiere entonces desde el microprocesador a la VGU. Nótese que la VGU es capaz de enviar bits de palabra codificados desde cualquiera o desde todas las PROMS de palabra (solamente una de las cuales se ilustra en 402) a cualquiera o a todas las VDU simultáneamente. Se ve así que, multiplexando la voz, cualquiera VDU puede estar generando cualquier palabra del vocabulario al mismo tiempo que cualquiera otra o todas las VDU están generando cualquier palabra del vocabulario.

La Figura 14 ilustra los registros mencionados anteriormente que corresponden a cuatro localizaciones de palabra de 8-bits en la RAM de control. Las cuatro localizaciones para un solo canal se ilustran en las direcciones de la PROM 1502 y 1504, la cuenta en 1506 y también se almacena la cuenta/estado en 1508.

La secuencia de la RAM de control se ilustra en la Figura 15 (b), en donde para cuatro microsegundos, cada VDU se divide en ocho aberturas de tiempo de 500 nanosegundos, ilustradas como las aberturas de tiempo 0 a 7 para una sola exploración de una sola VDU. La secuencia múltiplex para la operación en-tiempo y la fuera-de-tiempo se muestran para cada abertura de tiempo con una operación particular para en-tiempo mostrada por la columna 1510 durante la cual los datos se acoplan a la RAM de control 1404 a través de la línea 1466 y para la operación fuera-de-tiempo, se muestra por la columna 1512 durante la cual los datos se acoplan a la RAM de control 1404 a través de la línea 1468.

La secuencia de la RAM de control de la Figura 15(b) hace posible que los datos almacenados en la PROM 1402 se compartan entre treinta y dos canales. La organización de la RAM de control mostrada en la Figura 15(a) consiste de dos localizaciones para la dirección de la PROM en curso (PAL y PAM), una localización para usar como acumulador de datos (cuenta) y una localización que especifica el estado de cada canal (estado/control). La secuencia de la RAM de control de la Figura 15(b) de ocho aberturas de tiempo de 500 nanosegundos se divide en un período de RAM de escritura (dentro del tiempo) y un período de RAM de lectura (fuera de tiempo). Las aberturas 0-3 almacenan información en los registros para el canal presente y leen las localizaciones correspondientes para el siguiente canal en los registros. Las aberturas 4-6 están disponibles para el proceso de esta información para formar los datos de voz acoplados en la aberturas de tiempo 6 del período Fuera de Tiempo. La abertura 7 está asignada para el acceso del microprocesador a

la RAM de control en el canal especificado por una señal de dirección de dispositivo (DEVAD) y es independiente del número de canal referenciado por el lógico de la RAM de control. Así, la RAM de control de 128 por 8 que contiene
5 la dirección de la PROM y la información de control para cada canal es accedida, para el canal identificado, por un registro de exploración y se procesa junto la salida de la PROM para formar los datos de voz.

El microprocesador y su lógico asociado se ilustran en forma de diagrama bloque simplificado por la Figura 16 y se describió anteriormente interconecta todas las Unidades Adaptadoras de Línea y otros subsistemas del FEP proporcionando la inicialización del control, la sincronización, vigilancia, detención y reposición de todas las unidades y
10 como también se ha mencionado antes, puede incluir un procesador Intel 8080 en 1660. El procesador de bits 1108, la MAU 1110, la VGU 1166 y la CIU 1018 están todas acopladas a través del bus de I/O del multiplexor 1170 a un multiplexor de I/O microprocesador 1602 a través de las líneas de
15 datos de entrada y salida 1604 y 1606, respectivamente, las líneas de control 1608, las líneas de control 1608, las líneas de dirección de unidad 1610 y las líneas del campo de control 1612 y las líneas de dirección de dispositivo 1628. Las treinta y dos Unidades Adaptadoras de Línea
20 están acopladas al microprocesador a través del bus de I/O del selector 1172 a través de las puertas de I/O del selector 1614 por diferentes líneas de entrada y salida de datos 1616 y 1618, respectivamente, las líneas de control 1620 y otras líneas 1622 y 1626 que identifican la LAU conectada al selector I/O 1172 y las líneas 1624 que especifican el control
25
30

a ser ejercido en la LAU. Un reloj del sistema 1630 proporciona la temporización para las puertas de I/O del multiplexor 1602 a través de la línea 1632, para las puertas de I/O del bus selector 1614 a través de la línea 1634 y también
5 suministra el reloj de I/O del multiplexor en la línea 1636 y el reloj de I/O del selector en la línea 1638 para la temporización apropiada en el multiplexor respectivo y los buses selectores de los diferentes datos y órdenes del sistema. El relé del operador interceptor 1162 del secuenciador
10 1154, el convertidor de nivel del Dispositivo de Acceso de Datos 1120, el detector de nivel de la señal 1130, el detector del Aparato de Teclado 1132, el detector de tono de control 1134 y el generador de tono del control 1194, interconectan todos el microprocesador a través del bus de I/O
15 del selector 1172 a cada una de las treinta y dos Unidades de Línea.

La temporización proporcionada por el generador de reloj del sistema 1630 y un generador de reloj interno 1640 y el tiempo interruptor 1648 es tal que el microprocesador 1064 explora secuencialmente cada una de las treinta
20 y dos LAU a intervalos de 500 microsegundos, con una exploración completa de las treinta y dos LAU en 16 milisegundos. Por lo tanto, el microprocesador explora cada LAU sesenta veces por segundo. Se ve así que sesenta veces por segundo
25 y por canal el microprocesador:)a) vigilará un cambio de estado; (b) causará un cambio de estado y (c) realizará las operaciones de entrada/salida sobre un carácter terminal del dato generado. Una PROM de seis K byte 1642 contiene los programas para controlar los canales, y una RAM de 1 K byte
30 1644, utilizada por todos los canales, contiene una memoria

intermedia de apuntes de escritura-lectura. La RAM 1645, que puede estar alejada del microprocesador, se acopla al mismo, por un portador de memoria 1646. Un reloj de tiempo real, derivado del generador del reloj 1640, se acopla a un cronizador interruptor 1648 que interrumpe al microprocesador cada 500 microsegundos, para secuenciarlo al siguiente canal a través de una memoria intermedia ilustrada en 1650. A la llegada de la secuencia, cada canal se vigila una a uno a través de su secuencia apropiada por el microprocesador, anotando mientras tanto cualesquiera condiciones de error. La memoria de escritura/lectura de la RAM 1644 contiene la información necesaria para que el microprocesador implemente el control del sistema. En cualquier momento, este control incluye, a modo de ejemplo, lo siguiente:

- 15 (a) Velocidad del Mensaje Facsimil, por ejemplo, 2, 3, 4 ó 6 minutos;
- (b) Código, esto es, ASCII, Baudot, y EBCDIC;
- (c) Demodulación, esto es, AM, FM;
- (d) Número Telefónico del Terminal de Facsimil;
- 20 (e) Protocolo de la Máquina de Facsimil;
- (f) Tonos de Sincronización (secuencia y duración);
- (g) Control DAA (dispositivo de Acceso de Datos), esto es, corte del acoplador de Descolgado al indicador de llamada;
- (h) Estado de la Memoria intermedia de la RAM de paquete, esto es, llena o vacía.
- 25 (i) Dirección Memoria Intermedia por Canal;
- (j) Ordenes del Microprocesador, respuestas, parámetros del terminal, condiciones de error, T/O (time-Outs), etc.,
- (k) Registro de Estado (localizado en la RAM) para controlar la secuencia de las operaciones a ser ejecutadas por canal)
- 30

- (1) El estado instantáneo de las diferentes sub-unidades del FEP para cada portador del FEP;

Los datos de control anteriores almacenados dentro de la RAM 1645 del microprocesador se consigue por el microprocesador basado en el Intel 8080, como consecuencia, la memoria específica no se describe aquí con más detalle. Es suficiente, para la descripción, que el reloj de tiempo real mencionado antes del microprocesador, interrumpe el microprocesador cada 500 microsegundos, en cuyo momento el microprocesador controla la secuencia al siguiente portador (canal) del FEP. Durante cada uno de los mencionados intervalos de 500 microsegundos por cada portador, la rutina Directora del microprocesador almacenada en la PROM 1642 selecciona la dirección de la siguiente introducción a ser ejecutada de la RAM 1645 (en particular, fuera del registro de estado contenido en la misma) y acopla esta dirección seleccionada a un registro de dirección de instrucción en el microprocesador 1064. Una función de control de la dirección del índice ilustrada en 1652 se consigue por una línea de dirección de dispositivo 1626, la dirección 1654 por la que la memoria de lectura-escritura 1644 puede ser accedida basada en el dispositivo particular identificado por la dirección de la línea 1626. Las diferentes líneas de control y datos de dirección del microprocesador 1654, 1656 y 1658, respectivamente, que están multiplexadas por el multiplexor de I/O 1602 al bus de I/O 1170 del multiplexor, están acopladas a la RAM 1645 a través del portador de memoria 1646, como se ilustra. La temporización para los datos de dirección y las líneas de control que tienen su origen en el reloj de tiempo real 1640 está proporcionada a través del microproce-

sador 1660. Por simplicidad en la descripción, se indican líneas únicas en la Fig. 16 que representan el flujo de datos con barras transversales en las mismas. Sin embargo, nótese que el número asociado con cada una de las barras indica el número de líneas; como consecuencia, existen diez y seis líneas, ocho líneas de datos con salida de los registros 1660. El requisito de amplificación para las líneas de dirección esta proporcionado por los amplificadores de dirección 1662. El controlador del bus de datos del microprocesador 1664 asegura la sincronización entre los datos y el controlador de interrupción y acopla las señales de control al multiplexor 1602, a la memoria de lectura-escritura 1644, a la PROM 1642 y la RAM 1645 a través del portador de memoria 1646. Como se deduce de la anterior descripción, el programa Director y la PROM 1642 selecciona la siguiente dirección de instrucción de la RAM 1645 y comienza a ejecutar la rutina de servicio apropiada. El microprocesador secuencía así los programas seleccionados para incrementos de 500 microsegundos antes de ser interrumpido por el reloj de tiempo real y produce cortas rutinas de 500 microsegundos en cada uno de los treinta y dos canales FEP, sesenta veces por segundo. Estos cortos programas que están en la práctica configurados para realizar las diferentes secuencias descritas con referencia a las Figuras 10 a 15 entre los cuales está la vigilancia y generación de la sincronización de control y los tonos de entendimiento, inician a la VGU 1166 para que transfiera a la VDU, tal como la VDU 1164.

Las anteriores rutinas de 500 microsegundos se mencionan solamente a modo de ejemplo, y debe entenderse que muchas funciones adicionales se inician, vigilan, detectan

y conmutan por estos programas. El microprocesador y el lógico asociado 1064 incluye también las salidas a varios indicadores, tales como los LED y varios conmutadores de control en el FEP mostrados en 1670 para permitir que un operador vigile visualmente las diferentes operaciones del microprocesador.

Una descripción más detallada del método de transmisión por conmutación de paquetes utilizado aquí se describe con referencia a un mensaje de datos constituido por diferentes "paquetes de facsímil" de acuerdo con el presente invento. Un mensaje de facsímil típico contiene entre 800.000 y un millón de bits de datos. Después de una compresión de aproximadamente 5:1, de acuerdo con otro aspecto del presente sistema, quedan entre 150.000 a 250.000 bits que todavía requieren un formato en paquete.

El tamaño del paquete es flexible y puede variar de entre, por ejemplo, 1024 bits a 8192 bits por paquete. De esta manera, un mensaje típico de facsímil contendrá veinte o más paquetes, representando cada paquete un corto segmento subdividido del mensaje completo. Un paquete completo que contiene 1024 bytes (8192 bits) de un mensaje de facsímil se ilustra en la Figura 18. Cada paquete incluye un encabezamiento, un campo de información y una porción de comprobación de error para realizar una comprobación redundante cíclica (CRC). El encabezamiento consiste de un código que identifica la fuente del mensaje, el destino del mensaje y un identificador de secuencia de paquete. El identificador de secuencia de paquete es un código que permite que el paquete sea reensamblado en su destino en la secuencia apropiada con los otros paquetes que constituyen el mensaje de facsímil

completo y hace posible que los diferentes procesadores mantengan la pista del paquete para la comprobación de los errores.

Refiriéndonos a las Figs. 17 a 19, se describe el protocolo de paquete utilizado por el presente invento, el cual proporciona la transmisión independiente de los paquetes individuales a través del sistema. La subdivisión y reensamble de los paquetes de/a mensajes completos, se describe después con referencia a la descripción del Protocolo de Mensaje. El Protocolo de Mensaje se define como el formato de operación, encaminamiento y control de los paquetes transmitidos a través del sistema, desde el SNPAS fuente, a través de uno ó más SNPAS intermedios, a un SNPAS de destino. Mientras el protocolo de nivel más alto (protocolo de mensaje) genera los paquetes, tal protocolo de nivel más alto utiliza el protocolo de paquete como el medio de transmisión para los paquetes. Generalmente, la transmisión de paquete implica los pasos ilustrados en la Figura 17 en donde los paquetes, después de su generación por un protocolo de nivel más elevado en un SNPAS fuente o concentrador, se transmiten a un destino utilizando el protocolo de paquete como medio de transmisión a lo largo de las vías de comunicación más eficientes en ese momento. Después de la puesta en cola de los paquetes por un algoritmo de encaminamiento, los paquetes viajan desde el SNPAS al SNPAS hasta llegar al destino correcto, de acuerdo con una dirección de destino del paquete, para enviar al protocolo de nivel más alto (el protocolo de mensaje en donde los paquetes se reensamblan en el mensaje original).

se transmite por una red que incluye diferentes nodos de conmutación (SNPAS), que son computadores que tienen suficiente capacidad de programa para interpretar el contenido de los paquetes y suficiente almacenaje de núcleo para almacenar los paquetes recibidos y conmutar tales paquetes para su retransmisión a un SNPAS de destino o directamente a un FEP para acoplar a un terminal de datos individual. La red de transmisión se realiza típicamente por líneas de transmisión digitales a 9,6 K-bps a 56 K-bps.

10 La Figura 18 ilustra un paquete de datos típico que incluye un encabezamiento, un campo de información y una porción de comprobación de redundancia cíclica (CRC). Típicamente, el encabezamiento del paquete consiste de 72 bits, el campo de información es variable hasta 8192 bits y el CRC es de 16 bits.

En la Fig. 19 se ilustra un protocolo del encabezamiento del paquete. La primera mitad del byte del encabezamiento del paquete es el Campo Tipo del Paquete que sirve para el reconocimiento de un paquete específico por el SNPAS conmutador cuando se recibe en dicho SNPAS.

La siguiente mitad del byte (4 bits) del encabezamiento es el Campo del formato que permite el reconocimiento del formato del encabezamiento, que es variable según el tipo del paquete esto es, facsímil, no facsímil, etc. Para fines descriptivos, se ilustra un formato de dirección única que indica no solamente la posición de cada campo del encabezamiento del paquete, sino la longitud de dicho encabezamiento.

Los campos de dirección, bytes 2 de la dirección de destino y el byte 3 de la dirección de origen, especifi-

can el SNPAS para el que va el paquete y el punto de origen del mismo, respectivamente. En el supuesto de que se utilice un formato multi-dirección (no mostrado), el campo de dirección de destino, byte 2, se repetiría tantas veces como
5 destinos existan indicados por el código de distribución del mensaje original. Sin embargo, para simplificar la descripción, solamente se ilustra un byte de destino único.

Los bytes 4, 5 y 6 comprenden el Campo del Nombre del Mensaje, que sirve para identificar el mensaje al que
10 pertenece el paquete, y que en la aplicación de facsímil, se origina por el SNPAS fuente o concentrador. El número de secuencia del paquete, byte 7, sirve para identificar el paquete que corresponde al mensaje cuyo nombre está dado
or el campo del nombre del mensaje. Típicamente, un máximo
15 de 256 paquetes son identificables para cada mensaje y la combinación de la dirección de origen, nombre del mensaje y número de secuencia del paquete identifican completamente dicho paquete. Los números de secuencia se utilizan como se describió con respecto al protocolo del mensaje, para el
20 reensamble del mensaje como un todo en el destino.

El campo de control del paquete (bytes 8 y 9) sirve para proporcionar el control de encaminamiento del paquete a través de la red y los diagnósticos internodos y el intercambio de información, esto es, el último SNPAS
25 visitado en la propagación del paquete a través de la red, el tiempo de vida transcurrida del paquete en términos del número de SNPAS visitados, desde el primer SNPAS, etc, lo que hace posible la vigilancia de la localización del paquete en todo momento a través de la red.

30 El campo del proceso del mensaje (no mostrado)

puede ir junto al encabezamiento y se utiliza como un campo de control para el proceso del mensaje según el tipo de dicho mensaje. Para el aplicación de facsímil, tal información como el proceso del mensaje, composición del mensaje de código, código de conocimiento del mensaje, etc.. pueden con-
5 tenerse en el mismo.

Describiremos seguidamente el funcionamiento del protocolo del mensaje. Como se mencionó anteriormente, los paquetes se transmiten independientemente, se conmutan
10 y reconocen por el protocolo de nivel más elevado, esto es, el protocolo de mensaje que lo genera, estando basada tal transmisión solamente sobre la dirección del destino contenida en el paquete mismo y la información de control adicional específica al paquete individual asociado con su res-
15 pectivo control de encaminamiento. Es importante hacer notar que el reconocimiento de la recepción de los paquetes individuales tiene lugar solamente sobre la base de un internodo (SNPAS a SNPAS) esto es, no existe un esquema de reconoci-
miento de extremo-a-extremo para cada paquete. Sin embargo,
20 existe la posibilidad de detectar un paquete perdido por el siguiente nivel del protocolo. El retardo de la puesta en cola se reduce en cada nodo de conmutación por medio de un esquema de prioridad para hacer posible la supervisión de los paquetes, tal como un control de línea y los paquetes
25 de encaminamiento, y los paquetes retransmitidos a ser trans-
mitidos antes de los paquetes de datos del mensaje, y para los paquetes de datos del mensaje a ser divididos además en términos de la prioridad deseada con los paquetes de
los datos del mensaje que tengan un retardo de quince mi-
30 nutos con una prioridad más elevada que los paquetes de datos

El mensaje que tengan un retardo de cuatro horas que, a su vez, tendrían una prioridad más elevada que los paquetes de datos del mensaje que tengan un retardo de más de una noche.

En cada lugar de conmutación de SNPAS, se asigna un estado diferente a cada paquete una vez que se recibe en dicho lugar, comprobando la dirección de destino, cada una de tales direcciones de destino es el último destino para el paquete y si el paquete no es destinado al SNPAS fuente o de envío mismo, se envía entonces al proceso de protocolo de mensaje para el reensamble de acuerdo con su nombre de mensaje. Los paquetes que no hayan llegado a su destino final se conmutan y ponen en cola en el enlace de salida apropiado en el siguiente nodo de conmutación a lo largo de la línea, bien en un SNPAS intermedio (tránsito) o en un SNPAS de destino. El estado de tales paquetes en tránsito es el siguiente:

	<u>ESTADO</u>	<u>DESCRIPCION</u>
	1	Recepción (de la línea o del nivel más alto de protocolo).
20	2	En cola, para la transmisión o almacenaje en el disco del SNPAS.
	3	Transmitido pero no Reconocido
	4	Recibido correctamente en el lugar siguiente (reconocido).
25	5	No recibido en el SNPAS siguiente después de la transmisión.

Es importante hacer notar que una vez que el paquete se ha recibido correctamente en el siguiente SNPAS y reconocido, se borran todos los registros del mismo en el SNPAS de conmutación, que lo ha transmitido por última vez.

El campo suma de comprobación extremo-a-extremo CRC ilustrado en la Figura 18 asegura la integridad del paquete durante la transmisión del mismo. Tal comprobación de extremo-a-extremo, es preferible aunque no obligatorio ya que el encabezamiento del paquete puede cambiar a lo largo de la vía de transmisión, este encabezamiento puede ser segregado en un nodo de conmutación determinado y puede añadirse un nuevo, cambiando por lo tanto la dirección de destino del paquete. Dentro de las localizaciones de conmutación o de recepción, los paquetes se almacenan en memorias intermedias de núcleo y se protegen contra fallos del sistema por un mecanismo de recuperación por el que un sistema de reserva se hace cargo del mismo cuando tiene lugar un fallo en el sistema on-line, como se describió con referencia a la Figura 3. Aún cuando los paquetes/pueden pertenecer a una variedad de mensajes originales, tales como facsímil (mensajes multi-paquete) o datagram (mensajes on-paquete), un reconocimiento negativo (NAK) provocará la retransmisión del paquete por el sitio de la última transmisión del mismo.

Tres tipos primarios de errores son anticipados y proporcionados por el protocolo de paquete. La primera condición de error es la condición de paquete erróneo, que existe cuando ocurren errores de bits en un paquete. Esta condición se corrige por la utilización de la suma de comprobación CRC. La CRC de 16-bits proporciona una corrección de error de no mayor de un error de un paquete de 8 K no detectable por 500.000 paquetes transmitidos a una cadencia de error de bits de línea de 10^{-6} . Por supuesto que, la utilización de una suma de comprobación CRC mayor, por ejem-

plo, de 24 bits reduciría además la cadencia de error de paquete a 10^{-8} error de bit por línea para paquetes de 8K.

La segunda condición de error anticipada es la pérdida de la condición de paquete, por la que, por cualquier razón, puede perderse un paquete a lo largo de la red. La recuperación de paquete bajo tales condiciones es posible solamente por medio de un reconocimiento extremo-a-extremo (origen a destino) para cada paquete, una técnica imposible de llevar a la práctica, debido a la cantidad de almacenaje extra requerido, ya que una copia de cada paquete transmitido tendría que retenerse en el origen hasta la recepción y reconocimiento. Tal condición de pérdida de paquete puede ocurrir por ruido en la línea de transmisión, un fallo en la línea de transmisión o en el SNPAS de origen, el método de encaminamiento empleado y la congestión de paquetes en la línea, por ejemplo, la eliminación de un paquete para propósitos de descongestión. La cadencia de error baja de la transmisión elimina virtualmente la condición de pérdida de un paquete. Sin embargo, puede existir una condición de "sangría de paquete" en la que un paquete se transmite y retransmite entre dos lugares de SNPAS, que se puede corregir por la prohibición de que el paquete segregado vuelva al nodo de origen.

La tercera posible condición de error es la condición de "paquete Duplicado" por la que pueden producirse paquetes duplicados durante la retransmisión intermedia de los mismos. La corrección de tal condición se consigue por el siguiente nivel de protocolo por la existencia de protección del nombre del mensaje, origen, dirección y número de paquete descrito con referencia a la Figura 19 y rechazando

cualesquiera duplicados recibidos.-

El protocolo de mensaje descrito aquí lo ampliaremos seguidamente. Este protocolo controla el formato, la puesta en secuencia y segmentación de un mensaje facsímil en el SNPAS de origen, la transmisión correcta del mensaje, y el reensamble del mismo en el destino final. El encabezamiento del mensaje está sujeto a ciertos encabezamientos de paquete, tal como los descritos con referencia a la Figura 19. El encabezamiento de mensaje incluye un código de procesamiento del mensaje, datos del número total de segmentos (paquetes) que constituyen el mensaje, y la dirección del portador de FEP del terminal de destino. Por supuesto que, podrían requerirse direcciones de portador del FEP múltiples para destinos múltiples; como consecuencia, el encabezamiento del mensaje es de una longitud en bit variable.

La segmentación del mensaje en el SNPAS de origen se consigue por la tabla de mensaje, en donde se almacena cada dirección del disco del segmento. Así, el mensaje se segmenta, se escribe en los discos, y las direcciones del disco se almacenan en la tabla de mensaje. Cuando se recibe el mensaje completo libre de error, los segmentos se ponen en cola para la transmisión según la prioridad y cada segmento se extrae del disco y se transmite. A la recepción de los segmentos del mensaje, los encabezamientos se separan, el texto se almacena en el disco y se hace una entrada en la tabla de mensaje. A la recepción del primer segmento del mensaje, se actúa un cronizador que sirve para iniciar una retransmisión del mensaje y si se han perdido más de un número predeterminado de segmentos después de haber pasado un período de tiempo predeterminado. Después de recibir todo

el mensaje, se escribe la tabla de mensaje en el disco y se pone en cola el mensaje según la prioridad. El mensaje se extrae del disco segmento-a-segmento accediendo a la tabla de mensaje y se acopla a su terminal de destino apropiado.

5 A modo de ejemplo, una duración t requerida para recibir un mensaje de facsimil puede calcularse de acuerdo con:

$$t = KnT, \text{ donde}$$

K es un factor de seguridad de, por ejemplo (3)

n = número de segmentos del mensaje

10 T = tiempo de transmisión por línea del segmento (paquete)

En las Figuras 20 y 21 se ilustran en forma de flujo diagramático la rutina supervisora Directora y una vista general del procesamiento del sistema. Antes de describir estas rutinas, describiremos las siguientes definiciones:

15 nes:

(1) Subrutina, utilizada indistintamente con Subrutina Cerrada, es un conjunto de instrucciones del computador preparada para ser utilizada por todas las rutinas excepto por las rutinas de interrupción, para conseguir una parte de una tarea. Una subrutina está situada fuera de la rutina principal y controla las transferencias desde la rutina principal a la subrutina y vuelve a la siguiente instrucción en la rutina.

20

(2) Rutina del Vector de Interrupción - La suspensión de todo el procesamiento de los datos y la retención de toda la información crítica que se refiera al estado del procesamiento de los datos en curso a la aparición de una interrupción externa y la transferencia del control por el procesador de datos a una rutina de interrupción que responde a la condición y dependiente de la naturaleza de la interrup-

25

30

ción. La dirección de la rutina de interrupción se almacena en la memoria y tal dirección es indistintamente conocida como Vector de Interrupción.

5 (3) Rutina de Vector de Exploración - Una rutina que accede a la Tabla de Control de Tarea (TCT) y se entera de la localización e interpretación de la información en la TCT.

10 (4) Rutina Directora - Una rutina supervisora en tiempo real Multi-Tarea capaz de controlar simultáneamente varias tareas.

(5) Manejo de la Memoria Intermedia - Una rutina dedicada a la tarea específica de mantener vacías las cadenas intermedias.

15 (6) Imagen de Núcleo - Una copia binaria de un programa de computador que constituye un sistema on-line/reserva que incluye la ejecución del código para implementar el mismo.

20 (7) En Servicio - Una condición indicativa de un portador de canal particular o línea que está disponible para utilizar bien por el abonado o por el sistema de comunicación mismo. Un estado característico de una línea, portador o canal.

25 (8) Memoria Local - Memoria desdicada a un computador particular, esto es, no compartida con ninguna otra CPU (Unidad de Proceso Central).

(9) Memorias Intermedias de Paquete - Memorias Intermedias de 1.000 caracteres en las que se reciben los paquetes y de las que salen para ser transmitidos bajo un control del sistema central y común.

30 (10) Exploración - El proceso por el cual la

directora asigna secuencialmente el tiempo a las tareas que están enlazadas en la misma cadena de exploración de línea. Al completarse la exploración de todas las tareas enlazadas, la directora tendría que asignar un tiempo fijo para cada

5 tarea en la cadena y servir las órdenes para esta tarea.

(11) Vector de Exploración - La dirección de una rutina del vector de exploración.

(12) SNPAS - Una abreviatura de Sistema de Proceso y Nodo de Conmutación

10 (13) Standby (reserva) - Un estado en el que un subsistema está disponible para entrar en funcionamiento en el supuesto de un fallo de hardware/software en cuyo caso tiene lugar una conmutación de tal sistema.

(14) Tarea - El procesamiento resultante y de servicio y la computación requerida para satisfacer una

15 demanda interna o externa al sistema, considerado como un todo.

(15) Sub-Tarea - Una parte de una Tarea;

(16) Tabla de Control de Tarea (TCT) - Tablas

20 utilizadas por la directora para controlar la ejecución de la rutina del vector de exploración y vigilar las interrupciones por medio de marcas, etc. Cada una de tales tablas enlazadas en una exploración, contiene la dirección de un vector de exploración que realiza la siguiente sub-tarea

25 que constituye una componente de la tarea total a ser realizada.

(17) Tabla de Control de la Cadena de Exploración de Línea - Una tabla de tres palabras utilizada por la rutina Directora que contiene la dirección de la primera Tabla de

30 Control de Tarea en la cadena, la siguiente Tabla de Control

de Tarea en la cadena.

(18) Listas del Vector de Exploración - son tablas utilizadas por la directora para acoplar juntas las rutinas individuales.

5 (19) Tabla de Mensaje - Una tabla que contiene la información referente al mensaje específico, número de secuencia del mensaje, dirección de origen, dirección de destino, prioridad, dirección de sector de cada paquete que comprende una parte del mensaje total y otra información deseada.

10

(20) Talba de Colo de Mensaje - Una tabla que contiene las direcciones de sector en el disco de la tabla de mensaje que pertenecen a mensajes asociados con el SNPAS local. Una tabla similar está compuesta de mensajes para la transmisión al SNPAS remoto.

15

(21) Talba de Destino - Una tabla que contiene el número telefónico de destino, información del tipo de máquina, el buscador a la tabla del cliente.

(22) Circuito Virtual - Un acoplamiento de asociación lógica bien temporalmente o permanentemente entre dos terminales inteligentes extremos conectados a la red.

20

(23) Colgado - Significa, en términos telefónicos, un bucle abierto a la corriente continua suministrada desde el otro extremo, mientras que Descolgado significa un bucle cerrado que permite la operación de un relé en el otro extremo mientras que la señalización en la dirección inversa constituye una llamada previa. Para una mejor descripción de los términos Colgado, Descolgado, llamada previa y los diferentes tonos telefónicos utilizados aquí, nos referiremos al Reference Data For Radio Engineers, Sexta Edición, 1975,

25

30

Howard W. Sams Co., páginas 2-13 a 2-18.

La subrutina Directora, ilustrada por la Figura 20, explora las diferentes tablas, por ejemplo, las tablas de control de la cadena de exploración de línea, las Tablas de Control de Tareas y las listas del vector de exploración. La primera subrutina Directora comprueba un sincronizador de una hora para determinar si ha o no expirado. Si no lo ha hecho, se comprueba seguidamente un segundo cronizador luego un conrizador de 100 milisegundos y, finalmente, si ninguno de los anteriores ha expirado, se comprueba un cronizador de 10 milisegundos. Si ha expirado cualquiera de los cronizadores anteriores, se procesa cualquier exploración asociada con el mismo. Suponiendo que ha expirado el crónizador de 10 milisegundos, la subrutina asociada al mismo hace que la directora examine la tabla de control de exploración de línea para obtener la siguiente tarea que debe ser realizada, iniciando los indicadores y los registros necesarios para satisfacer la tabla y los requerimientos de acceso de datos de la tarea en cuestión. La tabla de control de la cadena de exploración de línea proporciona la dirección de la primera Tabla de Control de Tarea que se utiliza por la Directora para cargar los datos accedidos en los registros apropiados. Se obtiene la dirección de la siguiente Tabla de Control de Tarea, se actualiza la tabla de control de la cadena de exploración de línea y el control se transfiere a la siguiente tarea a ser realizada. La base de datos para cada rutina de exploración está contenida en la Tabla de Control de Tarea que hace posible que cada rutina de exploración funcione independientemente de las otras tareas, y que cada rutina de exploración pueda ser utilizada repetida-

mente por cualquier tarea sin la inicialización de la rutina. Esto se conoce como "semi-reentrada", y sirve para simplificar la adición de nuevos protocolos que pueden añadirse, en muchos casos, redistribuyendo las subrutinas existentes en una nueva lista de vector.

Al terminar la ejecución de un vector de exploración, se inicia de nuevo la rutina Directora por la etapa denominada "vuelta de la rutina del vector de exploración a la directora", manteniéndose la prioridad de la exploración, esto es, están determinados 10 ms, 100 ms ó 1 segundo. Desde esta etapa, se determina la dirección de la siguiente Tabla de Control de Tarea como se describió anteriormente, y se repite la subrutina para la nueva tarea.

En la Fig. 21 se representa en forma de diagrama de flujo operacional simplificado, la interacción en el proceso de paquete y mensaje implicados en la transmisión de mensajes de facsímil desde un terminal facsímil 2100 a través de un acoplador acústico 2102 a un canal individual del Procesador de Entrada 2104. Como se ha descrito anteriormente los datos desde el acoplador acústico 2102 se conmutan en una central telefónica local 2106, a través de un portador suministrado por el circuito de Disposición del acceso de Datos 2108 al FEP 2104.

Los mensajes se reúnen como sigue:

La CPU acoplada al FEP 2104 se interrumpe por el FEP 2104, se introduce la rutina de interrupción del FEP y la rutina de interrupción lee el estado del FEP. El estado de FEP indica que existe una condición de "Descolgado" en el canal del FEP individual mencionado anteriormente. La interrupción hace que una subrutina explore la Tabla de

Control de Tarea correspondiente al canal individual. Se inicia un registro de la memoria intermedia y la dirección de la memoria intermedia se introduce en la Tabla de Control de Tarea, creando así una tabla de mensaje 2110. El intercambio anteriormente mencionado tiene lugar a través de la línea 5 2112. La siguiente rutina de interrupción compara al código de interrupción particular, en este caso, el código de Descolgado, con la tabla de interrupciones para obtener la dirección de la lista del vector de reunión para la Tabla de Control de Tarea 2110 y hacer posible la reunión de los mensajes de 10 entrada a través de las entradas de canal 2114, 2116, etc. Instantáneamente, el proceso está en estados diferentes, correspondiendo cada estado a una entrada en la lista del vector de exploración que, a su vez, corresponde a la ejecución de una rutina del vector explorador, esto es, la orden al 15 FEP para que requiera a un operador terminal con una salida de voz para que introduzca un código ID de Abonado. Después de que se ha ejecutado la rutina de exploración, se aumenta el índice del vector de las direcciones a la siguiente dirección del vector de exploración. Se explora entonces esta 20 dirección del vector de exploración mientras que la rutina Directora de servicio a la Tabla de Control de Tarea hasta que el tiempo, por ejemplo, 10 milisegundos expira. La Tabla de Control de Tarea se explotará varias veces durante este 25 intervalo, durante el cual, si ha ocurrido la acción requerida, esto es, la entrada de un código ID por un abonado el FEP 2104 interrumpe la CPU, indicando que ha tenido lugar una respuesta. Se establece una marca de respuesta y se prueba la misma que, si tiene éxito, incrementará el índice del vector de exploración a su siguiente dirección. Los da- 30

tos recibidos (en este caso la Información ID del abonado) se utiliza para leer los datos de una tabla (tal como una tabla de abonado que contiene datos tales como información sobre el tipo de máquina) del disco 2118 al núcleo y actualiza la tabla de mensaje 2110. Al terminar la secuencia de sucesos descrita anteriormente, el terminal 2100 puede cargar ahora una hoja de papel en la máquina de facsímil y comenzar la transmisión. Cuando los paquetes llegan del FEP a través de la línea 2122, las memorias intermedias de datos se alinean para recibir y recoger los paquetes por una rutina de recogida. Los paquetes de la línea 2124 están ahora listos para ser escritos en el disco 2118. Se toma una decisión por el programa en 2124 de si se realizará una llamada virtual para el paquete, en cuyo caso se acopla a la matriz de necaminamiento 2128 para su procesamiento posterior, o si se realizará una llamada de almacenar-y-enviar, en cuyo caso el programa de escritura del disco 2130 escribe los paquetes en el disco 2118 después de la puesta en cola por la rutina de cola 2132. Después de haberse escrito los paquetes en el disco, la rutina del vector de exploración actualiza la tabla de mensaje 2110 para incluir los datos indicativos de la dirección del sector del paquete en el disco 2118, y espera la siguiente entrada a la memoria intermedia de todo el paquete. Después de recibir todos los paquetes y de la desconexión por el operador terminal, la tabla de mensaje 2110 se escribe en el disco 2118 y el mensaje (compuesto por todos los paquetes en el disco 2118) se conecta a la tabla de cola del mensaje de prioridad apropiada para la transmisión, en cuya tabla se registra también la dirección de la tabla de mensaje en el disco 2118. El último vector de

exploración en la lista no enlaza la Tabla de Tarea asociada con el canal del FEP que está servido en ese momento, y de-
asigna la Tabla de Mensaje 2110, la cual queda ahora disponible para otros datos, dado que su contenido ha sido escrito en el disco. La recogida del mensaje se ha descrito
5 anteriormente y describiremos seguidamente la transmisión del mensaje, también con referencia a la Figura 21.

La Directora 2134, de acuerdo con la prioridad del mensaje y la carga del sistema, recoge periódicamente los mensajes que esperan la transmisión a sus destinos respectivos de las colas de mensaje, para la transmisión que requieran los mensajes (desde el SNPAS local en la red) y lee la tabla de mensajes que corresponde al primer mensaje del disco 2118. La lista de mensajes pendientes se ilustra
10 en el bloque de decisión 2136, en donde una decisión afirmativa (mensaje pendiente) provoca una operación de lectura del disco 2138 para leer el disco 2118 y una decisión negativa (ningún mensaje pendiente) sitúa a la Directora de un bucle de espera 2140, en lo que se refiere a la transmisión de mensajes. La tabla de mensaje descrita anteriormente, tabla 2142, contiene las direcciones de los paquetes que requieran transmisión, las cuales direcciones se obtienen de la tabla 2142 y se leen en la memoria. Estos paquetes se encaminan inmediatamente a la matriz 2128 en donde se ana-
15 lizan los encabezamientos por el algoritmo de encaminamiento que pone en cola los paquetes individuales a una línea de salida específica en una cola de salida 2144. Este proceso de poner en cola la salida en la línea de salida, mostrado en 2148 recibe los paquetes de la cola 2144 e inicia
20 la transferencia de los mismos a la línea de transmisión 2148
30

a través del interface de línea 2150. Al terminar la transferencia mencionada, los paquetes duplicados de los transferidos se ponen a una "cola de reconocimiento de espera" 2152 para esperar el reconocimiento de la recepción correcta

5 por la localización del SNPAS de recepción cuando se recibe tal reconocimiento, se de-assigna la memoria intermedia de paquete. Sin embargo, si no se recibe tal reconocimiento dentro de un período de tiempo especificado la subrutina 2154 hace una decisión de retransmisión "si" (para retransmitir

10 los paquetes) y los paquetes se sitúan en la cola de salida 2144 a través de la línea 2156 y el proceso se repite hasta que los paquetes se transmiten con éxito y se reconocen apropiadamente.

Describiremos seguidamente la recepción desde

15 el interface de línea 2150 de los paquetes de entrada a través de la línea 2158, refiriéndonos también a la Figura 21. Al llegar a su destino previsto, un proceso de entrada 2160 para cada canal selecciona los paquetes y los sitúa en una cola de entrada en 2162, dicho proceso 2160 asigna una

20 memoria intermedia a la línea de entrada para la recepción de paquetes. Independientemente, una subrutina de selección de paquetes selecciona los paquetes de la cola de entrada 2162 y los examina para tomar una decisión, indicada por el bloque de decisión 2164, si el paquete recibido contiene datos

25 de control (una decisión "si"), en cuyo caso una subrutina de procesamiento del paquete de control 2166 procesa el paquete inmediatamente; o si el paquete no es un paquete de control (una decisión "no"), en cuyo caso su encabezamiento se examina por otra subrutina de decisión 2168 para determinar

30 si o no se trata de un paquete en tránsito entre loca-

lizaciones de origen y destino. Si el paquete está en tránsito (destinado a otra localización y una decisión de "si") se acopla inmediatamente a través de la línea 2170 a la matriz de encaminamiento 2128 para el encaminamiento mencionado anteriormente. Si el paquete no es un paquete en tránsito (como se indica por su encabezamiento, y una decisión "no") se considera como un paquete de destino que ha llegado a su destino. En esta situación, el paquete se acopla a través de la línea 2172 para la puesta en cola en el disco 2118 como se describió anteriormente respecto a los paquetes de tránsito y se procesa similarmente por la subrutina de cola de escritura en el disco 2130 para su colocación en la cola 2174 desde donde se transfieren a la cinta de diario 2176 a través de un disco a la puerta de decisión de cinta 2178 para un almacenaje más largo. En el supuesto de un fallo de la cinta, está disponible una vía alternativa al disco 2118 a través de la línea 2180.

El envío de los datos a los terminales de facsímil se consigue de una manera similar a la de recepción descrita anteriormente de tales mensajes desde el terminal. La subrutina Directora selecciona los mensajes a ser procesados de una cola de mensaje, lee la tabla de mensaje correspondiente e inicia el protocolo de entendimiento apropiado y la llamada al abonado. El procesador asociado con el FEP que sirve al terminal particular transmite los paquetes del FEP, el cual acopla los paquetes al terminal antes descrito. Los paquetes subsecuentes se leen del disco, derivándose sus direcciones de una tabla de mensaje apropiada. Después de que se han transmitido todos los paquetes del mensaje, se termina el proceso.

APENDICE IEJEMPLO DE UNA TABLA DE CONTROL DE TAREA

SEGUIR A LA SIGUIENTE TABLA DE CONTROL DE TAREA

VOLVER A LA TABLA DE CONTROL DE TAREA ANTERIOR

ESTADO DE INTERRUPCION DEL FEP ID DE SEÑALIZACION TIPO DE CANAL

VECTOR DE EXPLORACION

MARCAS

DISPONIBLE

CONTADOR ACK "RESPUESTA OCUPADO"

CRONIZADOR

DIRECCION DE LA TABLA DE MENSAJE

FALLO

TIPO DE FALLO & INFORMACION DE ERROR

DISPONIBLE

DISPONIBLE

DISPONIBLE

DISPONIBLE

DISPONIBLE

DISPONIBLE

DISPONIBLE

TIEMPO JULIANO DE TRANSMISION DE MENSAJE

EN EL SNPAS DE ORIGEN

TIEMPO JULIANO DE

ENVIO DEL MENSAJE AL SNPAS DE DESTINO

PRIORIDAD

DESTINO/ABREVIADO

INDICADORES DE MARCAS DE ESTADO

DIGITOS DE DIRECCION (BCD)

MARCAS DE ESTADO

DESTINO/CONTADOR DE DIRECCION ABREVIADO

CONTADOR DEL PAQUETE DEL MENSAJE

NUMERO DE CUENTA DEL ABONADO (BCD)

NUMERO DE MENSAJE DEL ABONADO

DEVOLVER DIRECCION DE DESTINO (BCD)

121.

SECTOR DEL DISCO

DIRECCION DE LA TALA DE MENSAJE PARA LA TRANSMISION PREVIA

NO UTILIZADO

CONTADOR "REPETIR

MARCAS DE ESTADO

CONTADOR DE "CANCELACION

CONTADOR DE "APQEUTE DE CONTROL"

CRONIZADOR

INDICE DE DATOS RELATIVOS

CODIGO DE PAQUETE DE CONTROL

MEMORIA INTERMEDIA DE ENTRADA DEL FEP

APENDICE IIEJEMPLO DE UNA TABLA DE MENSAJE

DIRECCION DEL NUCLEO DE LA TABLA DEL CLIENTE
 ESTADO I/O DEL DISCO I/O DEL DISCO
 DIRECCION DEL SECTOR DEL DISCO
 VUELTA DEL VECTOR DE EXPLORACION
 DIRECCION MEMORIA INTERMEDIA DE PAQUETE DEL FEP
 DIRECCION NUCLEO MEMORIA INTERMEDIA DE PAQUETE
 INDICADOR DE ENTRADA "EN CURSO" DIRECCION SECTOR DEL DISCO
 ENLACE DE LA TABLA DE MENSAJE DE ENTRADA "EN CURSO"
 DIRECCION SECTOR DEL DISCO DE LA TABLA DE MENSAJE
 NO UTILIZADO
 DIRECCION DEL NUCLEO PARA EL ENLACE DE TABLA DE MENSAJE DE ENTRADA "EN CURSO"
 MARCAS OPCIONALES NO UTILIZADO TIPO "SCRAMBLING"
 TIPO "VELOCIDAD MAQUINA" TIPO "TAMAÑO PAPEL"
 CONTADOR PARA LAS VIOLACIONES DE PRIORIDAD
 CODIGO DE DESCONEXION DE EMERGENCIA NO UTILIZADO
 DIRECCION SECTOR DEL DISCO DEL PAQUETE 1
 DIRECCION SECTOR DISCO
 DE PAQUETE 2
 DIRECCION SECTOR DISCO DE PAQUETE 31
 SECTOR DISCO DE ENLACE
 DIRECCION

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

5 El presente invento correspon a dos solicitudes de patente formuladas en Estados Unidos el día 10 de Noviembre de 1976, señaladas con los N^o 740,681 G. 233 y 740,682 G. 233, y se acogen por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 5 1.- Un sistema de comunicaciones de datos por paquetes conmutados que comprende:
- elementos para recibir la información del mensaje desde una o más fuentes de mensaje;
 - elementos para subdividir dicha información de mensaje
10 desde cada una de dichas fuentes de mensaje en diferentes paquetes de datos, cada uno de los cuales incluye, por lo menos una parte de dicha información del menssa-
je;
 - elementos para transmitir independientemente dichos pa-
15 quetes a través del sistema de comunicaciones que incluye una red de un conjunto de nodos de conmutación para almacenar y enviar selectivamente dichos paquetes por la red de acuerdo con la información contenida en dichos paquetes; y
 - 20 - elementos de proceso para almacenar dichos paquetes de datos para su reensamble en la mencionada información de paquete.

2.- Un sistema, según el punto 1, que comprende además:

- 25 - elementos para acoplar dicha información de mensaje reensamblado a uno o más destinos del mensaje.

3.- Un sistema según el punto 1, en donde dichos paquetes de datos incluyen, por lo menos, una parte de encabezamiento y una parte de campo de información, incluyendo la
30 parte de encabezamiento los datos utilizados en el almacena-


by

miento y envío de dichos paquetes e incluyendo el campo de información los datos de la longitud en bit variable correspondiente a una parte subdividida del mensaje.

5 4.- Un sistema, según el punto 3, en donde la parte de encabezamiento incluye además los datos utilizados por los mencionados elementos de proceso para reensamblar dichos paquetes en tal secuencia que la información de mensaje se vuelve a componer por los paquetes reensamblados.

10 5.- Un sistema de comunicaciones de datos por paquetes-conmutados de acuerdo con el punto 4, que comprende además:
- elementos para comprimir dicha información del mensaje recibida en un número reducido de bits de datos y para acoplar dichos datos comprimidos a los mencionados elementos de subdivisión; y
15 - elementos para de-comprimir los paquetes reensamblados en el mensaje original.

20 6.- Un sistema de comunicaciones de datos por paquetes-conmutados según el punto 1 que funciona en el modo de almacenar-y-enviar para proporcionar comunicación bidireccional entre un conjunto de terminales de datos de origen y destino en varias localizaciones por una red de comunicaciones que comprende:
- primeros elementos de proceso de datos que tienen acoplados a los mismos los datos de entrada procedentes de uno o más
25 terminales de datos de origen para subdividir dichos datos de entrada desde cada uno de los terminales en un conjunto de paquetes, y que tienen elementos para acoplar dichos paquetes a la red de comunicaciones, incluyendo estos primeros elementos de proceso de datos un primer elemento de conmutación de paquetes en el modo de almacenar-y-enviar asociado
30



con la red de comunicaciones para almacenar y encaminar independientemente dichos paquetes por la red;

- segundos elementos de proceso de datos acoplados a dicha red para reensamblar dichos paquetes en dichos datos de entrada, incluyendo estos segundos elementos de proceso de datos un elemento de conmutación de paquetes en el modo de almacenar-y-enviar asociado con la red de comunicaciones para acoplar los datos de entrada reensamblados a uno ó más terminales de facsímil de destino.

10 7.- Un sistema de comunicaciones de datos por paquetes -conmutados, de acuerdo con el punto 6, en dónde los elementos de conmutación de paquete de almacenar-y-enviar incluyen elementos para multiplexar por división de tiempo los mencionados paquetes para su retransmisión por la red de comunicaciones.

15 8.- Un sistema de comunicaciones de datos por paquetes conmutados, de acuerdo con el punto 7, en dónde los primeros y segundos elementos de proceso de datos incluyen además cada uno:

20 - elementos para digitizar los datos de entrada desde los terminales de origen en un protocolo compatible con las características de funcionamiento de los terminales de destino.

25 9.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 7, en dónde los primeros y segundos elementos de proceso de datos incluyen cada uno:

- elementos de compresión de datos para reducir la cantidad de datos de entrada antes de la subdivisión de los mismos en los mencionados paquetes; y

30 elementos de expansión de datos para reproducir dichos datos de entrada después de haberse reensamblado los datos compri-

127

midos y antes del acoplamiento de los mencionados datos reensamblados a los terminales de destino.

10.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 7, en donde los primeros
5 y segundos elementos de proceso de datos incluyen cada uno además:

- elementos para proporcionar, dentro de cada paquete, al menos un encabezamiento y un campo de información de un número predeterminado de bytes, de tal modo que dichos paquetes
10 se encaminan por la red de comunicaciones de acuerdo con los datos incluidos en el encabezamiento y en donde lo agregado de dichos paquetes en el campo de información, cuando se reensambla, corresponde a los datos de entrada.

11.- Un sistema de comunicaciones de datos por paquetes-conmutados, de acuerdo con el punto 10, en donde cada
15 uno de los mencionados paquetes incluye además una porción de código de error adjunto a dicha porción del campo de información del paquete.

12.- Un sistema de comunicaciones de datos por paquetes-conmutados, de acuerdo con el punto 10, en donde
20 los elementos de conmutación de paquete en el modo de almacenar-y-enviar incluyen elementos para alterar la porción de encabezamiento del paquete, de tal manera que la ruta de dichos paquetes a lo largo de la red puede variarse por los
25 elementos de conmutación de almacenar-y-enviar.

13.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 12, que incluye además
elementos para encaminar secuencialmente uno o más de dichos paquetes a diferentes destinos.

30 14.- Un sistema de comunicaciones de datos por paquete-



tes-conmutados, según el punto 8, en dónde los elementos primero y segundo de proceso de datos incluye también cada uno elementos para generar una señal de voz en los terminales seleccionados.

5. 15.- Un sistema de comunicaciones de datos por paquetes-conmutados según el punto 14, el cual transmite mensajes digitales entre diferentes terminales de datos que tienen diferentes características de funcionamiento, que comprende:
- primeros elementos de proceso para la recepción de datos desde uno o más dispositivos terminales de origen, cada uno de los cuales puede tener diferentes características de funcionamiento, y los primeros elementos de proceso incluyen:
 - elementos para convertir cada uno de los mensajes de datos digitales en un flujo de bits de datos digital;
 - 15 - elementos para subdividir el flujo de bits de datos digital en varios paquetes de datos, cada uno de los cuales paquetes incluye una parte del mensaje del que se segregaron los paquetes;
 - elementos para almacenar temporalmente dichos paquetes; y
 - 20 - elementos para transmitir los paquetes almacenados a la red de comunicaciones; los segundos elementos de proceso incluyen:
 - elementos para recibir dichos paquetes de la red de comunicaciones;
 - 25 - elementos para reensamblar dichos paquetes en el flujo de bits de datos digital; y
 - elementos para acoplar el flujo de bits derivado de los paquetes asociados con cada uno de los mensajes procedentes de los terminales de origen, a uno o más terminales de destino, de tal manera que dichos mensajes se reproducen por
 - 30

los dispositivos terminales de destino.

16.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 15, que comprende además:

- al menos un nodo de conmutación intermedio, el cual incluye
- 5 -elementos para recibir los paquetes que se originan en uno ó más de los elementos de proceso;
- elementos para almacenar temporalmente los paquetes recibidos sobre una base de prioridad; y
- elementos para retransmitir los paquetes almacenados por
- 10 la red de comunicaciones.

17.- Un sistema de comunicaciones de datos por paquetes-conmutados, de acuerdo con el punto 16, que comprende además:

- un elemento concentrador que tiene diferentes entradas
- 15 paralelas y, al menos, una salida serie que comprende:
- elementos para acoplar los paquetes derivados de diferentes primeros elementos de proceso a las diversas entradas,
- elementos de almacenaje acoplados a las diferentes entradas para almacenar temporalmente dichos paquetes;
- 20 - elementos acoplados a los de almacenaje para acoplar en serie los paquetes seleccionados de entre los almacenados a dicha salida; y
- elementos para acoplar dichos paquetes desde dicha salida a la red de comunicaciones para la transmisión.

25 18.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 17, en donde el elemento concentrador incluye además:

- elementos para recibir en serie los paquetes de datos desde, por lo menos, uno de los nodos de conmutación;
- 30 - elementos para acoplar dichos paquetes a los elementos de

per

almacenaje;

- elementos para extraer dichos paquetes almacenados de los elementos de almacenaje, y elementos acoplados a los elementos de extracción de paquete para enviar dichos paquetes a diferentes segundos elementos de proceso.

5
10
15
19.- Un sistema de comunicaciones de datos por paquetes-conmutados, de acuerdo con el punto 16, en donde los elementos para subdividir el flujo de bits de datos digitales en los mencionados paquetes de datos, incluyen elementos para generar un protocolo y proporcionar dentro de cada uno de los paquetes de datos una parte de encabezamiento y un campo de información, incluyendo la parte de encabezamiento, al menos, datos para identificar el destino al que se envía dicho paquete y el orden de reensamble del paquete en el mensaje del que se subdividió el paquete.

20
20.- Un sistema de comunicaciones de datos por paquetes-conmutados, de acuerdo con el punto 19, en donde cada uno de los nodos de conmutación incluye además elementos de encaminamiento para el cambio de la ruta de la red por la que, al menos algunos de dichos paquetes, se transmiten a su destino previsto, e incluye:

- elementos para cambiar al menos alguno de los datos contenidos en la parte del encabezamiento de dichos paquetes.

25
21.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 19, en donde cada uno de los nodos de conmutación incluye además elementos para encaminar al menos algunos de los paquetes secuencialmente a diferentes destinos, de tal manera que al menos uno de dichos mensajes se transmite a dichos diferentes destinos.

30
22.- Un sistema de comunicaciones de datos por paque-



tes-conmutados, según el punto 19, en donde los elementos para subdividir el flujo de bits de datos digitales en una pluralidad de paquetes de datos incluye además elementos para adjuntar a la parte de información de cada uno de los paquetes, varios bits en código para la corrección de errores.

23.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 15, en donde los primeros elementos de proceso incluyen además:

- elementos de compresión de datos para reducir el número de bits de datos en el flujo de bits de datos antes de la subdivisión del mismo, por los elementos de subdivisión, en los mencionados paquetes; y
en donde los segundos elementos de proceso incluyen además:
- elementos de expansión de datos para decomprimir los datos comprimidos contenidos en los paquetes después del reensamble de los mismos en el flujo de bits de datos y antes de acoplar dicho flujo de bits de datos al dispositivo del terminal de destino.

24.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 19, en donde los elementos de generación de protocolo incluyen:

- elementos para impartir un protocolo de paquete y mensaje de enlace compatible a todo el sistema, de tal manera que los terminales de destino que tengan un protocolo diferente a los de los terminales de origen, están adaptados para reproducir el flujo de bits de datos acoplado a los mismos desde los segundos elementos de proceso.

25.- Un sistema de comunicaciones de datos por paquetes-conmutados, según el punto 16, que comprende además:

- elementos controlados por los primeros y segundos elementos

ky

de proceso para generar una información de -voz audible en los terminales seleccionados, en respuesta a los datos almacenados; y

- elementos para dar acceso a dichos datos almacenados.

5 26.- Un sistema de comunicaciones de datos por paquetes-commutados según el punto 1, en el que se utiliza un método para la transmisión de un mensaje desde un terminal de origen a un terminal de destino por una red de comunicaciones, que comprende las siguientes etapas:

10 (A) acoplamiento de los datos representativos del mensaje desde el terminal de origen a un primer procesador;

 (B) conversión de dichos datos acoplados al primer procesador en datos digitales con un protocolo predeterminado;

15 (C) paquetización de los datos digitales en diversos paquetes, cada uno de los cuales incluye, por lo menos, una parte de información de mensaje, un encabezamiento indicativo del destino de dicho paquete, e información para ser utilizada en el posterior reensamble de dichos paquetes en la información de mensaje;

20 (D) almacenaje temporal de dichos paquetes; y

 (E) encaminamiento dinámico de dichos paquetes por la red de comunicaciones para su transmisión a un segundo procesador asociado con el terminal de datos de destino.

25 27.- Un sistema, según el punto 26, en dónde los paquetes almacenados temporalmente se almacenan sobre una base de prioridad.

30

127

28.- Un sistema, según el punto 26, en donde dichos paquetes almacenados temporalmente se almacenan por períodos de tiempo predeterminados.

29.- Un sistema, según el punto 26, que incluye además
5 las etapas siguientes:

(F) reensamble de dichos paquetes en los segundos elementos de proceso, en la secuencia apropiada, en los datos digitales representativos de la información de mensaje, de acuerdo con dicho protocolo predeterminado; y
10

(G) acoplamiento de la información de mensaje al segundo terminal para su reproducción en el mismo, de acuerdo con las características de funcionamiento de dicho terminal de destino.

15 30.- Un sistema, según el punto 29, que incluye otra etapa de:

(H) recepción de dichos paquetes encaminados dinámicamente por la red de comunicaciones, en uno ó más nodos de conmutación intermedios, en donde los mencionados paquetes se almacenan temporalmente y se envían después de acuerdo con las disponibilidades de línea y prioridad del sistema, bien a segundos elementos de proceso o a otro nodo de conmutación intermedio para su almacenaje y envío a dichos elementos de proceso.
20
25

31.- Un sistema, según el punto 30, que incluye además las etapas de:

(I) compresión de dichos datos digitales en el primer procesador antes de la etapa de paquetización; y
30 (J) decompresión de los paquetes reensamblados en el

Rey

segundo procesador antes de la conversión de los datos digitales representativos de la información de mensaje.

5 32.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 1. para datos de facsímil que comprende:

- elementos para recibir la información de mensaje desde uno ó más terminales de facsímil,
- elementos para subdividir dicha información de mensaje porcedente de los terminales en diversos paquetes de datos, cada uno de los cuales paquetes incluye, por lo menos, una parte de información de mensaje;
- 10 + elementos para transmitir independientemente dichos paquetes de datos por dicho sistema de comunicaciones, que incluye una red de diversos nodos de conmutación para almacenar y
- 15 enviar selectivamente dichos paquetes por la red, de acuerdo con la información contenida en los paquetes; y
- elementos de proceso para almacenar los paquetes de datos para el reensamble de dichos paquetes en la información de mensaje.

20 33.- Un sistema, según el punto 32, que comprende además;

- elementos para acoplar la información de mensaje reensamblada a uno o más destinos de mensaje.

25 34.- Un sistema de comunicaciones de datos, según el punto 32, en donde dichos paquetes de datos incluyen, por lo menos, una parte de encabezamiento y una parte información incluyendo la primera los datos utilizados en el almacenaje y envío de dichos paquetes, e incluyendo, la parte de información, datos de longitud en bits variable, que corresponden

30 a una parte subdividida del mensaje.

W

35.- Un sistema de comunicaciones, según el punto 34, en dónde la parte de encabezamiento incluye además datos utilizados por los elementos de proceso para reensamblar dichos paquetes en una secuencia tal que se vuelvan a reproducir los paquetes reensamblados del mensaje original.

36.- Un sistema, según el punto 35, que comprende además:

- elementos para comprimir el mensaje recibido en número reducido de bits de datos y para acoplar dichos datos comprimidos a los elementos de subdivisión; y
- elementos para decomprimir los paquetes reensamblados en el mensaje original.

37.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 32, para datos de facsímil, que funciona en el modo de almacenar-y-enviar, para proporcionar comunicación bidireccional entre diversos terminales de facsímil de origen y destino a diferentes localizaciones a través de una red de comunicaciones, que comprende:

- primeros elementos de proceso de datos que tienen acoplados a los mismos los datos de entrada desde uno o más terminales de datos de facsímil de origen, para subdividir dichos datos de entrada desde los terminales en diversos paquetes y que tienen elementos para acoplar dichos paquetes a la red de comunicaciones, incluyendo los mencionados primeros elementos de proceso de datos un primer elemento de paquete conmutado en el modo de almacenar-y-enviar asociado con la red de comunicaciones para almacenar y encaminar independientemente los mencionados paquetes por dicha red;
- segundos elementos de proceso de datos acoplados a dicha red para reensamblar dichos paquetes en los datos de entrada,

129

incluyendo los segundos elementos de proceso de datos un segundo elemento de conmutación de paquete en el modo de almacenar-y-enviar asociado con dicha red de comunicaciones para acoplar dichos datos de entrada reensamblados a uno ó más de dichos terminales facsímil de destino.

38.- Un sistema, según el punto 37, en dónde dicho elemento de paquete conmutado y de almacenar-y-enviar incluye elementos para multiplexar por división de tiempo los mencionados paquetes para su retransmisión por la red de comunicaciones.

39.- Un sistema de comunicaciones de datos, según el punto 38, en dónde los primeros y segundos elementos de proceso de datos incluye además, cada uno:

- elementos de compresión de datos para reducir la cantidad de datos de entrada antes de la subdivisión de los mismos en paquetes; y
- elementos de expansión de datos para reproducir los datos de entrada después de que se reensamblen los paquetes de datos comprimidos y antes del acoplamiento de dichos datos reensamblados a los terminales facsímil de destino.

40.- Un sistema de comunicaciones de datos, según el punto 37, para datos de facsímil, en dónde:

- los primeros y segundos elementos de proceso de datos incluyen cada uno:
- elementos para digitizar los datos de entrada desde los terminales facsímil de origen en un protocolo compatible con las características de funcionamiento de dichos terminales facsímil de destino.

41.- Un sistema de comunicaciones de datos, según el punto 39,

29

en dónde los primeros y segundos elementos de proceso incluyen cada uno:

- elementos para proporcionar dentro de cada paquete, por lo menos, un encabezamiento y un campo de información de un número predeterminado de bytes, de tal manera que dichos paquetes se encaminan por la red de comunicaciones de acuerdo con los datos incluidos dentro de dicho encabezamiento y en dónde los campos de información agregados a dichos paquetes, cuando se reensamblan, corresponden a los datos de entrada.

42.- Un sistema de comunicaciones de datos, según el punto 41, para datos de facsímil, en dónde cada uno de los paquetes incluye además una parte de código de error adjunta a la parte de información de dicho paquete

43.- Un sistema de comunicaciones de datos, según el punto 38, para datos de facsímil, en dónde el elemento de conmutación de paquetes y de almacenaje-y-envío incluye elementos para alterar la parte de encabezamiento del paquete, de tal manera que la ruta de dichos paquetes a lo largo de la red puede variarse por dicho elemento de conmutación y almacenaje-y-envío.

44.- Un sistema de comunicaciones de datos, según el punto 43, para datos de facsímil, que incluye además elementos para encaminar secuencialmente uno ó más paquetes a diferentes destinos.

45.- Un sistema de comunicaciones de datos, según el punto 39, para datos de facsímil, en dónde dichos primeros y segundos elementos de proceso de datos incluye cada uno elementos para generar una señal de voz en los terminales de facsímil seleccionados.

R

46.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 32, para transmitir mensajes de facsímil entre diferentes máquinas de facsímil con diferentes características de funcionamiento, que comprende:

- 5 - primeros elementos de proceso para recibir los mensajes facsímil desde una o más máquinas de facsímil de origen que tienen un conjunto determinado de características de funcionamiento, incluyendo dichos primeros elementos de conmutación,
- elementos para convertir cada mensaje de facsímil en un
- 10 flujo de bits de datos digitales;
- elementos para subdividir dicho flujo de bits de datos digitales en diversos paquetes de datos, incluyendo cada uno de dichos paquetes una parte del mensaje del que se subdividieron los paquetes;
- 15 - elementos para almacenar temporalmente dichos paquetes; y
- elementos para transmitir dichos paquetes almacenados por una red de comunicaciones;
- segundos elementos de proceso que incluyen:
- elementos para recibir dichos paquetes desde la red de co-
- 20 municaciones;
- elementos para reensamblar dichos paquetes en dicho flujo de bits de datos digitales; y
- elementos para acoplar el flujo de bits derivado de los paquetes asociados con cada uno de los mensajes desde las
- 25 máquinas de facsímil de origen a una ó más máquinas facsímil de destino, de tal manera que dichos mensajes de facsímil son reproducidos por las máquinas facsímil de destino.

47.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 46, que comprende:

- 30 - al menos un nodo de conmutación intermedio, incluyendo

PM

dicho nodo:

- elementos para recibir los paquetes que se originan en uno o más de los elementos de proceso;
- elementos para almacenar temporalmente los paquetes recibidos sobre una base de prioridad; y
- elementos para retransmitir dichos paquetes almacenados por la red de comunicaciones.

48.- Un sistema de comunicaciones de datos, según el punto 47, que comprende además:

- un elemento concentrador que tiene varias entradas paralelo y, por lo menos, una salida serie, y que comprende:
 - elementos para acoplar los paquetes derivados de los diferentes primeros elementos de proceso a dichas distintas entradas;
 - elementos de almacenaje acoplados a las diversas entradas para el almacenaje temporal de dichos paquetes;
 - elementos acoplados a los elementos de almacenaje para acoplar en serie los paquetes seleccionados, de entre los almacenados, a dicha salida; y
- elementos para acoplar dichos paquetes desde dicha salida a la red de comunicaciones para su transmisión.

49.- Un sistema de comunicaciones de datos, según el punto 48, en dónde el elemento concentrador incluye además:

- elementos para la recepción en serie de los paquetes de datos desde, por lo menos, uno de los nodos de conmutación;
- elementos para acoplar dichos paquetes a los elementos de almacenaje;
- elementos para extraer dichos paquetes almacenados de los elementos de almacenaje; y
- elementos acoplados a los elementos de extracción de pa-

pey

quete para enviar dichos paquetes a diferentes segundos elementos de proceso.

50.- Un sistema de comunicaciones de datos por paquetes commu
tados, según el punto 47, en donde los elementos para subdivi-
5 vidir el flujo de bits de datos digitales en los paquetes
de datos incluye elementos de generación de protocolo para
proporcionar, dentro de cada uno de dichos paquetes, una
parte de encabezamiento y un campo de información, incluyendo
la parte de encabezamiento, al menos datos que identifican
10 el destino para el que se envia el paquete y el orden de
reensamble de dicho paquete en el mensaje del que subdividió.

51.- Un sistema de comunicaciones de datos por paquetes-
conmutados, según el punto 50, en donde cada uno de los nodos de
conmutación incluye además elementos de encaminamiento para
15 cambiar la ruta de la red por la que, al menos algunos paque-
tes se transmiten a su destino previsto y que incluye:
- elementos para cambiar al menos alguno de los datos conte-
nidos en la parte de encabezamiento de dichos paquetes.

52.- Un sistema de comunicaciones de datos por paquetes-
20 conmutados, según el punto 50, en donde cada uno de los nodos de
conmutación incluye además elementos para encaminar al menos
algunos de los paquetes secuencialmente a diferentes destinos
de tal manera que al menos uno de los mensajes de facsimil
se transmite a los diferentes destinos.

25 53.- Un sistema de comunicaciones de datos por paquetes-
conmutados, según el punto 50, en donde dichos elementos para
subdividir el flujo de bits de datos digitales en diversos
paquetes, incluyen además elementos para adjuntar a la parte
de información de cada paquete, diversos bits en código para
30 corrección de errores.

By

54.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 46, en donde los primeros elementos de proceso incluyen además:

5 - elementos de compresión de datos para reducir el número de bits de datos en el flujo de bits de datos antes de la subdivisión del mismo por los elementos de subdivisión, en dichos paquetes; y

en donde los segundos elementos de proceso incluyen además:

10 - elementos de expansión de datos para decomprimir los datos comprimidos contenidos en los paquetes después del reensamble de los mismos en el flujo de bit de datos y antes del acoplamiento del flujo de bits de datos a la máquina de facsímil de destino.

55.- Un sistema de comunicaciones de datos por paquetes-
15 tes-conmutados, según el punto 46, en donde los primeros elementos de proceso incluye además:

20 - elementos de conversión para la compatibilidad de modulación, para convertir los mensajes de facsímil modulados en amplitud y los mensajes de facsímil modulados de frecuencia, en el mencionado flujo de bits de datos digitales; y en donde los segundos elementos de proceso incluyen además:

25 - elementos de conversión para la compatibilidad de modulación, para convertir el flujo de bits de datos digitales en datos modulados en frecuencia o en amplitud, para el acoplamiento a las mencionadas máquinas de facsímil de destino, de acuerdo con las características de modulación de las máquinas de facsímil.

56.- Un sistema de comunicaciones de datos por paquetes-
30 conmutados, según el punto 46, en donde los primeros y segundos

Rep

elementos de proceso incluyen además:

- elementos de conversión para la compatibilidad de la velocidad de exploración que responden a la velocidad de la exploración facsímil a fin de adaptar la cadencia a la que se
5 reciben los datos de la máquina facsímil con el flujo de bits de datos digitales, de tal manera que los mensajes de facsímil pueden ser intercambiados entre máquinas de facsímil de origen y de destino que tengan diferentes velocidades de exploración.

10 57.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 56, en donde los elementos de conversión para la compatibilidad de velocidad de exploración facsímil responde a la velocidad de los tambores de la máquina de facsímil del origen y de las de destino.

15 58.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 50, en donde los elementos de generación de protocolo incluyen:

- elementos para impartir un enlace compatible con todo el sistema para mensajes y protocolo de paquetes a dichos paquetes
20 de tal manera que las máquinas facsímil de destino que tengan un protocolo diferente a la máquina facsímil de origen están adaptadas para reproducir el flujo de bits acoplado a las mismas desde los mencionados segundos elementos de proceso.

25 59.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 47, que comprende además:

- elementos controlados por los primeros y segundos elementos de proceso para generar mensajes de voz audibles a las localizaciones de máquinas de facsímil seleccionadas en respuesta
30 a los datos almacenados; y

- elementos para acceder a dichos datos almacenados.

60.- Un sistema de comunicaciones de datos por paquetes conmutados según el punto 46, para comunicaciones de facsímil en el modo dúplex-

total, que comprende elementos de proceso en una primera

5 localización y elementos de proceso en una segunda localización, cada uno de los cuales elementos de proceso incluye:

- elementos para recibir mensajes de facsímil desde diferentes máquinas de facsímil de origen;

10 - elementos para recibir mensajes de facsímil desde diferentes máquinas de facsímil de destino;

- elementos para convertir dichos mensajes de facsímil desde dichas máquinas de facsímil de origen y destino en datos digitales;

- elementos para paquetizar dichos datos digitales;

15 - elementos para almacenar dichos datos paquetizados;

- elementos para reensamblar los paquetes almacenados recibidos de los terminales de origen y destino en flujos de bits de datos digitales;

20 - elementos para acoplar dicho flujo de bits digitales derivado de los terminales de destino a una red de comunicaciones para la transmisión a los terminales de origen; y

- elementos para acoplar dicho flujo de bits digitales derivado de los terminales de origen a una red de comunicaciones para la transmisión a dichos terminales de destino.

25 61.- Un sistema de comunicaciones de datos, según el punto 60, para comunicaciones de facsímil en el modo dúplex-total, que comprende además, al menos, un nodo de conmutación intermedio en la red de comunicaciones entre los terminales de origen y los terminales de destino, incluyendo dichos nodos de conmutación,

30 - elementos para recibir los datos paquetizados desde dichos

terminales de origen y destino;

- elementos para almacenar temporalmente dichos paquetes recibidos;

5 - elementos para encaminar los paquetes almacenados para la retransmisión por dicha red, de acuerdo con las disponibilidades y prioridades de la red de comunicaciones; y

- elementos para retransmitir dichos paquetes encaminados por la red de comunicaciones.

10 62.- Un sistema de comunicaciones de datos, según el punto 61, para comunicaciones de facsímil en el modo dúplex-total, en dónde cada uno de los elementos de proceso incluye además:

- elementos de compresión de datos para reducir la cantidad de datos recibidos desde los terminales de origen antes de la paquetización de dichos datos; y

15 - elementos de expansión de datos para decomprimir los datos comprimidos contenidos en los paquetes recibidos después del reensamble de dichos paquetes en mensajes de facsímil y antes del acoplamiento de los mismos a las máquinas de facsímil.

20 63.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 32 en el que se utiliza un método para la transmisión de información de mensajes de facsímil desde un primer terminal de facsímil a un segundo terminal de facsímil. por una red de comunicaciones, que comprende las siguientes etapas:

25 (A) acoplamiento de los datos representativos del mensaje de facsímil procedentes del primer terminal facsímil a un primer procesador;

(B) conversión de dichos datos acoplados al primer procesador en datos digitales que tienen un protocolo predeterminado;

30 (C) paquetización de dichos datos digitales en diversos

Dej

paquetes, cada uno de los cuales incluye al menos una parte de dicha información del mensaje facsímil un encabezamiento que indica el destino del paquete, una información para su utilización en el reensamble posterior de dichos paquetes en la información del mensaje;

- (D) almacenamiento temporal de dichos paquetes; y
- (E) encaminamiento dinámico de dichos paquetes por la red de comunicaciones para la transmisión a un segundo procesador asociado con el segundo terminal de facsímil.

64.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 63, en donde los paquetes almacenados temporalmente se almacenan sobre una base de prioridad.

65.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 63, en donde los paquetes almacenados temporalmente almacenan por períodos de tiempo predeterminados.

66.- Un sistema de comunicaciones de datos por paquetes conmutados, según el punto 63, que incluye además las siguientes etapas:

- (F) reensamble de dichos paquetes en los segundos elementos de proceso, en la secuencia apropiada, en datos digitales representativos de la información del mensaje facsímil, de acuerdo con el protocolo predeterminado; y

- (G) acoplamiento de dicha información del mensaje facsímil al segundo terminal facsímil para la reproducción del mismo según las características

pe

de funcionamiento de dicho segundo terminal de
facsimil.

67.- Un sistema de comunicaciones de datos por pa-
quetes conmutados, según el punto 66, que incluye además
5 las siguientes etapas:

(H) recepción de dichos paquetes encaminados secuencial-
mente por la red de uno a más nodos de commu-
tación intermedios, en donde dichos paquetes
se almacenan temporalmente y se envían de acuer-
do con las disponibilidades de línea y prioridad
10 del sistema, bien a los mencionados segundos ele-
mentos de proceso o a otro nodo de conmutación in-
termedio, para el almacenaje y envío a los se-
gundos elementos de proceso.

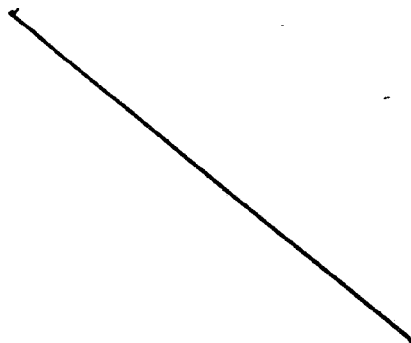
15 68.- Un sistema de comunicaciones de datos por paquetes
conmutados, según el punto 67, que incluye además la etapa de:

(I) compresión de los datos digitales en el primer
procesador antes de las mencionadas etapas de pa-
quetización; y

20 (J) decompresión de dichos paquetes reensamblados en
el segundo procesador antes de dicha conversión
de los datos digitales representativos de la men-
cionada información del mensaje facsimil.

25 69.- Un sistema de comunicaciones de datos por paquetes
conmutados.

127

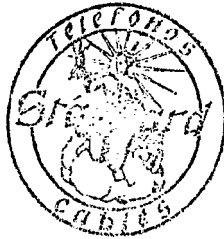


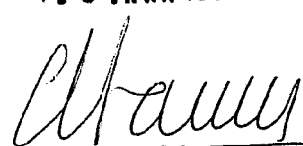
147.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de ciento cuarenta y siete
5 hojas escritas por una sola cara.

Madrid, **15 MAR. 1978**

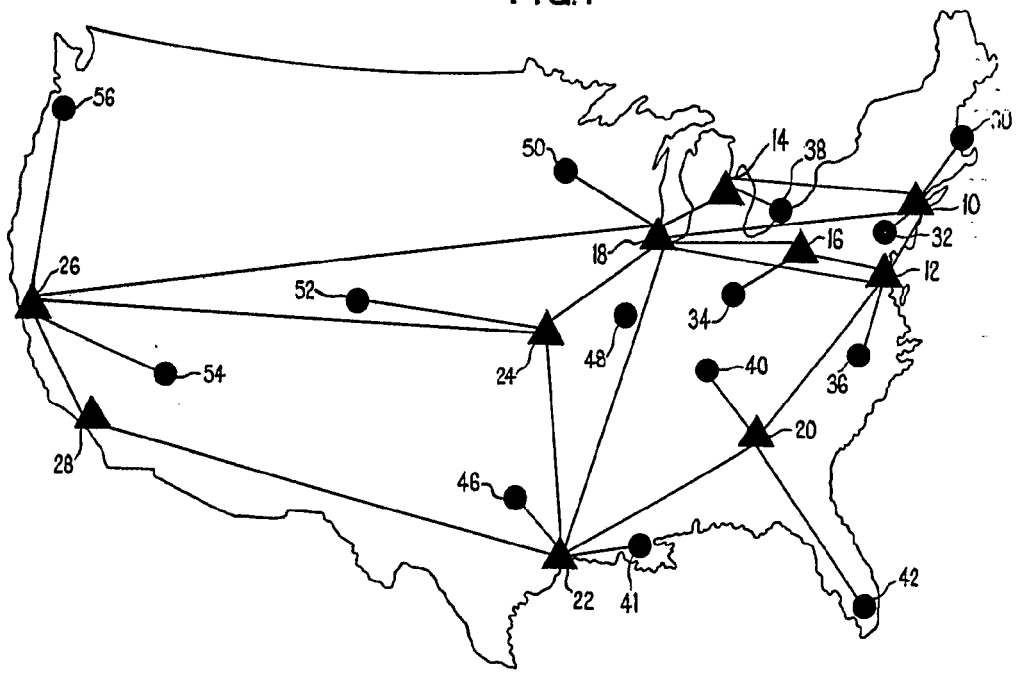



EUGENIO BARROSO
Secretario General

29

2/1

FIG. 1



15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

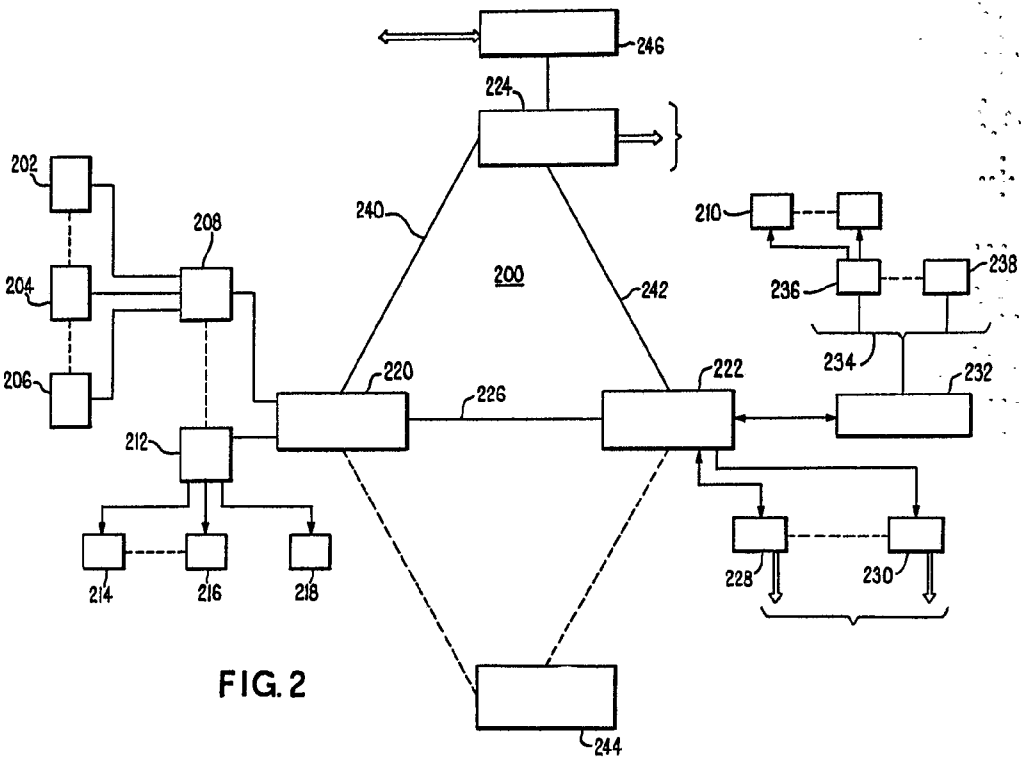


FIG. 2

15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

15 MAR. 1978

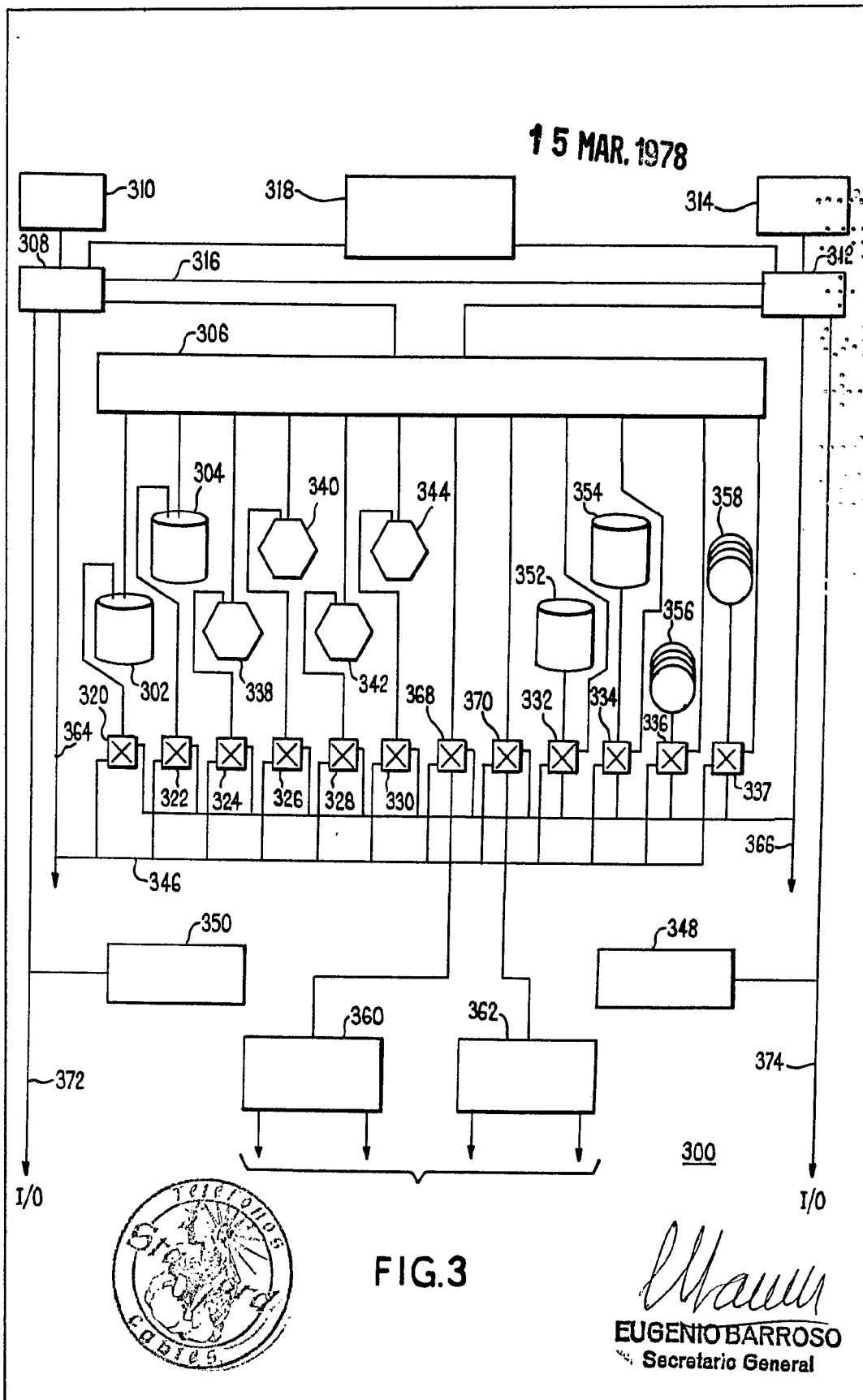


FIG. 3



Eugenio Barroso
EUGENIO BARROSO
Secretario General

2/4

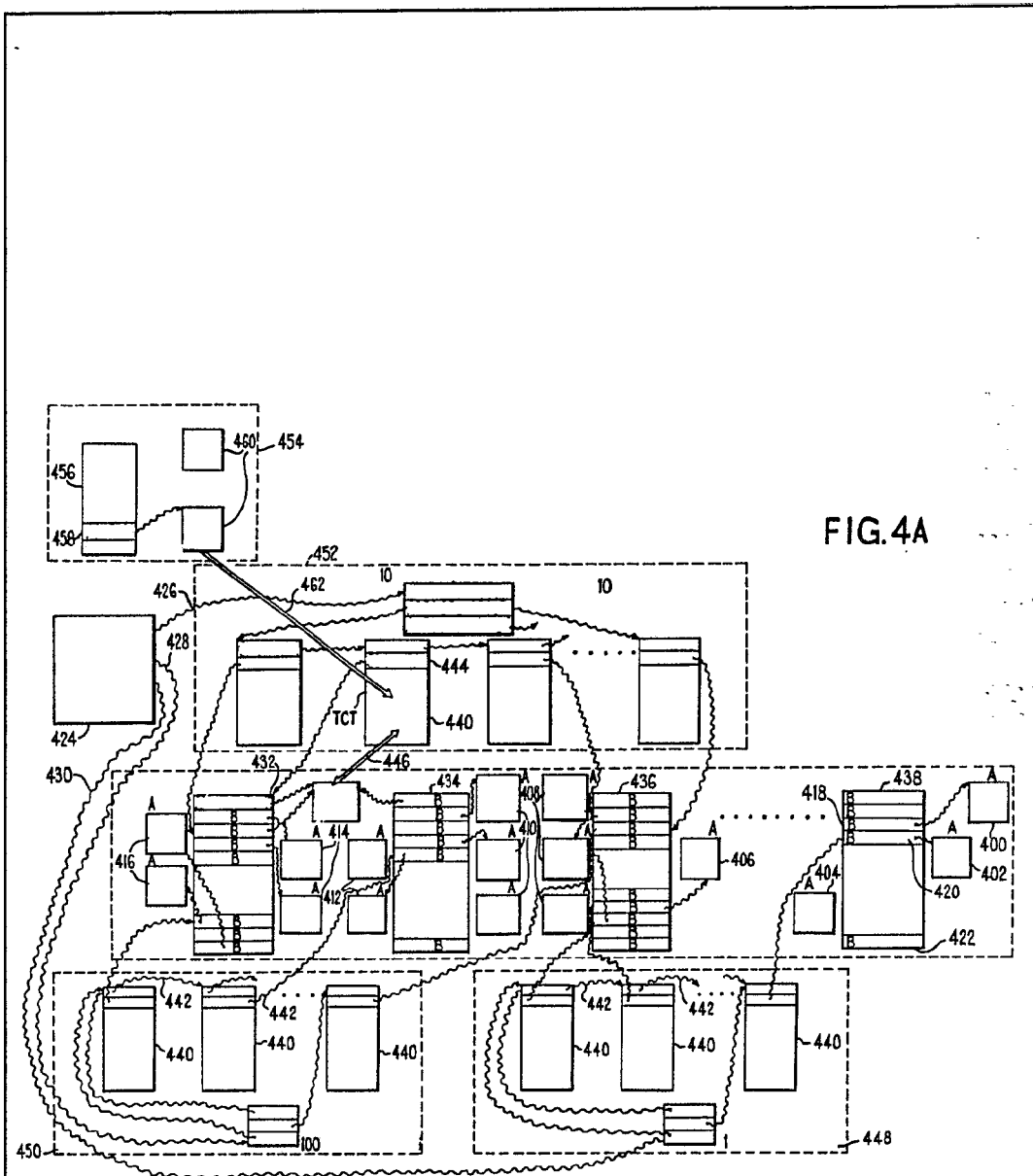
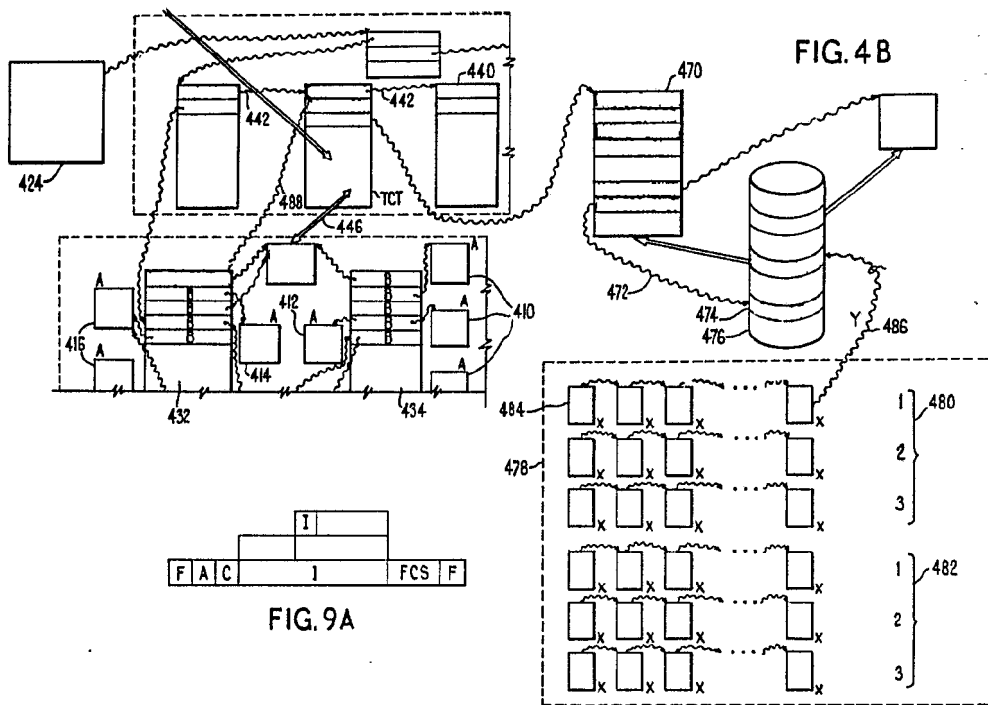


FIG. 4A

15 MAR 1961



Eugenio Barroso
EUGENIO BARROSO
Secretario General



15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

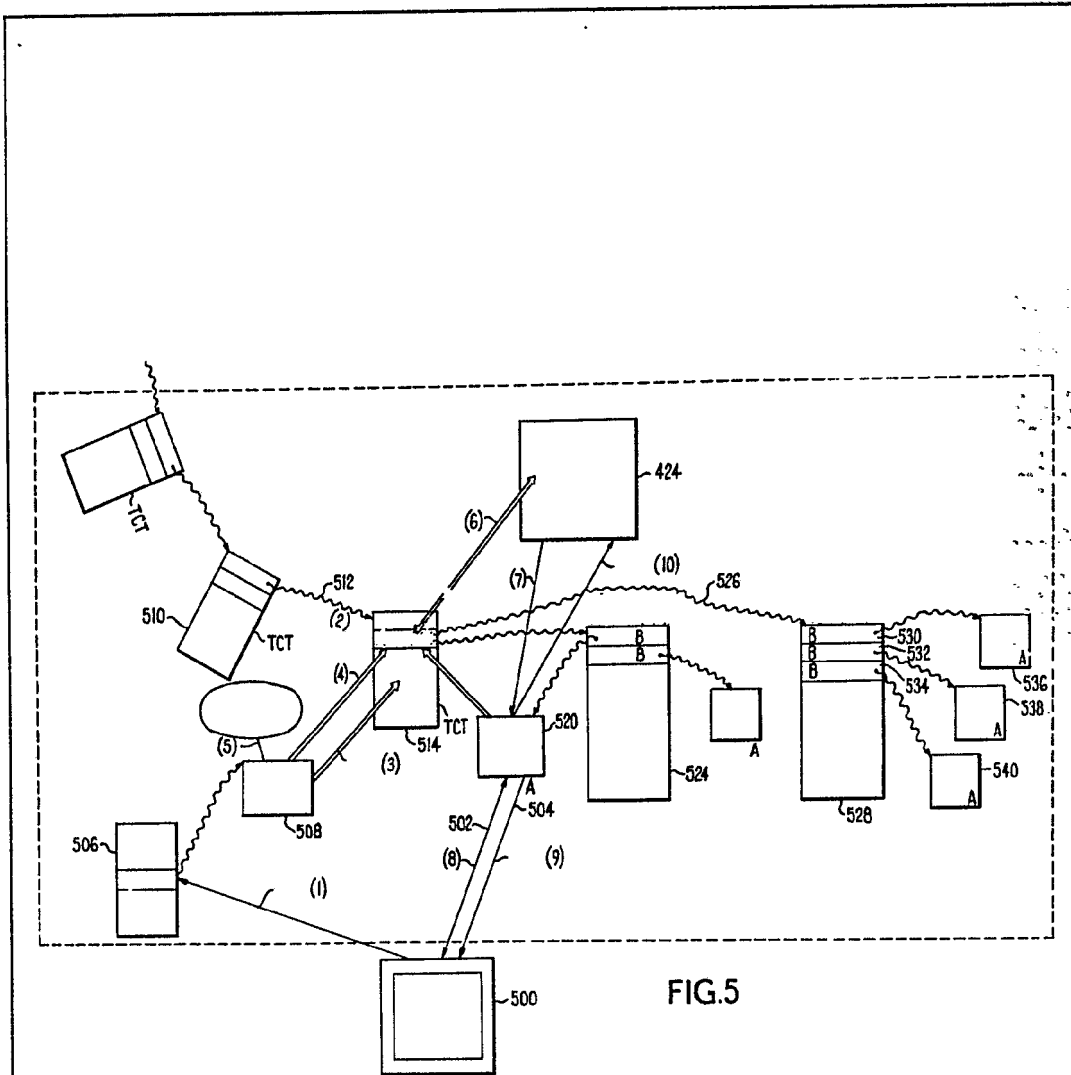


FIG. 5

15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

21/7

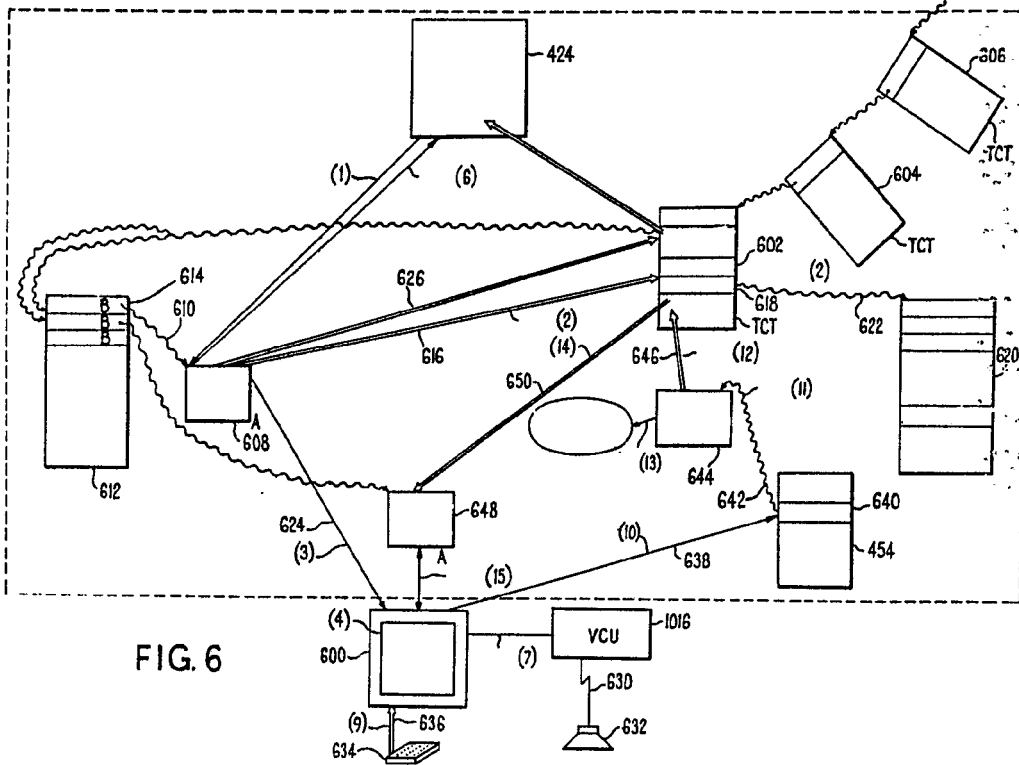


FIG. 6

15 MAR. 1978



Albaum
EUGENIO BARROSO
Secretario General

21/9

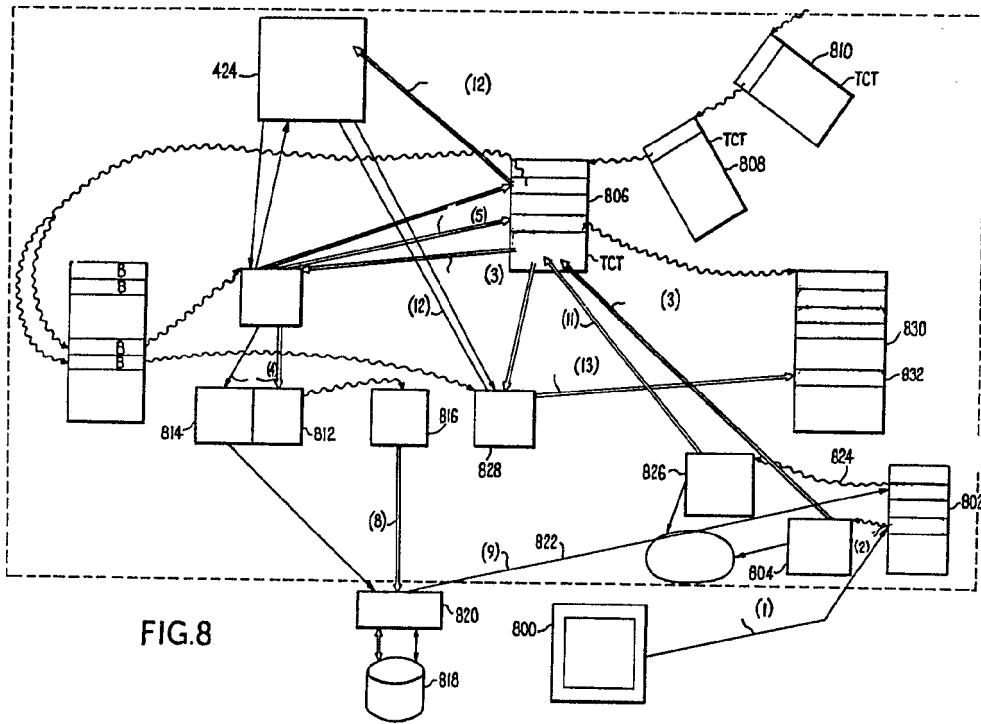


FIG. 8

15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

21/10

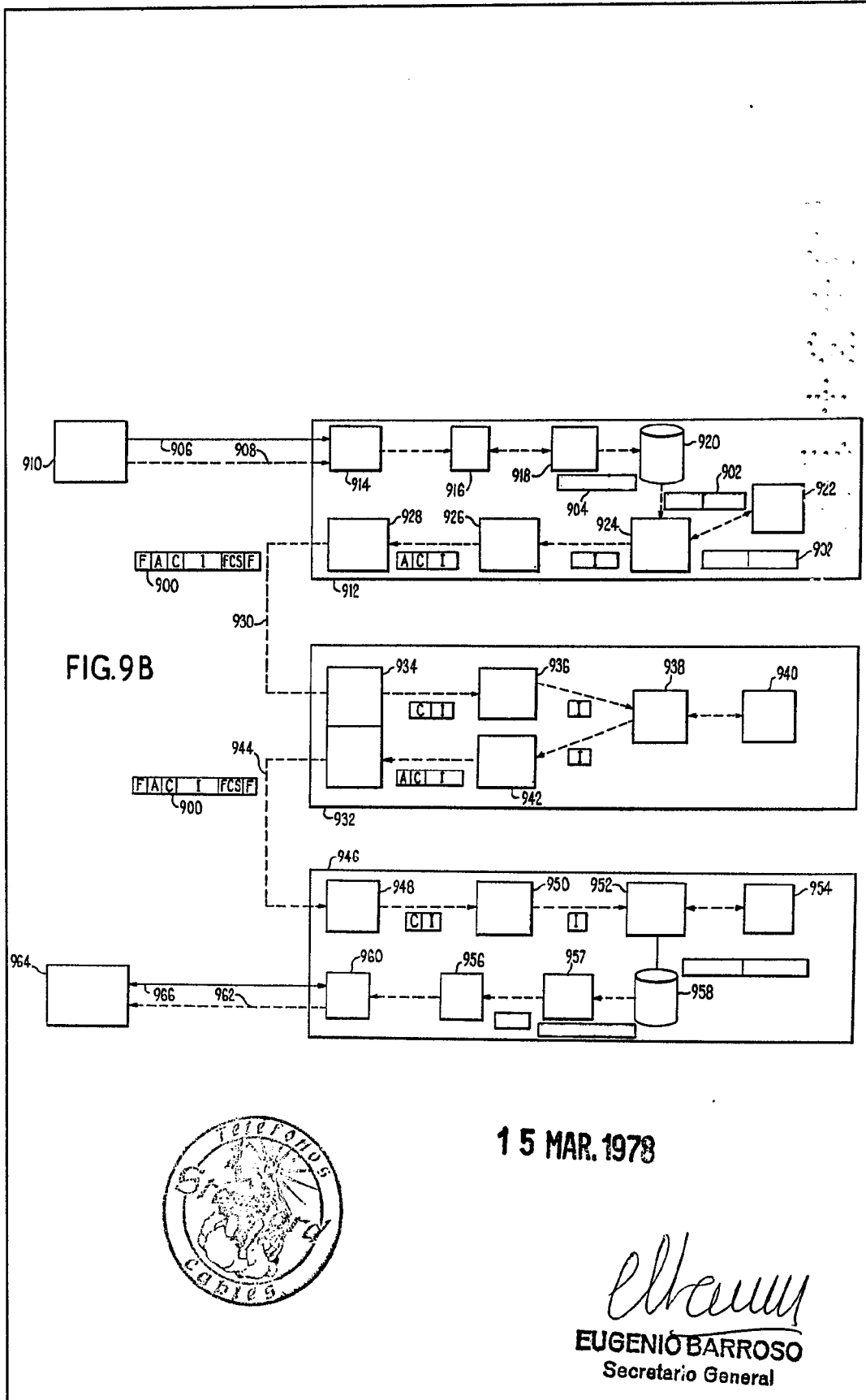


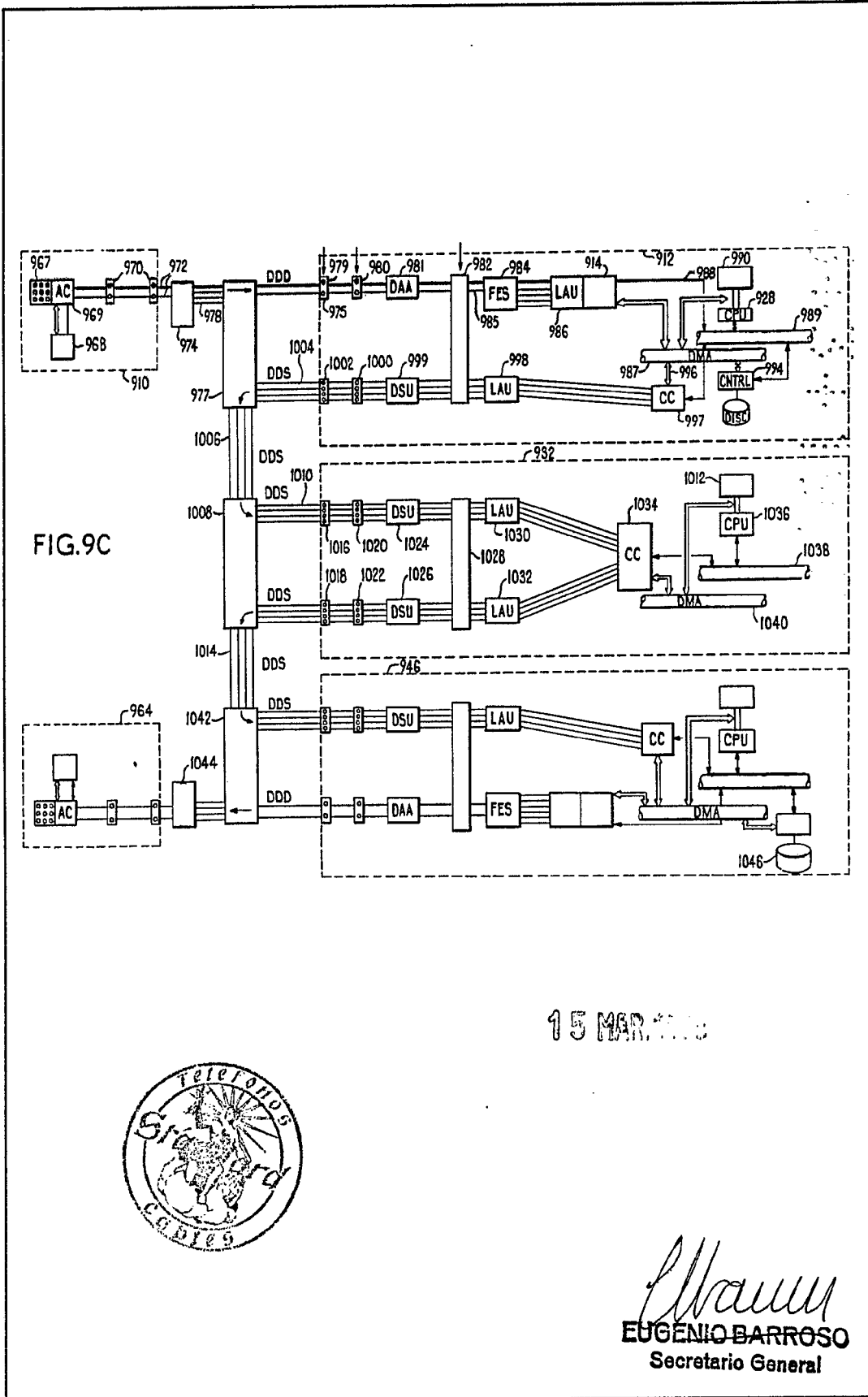
FIG. 9B

15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General

2/1/11

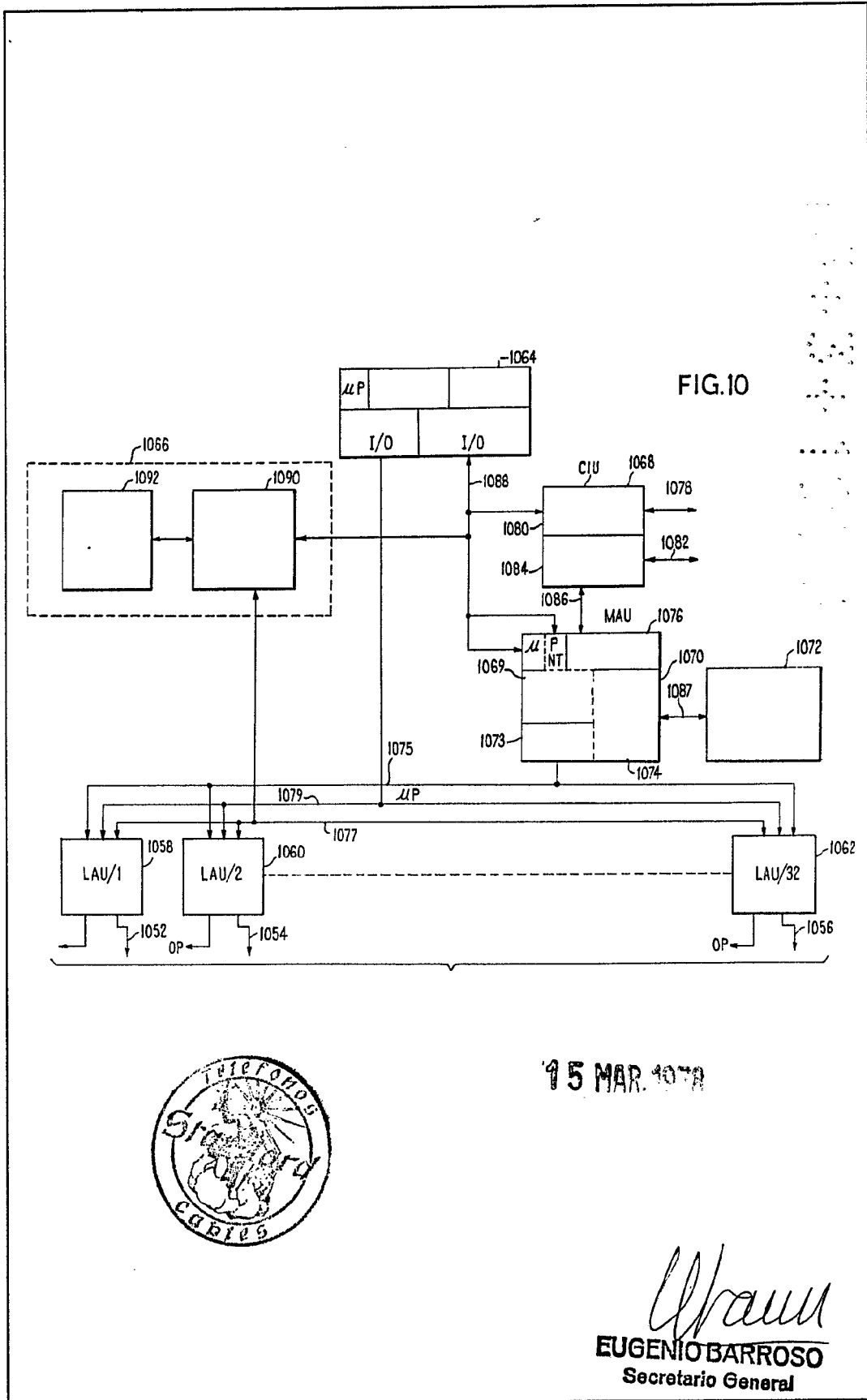


15 MAR 1978

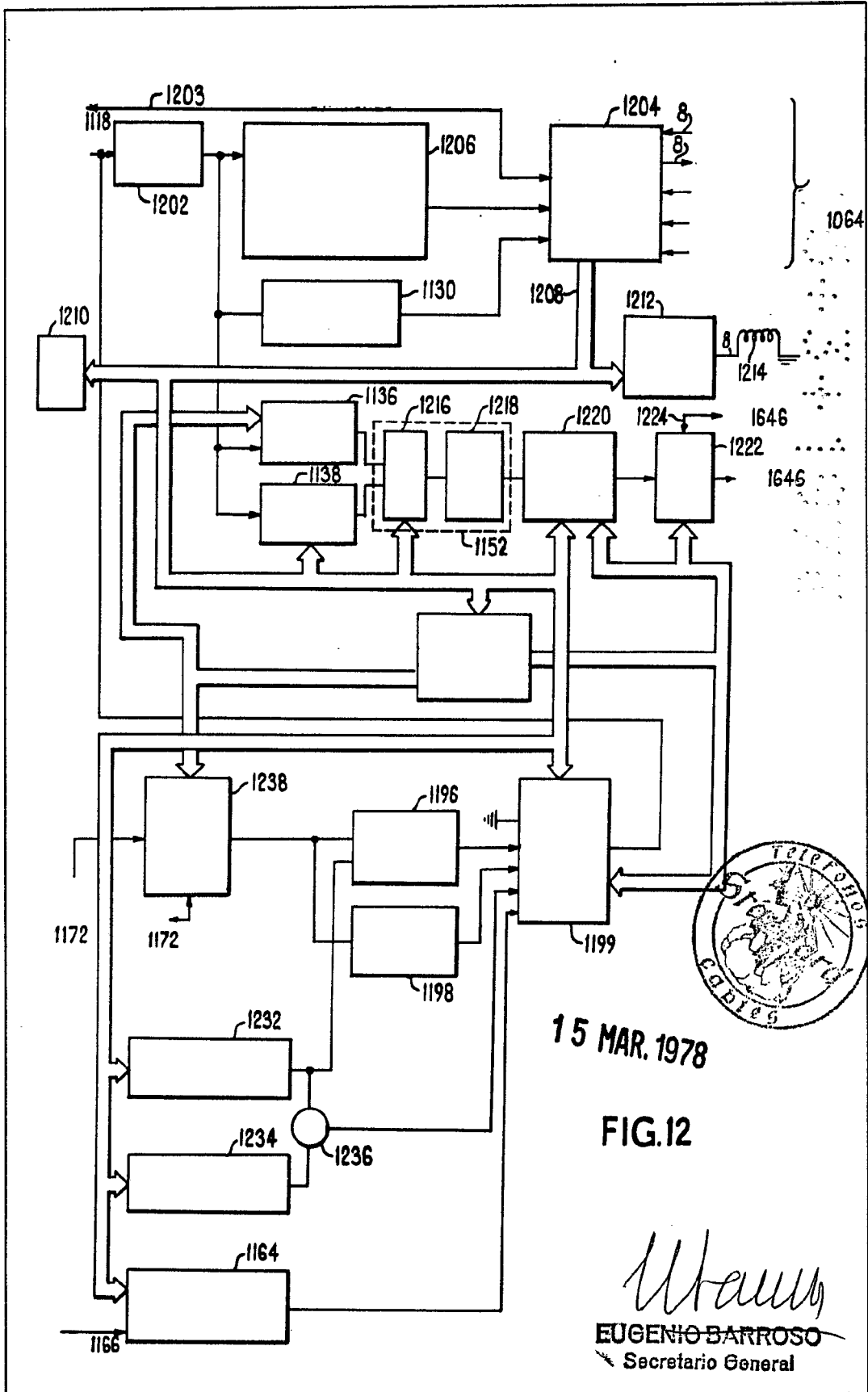


Eugenio Barroso
EUGENIO BARROSO
Secretario General

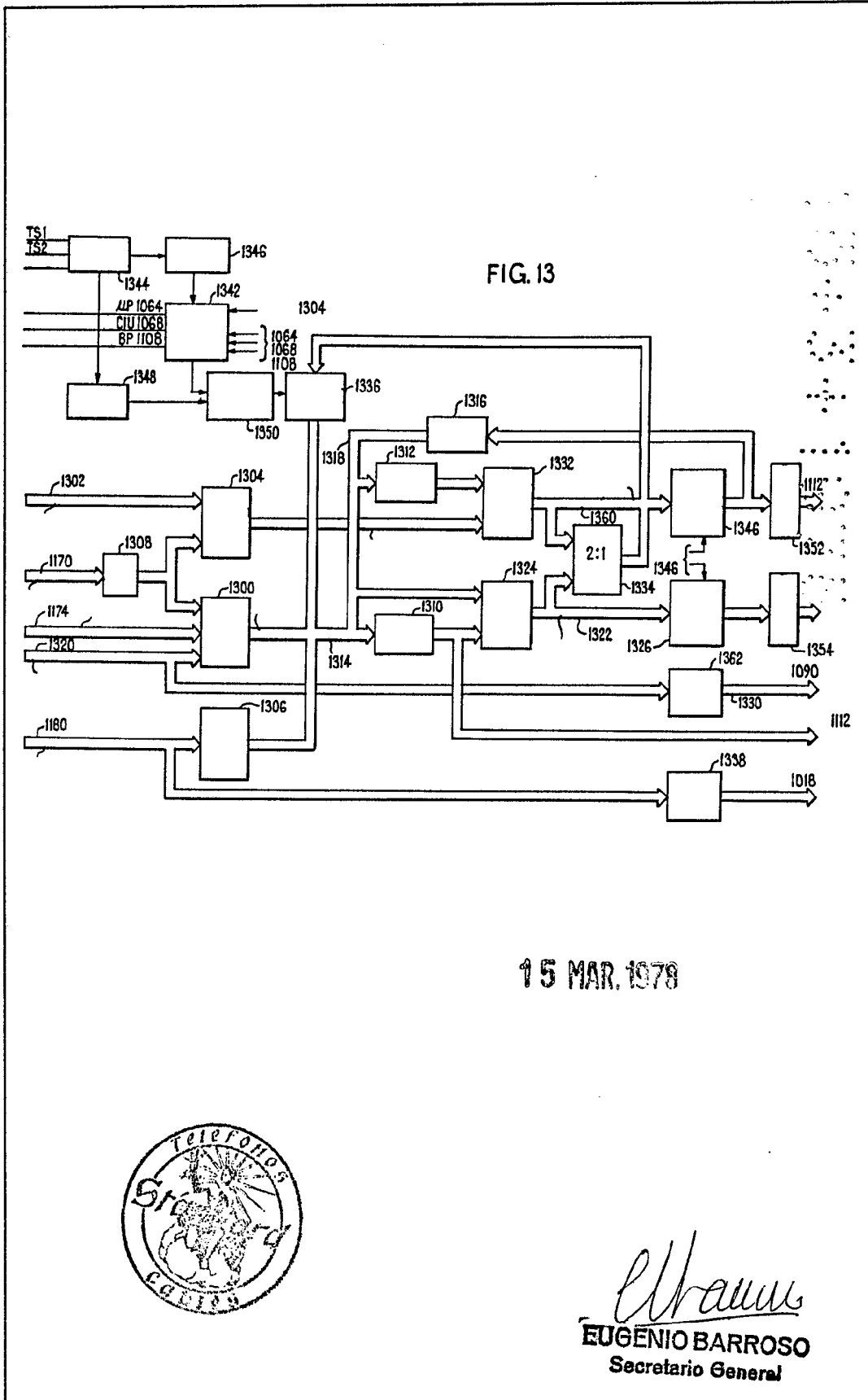
2/12



2/1/4



2/15



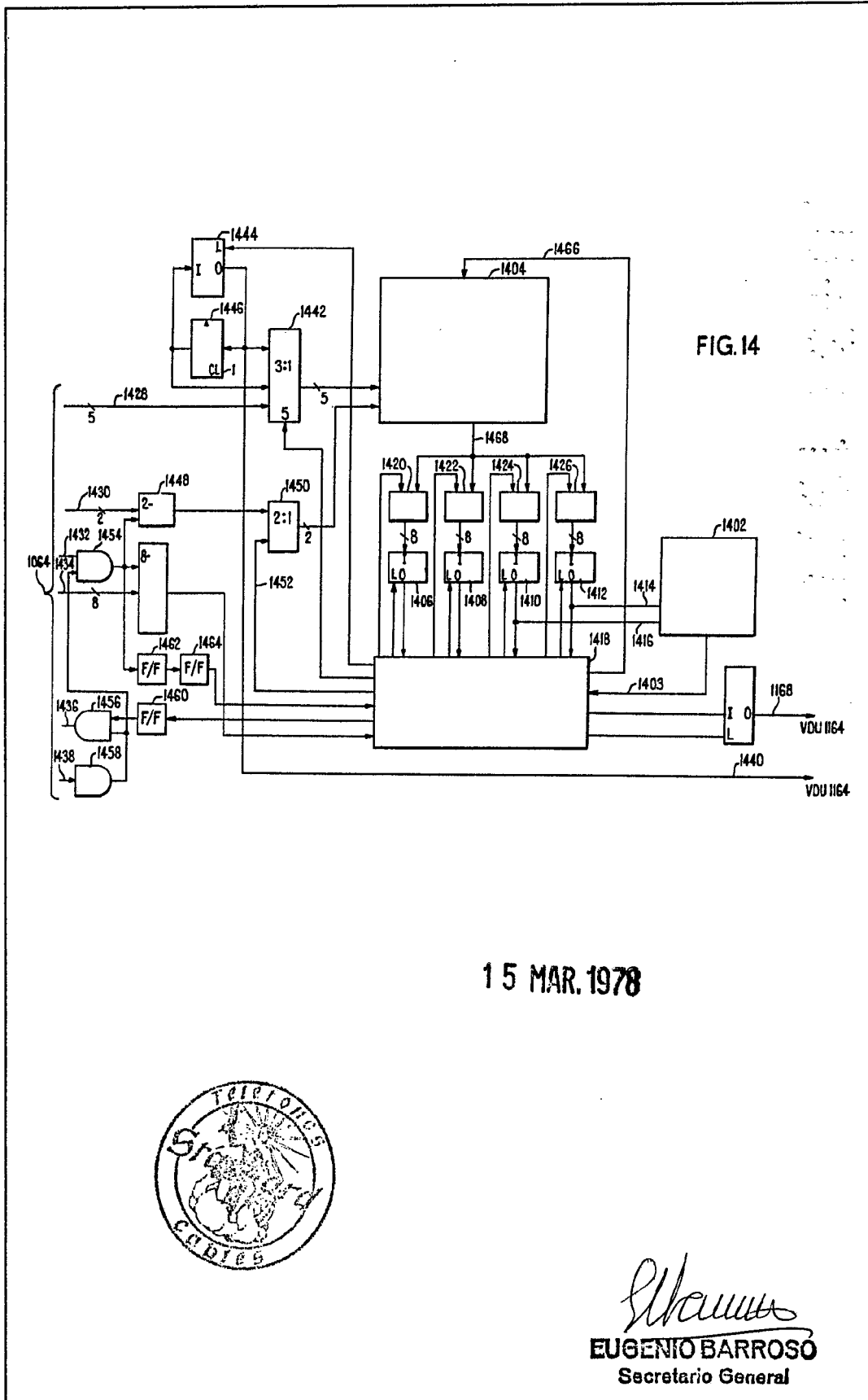


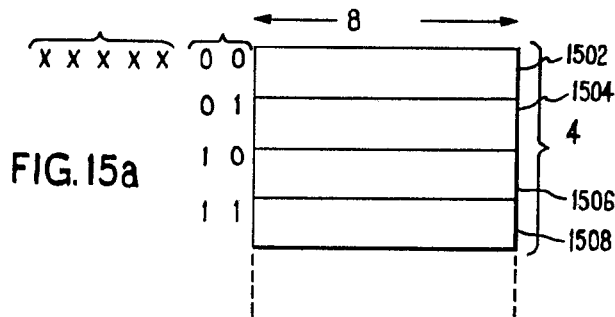
FIG. 15b

#		
0		
1		
2		
3		
4		
5		
6		
7		

= 500 HS

1510

1512



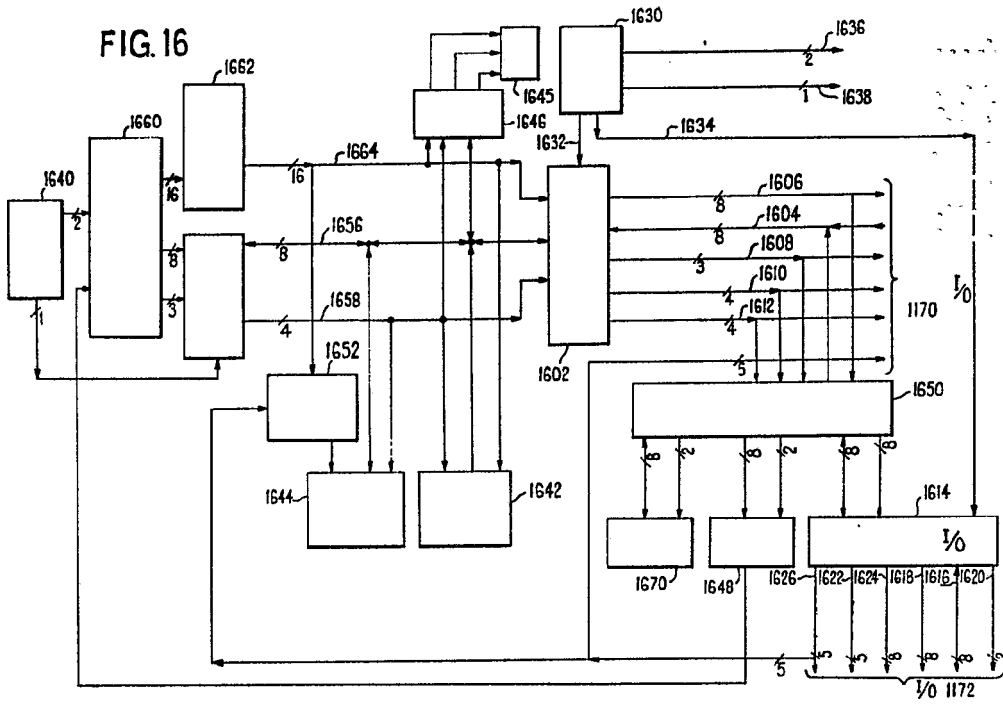
15 MAR. 1978



E. Barroso
EUGENIO BARROSO
 Secretario General

21/18

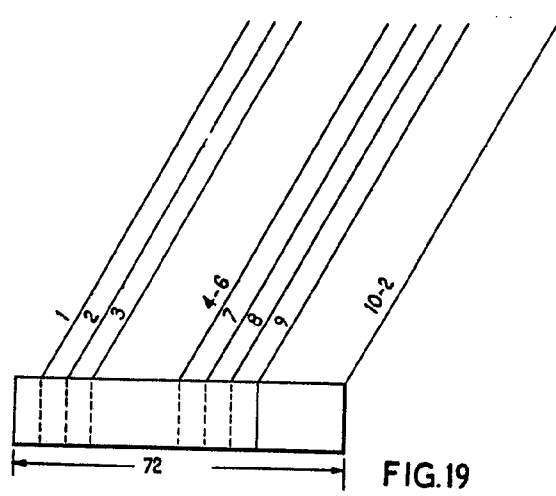
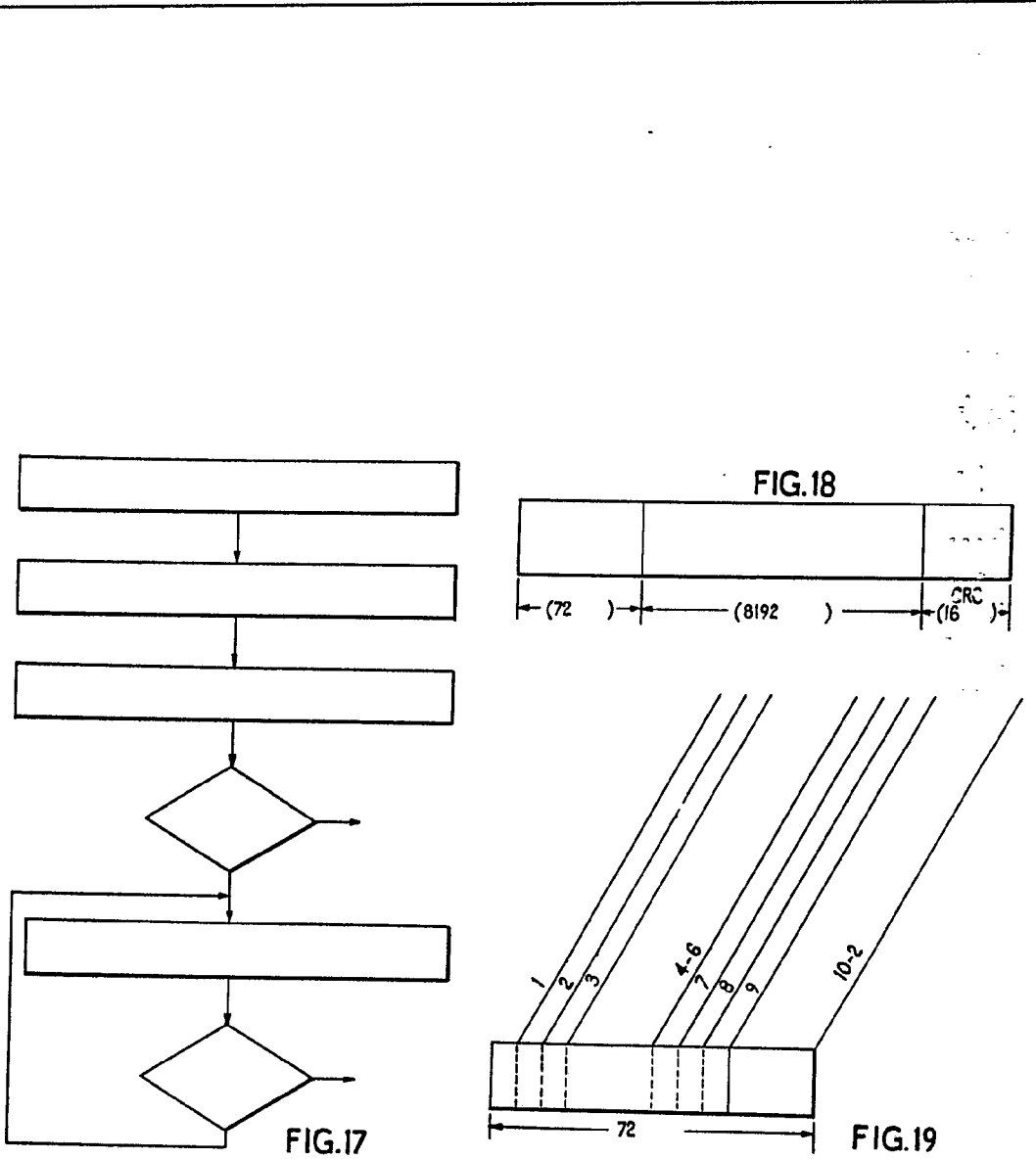
FIG. 16



15 MAR 1976

E. Barro
EUGENIO BARROSO
Secretario General

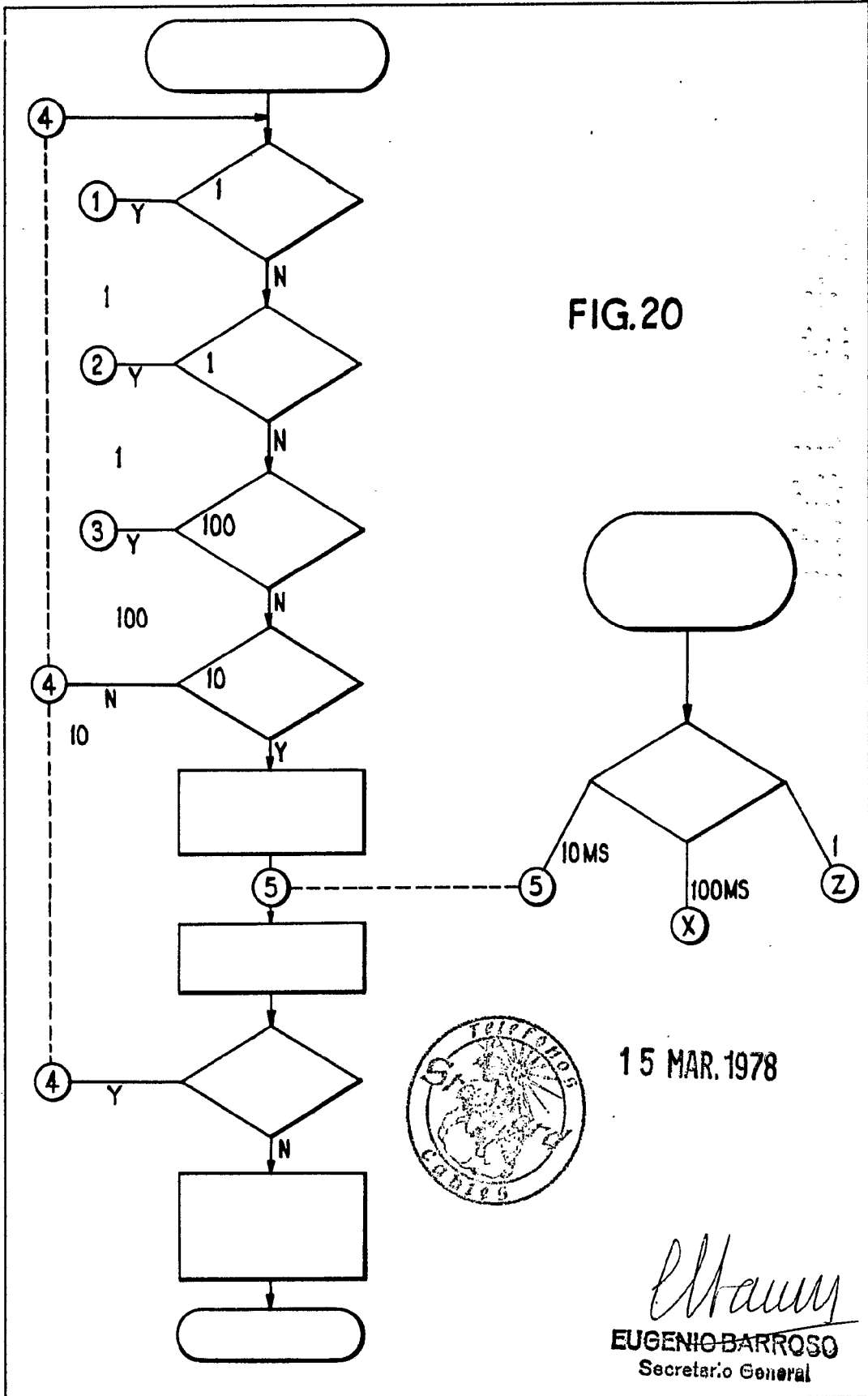
21/19



15 MAR. 1978

Eugenio Barroso
EUGENIO BARROSO
Secretario General

2/20



21/21

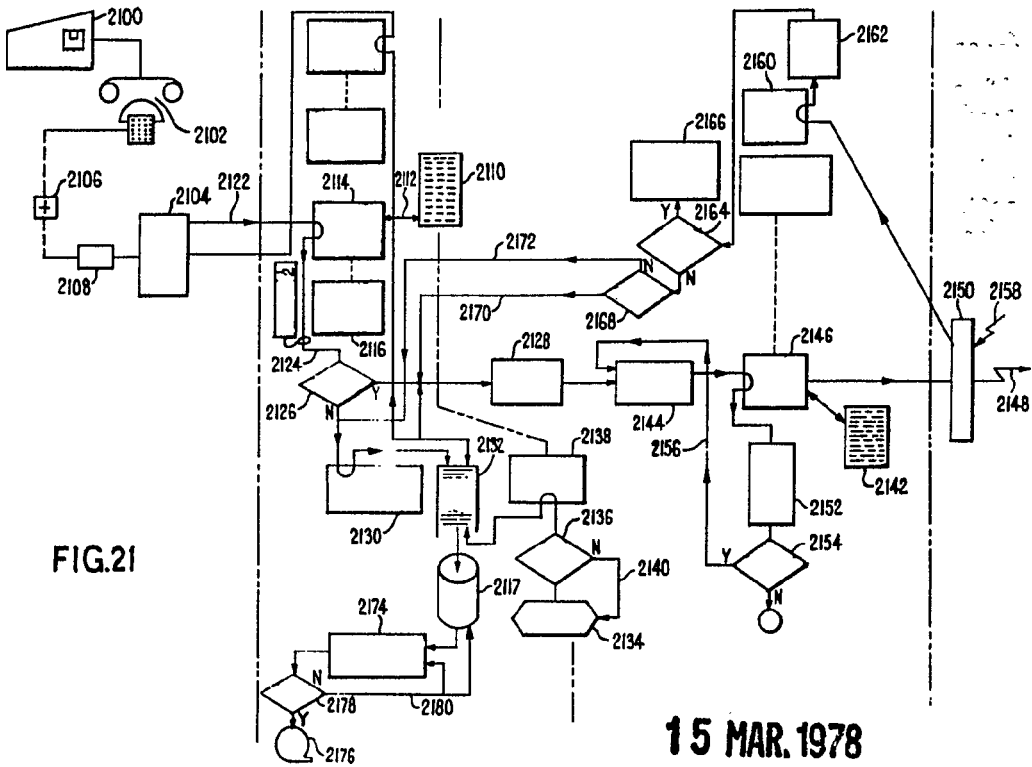


FIG.21

15 MAR. 1978



Eugenio Barroso
EUGENIO BARROSO
Secretario General