

MINISTERIO DE INDUSTRIA Y ENERGIA  
Registro de la Propiedad Industrial



ESPAÑA

Concedido el Registro de <sup>(11)</sup> ~~la~~ <sup>(21)</sup> ~~que~~ <sup>(22)</sup> ~~ES~~ con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

463,447

NUMERO	463.447	(19) A1
FECHA DE PRESENTACION	21-10-77	

20 DIC. 1978

PATENTE DE INVENCION

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
734.732	21 de Octubre de 1.976	EE.UU. de A.
842.091 C.I.P.	17 de Octubre de 1.977	EE.UU. de A.

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04M	

(54) TITULO DE LA INVENCION
Perfeccionamientos en dispositivos de control de microprocesadores para sistemas de conmutación telefónica.

(71) SOLICITANTE (S)
WESCOM SWITCHING.
DOMICILIO DEL SOLICITANTE
724 Enterprise Drive, Oak Brook, Illinois 60521, EE.UU. de A.
(72) INVENTOR (ES)
Saytan Gangaram Pitroda., William Anton Fechalos., Carl John Stehman.
(73) TITULAR (ES)
(74) REPRESENTANTE
D. Jose Miguel Gomez-Acebo y Pombo.

EXTRACTO DEL DESCUBRIMIENTO

Se describe un complejo de control de microprocesador para un sistema de conmutación de telecomunicaciones en el contexto de un sistema de conmutación multiplex de división de tiempo digital. El complejo de control se dispone como un grupo de microprocesadores de elementos fijos idénticos en una configuración de proceso distribuida en la cual cada microprocesador está provisto de su propia memoria y reloj y programado para realizar una parte de la función total del sistema de conmutación. Cada microprocesador realiza las funciones que se le han asignado de una forma independiente y asincrónica con las demás. Los datos se transfieren entre microprocesadores de una manera que reduce al mínimo la cantidad de tiempo empleado en la comunicación entre procesadores. Esta comunicación se realiza por memorias tampones entre procesadores que proporcionan canales de comunicación dedicados entre procesadores correspondientes pero permitiendo que dichos procesadores continúen su funcionamiento de una forma asincrónica. El complejo de control distribuido permite que los elementos de realización del programa se puedan hacer por módulos con lo que supone de economía en la generación y eliminación de errores del programa.

Este invento se refiere a telefonía y, de un modo más particular, a un complejo de control de programa almacenado del tipo que encuentra aplicación para controlar el funcionamiento de un sistema de conmutación de telecomunicación.

Los sistemas de conmutación telefónicos se han desarrollado para incluir diversas formas de controles comunes por ordenadores de la variedad programable o de programa almacenado. Tradicionalmente, los controles por ordenadores se han

configurado como monoprocesadores de tareas múltiples con la  
consiguiente necesidad de tener que ejecutar tareas de control  
relativamente complejas y configuraciones de memoria también  
complejas. Una de las características de la forma de enfocar  
5 el problema con monoprocesadores es la necesidad de un programa  
ejecutivo o un procesador ejecutivo para controlar las operaciones  
del sistema. Normalmente esto da por resultado un programa  
activado por interrupciones que exigen por lo tanto una jerarquía  
10 en esencia compleja para las diversas interrupciones. Además,  
en general es necesario utilizar filas de espera con el fin de  
distribuir la carga de trabajo de tiempo real del procesador. La  
complejidad resultante de la tarea de programación resultará  
evidente por lo expuesto, no solamente puesto que implica el  
15 generar y eliminar inicialmente los errores de los programas,  
sino también en el mantenimiento del sistema si se desarrolla un  
defecto o avería.

En vista de lo expuesto anteriormente, el presente invento  
tiene por finalidad en general proporcionar un sistema de  
20 conmutación de telecomunicaciones que tiene un complejo de  
control de procesadores múltiples que proporciona proceso de  
llamadas distribuidas y evita también la necesidad de emplear  
control ejecutivo. De un modo más específico, un objeto del  
invento es distribuir las funciones de proceso de llamadas  
entre los diversos procesadores en el complejo de control de  
25 tal manera que se haga por módulos la función de control y  
se simplifique la programación. Un objeto resultante es reducir  
al mínimo la complejidad del sistema y aumentar la fiabilidad  
del mismo.

Un objeto general del invento es simplificar las tareas  
30 de control del complejo de control de un sistema de conmutación

tación de telecomunicaciones dividiendo dichas tareas a lo largo de líneas de proceso de llamadas funcionales y asignando esas tareas a procesadores respectivos en una configuración de procesador distribuida.

5           Según un aspecto particular del invento, un objeto del mismo es configurar el complejo de control en un dispositivo de procesadores múltiples distribuidos con tareas específicas asignadas a los procesadores respectivos para reducir al mínimo la comunicación entre procesadores. Otro objeto es simplificar las tareas de control para que los procesadores puedan funcionar de una forma asincrónica independientemente de cualquier ejecutivo de control. Un objeto detallado es proporcionar dicho complejo de control en el cual las tareas de control se seccionan a lo largo de líneas funcionales relacionadas con el proceso de llamadas.

10

15

          Según otro aspecto del invento, otro objeto es proporcionar un sistema de conmutación de telecomunicaciones altamente fiable con un complejo de control de procesadores múltiples distribuidos que tienen procesadores redundantes en el complejo de control puesto en línea de un modo individual en caso de fallo de un procesador principal o primario. Por lo tanto, un objeto es mejorar la fiabilidad reemplazando automáticamente tan solo la unidad averiada en lugar de tener que reemplazar todo el complejo de control.

20

          Finalmente, y según otro aspecto del invento, otro objeto del mismo es poner en práctica de un modo económico un sistema de conmutación de telecomunicaciones configurando el complejo de control en un dispositivo de procesadores múltiples distribuidos en el cual los procesadores comprenden circuitos y memorias de microprocesadores fácilmente disponibles

25

30

a un costo relativamente bajo. Además, otro objeto es simplificar la estructura de dicho sistema proporcionando a cada microprocesador su propia memoria de programa, eliminando la necesidad de que los microprocesadores distribuidos compartan la memoria.

Según el invento, un complejo de control de procesadores múltiples se consigue proporcionando el proceso de llamadas distribuidas de tal manera que se reduzca al mínimo la complejidad de control desde un punto de vista de elementos fijos y de elementos de ejecución de la programación. Una pluralidad de unidades de control de los procesadores múltiples se utiliza con un microprocesador y una memoria de instrucciones asociada con el mismo. Las diversas memorias de instrucciones se programan para hacer que su microprocesador correspondiente realice una parte de la función total del sistema de conmutación, por lo que la función total se distribuye entre los microprocesadores. Con este dispositivo, cada unidad de control de microprocesador puede continuar realizando las funciones que se le han asignado de una forma independiente y asincrónica respecto a las otras unidades de control. Como es lógico, es necesario transferir datos entre las unidades de control para realizar la función de conmutación total, Para reducir al mínimo la cantidad de tiempo empleado en la comunicación entre procesadores, y para reducir la complejidad del sistema debida a dicha comunicación, los procesadores que se deben intercomunicar se parean, y cada par estará provisto de un canal de comunicaciones asincrónico delicado, De este modo, cada uno de los microprocesadores puede continuar funcionando bajo control de su programa particular de una forma asincrónica con respecto a los otros procesadores en el complejo. En la modalidad preferible, los canales

de comunicaciones asíncronos se obtienen por memoria tampones entre procesadores que tienen un almacén de datos temporal accesible por separado por los microprocesadores del par asociado con los mismos.

5           Como faceta adicional del invento, se proporciona un procedimiento para controlar una central de conmutación telefónica que tiene una pluralidad de funciones de proceso de llamadas que comprenden las fases de proporcionar una pluralidad de microprocesadores cada uno con un dispositivo de memoria asociado, acondicionar de un modo individual los dispositivos de memoria para hacer que cada microprocesador asociado responda a las órdenes de entrada para ejecutar partes particulares de las funciones de la central de conmutación para producir órdenes de salida como resultado de dicha ejecución, donde al menos algunas de las órdenes de entrada es el resultado de funciones de la central de conmutación realizadas por los otros procesadores y al menos alguna de las órdenes de salida están concebidas como órdenes de entrada para los otros procesadores, de modo que la función total de la central de conmutación se distribuya entre los microprocesadores respectivos, poniéndose por pares los microprocesadores para el intercambio de órdenes de salida desde uno como orden de entrada para el otro microprocesador del par, y comunicando de una forma asíncrona dichas órdenes a lo largo de canales de comunicaciones delicados entre procesadores pareados, de modo que los procesadores reaccionen para realizar la función total de la central de conmutación.

20           Otros objetos y ventajas resultarán evidentes por la descripción detallada que sigue, tomando como referencia los dibujos adjuntos, en los que:

La figura 1 es un diagrama general de conjuntos de un sistema de conjuntos de un sistema de conmutación de telecomunicaciones en el cual se incorpora una forma preferible del invento.

5 La figura 2 es un diagrama de conjuntos que ilustra la disposición de los procesadores distribuidos de la parte de complejo de control del sistema ilustrado en la figura 1.

10 La figura 3 es un diagrama de conjuntos que ilustra esquemáticamente la construcción redundante utilizada por las unidades de control de microprocesadores en el complejo de control 55.

La figura 4 es un diagrama esquemático de la estructura de la memoria de programa y de días para cada procesador.

15 La figura 5 es un diagrama que ilustra los canales de comunicaciones que unen un par de procesadores correspondientes.

20 La figura 6 es un diagrama esquemático más extenso del dispositivo de microprocesador redundante de uno de los procesadores distribuidos e ilustra su interfase con el sistema de comunicación.

La figura 7 es un diagrama de conjuntos que ilustra la estructura de una memoria tampón entre procesadores que ejemplifica un canal de comunicaciones dedicado entre procesadores correspondientes.

25 La figura 8 es un diagrama esquemático que ilustra los elementos de una unidad de control de microprocesador y que ilustra sobre una base general su interrelación.

Las figuras 9a - h forman un diagrama de circuito de una memoria tampón entre procesadores.

30 La figura 10 es un diagrama de conjuntos de un mul

tiplejador de vías que interconecta un microprocesador con su memoria de programa correspondiente.

Las figuras 11a - b forman un diagrama esquemático del multiplexador de vías.

5 La figura 12 es un diagrama de conjuntos de un circuito de interfase de alto nivel para interfasar un microprocesador con el sistema de conmutación.

Las figuras 13a - b comprenden un diagrama esquemático del circuito de interfase de alto nivel.

10 La figura 14 es un diagrama de conjuntos de un circuito de interfase de bajo nivel para interfasar un microprocesador con el sistema de conmutación.

Las figuras 15a - b comprenden un diagrama esquemático del circuito de interfase de bajo nivel.

15 Las figura 16 es un diagrama que ilustra la jerarquía de programa de los programas almacenados para los microprocesadores de línea, enlace, estado, registrador, base de datos, consola y campo de lámparas de ocupación, respectivamente.

20 Las figuras 17 - 25 son gráficos de flujo que ilustran el subprograma S ejecutado por diversos procesadores que se combinan para proporcionar la función del sistema de "llamada normal"; y

25 Las figuras 26 - 31 son gráficos de flujo que ilustran subprogramas para uno de los procesadores, específicamente el procesador de base de datos ejemplificando los programas para el otro procesador.

30 A pesar de que el invento se describirá con relación a ciertas modalidades consideradas actualmente como preferibles, no se pretende limitarlo a estas modalidades. Por el contrario,

se intenta abarcar todas las alternativas, modificaciones y equivalencias comprendidas dentro del espíritu y alcance del invento según se definen en las reivindicaciones adjuntas.

5 Refiriéndonos ahora a la figura 1, se ilustra un diagrama de conjuntos general de un sistema de conmutación de telecomunicaciones concebido para servir como modalidad de ejemplo para el complejo de control según el presente invento. El sistema está destinado a conectarse a una pluralidad de líneas representadas por aparatos telefónicos 30, 31, y también 10 a una pluralidad de enlaces indicados de un modo general por la referencia 32. En término general "accesos" se empleará en la presente memoria para indicar estas y otras entradas del sistema. Se utiliza una circuitería para interfasar las líneas y enlaces al sistema de conmutación, estando representada dicha 15 circuitería por los circuitos de línea 33, 34, circuitos de enlaces análogos 35 y circuitos de enlaces digitales 36. Como el sistema de conmutación es de la variedad de cuatro hilos conductores, los circuitos de línea 33, 34 y los circuitos de enlaces analógicos 35 comprenden circuitos híbridos para convertir las señales de línea de dos hilos en cuatro hilos para 20 utilizarse en el sistema de conmutación. De un modo adicional, y según se explicará con más detalle más adelante, los circuitos de línea 33, 34 y los circuitos de enlace 35, comprenden puntos de sentido apropiados para indicar el estado de las líneas o enlaces a los que se conectan y también puntos de control apropiados para permitir que el sistema de conmutación controle su estado. Los circuitos de enlaces digitales 36 no son necesarios en la práctica del invento, pero se ilustran para que sea más completo. Dichos circuitos se han concebido 25 para interfasar directamente una línea digital T1 al sistema de 30

comutación sin necesidad de conversión de códigos de ninguna clase.

5 Además de establecer y mantener las conexiones de "llamada normal" entre líneas y enlaces, el sistema puede proporcionar características adicionales cuando se desee, estando representado el aparato que efectúa dichas características por el elemento 38. Por ejemplo, el sistema se puede configurar para que lleve a cabo, como funciones discretionales, sistema de avisos, llamadas codificadas, conferencias de accesos múlti-  
10 ples y similares. Los aparatos adicionales necesarios, por ejemplo equipo de sonido para el empleo con la característica del sistema de avisos, está indicado de un modo general por la referencia 39.

15 Se utilizan medios para recibir y almacenar dígitos marcados para ser empleados por el complejo de control con objeto de establecer conexiones entre las líneas y enlaces cuando sea necesario. Dicho equipo, indicado de un modo general por la referencia 40, puede comprender receptores de impulsos de llamada del disco selector y receptores de DTMF, utilizándose  
20 el término general receptores de llamada para comprender ambos tipos. Además, el equipo comprende registradores para almacenar los dígitos a medida que se reciben.

25 Para informar al usuario de la respuesta del sistema a su requerimiento se necesitan tonos del servicio, produciéndose dichos tonos en la modalidad presente por generadores de tonos digitales 41. Los tonos producidos por dichos generadores comprenden tono de llamada tono de timbre, tono de ocupado y similares. A pesar de que se pueden utilizar generadores de tonos analógicos los generadores de tonos digitales 41 de la  
30 modalidad presente eliminan la necesidad de conversión de cоди-

gos y, por lo tanto, son directamente compatibles con el sistema de conmutación.

5 Según se ha indicado anteriormente, el sistema de conmutación se configura como un sistema digital de cuatro hilos conductores y, por lo tanto exige conversión entre la información analógica en los enlaces y líneas a un formato digital. Con este fin, se utiliza una pluralidad de convertidores de códigos indicados de un modo general por la referencia 45. En la modalidad preferible, el código digital utilizado es compatible con las normas de la industria Norteamericana, que utiliza un formato de ocho bits, un ritmo de transmisión de 1,544 megabits y compresión con  $\mu$  igual a 255. Por consiguiente, el conjunto convertidor de códigos 45 puede estar compuesto por una pluralidad de convertidores de códigos bastante normales T1 PCM, cada uno capaz de manejar 24 canales y proporcionando cada uno una conversión analógica a digital en dirección a la red y conversión digital a analogía en dirección a las líneas y enlaces. Una modalidad práctica del sistema de conmutación ilustrado se ha construido para manejar una capacidad máxima de 3.088 canales, 3,072 canales activos y 16 perdidos para encuadre. Dicho sistema exigiría aproximadamente 128 convertidores de códigos, cada uno capaz de manejar 24 canales, proporcionando de este modo en la salida de los convertidores de códigos 45 una pluralidad de vías de PCM 46, llevando cada uno información bidireccional para 24 canales. En el sistema de 3.088 canales, existen aproximadamente 128 de dichas vías, y cada vía se ejecuta como un par de vías unidireccionales dirigidas en sentidos opuestos.

30 Para encaminar apropiadamente las muestras de señales codificadas desde las líneas hasta la red para una conmuta

ción eficaz, y desde la red hasta las líneas para distribución, se utiliza un par de multiplexadores, indicados como multiplexador de primer orden o multiplexador de nivel inferior 48 y multiplexador de segundo orden o multiplexador de nivel superior 49. El multiplexador de nivel inferior 48 pone en secuencia de tiempo la información recibida de los convertidores de códigos sobre 32 vías 50 que llevan cada una información en serie para 96 canales, y desmultiplexa las señales que fluyen en las direcciones opuestas. El multiplexador de nivel superior 49 recibe la información en las 32 vías de llegada, las convierte a paralelo y las dispone en cuatro vías paralelas 51 cada una portadora de información para 772 canales. El desmultiplexador de nivel superior realiza la función complementaria en dirección opuesta. Las cuatro vías de 772 canales están previstas para la red de conmutación digital sin bloqueo de cuatro hilos 52 que sirve para conmutar información a tiempo de canales elegidos con el fin de completar las condiciones entre estos canales.

La configuración de la propia red de conmutación digital se conoce según se explica, por ejemplo, en "A Review of Telecommunications Switching Concepts - Part 1" parte 1 y parte 2, publicada en Telecommunications, Febrero de 1976 y Marzo de 1976, respectivamente. Será suficiente indicar que la red, o cada conjunto de la misma comprende una memoria de información que tiene lugares localizables de un modo individual por cada canal en el sistema. La información recibida y elaborada a través de los convertidores de códigos se multiplexa en las vías apropiadas donde cada canal ocupa un segmento de tiempo dedicado. Esta información se anota en secuencia en los lugares de la memoria dedicados, actualizándose todas las muestras

cada 125 microsegundos. Con el fin de hacer las conexiones, la red, o cada conjunto de la misma comprende una o preferiblemente dos memorias de conexión, cada una de las cuales tiene un logurar localizable dedicado a cada canal en el sistema. Se establece una conexión escribiendo "números pareados" en la memoria de conexión. La localización de la primera línea se anota en el lugar asignado a la segunda línea y viceversa para "conectar" la primera y la segunda líneas. Después, durante el segmento de tiempo para el primer canal, la memoria de información se anota con el dato del canal y el dato se lee también de la memoria de información en la localización establecida por la memoria de conexión, poniendo por lo tanto la muestra del segundo canal en el segmento de tiempo para el primer canal para devolución al primer canal. Ulteriormente, durante la aparición del segmento de tiempo para el segundo canal, tiene lugar una operación similar siendo el resultado que las muestras de los dos canales se cambian a tiempo haciendo que el primer canal reciba muestras del segundo canal y viceversa. En resumen, se establece un trayecto de comunicación.

Para servir eficazmente a 3.072 canales, la red se divide preferiblemente en cuatro conjuntos. Cada conjunto anota información solamente a una cuarta parte del número total de canales, o sea 772 canales. No obstante, para proporcionar una total disponibilidad, la información de cada canal se anota en cada uno de los cuatro conjuntos.

#### Complejo de control

La interacción entre los elementos del sistema descrito hasta este punto se realiza bajo control del complejo de control de procesadores distribuidos 55. Expuesto de un modo general, el complejo de control detecta solicitudes de servicio de

las líneas, enlaces y similares, determina la clase de servicio disponible para dichas elementos y completa las conexiones en la red. Con este fin, el complejo de control de procesadores distribuidos 55 tiene conexiones de circuito a los circuitos de línea 33, 34, y, específicamente, a puntos de sentido de los mismos para detectar la condición de microteléfono colgado o descolgado de las líneas y los cambios entre dichos estados. Las conexiones de circuito se proporcionan también a puntos de control en los circuitos de línea y se pueden emplear, por ejemplo, para iniciar o terminar la llamada a líneas elegidas, para establecer atenuadores en el trayecto de transmisión, o similares. El complejo 55 tiene también conexiones de circuito a los enlaces y, específicamente, a los puntos de sentido para detectar sus condiciones y a puntos de control para controlar los enlaces. Se establecen conexiones similares a los circuitos de características 38. Las conexiones de circuito entre el complejo de control y los receptores y registradores de disco selector 40 se utilizan para hacer que los receptores recojan los dígitos marcados, y para recibir los dígitos recogidos con el fin de completar las conexiones. El complejo 55 tiene también conexiones de circuito a los generadores de tonos digitales 41, los convertidores de códigos 45 y los multiplexadores 48, 49, ejercer un control apropiado sobre dichos elementos. Se utilizan también conexiones entre el complejo 55 y la red 52 para permitir que el complejo anote localizaciones en las memorias de conexión con el fin de establecer conexiones entre los accesos.

De un modo adicional, el sistema tiene provisiones para consolas correspondientes 56 que comprenden normalmente una formación de indicadores o lectores para informar condicio-

nes del sistema correspondientes, combinados con una formación de pulsadores para permitir que la operadora haga que el sistema realice funciones específicas. Finalmente, para completar, se ilustran elementos adicionales conectados al complejo de procesadores distribuido 55, que comprende un cuadro de estados del sistema y administración del mantenimiento 57, situado generalmente en el bastidor del equipo para informar a la persona de mantenimiento del estado de funcionamiento del equipo. Un terminal de datos 58 proporciona un acceso para la introducción de información en el sistema, por ejemplo para cambiar asignaciones de números, y para lectura de información del sistema, por ejemplo, información de tráfico o similar. Una interfase de terminal distante 59 permite acceso al complejo de control 55 desde un lugar distante con el fin de localizar averías o actualizar el programa. Finalmente, una unidad de reproducción de disco flexible 60 que contiene el programa de operación para el sistema se pone en acción para cargar inicialmente el programa y se puede accionar automáticamente para recargar el programa en caso de avería importante del sistema.

En resumen, cada circuito de línea (el sistema de 3.088 canales que sirve de ejemplo en este caso, proporciona hasta 2.400), cada circuito de enlace (el sistema proporciona hasta 576) en cada registrador (el sistema proporciona 64) ocupa un canal dedicado en uno de los convertidores de códigos dentro del módulo convertidor 45. Estos canales se multiplexan a través de unos multiplexadores 48 y 49 de forma que finalmente cada línea, enlace, registrador o tono ocupe un segmento de tiempo dedicado en una de las vías de la red de 772 canales. Durante una rutina del proceso de llamada simplificada, el complejo de control 55 detecta un estado de microteléfono

no descolgado mientras explora la formación de puntos en sentido del circuito de línea. Al detectar el teléfono descolgado, el procesador establece finalmente conexiones a través de la red anotando localizaciones correspondientes en las memorias de conexión en la red. Las muestras codificadas de PCM recibidas desde las líneas, enlaces, o similar se intercambian entre abonados llamado y que efectúa la llamada cada 125 microsegundos. Después de establecerse la conexión a través de la red por el procesador, las memorias de información de la red aceptan las muestras codificadas de PCM del abonado A durante el segmento de tiempo dedicado del abonado A y la muestra anteriormente almacenada de salida del abonado B. La muestra del abonado A se almacena hasta la aparición del segmento de tiempo del abonado B, después de lo cual se lee mientras que se almacena una nueva muestra para el abonado B. Esta operación de cambio continúa independientemente del complejo de control 55 hasta el final de la llamada o hasta que se detecta otra acción, después de lo cual se puede cancelar o alterar la conexión por una anotación adicional de localizaciones en las memorias de conexión de la red.

#### Microprocesadores distribuidos

Volviendo ahora a la figura 2, el complejo de control de microprocesadores 55 se ilustra sin mayor detalle, ilustrando la nueva arquitectura del sistema que es un importante aspecto del presente invento. El complejo 55 que, como un todo, controla las funciones de la central de conmutación, segmenta dichas funciones a lo largo de líneas de proceso de llamadas y distribuye las segmentadas en una pluralidad de controles de microprocesadores. En la modalidad de la figura 2 que sirve de ejemplo, las funciones se distribuyen entre un

control de microprocesador de estado 130, control de micropro-  
cesador de línea 140, control de microprocesador registrador  
150, control de microprocesador de enlace 160, control de mi-  
croprocesador de base de datos 170, control de microprocesador  
5 de consola 180 y control de microprocesador de lámpara de ocu-  
pación 190. Se observará en principio que esta distribución  
particular de controles de microprocesadores, a pesar de ser  
preferible, sirve simplemente de ejemplo y que en algunas con-  
10 diciones las funciones de conmutación se pueden distribuir de  
una manera diferente. Por ejemplo, en un sistema menor, las  
funciones de los controles de microprocesadores de línea de  
enlace podrán combinarse para eliminar uno de dichos contro-  
les. Además, el microprocesador de lámpara de ocupación 190  
15 está ilustrado por conexiones de línea de rayas, indicando  
que dicho microprocesador es discrecional y se utiliza solamen-  
te cuando se habilita un campo de lámpara de ocupación auxi-  
liar con la correspondiente consola o cuadro de operadora.

Un aspecto de la importancia de este dispositivo  
distribuidor se observará con una breve exposición de la figu-  
20 ra 8. Se ilustra, en una base muy general, los elementos de  
funcionamiento de un control de microprocesador. El propio mi-  
croprocesador, indicado por la referencia 112, es un disposi-  
tivo que se obtiene en mercado, asociado con un sistema de me-  
25 moria 113 que se pone físicamente en condiciones por un progra-  
ma de instrucciones insertado para llevar a cabo funciones de  
proceso asignadas al mismo. El microprocesador 112 se activa  
por un reloj 114 que proporciona las señales de temporización  
necesarias. El microprocesador comprende en su interior nor-  
malmente un registrador de localizaciones de instrucciones,  
30 una unidad de lógica-aritmética (ALU), un registrador de entra-

da aritmético/lógico, y uno o más acumuladores junto con circuitos de control para encaminar las señales desde un lugar a otro con la temporización controlada por el reloj. Una vía de localización conduce al sistema de la memoria 130 para elegir, mediante señales de localización codificada emplazadas en la vía, cualquier palabra particular del sistema de la memoria, teniendo entonces la palabra elegida señales leídas o anotadas en la misma por una vía de datos en respuesta señales de LECTURA ó ESCRITURA R ó W creadas por el microprocesador. Cuando una secuencia lógica del programa se ejecuta de una forma iterativa, se leen de la parte de la memoria 113a señales que representan instrucciones diferentes en el microprocesador para ponerlo en condiciones de ejecutar un tipo particular de operación. Por ejemplo, las instrucciones pueden designar que una palabra particular (en una localización particular) en la parte de la memoria de datos 113b se lea por la vía de datos en el microprocesador, que se realice una cierta operación con dicha palabra de datos, y que se escriba el resultado de nuevo en otro lugar de la memoria de palabra de datos correspondiente.

Además de las instrucciones y del campo de la memoria de datos 113a, 113b, se reservan campos de memoria adicional para comunicación con dispositivos externos al control particular del microprocesador en cuestión. Los cambios de interfase de nivel superior 113c sirven como medio para permitir que el procesador tenga acceso a puntos de sentido y de control en el sistema de conmutación. El campo 113c indica que los puntos de sentido y control son localizables como memoria, aunque los puntos localizados estén físicamente distantes de la propia memoria. Del mismo modo, los campos de la memoria 113d y 113e se reservan para localizar memorias tampones entre

procesadores para comunicación con procesadores correspondientes.

Es importante observar que cada uno de los controles de microprocesado 130-180 se dispone según se ilustra en la figura 8, teniendo cada uno su propia memoria de programa, comprendiendo memoria de instrucciones y memoria de datos, cada una de las cuales tiene sus propios campos de memoria para localizar el sistema de conmutación o procesadores correspondientes, y cada una su propio reloj. Por consiguiente, cada procesador funciona de un modo asíncrono activado por su propio reloj, para realizar las funciones asignadas al mismo por medio de su memoria de programa. Da servicio a las partes del sistema de conmutación que se le han asignado por sus campos de interfase de nivel superior. Produce órdenes de salida o señales de tarea (campo 113d) pidiendo que otros procesadores realicen funciones particulares asignadas a los mismos bajo control de sus programas enteramente separados, y ejecuta órdenes similares o señales de tarea recibidas de otros procesadores (campo 113e) según llegan al mismo, bajo control de sus programas.

Volviendo a la exposición de la figura 2, en contraposición a las configuraciones de monoprocesadores tradicionales donde las subunidades o unidades auxiliares se comunican con una vía común bajo control de un elemento ejecutivo, los controles de microprocesadores 130 - 190 se interconectan por canales de comunicaciones dedicadas que unen procesadores correspondientes, de modo que los procesadores correspondientes puedan intercambiar información según sea necesario pero funcionando de una forma asíncrona entre sí. De este modo, cada procesador se puede activar por su propio reloj, que no debe

estar bloqueado en fase con los relojes de otros procesadores. Además, la interacción entre los programas de los procesadores respectivos se simplifica notablemente.

5 En la modalidad ilustrada, dichos trayectos de comunicación se establecen por medio de memorias tampones entre procesadores que funcionan como canales de comunicación asíncronos simples que tienen una cantidad limitada de capacidad de almacenamiento para los datos transmitidos entre procesadores correspondientes. Dichos canales se habilitan solamente entre  
10 procesadores que tienen necesidad de comunicación. De este modo, el microprocesador de línea que debe comunicarse solamente con el microprocesador de estado tiene una primera memoria tampón entre procesadores 141 para transportar datos desde el control de microprocesadores de línea al control de microprocesador de estado y una segunda memoria tampón entre procesadores  
15 152 para llevar datos en dirección inversa. Como las memorias tampón entre procesadores se encuentran alternativamente bajo control de microprocesadores de transmisión y recepción, dependiendo de si se aceptan datos del procesador de transmisión si se transmiten datos al procesador receptor, cada memoria tampón  
20 se puede considerar comprendiendo una memoria tampón de transmisión y una memoria tampón de recepción. Esto se ilustra, por ejemplo, por la memoria tampón entre procesadores 141 que tiene una sección de transmisión 141a conectada al microprocesador de línea y una sección de recepción 141b conectada al microprocesa  
25 dor de estado, Según se ha indicado anteriormente, la memoria tampón entre procesadores comprende una cantidad limitada de almacenamiento para los datos que se transfieren. Como es conveniente emplear el mismo almacenamiento para las memorias tampón  
30 de transmisión y recepción, es útil pensar que cada memoria tam

pón tiene una tercera sección, por ejemplo la sección 141c, como dispositivo de memoria accesible al control de transmisión 141a y al control de recepción 141b. Con este fin, cada una de las memorias tampones entre procesadores ilustrada en la figura 2 se ilustra como un rectángulo con líneas de división internas de rayas que indican el control del lado de transmisión a, control del lado de recepción b y dispositivo de almacenamiento intermedio c.

Deberá tenerse presente, cuando se consideran las memorias tampones entre procesadores, que el concepto importante es la operación independiente y asíncrona de los procesadores, con comunicación entre partes correspondientes a lo largo de canales dedicados sin necesidad de elemento ejecutivo. Las propias memorias tampones entre procesadores se pueden ejecutar o conceptuarse de numerosos modos. Por ejemplo, se pueden conceptuar provistas de tres secciones según se ha descrito anteriormente, y ejecutarse a lo largo de estas líneas, estando las tres secciones en una sola tarjeta de circuito impreso. En algunos casos, puede ser conveniente conceptuar una memoria tampón comprendiendo una memoria tampón de transmisión y una memoria tampón de recepción, ambas asociadas con un microprocesador dado, y medios para trasladar datos desde la memoria tampón de transmisión en un primer microprocesador a la memoria tampón de recepción de un segundo microprocesador. La memoria tampón se puede ejecutar en estas líneas, o el concepto a aplicarse a la ejecución en tres secciones indicada anteriormente. En el último caso, la memoria tampón de transmisión comprende el control de transmisión y almacenamiento intermedio y la memoria tampón de recepción comprende el control de recepción y el almacenamiento intermedio, mientras que los medios

de transferencia comprenden la circuitería de control que transfiere control de la memoria tampón entre dos microprocesadores de transmisión y de recepción. Se conserva la característica central de que los procesadores correspondientes tienen acceso individual a las memorias tampones bajo control de sus programas respectivos pero funcionando entre sí de una forma asíncrona.

#### Microprocesador de línea IMP

Refiriéndonos ahora con mayor detalle a la arquitectura ilustrada del complejo de control de la figura 2, se observará que el microprocesador de línea 140 está provisto de trayecto de comunicaciones bidireccionales 141, 142 para comunicar con el microprocesador de estado 130. En la configuración ilustrada, el microprocesador de línea 140 no necesita comunicarse con ninguno de los otros microprocesadores. La función del microprocesador de línea es dar servicio a los circuitos de línea detectando solicitudes de servicio y comunicando dichas solicitudes al complejo de control, y ejerciendo un cierto control sobre el circuito de línea, siendo en la modalidad ilustrada dicho control la iniciación o terminación de la señal de llamada en las líneas o el establecimiento de atenuadores en los trayectos de conversación. Con este fin, el microprocesador de línea 140 tiene conexiones de circuito a los circuitos de línea 33, 34 a los que se conectan los aparatos telefónicos 30, 31. Los dos circuitos de línea y aparatos telefónicos ilustrados representan toda la gama de líneas que pueden dar servicio el sistema a título de ejemplo, estando indicado el hecho por designación de los circuitos de línea como L1-L2400. Las conexiones de circuito a los circuitos de línea son específicamente un conjunto de puntos de sentido y de

control que pueden localizar el microprocesador como memoria. En otras palabras, un bloque de localizaciones del microprocesador de línea 140 (el campo HLI 113c de la figura 8) se dedica a circuitos de línea, y cuando el microprocesador localiza cualquier lugar dentro de dicho bloque, está entonces en comunicación con los puntos de sentido o de control en lugar de hacerlo con la memoria real. Según se describirá con más detalle más adelante, los puntos de sentido se controlan por los circuitos de línea respectivos para indicar el estado de la línea correspondiente. El microprocesador de línea continúa explorando los puntos de sentido para detectar cambios importantes de estado, y para comunicar en dichos cambios de estado al microprocesador de estado por la memoria tampón entre procesadores 142. Por consiguiente, el sistema puede detectar solicitudes de servicio, terminaciones de llamadas, impulsiones del interruptor de gancho, impulsos del disco selector y similares.

Las conexiones del circuito 143 se ilustran como bidireccionales, indicando que el microprocesador de línea puede enviar también datos a los circuitos de línea. En la modalidad ilustrada, esta característica se emplea para controlar la señal de llamada en las líneas. Cuando el complejo de control determina que se ha de enciar una señal de llamada por una línea particular, el hecho se comunica por señales de tarea enviadas al microprocesador de línea 140 por el microprocesador de estado 130 a través de la memoria tampón entre procesadores 141. El microprocesador de línea 140 responde localizando la palabra que incluye el circuito de línea en cuestión y anotando el punto de control del circuito de línea particular en dicha palabra que establece un retén o bloqueo para aplicar un generador de señal de llamada externo a dicha línea. El microprocesador de

línea continúa realizando otras tareas mientras se envía por la línea la señal de llamada. Si el abonado contesta, el circuito de línea detecta la transición del microteléfono colgado a microteléfono descolgado durante la exploración normal de los puntos de sentido al igual que detectó la solicitud inicial de servicio. Comunica el hecho enviando señales de tarea al microprocesador de estado por la memoria tampón entre procesadores 142, y anota también el punto de control apropiado para reponer el retén mencionado y terminar la señal de llamada en la línea que responde. Aún cuando puede que se necesiten algunos instantes para leer la descripción de dicha operación, la propia operación se realiza casi instantáneamente.

#### Microprocesador de enlace - TMP

Para realizar operaciones análogas a las del circuito de línea para los enlaces en el sistema, el procesador de enlace 160 está provisto de trayectos de comunicación bidireccionales 161, 162 al procesador de estado y conexiones de circuito bidireccionales 163 a los puntos de sentido y de control en los circuitos de enlace 35, 36. Al igual que con los puntos de sentido y de control de los circuitos de línea, los puntos de sentido y de control de los circuitos de enlace son localizables como memoria, y los conjuntos de memoria (el campo (HLI) se dedican a dichos puntos de sentido y de control. Como la operación de enlace es algo más compleja que la operación de línea, cada circuito de enlace tiene cuatro puntos de sentido y cuatro puntos de control. Por consiguiente, si los puntos de sentido y de control se configuran como palabras de ocho bits como en un circuito de línea, cada palabra servirá solamente para dos enlaces.

El microprocesador de enlace 160 continúa explorando

los puntos de sentido por las conexiones de circuito 163 para detectar transmisiones de puntos de sentido importantes. Al detectarse dicha transición, se configura un mensaje de tarea apropiada y se envía al procesador de estado 130 por la memoria tampón entre procesadores 161. Debido a la amplia variedad de tipos de enlaces y protocolos de señalización, el microprocesador de enlaces debe reducir toda la señalización de enlace de cualquier tipo de enlace a un conjunto común de mensajes normales, como bloqueo del enlace, desconexión del enlace, detección del disco selector, etc. Al recibir dicho mensaje de tarea el procesador de estado 130 determina la acción apropiada, configura un mensaje de control apropiado para realizar dicha acción, y comunica el mensaje de tarea de control al microprocesador de enlace 160 por la memoria tampón entre procesadores 162. El microprocesador de enlace 160 ejecuta su tarea anotando el punto de control apropiado del enlace en cuestión por las conexiones de circuito 163.

Microprocesador registrador - RMP

Según se ha indicado anteriormente, el sistema comprende una pluralidad de receptores y registradores del disco selector para recibir información marcada desde los diversos accesos de la red por medio de la red. Para recibir y analizar la información marcada, se utiliza un microprocesador registrador 150 que tiene trayecto de comunicación bidireccionales previstos por las memorias tampones entre procesadores 151 - 154, y conexiones de circuito 155 (que se pueden leer como memoria de datos localizada) a los registradores en el sistema. Cuando el microprocesador de estado 130 determina que se han de recibir los dígitos marcados, después de conectar un receptor inactivo a la estación de origen, envía un mensaje al pro-

cesador registrador por la memoria tampón entre procesadores 152 que definen el tipo de dígitos que se han de recoger. El procesador registrador verifica los impulsos marcados del receptor o tonos DTMF por las conexiones de circuito 155 hasta que se registra el primer dígito. Una vez registrado, el primer dígito se envía al procesador de base de datos por la memoria tampón entre procesadores 153 con solicitud para que una traslación de primer dígito defina el número de dígitos que se han de recibir. El procesador registrador 150 continúa recibiendo dígitos y espera un mensaje de respuesta del microprocesador de base de datos que se comunica por la memoria tampón entre procesadores 154. El procesador registrador toma los dígitos esperados, y después de haberse recibido todos los dígitos los envía junto con información de identificación al procesador de base de datos por la memoria tampón entre procesadores 153. Después de esto, el procesador de base de datos se comunica con el procesador de estado 130 para completar la conexión.

Microprocesador de base de datos - DMP

El microprocesador de base de datos 170 almacena dentro de su memoria de programa toda clase de tablas de servicio y de traslación de número para el sistema. En respuesta al mensaje de tareas mencionado del procesador registrador por la memoria tampón entre procesadores 153 que pide traslación del primer dígito, el microprocesador de base de datos 170 determina partiendo de dichas tablas (que definen el plan de numeración local) el número de dígitos que se ha de recibir, y prepara un mensaje para el microprocesador registrador de modo que se transmita por la memoria tampón entre procesadores 153. Después, el microprocesador de base de datos recibe todos los dígitos del microprocesador registrador por la memoria tampón entre

procesadores 153 y realiza una traslación del número marcado en los dígitos mediante referencia apropiada a las tablas mencionadas para determinar el número de segmento de la red de la estación llamada junto con la clase de información de servicio o ambas estaciones llamada y de origen. Configura un mensaje apropiado que comprende esta información y transmite el mensaje al microprocesador de estado 130 por la memoria tampón entre procesadores 171.

El microprocesador de base de datos 170 ilustra el punto en que se puede segmentar un grupo de funciones de proceso de llamada y asignarse a uno de los procesadores distribuidos, sin necesidad de dotar a dicho procesador de conexiones de circuito para control directo del sistema de conmutación. El microprocesador de base de datos no tiene puntos de sentido que introduzcan estímulos de proceso de llamada, ni tiene puntos de control que funcionen directamente en el proceso de la llamada. Las funciones de proceso de llamada asignadas al procesador de base de datos se llevan a cabo por comunicación con sus parejas respectivas: Los procesadores de estado y de registro.

El procesador de base de datos tiene conexiones de circuito al sistema de conmutación aún cuando no se usan en el modo de proceso de llamada. Por ejemplo, el procesador de base de datos proporciona accesos de entrada para datos externos que se introducen en el sistema, por ejemplo del estado del sistema y del cuadro o panel de administración de mantenimiento 57, terminal de datos 58, interfase del terminal distante 59 y disco flexible 60 descrito con relación a la figura 1.

Dichas conexiones de circuito están representadas en 176, donde los elementos mencionados 57 - 60 se indican en ge-

neral como terminales de datos.

Microprocesador de estado - SMP

5 Según se comprenderá por el número de veces que el control de microprocesador de estado 130 se ha mencionado, es un punto focal del complejo de control en el sentido de que se comunica con cada uno de los otros controladores microprocesadores. El microprocesador de estados mantiene un registro del estado actual de actividad de cada línea, enlace y registrador en el sistema. Los mensajes de memoria tampón entre procesadores de los diversos controles informan al microprocesador de estados del progreso de los dispositivos en el sistema. Como generalidad, el microprocesador de estados considera el estado actual de un dispositivo y los dispositivos a los que se conecta, el mensaje de la memoria tampón entre procesadores corriente, y la clase pertinente de información de servicio para determinar qué estado siguiente debe adquirir el dispositivo en cuestión. Habiendo determinado el estado siguiente, hace que el dispositivo adopte dicho estado a través de mensajes de memoria tampón apropiados entre procesadores a procesadores acompañantes o correspondientes, o por medio de establecer conexiones en la red. El microprocesador de estados tiene conexiones de circuito indicadas por la referencia 131 a la red 52, y específicamente al control de la red 152 que se ilustra como una parte de la red. El control de la red 152 sirve para interfazar las líneas de salida del microprocesador de estado a la red y específicamente a las memorias de conexión. En la modalidad presente que sirve de ejemplo, el microprocesador de estado emplea su campo de interfase de nivel superior (113c de la figura 8) para tener acceso a la red con el fin de anotar o tomar conexiones. El procesador de estado anota dos tipos de datos en

10

15

20

25

30

el control de la red localizando su campo de interfase de nivel superior. El primer tipo es la localización de la memoria de conexión en la cual se anota una nueva conexión. El segundo tipo es el dato de conexión real que se escribe en dicha localización. El control de la red 152 acepta esta información y en el punto apropiado en el ciclo de la red anota la conexión. La red queda por lo tanto disponible al microprocesador de estados y localizable con memoria con el fin de establecer conexiones entre accesos en el sistema.

10 Microprocesador de consola - CMP

Para interfasar el complejo de control a una o más consolas de operadoras, hasta un máximo de 16, se utilizan conexiones de circuito indicadas por la referencia 183 que interconecta dichas consolas o cuadros de operadora con los microprocesadores de consola 180. Se observará de paso que los cuadros de operadora no son necesarios para el funcionamiento del sistema sino que se proporcionan solamente cuando se desee. El microprocesador de consola recibe mensajes correspondientes a pulsadores en los cuadros de operadora por las conexiones de circuito 183, analiza los mensajes, y devuelve los mensajes que activan lámparas apropiadas en los cuadros de operadora por las conexiones de circuito 183. Además, el microprocesador de consola envía órdenes al procesador de estados 130 por la memoria tampón entre procesadores 181 para mantener el procesador de estados propiamente informado de los estados y los dispositivos, y para pedir que el procesador de estados haga las conexiones apropiadas. El microprocesador de consola 180 recibe también mensajes del procesador de estados 130 por la memoria tampón entre procesadores 182, dirigiendo dichas órdenes al procesador de consola para que atienda ciertas llamadas.

El microprocesador de consola se comunica también con el microprocesador de base de datos 170 por la memoria tampón entre procesadores 174 para pedir, por ejemplo, clase de servicio de la consola, y recibe mensajes del microprocesador de base de datos por la memoria tampón entre procesadores 175, por ejemplo respuestas a peticiones de clase de servicio.

Procesador de lámparas de ocupación -BMP

Se ha indicado anteriormente que se puede habilitar en el cuadro de operadora un campo de lámparas de ocupación discrecional para indicar el estado y permitir la selección de estación directa para líneas elegidas del sistema dentro de grupos particulares. Lo único necesario para realizarlo es establecer comunicación entre el microprocesador de lámparas de ocupación 190 y el microprocesador de consola 180, realizándose dicha comunicación por la memoria tampón entre procesadores 191 que comunica peticiones del microprocesador de lámparas de ocupación al microprocesador de consola, y por la memoria tampón entre procesadores 192 que comunica peticiones o mensajes en dirección opuesta. Además, el microprocesador de lámparas de ocupación tiene comunicación simple con el microprocesador de estados por la memoria tampón entre procesadores 193 permitiendo dicha memoria tampón que el microprocesador de estados emita órdenes al microprocesador de lámparas de ocupación. El microprocesador de lámparas de ocupación tiene conexiones de circuito 194 a las consolas o cuadros de selección de campo de lámparas de ocupación/estación directa, indicando las conexiones 194 que se pueden habilitar hasta 16 consolas de campos de lámparas de ocupación.

Se observará, en resumen, que la arquitectura completa de control descrita anteriormente simplifica la programación

y comunicación entre procesadores en el complejo distribuido proporcionando canales dedicados solamente a los procesadores que se deben intercomunicar. En el caso sencillo de los procesadores de línea o de enlace, se establece comunicación solamente entre el procesador y el microprocesador de estados. En dicho caso, se necesitan dos memorias tampones entre procesadores: Una para encaminar información en cada dirección. La interrelación entre los microprocesadores registrador, de base de datos de estado, ilustra una situación más compleja donde los microprocesadores de registrador y de base de datos deben comunicarse no solamente con el microprocesador de estados, sino también entre sí. La estructura descrita con detalle anteriormente sirve para realizar esta función. Merece también la pena observar las memorias tampones entre procesadores 172 y 173 que comunican ambas datos desde el microprocesador de estados hasta el microprocesador de base de datos, indicando que se puede proporcionar más de una memoria tampón para tener la seguridad de establecer una comunicación adecuada sobre un trayecto que cabe esperar que esté ocupado. Merece también la pena observar la comunicación simple entre el microprocesador de estados y el microprocesador de lámparas de ocupación previsto por la memoria tampón entre procesadores 193, ilustrando que se pueden utilizar las memorias tampones cuando se desee la comunicación en una sola dirección.

Las figuras 3 - 6 ilustran esquemáticamente la interrelación entre los elementos del complejo de control 55 así como la relación entre dichos elementos y otras partes del sistema de conmutación. La figura 3 se refiere al propio control de microprocesador y, por lo tanto, ilustra la estructura de cada uno de los controles por microprocesador de estado 130,

línea 140, registrador 150, enlace 160, base de datos 170, consola 180 o campo de lámparas de ocupación 190. Cada uno de estos controles incluye un procesador 200 que es el elemento de control del sistema, una memoria 102 programada para hacer que el procesador lleve a cabo las funciones que se le han asignado, y medios de memoria tampón entre procesadores 203 para establecer trayectos de comunicación con procesadores correspondientes. Por razones de fiabilidad del sistema, todo el controlado así descrito, al igual que la estructura de vías, se duplica de modo que si falla un módulo del procesador primario se pueda conmutar en acción un módulo correspondiente del procesador secundario permitiendo que el sistema continúe funcionando. La copia redundante de cada control de microprocesador comprende elementos que son iguales que los elementos correspondientes en la copia primaria, y se pueden conmutar simplemente introduciéndolos en servicio para reemplazar un elemento defectuoso cuando sea necesario. Por consiguiente, los elementos de la copia redundante se indican con números de referencia con virgulilla correspondientes a sus contrapartidas en el control de copia cero. Por consiguiente, se utiliza un segundo procesador 200' así como una segunda memoria de programa 201' y un segundo conjunto de trayectos de comunicación ilustrados por la memoria tampón entre procesadores 202'. Como medio de detectar averías del sistema, cada uno de los controles de procesador comprende dos bloquitos de microprocesadores, que son los bloquitos 207, 208 que componen el procesador 200 y bloquitos de microprocesador 207', 208' que comprenden el procesador 200'. Los bloquitos de microprocesador se pueden obtener en mercado como por ejemplo el Intel 8080 de Texas Instrument TMS 8080. Estos dispositivos se pueden aparear para

verificación según se ilustra en la figura 3, o utilizarse de una forma simple en un sistema menos complicado. Cuando se emplean por pares, cada uno de los bloquitos de microprocesador dentro de un procesador se activa por el mismo programa y las salidas del microprocesador se comparan continuamente de modo que cualquier discrepancia observada por el comparador, se utiliza una señal indicativa de una avería en potencia de la instalación.

El microprocesador 200 de copia cero tiene una vía 212, ilustrada como bidireccional por conveniencia, que lo conecta con su formación de memoria tampón entre procesadores 202. Una vía de salida 213 se utiliza para representar las conexiones entre las memorias tampones 202 de copia cero y el controlador de copia cero de procesadores correspondientes. También se utiliza una segunda vía 214, acoplada entre la memoria tampón 202 de la copia cero del control en cuestión y el control de copia uno de los procesadores correspondientes. Así, si el control de la copia uno de un procesador correspondiente está activo, la estructura de vía ilustrada permitiría que el procesador de la copia uno se comunicara con el procesador de la copia cero en cuestión. Así, se forma redundancia en una base de procesador por procesador de modo que si falla un solo procesador solamente se tiene que reemplazar dicha unidad, dejando procesadores de apoyo para el resto del complejo de control. Se observará que el control 200' de la copia uno está provisto de una vía similar 212' que la interconecta con su memoria tampón entre procesadores 202', y un par de vías de salida 213', 214' a las copias respectivas de los procesadores correspondientes. La flexibilidad que ofrece esta estructura de vías resultará evidente.

Se consigue una flexibilidad similar por la estructura de vías que interconecta las memorias de programas 201, 201' con los controles 200, 200'. Se observará que una primera vía 218 conecta la memoria de copia cero no solamente al control de copia cero 200 sino también al control 200' de copia uno. De un modo similar, la vía 210' conecta la memoria 201' de programa de copia uno con el controlador 200 de copia cero y el controlador 200' de copia uno.

Otros detalles de dicha estructura de vías se ilustran en la figura 4 donde las memorias de programa 201, 201' se representan comprendiendo una fila de memorias que comprende una pluralidad de tarjetas de memoria  $M_1 - M_d$ . Según se comprenderá, empleando la estructura ilustrada, las memorias de copia 0 y de copia 1 son reemplazables en una base de tarjeta por tarjeta de modo que si se avería una sola tarjeta de memoria se puede reemplazar automáticamente por su apoyo en la fila redundante, dejando apoyo disponible para las tarjetas restantes. Para permitir dicha función se utiliza un par de multiplexadores de vías 220, 220' que tienen conexiones de vía a cada tarjeta de memoria por cada una de las copias y otras conexiones de vía a ambos controles 200, 200'. De este modo, el sistema se puede configurar con cualquier combinación de tarjetas de memoria que sirven a los reguladores de copia 0 o de copia 1.

Mientras que la figura 4 ilustra la estructura de vías entre cada unidad de control de microprocesador y su memoria de programa correspondiente, la figura 5 ilustra la estructura de vías que interconectan copias redundantes de los controladores y sus procesadores correspondientes. A título de ilustración, la figura 5 ilustra la estructura de vías que interconecta el

control de microprocesador de estados indicado de un modo general por la referencia 130 y el control de microprocesador de líneas indicado de un modo general por la referencia 140. Se recordará por la descripción de la figura 2 que el microprocesador de línea se comunica solamente con el microprocesador de estados. Por consiguiente, se comprenderá que la figura 5 ilustra solamente esta parte de la estructura de las vías, debiéndose comprender que el microprocesador de estado tiene elementos adicionales para comunicarse con otros de sus procesadores correspondientes.

La figura 5 ilustra las copias redundantes del microprocesador de líneas 140, 140' y el control de microprocesador de estado 130, 130', ocupando cada uno de los procesadores de línea y de estado filas diferentes en un cuadro de equipo e interconectados por cableado de instalación 225 según se ilustra. Cada uno de los controles de microprocesadores 130, 130', 140, 140', comprende una memoria de programa asociado, y las memorias de programa se pueden interconectar entre las copias 0 y 1 según se describe con relación a la figura 4. Para enviar mensajes desde el microprocesador 140 de línea de la copia 0 al microprocesador de estados, la memoria tampón entre procesadores 141 tiene una sección de transmisión 141a conectada al microprocesador de línea 140 de la copia 0. Se recordará que cada una de las memorias tampones entre procesadores, como la memoria tampón 141, comprende memoria intermedia en la modalidad preferible, aunque dicha memoria, por razones de simplicidad, no se ilustra en la figura 5. La sección del lado de recepción 141b de la memoria tampón 141 se conecta al microprocesador de estado 130 por una estructura de vía que se puede configurar para comunicación al microprocesador de esta-

dos de una u otra copia. Por consiguiente, el control del lado de recepción 141'b se conecta a un prolongador de vía 222 de copia 0 y también a un prolongador de vía 222' de copia 1, conectándose los prolongadores de vía a sus controles de microprocesador respectivos 130, 130' de la copia 0 o de la copia 1. Los prolongadores de vías 222, 222' son simplemente circuitos de interfase que proporcionan aislamiento de corriente continua entre los controles de microprocesador y, por lo tanto, no se describirán con más detalle. Para permitir que el controlador de microprocesador de línea 140' de la copia 1 se comuniqué con ambos controles de microprocesadores de estados de la copia 0 y de la copia 1, la memoria tampón entre procesadores 141' tiene su lado de transmisión 141a' conectado al control 140' de la copia 1 y el lado de retorno de la memoria tampón entre procesadores 141b' conectado a ambos prolongadores de vía 222 y 222'. Las memorias tampones entre procesadores 142, 142', que comunican información desde el control de microprocesador de estado hasta el control de microprocesador de línea se conectan de un modo similar. Por consiguiente, una u otra copia de uno u otro microprocesador se pueden comunicar con una u otra copia de su elemento correspondiente de modo que se pueda conseguir una configuración funcionable aún en presencia de fallos de circuito.

#### Control por procesador del sistema de conmutación

Habiendo prestado atención a la estructura que interconecta el microprocesador y su memoria de programa correspondiente, y a la estructura de vías que interconectan procesadores correspondientes, prestaremos ahora atención a la figura 6 que se refiere a un control de microprocesador típico y su relación con el sistema de conmutación. Según se ha descrito

con relación a las figuras 3 y 4, se ilustra un par redundantes de controles de microprocesador 200, 200', sus memorias de programa correspondientes 201, 201' y los multiplexadores de vía 220, 220' para interconectar dichos elementos. Al igual que en la figura 5, se ilustra una parte de las memorias tampones entre procesadores de transmisión redundantes 141, 141' así como las memorias tampones entre procesadores de retorno correspondientes 142, 142' conectadas a través de prolongadores de vía asociados 221, 221'. Los temporizadores 229, 229' se conectan a la salida de las copias respectivas de procesadores 200, 200' para verificar la operación de los procesadores, y reciben servicio en una base regular por la copia del procesador correspondiente. Si el procesador deja de prestar servicio al temporizador dentro del intervalo previamente establecido, el temporizador rebosa para indicar que el procesador ha funcionado mal, proporcionando por lo tanto una entrada apropiada a la circuitería de detección de averías y mantenimiento.

La figura 6 ilustra además que se utiliza una pluralidad de prolongadores de vía para conectar el control de microprocesador a otros elementos del sistema, permitiendo al control de microprocesador que localice aquellos elementos según se localizan las memorias entre procesadores. En otras palabras las memorias entre procesadores y los elementos externos se localizan como palabras de memoria, dedicándose bloques particulares de localizaciones de memoria a tales elementos, por ejemplo cuando dichas localizaciones se generan por el microprocesador, el microprocesador está en comunicación con los otros dispositivos en lugar de con la memoria real.

Los prolongadores de vías 230, 230' se utilizan para

5 permitir que el microprocesador activo de los microprocesado-  
res redundantes se comunique a través del activo de los circui-  
tos de interfase de nivel superior 231, 231' con el sistema de  
comutación por los circuitos de interfase de nivel inferior  
10 233-235. Los bitios de localización generados por el micropro-  
cesador se descodifican en esta cadena de la circuitería para  
poner el procesador en contacto con los puntos de sentido y de  
control 237 - 239 distribuidos por todo el sistema de comuta-  
ción. Por ejemplo, los bitios de localización se pueden desco-  
15 dificar en parte en el prolongador de vía, en parte en la inter-  
fase de nivel superior y en parte en la interfase de nivel in-  
ferior, permitiendo que el procesador localice de una forma se-  
lectiva grupos de ocho puntos de sentido o de control. El pro-  
cesador puede acoplar la localización con una señal de lectura  
20 para comprobar el estado de un grupo de puntos de sentido por  
su vía de datos, o con una señal de escritura para escribir da-  
tos en su vía de datos en un grupo elegido de puntos de con-  
trol. Con respecto a la descodificación de localizaciones, se  
observará que los prolongadores de vías 230, 230' funcionan pa-  
25 ra localizar de una forma selectiva las interfases de nivel su-  
perior 231, 231', o por las conexiones 250, 250', interfases  
similares de nivel elevado en otros bastidores del equipo. De  
un modo similar la interfase de nivel superior 231 ó 231', cuan-  
do se localiza, puede localizar el grupo de interfases de ni-  
30 vel inferior 233 - 235 en la fila 1, o por conexiones 251-251',  
grupos similares en otras filas. Finalmente, los bitios de lo-  
calización de orden inferior que han pasado a las interfases  
de nivel inferior 233 - 235, activan una de dichas interfases  
y hacen que elijan uno de los grupos de ocho puntos de sentido  
o de control CD1-CDY.

Por consiguiente, si un microprocesador se encuentra en el modo de lectura, se leerá un punto de sentido localizado como memoria para proporcionar datos al control de microprocesador. Suponiendo, por ejemplo, que la interfase de nivel superior 231 se localice y los bitios apropiados localicen una palabra particular servida por la interfase de nivel inferior 234, los datos de los puntos de sentido localizados en el grupo 238 estarán disponibles en las líneas de datos del microprocesador, de modo que puede leer la condición de los ocho puntos de sentido en cuestión. De un modo similar, si el procesador se encuentra en el modo de escritura, los datos fluirán desde el procesador a través de la circuitería en cuestión hasta los puntos de control para escribir dichos puntos de control según determina el procesador. Así, en un modo de exploración el procesador genera la localización apropiada para activar el prolongador de vía 230 y la interfase de nivel superior 231, y manipula los bitios de localización de orden inferior para activar las interfases de nivel inferior 233 - 235 en secuencia, pudiendo de este modo explorar todos los puntos de sentido en la fila en cuestión. El CPU manipula entonces el bitio apropiado en la localización para activar una fila siguiente, y realiza una operación similar para explorar dichos puntos. Se puede realizar escritura del mismo modo, activando simplemente el procesador la escritura opuesta a la línea de lectura.

Los prolongadores de vías 240, 240' ilustran que el procesador se puede comunicar con otros dispositivos adicionales. En la modalidad ilustrada, dichos prolongadores de vías se comunican con un dispositivo de entrada/salida 241 y un cuadro de representación de mantenimiento 242. Estos elementos se sitúan en el bastidor del equipo, proporcionando el panel de

mantenimiento 242 una indicación del estado del sistema, y permitiendo un panel de entrada/salida 241 que un instalador de mantenimiento ejerza un cierto control sobre el funcionamiento del sistema.

5                   Según se ha indicado al principio, la función total de la central de conmutación se distribuye entre los microprocesadores individuales del complejo de control, que intercambian datos solamente según sea necesario para coordinar sus esfuerzos. Otros detalles de dicha interrelación se expondrán más adelante. Para el fin de tener una explicación completa nos referiremos en primer lugar a una descripción más detallada de los elementos descritos con relación a las figuras 2 a 6. En general, la descripción se realizará de un esquema de conjuntos más detallado, seguido por un esquema de circuito de una modalidad particular. No obstante, se recordará que estos detalles se ofrecen a título de ejemplo de los elementos en cuestión, y que dichos elementos se pueden poner en práctica de numerosas formas que resultarán evidentes a los expertos en la materia, sin desviarse del alcance del invento.

20   Estructura del IPB- Resumen

                  Volviendo a la Fig. 7, se ilustra un diagrama de conjuntos más detallado en una memoria tampón entre procesadores. Como cada una de las memorias tampón entre procesadores ilustrada en la Fig. 2 puede ser idéntica, la memoria tampón ilustrada en la Fig. 7, se tomará como memoria tampón entre procesadores 141, o sea, la memoria tampón comunica datos desde el microprocesador de línea 140 al microprocesador de estados 130. Según se ha descrito anteriormente de un modo general, la memoria tampón 141 comprende una sección de transmisión 141a, una sección de recepción 141b y un almacén interme-

5 dio 141c accesibles individualmente a ambos microprocesadores de transmisión y de recepción. El control del lado de transmisión 141a tiene conexiones de circuito a su copia correspondiente del microprocesador 40 entre los cuales existe localización y paridad 250 que comprende bitios de localización Al-A16 y AP, y dato más paridad 251 que comprende los bitios D1-D8 y DP. Las señales de control 252 del microprocesador de transmisión comprende una señal de lectura y una señal de escritura. Una señal activa de copia 253 se utiliza también para activar el control del lado de transmisión cuando la copia de micropro-  
10 cesador conectada al mismo es la activa del par redundante. Tanto el control del lado de transmisión 141a como el control del lado de recepción 141b tienen asignada una localización única por uniones de localización de memoria tampón entre pro-  
15 cesadores 254, que se cablean en el plano posterior del archivo de tarjetas. Por consiguiente, el microprocesador tiene capacidad para localizar de una forma selectiva sus memorias tampones entre procesadores por control apropiado de señales en las líneas de localización 250. El control del lado de recep-  
20 ción 141b se conecta a ambas copias del microprocesador de recepción y, por consiguiente comprende dos conjuntos de línea de localización y paridad 255, 255', dos conjuntos de línea de datos y paridad 256, 256', dos conjuntos de línea de control de lectura/escritura 257, 257' y líneas separadas de copia ce-  
25 ro activa y copia 1 activa 258, 258'.

Volviendo ahora al almacén intermedio, se verá que la memoria se divide en dos secciones, una memoria tampón mensa-  
je de 15 bytes de 260 y retén de estados de un solo byte 261. La memoria tampón 260 es una memoria de lectura/escritura que  
30 tiene capacidad de 15 bytes, comprendiendo cada byte 9 bitios,

8 bitios de datos mas paridad. El byte de estado 261 contiene también 9 bitios, y, además de almacenar datos para transferencia entre los procesadores de transmisión y de recepción, actúa como una bandera de disponibilidad/realización para trasladar el control entre dichos procesadores. Finalmente, un multiplexador de localización de memoria tampón 262 se utiliza para localizar la memoria tampón de mensaje de 15 bytes 260, y permite individualmente acceso de localización a la memoria tampón desde los controles de los lados de transmisión y recepción.

Con las excepciones indicadas anteriormente, el control del lado de transmisión 141a anota generalmente señales de tareas al almacén intermedio 141c mientras que el control del lado de recepción 141b lee en general dichas señales de tareas. Con este fin, las señales de datos acopladas por las conexiones 251 al control del lado de transmisión se proporcionan como entradas de datos 264 al retén de bytes de estados 261 y a la memoria tampón de mensaje 260. Escribiendo el byte de estado, el retén 261 se controla por una señal de escritura 265 descodificada de las señales de control de llegada 252. La lectura o escritura de la memoria tampón de 15 bytes 260 se efectúa bajo control de la señal de lectura/escritura 266 derivada también de las señales de control de llegada 252. El dato que se ha de escribir se proporciona por la vía 264, mientras que el dato procedente de la memoria se acopla a la vía de salida 271. Los cuatro bitios de localización de orden inferior AS1-AS4 se utilizan para localizar de una forma selectiva las palabras dentro de la memoria 141c, los bitios del lado de transmisión en la línea 267 y los bitios del lado de recepción en la línea 269 se acoplan como entradas al multiplexador

de localizaciones de la memoria tampón 262, de modo que un conjunto elegido pase a través del multiplexador para localizar las palabras de memoria. El estado del multiplexador de localización 262 se determina por una señal de selección 268 producida por el control del lado de transmisión 141a. El control del lado de transmisión verifica el estado del retén del bitio de estado 261 para mantener la memoria tampón entre procesadores dispuesta para recibir datos del procesador de transmisión siempre que el retén del byte de estado se encuentre en estado cero, y para transferir el control al lado de recepción siempre que aparezca un dato que no sea de cero en el retén del byte de estado.

La palabra almacenada dentro del retén de byte de estado puede ser leída por ambos controles del lado de transmisión y del lado de recepción, conectándose a ambos controles el dato de salida 270 que comprende DS1-DS8 y DSP. Por consiguiente, el procesador del lado de transmisión puede leer el byte de estado para determinar si la memoria tampón entre procesadores está disponible para transferir una orden, mientras que el procesador del lado de recepción puede leer de un modo similar el byte de estado para determinar si existen órdenes para servicio.

El control del lado de recepción no tiene capacidad de escritura con respecto a la memoria tampón de mensaje de 15 bytes 260, pero tiene capacidad de escritura al retén de byte de estado 261. Esto se consigue por medio de una línea de colocación de control 272 y una línea de reposición de control 273. La línea de reposición 273 permite que el controlador de recepción reponga el byte de estado 261 después de leer un mensaje para transferir de nuevo el control al procesador de

transmisión. La capacidad de colocación o posición inicial se utiliza principalmente en el modo de mantenimiento. Finalmente, la comprobación de paridad en ambos controles de transmisión y de recepción y se utilizan líneas de indicación de "todo orden aparentemente" como salidas de cada uno, recibiendo dichas líneas un impulso en el caso de que se detecte un error de paridad. El control del lado de transmisión tiene solamente una línea única de indicación de todo en orden aparentemente 274, mientras que el control del lado de recepción tiene líneas de indicación de todo en orden aparentemente de copia 0 y de copia 1 275, 275'.

Según se ha indicado anteriormente, las memorias tampones entre procesadores son los canales de comunicación asíncrona que enlazan procesadores compañeros, y se utilizan para transferir señales de tarea entre procesadores con el fin de coordinar las funciones del sistema de conmutación. Es evidente que cada uno de los procesadores compañeros conectados por una memoria tampón entre procesadores tiene acceso separado a la memoria tampón, de modo que el procesador de transmisión pueda escribir un mensaje mientras que el procesador de recepción realiza otras funciones, después de lo cual el procesador de transmisión puede devolver a servicio sus elementos correspondientes mientras que el procesador de recepción, cuando encuentra el tiempo apropiado, puede leer el mensaje y ejecutar la señal de tarea. En la modalidad ilustrada, se utilizan 16 bytes para almacenar señales de tarea. Estas señales de tarea, dependiendo de la complejidad del mensaje, puede ser de una duración de tan solo dos bytes o puede llegar a alcanzar 16 bytes. Si los mensajes son cortos, se pueden cargar un grupo de dichos mensajes en la memoria tampón antes de la transferencia al pro-

cesador de recepción.

El primer byte de cualquier señal de tarea especifica la orden que corresponde directamente a una tarea a realizar dentro del microprocesador de recepción. En la tabla de órdenes que se describe a continuación, la propia orden se indica como código de referencia. Después la orden será uno o más bytes de información, cuyo número varía de orden a orden, pero se conoce para el procesador de recepción por cada tipo particular de orden. Las órdenes específicas y formatos de órdenes se especifica de un modo único para ambos microprocesadores de transmisión y de recepción. Esto es conveniente para facilitar la descodificación y comprobación de estado ilegal de bytes de órdenes y para facilitar la comprobación de las instrucciones del codificador y funciones de mantenimiento. El código de orden 00 (nulo) se utiliza en todo el sistema como indicador de detención/existencia de orden. Cualquier byte que sea 00 cuando se espera un código de orden significa "no existe información adicional en esta memoria tampón".

#### Señales de Transferencia de Tareas

El funcionamiento normal del complejo de control para transferir una señal de tarea desde un microprocesador de transmisión a un microprocesador de recepción se efectúa como sigue. Después que un microprocesador de transmisión ejecuta un programa que produce como salida una señal de tarea para un procesador compañero, lee el byte de estado 261 para determinar si la memoria tampón está vacía y dispuesta para recibir un mensaje. Si así fuera, carga la memoria tampón comenzando con la parte de memoria tampón del mensaje 260, cargando por último el byte de orden del mensaje 1 en el retén de bytes de estados 261. El multiplexador de localización de la memoria

tampón conmuta después el control de localización de la memoria 260 desde el microprocesador de transmisión hasta el microprocesador de recepción. El microprocesador de recepción durante su servicio normal de las partes de la central de conmutación asignadas al mismo, explora el byte de estado para ver si hay en espera de ejecución alguna señal de tarea. Cuando determina que se carga el dato en el retén de byte de estado 261, volverá a leer inicialmente el byte de estado para tener la seguridad de que se ha estabilizado la información y después procede a leer y ejecutar cada una de las señales de tarea contenidas en la memoria tampón. Después de ejecutar la última tarea, el procesador de recepción produce una señal apropiada en las líneas de control 257, 257' para reponer el retén de byte de estado 261, indicando que la memoria tampón entre procesadores está dispuesta para transferir otro mensaje.

Existen 256 lugares de memoria reservados en cada microprocesador para localización de la memoria tampón. Ambos microprocesadores de transmisión y de recepción, usan convenientemente localizaciones idénticas para acceso a la memoria tampón que los conecta. Existen dos juegos de utilización de localizaciones, uno apuntado alrededor del microprocesador de estados y el otro alrededor del microprocesador de base de datos.

El plan de localización general de la memoria tampón utiliza los 8 bitios de orden superior como desplazamiento al lugar de la memoria tampón. De un modo más específico, los 8 bitios de orden superior deben formar un modelo particular para permitir que cualquier procesador localice su memoria tampón entre procesadores. Los cuatro bitios siguientes eligen

una memoria tampón entre procesadores específicas (una de 16). Los cuatro bitios de orden inferior, según se ha indicado con relación a la descripción de la Fig. 7, eligen palabras individuales dentro de la memoria tampón.

5           Debido en parte a la arquitectura del complejo de control distribuida, los programas relativos a la activación o lectura de las memorias tampones entre procesadores son uniformes en todos los microprocesadores. En un microprocesador de transmisión, el trabajo de activación se realiza por un subprograma después que la fila de espera de la memoria tampón entre procesadores ha sido cargada por otros subprogramas. Cuando un subprograma en un microprocesador crea señales de tarea para un procesador compañero, dichas señales de tarea se cargan en una fila de espera de la memoria tampón entre procesadores en su memoria de datos. El subprograma activador de la memoria tampón se pone en acción periódicamente por el programa principal del procesador. El subprograma del activador de la memoria tampón pone a prueba la fila de espera de la memoria tampón entre procesadores respecto a los mensajes que esperan transmisión. Si existiera alguno, hace que el retén de bytes de estado 261 en la memoria tampón entre procesadores se someta a prueba. Si detecta una condición nula (memoria tampón disponible) el activador carga tantas señales de tarea en espera como es posible en la memoria tampón. Sigue las señales de tareas con una indicación nula en el lugar de memoria consecutiva siguiente a menos que se utilicen los 16 bytes de la memoria tampón. Finalmente, carga el byte 1 con el código de referencia del primer mensaje, indicando por lo tanto que la memoria tampón está dispuesta para la lectura.

30           En el procesador de recepción, el programa princi-

pal pide periódicamente al subprograma analizador de órdenes que pruebe cada memoria tampón entre procesadores con respecto a las señales de tarea que esperan servicio. Dé un modo más específico, el analizador de órdenes hace que el byte de estado 261 de cada memoria tampón entre procesadores se lea por orden para probar una condición exenta de ceros (disponibilidad). Cuando se detecta una memoria tampón dispuesta, el analizador vuelve a leer el byte de orden para asegurar su integridad. El byte se somete a prueba respecto a una circunstancia de todos ceros (detención/sin órdenes) y si en la prueba demuestra que todos son ceros, el analizador vuelve al programa principal. Si el byte de estado es válido, el analizador de órdenes analiza la orden contenida y asalta al subprograma de que se refiere a dicha orden específica, El subprograma lee el dato que sigue al byte de orden y realiza las funciones requeridas, después de lo cual vuelve al analizador de órdenes con un indicador de memoria a la orden siguiente, si la hubiera. El analizador verifica que el lugar del byte de orden siguiente se encuentra todavía dentro de la memoria tampón entre procesadores, y si así fuera, lee la orden siguiente. Si la orden es nula, el analizador vuelve al programa principal según se ha indicado anteriormente. Si la orden es válida la da servicio en la forma descrita anteriormente. Este proceso continúa hasta que se han agotado todas las señales de tarea en la memoria tampón entre procesadores, después de lo cual el procesador de recepción repone el byte de estado y vuelve después al programa principal.

Estructura del IPB - Figs. 9a-g

Con el conocimiento de trabajo de la estructura de las memorias tampones entre procesadores y su funcionamiento

bajo control de los programas de los procesadores respectivos de transmisión y de recepción, tómesese ahora como referencia las Figs 9a-h que ilustran un diagrama de circuito de una modalidad preferible de la memoria tampón entre procesadores.

5

Carga de IPB

Volviendo en primer lugar a la Fig 9a, se indica por la referencia 250 las líneas de localización del lado de transmisión de llegada SA1-SA16 y SAP del microprocesador de transmisión. Invirtiendo los activadores indicados en general por la referencia 280, se acopla las señales de llegada de localización del lado de transmisión a la circuitería de descodificación. Los 8 bitios de orden superior SA9-SA16, que se recordarán proporcionan un desplazamiento fijo asignado a las memorias tampones entre procesadores, se descodifican por la circuitería de generación de impulsos 282. Se comprendera considerando el diagrama de circuito que el desplazamiento fijo es 1F hexidecimal, que cuando se recibe en la circuitería de descodificación 282 produce una señal elevada en la salida de la puerta Y 283. La señal de conjunción activa un comparador 284 que sirve para descodificar la localización asignada a una memoria tampón entre procesadores particular. Se verá que las cuatro líneas de localización SA5-SA8 están previstas como un grupo de entradas al descodificador 284 para compararse contra las señales de localización enlazadas ST5-ST8. Cada memoria tampón entre procesadores tiene conexiones de unión en el cableado posterior relacionado con la misma que asignan una localización a dicha memoria única dentro de su agrupación. Por consiguiente, cuando el microprocesador del lado de transmisión pone la localización en las líneas de localización SA5-SA8, el comparador 284 se satisface, activando dicha memoria tampón en

10

15

20

25

30

tre procesadores particular. Se verá que la salida del descodi-  
ficador 284 activa parcialmente un par de puertas NY 285-286  
(Fig. 9b). La puerta NY 285 tiene una segunda entrada previs-  
ta desde el microprocesador de transmisión que comprende una  
5 señal de escritura de mensaje SMWR<sup>28</sup>. La salida de la puerta  
NY 285 se acopla a las entradas de escritura de los circuitos  
de memoria 288 que componen la memoria tampón de mensajes 260,  
por lo que el microprocesador de transmisión pueden escribir  
en la memoria tampón de mensajes. La segunda entrada de la  
10 puerta NY 286 está prevista por la salida de una puerta Y de  
cuatro entradas 289, que tiene como entradas las cuatro seña-  
les de localización del lado de transmisión de orden inferior  
SA1-SA4. Por consiguiente, cuando los cuatro bitios de loca-  
lización de orden inferior son todos de señal baja (haciendo  
15 que todas las señales de localización invertidas sean altas),  
la puerta Y 289 se satisface activando por lo tanto la puerta  
NY 286. Es evidente que esto tiene lugar cuando el micropro-  
cesador de transmisión localiza la palabra cero en el almacén  
entre procesadores, o sea, el byte de estado. Por consiguien-  
20 te, la salida de la puerta NY 286 se puede tomar como una se-  
ñal de acceso de byte de estado del lado de transmisión. Dicha  
señal activa parcialmente una puerta NI 290 que tiene acoplada  
a su segunda entrada la señal de escritura del mensaje del la-  
do de transmisión SMWR<sup>28</sup> puesta en memoria tampón por dos in-  
25 versores. La salida de la puerta NI 290 se conecta a las en-  
tradadas de cronometración de los retenes 291 que comprenden un  
retén del bitio de estado primario 292 por lo que el micropro-  
cesador de transmisión tiene capacidad para escribir el retén  
del bitio de estado primario.

30

La información que se escribe en la memoria tampón

de mensaje y el retén de byte de estado se controla por el microprocesador de transmisión que pone 8 bytes de datos y paridad en las líneas de datos indicadas en general por la referencia 251 (Fig. 9c). El dato del lado de transmisión SD1-SD8 y SDP se acopla a través de una formación de activadores de inversión indicados en general por la referencia 294 y previsto como entradas en las memorias 288 de la memoria tampón de mensajes 260 y las entradas de datos de los retenes 291.

Para localizar las memorias y que almacenen este dato en lugares particulares, los cuatro bitios de localización de orden inferior SA0-SA4 se conectan como entradas al multiplexador de localización de memoria tampón 262 cuyas salidas se acoplan, a su vez, a las entradas de localización de las memorias 288. La entrada selectora del multiplexador de localizaciones de memoria tampón 282 se activa descodificando la circuitería indicada en general en 296 que responde al estado de salida del registrador de bytes de estado 292. Se verá que las señales de salida D1-D8 del registrador del byte de estado se proporcionan como entradas a la circuitería generadora de impulsos de forma que la salida de una puerta NY 297 sea baja solamente cuando el registrador de bytes de estado se encuentran en condición de nulidad. En dicha condición, la puerta NY 297, que tiene su salida acoplada a la entrada de selección del multiplexador de localización de memoria tampón 262 hace que el multiplexador pase las señales de localización del orden inferior SA1-SA4 recibidas del microprocesador de transmisión. En la otra condición, hace que el multiplexador 262 pase las señales de localización del lado de recepción RA1-RA4 que se mencionarán más adelante. En uno u otro caso, las señales de localización pasan a la memoria tam

pón de mensaje 260 para localizar de una forma selectiva los lugares de palabras. En resumen, cuando el microprocesador de transmisión tiene un mensaje que se ha de escribir en una memoria tampón particular entre procesadores localiza la memoria tampón, localiza un lugar de palabra específica con cuatro bitios de localización de orden inferior, y da salida al dato que se ha de escribir junto con una señal de escritura de mensaje SMWR, después de lo cual el dato se escribe en la palabra elegida en la memoria tampón de mensajes. Como última etapa de carga de una memoria tampón, el microprocesador de transmisión localiza el byte de estado para producir la localización 0000 en los cuatro bitios de localización de orden inferior. Esto satisface la puerta Y 289 que, a su vez, satisface la puerta NY 286, para permitir que la señal de escritura SWR<sup>28</sup> pase a la puerta NI 290, que da cronometración a los retenes 291. Por consiguiente, el dato retenido en las líneas de datos del microprocesador se carga en el registrador de bytes de estado primario. El hecho de que la palabra que no es nula se encuentre en el byte de estado es detectado por la circuitería 296 que, después, conmuta el control del multiplexador de localización de la memoria tampón 262 desde el microprocesador del lado de transmisión hasta el microprocesador del lado de recepción.

Descarga del IPB

Volviendo ahora al control del lado de recepción, y con relación a la Fig. 9d, se verá que los bitios de localización de estado de recepción 255, 255' comprenden solamente los ocho bytes de localización de orden inferior A1-A8 y la paridad AP. Se recordará por la Fig. 6 que el microprocesador de recepción se comunica con la memoria tampón entre procesadores

a través de un prolongador de vía. Con el fin de reducir al mínimo el cableado entre bastidores y también para mayor fiabilidad, es conveniente descodificar particularmente las localizaciones del lado de recepción sobre el propio prolongador de la vía, en lugar de pasar todos los bitios de la circuitería de orden inferior, en este caso la memoria tampón entre procesadores. Según se describirá más adelante, los 8 bitios de localización de orden superior se descodifican en el prolongador de la vía donde se utilizan, como señales de activación para pasar las señales de control 257, 257'. Por consiguiente, la señal de lectura RPL<sup>z</sup> y la señal de escritura WR<sup>z</sup>, acoplada por el prolongador de vía a la memoria tampón entre procesadores 257, 257', se activan solamente cuando el microprocesador de recepción da salida a la localización de desplazamiento asignada a las memorias tampones entre procesadores.

Las señales de localización y las señales de control procedentes de las copias respectivas de microprocesador se acoplan como entradas a un grupo de 2 a 1 multiplexadores 300 que sirven como selectores para pasar señales de una a otra de las copias del microprocesador. La selección se realiza por la salida de un activador 301 que tiene prevista como entrada la señal activa ACT<sup>z</sup>/1, de la copia 1. Una señal de activación general se proporciona por la señal activa de transmisión SACT<sup>z</sup> que se produce por la circuitería de configuración de vía asociada con el microprocesador. Las señales de SACT<sup>z</sup> se acoplan con el inversor 302 a la entrada de una puerta NY 304. La segunda entrada de la puerta 304 se activa por una puerta en exclusiva O 303 que tiene sus entradas activadas por ACT<sup>z</sup> para las copias 0 y 1 invertidas por la puerta 309, 301, respectivamente. La salida de la puerta NY 304 activa la entrada

de activación de los selectores 300 de modo que se activen solamente y SACT<sup>⊗</sup> es activo y si es activa una de las señales ACT<sup>⊗</sup> pero no ambas.

5 Como ocurre con el controlador del lado de transmisión, los bitios de localización de orden medio A5-A8 localizan de un modo selectivo las memorias tampones entre procesadores individuales, acoplándose a un comparador 305 que compara A5-A8 contra las señales de localización enlazadas ST5-ST8. Cuando se detecta una coincidencia, se satisface el comparador  
10 305, produciendo una señal de salida alta que se pasa a la entrada A de un descodificador 307 de 2 a 4 (Fig. 9e). El descodificador se activa por una señal baja alimentada a sus terminales puerta por un inversor 308, cuya entrada es el impulso de lectura RPL del microprocesador activo. La señal activa de copia 0, que pasa a través del inversor 309, se acopla a la en-  
15 trada de control de la mitad superior del selector 307, mientras que la señal activa de copia 1, que pasa a través del inversor 301, activa la entrada de control de la mitad interior. Por consiguiente, el que una u otra mitad del selector 307 se active dependerá de la copia que se active del microprocesador  
20 de recepción. Suponiendo que la copia 0 sea la activa, la información proporcionada en las entradas A y B se descodifica para activar una de las cuatro líneas de salida superiores. Habiéndose satisfecho el comparador de proceso de llamada 305,  
25 y suponiendo que el comparador de mantenimiento 312 no esté satisfecho, la salida Y1 del selector 307 se activará, satisfaciendo de este modo una puerta Y 314 que produce como señal de salida una señal MRDO de copia 0 de lectura de mensaje. Dicha señal activa una pluralidad de activadores de tres estados  
30 315 (Fig. 9f), que permiten que las señales de datos pasen des

de la memoria tampón entre procesadores a la copia 0 en las líneas de salida de datos D1/0-D7/0 y DP/0. Como variante, cuando la señal de control de la copia 1 es activa y la puerta Y 316 se satisface se activan los activadores 317 para el dato de copia 1.

El dato que han de pasar los activadores se acopla por selectores 318 que reciben en un conjunto de entradas 8 bits del dato del mensaje y la paridad MDO-MD8 y MDP de la memoria tampón de mensaje 260, y como segundo conjunto de entradas las salidas de un registrador de bytes de estado secundario 320. La relación entre los registradores de bytes de estado primario y secundario se describirá a continuación. Por el momento supondremos que el registrador del byte de estado secundario 320 contiene el mismo dato que el registrador primario 292.

La entrada selectora de los multiplexadores 318 se activa por una puerta Y de cuatro entradas 321 (Fig. 9d) que responde a los cuatro bits de localización de orden inferior invertidos en el selector 300. Por consiguiente, cuando dichos bits son todos ceros (indicando que se ha localizado el byte de estado) y la puerta Y 321 se satisface, los selectores 318 pasan el dato desde el registrador del byte de estado secundario al grupo activo de activadores de tres estados 315, 317. Cuando se localiza una palabra distinta al byte 0, la salida de la puerta Y 321 es baja, haciendo que los selectores 318 pasen datos de la palabra localizada de la memoria tampón de mensaje 260. La palabra que haya de pasar dependerá de los cuatro bits de localización de orden inferior, acoplándose los bits invertidos por el selector 300 como entradas al multiplexador de localización de la memoria tampón (Fig. 9b). Cuando

do el microprocesador del lado de recepción ejerce el control, la entrada selectora al multiplexador hará que las localizaciones de recepción pasen a través del mismo, para localizar palabras elegidas dentro de las memorias 288.

5           En resumen, se ha descrito la estructura que permite a un microprocesador de transmisión escribir datos de una forma selectiva en el almacén entre procesadores (incluyendo la memoria tampón de mensaje y el byte de estado), y también la estructura que permite al microprocesador de recepción que tome lectura del almacén. Es evidente que el control de localizaciones del almacén por el microprocesador de transmisión y de recepción se transfiere por elementos fijos dentro de la memoria tampón entre procesadores y específicamente por la circuitería de descodificación 296 que responde al estado del registrador del byte de estado 292. Cuando dicho registrador almacena un valor nulo, las localizaciones del lado de transmisión SA1-SA4 pasan a través del multiplexador 262 a la memoria tampón de mensaje 260. En cualquier otro estado las señales de localización del lado de recepción RA1-RA4 localizan dicho almacén.

20   Perticipación del Lado de Transmisión-Recepción del IPB

          Como el byte de estado sirve como bandera de disponibilidad/realización en la modalidad presente, es necesario permitir que el microprocesador de transmisión lea el byte de estado para determinar si la memoria tampón está disponible para recibir una señal de tarea. De un modo similar, es necesario permitir que el microprocesador de recepción escriba el byte de estado para indicar la finalización del servicio de señales de tarea escrito anteriormente. A continuación se exponen los medios para realizar estas funciones.

30           En la modalidad actualmente preferible el byte de

estado está compuesto por los registradores primario y secundario 292, 320. Esto representa un refinamiento de la forma de enfocar el problema que utiliza solamente un registrador al que tienen acceso ambos procesadores de transmisión y de recepción.

5 En el proceso de las llamadas ambas formas de enfocar el problema son idóneas, porque el procesador de recepción siempre examina dos veces el byte de estado para asegurar que el dato contenido es válido. No obstante, en un número limitado de casos en el modo de mantenimiento, pudiera ser que el byte de estado

10 se escribiera por un procesador y fuera leído por otro antes de estabilizarse el dato. La configuración de registrador de byte de estado primario y secundario ilustrada en la presente memoria se utiliza para resolver dicha contingencia.

Según se ha descrito anteriormente, el registrador

15 del byte de estado primario 292 recibe la parte de código de referencia de una señal de orden como última etapa de la carga de una memoria tampón entre procesadores. Dicha palabra de dato se introduce en el registrador primario por la señal SWR de escritura de la palabra de estado producida por la puerta NI

20 290. Después, la circuitería de descodificación 296 reconoce la condición de valor nulo completo del byte de estado primario y transfiere el control de localización sobre la memoria tampón del mensaje 260 al procesador de recepción. No obstante, en estas circunstancias, el procesador de transmisión conserva la capacidad de leer el byte de estado para determinar el instante

25 en que la memoria tampón está de nuevo disponible para recibir una señal de tarea adicional. Para realizar dicha acción, una puerta NY 330 tiene su primera entrada activada por la salida del comparador de proceso de llamada 284 que tiene una salida elevada cuando se localiza la memoria tampón entre procesadores

30

en cuestión. La segunda entrada de la puerta NY 330 es el impulso SRPL de lectura del lado de transmisión invertido. Cuando concurren ambas señales, la salida de la puerta NY 330 pasa a estado bajo, cuya señal baja se alimenta por la puerta Y 331 a las entradas de puerta de los selectores 332. Por consiguiente, los selectores 332 se activan para dejar pasar uno de los dos grupos del dato de entrada, o sea el dato de mensaje MD1 - MD8, MDP del dato del byte de estado primario D1-D8, DP, dependiendo del estado de la entrada del selector. Cuando el microprocesador del lado de transmisión toma lectura del byte de estado, da salida a la localización 0 en los cuatro bits de localización del orden inferior, lo cual a su vez satisface a la puerta Y 289 para que elija el dato del byte de estado según se ha descrito. De este modo, el microprocesador del lado de transmisión puede tener acceso al registrador del byte de estado primario 292 aun cuando haya pasado el control al microprocesador del lado de recepción.

Según se ha indicado anteriormente, tanto si el microprocesador del lado de recepción mantiene control de la memoria tampón entre procesadores como si no, explora periódicamente el byte de estado para detectar señales de tareas a ejecutar. Con el dispositivo de registrador primario y secundario ilustrado, puede leer el byte de estado secundario en cualquier instante y puede actualizar el secundario con el dato procedente del primario en cualquier momento excepto cuando el procesador de transmisión accede al primario. Con este fin, la salida de la puerta Y de activación de transmisión 286 (Fig. 9b) se acopla a la entrada en una puerta Y 335 (Fig. 9e) cuya salida, a su vez se acopla a la entrada D de un basculador 336. Por consiguiente, estando activo el lado de transmisión, la salida

de la puerta 335 permanece en estado bajo de modo que, aun cuando el basculador 336 esté en acción, su salida  $\bar{Q}$  permanecerá en estado elevado. Esto evita la cronometración del registrador del byte de estado secundario 320 por lo que retiene el dato escrito procedente del primario en la última actualización. No obstante, aun en dicha circunstancia en que el procesador del lado de recepción localice al IPB en cuestión para leer el byte de estado, el comparador 305 se satisface y hace que el selector 307 produzca una señal de lectura de mensaje MRDO, que en combinación con la localización 0 detectada por la puerta Y 321, activa a los activadores de tres estados 135 para leer el byte de estado secundario.

Cuando el lado de transmisión no accede al registrador del byte de estado, la señal de activación de transmisión acoplada como entrada a la puerta y 335 pasa a estado alto. La segunda entrada se proporciona por la salida  $\bar{Q}$  de otro basculador 337 y, excepto en las condiciones indicadas, permanece en estado alto. Por consiguiente, en condiciones normales, la salida de la puerta Y 335 es alta, manteniendo una señal alta en la entrada D del basculador 336. La entrada de cronometración para el basculador 336 se produce por una puerta Y 338 que tiene una primera entrada activada por una puerta Y 339. Se observará que la puerta Y 339 se satisface siempre que la memoria tampón entre procesadores en cuestión se localice con los bitios de orden inferior que localizan el byte de estado (0000). La segunda entrada de la puerta Y 338 se proporciona por el impulso de lectura procedente del microprocesador activo RPL que pasa a través del selector 300. Por consiguiente, el microprocesador de recepción introduce un dato 1 en el basculador 336 que activa su salida  $\bar{Q}$  en señal baja. El inversor

340, el resistor 341 y el capacitor 342 reacoplados a través del inversor 343 para reponer la entrada del basculador 336, hace que el circuito funcione como un multivibrador monoestable. Al ser introducida, la salida  $\bar{Q}$  pasará a estado bajo volviendo después a estado alto después de un periodo predeterminado. Por consiguiente, la señal de cronometración de lectura de estado SRC en la salida del inversor 340 será un breve impulso positivo, acoplado a las entradas de cronometración del registrador del byte de estado secundario 320. Las entradas de dicho registrador se proporcionan por la salida del registrador primario, por lo que la generación de una cronometración de lectura de estado hace que la salida del registrador del byte de estado secundario 320 concuerde con el dato almacenado en el registrador primario 292. Dicho dato se acopla a las entradas de los selectores 318 para pasar por los activadores de tres estados al microprocesador de recepción según se ha descrito anteriormente. De este modo, el microprocesador de recepción puede someter a prueba al registrador del byte de estado secundario para determinar si hay un mensaje en espera.

El procesador del lado de recepción proporciona también la capacidad de escribir en el registrador del byte de estado primario como una señal al procesador del lado de transmisión que la memoria tampón entre procesadores está disponible para recibir señales de tarea. Cuando el registrador del byte de estado primario 292 ha de reponerse o volver a 0, como en un proceso normal, el microprocesador del lado de recepción localiza el registrador del byte de estado en el IPB apropiado, satisfaciendo la puerta Y 339 que tiene su salida acoplada a la entrada de datos de un basculador 344. Por consiguiente, el basculador cuando se activa hace que su salida Q pase a estado al-

to, satisfaciendo parcialmente una puerta Y 345, que genera una señal de reposición de estado SR. Dicha señal se acopla a la entrada de precolocación de cada uno de los retenes 291 dentro del registrador del byte de estado primario. Como variante, la introducción de un 0 en el retén 344 satisface. La otra puerta Y 346 que genera una señal de colocación de estado SS, que se acopla a la entrada de puesta a 0 de cada uno de los retenes 291, reponiendo el registrador de estado primario a un estado de todos uno. No obstante, esta función se emplea solamente para el modo de mantenimiento.

La señal de cronometración del basculador 344 se deriva de una puerta Y 348 que tiene su primera entrada activada por una puerta NI 349 la cual, a su vez, recibe la salida alta de la puerta Y 339 cuando se localiza el byte de estado por acción del procesador del lado de recepción. La segunda entrada de la puerta Y 348 es la señal de escritura  $WR^{\overline{E}}$  invertida en el selector 300. La coincidencia de las señales de localización y de escritura activa el basculador 344, así como el segundo basculador 349. Se observará que se pueden activar o cronometrar estos basculadores por una señal alta producida por la puerta Y 350 que es activa en el modo de mantenimiento.

Según se ha indicado anteriormente, la cronometración del basculador 344 con la entrada D alta activa parcialmente la puerta NY 345 para generar una señal de reposición de estado. La cronometración del basculador 349, que tiene su entrada de dato en la cara al suministro de voltaje positivo, activa la salida Q en estado alto. Dicha señal alta se acopla a una puerta Y 351 que tiene su segunda entrada activada desde la señal de activación de transmisión. Se recordará que dicha señal es baja solamente cuando el procesador del lado de transmisión lo

caliza el byte de estado y es alta en las demás condiciones. Por consiguiente, la puerta Y 351 pasará una señal de cronometración al basculador 337. Dicho basculador, que tiene su entrada de dato en la zona al suministro de voltaje positivo, responderá activando su salida Q en estado bajo. Con el basculador 337 se asocian los inversores 353, 356, el resistor 354 y el capacitor 355 haciendo que el circuito funcione como un multivibrador monoestable. Cerca de la terminación del periodo del multivibrador, la salida del inversor 357 que pasa a estado alto, satisfaciendo la puerta NY 345 para acoplar la señal de reposición de estado al registrador del byte de estado primario. Después, el registrador se repondrá, proporcionando una indicación al procesador de transmisión que está disponible en la memoria tampón entre procesadores. Es notorio que el multivibrador monoestable que comprende el basculador 337 no se puede activar cuando el procesador del lado de transmisión está localizando el byte de estado primario, para evitar que el microprocesador del lado de transmisión tome lectura de un dato transitorio falso. Es también digno de indicar el que el registrador del byte de estado secundario no se puede actualizar mientras se acceda al primario, para evitar que el procesador del lado de recepción reciba un dato transitorio falso.

#### Circuitería de Mantenimiento

Los aspectos de mantenimiento de la circuitería de la memoria tampón entre procesadores se expondrán tan solo brevemente puesto que el aislamiento automático de defectos no forma parte importante del presente invento. Refiriéndonos en primer lugar al control del lado de recepción, se observará que las señales de localización de llegada se alimentan a un

verificador de paridad 360, cuya salida se acopla a un retén de error de paridad 361 por la circuitería de activación cíclica 362. El retén se activará siempre que se detecte un error de paridad durante un ciclo de lectura o de escritura y cuando el procesador de recepción tiene acceso al IPB en los modos de proceso de llamada o de mantenimiento. La salida de la puerta Y 363, además de activar al basculador de error de paridad 361, se utiliza para un par de puertas NY 364 que activa las líneas de indicación de "todo en orden en apariencia" de las copias respectivas.

Para permitir que el procesador de recepción tenga acceso a la memoria tampón entre procesadores en el modo de mantenimiento, se utiliza un segundo comparador 312 que detecta la localización de mantenimiento. La localización de mantenimiento para las memorias tampones entre procesadores se asigna como un desplazamiento de memoria tampón entre procesadores en los bitios de localización de orden superior, pero en los bitios de localización A5-A8 y la localización de la memoria tampón entre procesadores en cuestión en los bitios de localización A1-A4. Una puerta Y de cuatro entradas 365 detecta el estado de todos 0 de los bitios A5-A8 para activar el comparador 312. El comparador compara las señales de localización enlazadas ST5-ST8 contra los bitios de localización A1-A4 para producir una señal de activación, que se acopla a la circuitería cíclica 362 y también al descodificador 307 de 2 de 4. Cuando se activa el comparador 312, la salida 1Y2 ó 2Y2 del descodificador 307 se activa dependiendo de la copia del microprocesador de recepción que esté activa. Por consiguiente, las señales de lectura de mantenimiento MNTRD para la copia 0 o la copia 1 se generarán por las puertas Y 366, 367, respectivamen-

te. Dichas señales activan a los activadores de tres estados 368 ó 369 que toman lectura de la salida del basculador de error de paridad en la línea de datos D1 del microprocesador activo. Las señales D1 se devuelven también por la circuitería cíclica 369, 370 para reponer el retén de error de paridad 361 en el modo de escritura.

Volviendo al control del lado de transmisión, se observará que los verificadores de paridad 372 realizan una comprobación de paridad en las líneas de localización de llegada. La salida del verificador de paridad, en una forma similar al control del lado de recepción, se alimenta a la entrada de cronometración de un retén de error de paridad de localización 373. También se utiliza una línea de indicación de "aparentemente todo en orden", activada por una puerta NI 374 en la circuitería de activación de cronometración del retén de error de paridad 373. Los bitios de dato del procesador del lado de transmisión se comprueban también con respecto a la paridad en el verificador de paridad 376, cuya salida se acopla a una puerta NY 377, que cronometra un basculador de error de paridad de dato 378. La salida de la puerta 377 activa también la línea mencionada de "aparentemente todo en orden".

El procesador de transmisión tiene también un comparador de mantenimiento 380 que responde a la misma localización que el comparador de mantenimiento descrito con relación a la circuitería de recepción. Cuando se satisface, produce una señal de salida alta que, en combinación con el impulso SRPL<sup>#</sup> de recepción del lado de transmisión satisface una puerta Y 381 que activa el grupo de activadores de tres estados 382 para lectura del dato almacenado en los retenes de error de paridad 373, 378. La localización de la memoria tampón entre procesado

res en el modo de mantenimiento en combinación con una señal de escritura del lado de transmisión SMWR<sup>#</sup> activa parcialmente un par de puertas NY 383, 384 que tienen los bitios de dato de transmisión SD1 y SD2 acoplados con el fin de limpiar o poner a 0 los retenes de error de paridad 373, 378. ....

Descodificación Parcial de la Localización del Lado de Recepción

Volviendo ahora brevemente a la Fig. 9g, se ilustra una parte de un prolongador de vía, por ejemplo, el prolongador de vía 221 de la Fig. 6, que realiza la descodificación de los bitios de localización de orden superior para el procesador del lado de recepción. Se observará que es totalmente posible descodificar los 16 bitios de localización en el control del lado de recepción del IPB, al igual que se efectúa en el lado de transmisión. Con este fin, la circuitería ilustrada en la Fig. 9e se puede considerar una parte de la memoria tampón entre procesadores.

La circuitería de descodificación de localización ilustrada en la Fig. 9a comprende un par de comparadores 386, 387 para descodificar los bitios de localización de orden superior del microprocesador del lado de recepción A10-A16. Se recordará por la descripción anterior que la localización de desplazamiento asignada a las memorias tampón entre procesadores es de 1F. Por consiguiente, los cuatro bitios de orden superior se descodifican en el comparador 387 que produce una señal de salida alta cuando los bitios de localización A16-A13 son 0001, respectivamente. Dicha señal de salida se acopla a la entrada de activación del descodificador 386 que compara los bitios de localización A10-A12 con los bitios de localización enlazados ST10-ST12. El enlace asigna una localización al prolongador de vía en cuestión. Para que el prolongador de vía ac

tive las memorias tampones entre procesadores, la localización será 111. Cuando dicha localización aparece en las líneas A10-A12, el comparador 386 produce una salida alta que se acopla por el inversor 388 para activar parcialmente un par de puertas Y lógicas invertidas 389, 390. En estas circunstancias, la puerta 389 se activa para pasar la señal de escritura  $SWR^{\#}$  cuando se produce por el microprocesador, para activar parcialmente un par adicional de puertas NY 391, 392. De un modo similar, la puerta 390 se activa para pasar la señal de lectura  $SPL^{\#}$  cuando está presente para activar parcialmente un par adicional de puertas NY 393, 394.

Cual de las puertas ha de ser la que pase la señal dependerá del estado del bitio de localización A9 procedente del microprocesador. Dicho bitio de localización pasa a través de un par de inversores 395, 396, de modo que cuando el bitio de localización se encuentra en el estado 1 las puertas NY 392 ó 394 se activan. De un modo similar, cuando el bitio de localización se encuentra en el estado 0 las puertas NY 391 ó 393 se activan. El bitio de localización 9 se utiliza para descodificación adicional con el fin de permitir la activación de cables A y B separados, para dar servicio a dos elementos separados de equipo de nivel inferior. Cuando se utiliza con los IPB, el bitio A9 es siempre 1, para satisfacer la necesidad de localización de desplazamiento 1F para localizar el IPB.

Se verá que las puertas 391, 392 producen las señales de escritura  $WR^{\#}A$  y  $WR^{\#}B$ , la primera de las cuales se conecta a la memoria tampón entre procesadores en la misma copia y la segunda de las cuales se conecta a la memoria tampón entre procesadores en la copia duplicada. De un modo similar, las puertas 393, 394 producen las señales de lectura  $RPL^{\#}A$  y  $RPL^{\#}B$  que

se conectan de un modo similar. La forma en que estas señales controlan la lectura del almacén temporal en la memoria también entre procesadores y de escritura del retén de estado se ha descrito anteriormente.

5 Microprocesador -Relación de Memoria del Programa

Habiendo considerado con detalle la estructura que proporciona los trayectos de comunicación dedicados entre procesadores compañeros en el dispositivo distribuido, nos referiremos ahora a la circuitería dentro de cada procesador, y de un modo específico a la configuración de vías que acopla cada copia del microprocesador con las copias de la memoria del programa correspondiente. La Fig. 10 representa un multiplexador de vía de control, como el multiplexador 220 ó 220' descrito con relación a la Fig. 6. El multiplexador de la vía de control comprende un multiplexador de localización y de control 440, un multiplexador de datos 450, ambos de los cuales tienen conexiones a ambas copias del microprocesador correspondiente 200, 200', y conexiones adicionales a una sola de las memorias del programa 201. El multiplexador, de hecho, permite que uno u otro de los microprocesadores conectados utilice la memoria del programa correspondiente, de modo que se pueda conseguir una configuración de memoria de microprocesador operable aun en presencia de fallos de circuito. Las señales que pasan entre el multiplexador de la vía de control y las copias respectivas del microprocesador comprenden 16 bitios de localización mas paridad 401, 401', control 402, 402', control de configuración de la vía 403, 403', copia 0/copia 1 activa 404, 404' y 8 bitios de dato mas paridad 405, 405'. Refiriéndonos a la Fig. 11a, se verá que los 16 bitios de la señal de localización se acoplan a través de una serie de 2 a 1 multiplexadores

10

15

20

25

30

444-447 cuya salida se acoplan a una pluralidad de activadores de puerta NI 444'-447'. Las salidas de los activadores producen señales de localización A1-A16 que se acoplan a la vía de localización de la memoria del programa. La señal de paridad de localización AP se elige en el multiplexador 466. Cual de las señales habrá de elegirse dependerá del estado de las líneas activas de la copia 404, 404'. Estas señales pasan a través de puertas O exclusivas respectivas 462, 461 para proporcionar entradas a una puerta O exclusiva adicional 463. Además, la puerta O exclusiva 462, activada por la señal activa de la copia 1 activa las entradas selectoras de los multiplexadores 444-447 de 2 a 1 así como los multiplexadores 466-467.

Además, las salidas de las puertas O exclusivas 461-462 se utilizan como entradas a un par de puertas NY 464, 465 para activar de una forma parcial dichas puertas. Una segunda señal activadora parcial se desarrolla por la puerta O exclusiva 463, pasando a través de la puerta NY 463a y el inversor 463b. La segunda entrada de la puerta NY 463a se deriva de la salida del multiplexador 466, que es la señal elegida de las señales de control de la configuración de vía 403, 403', SR/CO ó SR/C1. La entrada final a las puertas NY 464, 465 es la señal de lectura de la memoria MRD acoplada desde el microprocesador antiguo a través del selector 467 y los inversores 471, 471a. Así, dependiendo de la copia del microprocesador que se activa, y de la presencia de la señal de lectura de la memoria, se satisfará una de las puertas NY 464, 465 para generar señales de control internas para acceso a la vía de datos.

El multiplexador 467 recibe señales de control 403, 403' de las copias respectivas, y específicamente señales de lectura SRD, señales de escritura SWR y señales de acceso a la

memoria SMAC. Elige la señal de la copia apropiada bajo control de la señal activa de la copia 1 y acopla estas señales a los activadores respectivos 471, 473, 475. El activador 475 produce una señal de acceso a la memoria utilizada en la memoria junto con los bitios de localización. La puerta NY-463 responde a la señal de escritura procedente del selector 467 así como de la salida del inversor 464b (indicando que solamente una señal activa de una copia es alta) para producir una señal de escritura en la memoria RWR. El inversor 461 simplemente invierte la señal de lectura elegida SRD para producir una señal de lectura de memoria MRD. Además de la función de dicha señal en la memoria, se invierte también por el inversor 471a para aparecer en la entrada de la puerta 0 exclusiva 478 y producir una señal identificada como 479 que se puede describir con relación a la circuitería de datos de la memoria de la Fig. 1b. La señal de lectura de la memoria invertida sirve también como señal activadora parcial para las tres puertas NY de entrada 464, 465 escritas anteriormente.

La Fig. 11b ilustra el multiplexador de datos que maneja el flujo de datos bidireccional entre la memoria de programa correspondiente y la copia de microprocesador activa. Por consiguiente, el lado de la izquierda de la Fig. 11b ilustra el dato de la memoria MD1-MD8, MDP, mientras que el lado de la derecha representa D1-D8 y DP tanto para la copia 0 como para la copia 1 del microprocesador. Las señales de datos de la memoria se acoplan a pares de fuerzas NI 481, 485 para pasar datos localizados desde la memoria hasta el microprocesador. Las puertas 481 se activan solamente cuando la señal de la copia 0 de control DC/CO producida por la puerta NY 465 es activa, mientras que las puertas 485 se activan solamente cuando

do la señal de control de la copia 1 DC/C1 producida por la puerta NY 464 es una señal activa. Las señales que pasan por la formación activada de puertas se invierten en 483 ó 487 para aparecer como dato para el microprocesador de copia 0 ó de copia 1.

5                   Para el flujo de datos en la otra dirección, el dato procedente del microprocesador para paso a una palabra localizada en la memoria se acopla a las entradas de las formaciones de activadores de tres estados 482, 484, 486, 488. Se verá que el dato de copia 0 se acopla a las entradas de los activadores 10 482, 486, mientras que el dato de la copia 1 se acopla a las entradas de los activadores 484, 488. Las salidas de ambos activadores para cualquier posición de bitio se ponen en común y se conectan a la vía de datos de la memoria para escribir el dato en la memoria. Una primera señal de activación para la 15 formación de los activadores de tres estados se proporciona por la señal de salida 479 procedente de la puerta 0 exclusiva 478 que tiene una entrada activada por la señal de salida de escritura de estado SWO procedente del microprocesador activo. La 20 señal de activación es baja solamente durante un ciclo de escritura del procesador, por lo que los bloques activadores de tres estados 482, 484, 486, 488 se desactivan en todo momento. Las segundas señales activadoras para los activadores de tres estados se obtienen por las señales activas de las copias. Cuando la copia 1 es activa, la línea 491 derivada de la copia 1 activa desactiva a los activadores de copia 0 482, 486, mientras que la señal 493 derivada de la copia 0 activa solamente pone en acción los activadores de la copia 1 484, 488. Por consiguiente, el microprocesador de copia 1 podrá escribir en la memoria correspondiente. En la circunstancia opuesta, los activa 30

dores 482, 486 se activarán para que el microprocesador de copia 0 escriba en la memoria correspondiente.

5 Como resultado de este dispositivo de circuito, el microprocesador tiene acceso completo e independiente a una u otra copia de la memoria, de modo que se pueda conseguir una configuración idónea aun en presencia de fallos sustanciales del circuito.

10 Habiéndose descrito la forma en que cada microprocesador se comunica por su propia memoria de programa, y la estructura por la cual se comunican entre sí los procesadores compañeros, nos referiremos ahora a la circuitería de interfase por la cual un microprocesador tiene acceso a las partes del sistema de conmutación que se le han asignado para servicio. Según se ha descrito anteriormente de un modo general, el sistema de conmutación comprende puntos de detección que proporcionan estímulos de entrada al complejo de control y a los puntos de control por los cuales el complejo de control puede producir la acción deseada en el sistema de conmutación. En general se puede afirmar que un procesador tiene acceso a sus puntos de detección y de control correspondientes (si tales puntos están previstos para un procesador particular) por medio del dispositivo de interfase de doble nivel descrito con relación a la Fig. 6. De un modo más específico, el microprocesador, por el prolongador de vía apropiado, puede tener acceso a un circuito de una pluralidad de circuitos de interfase de nivel elevado 231 ó 231' y a través de estos circuitos puede tener acceso a un circuito de una mayor pluralidad de circuitos de interfase de bajo nivel 233-235. Por medio de este dispositivo de circuito el microprocesador correspondiente puede localizar grupos de 8 puntos de detección u 8 puntos de control pa-

15

20

25

30

ra lectura o escritura como si fueran palabras de memoria.

Volviendo ahora a la Fig. 12, se ilustra un diagrama de conjuntos detallado para un circuito de interfase de nivel elevado, cuyo circuito descodifica parcialmente las señales de localización procedentes del microprocesador correspondiente, para localizar un circuito de una posible pluralidad de circuitos de orden inferior y que pasa señales de dato entre el microprocesador y los circuitos de orden inferior. Las Figs. 13a-b ilustran un diagrama lógico más detallado de la interfase de nivel superior, con los elementos de circuito agrupados y los números de referencia iguales a los empleados en la Fig. 12. Por consiguiente, la descripción que sigue tiene aplicación a la Fig. 12, que es útil para comprender el funcionamiento general, y a las Figs. 13a-b, que es útil para estudiar la estructura que realiza dicha operación.

Recordando que la Fig. 6 que una u otra copia de un circuito de interfase de nivel superior puede recibir entradas de uno u otro de los microprocesadores duplicados, se verá en la Fig. 12, 13a y 13b que se utilizan una pluralidad de multiplexadores de 2 a 1 para elegir señales de la copia activa del microprocesador para encaminar señales a dicha copia. Un primer multiplexador 501 de 2 a 1 (Fig. 12 y 13a) sirve como selector de localizaciones, teniendo como entradas los bitios de localización A1-A16 y la paridad AP de la copia 0, así como los bitios correspondientes de la Copia 1. Un multiplexador selector de datos 503 controla el flujo de bitios de datos D1-D8 y DP a la interfase de nivel superior desde las copias respectivas del microprocesador correspondiente y un circuito activador de datos 521 realiza dicha función para el flujo de datos en dirección opuesta. Otro multiplexador que comprende un se-

lector de control 505 ha proporcionado como señales de entrada las señales de control de escritura y de lectura procedentes de ambas copias 0 y 1 para selección. Una señal de activación de encuadre se acopla también al selector de control en la línea 506. Según se explicará más adelante, la señal de activación de encuadre se genera dentro de la interfase de nivel superior cuando una circuitería descodificadora apropiada detecta su localización asignada. Por consiguiente, las señales de control podrán pasar al selector 505 solamente cuando el microprocesador activo esté localizando de hecho la interfase de nivel superior en cuestión.

Las señales activas de copia 0 y de copia 1 se acoplan a un circuito selector de copia 507, que tiene una puerta 0 exclusiva 507a (Fig. 13a) para asegurar que solamente esté una copia activa en cualquier instante y para producir señales activas de copia 0 y de copia 1 para controlar el flujo de información. La señal activa de copia 1 se utiliza también para activar las entradas selectoras de los multiplexadores descritos.

Un verificador de paridad de localización 513 y un verificador de paridad de datos 515 se utilizan para examinar cada palabra recibida con el fin de detectar errores de paridad. En el caso de que se detecte un error de paridad, se genera una señal de error de paridad de localización APE o señal de error de paridad de dato DPE, según sea el caso, que establece un retén de APE o de DPE en el dispositivo de retén de palabra de estado 530, y hace también que el codificador de indicación de "aparentemente todo en orden" 511 produzca un impulso en la línea ASW de indicación de "aparentemente todo en orden" para la copia activa.

Los bitios de localización recibidos de la copia activa del microprocesador se descodifican parcialmente en la interfase de nivel superior y parcialmente superior y se pasan parcialmente a circuiteria de orden inferior para su descodificación. Se acopla los bitios de nivel elevado A9-A16 a un descodificador de interfase de orden superior 525 donde se descodifican para producir una señal de activación de encuadre 506. Los bitios de nivel elevado, es decir, bitios de localización A13-A-16, deben asumir un esquema fijo reservado para localizar interfases de nivel superior, mientras que los bitios de localización A9-A12 debe hacer coincidir en retorno los bitios de enlace de planos para un tablero de interfase de nivel superior particular, efectuado por medio de enlaces ST9-ST12.

La figura 13a muestra que los sitios de orden medio se comparan a la localización enlazada en un comparador 526a mientras que se detecta el esquema predeterminado de los bitios de nivel elevado en la circuiteria puerta 525b. Cuando todas las condiciones son cumplidas, se genera la señal de activación de encuadre en la linea 506, y se acopla hacia atras al selector de control 505, que entonces se deja pasar por las señales de control del CPU activo. Los bitios de localización de nivel medio A6-A8 estan acoplados a un descodificador de 1 a 8 de activación de interfase, de orden inferior 527 que produce señales de activación de archivo FLE1-FLE8 que activa los correspondientes bloques de equipo de orden inferior, Se proporciona un detector de error de 1 a 8, 529, para asegurarse que solo una de las señales de activación de archivo esta en activo en un momento dado. Si más de una señal de activación de archivo esta en activo al mismo tiempo, se produce una señal de error de 1 de 8 que se acopla hacia atras a un reten de error de 1 de 8 dentro de la disposición de retenes de palabras de estado 530.

Los bitios de orden inferior A1-A5 se invierten dos veces por

dos inversiones 526,528 para que aparezcan como señales de localización LA1-LA5 para descodificarse en la circuitería de orden inferior. Además un generador de paridad de localización interfase, de orden inferior, enviar un bitio de paridad apropiado con cada palabra de localización de orden inferior. Los bitios de localización LA1-LA5, invertidos por el inversor 526; también se acoplan a un circuito de descodificación de acceso de mantenimiento 531 donde se descodifican para proporcionar una señal de acceso de mantenimiento  $\overline{MAC}$ , y también a un circuito de escritura de palabra de estado 532 que controla la escritura de los retenes de palabras de estado en el modo de mantenimiento. Resumiendo se aprecia que cuando una localización correcta aparece en un circuito interfase de orden superior activa dicho circuito, hace que se generen señales de activación de archivo de 1 de 8, y pasa 5 bitios de dato de localización así como las cinco señales de activación a la circuitería de orden inferior para localizar circuitos particulares en la misma.

Habiendo considerado la localización en la interfase de nivel superior nos referiremos ahora a la circuitería asociada con las palabras de datos. Los bitios de dato D1-D8 procedente de la copia activa, según pasan a través del multiplexador selector de datos 503, se acoplan a la puerta de datos de interfase de nivel inferior de lectura/escritura 518. Las señales de control para dicha puerta permiten que los bitios de datos pasen cuando no se esté accediendo por mantenimiento a la interfase de nivel superior  $\overline{MAC}$ , cuando el retén de averías no está dispuesto TRBL, y cuando se activa el pulso de lectura. Al mismo tiempo, los bitios de dato D1-D8 y DP pasan a través de la puerta 518 donde aparecen como un dato de nivel inferior LD1-LD8 y LDP a la interfase de nivel inferior. Una

puerta de control de interfase de nivel interior 519 se utiliza también para pasar señales de lectura R, escritura WR y señales activas de nivel superior HLA procedentes de la interfase de nivel superior a los circuitos de orden inferior. Según se describirá con más detalle mas adelante, el dato es aceptado y manejado de acuerdo con los bitios de activación de archivo, de localización de orden inferior y de control que han pasado al mismo.

Otro trayecto adicional para el flujo de datos, se efectúa desde una interfase de nivel inferior localizada al CPU por medio de la interfase de nivel superior. Con este fin, los bitios de datos LD1-LD8, recibidos de la circuitería de orden inferior, se acoplan a la vía de datos de tres estados 540 para pasar de nuevo a la copia activa del microprocesador. La vía de datos de tres estados 540 se activa por un circuito selector de palabra de dato/estado 543, que activa la vía de datos de tres estados cuando el sistema no está en el modo de mantenimiento  $\overline{MAC}$  y cuando aparece un impulso de lectura RPL. En dicho instante, los bitios de datos pasan a través de la vía de triple estado para formar el dato de entrada DIN1-DIN8 que se acopla a un activador de datos 521. El activador de datos 521 recibe también una señal de entrada del circuito de control activador de datos 517 que, a su vez, recibe las señales activas de la copia 0 y de la copia 1. Por consiguiente, se activan las puertas apropiadas en el circuito activador de datos 521 para que los bitios de datos puedan pasar a las líneas D1-D8 de la copia activa del microprocesador. De este modo, los circuitos de orden inferior se pueden volver a comunicar con el microprocesador.

Otros trayectos para el flujo de datos existen desde

la propia interfase de nivel superior de nuevo al microproce-  
sador. En este caso, el dato dentro de los retenes de pala-  
bra de estado 530 se lee en el microprocesador. Para conse-  
guirlo el circuito selector de palabra de dato/estado 543 con-  
5 muta su conductor de salida en respuesta a la activación de  
la señal de acceso de mantenimiento MAC. La vía de datos de  
triple estado 540 se desactiva, y se activa el circuito selec-  
tor de palabra de estado 522. El circuito selector de pala-  
bra de estado elige una de las dos palabras para retransmisión  
10 al CPU, dependiendo del estado del bitio de localización A3.  
Cuando el impulso de escritura procedente de la copia activa  
está presente, la palabra elegida por el bitio A3 se lee de  
los retenes de palabras de estado 530 y se acopla por el cir-  
cuito selector de palabra de estado 522 a los activadores de  
15 datos 521 para transmisión a la copia activa según se ha des-  
crito anteriormente. Finalmente, es posible que el CPU escri-  
ba datos en la interfase de nivel superior, lo cual se consi-  
gue por los bitios de datos D1-D8 que se acoplan directamente  
a los retenes de datos de palabras de estado 530, en combina-  
20 ción con un impulso de escritura acoplado a través del circui-  
to selector de control 505.

En resumen, el microprocesador activo tiene control  
pleno de lectura/escritura no solamente sobre la interfase de  
nivel superior, sino también sobre los circuitos de nivel in-  
25 ferior conectados a dicha interfase. De este modo, el micro-  
procesador puede localizar a través de los circuitos de inter-  
fase de nivel superior y de nivel inferior grupos elegidos de  
puntos de detección y de control dispuestos en el sistema de  
conmutación. El acoplamiento de datos sobre su vía de datos  
30 junto con una señal de escritura, permite escribir un grupo lo

calizado de puntos de control. De un modo similar, la producción de una señal de lectura hará que el dato procedente de un grupo localizado de puntos de detección aparezcan sobre la vía de datos en los circuitos de interfase. Además, en el modo de mantenimiento, el procesador tiene capacidad para leer y escribir los retenes de las palabras de estado 530 en la interfase de nivel superior. Según resultará evidente los retenes se utilizan para almacenar información concerniente al funcionamiento de la circuitería correspondiente. Entre los retenes se encuentran un retén de error de paridad de dato DPE, un retén de error de paridad de localización APE, un retén activo de nivel superior HLA, un retén de avería de nivel superior TRBL, un retén de error de 1 de 8  $1/8E$ , retén de inversión de paridad de localización API, retén de error de paridad de dato de interfase de bajo nivel LDPE, y retén de indicación de "aparentemente todo en orden" de interfase de bajo nivel LASW. Además un bitio de identificación de la copia S/CO y S/C1 sirve como entrada al circuito de retén del byte de estado 530. Los estados de salida de estos circuitos de retén se agrupan para comprender dos palabras de estado que se encaminan al circuito selector de palabra de estado 522 para lectura bajo control del bitio de localización A3 según se ha indicado anteriormente. La tabla 1 a continuación representa el formato de las dos palabras, palabra 0 y palabra 1, que se pueden leer o escribir en el circuito de retén de la palabra de estado 230. Se representa el formato de lectura para la palabra 0, seguido del formato de escritura para la misma, y después el formato de escritura y lectura para la palabra 1.

T A B L A 1

Palabra 0

D8	D7	D6	D5	D4	D3	D2	D1	
Copia	API	LDPE	HLA	ASW	1/8E	DPE	APE	Lectura
5 ID	API	API	HLA	HLA	-----	Reposición		Escritura
	Reposi- ción	Colo- cación	Repo- si- ción	Coloca- ción		todos FF de error		

Palabra 1

10	NO SE UTILIZA			---	TRBL		Lectura
	NO SE UTILIZA				TRBL	TRBL	Escritura
					Reposi- ción	Coloca- ción	

15 La parte mayor de la comunicación entre el circuito de interfase de nivel superior y el sistema de conmutación se realiza por los circuitos de interfase de nivel inferior que se describirán a continuación. Según resultará evidente, el circuito de interfase de nivel inferior se dispone para que el procesador pueda localizar grupos de 8 puntos de detección o de control para leer los puntos de detección o escribir los puntos de control. No obstante, en algunos casos es conveniente utilizar una circuitería de orden inferior modificada para comunicación de la interfase de nivel superior y el sistema de conmutación.

20

25 Un ejemplo es el trayecto de comunicación por el cual el micro procesador de estado anota conexiones en la red de conmutación. En dicho caso, la circuitería de orden inferior se configura como un par de tarjetas de interfase de CPU que se describen en la solicitud de patente EE.UU. de Pepping et al número de serie

30 833.954, presentada el 16 de Septiembre de 1977 y titulada Red

de Telecomunicaciones que tiene un conjunto de red de repuesto para funciones múltiples. La circuitería de orden inferior en dicho caso acepta palabras de datos escritos en la misma por el circuito de interfase de nivel superior y retiene dichas palabras hasta el punto apropiado en el ciclo de la red, después de lo cual anota conexiones representadas por las palabras almacenadas en las memorias de conexión. También se pueden utilizar otras formas de circuitería de nivel inferior para comunicación entre la interfase de nivel superior y el sistema de conmutación. Como ejemplos adicionales, la circuitería de nivel de inferior interpuesta entre la interfase de nivel superior del microprocesador de consola o cuadro de operadora y las propias consolas o cuadros de operadora se puede adaptar de un modo especial a las necesidades de comunicación del sistema auxiliar. De un modo similar, cuando el sistema está provisto de una unidad de cinta magnética, se puede utilizar un circuito especial de orden inferior para poner en formato y transferir datos entre la unidad de cinta y la interfase de nivel superior que da servicio al microprocesador de base de datos.

#### Interfase de Nivel Inferior

A pesar de que se pueden configurar otros numerosos circuitos de orden inferior para cumplir con diversas exigencias, la unidad básica que encuentra una amplia aplicación es el circuito de fase de nivel inferior, cuyo diagrama de conjuntos se ilustra en la Fig. 14. De un modo más específico, el circuito de interfase de nivel inferior se utiliza para comunicación con el multiplex de nivel inferior y los circuitos de cronometración, los circuitos de reloj básico, los circuitos de reloj de nivel superior, los circuitos de enlace de iniciación

de circuito/iniciación de tierra, los circuitos de enlace de dos conductores y cuatro conductores, los circuitos de línea, los convertidores de código de A/D y D/A, los circuitos de control del generador de tono, los receptores de frecuencias múltiples y doble tono, y los circuitos receptores/transmisores de impulsos de llamada.

Se recordará por la Fig. 6 que los circuitos de interfase de nivel inferior se dispersan en los archivos respectivos del sistema de conmutación y cada interfase de nivel inferior puede presentarse para que tenga acceso a la misma un par redundante de interfaces de nivel superior asociada. Por consiguiente, se necesita una pluralidad de multiplexadores 561 de 2 a 1 para elegir señales de localización de dato y de control, de la interfase activa de las interfaces de nivel superior asociadas. La Fig. 14 ilustra las señales de localización de cada copia que comprenden una señal particular de las señales de activación de archivo FLE1-5 así como las señales de localización de orden inferior LA1-LA5 y paridad LAP. Se utilizan ocho bits de dato mas la paridad de cada interfase de nivel superior LD1-LD8 y LDP. También se acoplan desde la interfase de nivel superior al selector 561 señales de control de escritura de nivel inferior y de control de escritura de nivel inferior LR, LWR y señales activas de nivel superior HLA para las copias respectivas que se usan con el fin de controlar el estado del selector 561. Las señales de localización de selección que pasan a través del selector 561 se verifican respecto a paridad en el verificador de localización 563 y se descodifican en un circuito de descodificación de mantenimiento de archivo 565 y un circuito de localización de archivo y activación de tarjeta 569. El circuito de descodificación de mantenimien

to 565 responde a una localización de mantenimiento para imponer una señal activa en la línea 566 que hace que el microprocesador correspondiente tenga acceso a los retenes de estado 567. El circuito de localización de archivo y activación de tarjeta 569 sirve para descodificar las señales de localización de archivo de llegada FA1-FA5 para producir las señales de activación de tarjeta CE1-CE32. Dichas señales se utilizan para localizar de una forma selectiva uno de 32 grupos de puntos de detección o de control, proporcionando cada grupo hasta una palabra de ocho bits para lectura o escritura por el microprocesador correspondiente. En aquellos casos en que la interfase de nivel inferior no tenga un número importante de puntos de detección o de control para servicio, las señales de localización de archivo se pueden utilizar directamente, sin descodificación, para elegir uno de los cinco puntos de dichos puntos. Con este fin, las señales de localización de archivo FA1-FA5 se sacan también del circuito de localización de archivo y activación de tarjeta 569. Las señales de control elegidas a través del multiplexador 561 se proporcionan también al circuito de localización de archivo y activación de tarjeta 569, de modo que las señales de salida de lectura de archivo y de escritura de archivo FR y FW se acoplen a la circuitería de la red y específicamente a los puntos de detección y control en cuestión.

El flujo de dato de la interfase de nivel superior al sistema de conmutación se encamina desde la interfase de nivel superior activa a través del selector 561 hasta el byte de dato de archivo 573 para describir los puntos de control con datos en las líneas de datos de archivo FD1-FD8. El flujo de datos en la otra dirección se efectúa a través del byte de datos de

5 archivo 573 al byte de datos de nivel inferior 575 que usa una señal de control del selector 561 para poner el dato en una u otra vía 572 ó 574, dependiendo de la copia de la interfase de nivel superior correspondiente que esté activa. El dato dentro de los retenes de estado 567 se puede volver a leer a través de la interfase de nivel superior, acoplando una vía 570 los retenes de estado al byte de dato de nivel inferior para leer el dato por la vía 572 ó 574. Los retenes de estado 567 se pueden escribir también con datos en la vía 564.

10 Las Figs. 15a-b representan la circuitería de una modalidad particular del diagrama de conjuntos de la Fig. 14. La circuitería de selección de copia 562 comprende selectores de localización 581, 583 que eligen los bitios de localización de orden inferior LA1-LA5 de la interfase de nivel superior activa. Un selector de control también dentro del bloque 583 elige la activación de archivo FLE, lectura de nivel inferior LR y escritura de nivel inferior LWR. También se incluye un selector de localización y de paridad 593 que elige LAP y LDP. Las señales activas de nivel superior procedentes de las copias res-  
15 pectivas se acoplan a través de una formación de puertas O exclusivas, la salida de la puerta O exclusivas, la copia 1 que controla las entradas selectoras de los selectores 561, y la salida de la puerta O exclusiva de tapa final que produce una señal de HLA cuando una de las señales, pero no ambas, de la  
20 interfase de nivel superior está activa. Un selector de copia de dato 595, 597 elige 8 bitios de dato de la interfase de nivel superior activo.

25 Concentrándonos primero en las señales de localización, se verá que las localizaciones de nivel inferior LA1-LA5, que pasan a través de los selectores 581, 583, aparecen como se  
30

ñales de localización de archivo FA1-FA5. Dichas señales se descodifican en el descodificador de mantenimiento 565 junto con la señal de FLE' derivada de la señal de activación de archivo particular FLE que se conecta a la tarjeta en cuestión.

5 Cuando se satisface el circuito de descodificación de mantenimiento, la puerta Y de salida 582 produce una señal de salida de mantenimiento de archivo de nivel alto F/M que se acopla a una puerta Y 584 (Fig. 15b) donde se combina con la señal de escritura de nivel inferior LWR para producir una señal de escritura de mantenimiento de nivel inferior LWR\*. Cuando dicha

10 señal es activa, el CPU puede introducir el dato en las líneas de dato para escribir los retenes en el circuito de retén de la palabra de estado 567.

Para utilizarse en el proceso de llamadas, las señales de localización de archivo FA1-FA5 en la vía 562 se acoplan

15 como entradas a un par de descodificadores 565, 587 que forman parte del circuito de localización de archivo y de activación de tarjeta 569 de la Fig. 14. Los 5 bitios de localización se descodifican para proporcionar una señal de salida 1 de 32 que se acopla a las tarjetas del circuito del sistema de conmutación de orden inferior para localizar grupos particulares de puntos de detección y de control. Un ejemplo de punto de control se encuentra en un dispositivo de circuito de línea donde cada tarjeta de circuito da servicio a 8 líneas telefónicas.

20 Se utiliza un retén por cada línea telefónica que tiene conectado un generador de llamada común y controla la alimentación de señal de llamada a la línea telefónica correspondiente. Cuando el microprocesador de la línea desea iniciar o terminar la señal de llamada de una línea particular, acopla la señal de localización apropiada sobre su vía de localización que se fil-

25

30

tra a través del prolongador de la vía, la interfase de nivel superior y la interfase de nivel inferior para activar una de las señales de activación de tarjeta CE1-CE32. Además de la localización extraída por el procesador, introduce un dato en su vía de datos para controlar el estado de los 8 puntos de control que localiza. La activación de la señal activadora de la tarjeta particular activa las líneas a través de los puntos de control que se configuran como retenes simples, teniendo las líneas de datos capacidad de colocación y reposición sobre las mismas. Por consiguiente, el CPU coloca bits 1 ó 0 apropiados en la palabra de dato de modo que los retenes apropiados se coloquen o repongan para iniciar o terminar la señal de llamada en líneas elegidas.

Los puntos de detección se localizan de la misma manera, aún cuando normalmente los puntos de detección son explorados de una forma constante por el procesador según busca nuevas asignaciones. Los puntos de detección, por ejemplo en la tarjeta del circuito de línea pueden comprender las salidas de los detectores de corriente de circuito respectivos o, como variante, los retenes se colocan o reponen por las salidas de los detectores de corriente del circuito. Por consiguiente, explorando continuamente los puntos de detección el procesador puede detectar cambios de estado importantes para interpretarse como solicitudes de servicio.

Volviendo a la Fig. 15a, se recordará que en algunos casos las señales de localización de archivo FA1-FA5 se pueden utilizar directamente para elegir uno de cinco grupos de puntos de detección o control. Por consiguiente, la circuitería de localización de archivo y de activación de tarjeta 569 ilustrada en la esquina derecha superior de la Fig. 15a tiene sali

das FA1-FA5 además de las salidas de activación de tarjeta. Para determinar si los puntos de detección se han de leer o los puntos de control se han de escribir, las señales de control LR y LWR que pasan a través del selector 561, se acoplan a un par de puertas NI 589. Dichas puertas se activan por una puerta NY 586 que se satisface por el FLE' en respuesta a la detección de la señal de activación de archivo apropiada y por el  $\overline{\text{TRBL}}$  indicando que el circuito funciona apropiadamente. En dichas condiciones, la señal de lectura LR o la señal de escritura LWR pasan a los circuitos de orden inferior para introducir las líneas de datos a través de los puntos de detección y de control.

Volviendo ahora a las líneas de datos, se verá que las líneas de datos de llegada procedentes de la interfase de nivel superior, se acoplan a través de selectores copias 595, 597 para aparecer como señales de datos de archivo FDA1-FDA8. Al utilizarse el mantenimiento, dichas señales pasan a las entradas de las puertas NY que activan los retenes de estado 567, activándose las puertas NY por la señal LWR' descrita anteriormente. Para los fines de proceso de llamada, dichas señales se acoplan como entradas a una formación de activadores de tres estados 573 (Fig. 15b) que se activan por una señal de activación de vía de triple estado TBE derivada en la salida de una puerta Y 598. Según se ilustra en la Fig. 15a, dicha puerta se satisface cuando el basculador de averías se encuentra en condición normal  $\overline{\text{TRBL}}$ , cuando la señal FLE' es alta indicando la recepción de localización correspondiente, y cuando LR" es alta que es la condición normal excepto para un periodo de 100 nanosegundos siguiente al frente delantero de un impulso de lectura. Esta última característica sirve para desacti-

var los activadores de triple estado 573 durante una operación de lectura, por lo que las líneas de datos FD1-FD8 queden disponibles para llevar datos desde los puntos de detección hasta la interfase de nivel superior. Cuando se activan los activadores de triple estado 573 pasan datos desde el CPU encaminados a través de la interfase de nivel superior a las líneas de datos FD1-FD8 acopladas al circuito de orden inferior del sistema de conmutación para escribir un grupo particular de puntos de detección localizados por las señales de activación de tarjeta CE1-CE32.

El flujo de datos en la dirección opuesta procedentes de la circuitería del sistema de conmutación al procesador tiene lugar en presencia de un impulso de lectura RTL. El procesador de salida a las localizaciones apropiadas para tener acceso al grupo particular de puntos de detección en cuestión. Además, da salida a un impulso de lectura que aparece en la interfase de nivel inferior como lectura de nivel bajo LR. Esta señal se acopla a través del selector 583 por un par de inversores 610,611 a la entrada de la línea de retardo 599. Además, la señal de LR se alimenta directamente a la entrada de una puerta Y 612.

La línea de retardo 599 se utiliza para que el dato se pueda estabilizar antes de retenerlo para devolverlo al procesador. La señal de lectura LR que genera la lectura de archivo FR se alimenta también a la línea de retardo 599 donde se proporcionan un retardo de 80 nanosegundos y un retardo de 100 nanosegundos. La señal de lectura de salida retardada en 80 nanosegundos, comprende una señal de retención de dato D/L que se alimenta a las entradas de activación de los retenes de datos 575. Por consiguiente, las salidas de los retenes de da

tos 575 siguen a las señales en las líneas de entrada FD1-FD8 para el primer periodo de 80 nanosegundos siguiente al frente delantero de un impulso de lectura. Al final del periodo de 80 nanosegundos, la señal de activación se reduce, reteniendo el dato en los retenes 575 para pasar a través de la interfase de alto nivel al microprocesador. La salida de 100 nanosegundos de la línea de retardo 599 se acopla a la puerta Y 612 junto con la señal de LR para producir la señal de LR". Dicha señal será baja a partir del frente delantero de un impulso de lectura hasta que expira el periodo de 100 nanosegundos. La señal de LR" se alimenta a la entrada de una puerta Y 598 según se ha descrito anteriormente, para desactivar los activadores de triple estado 573 durante un periodo de 100 nanosegundos siguiente al frente delantero de un impulso de lectura. Por consiguiente, el dato puede fluir de la circuitería del sistema de conmutación a los retenes de datos sin interferencia de los datos en las líneas acopladas al circuito por la interfase de nivel superior.

El dato cronometrado en los retenes 575 aparece en las salidas como dato de archivo FD1'-FD8', donde se acopla a dos grupos de puertas NY en el circuito de bytes de datos de nivel inferior 575. El grupo de puertas de la izquierda se activa por la señal FLE"/C1 para pasar FD1'-FD8' a la interfase de nivel superior de la copia 1, mientras que el grupo de puertas NY de la derecha se activan por FLE"/C0 para pasar FD1'-FD8' a la interfase del nivel superior de la copia 0. Las señales FLE" se producen en la circuitería cíclica indicada en general por la referencia 615 que descodifica la señal de escritura LR en combinación con la señal de activación de archivo FLE' y la señal activa de nivel superior de copia 0 o de co

pia 1 para producir la salida apropiada.

Para completar se observará que las salidas del circuito de retén de estado 567 se acoplan como entradas a una vía adicional de datos de triple estado 616 que se activa por una señal LR' producida por una puerta NI 617 (Fig. 15a) en presencia de una señal de F/M de mantenimiento de archivo activa. Se verá también que la señal LR" producida por la puerta Y. 612 se acopla como entrada a la puerta NI 617 para desactivar los activadores de triple estado 616 durante un periodo de 100 nanosegundos siguiente a cada impulso de lectura.

### Procesadores Distribuidos

Según se ha indicado al principio, las diversas funciones de la central de conmutación se segmentan junto con las líneas de proceso de llamada, y los segmentos respectivos se asignan a microprocesadores dedicados en el dispositivo distribuido. A continuación nos referiremos a cada microprocesador por turno y al dispositivo de memoria que constituye el microprocesador como medio para realizar las funciones que se le han asignado. Antes de examinar los detalles de cada unidad de control del microprocesador, su relación con el sistema de conmutación y también su relación con otros microprocesadores, nos referiremos en primer lugar a la jerarquía de aquel programa que tiene aplicación a todas las unidades de control. Dicha jerarquía del programa se describirá específicamente con relación al microprocesador de base de datos, debiéndose comprender que la descripción tiene en general aplicación a cada uno de los microprocesadores.

En la descripción siguiente, nos referiremos a los mensajes de orden, códigos de referencia, argumentos y similares. Las tablas 2 y 3 anexas al final de esta memoria descrip

tiva por conveniencia, proporcionan información de referencia útil para comprender el funcionamiento de los microprocesadores respectivos. La tabla 2 da una lista de las abreviaturas comunes utilizadas en las órdenes de memoria tampón entre procesadores. La Tabla 3 es un agrupamiento conveniente, fraccionado por el microprocesador, de órdenes enviadas y órdenes recibidas por cada microprocesador. El código de referencia en dicha tabla es el byte de información que identifica el funcionamiento que ha de ser realizado por el procesador de recepción. Recordando la descripción de la memoria tampón entre procesadores, el código de referencia es la última orden cargada en el byte de estado que transfiere control de la memoria tampón al procesador de recepción y especifica el subprograma que se debe invocar.

#### 15 Jerarquía del Programa

La Fig. 9 ilustra gráficamente para el microprocesador de base de datos 170, la organización gerárquica de niveles múltiples típicas de todos los microprocesadores en el complejo de control 55. Los niveles son programas principales, programas y subprogramas.

#### 20 Rutinas de Niveles de los Programas Principales - Todos los Microprocesadores

Todos los microprocesadores emplean estos programas principales:

25 1. Secuenciador maestro. Esta rutina determina la secuencia de servicios a realizar por las rutinas invocantes del nivel del programa en una secuencia predeterminada y establecida. El secuenciador maestro encamina la secuencia establecida de una forma infinita.

30 2. Manipulador de interrupción de tiempo: Se pro-

porciona una interrupción de 10 milisegundos como único proceso de llamadas que requieren interrupción en el sistema de conmutación. El manipulador de interrupción de tiempo mantiene un reloj en memoria que puede tomar como referencia a otras rutinas para probar condiciones dependientes del tiempo.

Rutinas de Nivel de Programa - Todos los Microprocesadores

1. Cargador de IPB.

Los programas relativos a carga de un IPB elegido y la descarga de datos del mismo son uniformes en todos los microprocesadores. En el microprocesador transmisor, la carga se realiza por un programa después de haberse cargado una fila de espera de IPB por otros subprogramas. En el procesador transmisor esta carga se realiza por un programa que mueve datos desde una parte de un área de fila de espera de 64 bytes dentro de la memoria del procesador hasta el IPB de 16 bytes. La fila de espera interna de 64 bytes es una memoria tampón de comunicaciones entre los subprogramas lógicos de proceso de llamadas y el IPB. La fila de espera es conveniente para:

1. Proporcionar un área de retención para órdenes de salida durante períodos en el que el IPB se descarga (desde la última transmisión del IPB) por el procesador receptor.

2. Consolidar un número de órdenes, cada una considerablemente inferior a 16 bytes, en una sola transmisión de IPB, con lo que se emplea con mayor eficacia el IPB.

3. Permitir impulsiones de actividad que sobrecargaría momentáneamente el IPB de 16 bytes.

Como los subprogramas elegidos en un microprocesador crean mensajes de órdenes, estos se cargan en las filas de espera apropiadas del IPB. El programa cargador de la memoria tampón se pone en acción periódicamente por medio del programa

principal del procesador. El activador de la memoria tampón prueba las filas de espera para hallar los mensajes en espera de envío, y si existe alguno, prueba el byte número 1 del IPB para hayar si tiene un valor todo de ceros (condición de disponibilidad de la memoria tampón). Si la memoria tampón se encuentra disponible, el activador cargador cargará en la misma el mayor número posible de mensajes; seguidos de un nulo en el lugar de la memoria consecutiva siguiente (a menos que se empleen los 16 bytes de la memoria tampón); y carga el byte número 1 para demostrar la condición de disponibilidad.

2. Analizador de órdenes del IPB. En el microprocesador receptor, un programa analizador de órdenes investiga en el IPB para determinar si se ha cargado el IPB, y si es así, analiza la primera orden (en el byte nº 1 del IPB) y salta al subprograma, v.g. módulo de funciones, manipulando dicha orden específica. Esto se representa en la Fig. 9 de la organización del programa del microprocesador de códigos de datos, indicando el gráfico que al ejecutar el programa del "analizador de órdenes" la orden de "número marcado normal", código de referencia 74 en el byte número 1 del IPB, se ha leído y se ha invocado el subprograma del manipulador de órdenes de "número marcado normal". Después de haberse atendido la orden, se devuelve el control al programa analizador de ordenes para análisis de la orden siguiente en el IPB. Todas las órdenes restantes exigen servicio de esta manera.

El programa principal en el procesador receptor pedirá periódicamente al programa analizador de órdenes que pruebe cada IPB de entrada para el estado de disponibilidad. Cuando se detecta una memoria tampón dispuesta, el analizador vuelve a leer el byte de la orden para asegurar su integridad. El by

te se prueba para hayar el estado de todos ceros (detención/sin orden) y si demuestra tener un valor de todos ceros, el analizador vuelve al programa principal. Los bytes de órdenes válidas se emplea para pedir el subprograma del manipulador de órdenes apropiado. El subprograma lee los datos (si los hubiera) que siguen al byte de orden y realiza la función requerida y después devuelve al analizador con un indicador de la memoria cada orden siguiente, si la hubiera. El analizador comprueba que el lugar del byte de orden siguiente está todavía dentro del IPB, y si se encuentra lee la orden. El proceso continúa hasta que los mensajes de órdenes en el IPB se han agotado y después vuelve al programa principal.

Otras rutinas de nivel de programa y de nivel de subprograma - microprocesadores individuales

15 Microprocesador de Línea

Operaciones.

El microprocesador de línea 140 sirve como acceso de servicio introductorio a través del cual todas las señales de control pasan a los circuitos de línea y desde los circuitos de línea. Por cada línea en el sistema de conmutación, aparecen disponibles un solo punto de detección de bitio y un solo punto de control de bitio al procesador de línea 140, desde el cual el IMP 140 determina el estado de teléfono colgado/teléfono descolgado del circuito de línea particular; detecta transiciones importantes de teléfono colgado/teléfono descolgado y pasa informes del estado al procesador de estados 130 a través de la memoria tampón entre procesadores de transmisión correspondiente 141 y memoria tampón de IPB de recepción 133. Las transiciones de línea importantes detectables son nuevos estados de teléfonos descolgados, desconexiones (teléfono colgado

en un período de tiempo prolongado) e impulsiones o centelleos. Los controles que se ejercitan son señal de llamada y detección de la llamada en cada circuito de línea. El análisis de los impulsos de llamada no es específicamente una tarea del procesador de línea 130.

El procesador de línea 140 forma de las actividades de la línea solamente al procesador de estados 130 y recibe información de control solamente del procesador de estado 130. Para toda la información enviada, el procesador de línea 140 convierte la localización del equipo de línea pertinente (lugar de los elementos fijos) a su número de segmento de la red. De igual modo, para toda la información recibida del procesador de estados 130, el procesador de línea 140 convierte el número de segmento de la red en una localización de equipo.

Puntos de Detección y de Control de línea

Existe un punto de detección y un punto de control por cada circuito de línea en el sistema de conmutación. Los puntos de control y de detección se leen y escriben 8 a la vez en bytes de 8 bitios. Un bloque de localizaciones de la memoria se reserva para esta finalidad, y se tiene acceso a dicho bloque de la memoria empleando la localización de equipo del bloque deseado de 8 líneas añadidas a una localización de desplazamiento según se ilustra en la Fig. 1-A a continuación.

DESPLAZAMIENTO DE MEMORIA FIJO	ENCUADRE	ARCHIVO	TARJETA	LINEA
	Uso 4 Localizaciones	Uso 6 Localizaciones	Uso 12 Localizaciones	Localización dentro del byte

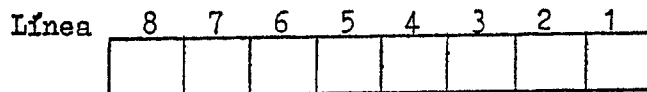
Localización de Bytes de Control y de Detección de Línea

Tabla 1-A

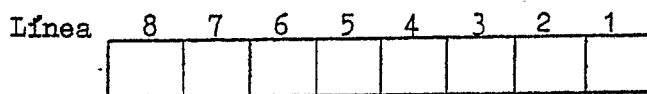
La localización dentro del bloque de 8 líneas se realiza por manipulación del byte según se lee de la localización calculada.

5 El estado del byte de detección correspondiente al circuito de línea particular refleja el estado de corriente continua del circuito y será de un valor de "uno" cuando la línea está descolgada. Se efectúa una "doble observación" en los puntos de detección para filtrar el ruido de fuera de la línea y el rebote de los contactos.

10 El estado del bitio de control determina el estado de señal de llamada del circuito de la línea. Un "uno" momentáneo escrito en el punto de control produce señal de llamada de la línea; un "cero" hace que se detenga la señal de llamada. 15 Los bitios de detección y de control de cada línea se sitúan en una localización idéntica y se diferencia solamente por la lectura (para la detección) y escritura (para control) que se utiliza para tener acceso a los mismos. El formato de los bitios de datos de detección y de control dentro del byte se ilustra en la Fig. 1-B a continuación.



Formato de Dato de Byte de Detección



Formato de Dato de Byte de Control

Formato del Dato en los Bytes de Detección y de Control de

Línea

Tabla 1-B

30 Puntos de Control del Atenuador:

Cada circuito de línea tiene asociado un atenuador variable en el trayecto de conversación que va de la línea a la red. Este atenuador se debe ajustar a uno de los 8 niveles durante la fase inicial de cada llamada. El nivel se determina por el procesador de estados 30 y se transmite al procesador de línea 40. El procesador de línea 40, a su vez, controla al atenuador variable escribiendo dos bytes de control en localizaciones de tarjeta de líneas no existentes (ejemplo: tarjeta 15) en el archivo de línea de interés.

10 Comunicaciones de la Memoria Tampón:

El procesador de línea 140 comunica solamente con el procesador de estado 130 y lo realiza a través de las memorias tampones entre procesadores, empleando las órdenes y formatos expuestos en la tabla 3.

15 Otras Rutinas de Nivel de Programa

1. Programa de Exploración: El programa de exploración verifica los estados de teléfono colgado y teléfono descolgado de cada circuito de línea y modifica el estado de la línea y prepara las órdenes del IPB de salida pertinentes.

20 Rutinas del Nivel del Subprograma:

1. Control de señal de llamada: hace que la corriente de la señal de llamadas se alimente o se elimine de la línea específica (pero no proporciona una interrupción de la señal de llamada de dos segundos en conexión y cuatro segundos en desconexión).

2. Manipuladores de órdenes: Cada orden del IPB recibida por el LMP 140 hace que un subprograma de manipulación de órdenes se ejecute estableciendo por lo tanto las condiciones dictadas por la orden.

30 3. Traductor de NSN a EA: Convierte los números de

segmentos de la red en localizaciones de equipo.

4. Traductor de EA a NSN: Convierte localizaciones de equipo en números de segmento de la red.

5. Control del alternador: Activa puntos de detección con datos de selección de atenuación específico.

Microprocesador Registrador

Operación:

El microprocesador registrador RMP 150 recibe y envía todos los números marcados para el sistema de conmutación. Los números marcados pueden estar representados como corrientes de impulsos directos desde la señalización de corriente continua o como números binarios en paralelo de cuatro bits proporcionados por un receptor de DTMF. Cualquiera que sea el formato de entrada, el procesador registrador 150 da salida al número marcado como una serie de dígitos almacenados en códigos de cuatro bits al microprocesador apropiado.

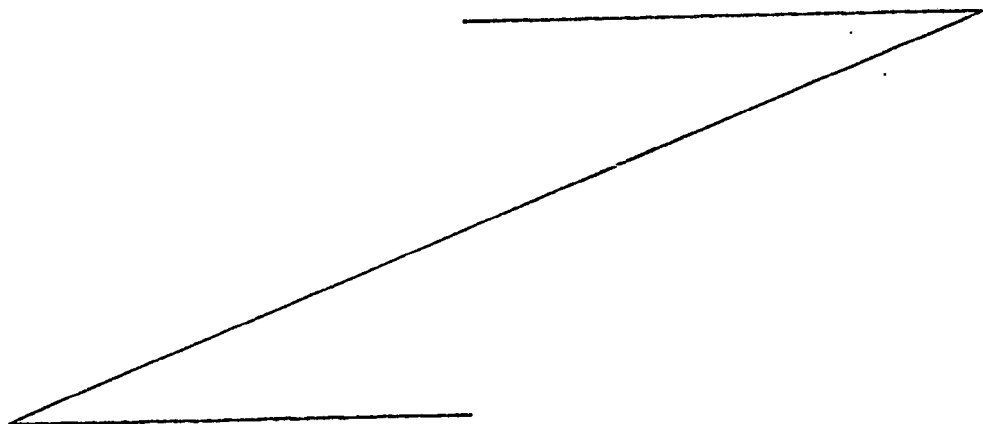
El procesador registrador 150 recibe dos tipos fundamentales de órdenes de proceso de llamada procedentes del procesador de estados 130, o sea, dígitos de recepción y dígitos de transmisión, y un tipo de orden fundamental procedente del procesador de consola o ladro de operadora 180, o sea, recepción de n dígitos. El procesador registrador 150 recibe información de detección con señalización de corriente continua y/o dígitos de DTMF de las unidades de recepción/transmisión de los registradores y envía información de control con señalización de impulsos o dígitos de DTMF a las unidades de recepción de retransmisión de llamada. Se pueden equipar hasta 64 unidades de recepción de retransmisión de llamada, cada una de las cuales sirve para los números marcados en un circuito al que se conecta por la red 52.

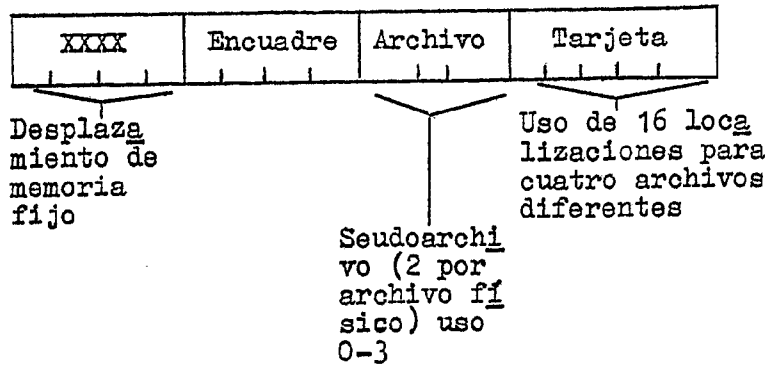
Al completarse un número marcado, el procesador registrador 150 envía una orden de número completo con el número marcado normalmente al procesador de base de datos 170, pero en algunos casos al procesador de estado 130. El procesador registrador 150 envía también bitios de control a los receptores para elegir ciertos tonos que devuelven a la persona que origina la llamada, para poner-reponer el noveno bitio como transmisión a la persona que da por terminada la llamada y para reponer ciertos puntos de detección del receptor.

Puntos de Sentido y de Control del Registrador

Existen 8 puntos de sentido y 8 puntos de control por cada receptor/transmisor. Los puntos de sentido se leen y los puntos de control se anotan en un formato de un solo byte por receptor/transmisor. Por cada registrador los bytes de sentido de control se sitúan en una localización idéntica y se diferencian tan solo por la instrucción de lectura (para sentido) y escritura o anotación (para control) que se emplean para tener acceso a los mismos. Existen 64 localizaciones de memoria reservadas para puntos de sentido/control del registrador y se tiene acceso a cada una empleando su localización de equipo.

El formato del dato en los puntos de detección y de control se ilustra a continuación en la Fig. 2-B.

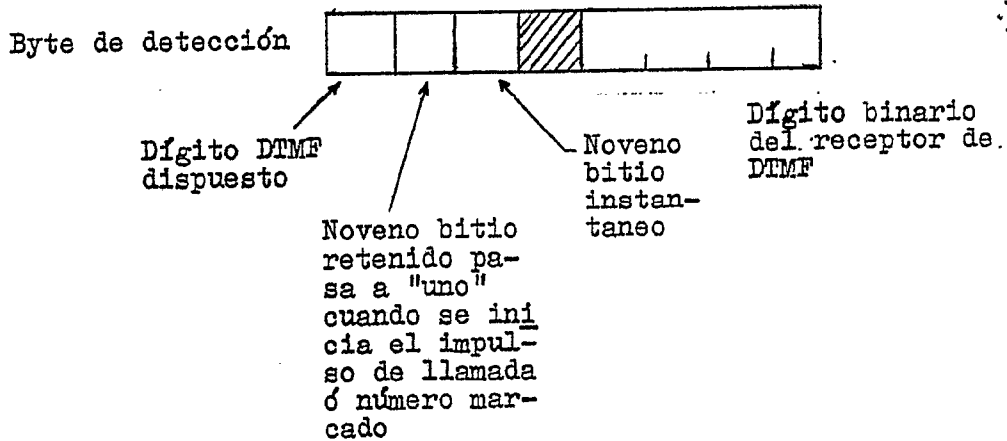




5

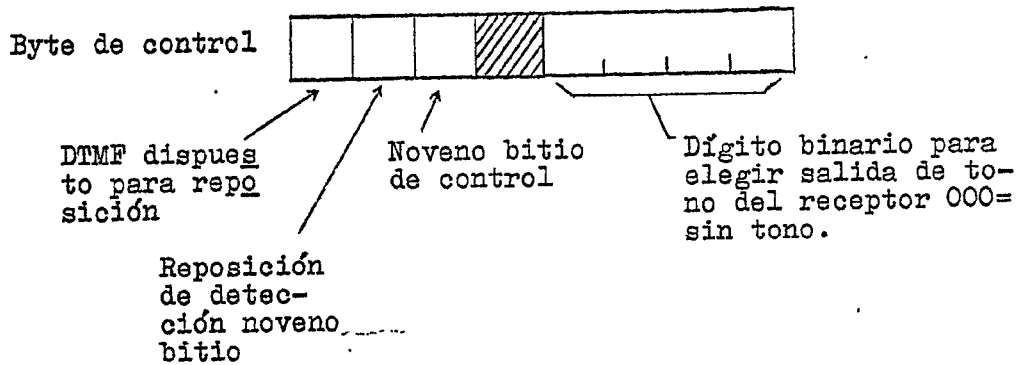
Localización de receptor/transmisor

Figura 2-A



10

15



20

25

Formato del dato del punto de detección y el punto de control del registrador

Fig. 2-B

El bitio de la izquierda (dispuesto) del byte de sentido se establece en "1" cuando existe un dato válido presente

30

en los cuatro bitios de la derecha (dígito de DTMF). Este bitio se puede reponer solamente escribiendo un "1" en la misma posición de nuevo al receptor como bitio de control. Este control permite la reposición inmediata de disponibilidad de modo que el dato no se vuelva a leer equivocadamente una segunda vez. Los cuatro bitios de detección de la derecha contienen (en forma binaria) el dígito que es recibido por la parte DTMF del receptor.

El segundo bitio de detección a partir de la izquierda representa el estado de DC de la línea o enlace al que el receptor escucha por la red. Este bitio se establecerá en "1" cuando el dispositivo pasa al estado de teléfono colgado y permanecerá "1" hasta que se repone por un "1" en la misma posición escrita en el receptor como bitio de control, convirtiéndose de este modo en un contador de impulsos de número marcado simple.

El tercer bitio de detección a partir de la izquierda representa el estado de corriente continua instantáneo de la línea o enlace al que escucha el receptor. Este bitio sigue a la circunstancia de teléfono colgado a teléfono descolgado de la línea o enlace, representando el "1" el estado de teléfono descolgado y se utiliza para detectar periodos de final de dígito, centelleos o impulsiones en registro, y desconexiones.

El byte de control permite que el procesador registrador 50 realice señalización de corriente continua y alimentación de tono. El tercer bitio a partir de la izquierda controla la señalización de corriente continua a través de la red 21. La escritura de "1" en este punto produce una indicación de teléfono descolgado que se inicia hacia la red 21 por el

receptor/transmisor particular. La indicación de teléfono descolgado se mantiene hasta que se escribe "0" en el mismo bitio y viceversa. Los tres bitios de la derecha eligen un tono de progreso que se envía hacia la red desde el receptor/transmisor. Cuando se envían, los bitios se retienen y el tono se enviará hasta que se elige otro tono o silencio.

5

Comunicaciones de la Memoria Tampón:

El procesador registrador se comunica con el procesador de estado 130 y el procesador de base de datos 170 a través del IPB, empleando las órdenes indicadas en la Tabla 3.

10

Otras Rutinas de Nivel de Programa

1. Programa de exploración: el programa de exploración verifica el byte de detección de cada registrador y pasa control a un programa lógico de estado apropiado según determina la condición del bitio de detección y el estado correcto del registrador.

15

2. Activadores de impulso de salida: tres rutinas se invocan en interrupciones elegidas de 10 milisegundos escalonadas para proporcionar la función de impulsos de salida del registrador.

20

Estas rutinas son: preparación de impulsos de salida  
colocación de impulsos de salida  
reposición de impulsos de salida.

Rutinas de Nivel de Subprograma

1. Lógica del estado de puntos de detección: un número de subprogramas proporciona acciones apropiadas para las condiciones individuales de los puntos de estado y de detección encontradas. Cada una establece o coloca un nuevo estado y/o prepara órdenes pertinentes de salida del IPB.

25

2. Lógica del estado del tiempo transcurrido: un nú-

30

mero de subprogramas proporciona acciones apropiadas para ciertos períodos de tiempo transcurrido de ciertos estados. Cada subprograma establece nuevos estados y/o emite órdenes del IPB según sean pertinentes.

5           3. Manipuladores de órdenes: cada orden de IPB recibida por el RMP 150 hace que se ejecute un subprograma del manipulador de órdenes, estableciendo de este modo las condiciones dictadas por la orden.

Microprocesador de Enlace

10           Operaciones:

El microprocesador de enlace 160 sirve al sistema de conmutación como acceso de servicio de introducción a través del cual todas las señales de sentido y de control de enlace pasan desde los circuitos de enlace y hasta los circuitos de enlace. El TMP 160 detecta y asimila cualquier cambio de estado importante en los enlaces y, sin tener en cuenta el tipo de enlace, pasa informe de los cambios en un formato uniforme al procesador de estados 130. El procesador de enlace 160 recibe cuatro puntos de sentido y envía cuatro puntos de control a cada enlace. La importancia de los puntos de sentido y de control varía de tipo de enlace a tipo de enlace y, por lo tanto, los procedimientos para utilizar los puntos variarán. Para procesar correctamente cada enlace, el procesador de enlace 160 mantiene una tabla abreviada de clase de servicio con información suficiente para identificar de una forma correcta cada tipo de enlace. Esta tabla de clase de servicio se deriva de la información de la clase de servicio general mantenida por el procesador de base de datos 170.

25           Las condiciones que ha de reconocer e interpretar el  
30           TMP 160 son bloqueo de enlace de entrada, desconexión de enla-

ce, detección/autorización de llamada, respuesta distante a la llamada, y impulsiones en el enlace. Los controles a ejercitar son bloqueo de salida, desconexión supervisión de respuesta, permiso para la salida de llamada, atenuación, impulsión de reconocimiento (desprecio, y autorización para impulsiones de salida. La información de control del resto del sistema se recibe del procesador de estados 130. En estas órdenes, los enlaces son identificados por un número de segmentos de la red que se debe trasladar a un número de equipo de enlace (lugar de elemento fijo). De igual modo, el procesador de enlace 160 debe hacer la traducción inversa cuando prepara un mensaje de orden para el procesador de estados 130.

Puntos de Detección y de Control de Enlace: Existen cuatro puntos de detección y cuatro puntos de control por cada enlace en el sistema. Estos son dos enlaces de lectura y escritura a la vez que en bytes de 8 bitios. Las localizaciones de la memoria se reservan para esta finalidad y se tienen acceso a las mismas utilizando las localizaciones de equipo del enlace individual, según se ilustra en la Fig. 3A.

Se debe utilizar una técnica de "doble observación" o equivalente cuando se leen puntos de detección para filtrar el ruido del rebote de los contactos.

Los cuatro puntos de detección y los cuatro puntos de control de un enlace individual se sitúan en la misma localización y se diferencian solamente por la instrucción de lectura (para la detección) o escritura (para control) que se utiliza para tener acceso a los mismos. El formato de los bitios de dato de detección y de control dentro del byte se ilustra en la Fig. 3-B.

5

DESPLAZAMIENTO FIJO DE LA MEMORIA	ENCUADRE	ARCHIVO	TARJETA	LINEA
	Se usan 2 localizaciones	Se usan 6 localizaciones	Se usan 24 localizaciones	Localización dentro del bitio

Localización de Bytes de Detección y de Control

Fig. 3-A

Nota a la Fig. 3-A:

10

1. Cada localización accede a puntos para dos enlaces.
2. Cada tarjeta de enlace físico contiene cuatro enlaces.
3. Para conseguir localización uniforme, cada tarjeta consiste en dos tarjetas auxiliares y cada archivo consiste en 24 tarjetas auxiliares.

15

BYTE DE DETECCION	S1	S2	S3	S4	S1	S2	S3	S4
	Enlace Superior				Enlace Inferior			
BYTE DE CONTROL	C1	C2	C3	C4	C1	C2	C3	C4

20

Formato del Dato en los Bytes de Detección de Enlace y de Control de Enlace.

Fig. 3-B

25

La significación de los puntos de detección y de control varía de tipo de enlace a tipo de enlace. El procesador de enlace 60 usa este conocimiento del tipo de enlace conectado a cada localización de equipo e interpreta por lo tanto puntos de detección y puntos de control de las señales apropiadamente.

30

Puntos de Control del Atenuador:

Cada enlace tiene asociado un atenuador variable en el trayecto de conversación que va del enlace a la red. Este atenuador se debe establecer en uno de los 8 niveles durante los períodos iniciales de cada llamada. El nivel se determina por el procesador de estado 130 y se transmite al procesador de enlace 160. El procesador de enlace 160, a su vez controla al atenuador variable escribiendo dos bytes de control en el control del atenuador.

Comunicaciones de la Memoria Tampón:

El procesador de enlace 160 se comunica solamente con el procesador de estados 130 y lo realiza a través del IPB de la Memoria tampón entre procesadores empleando las órdenes y los formatos expuestos en la Tabla 3.

Otras Rutinas de Niveles de Programa:

1. Programa de exploración: el programa de exploración verifica los puntos de sentido de cada enlace respecto a cambios importantes e invoca el subprograma lógico apropiado del enlace cuando se detectan los cambios.

Rutinas de Nivel del Subprograma

1. Subprogramas lógicos de enlace: existe un subprograma lógico de enlace por cada tipo de enlace que debe manejar el procesador de enlace 60. Cada subprograma modifica el estado del enlace apropiadamente y prepara las órdenes de IPB de salida pertinente.

2. Manipuladores de órdenes: cada orden IPB recibida por el TMP 60 hace que se ejecute un subprograma del manipulador de órdenes, estableciendo de este modo las condiciones dictadas por la orden.

3. Manipulador de filas de espera de retardo: el ma-

nipulador de fila de espera de retardo es una rutina de conveniencia concebida para manipular uniformemente el gran número de acontecimientos que tiene lugar durante diversos protocolos para bloqueo y liberación del enlace.

5                   4. Control del atenuador: activa puntos de sentido con datos de selección de atenuación específico.

5. Traductor de NSN a EA: convierte números de segmentos de la red en localizaciones de equipo.

10                   6. Traductor de EA a NSN: convierte localizaciones de equipo en números de segmentos de la red.

Microprocesador de Estados

Operaciones:

15                   El microprocesador de estados SMP 130 coordina el volumen de la actividad de proceso de llamadas en el sistema de conmutación. EL SMP 130 toma todas las decisiones concernientes a estados de llamada, estados de los abonados, estados permisibles siguientes y asignaciones de registrador. A través de una interfase con la red de conmutación, el SMP 130 controla todas las conexiones entre líneas, enlaces, registradores, 20 operadoras y fuentes de tono.

El procesador de estado 130 mantiene comunicación bidireccional con todos los demás procesadores en el sistema a través de las memorias tampones entre procesador (IPB) que transmiten y reciben una gran variedad de mensajes de órdenes.

25                   El procesador de estados 130 se activa solamente por las órdenes que reciben; no existen entradas de puntos de detección. La mayoría de las órdenes se refieren a una llamada particular en progreso y al estado y asignaciones de clase de los abonados en conversación. El proceso da por resultado la 30 emisión de una o más órdenes a otros microprocesadores y/o ór-

denes de conexión a la red 52.

Puntos de Detección y de Control de Estados:

5 El procesador de estado 130 no tiene puntos de de-  
tección de proceso de llamadas. Todo su estímulo de acción  
se recibe a través de las memorias tampones entre procesado-  
res. El procesador de estados 30 controla la red 52 a través  
de 16 bytes localizados como lugares de memoria del procesa-  
dor de estado 130. Dos números de segmento de la red de 12  
bitios (NSN), el de la persona que escucha y el de la persona  
10 que habla, se deben transportar a una de cuatro memorias tam-  
pones de 4 bytes que corresponde a uno de los cuatro bloques de  
la red en el cual se ha de hacer la conexión. Cada bloque de  
la red lee sus cuatro bytes cada 125 microsegundos. Con los  
bytes no se asocia bandera de "red concluida" porque el proce-  
sador de estado 130 no escribe con una secuencia superior a  
15 cada 125 microsegundos. El procesador de estado 130 siempre  
escribe en último lugar el byte de orden superior, y este es-  
tablece un "dato dispuesto" para el bloque de la red.

Comunicaciones de la Memoria Tampón:

20 El procesador de estados comunica con todos los de-  
más procesadores en el sistema por las memorias tampones entre  
procesadores normales utilizando las órdenes expuestas en la  
tabla 3.

Otras Rutinas de Nivel de Programa:

25 1. Actualización de ocupación/desocupación: El pro-  
grama de actualización de ocupación/desocupación transmite pe-  
riódicamente datos de actualización al procesador de base de  
datos 170 de modo que mantenga un mapa actual de las condicio-  
nes de ocupación y desocupación de líneas y enlaces y (si se  
30 pone en ejecución) el microprocesador de B.F. 190.

2. Servicio de fila de espera de acción corta: el programa de servicio de fila de espera de acción corta explora anotaciones de acontecimientos condicionales del tiempo que se han colocado en una fila de espera por otros programas y subprograma. Si el tiempo condicional de cualquier acontecimiento ha espirado, la rutina de servicio de fila de espera de acción corta hace que ocurra el acontecimiento.

3. Servicio de estacionamiento en fila de espera: El programa de servicio de estacionamiento en fila de espera busca una lista de llamadas que estén esperando realizarse cuando ambos abonados quedan desocupados.

4. Asignación de registrador: es un grupo de rutinas designadas para asignar registradores disponibles y para dar servicio a una fila de espera de abonados que esperan registradores cuando no hay ninguno disponible.

5. Intervención de Tiempo: el programa de intervención de tiempo comprueba periódicamente el tiempo que cada línea, enlace y registrador se ha encontrado en su estado actual e invoca la acción apropiada si dicho tiempo ha superado un límite predeterminado.

6. Intervención de estado: el programa de intervención de estado realiza una comprobación de consistencia periódica del estado y de la memoria de referencia de cada estación, enlace y registrador en el sistema y entre los abonados en conversación entre sí.

Rutina de Nivel de Subprograma

1. Lógica de órdenes. Cada orden del IPB recibida por el SMP 130 hace que se invoque un subprograma de manipulador de orden particular. Cada manipulador de órdenes contiene la lógica para permitir o denegar, basándose en los estados de

los abonados, la acción pedida por la orden entrante.

5           2. Activador de Estados: el subprograma del activador de estados realiza todas las funciones necesarias para cambiar un abonado de un estado a otro. Se incluye la modificación del estado, modificación de la memoria de referencia que indica a quien está hablando el abonado, modificación de la memoria de control de la red (conexión), y emisión de órdenes de IPB apropiadas.

10           3. Verificador de uso del dispositivo: reúne contajes de datos de uso (número de veces usado) de líneas, enlaces, registradores, consolas y así sucesivamente, para el sistema.

15           4. Registro de tráfico: proporciona como datos de salida todos los acontecimientos importantes necesarios para construir una información completa de la llamada (verificación de números particulares marcados para funciones de comprobación y de cargo.

Microprocesador de Consola

Operaciones:

20           El microprocesador de consola CMP 180 realiza todas las funciones de procesos de llamadas asociadas con la actividad de la consola correspondiente. Comprende asumir un nivel de control ejercitado normalmente por el procesador de estado SMP 130 en actividades tales como el especificar si las condiciones son correctas para permitir conexiones, especificación de las conexiones, mantenimiento de los estados de llamada de la consola o cuadro de operadora, ejecución de la característica de estacionamiento de la llamada, ejecución de la característica de retención de la llamada e intervenciones de tiempo.

25

30

El procesador de consola 180 mantiene comunicación bidireccional por el IPB con el SMP 130, DMP 170 y, en menor escala, con el procesador del campo de lámparas de ocupación BMP 190. El intercambio primario de información consiste en órdenes de conexión al SMP 130 y órdenes de afirmación/desafirmación en respuesta al SMP 130. El procesador de consola 180 se activa por una combinación de las órdenes de IPB recibidas (que representan nuevas llamadas y conexiones) y la actividad de los botones de selección en las consolas o cuadros de operadora (que representan dirección humana respecto al modo en que se han de manejar las llamadas. Las consolas o cuadro de operadoras son exploradas por el CMP 180 respecto a la actividad de los botones de selección examinando un solo acceso de entrada por consola. Las selecciones de botones se expresan en este acceso por códigos de 8 bits, utilizándose un código único para representar cada pulsador en el cuadro de operadora o consola correspondiente. De igual modo, las lámparas en cada cuadro de operadora están controladas por un solo acceso de salida por cuadro. El gran número de lámparas en el cuadro de operadora combinado con la exigencia de la activación estable o de centelleo de cada lámpara, exige que se transmitan dos bytes para iluminar apropiadamente cada lámpara particular.

El CMP 180 manipula llamadas para varios grupos de abonados. Todas las tareas realizadas por el CMP 180 deben proporcionar asignación y manipulación de llamadas dentro del grupo correcto de abonados.

#### Comunicaciones de Memoria Tampón:

El procesador de consola 180 se comunica con el SMP 130, el DMP 170, y el BMP 190 a través de las memorias tampón entre procesadores (IPB) empleando las órdenes indicadas

en la tabla 3.

Puntos de Detección y de Control de Consola o cuadro de Operadora:

5 Los accesos individuales de entrada y de salida del cuadro de operadora sirven como puntos de detección y de control, respectivamente. Se tiene acceso a cada entrada/salida del cuadro de la operadora por un par específico de localizaciones de memoria adyacente. La primera de las localizaciones de memoria es un byte de estado utilizado para determinar disponibilidad del acceso para la transmisión o recepción. La 10 segunda localización de memoria se utiliza para transmitir o recibir el byte del dato real. Los bytes de código predeterminados se escriben en cada acceso y se leen de cada acceso para comunicación con el cuadro de operadora correspondiente.

15 Comunicaciones de Memoria Tampón: El procesador de cuadro de operadora 180 comunica con el SMP 130, DMP 170, y el BMP 190 a través de las memorias tampón entre procesadores (IPB) empleando las órdenes expuestas en la tabla 3.

Otras Rutinas de Nivel de Programa:

20 1. Claves de lectura: el programa de claves de lectura explora todos los accesos de entrada y pasa control al subprograma apropiado cuando se descubren en el acceso nuevas pulsaciones de botón (activaciones) del cuadro de la operadora.

25 2. Asignación de llamada: el programa de asignación de llamada busca en la fila de espera del cuadro de la operadora (por cada grupo de abonado) y si existen llamadas en espera, la asigna a la operadora que haya estado más tiempo desocupada del grupo apropiado.

30 3. Intervención de tiempo: el programa de intervención de tiempo comprueba periódicamente todos los estados de

llamada de cuadro de operadora e invoca la acción apropiada si se ha superado el tiempo permisible del estado particular.

4. Lámparas de Escritura del Cuadro de Operadora:

5 El programa de lámpara de escritura del cuadro de operadora transmite información de control por los accesos de salida a los cuadros de operadora apropiados desde una fila de espera interna.

Rutinas de Nivel del Subprograma:

10 1. Módulos de Teclas: un número de subprograma de módulos de tecla individuales proporciona la lógica que se debe ejecutar por cada pulsación de tecla particular y condición de estado encontrados.

15 2. Activador de la tabla de control: el subprograma activador de la tabla de control apoya a los subprogramas de módulos de tecla permitiendo que una gran parte del trabajo se exprese en forma tabular denominada tabla de control. La tabla de control define estados próximos que se han de introducir, órdenes de IPB a enviar y lámparas que se encienden.

20 3. Manipuladores de órdenes: cada orden de IPB recibida por el CMP 180 hace que se ejecute un subprograma de manipulación de orden, estableciendo de este modo las condiciones dictadas por la orden.

Microprocesador del Campo de Lámparas de Ocupación

Operaciones:

25 El microprocesador del campo de lámparas de ocupación BMP 190 sirve como manipulador de información de entrada y de salida para una o más consolas discretionales del campo de lámparas de ocupación/selección de estación directa conocidas como consolas BLF. El BMP 190 detecta peticiones de las consolas BLF respecto a la presentación del estado de un grupo de

30

centenas específico de estaciones y proporciona representación de datos en la consola BLF que lo solicita. El BMP 190 detecta también peticiones de conexión hechas por una operadora a través de pulsación selectiva de un pulsador selector adyacente a una lámpara de estación particular situada en la consola BLF.

El BMP 190 mantiene en su dispositivo de almacenamiento de memoria correspondiente un mapa de ocupación/desocupación de todas las estaciones, y también enlaces, si se desea. El BMP 190 organiza la información de ocupación/desocupación por grupos de centenas, por ejemplo, 400/499 y 1700/1799, como medida preparatoria a las solicitudes de las consolas BLF. El BMP 190 debe acomodar y dividir los grupos de abonados. El BMP 190 tiene un IPB simple 193 conectado desde el SMP 130 para proporcionar información ocupación/desocupación, y un IPB 191 conectado al CMP 180 para proporcionar números de abonados solicitados DN.

Puntos de Detección y de Control del Campo de Lámparas de Ocupación

Los accesos de entrada/salida de la consola BLF individuales sirven como puntos de detección y de control, respectivamente. Se llega a cada acceso de entrada/salida de la consola BLF por un par específico de localización de memorias adyacentes. La primera de las localizaciones de memoria contienen un byte de estado utilizado para determinar disponibilidad del acceso para transmisión o recepción. La segunda localización de la memoria se utiliza para transmitir o recibir el byte de dato real. Los bytes de códigos predeterminados se escriben en cada acceso y se leen cada acceso para comunicar con la consola BLF correspondiente.

Comunicaciones de Memoria Tampón: El BMP 190 recibe una orden única de proceso de llamada a través del IPB 193 desde el SMP 130. Esta orden contiene información que actualiza el mapa de ocupación/desocupación del BMP. El BMP 190 envía una orden única de proceso de llamada a través del IPB 191 al CMP 180. Este envío de orden contiene el número de abonado DN derivado del grupo de centenas específico representado en el momento y añadido a un botón de selección directa de estación activado por la operadora.

Programas Primarios:

El BMP 190 tiene una organización de programa jerárquico de dos niveles típico de los programas principales y las rutinas de nivel de programa para todos los procesadores del sistema.

Otras Rutinas de Nivel de Programas:

1. Manipulador de ocupación/desocupación: recibe datos de ocupación/desocupación del IPB 193 de llegada y actualiza el mapa de ocupación/desocupación.

2. Teclas de lectura: explora todas las entradas y dirige un nuevo grupo de centena de lámparas de ocupación/desocupación que se han de representar, o un número de abonado pedido que ha de aparecer en la fila de espera de IPB de salida interna.

3. Activador de lámparas: envía periódicamente un nuevo dato de representación de lámparas a cada consola BLF.

Microprocesador de Base de datos:

Operaciones:

El microprocesador de base de datos DMP 170 proporciona almacenamiento y extracción al solicitarlo todas las estructuras de datos primario en el sistema de control. Entre es

tos se encuentran:

- 5 Traducciones de Números de Abonados,
- Tablas de Clase de Servicio,
- Traducciones de Códigos de Acceso,
- 5 Traducciones de Primeros Dígitos,
- Tablas de Estructura de Grupo,
- Tablas de Restricción,
- Tablas de Envío de Llamadas,
- Tablas de Llamada Rápida,
- 10 Parámetros de Grupos de Abonados.

El DMP 170 almacena también contadores manuales de comunicaciones de varios usos de los dispositivos del sistema y mantiene los accesos de procesos sin llamada al sistema de conmutación de conexión, según se ha indicado anteriormente.

15 El DMP 170 mantiene comunicaciones bidireccionales a través del IPB con el SMP 130, RMP 150 y CMP 180. El intercambio primario de información llega en forma de solicitudes de datos concernientes al número de segmentos de red particular o número de abonado y se envía como el dato requerido. El

20 DMP 170 se activa principalmente por órdenes de solicitud de otros procesadores. No tiene puntos de detección que introduzcan estímulos de proceso de llamada. Pueden existir varios grupos de abonados en el sistema, y el DMP 170 debe comportarse de modo que mantenga la separación de los grupos de abonados.

25 Esto exige mantener ciertas tablas de datos internos por separado por cada grupo de abonado; otras tablas de datos se pueden mezclar entre sí. El medio de soporte magnético se utiliza para carga inicial del sistema y para recuperación en caso de fallos catastróficos. El terminal de teclado es el mecanismo por el cual los datos de cambios recientes y mensaje de

30

mantenimiento se introducen en el sistema de control. Debido a estos accesos de entrada importantes, el DMP 170 sirve también como distribuidor de programa y datos de operación a todos los microprocesadores en el sistema. Durante estos períodos, el DMP 170 hace uso especial de los IPB para transportar el dato directamente al SMP 130 RMP 150 y CMP 180. El dato del LMP 140 y el PMP 160 se envía primero al SMP 130 y, a su vez, envía datos al LMP 140 y al TMP 160.

Puntos de Detección y de Control de la Base de Datos:

Los diversos accesos de entrada y de salida asociados con el DMP 170 se pueden considerar como puntos de detección y de control, respectivamente. Se tiene acceso a cada uno por un par específico de localizaciones de memoria adyacente. En una localización se encuentra un byte de estado utilizado para determinar la disponibilidad del acceso al dato de transmisión o de recepción. La otra localización del par contiene el byte de dato real transmitido o recibido. Todos los accesos de DMP 170 emplean códigos de 8 bits ASCII (American Standard Code for Information Interchange) para la transferencia de información.

Comunicaciones de Memoria Tampón:

El DMP 170 se comunica con el SMP 130, RRP 150, y CMP 180 a través de los IPB empleando las órdenes expuestas en la tabla 3.

Otras Rutinas de Niveles de Programa:

1. Servicio de fila de espera de estacionamiento de grupo: el programa de servicio de filas de espera de estacionamiento de grupo busca una lista de abonados en espera de que se desconecte a un miembro disponible de una estación o grupo de enlace.

2. Servicio de teclado: el programa de servicio de teclado se invoca periódicamente para que somete a prueba el acceso de entrada del terminal para introducir caracteres que aparecen en el mismo y para pasar control a un analizador de mensaje cuando se ha introducido un mensaje completo.

3. Salida a accesos: el programa de salida a accesos se invoca periódicamente para que envíe datos que esperan en filas de espera internas a sus accesos de salida respectivos.

4. Intervención de datos. El programa de intervención de datos prueba continuamente la integridad de las estructuras de los datos asegurando que se encuentren localizaciones indirectas dentro de gamas previamente establecidas y que las cadenas de localizaciones sean consistentes.

Rutinas de Niveles de Subprograma

1. Subprogramas de lógica de órdenes: cada orden de IPB recibida por el DMP 170 hace que se invoque a un manipulador de órdenes particular. El trabajo de los manipuladores de órdenes consiste principalmente en extraer los datos requeridos y poner en formato los datos en una orden de respuesta; no obstante, en algunos casos, el proceso de extracción es muy complejo y exige varios niveles de traducción y/o persecución de grupos.

2. Analizador de mensajes: el subprograma analizador de mensajes somete a pruebas los mensajes procedentes del teclado y pasa control a la rutina apropiada para que ejecute la solicitud de mensaje.

3. Activador de cambios recientes: modifica entradas o anotaciones de base de datos exigidas por las operadoras desde el teclado.

Jerarquía del Programa DMP Fig.16

Cada uno de los microprocesadores en el sistema está provisto en su memoria de programa con subprograma de manipulador de órdenes almacenadas que se invocan en respuesta a los mensajes de órdenes leídos de los IPB entrantes. El gráfico de la Fig 16 se incluye para ilustrar la jerarquía del programa del microprocesador de base de datos y sirve de ejemplo de la estructura de jerarquía de los otros microprocesadores. El primer conjunto representa la rutina del nivel de programa del analizador de IPB ejecutada por el microprocesador de base de datos al analizar los IPB entrantes para dichos mensajes, y en respuesta a los mensajes entrantes, invocar un "módulo de funciones"; v.g., un subprograma cedido por el código de referencia en el mensaje de orden. Un mensaje entrante podría ser, por ejemplo, una solicitud relativa a dato de clase de servicio de origen (códigos de referencias 62) o una traducción de primer dígito (código de referencia 72) que pediría al procesador de base de datos acceso a la tabla de NSN/COS, y a la tabla de traducción del primer dígito de los almacenes de memoria de la base de datos, para obtener el dato requerido y devolver el dato al procesador que lo solicita.

Una de las operaciones principales realizadas por el microprocesador de base de datos es la ejecución, bajo control de un subprograma manipulador de órdenes de las fases y respuesta a recibir los dígitos de un número marcado del microprocesador de registrador (RMP) junto con la orden de "número marcado normal" (74). Esto se representa de un modo específico en el gráfico de la Fig. 17 indicado por la leyenda "analizador de número marcado normal". Bajo control del subprograma el microprocesador de base de datos funciona para tener acceso a la tabla de números de abonados 300 con el fin de hallar la palabra

correspondiente al número de abonado marcado recibido. Según se ilustra en la Fig. 16, habiendo llegado a la tabla de número de abonado 300 y leído la palabra identificadora, el microprocesador de base de datos imita el comportamiento de la función del sistema destinada por la parte de instrucción de la palabra identificadora, v.g., llamada normal, llamada de conferencia, averiguación de grupo, captación de llamada, llamada rápida, funciones diversas.

Función de Llamada Normal (Fig. 26)

Las fases realizadas por el microprocesador de base de dato DMP en respuesta a la lectura de instrucción (000) que indica una "llamada normal" de un lugar de palabra identificadora en la tabla de números de abonados, se ilustra en la Fig. 26. Estas bases dan por resultado el ensamble y transmisión del mensaje de llamada normal (09) al microprocesador de estados SMP por el IPB 141 de salida.

Llamada de Conferencia (Fig. 27)

Refiriéndonos a la Fig. 27, las fases realizadas por el microprocesador de base de datos en respuesta a la lectura de la instrucción (100) que indica "llamada de conferencia" en la palabra identificadora situada en la tabla de números y abonados, se ilustran en este gráfico. El código "tipo" en la parte de argumento de la palabra identificadora especifica si la llamada de conferencia es de "petición de encuentro o progresiva" o una conferencia "previamente establecida". Si la conferencia es del tipo de "petición de encuentro" o "progresiva", ambas manejadas esencialmente de la misma manera, el DMP del microprocesador de base de datos se prepara y envía un mensaje de orden de llamada de conferencia D7 al microprocesador de estados, ilustrándose el contenido de dicho mensaje de orden en la

Fig. 3.

En el caso de una conferencia previamente establecida, la decisión se hace respecto a si el abonado puede tener acceso, por análisis del dato de clase de servicio y tabla de restricciones si la respuesta es "no", el DMP del microprocesador de base de datos prepara y envía un mensaje de fallo de acción (CE). Si no existe restricción sobre el abonado, se establece la conferencia previamente establecida preparando y enviando el mensaje de orden DO (vease la tabla 3).

Averiguación de Grupos (Fig. 28)

Según se ha indicado anteriormente, en la operación de averiguación de grupos se hace una investigación a través de una lista de números de NSN para hallar una estación desocupada, o enlace, cuando se marca el número de abonado de averiguación de grupo y los dígitos marcados son recibidos por el DMP del microprocesador de base de datos. En la Fig. 28 se ilustra las fases ejecutadas en respuesta a hallar una palabra identificadora de tablas de números de abonados que contienen la instrucción de averiguación de grupo "001". Si el grupo está "restringido" al acceso de la estación que hace la llamada, se devuelve un mensaje de orden de "grupo ocupado" D8 al microprocesador de estados. Si no tiene restricción, se hace la pregunta "¿se encuentra un NSN desocupado en el grupo?". Si no existe estación desocupada en la lista del grupo se devuelve el mismo mensaje de orden "grupo ocupado" D8 al microprocesador de estados. Si se halla un número de NSN desocupado la llamada se trata con el número de segmentos de la red de la misma manera que se completa una "llamada normal", por medio del microprocesador de base de datos que prepara y envía el mensaje de orden C9 al microprocesador de estados SMP.

Captación de Llamada (Fig. 29)

5 Las fases ejecutadas bajo control de subprograma en el microprocesador de base de datos en respuesta a la lectura de la instrucción (110) que designa captación de llamada desde la palabra identificadora en el lugar de la tabla de números de abonados, se ilustra en esta figura. La "captación de llamada" es una función del sistema por el cual una estación puede responder a llamadas de entrada de cualquier estación en un "grupo de captación de llamadas". Así, refiriéndonos a la Fig. 10 29, si se determina que la parte que efectúa la llamada tiene restricción, a partir de la captación de llamada general, y no es un miembro del grupo de captación de llamada designado, el microprocesador de base de datos envía un mensaje de fallo de acción (CE). De este modo buscará los números de segmentos de la red del grupo que se encuentra en estado "ocupado" y preparará y enviará un mensaje de orden de captación de llamada 15 (CB) empleando el número de segmentos de la red en una estación buscada en la fase anterior.

Llamada Rápida (Fig. 30)

20 Las operaciones programadas realizadas por el microprocesador de base de datos bajo control de subprograma en respuesta a la lectura de una instrucción (011) de una palabra identificadora en la tabla de números de abonados que indica "llamada rápida", se ilustran en la Fig. 23. Estas etapas con 25 cluyen con la preparación y el mensaje de orden de "llamada rápida" CC (vease la Tabla 3) por el microprocesador de base de datos. La "llamada rápida" es la función del sistema en la cual, marcando un número de abonado, normalmente abreviado, se sitúa un número de dígitos múltiples más extensos en una 30 tabla de búsqueda que contiene la correlación entre el número

de abonados abreviado y el número de dígitos múltiples previamente designados. Según se ilustra en la Fig. 30, el DMP del microprocesador de base de datos realiza la fase de buscar el número de llamada rápida especificado, y se asigna un enlace, preferiblemente un enlace desocupado y el mensaje de orden de "llamada rápida" se transmite al microprocesador de estados que ejecuta las fases necesarias para transmitir los tonos por el enlace y completar la llamada.

Código de Acceso de Funciones Diversas (Fig. 24)

Volviendo ahora a la Fig. 24, se ilustra en esta figura las fases realizadas por el DBM del microprocesador de base de datos en respuesta a la lectura de una palabra identificadora procedente de la tabla de números de abonados 300, sirviendo la instrucción (010) en los tres bits de la izquierda para designar que el código de acceso interno en la parte de argumento de la palabra identificadora se encuentra en la clase de funciones o características diversas. Así, se hace la pregunta (Fig. 24) "¿es un tipo especial de código de acceso interno?". Si la respuesta es "si" según se indica, el subprograma se deriva a una de las diversas rutinas para manejar un tipo especial del código. Los ejemplos expuestos son "llamada a la operadora" y "cancelación de avance o derivación de llamada". Estos códigos de acceso de "tipo especial" se habilitan porque representan funciones del sistema que se necesitan normalmente con gran frecuencia o que se completan directamente por el microprocesador de base de datos sin intercambio adicional de órdenes con otros microprocesadores. Un ejemplo de este último caso es cancelar una estación en "adelanto o derivación de llamada" para que se complete llamadas ulteriores según se marcan, en lugar del número de segmento de la red de

avance de llamada. Esta operación comprende la fase de envío o derivación directa representada en la Fig. 24 de cancelar "anotación de COS de zona transitoria". Como el estado de una estación en el estado de "adelanto o derivación de llamada" se determina comprobando la zona transitoria para el número de segmento de la red designado, para quitar a una estación del adelanto o derivación de llamada se necesita solamente cancelar la anotación de zona transitoria, según se ilustra. El primero de los casos se ilustra por "llamada a operadora" que da por resultado el que el DMP del microprocesador de base de datos prepare un mensaje de orden especial, ( DL) que se carga en el IPB de salida en el trayecto de comunicación con el SMP del microprocesador de estado, e inicia la operación de los microprocesadores para ejecutar dicha función especial.

Otros códigos de accesos de funciones diversas, no considerados como especiales son manejados por el DMP de microprocesador de base de datos que construye el mensaje de orden de código de acceso (CA) y lo introduce en el código de acceso interno normalizado dado en la parte de argumento de la palabra identificadora, y carga dicho mensaje de orden en el IPB en el trayecto de comunicaciones con el SMP del microprocesador de estados

#### Función de "Llamada Normal" de Ejemplo

La secuencia de llamada de estación a estación siguiente es representativa de las operaciones programadas en secuencia realizadas por microprocesadores individuales del complejo de control 55 para ejecutar la función del sistema general de "llamada normal", y es el procedimiento normal para llamar a otra estación sin ayuda de la operadora empleando el DTMF o disco selector. La "llamada normal" de estación a estación utili-

za 5 microprocesadores diferentes del complejo de control 55, y la explicación que sigue del mismo se ha organizado por acción y respuesta de una secuencia de llamada de un abonado y muestra órdenes generadas y respuestas del complejo de control 55.

Cada orden identificada por número de referencia, es esencialmente una orden al microprocesador respectivo para que realice una operación de trabajo. El mensaje de orden incluyendo el código de referencia junto con el dato se carga en un IPB de salida. Como tal, las unidades de IPB y los programas de activación asociados actúan también como áreas de fila de espera de trabajo para el complejo de control 55.

Acción

Respuesta

15 Se descuelga en la estación terminal                      Trayecto de conversación bidireccional

Se prosigue como en una conversación normal

Secuencia de llamada del Complejo de Control:

20	Ordenes de IPB Generadas	Referencia de Transmisión/Código Receptor	Transmisión	IPB	Respuesta
	Línea Origen.	A2	L	S	
	P1 Ocupado	6E	S	B S	D
	OCOS de Petición	62	S	D	
25	Dato de OCOS	C8	D	S	Registrador Bloqueado
	Marcado Normal	22	S	R	P1 recibe tono de llamada de R
30	Transición de primer dígito	72	R	D	Después del primer dígito marcado se detiene el tono

	Ordenes de IPB Generadas	Referencia de Transmisión/Código IPB Receptor			Respuesta
	Se reciben N Dígitos Mas	3B	D	R	
5	Número normal marcado	74	R	D	
	Llamada Normal	C9	D	S	P1 recibe señal de llamada el Registrador se Libera.
	Envío de Señal de Llamada	03	S	L	
10	P2 Ocupado	6E	S	B S D	
	Línea P2 Origen	A2	L	S	Trayecto de llamada bidireccional
	Nota:	B- BMP			
		S- SMP			
15		I- IMP			
		C- CMP			
		R- RMP			
		D- DMP			
20	Procesador Individual				
	<u>Operaciones Programadas, Figs. 17-25</u>				
	Refiriéndonos a los gráficos de avance de las Figs. 17-25, ilustran las operaciones programadas ejecutadas por cada microprocesador en el orden expuesto en secuencia de ejemplo anterior. Dichas operaciones programadas ejecutadas por todos los procesadores múltiples, en combinación, consiguen la función del sistema de "llamada normal".				
25					
	Además de los gráficos de avance adjuntos, se hace referencia también a la tabla 3 adjunta, que proporciona una				
30	lista extensa de códigos de referencia, descripciones de órde-				

nes y formatos de mensaje de órdenes. Los códigos de referencia específicos, que son relativamente pocos, mencionados en la secuencia de ejemplo y en los gráficos de avance, se describen en la tabla 3.

5           La secuencia de "llamada normal" y los gráficos de avance adjuntos se presentan para poder explicar, con detalle, la forma en que se controlan los procesadores múltiples, en combinación, para ejecutar una función de sistema completa. A pesar de que este detalle se proporciona solamente para una  
10           función de "llamada normal" describe plenamente la forma en que los procesadores distribuidos dan servicio a las partes asociadas de la central de conmutación, y se intercomunican por canales dedicados para coordinar las funciones de la central en la realización de una operación completa. Con el programa de "llamada normal" como ejemplo, el experto en la materia,  
15           provisto de la descripción de esta memoria descriptiva, podrá obtener el detalle necesario para la realización de otras funciones del sistema.

Operaciones del IMP, Fig. 17.

20           Volviendo ahora a la Fig. 17, y refiriéndonos también a la secuencia de ejemplo expuesta anteriormente, el primer "código de referencia" expuesto es "A2" (todos los códigos de referencia están en formato hexadecimal) que se transmite en un mensaje de orden desde el microprocesador de línea IMP  
25           al microprocesador de estado SMP por un IPB 141. Según la descripción del programa anterior proporcionada por el microprocesador de línea, al nivel del programa, la rutina explora continuamente líneas para detectar transiciones de línea de teléfono descolgado. Habiendo detectado un "nuevo teléfono descolgado",  
30           el microprocesador de líneas bajo control del programa

ensambla el mensaje completo, consistente en el código de referencia "A2" y el número de segmento de la red (NSN) de la línea de origen, obtenido por traducción a partir de la localización del equipo. Según se ilustra en la Tabla 3, el formato del mensaje de orden es el código de referencia A2 y "LS8/MS4", que por definición (Tabla 2) consiste en los 8 dígitos menos expresivos y los cuatro dígitos más expresivos del número de segmento de la red (NSN) del abonado que origina la llamada P1. El número del segmento de la red se refiere al tiempo y segmento de espacio en la red de conmutación asignada al enlace de estación, registrador, tono u operadora. La representación de la Fig. 17 en la forma de gráfico de flujo de este segmento inicial o serie de fases realizadas por el microprocesador de líneas bajo control del programa explorador, finaliza, según se ilustra en la Fig. 17 con el bloque "enviar mensaje de orden (A2) al SMP", el microprocesador de estado 130, que representa dicho código de referencia "A2" y el número de segmento de la red LS8/MS4 se carga en el IPB 141, de salida.

Funcionamiento del SMP

Refiriéndonos de nuevo a la secuencia normal anterior, ilustra que el mensaje de orden siguiente transmitido se identifica por el código de referencia "6E".

Refiriéndonos a la Tabla 3, la sección "órdenes enviadas por el SMEP", bajo los códigos de referencia indicados es "6E" y la afirmación desde la orden correspondiente se transmite al microprocesador de base de datos DMP como representación de que la línea de origen P1 está ocupada, y en la columna de formato de mensaje de órdenes, la afirmación de que la misma orden se envía también al microprocesador de lámparas de ocupación DMP. El microprocesador de base de datos mantiene un

"mapa" de ocupación/desocupación como una de las "otras" tablas en los almacenes de datos; el estado de ocupación del número de segmento de la red de origen se almacena en la memoria de base de datos y proporciona datos, que puede extraer el microprocesador de base de datos respecto a la disponibilidad de dicha estación o enlace para recibir llamadas.

Refiriéndonos ahora a la Fig. 18, esta Fig en forma de diagrama de flujo representa las dos operaciones segmentadas expuestas en las secuencias de llamada normal anterior identificadas por los códigos de referencia 6E y 62. Así, en la exploración del IPB de entrada 141 se haya y analiza la orden A2. El manipulador de órdenes invocado por una rutina, genera y envía la orden E6 al DMP y al BMP. Según se ilustra en la Fig. 11, el subprograma del manipulador de órdenes pide entonces al microprocesador de estados SMP que transmita al IPB 173 de salida (en el trayecto de comunicación con el microprocesador de base de datos 170), el código de referencia "62". En la tabla 3, el código de referencia 62 se describe como información de "COS que origina la solicitud" (clase de servicio) v.g., información codificada sobre restricciones (vease la tabla 4) aplicables a la línea de origen P1. El formato dado para el mensaje de orden completo es el código de referencia ("62" y "LS8/MS4"), que según se ha indicado anteriormente es el número de segmento de la red de la línea de origen proporcionada por el microprocesador de línea como parte del mensaje de orden original. El mensaje de orden se ensambla por el microprocesador de estado SMP y se carga en el IPB 173 de salida.

#### Operaciones del DMP Fig. 19

El mensaje de IPB de ocupación/desocupación 6E se re

cibe (según se ilustra en la Fig. 19) por el DMP del micropro-  
cesador de base de datos y el mapa de ocupación/desocupación  
en el otro campo de la memoria de base de datos, actualizado  
para reflejar el estado de ocupación de P1. Según se ilustra  
5 en la Fig. 19, el programa analizador del IPB para el micro-  
procesador de base de datos DMP invoca un segundo subprograma  
apropiado para dicha orden, y recibe el mensaje de "COS de  
origen de solicitud". El gráfico de flujo en la Fig. 19 indi-  
ca que las fases seguidas son "buscar en la tabla NSN/COS para  
10 obtener OCOS para P1" y "devolución de OCOS en mensaje de or-  
den (C8)", invocando la última fase el ensamble del mensaje de  
orden identificado por el código de referencia "C8" por el  
microprocesador de base de datos y actuando bajo el programa  
cargador de IPB para cargar el mensaje de orden en el IPB 171  
15 de salida en el trayecto del microprocesador correspondiente  
SMP.

#### Operaciones del SMP Fig. 20

El segmento del programa siguiente, ilustrado en  
la Fig. 20, representa la respuesta del microprocesador de es-  
tados; explorando los IPB de entrada bajo el programa del ana-  
20 lizador de IPB, el microprocesador de estado recibe el mensaje  
de orden identificado por el código de referencia "C8" e invo-  
ca el subprograma del manipulador de órdenes para analizar el  
OCOS, hallar un registrador disponible, conectar al mismo el  
25 circuito de línea, y poner el receptor de línea y de tono en  
los estados de registrador de entrada, y cargar un mensaje de  
orden identificado por el código de referencia 22, que repre-  
senta una orden para "conexión para llamada normal" en un IPB  
152 de salida que se acopla al microprocesador registrador  
30 RMP. El formato del mensaje de orden completa identificado

por el código de referencia 22 se indica en la tabla 3 y comprende junto con el código de referencia: R/LS8/MS4.

Operaciones del RMP Fig. 21

5 Refiriéndonos ahora a la Fig. 21, la respuesta del RMP del microprocesador registrador se ilustra en la parte superior de la Fig. Se ilustra que el RMP del microprocesador registrador activado por el programa analizador del IPB, explora los IPB de entrada, y detecta el mensaje almacenado en el IPB 152 de entrada. El mensaje de orden identificado por el código de referencia 22 "conexión para llamada normal" se recibe y se invoca en respuesta el subprograma del manipulador de órdenes, se bloquea el registrador especificado y se establece para recibir dígitos marcados desde la estación de origen P1, y se envía un tono de llamada a la línea de origen P1.

10  
15 En la Fig. 21 se ilustra también en la parte superior de la derecha el segmento de programa que representa la acción adicional del RMP del microprocesador registrador bajo control de programa después de un breve intervalo de tiempo. El RMP del microprocesador registrador se activa por el programa explorador del registrador y verifica el byte de sentido del registrador bloqueado. Cuando se ha recibido el primer dígito marcado, se elimina el tono de la línea P1, y un mensaje de orden identificado por el número de referencia 72, se envía al DMP del microprocesador de base de datos, pidiendo una primera  
20 traslación del dígito. El mensaje de orden del código de referencia 72 se carga en el IPB 153 de salida. El formato del mensaje de orden identificado por el código de referencia 72, según se ilustra en la tabla 3, es R/dígito/LS8/MS4.

25  
30 Refiriéndonos a la "secuencia de llamada de estación a estación" anterior, la lista de códigos de referencia A2, 6E,

62, C8, 22 y 72 corresponden, respectivamente, a las operaciones programadas puestas en diagrama en los gráficos de flujo de las Figs. 10-20 y las dos partes superiores de la Fig. 22.

Operaciones del DMP Fig. 21

5 La Fig. 21 es un gráfico de flujo de la operación programada del DMP de microprocesador de base de datos para explorar los IPB de entrada bajo el programa analizador del IPB y en respuesta a recibir el mensaje de orden identificado por el código de referencia 72 para derivarlo al subprograma manipulador de órdenes. Las bases de la Fig. 21 corresponden al

10 código de referencia 3B que está en la lista de la "secuencia de llamadas de estación a estación" que se identifica como "recepción de n dígitos más" de la orden.

15 Para proporcionar la información relativa al número de dígitos esperados, el DMP del procesador de base de datos tiene en la memoria de base de datos una primera tabla de traslación o traducción de dígitos 314. La tabla NSN/COS bajo un subprograma de manipulador de orden se localiza con el número de segmento de la red (NSN) para obtener el número del grupo

20 de abonado (número de CG) de la estación de origen P1. Empleando el número de CG hallado y el primer dígito marcado, se halla la longitud esperada del número del abonado en la primera tabla de traslación de dígitos 314. En la mayoría de los casos se puede dar una firme respuesta, basada en el número de CG y la

25 primera tabla de traslación de dígitos de que el número de abonado que tiene dicho primer dígito es de una longitud de 1, 2, 3 ó más dígitos. Cualquier número de abonado que no sea firme, se señala para "llamada de vacilación". Una orden de "esperar n dígitos", que el número máximo incluido en el plan de numeración, se devuelve al microprocesador registrador RMEP. Con

30

el microprocesador registrador programado para reconocer "llamada de vacilación", el microprocesador registrador esperará "n" dígitos pero reconocerá un número de abonado con menos de "n" dígitos por la aparición de un intervalo de "vacilación" predeterminado.

5

Una de las características de este invento es que el plan de numeración puede ser completamente flexible permitiendo virtualmente una elección completamente libre de números de abonados; por ejemplo, lo que se expone a continuación se puede asignar como número de abonados a estaciones diferentes en el mismo grupo de abonados, o en grupos de abonados diferentes, o se puede asignar a funciones diferentes sin restricción:

10

- 1) 1,
- 2) 1,2
- 3) 1,2,3
- 4) 1,2,3,4

15

Aun cuando dichos cuatro números de abonado pueden tener el mismo primer dígito y se encuentran en el mismo grupo de abonado, el sistema se puede adaptar al empleo de dichos números.

20

En muchos sistemas de telecomunicaciones anteriores a este invento, se necesitan que los códigos de acceso a características especiales se encuentren en un grupo dedicado de códigos. En el sistema presente, los códigos de acceso a funciones con números de abonados de una estación llamada se tratan todos como números de abonados "normales". La función de "avance de llamadas", por ejemplo, puede tener asignado previamente un número de abonado con el número de dígitos que se desee y en cualquier área del plan de numeración deseado, puesto que un número de abonado indica una función del sistema, según

25

30

5 el presente invento. Cuando se ha marcado el número total de dígitos asignados como número de abonado a una función como la de "avance de llamada", recibido y almacenado después en uno de los registradores por el RMP del microprocesador registrador, los dígitos se transfieren como "número marcado normal" al DMP del microprocesador de base de datos, de un modo preciso según se ilustra en el caso de la función de "llamada normal" expuesto en diagrama en el gráfico de flujo de la derecha inferior en la figura 22.

10 En resumen, todas las funciones del sistema (llamada normal, y las otras funciones como llamada de conferencia, averiguación de grupo, etc,) comprenden la misma secuencia de operaciones programadas ilustradas en los gráficos de flujo de las Figs. 10-22, y la misma secuencia de códigos de referencia referenciados anteriormente en la lista de ejemplo a través del código de referencia 74, el octavo de la lista.

15 Dirigiendo nuestra atención, por lo tanto, al noveno código de referencia en la secuencia de llamada de estación, a estación, o sea, "C9", identificado como orden de "llamada normal", según la lista, dicho código de referencias se ensambla y se transmite en un mensaje de orden al SMP del microprocesador de estados. La tabla 3 proporciona el formato del mensaje de orden identificado por el "C9" de código de referencia y afirma que contiene en bytes subsiguientes después del código de referencia:

25	LS8(O1) / MS4	número de segmentos de red de P1
	LS8(P2) / MS4	número de segmentos de red de P2
	(P1) TCOS	finalización de clase de servicio P1
	(P2) TCOS	finalización de clase de servicio P2
30	P1 (OCOS)	origen de clase de servicio P1

Uso del DMP de la tabla DN Fig. 23

En la sección anterior de esta memoria descriptiva titulada "microprocesador de base de Datos y Almacenes -- Tabla de números de Abonados", se ha descrito la forma en que la

5 tabla de números de abonados 300 de la memoria de base de datos se utiliza para funciones de operación del sistema en correlación y números de abonados marcados por separado por cada grupo de abonados. En resumen, la tabla de números de abo-

10 nados es una tabla de niveles múltiples en la cual se enlazan con indicadores los diversos niveles. Los lugares en el nivel inferior almacenan señales eléctricas codificadas que representan una palabra identificadora de 2 bytes que tiene una parte

15 de instrucción de tres bits y uno y medio bytes que representan un argumento de la instrucción. El formato de la palabra identificadora se describe en la Fig. 5 y es igual para todas las categorías de las funciones del sistema. Según se ilustra en esta Fig, la palabra de instrucción de tres bits indica una de las mayores categorías de las funciones del sistema por el modelo de bits. El uno y medio bytes que repre-

20 sentan un argumento de la instrucción en el caso de la función de "llamada normal" representa un número de segmentos de red (NSN) de la estación llamada P2. En el caso de averiguación de grupo, o cuando se trata de funciones de llamada rápida y de captación de llamada, la parte de argumento de la palabra

25 identificadora representa un número de identificación (ID) que sirve como indicador para tablas separadas de datos adicionales. Cuando se trata del grupo de averiguación, por ejemplo, el "ID" es una localización que indica a una de las listas múltiples de los números de segmentos de la red. Bajo control

30 del programa, el microprocesador de base de datos averiguará

una estación desocupada a través del grupo de averiguación designado. En el caso del "ID" de llamada rápida, el número de identificación es una localización de indicador a las listas de números de abonados, incluyendo prefijos y códigos de zonas que están designados por un número de abonado abreviado para  
5 comodidad de manejo del disco selector.

Cuando se trata de la función de llamadas de conferencia, según se indica en la Fig. 5, el uno y medio bytes de datos proporcionan el "número de ID de conferencias", v.g., es un tipo de conferencia previamente establecida, conferencia  
10 progresiva o conferencia de "petición de encuentro", y este código de dos bits identifica, por lo tanto, qué tipo de conferencia está indicado por la palabra identificadora. Los cinco bits finales de la parte de argumento de la palabra identificadora identifica la magnitud de la llamada de conferencia.  
15

El número ID de conferencia es una localización de indicador a otra tabla que identifica un acceso específico por el número de segmentos de la red de los elementos fijos del procesador para conferencias, y se puede utilizar para establecer las conexiones de la llamada de conferencia.  
20

Con relación a las características diversas o parte de argumento de funciones diversas de la palabra identificadora, el uno y medio bits se emplean para almacenar un código de acceso normalizado que es una referencia a la función específica del sistema que se ha de realizar. Por ejemplo, en el  
25 caso de "mensaje en espera", que es una de las funciones diversas, un número marcado se convierte en el número normalizado para dicha función de "mensaje en espera" que, a su vez, dirige al microprocesador de estado para que ejecute tareas asignadas con el fin de realizar esta función. Para llevar a cabo  
30

la función de "mensaje en espera", el microprocesador de esta-  
dos vuelve a dirigir el RMP del microprocesador registrador  
(que ya se ha conectado) para recibir dígitos desde la última  
llamada con el fin de recoger ahora dígitos de un número de  
5 abonados, específicamente con el fin de colocar el número de  
abonado que identifica una estación en un modo de "mensaje en  
espera".

La tabla de números de abonados se localiza en res-  
puesta a la combinación de: (1) señales eléctricas codificadas  
10 que representan un número de abonado marcado y (2) señales  
eléctricas codificadas que identifican el número de grupo de  
abonado (número de CG) de la estación de origen P1. El nivel  
de entrada de la tabla se pone en índice por el número de CG  
para hallar un indicador al nivel intermedio de la tabla, que  
15 tiene conjuntos de lugares correspondientes a los grupos de  
abonados. El nivel intermedio se pone en índice por los dos  
dígitos de orden superior del número de abonado, para obtener  
la localización de indicador de uno de los conjuntos múltiples  
de lugares en el nivel inferior. El lugar en el conjunto de  
20 nivel inferior localizado se pone en índice por los dos dígi-  
tos de orden inferior del número de abonado.

Refiriéndonos a la fig. 23, este gráfico de flujo  
ilustra los subprogramas de manipulador de órdenes que activa  
el DBM del microprocesador de base de datos en respuesta a la  
25 orden 72 de "número marcado normal". Al igual que en el caso  
de los demás microprocesadores del complejo de control 55, el  
microprocesador de base de datos se activa bajo control de un  
programa analizador de IPB, para explorar los IPB de entrada  
y detectar y leer el mensaje de orden del número marcado nor-  
30 mal identificado por el código de referencia 72. Este mensaje

de orden comprende los dígitos del número marcado ("vease la tabla 3") junto con el código de referencia 72 y se transmite desde el RMP del microprocesador registrador y se almacena en el IPB 153. La Fig. 23 representa expansión del subprograma del manipulador de órdenes que activa al microprocesador de base de datos en respuesta a recibir el mensaje de orden identificado por el código de referencia 72, e ilustra que el número de CG se obtiene empleando el número de segmentos de la red de P1 y de la tabla de NSN/COS. El número de CG se utiliza para introducir la tabla de números de abonados 300, según se indica en el conjunto lógico siguiente de la Fig. 23, y obtener la localización de indicador al nivel intermedio 00/00 (conjunto de millares/centenas). Refiriéndonos ahora a la Fig. 4, esta figura ilustra la estructura y organización de la tabla de números de abonados y representa dicha estructura como tres niveles enlazados de lugares de memoria y representa la palabra identificadora de dos bytes incluyendo las partes de instrucción y argumento descritas anteriormente que proporcionan identificación de función del sistema y datos utilizados para ejecutar dicha función del sistema. Esta tabla de números de abonados se ejecuta preferiblemente en elementos fijos del procesador por un RAM formado por dispositivos de memoria semiconductores compatibles con los microprocesadores. Las modalidades prácticas del sistema ilustrado se han ejecutado con microprocesadores INTEL 8080 o TEXAS INSTRUMENTS TMS 8080, y dispositivos de memoria compatibles.

Para ofrecer un ejemplo breve de la forma en que se localiza un lugar en el nivel inferior de la tabla de número de abonados por el microprocesador de base de datos, tomando por ejemplo un número de abonado "0047" según se indica en la Fig 4,

y suponiendo que el sistema proporciona grupos de abonados y que la estación origen es el número de grupos de abonados "7", el conjunto indicado como "7" en el nivel intermedio de la tabla se ilustra localizado desde el lugar del grupo de abonados "7" en el nivel de entrada. El conjunto de lugares "7" del nivel intermedio se pone en índice por los dos dígitos de orden superior. Suponiendo que el número de abonado es "0047", los dos dígitos de orden superior "00" ponen en índice el primer lugar en el conjunto "7". Este conjunto contiene la localización de indicador de uno de los conjuntos múltiples en la tabla de nivel inferior. La flecha indica hacia el conjunto de nivel inferior, y los dos dígitos de orden inferior "47" ponen en índice el lugar en dicho conjunto de nivel inferior que contiene la palabra identificadora indicada por una combinación del grupo de abonado "7" y el número de abonado "0047".

Refiriéndonos de nuevo a la Fig. 23, la función designada representada por el modelo de bitios de los tres bitios de orden superior en la palabra identificadora, es una de las funciones del sistema indicada en los seis conjuntos en la parte inferior de la Fig. 23.

En el caso de la función de "llamada normal", según se ilustra en la Fig. 5, el argumento de la instrucción es el número de segmento de la red (NSN) de la estación llamada P2.

El microprocesador de base de datos ensambla el mensaje de orden identificado por la llamada de referencia de llamada normal "C9" y carga, bajo el programa cargador del IPB, el mensaje de orden que comprende el código de referencia en el IPB de salida 171. Como medida preliminar a ensamblar el mensaje de orden de "llamada normal", el procesador de base de datos pone a prueba también, según se ilustra en la Fig. 26,

la parte "¿ es la desviación de llamada de hechos para la estación de llamada?". Entre las tablas y campos de la memoria de base de datos se encuentra una tabla llamada tabla de COS transitoria, que comprende una lista de todas las estaciones o abonados en el estado de avance de llamada. La cuestión -- es la desviación de llamada de hecho -- para la estación P2, se determina comprobando la zona de servicio transitoria proporcionada por la tabla transitoria. Si la respuesta a dicha pregunta es "no" el subprograma que activa al microprocesador de base de datos deriva a la rutina de "preparación y envío", el mensaje de orden de "llamada normal" al IPB 141. Si la respuesta a la pregunta de desviación de llamada es "si", y no es una desviación de llamada "condicional", entonces el número de segmento de la red de la estación a la que se han de enviar las llamadas se determina y el mensaje de la orden se prepara y envía al IPB 141 por el microprocesador de base de datos. En lugar de emplear el número de segmentos de la red de "P2", el número de segmento de la red se emplea de la estación a la cual las llamadas de la estación P2 han de desviarse o "adelantarse". Además del número de segmento de la red de la estación de origen P1, y el número de segmento de la red de la estación llamada P2, o en el caso de una llamada desviada y el número de segmento de la red de la estación a la cual se adelantan las llamadas se necesita cierta clase de información de servicio de ambas estaciones P1 y P2 en el ensamble del mensaje de la orden por el DMP del microprocesador de base de datos. Dicha clase de datos de servicio se obtiene de la tabla NSN/COS empleando el número de segmentos de la red de la estación llamada P2. Dicha clase de datos de servicio para las estaciones P1 y P2 incluidas en el mensaje de la orden se utiliza ulte-

riormente por el microprocesador de estados para determinar si la clase de servicio asignada a la estación que llama o a la estación llamada, restringe la acción de contemplar la llamada normal entre las mismas.

5 Funcionamiento del SMP Fig. 24.

Volviendo ahora a la Fig 24, este gráfico de flujo representa el funcionamiento del microprocesador de estados SMP bajo el programa analizador de IPM, y la exploración de los IPB de entrada para los mensajes. El mensaje cargado con anterioridad en el IPB 141, por el microprocesador de base de datos e identificado por la orden "C9" se detecta y se lee. Se invoca el subprograma del manipulador de órdenes de llamada normal y según se ilustra en la parte inferior de la Fig 24, el microprocesador de estados pone a prueba la clase de servicio de ambas estaciones y si no encuentra restricciones, pone a prueba si la estación que llama está "ocupada", y establece los estados apropiados de P1 y P2, ensambla un mensaje de orden de P2 y transmite un mensaje de orden identificado por el código de referencia "03" al IPB 142 de salida.

15 Según se ha indicado en la "secuencia de llamada de estación a estación" el código de referencia "03" representa una orden de "envío de señal de llamada" al microprocesador de líneas. El microprocesador de estados envía también el mensaje de orden identificado por el código "60" si encuentra la estación P2 ocupada.

25 Funcionamiento del IMP Fig. 25

La Fig 25 ilustra el funcionamiento bajo control del programa del microprocesador de línea, específicamente el funcionamiento bajo el programa del analizador del IPB que activa al microprocesador de línea IMP para explorar los IPB de entra

30

da con relación a mensajes. Según se indica en la Fig 25, el IMP del microprocesador de línea, al explorar el IPB 142 de entrada, descarga el mensaje de orden representado por el código de referencia "03" y reconoce dicho mensaje de orden como una orden para enviar la señal de llamada por la línea P2. Recibe, según se indica en la tabla 3, el número de segmento de la red de la estación llamada bien en la estación P2 o en la estación a la cual se han desviado las llamadas originales de P2 por una función de avance de llamada) y el número de segmento de la red se convierte en una localización de equipo bajo un subprograma previsto para dicha finalidad por activación del microprocesador de línea IMP. El gráfico de flujo de la Fig 24, del funcionamiento del microprocesador de línea termina con la fase de "escritura del byte del control de la señal de llamada" que se ejecuta. Refiriéndonos a la secuencia de llamada de estación a estación, que ilustra el establecimiento del trayecto de conversación bidireccional por el microprocesador de línea y el envío de la orden

T A B L A 2

Abreviaturas de Ordenes del IPB

A	OPERADORA
AL	ALFA
ARG	ARGUMENTO
AS	SELECCION DE ATENUADOR
BI	OCUPACION/DESOCUPACION
CCF	CORTE DE BANDERA DE LLAMADA DE CODIGO
CG	GRUPO DE ABONADOS
CONF	CONFERENCIAS
COS	CLASE DE SERVICIO
TAAS	RESPUESTA DE ENLACE DE CUALQUIER ESTACION
PCD	DERIVACION DE LLAMADA DE PACIENTE

DN	NUMERO DE ABONADO
DSPL	REPRESENTACION VISUAL
ET	TIEMPO TRANSCURRIDO
F	BANDERA
FNS	SERVICIO NOCTURNO FLEXIBLE
GB	GRUPO OCUPADO
G/S	GRUPO / BANDERA ESPECIFICA
HIG	PARTE DE ORDEN SUPERIOR DEL NUMERO DE GRUPO
LOG	PARTE DE ORDEN INFERIOR DEL NUMERO DE GRUPO
LS8	OCHO DIGITOS MENOS EXPRESIVOS DE NSN
MS4	CUATRO DIGITOS MAS EXPRESIVOS DE NSN
NS	SERVICIO NOCTURNO
NSN	NUMERO DE SEGMENTO DE LA RED
OF	BANDERA DE ANULACION
OCOS	CLASE DE SERVICIO DE ORIGEN
OG	SALIDA
OW	EXTERIOR
P	ABONADO
PS	DIVISION DE ABONADOS
PP	ABONADO EN ESPERA
QF	CANTIDAD SIGUIENTE (número de bytes que siguen en la orden)
R	REGISTRO (cuando está solo, significa siempre número de equi po de registro)
RMJ	ANOTACION TERMINANDO A LA DERECHA
RSN	RAZON
S	ESTACION
SAC	CÓDIGO DE ACCESO NORMALIZADO

TABLA 2 (Continuación)

SG	GRUPO DE ESTACION
SH	AVERIGUACION DE SECRETARIA
STD	NORMAL
T	ENLACE
TCOS	TERMINACION DE CLASE DE SERVICIO
TG	GRUPO DE ENLACE
TGN	NUMERO DE GRUPO DE ENLACE
V	VECTOR APUNTANDO AL CIRCUITO DE OPERADORA CORRESPONDIENTE
/	SEPARACION DE BYTES DENTRO DEL FORMATO DE MENSAJE DE LA ORDEN
;	SEPARACION DE CAMPOS DENTRO DE LOS BYTES DE MENSAJE

TABLA 3 - ORDENES DEL IPB  
ORDENES RECIBIDAS POR EL IMP

<u>CODIGO DE REFERENCIA</u>	<u>RECEPTOR</u>	<u>TRANSMISOR</u>	<u>DESCRIPCION DE LA ORDEN</u>	<u>FORMATO DE MENSAJE DE LA ORDEN</u>	
				<u>Byte 1</u>	<u>Byte 2</u>
02	IMP	SMP	Terminacion de la señal de llamada	LS8 /	MS4
03	IMP	SMP	Envío de la señal de llamada	LS8 / AS Código;	MS4
04	IMP	SMP	Desactivación de destello	LS8 /	MS4
05	IMP	SMP	Activación de destello	LS8 / AS Código;	MS4
06	IMP	SMP	Atenuador de colocación	LS8 / AS Código;	MS4

ORDENES ENVIADAS POR EL IMP

<u>CODIGO DE REFERENCIA</u>	<u>RECEPTOR</u>	<u>TRANSMISOR</u>	<u>DESCRIPCION DE LA ORDEN</u>	<u>FORMATO DE MENSAJE DE LA ORDEN</u>	
				<u>Byte 1</u>	<u>Byte 2</u>
A2	SMP	IMP	Origen de línea	LS8 /	MS4

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL IMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Byte 1	Byte 2
A3	SMP	IMP	Destello de línea	LS8 / MS4	
A4	SMP	IMP	Desconexión de línea	LS8 / MS4	

ORDENES RECIBIDAS POR EL IMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Byte 1	Byte 2
12	TMP	SMP	Enlace de señal inicial de llamada	LS8 / AS	Código; MS4
13	TMP	SMP	Disco de enlace de solicitud	LS8 / MS4	
14	TMP	SMP	Número completo marcado	LS8 / MS4	
15	TMP	SMP	Respuesta P2	LS8 / AS	Código ; MS4
16	TMP	SMP	Noveno bitio de desconexión	LS8 / MS4	
17	TMP	SMP	Registrador asignado	LS8 / MS4	
18	TMP	SMP	Registrador liberado	LS8 / AS	Código ; MS4
19	TMP	SMP	Reconocimiento de destellos	LS8 / AS	Código ; MS4
1A	TMP	SMP	Desprecio de destello	LS8 / MS4	
1B	TMP	SMP	Atenuador de colocación	LS8 / AS	Código ; MS4

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL TMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Byte 1	Byte 2
A8	SMP	TMP	Enlace de entrada	LS8 / MS4	
A9	SMP	TMP	Desconexión de enlace	LS8 / MS4	
AA	SMP	TMP	Respuesta P2 en enlace O.G.	LS8 / MS4	
AB	SMP	TMP	Detención de llamada	LS8 / MS4	
AC	SMP	TMP	Permiso de llamada	LS8 / MS4	
AD	SMP	TMP	Destello de enlaces	LS8 / MS4	
AE	SMP	TMP	Fallo de la señal inicial de llamada	LS8 / MS4	

ORDENES RECIBIDAS POR EL CMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
42	CMP	SMP	Llamada de operadora	LS8 / MS4	/	Tipo	
43	CMP	SMP	Nueva llamada de operadora	LS8 / MS4	/	Tipo	
46	CMP	SMP	Desconexión en fila de espera	LS8 / MS4			
47	CMP	SMP	Desconexión en circuito	LS8 (P) / MS4	/	LS8 (A) / MS4	

TABLA 3 (Continuación)

ORDENES RECIBIDAS POR EL CMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
48	CMP	SMP	Respuesta P2	LS8(P2)/MS4	/ LS8(A)	/ MS4	
49	CMP	SMP	Nueva llamada en circuito	LS8(P)	/MS4	/ LS8(A)	/ MS4
4A	CMP	SMP	Afirmación (Conexión completa)	LS8(P)	/MS4	/ V	
4B	CMP	SMP	Desafirmación (fallo de conexión)	LS8(P)	/MS4	/ V / RSN	
4C	CMP	SMP	Fallo de despertador	LS8	/ MS4		
4D	CMP	SMP	Solicitud de TAAS	LS8	/ MS4	/ TAAS COS	
4E	CMP	SMP	División a operadora	LS8(PS)	/ MS4	/ LS8(PP)	/ MS4
4F	CMP	SMP	Llamada a operadora específica	LS8(P)	/ MS4	/ LS8(A)	/ MS4
50	CMP	SMP	Estado neto de conferencia	Busy/Idle - Flag.			
58	CMP	DMP	Localización de COS Normal	COS	/ COS	/ COS /DSPL#1/DSPL#2	
5A	CMP	DMP	Estado de grupo de enlace	15-8	BI/	7-0	BI
5B	CMP	DMP	Tiempo de llamada de despertador	LS8	/ MS4	/Hrs	/ Min
5C	CMP	DMP	Localización de COS de división	Igual al 58 pero 2 NSN'S			

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL CMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
88	DMP	CMP	Solicitud de cuadro de operadora de COS	LS8 / MS4 / Tipo			
8A	DMP	CMP	Señal de llamada inicial de enlace de grupo	CG, TGN / V			
8B	DMP	CMP	Restricción de enlace de grupo	CG, TGN			
8C	DMP	CMP	Sin restricción de enlace de grupo	CG, TGN			
8D	DMP	CMP	Grupo acampado	LS8 / MS4 / CG, TGN / V			
8E	DMP	CMP	Conversación a DN específico	CG / D3, D4 / D1, D2 / V			
B8	SMP	CMP	Estacionamiento 1	LS8(P)/ MS4 /LS8(A) /MS4			
B9	SMP	CMP	Conversación 1	LS8(P) MS4 / LS8(A) / MS4/V			
BA	SMP	CMP	Estacionamiento 2	LS8(P2)/ MS4 / LS8(A)/MS4 LS8(P1)/MS4/			
BB	SMP	CMP	Conversación 2	LS8(P2) / MS4/ LS8(A)/ MS4 LS8(P1)/MS4/			
BC	SMP	CMP	Liberación	LS8(P1) / MS4 / LS8(P2)/ MS4			
BD	SMP	CMP	Desconexión	LS8(P) / MS4 /LS8(A) / MS4			
BE	SMP	CMP	Iniciación de número de llamada	LS8(A) / MS4/ V			
BF	SMP	CMP	Conferencia	LS8(P) / MS4/ LS8(A)/MS4/1			
CO	SMP	CMP	Anulación de desconexión	LS8(P2)/ MS4/LS8(A) / MS4			

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL CMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
C1	SMP	CMP	Anulación de conversación	LS8(P2)	/ MS4	/ LS8(A)	/ MS4
C2	SMP	CMP	Sin servicio	LS8	/ MS4		
C3	SMP	CMP	Cadena	LS8	/ MS4		
C4	SMP	CMP	Llamada de des-pertador	LS8	/ MS4		

ORDENES RECIBIDAS POR EL RMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
22	RMP	SMP	Estación de origen	R	/ LS8	/ MS4	
23	RMP	SMP	Enlace de D.I.D. de origen	R	/ LS8	/ MS4	
24	RMP	SMP	Estación de destello (división)	R	/ LS8	/ MS4	
25	RMP	SMP	Establecimiento de envío de llamada	R	/ LS8	/ MS4	
26	RMP	SMP	Establecimiento de averiguación de secretaria	R	/ LS8	/ MS4	
27	RMP	SMP	Establecimiento de P.C.D.	R	/ LS8	/ MS4	
28	RMP	SMP	Establecimiento de envío de llamada distante	R	/ LS8	/ MS4	

TABLA 3 (Continuación)

ORDENES RECIBIDAS POR EL RMP

CODIGO DE RE- FEREN- CIA	RECEP TOR	TRANS MISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
29	RMP	SMP	Modo de C.F. de estación de origen	R / LS8 / MS4			
2A	RMP	SMP	Cancelación de P.C.D.	R / LS8 / MS4			
2B	RMP	SMP	Establecimien to de restrin ción de llama da exterior RM	R / LS8 / MS4			
2C	RMP	SMP	Establecimien to de N.S. flexible	R / LS8(A) / MS4			
2D	RMP	SMP	Establecimien to de llamada rápida	R / LS8 / CG, MS4			
2E	RMP	SMP	Establecimien to de tiempo de llamada de des- pertador	R / LS8(A) / MS4			
2F	RMP	SMP	Llamada por NSN	R / LS8 / MS4			
30	RMP	SMP	Recepción de dígito de subfi jo	R			
31	RMP	SMP	Envío de dígi- tos dados	R/QF/D1,D2/D3,D4/.../DX			
32	RMP	SMP	Recepción y transmisión de dígitos	R			
33	RMP	SMP	Restrincción de tarifa	R / LS8 (Trunk) /MS4			
34	RMP	SMP	Recepción trans misión y restring ción	R / LS8 (Trunk) /MS4			
35	RMP	SMP	Aborto de regis- trador	R			
36	RMP	SMP	Detención de llamada	R			

TABLA 3 (Continuación)

ORDENES RECIBIDAS POR EL RMP

CODIGO DE RE-FERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN			
				Byte 1	Byte 2	Byte 3	Byte 4
37	RMP	SMP	Llamada permitida	R			
38	RMP	SMP	Grupo de dígitos de subíndice de recepción	R			
39	RMP	SMP	Cancelación de envío de llamada distante	R / LS8 / MS4			
3A	RMP	SMP	Llamada de código de recepción y transmisión	R / CCF,-			
3B	RMP	SMP	Se reciben N dígitos mas	R / N			

ORDENES ENVIADAS POR EL RMP

CODIGO DE RE-FERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN
				Secuencia de Byte
72	DMP	RMP	Solicitud de primer número de xlatión	R/Dígito/LS8/MS4
73	DMP	RMP	Solicitud de restricción de tarifa	R/LS8(T)/MS4/D5,D6/D3,D4/D1,D2
74	DMP	RMP	Número marcado normal	LS8/MS4/D3,D4/D1,D2
75	DMP	RMP	Número marcado, establecimiento de envío de llamada	LS8/MS4/D3,D4/D1,D2
76	DMP	RMP	Número marcado, establecimiento de S.H.	LS8/MS4/D3,D4/D1,D2
77	DMP	RMP	Número marcado, establecimiento de P.C.D.	LS8/MS4/D3,D4/D1,D2

TABLA 3 (Continuación)  
ORDENES ENVIADAS POR EL RMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN
				<u>Secuencia de Byte</u>
78	DMP	RMP	Número marcado; establecimiento de RM.RST.	LS8/MS4/D3,D4/D1,D2
79	DMP	RMP	Número marcado, establecimiento de N.S.Flex	LS8(A)/MS4/D3,D4/L1,D2(T)/D3,D4/D1,D2(STA)
7A	DMP	RMP	Número marcado, establecimiento de llamada rápida	LS8/CG,MS4/QF/DN,DK-1/.../.../D1,D2
7B	DMP	RMP	Número marcado, establecimiento de despertador	LS8/MS4/D3,D4/D1,D2/HR/MIN
7C	DMP	RMP	Establecimiento de derivación distante	LS8/MS4/D3,D4/D1,D2(FROM)/D3,D4/D1,D2(T)
7D	DMP	RMP	Número marcado; NSN	LS8/MS4/D3,D4/D1,D2
7E	DMP	RMP	Reposición de restricción de RM	LS8/MS4/D3,D4/D1,D2
7F	DMP	RMP	Cancelación de PCD	LS8/MS4/D3,D4/D1,D2
80	DMP	RMP	Cancelación distante	LS8/MS4/D3,D4/D1,D2
B0	SMP	RMP	Dígito de subfijo para grupo	Registrer ## /Dígito.
B1	SMP	RMP	Registrador completo	Registrer ##
B2	SMP	RMP	Dígito de subfijo	Registrer ## /Dígito
B3	SMP	RMP	Registrador fuera de tiempos	Registrer ##
B4	SMP	RMP	Desconexión aparente	Registrer ##
B5	SMP	RMP	Destello en registrador	Registrer ##
B6	SMP	RMP	Ciclo de tono audible	Ciclo ##

TABLA 3 (Continuación)

ORDENES RECIBIDAS POR EL DMP

<u>CODIGO DE REFERENCIA</u>	<u>RECEPTOR</u>	<u>TRANSMISOR</u>	<u>DESCRIPCION DE LA ORDEN</u>	<u>FORMATO DE MENSAJE DE LA ORDEN</u> <u>Secuencia de Byte</u>
62	DMP	SMP	Solicitud de COS de origen	LS8/MS4
63	DMP	SMP	Solicitud de COS terminal	LS8/MS4
64	DMP	SMP	Transmisión de AIOD	LS8/MS4
65	DMP	SMP	Estacionamiento de grupo	LS8/MS4/LOG/HIG
69	DMP	SMP	Línea caliente	LS8/MS4
6A	DMP	SMP	Dato de uso de tráfico	LS8/MS4/ET
6E	DMP	SMP	Ocupado	LS8/MS4
6F	DMP	SMP	Desocupado	LS8/MS4
72	DMP	RMP	Solicitud de primer número de Xlation	R/Dígito/LS8/MS4
73	DMP	RMP	Solicitud de Restricción de Tarifa	R/LS8(T)/MS4/D5,D6/D3,D4/D1,D2
74	DMP	RMP	Número marcado, Normal	LS8/MS4/D3,D4/D1,D2
75	DMP	RMP	Número marcado, establecimiento de C.F.	LS8/MS4/D3,D4/D1,D2
76	DMP	RMP	Número marcado, establecimiento de S.H.	LS8/MS4/D3,D4/D1,D2
77	DMP	RMP	Número marcado, establecimiento de P.C.D.	LS8/MS4/D3,D4/D1,D2
78	DMP	RMP	Número marcado, establecimiento de RM.RST	LS8/MS4/D3,D4/D1,D2

Tambien se usara en BMP

TABLA 3 (Continuación)  
 ORDENES RECIBIDAS POR EL DMP

<u>CODIGO DE REFERENCIA</u>	<u>RECEPTOR</u>	<u>TRANSMISOR</u>	<u>DESCRIPCION DE LA ORDEN</u>	<u>FORMATO DE MENSAJE DE LA ORDEN</u> <u>Secuencia de Byte</u>
79	DMP	RMP	Número marcado, establecimiento de Flex N.S.	LS8(A)/MS4/D3,D4/D1,D2(T) /D3,D4/D1,D2(STA)
7A	DMP	RMP	Número marcado, establecimiento de llamada rápida	LS8/CG,MS4/QF/DN,DN-1/ .../D1,D2
7B	DMP	RMP	Número marcado, establecimiento de llamada de despertador	LS8,MS4/D3,D4/D1,D2/HR. /MIN
7C	DMP	RMP	Establecimiento de derivación de distancia	LS8/MS4/D3,D4/D1,D2(FROM) /D3,D4/D1,D2(TO)
7D	DMP	RMP	Número marcado, NSN	LS8/MS4/D3,D4/D1,D2
7E	DMP	RMP	Reposición de Restricción de RM	LS8/MS4/D3,D4/D1,D2
7F	DMP	RMP	Cancelación de PCD	LS8/MS4/D3,D4/D1,D2
80	DMP	RMP	Cancelación distante	LS8/MS4/D3,D4/D1,D2
88	DMP	CMP	Solicitud de COS de cuadro de operadora	LS8/MS4/Tipo
8A	DMP	CMP	Llamada inicial de Enlace de Grupo	CG, TGN/V
8B	DMP	CMP	Restricción de Enlace de Grupo	CG, TGN
8C	DMP	CMP	Sin restricción de Enlace de Grupo	CG, TGN
8D	DMP	CMP	Estacionamiento de grupo	LS8/MS4/CG,TGN/V
8E	DMP	CMP	Llamada a DN específico	CG/D3,D4/D1,D2/V

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL DMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN
				Secuencia Byte
3B	RMP	DMP	Recepción de N dígitos más	R / N
58	CMP	DMP	Localización de COS normal	COS/COS/COS/DSPL #1/DSPL #2 /TAAS GRP/DN/DN/LS8/MS4/TYPE
5A	CMP	DMP	Estado de grupo de enlace	15-8 BI/7-0 BI
5B	CMP	DMP	Tiempo de llamada de despertador	LS8/MS4/HRS/MIN
5C	CMP	DMP	Localización de COS de división	Igual al 58, pero 2 NSN.
C8	SMP	DMP	Dato de COS de origen	LS8/TRCOS, MS4/CCOS
C9	SMP	DMP	Llamada normal	LS8(P1)/MS4/LS8(P2)/MS4/(P1)TCOS/(P2)TCOS/(P2)OCOS
CA	SMP	DMP	Código de acceso marcado	LS8/MS4/SAC/AC COS/ARG1/ARG2
CB	SMP	DMP	Captación de llamada	LS8/MS4/MORE-TO-COME FLAG, QF/LS8/MS4/LS8 MS4/.../LS8/TAAS
CC	SMP	DMP	Llamada rápida	LS8(P1)/MS4/LS8(T)/MS4/QF/DZ, D1/D4,D3/..
CD	SMP	DMP	Acción con éxito	LS8/MS4
CE	SMP	DMP	Fallo de la acción	LS8/MS4
CF	SMP	DMP	Llamada desde la fila de espera de grupo	LS8(P1)/MS4/LS8(P2)/G MS4/P1TCOS/P2TCOS/P2OCOS
DO	SMP	DMP	Precolocación de conferencia	LS8(P1)/MS4/LS8(Conferencia) PF, MS4/OF/LS8/MS4/.
D1	SMP	DMP	Encaminado a operadora	LS8/MS4/TYPE
D2	SMP	DMP	Establecimiento de conexión	LS8-P1/MS4/LS8-P2/MS4 OCOS(P2)

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL DMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
D4	SMP	DMP	Dato de COS	LS8/≠/	MS4/COS BYTE
D5	SMP	DMP	Llamada desde ATT	Igual a Std. Llamado	ξ vector.
D6	SMP	DMP	ATT específico	LS8(P1)/MS4/LS8(A)/MS4/OCOS	
D7	SMP	DMP	Conferencia	LS8/MS4/IO Conf/H1 Conf/ACCOS	
D8	SMP	DMP	Grupo ocupado	LS8(P1)/MS4/TCOS(P1)/LOG/T-SFLAG, HIG/P1-TCOS	

ORDENES RECIBIDAS POR EL SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
A2	SMP	IMP	Origen de línea	LS8/MS4	
A3	SMP	IMP	Destello de línea	LS8/MS4	
A4	SMP	IMP	Desconexión de línea	LS8/MS4	
A8	SMP	TMP	Enlace de entrada	LS8/MS4	
A9	SMP	TMP	Desconexión de enlace	LS8/MS4	
AA	SMP	TMP	Respuesta P2 en enlace O.G.	LS8/MS4	
AB	SMP	TMP	Detención de número marcado	LS8/MS4	
AC	SMP	TMP	Permiso de llamada	LS8/MS4	
AD	SMP	TMP	Destello de enlace	LS8/MS4	
AE	SMP	TMP	Fallo de llamada inicial	LS8/MS4	

TABLA 3 (Continuación)

## ORDENES RECIBIDAS POR EL SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
B0	SMP	RMP	Dígito de subfijo para GRP	Registrar	// / Dígito
B1	SMP	RMP	Registrador completo	Registrar	//
B2	SMP	RMP	Dígito de subfijo	Registrar	// / Dígito
B3	SMP	RMP	Registrador fuera de tiempo		
B4	SMP	RMP	Desconexión aparente	Registrar	//
B5	SMP	RMP	Destello en registrador	Registrar	//
B6	SMP	RMP	Ciclo de tono audible	Ciclo	//
B8	SMP	CMP	Estacionamiento 1	LS8(P)	MS4/LS8 (A)/MS
B9	SMP	CMP	Conversación 1	LS8 (P)	MS4/LS8 (A)/ MS V
BA	SMP	CMP	Estacionamiento 2	LS8 (P1)/MS4/LS8 (P2)/MS4/LS8(A)/MS4	
BB	SMP	CMP	Conversación 2	LS8(P1)/MS4/LS8(P2)/MS4/LS8(A)/MS4/V	
BC	SMP	CMP	Liberación	LS8(P1)/MS4/LS8(P2)/MS	
BD	SMP	CMP	Desconexión	LS8(P)/MS4/LS8(A)/MS4	
BE	SMP	CMP	Iniciación de número marcado	LS8(A)/MS4/V	
BF	SMP	CMP	Conferencia	LS8(P)/MS4/LS8(A)/MS4/	
CO	SMP	CMP	Anulación de desconexión	LS8(P2)/MS4/LS8(A)/MS4	
C1	SMP	CMP	Anulación de conversación	LS8(P2)/MS4/LS8(A)/MS4	
C2	SMP	CMP	Sin servicio	LS8/MS4	

TABLA 3 (Continuación)  
ORDENES RECIBIDAS POR EL SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN
				Secuencia Byte
C3	SMP	CMP	Cadena	LS8/MS4
C4	SMP	CMP	Llamada de despertador	LS8/MS4
C8	SMP	DMP	Dato de COS de origen	LS8/TRCOS, MS4/OCOS
C9	SMP	DMP	Llamada normal	LS8(P1)/MS4/LS8(P2)/MS4/(P1)TCOS/(P2)TCOS/(p2)OCOS
CA	SMP	DMP	Código de acceso marcado	LS8/MS4/SAC/AC COS/ARG1/ARG2
CB	SMP	DMP	Captación de llamada	LS8/MS4/MORE-TO-COME FLAG, GF/LS8/MS4/LS8/MS4/.../LS8/MS4
CC	SMP	DMP	Llamada rápida	LS8(P1)/MS4/LS8(T)/MS4 QF/D2, D1/D4, D3/....
CD	SMP	DMP	Acción con éxito	LS8/MS4
CE	SMP	DMP	Fallo de acción	LS8/MS4
CF	SMP	DMP	Llamada desde la fila de espera de grupo	LS8(P1)/MS4/LS8(P2)/GS MS4/P1TCOS/P2TCOS/P2OCOS
DO	SMP	DMP	Establecimiento previo de conferencia	LS8(P1)/MS4/LS8(Conf)/OF, MS4/QF/LS8/MS4/....
D1	SMP	DMP	En ruta a operadora	LS8/MS4/TYPE
D2	SMP	DMP	Conexión hecha	LS8-P1/MS4/LS8-P2/MS4/OCOS (P2)
D4	SMP	DMP	Dato de COS	LS8/#, MS4/COS BYTE
D5	SMP	DMP	Llamada desde ATT	Igual como Std. Llamada & vector.
D6	SMP	DMP	ATT específico	LS8(P1)/MS4/LS8(A)/MS4 OCOS
D7	SMP	DMP	Estacionamiento desde ATT	Igual como Std. Llamada & vector.

TABLA 3 (Continuación)

ORDENES RECIBIDAS POR EL SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
D8	SMP	DMP	Grupo ocupado	LS8(P1)/MS4/TCOS(P1)/LOG/T-S	FLAG,HIG/

ORDENES ENVIADAS POR SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
02	LMP	SMP	Terminación de llamada	LS8/MS4	
03	LMP	SMP	Transmisión de llamada	LS8/ como código;	MS4
04	LMP	SMP	Desactivación de destello	LS8/MS4 como código;	MS4
05	LMP	SMP	Activación de destello	LS8/como código;	MS4
06	LMP	SMP	Colocación de atenuador	LS8/como código;	MS4
12	TMP	SMP	Llamada inicial de enlace	LS8/como código;	MS4
13	TMP	SMP	Solicitud de desconexión de enlace	LS8/MS4	
14	TMP	SMP	Número marcado completo	LS8/MS4	
15	TMP	SMP	Respuesta de P2	LS8/como código;	MS4
16	TMP	SMP	Desconexión de noveno bitio	LS8/MS4	
17	TMP	SMP	Registrador adignado	LS8/MS4	
18	TMP	SMP	Registrador liberado	LS8/como código;	MS4

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN
				Secuencia Byte
19	TMP	SMP	Reconocimiento de destello	LS8/como codigo, MS4
1A	TMP	SMP	Desprecio de destello	LS8/MS4
1B	TMP	SMP	Colocación de atenuador	LS8/como codigo, MS4
22	RMP	SMP	Estación de origen	R/LS8/MS4
23	RMP	SMP	Enlace de D.I.D de origen	R/LS8/MS4
24	RMP	SMP	Estación de destello (División)	R/LS8/MS4
25	RMP	SMP	Establecimiento de envío de llamada	R/LS8/MS4
26	RMP	SMP	Establecimiento de averiguación de secretaria	R/LS8/MS4
27	RMP	SMP	Establecimiento de P.C.D.	R/LS8/MS4
28	RMP	SMP	Establecimiento de envío de llamada distante	R/LS8/MS4
29	RMP	SMP	Modo de C.F. de eg tación de origen	R/LS8/MS4
2A	RMP	SMP	Cancelación de PCD	R/LS8/MS4
2B	RMP	SMP	Establecimiento de restricción de llamada exterior RM	R/LS8/MS4
2C	RMP	SMP	Establecimiento de N.S. flexible	R/LS8(A)/MS4
2D	RMP	SMP	Establecimiento de llamada rápida	R/LS8/CG, MS4
2E	RMP	SMP	Establecimiento de tiempo de despertador	R/LS8(A)/MS4

TABLA 3 (Continuación)

## ORDENES ENVIADAS POR EL SMP

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
2F	RMP	SMP	Llamada por NSN	R/LS8/MS4	
30	RMP	SMP	Recepción de dígito de subfijo	R	
31	RMP	SMP	Transmisión de dígitos dados	R/QF/D1,D2/D3,D4/:::/	
32	RMP	SMP	Recepción y transmisión de dígitos	R	
33	RMP	SMP	Peticion de restricción de tarifa	R/LS8 (TRUNK)/MS4	
34	RMP	SMP	Recepción, transmisión y restricción	R/LS8 (TRUNK)/MS4	
35	RMP	SMP	Aborto de registro	R	
36	RMP	SMP	Detención de llamada	R	
37	RMP	SMP	Llamada permitida	R	
38	RMP	SMP	Recepción de dígito de subfijo/GRP	R	
39	RMP	SMP	Cancelación de envío de llamada distante	R/LS8/MS4	
3A	RMP	SMP	Recepción y transmisión de código de llamada	R/CCF,-	
42	CMP	SMP	Llamada de operadora	LS8/MS4/TYPE	
43	CMP	SMP	Nueva llamada de operadora	LS8/MS4/TYPE	
46	CMP	SMP	Desconexión en fila de espera	LS8/MS4	

TABLA 3 (Continuación)

ORDENES ENVIADAS POR EL SMP.

CODIGO DE REFERENCIA	RECEPTOR	TRANSMISOR	DESCRIPCION DE LA ORDEN	FORMATO DE MENSAJE DE LA ORDEN	
				Secuencia	Byte
47	CMP	SMP	Desconexión en circuito	LS8(P)	MS4/LS8(A)/MS4
48	CMP	SMP	Respuesta P2	LS8(P2)	MS4/LS8(A)/MS4
49	CMP	SMP	Nueva llamada en circuito	LS8(P)	MS4/LS8(A)/MS4
4A	CMP	SMP	Afirmación (conexión completa)	LS8 (P)	MS4/V
4B	CMP	SMP	Desafirmación (fallo de conexión)	LS8 (P)	MS4/V/RSN
4C	CMP	SMP	Fallo de señal de despertador	LS8	MS4
4D	CMP	SMP	Solicitud de TAAS	LS8/MS	TAAS COS
4E	CMP	SMP	División a operadora	LS8(PS)	MS4/LS8(PP)M
4F	CMP	SMP	Llamada a operadora específica	LS8(P)	MS4/LS8(A)/MS
50	CMP	SMP	Estado neto de conferencia	BUSY/IDLE-FLAG	
62	DMP	SMP	Solicitud de COS de origen	LS8/MS4	
63	DMP	SMP	Solicitud de COS terminal	LS8/MS4	
64	DMP	SMP	Transmisión de AIOD	LS8/MS4	
65	DMP	SMP	Estacionamiento de grupo	LS8/MS4	LOG/IIIG
69	DMP	SMP	Línea caliente	LS8/MS4	
6A	DMP	SMP	Dato de uso de tráfico	LS8/MS4	ET
6E	DMP	SMP	Ocupado	LS8/MS4	ALSO TO BMP
6F	DMP	SMP	Desocupado	LS8/MS4	ALSO TO BMP

Las funciones de Operación básicas de cada uno de los microprocesadores 130, 140, 150, 160, 170, 180 y 190 del complejo de control 55 se dan en el formato detallado expuesto a continuación:

- 5                   Funciones del Microprocesador de Estados (SMP)
1. Mantener un registro del estado de cada NSN en el sistema  
Situación Actual  
NSN al que se conecta  
Tiempo de conexión
  10. 2. Determinar, a partir del estado actual, una orden, e información de COS, cual debiera ser el estado siguiente del NSN.
  3. Enviar órdenes y controles de acuerdo con los nuevos estados,  
Comienzo y detención de llamada a IMP  
15   Captura y desconexión a TMP  
Información de atenuación a TMP y IMP  
Control de destello y señalización a TMP y IMP  
Conexión - (función) a RMP  
Transmisión de número a RMP  
20   Iniciación/detención de transmisión a RMP  
Llamada a Operadora a CMP  
Actualización de estado de operadora y confirmación a CMP  
Solicitud de estacionamiento de grupo a DMP  
Solicitudes de clase de servicio a DMP  
25   Control de conexión de la red.
  4. Mantener la tabla de registradores disponibles y hacer asignaciones.
  5. Mantener fila de espera de estacionamientos en NSN específicos.
  - 30   6. Controlar redes de conferencia.

7. Realizar acciones de temporización cortas como impulsiones de tono.
8. Recoger contajes de PEG y tiempos transcurridos para los contadores de tráfico y de uso.
- 5 9. Recoger y registrar acontecimientos relativos a llamadas para análisis detallados de llamadas.
10. Realizar intervención continua de estados de NSN, sus conexiones correspondientes y su tiempo transcurrido.

#### Funciones del Microprocesador de Línea (IMP)

10

1. Exploración de líneas (hasta 2400)
  - A. Detección de nuevo teléfono descolgado
  - B. Detección de nuevo teléfono descolgado
  - C. Detección selectiva de destello (0,5-1,5 segundos teléfono colgado).
- 15 2. Traducciones de números
  - A. Número de equipo (EA) a número de segmento de la red (NSN)
  - B. NSN a EA.
- 20 3. Informar al SMP de la acción de línea válida.
4. Llamar o cancelar la llamada de una línea según dirija el SMP.
5. Establecer atenuación de una línea dirigida por SMP.

#### Funciones del Microprocesador de Registrador (RMP)

25

1. Recoger dígitos según solicite el SMP (64 registradores, rotatorio o DTMF)
  - A. Llamada normal-cantidad por primera traducción de dígitos
  - B. Marcado de programación de característica (longitudes fijas y variables)

30

- C. Restricción de tarifa
  - D. Dígitos de subfijo (singular)
  - E. Llamada al exterior-cantidad determinada por algoritmo en RMP.
- 5      2. Enviar y cortar tono de llamada apropiado.
3. Detectar final de llamada por indecisión de la persona que realiza la llamada.
4. Detectar destello y reponer registrador de la persona que activa los destellos.
- 10     5. Cancelar registrador después de:
- A. Tiempo excesivo entre dígitos (variable calculada)
  - B. Aborto de orden del SMP
  - C. Finalización normal de llamada.
6. Envío de número marcado a DMP (SMP) para dígito de subfijo.
- 15     7. Transmisión de dígitos pulsados (requeridos por SMP)
- A. Repetición de dígitos recogidos
  - B. Número dado
  - C. Retención y permiso de envío por solicitud de SMP.
8. La recogida de dígitos, transmisión y restricción de tarifa pueden efectuarse conjuntamente entre sí.
- 20

#### Funciones del Microprocesador de Enlace (TMP)

1. Explorar enlaces
- A. Detectar captura final distante
  - B. Detectar liberación final distante
  - C. Detectar selectivamente destello.
- 25
2. Traducciones de números
- A. EA a NSN
  - B. NSN a EA.
- 30
3. Detectar final de llamada por vacilación de la persona que



8. Traducción de lógica de señalización en formato uniforme.
9. Normalización de interfase de todos los tipos de enlace a un solo formato uniforme al complejo de control o desde el complejo de control.

5                   Funciones del Microprocesador de base de Datos (DMP)

1. Mantener información de clase de servicio y de características por cada dispositivo (línea, enlace, etc) conectado al sistema.
2. Mantener y utilizar traducciones de número de abonados (DN) a número de segmento de la red (NSN) y NSN a DN.
- 10               3. Mantener y utilizar traducciones de número de abonado a código de acceso normal.
4. Mantener la tabla de primer dígito a cantidad de dígitos esperados.
- 15               5. Mantener y utilizar tablas de grupos de abonados, grupos de enlaces, grupos de averiguación de líneas y grupos de captación de llamadas.
6. Mantener y utilizar traducción de números alternos.
7. Mantener y utilizar tablas de restricción de tarifas.
- 20               8. Mantener sistema misceláneo, grupos de abonados y otros parámetros.
9. Mantener contadores de tráfico y manuales de uso.
10. Enviar información de COS y números traducidos a CMP y SMP según se solicite.
- 25               11. Realizar conversiones de averiguaciones de grupos y de localizaciones alternas antes de las traducciones cuando se solicite.
12. Mantener el mapa de ocupación/desocupación para facilitar averiguaciones de grupos.
- 30               13. Mantener información de llamada rápida.

14. Mantener y utilizar listas de espera de estacionamiento de grupos.
15. Activar equipo de AIOD (llamada exterior de identificación automática).
- 5 16. Activar equipo de OND (representación del número de origen).
17. Dar salida a información de tráfico y de uso al terminal de copia impresa.
18. Realizar las funciones anteriores por cada uno de los ocho grupos de abonados.

10

Funciones del Microprocesador de cuadro de Operadoras  
(CMP)

1. Explorar cuadros de operadoras para hallar actividad de pulsadores.
- 15 2. Mantener un registro de
  - A. El estado de cada cuadro,
  - B. El estado de cada circuito.
3. Recibir nuevas asignaciones de llamadas del SMP y poner en fila de espera de operadora o en fila de espera de prioridad.
- 20 4. Asignar llamadas a operadora disponible.
5. Alterar estados de cuadro de operadora y circuito por pulsaciones de botón de cuadro operadora y solicitudes de SMP.
6. Controlar lámparas del cuadro de operadoras por estados de cuadro de operadora y circuitos.
- 25 7. Presentar información numérica y alfabética en cuadro de operadora por información de estado e información de orden de IPB.
8. Notificar a SNP y recibir afirmación del SNP de cambios de estado.

30

9. Controlar servicio nocturno de cualquier estación en respuesta flexible y de enlace.

10. Controlar llamadas de despertador en ambientes de hotel/motel.

5 11. Realizar la función anterior por 1 a 8 grupos de abonados.

Funciones del Microprocesador del Campo de Lámparas de Ocupación (BMP)

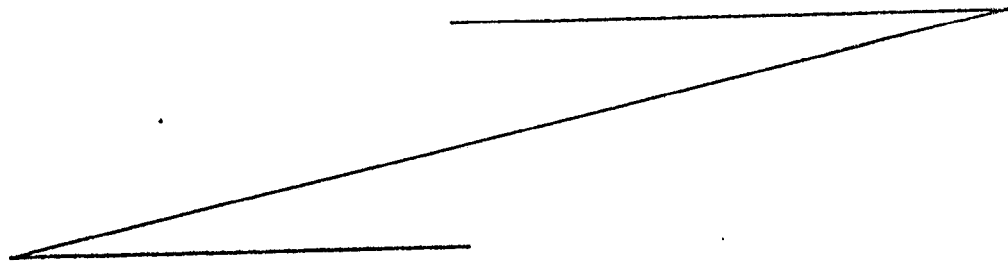
10 1. Mantener un mapa de ocupación/desocupación de todas las estaciones en el sistema: por cada cuadro de operadora, activar una pantalla de ocupación/desocupación para un grupo de 100 estaciones elegidas por la operadora.

3. Leer cierres de interruptor de selección de estación directa, traducir el número de abonado y transmitir al DMF.

15 Complejo del control del microprocesador 55 después de una amplia gama de características de servicio que se pueden proporcionar cualquiera que sea el tamaño del sistema de conmutación. Las características de servicio se añaden fácilmente en cualquier instante, puesto que la mayoría de las características se ejecutan por elementos de programación y están contenidas en un solo paquete de elementos de programación.

20 Una lista que sirve de ejemplo de las características de servicio proporcionadas por el complejo de control 55 se relacionan en la tabla 4 a continuación bajo 10 grupos de características que se consideran podrán comprenderse fácilmente por los expertos en la materia.

25



T A B L A 4

Características de Servicio de Microprocesador

	<u>Características de Estación</u>	<u>Características de operadora.</u>
5	Llamada de estación a estación. Llamada de Estación a Enlace (DOD). Transferencia controlada por estación (todas las llamadas a estación o enlace).	Cuadro de operadora sin cordón (circuito conmutado). Seis circuitos.
10	Retención de consulta (todas las llamadas a una estación o enlace). Conferencia Añadida. Nueva llamada de operadora. Retención de llamada.	Campo de lámparas de ocupación (discrecional). DSS (incluido con BLF). Lámparas de ocupación de Grupo de enlace.
15	Acceso de llamada a operadora. Captación de llamada. Espera de llamada. Estacionamiento (de nuevo llamada origen). Estacionamiento ejecutivo.	Operación de circuito conmutado. Control de acceso de grupo de enlace. Pantalla alfanumérica. Número de estación de enlace.
20	Anulación ejecutiva. Envío de llamada (todas las llamadas entrantes). Envío de llamada a número de llamada rápida.	Identificación del tipo de llamada. Campo de lámpara de ocupación y selección de estación directa (BLF/DSS).
25	Averiguación de secretaria. Sin respuesta-Envío de llamada (DID). Estación ocupada-envío de llamada (DID).	División automática y de dos vías. Estacionamiento, con indicación, verificación de ocupación.
30	Línea de manual.	

TABLA 4 (Continuación)

	<u>Características de Estación</u>	<u>Características de operadora</u>
	Línea ejecutiva.	Nueva llamada automática de operadora servicio de despertador.
	Línea ("caliente"-dirección a enlace).	Servicio de "no molestar".
5	Línea "caliente"-dirección a estación.	Envío de llamada a tercera persona.
	Línea "caliente"-con llamada en CO.	Origen y finalización de todos los tipos de llamada.
10	Ocupación de fila de espera de enlace de salida.	Música en retención y estacionamiento.
	Fila de espera de prioridad a Operadora.	Llamada en Cadena.
	Prueba de llamada a través de Operadora en enlaces.	Operadora a través de número marcado.
15	Fila de espera de enlace de salida por Operadora.	Llamada retardada a operadora.
	Transferencia a Operadora.	Superposición de teclado de transmisión a operadora.
	Operación sin cuadro de Operadora.	Registro y almacenamiento de llamada, (todas las llamadas).
20	Características de servicio Nocturno.	<u>Características de Hotel-Motel</u>
	Respuesta en enlace cualquier estación (respuesta universal).	Correlación de Número de Estación-Habitación.
	Servicio Nocturno Flexible.	Espera de Mensaje.
25	Servicio Nocturno combinado.	Registro de Mensaje.
	Características de Averiguación de Grupo.	Restricción de Llamada a Estación.
	<u>Averiguación de Grupo de Estación</u>	Servicio de Dígito Unico.
30	Activación de número Maestro.	Enlaces de LD.
		Identificación de Hotel/Motel sobre enlaces de CO.

TABLA 4 (Continuación)

<u>Averiguación de Grupo de Estación.</u>	<u>Características de Hotel-Motel.</u>
Distribución Desequilibrada.	Derivación de Tarifa.
Distribución Equilibrada.	Servicio de Despertador.
5 Número de Ultimo Recurso.	Servicio de "despertador".
Averiguación de Secretaria.	Servicio de "no molestar".
Características de Conferencia.	Restricción de llamada de habitación a habitación.
<u>Operadora Controlada</u>	Líneas Manuales.
10 Petición de Encuentro.	Pantalla de número de origen.
Estación Controlada (Progresiva).	Pantalla de números de habitación (llamadas "cero").
Establecimiento Previo.	Estado de Habitaciones.
15 <u>Características de Servicio Especial</u>	<u>Características de Sistema Grupos de Abonados</u>
Acceso de Página.	Distribución de llamada automática.
Acceso de dictado.	Sistema Completo.
Llamada de Código.	Uno o más Grupos de Abonados.
20 Señalización de DTMF (a conversación de impulsos de llamada en rotatorio).	Operación Principal-Satélite.
Llamada de velocidad (llamada abreviada) ALOD.	Servicio de Operadora centralizada.
Transferencia de Estación.	Estacionamiento Ocupado
25 Medición y Almacenamiento de Tráfico.	Colocación en fila de espera de enlace de salida (estación y operadora).
Acceso In situ.	<u>Restricciones de estación</u>
Acceso distante con seguridad.	Estación a enlace (denegación de acceso).
30 Acceso distante a servicio de PBX.	

TABLA 4 (Continuación)

	<u>Características de Servicio Especial</u>	<u>Restricciones de estación</u>
	Selección de ruta flexible.	Enlace a estación (estación a estación solamente).
	Exceso de grupo de enlace.	Origen (terminación solamente).
5	Rutina alternativa.	Terminación (origen solamente).
	Temporización de conversación.	Denegación de tarifa y derivación (inversión de batería o verificación de dígito.
	Medios de interceptación.	Derivación de llamada de paciente (derivación de llegada por estación de control).
10	Operadora.	
	Tono.	
	Registro Discrepcional.	
	Caida de llamada.	
	Tono de llamada al lugar de origen inmediata.	
15	Bloqueo de línea 100/100.	
	Alarma de inactividad del disco selector.	
	<u>Enlace</u>	
	Enlaces de central	
20	(Iniciación a Tierra o Iniciación a Circuito).	
	Enlaces de llamada.	
	Enlaces de repetición de llamada (señalización de circuito o de E y N.	
25	Enlaces en tandem.	
	Enlaces DID (número de abonado listado).	
	Enlaces de CCSA (dispositivo de conmutación de control común).	
30		

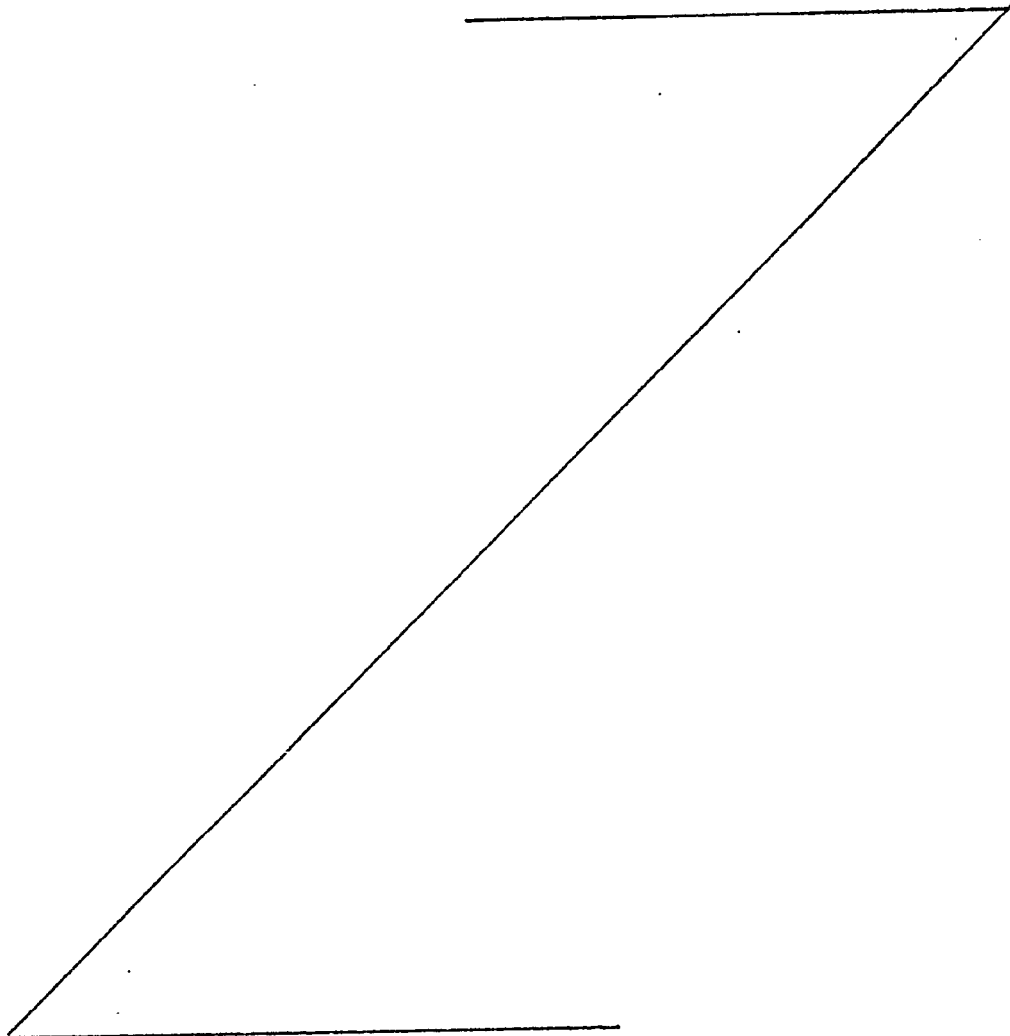
TABLA 4 (Continuación)

Características de Servicio Especial

Enlaces para completar Operadora  
(a CBX satélite).

5 Enlace digitales (interfase con  
línea T1).

10 Describa suficientemente la naturaleza del invento,  
así como la manera de realizarlo en la práctica, debe hacerse  
constar que las disposiciones anteriormente indicadas, son sus-  
ceptibles de modificaciones de detalle, en cuanto no alteren  
su principio fundamental.



REIVINDICACIONES

5. 1.- Perfeccionamientos en dispositivos de control de microprocesadores para sistemas de conmutación telefónica, cuyo dispositivo tiene una serie de unidades de control de microprocesador, caracterizados porque la serie de unidades de control de microprocesador incluyen medios para accionar asincrónamente entre sí las unidades de control, medios para distribuir las funciones del sistema de conmutación entre las unidades de control y medios para intercomunicar entre pares de las unidades de control para coordinar la ejecución de las funciones del sistema de conmutación.

15. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque cada una de las unidades de control de microprocesador incluye un microprocesador, y además porque los medios para distribuir incluye medios individuales de memoria asociados a cada microprocesador para hacer que cada microprocesador realicen porciones dedicadas de las funciones del sistema de conmutación distribuidas al mismo, incluyendo los medios para intercomunicación medios para transferir mensajes de mando entre los pares de microprocesador, asincrónamente de al menos un microprocesador del par.

25. 3.- Perfeccionamientos según las reivindicaciones 1 ó 2, caracterizados porque los medios para su accionamiento comprenden medios de reloj individuales que actúan asincrónamente dentro de cada unidad de control de microprocesador.

30. 4.- Perfeccionamientos según la reivindicación 2, caracterizados porque los medios para transferir comprenden canales de comunicación dedicados entre los pares de microprocesadores, y medios para proporcionar cada microprocesador en un acceso in-

dividual de par al canal de comunicación correspondiente.

5. 5.- Perfeccionamientos según la reivindicación 4, caracterizados porque los canales de comunicación incluyen medios temporales de almacenamiento para aceptar mandos de un microprocesador en un par y transferir posteriormente los mandos aceptados al otro microprocesador de dicho par.

10. 6.- Perfeccionamientos según la reivindicación 5, caracterizados porque los canales de comunicación tienen medios para conectar las líneas de datos y las líneas de dirección de ambos microprocesadores en el par asociado, y medios para decodificar señales en al menos dichas líneas de dirección para direccionar selectivamente los medios de almacenamiento.

15. 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque los canales de comunicación incluyen medios para seleccionar líneas de dirección de uno u otro de los microprocesadores en un par para direccionar los medios de almacenamiento y medios para conmutar los medios de control entre las líneas de dirección de enviar y recibir microprocesadores en un par para comunicar mando entre ellos.

20. 8.- Perfeccionamientos según la reivindicación 2, caracterizados porque los medios de transferir incluyen memoria intermedias del interprocesador interpuestas entre los pares de microprocesadores, teniendo cada memoria intermedia de interprocesador medios de almacenamiento temporal direccionables separadamente por un microprocesador de envío en un par para aceptar mensajes de mando del mismo y por un microprocesador receptor en el par para transferir al mismo los mensajes de mando aceptados.

30. 9.- Perfeccionamientos según la reivindicación 8, caracterizados porque la serie de microprocesadores incluye un primer microprocesador para controlar las líneas conectadas a dicho sis

5. tema de conmutación, un microprocesador de estado para completar selectivamente conexiones entre las líneas en una red del sistema de conmutación, un microprocesador de registro para controlar los registros del sistema de conmutación y un microprocesador de base de datos para realizar traducciones del número de dicho sistema de conmutación.

10. 10.- Perfeccionamientos según la reivindicación 9, caracterizados porque cada memoria intermedia de interprocesador se interpone entre el estado y cada uno de los microprocesadores primero, de registro y de base de datos, interponiéndose ~~otra~~ memoria intermedia de interprocesador entre los microprocesadores de registro y de base de datos.

15. 11.- Perfeccionamientos según la reivindicación 8, caracterizados porque la serie de microprocesadores incluye microprocesadores de línea, unión, registro y consola para ejecutar las funciones del sistema de conmutación en relación con líneas, líneas de unión, registros y consolas, respectivamente, un microprocesador de estado para ejecutar las funciones del sistema de conmutación con la realización de conexiones y mantenimiento de un registro de estados actuales de los dispositivos, y un microprocesador de base de datos para realizar las funciones del sistema de conmutación en relación con la clase del servicio y las traducciones de número.

20. 12.- Perfeccionamientos según la reivindicación 11, caracterizados porque se proporciona una serie de memorias intermedias de interprocesadores para transferir los mensajes de mando entre el microprocesador de estado y los de línea, con unión, consola y base de datos, respectivamente, y entre los microprocesadores de base de datos y cada uno de los citados microprocesadores de registro y consola, respectivamente.

25. 30.

- 13.- Perfeccionamientos según la reivindicaciones 8-12, caracterizados porque cada unidad de control de microprocesador comprende una unidad primaria y otra repetida, medios para mantener sólo en línea al mismo tiempo una de dichas unidades primaria o repetida, medios que responden a la dirección de una avería para intercambiar la unidad de línea en conexión y línea en desconexión, teniendo las unidades primarias y repetidas unas memorias intermedias de interprocesador primaria y repetida, para comunicar los mensajes de mando con las unidades primaria y repetida respectivas en la otra unidad de control de microprocesador del par, y medios que interconectan la unidad primaria a la memoria intermedia repetida de interprocesador y la unidad repetida a la memoria intermedia primaria de interprocesador, de forma que la conmutación de un microprocesador entre sus unidades primaria y repetida no exija una conmutación correspondiente en la otra unidad de control de microprocesador del par.
- 5.
- 10.
- 15.

- 14.- Perfeccionamientos según la reivindicación 1 ó 2, caracterizados porque el sistema de conmutación tiene una serie de puertas de acceso y una red para establecer selectivamente conexiones entre las puertas de acceso, y porque lleva además un microprocesador de estado dentro de la serie de unidades de control de microprocesador, teniendo el microprocesador de estado su propio reloj para accionar asincrónicamente los otros microprocesadores del complejo, una memoria de instrucción programada para hacer que el microprocesador de estado almacene el estado actual de las puertas de acceso del sistema y modifique el estado de la corriente en respuesta a las señales de mando procedentes del complejo, y programada para enviar señales de mando al complejo para ejecución de funciones particulares del sistema de conmutación, teniendo el microprocesador de estado medios de interfase
- 20.
- 25.
- 30.

conectados a la red y direccionable como emplazamientos de memorias para establecer selectivamente conexiones en la red en respuesta a las señales de mando recibidas de dicho complejo.

5. 15.- Perfeccionamientos según cualquiera de las reivindicaciones 1, 2, 14 ó 15, caracterizados porque el sistema de conmutación lleva una serie de puertas de acceso, incluyendo una serie de circuitos de líneas para conectar a una serie de líneas telefónicas, teniendo cada uno de los circuitos de línea un punto de detección para indicar el estado ocupado o libre de la línea correspondiente y un punto de control para controlar la llamada de dicha línea, teniendo el sistema de conmutación una red para establecer selectivamente conexiones entre las puertas de acceso, y porque el sistema lleva un microprocesador de línea dentro de la serie de unidades de control de microprocesador, teniendo el microprocesador de línea su propio reloj para funcionar asincrónicamente los otros procesadores del complejo, teniendo el microprocesador de línea conexiones de circuito a los puntos de detección y de control direccionables como emplazamiento de memoria, teniendo el microprocesador de línea una memoria de instrucción programada para hacer que el microprocesador de línea explore los puntos de detección para detectar los cambios de estado de la línea y enviar señales de mando al complejo, informando al complejo de los cambios de estado, y programado para ejecutar las señales de mando de dicho complejo para escribir los puntos de control en respuesta a las mismas.
- 10.
- 15.
- 20.
- 25.

30. 16.- Perfeccionamientos según cualquiera de las reivindicaciones 1, 2, 14 ó 15, caracterizados porque el sistema de conmutación incluye una serie de puertas de acceso, incluidos circuitos de líneas de unión para conexión a líneas telefónicas de unión correspondientes, teniendo cada circuito de unión una serie

- de puntos de detección para indicar el estado de la línea de unión correspondiente y una serie de puntos de control para controlar el estado de dicha línea, teniendo el sistema una red para establecer selectivamente conexiones entre las puertas de acceso, porque además el sistema incluye un microprocesador de línea de unión dentro de la serie de unidades de control del microprocesador, cuyo microprocesador de línea de unión tiene su propio reloj para actuar asincrónicamente en relación con los otros procesadores del complejo, teniendo el microprocesador de línea de unión conexiones de circuito a los puntos de detección y puntos de control direccionables como emplazamientos de memoria, teniendo el microprocesador de línea de unión una memoria de instrucción programada para hacer que el microprocesador de línea de unión explore los puntos de detección para detectar los cambios de estado de la línea de unión y comunique señales de mando al complejo de control, informando al complejo de los cambios de estado, y programado para ejecutar las señales de mando procedentes del complejo, por escritura de algunos puntos seleccionados de citados puntos de control.
5. 10. 15. 20. 25. 30.
- 17.- Perfeccionamientos según cualquiera de las reivindicaciones 1, 2 ó 14-16, caracterizados porque el sistema de conmutación tiene una serie de puertas de acceso, incluidos registros para recibir información de número marcado, y una red para establecer selectivamente conexiones entre las puertas de acceso, y porque además el sistema de conmutación tiene un microprocesador de registro dentro de la serie de unidades de control de microprocesador, teniendo el microprocesador de registros su propio reloj para actuar asincrónicamente con relación a los otros microprocesadores del complejo, teniendo el microprocesador de registro conexiones de circuito a los citados registros direccionables

5. como emplazamientos de memoria, teniendo el microprocesador de registro una memoria de instrucción programada para hacer que el microprocesador de registro ejecute las señales de mando recibidas del complejo por recepción y análisis de la información del número marcado procedente de los registros y programada para enviar señales de mando al complejo, informando al complejo de la citada información analizada.

10. 18.- Perfeccionamientos según cualquiera de las reivindicaciones 1, 2 ó 14-17, caracterizados porque el sistema de conmutación tiene una serie de puertas de acceso, registros para recibir la información del número marcado y una red para establecer selectivamente conexiones entre las puertas de acceso, y porque además el sistema de conmutación tiene un microprocesador de base de datos dentro de la serie de unidades de control de microprocesador, teniendo el citado microprocesador de base de datos su propio reloj para actuar y funcionar asincrónicamente respecto a los otros microprocesadores del complejo, teniendo el microprocesador de base de datos una memoria programada que almacena clase de servicios y traducciones de número para las puertas de acceso del sistema, teniendo el microprocesador de base de datos una memoria de instrucción programada para ejecutar las señales de mando procedentes del complejo solicitando información sobre clase de servicio, enviando una señal de mando al complejo, incluyendo la clase exigida de información de servicio y programado para ejecutar las señales de mando procedentes del complejo, solicitando las traducciones del número marcado enviando señales de mando al citado complejo, incluyendo la traducción solicitada.

20. 19.- Perfeccionamientos según cualquiera de las reivindicaciones 1, 2 ó 14-18, caracterizados porque el sistema de conmutación

25.

30.

- tación tiene una serie de puertas de acceso, una red para establecer selectivamente conexiones entre las puertas de acceso y medios correspondientes de consola, y porque además dicho sistema tiene un microprocesador de consola dentro de la serie de unidades de control de microprocesador, teniendo el microprocesador de consola su propio reloj para actuar asincrónicamente respecto a los otros microprocesadores del complejo, teniendo el microprocesador de consola conexiones de circuito a los citados medios de consola para recibir mensajes de ellos y enviarles mensajes, teniendo el microprocesador de consola una memoria de instrucción programada para hacer que el microprocesador de consola analice los mensajes recibidos de los medios de consola y envíe señales de mando al complejo para informar al complejo de las acciones correspondientes, y programada para ejecutar las señales de mando procedentes del complejo para controlar los medios de consola en respuesta a las mismas.
5. 20.- Perfeccionamientos según la reivindicación 2, caracterizados porque los medios para intercomunicar incluyen una serie de memorias intermedias de interprocesador dentro de cada unidad de control de microprocesador respectiva y asociados a los microprocesadores de las mismas, comprendiendo las memorias intermedias de interprocesador unos canales de comunicación dedicados entre el microprocesador correspondiente y el otro de dichos microprocesadores apareados.
10. 21.- Perfeccionamientos según la reivindicación 20, caracterizados porque la serie de unidades de control de microprocesador comprende unos primeros medios de las mismas y porque incluyen una serie igual de unidades de control de microprocesador teniendo cada elemento de dicha serie una repetición de la citada primera serie, medios para contener cada par repetido de
- 15.
- 20.
- 25.
- 30.

5. unidades de control de microprocesador en línea y los otros fuera de línea, medios para controlar la operatividad de cada una de las unidades de control en línea para detectar sus averías, y medios que responden a la detección de una avería para conmutar la línea en servicio por la línea fuera de servicio y la línea fuera de servicio por la línea de servicio, con lo que cada una de las unidades de control de microprocesador se puede sustituir individual y automáticamente para mantener en funcionamiento el sistema.
10. 22.- Perfeccionamientos según la reivindicación 21, caracterizados porque el microprocesador de cada una de las unidades repetidas de control de microprocesador se encuentra conectado a su memoria intermedia de interprocesador correspondiente, y porque además incluye medios que conectan transversalmente cada uno de los microprocesadores de un par con las memorias intermedias de interprocesador del otro, con lo que el canal de comunicación dedicado conecta ambos pares repetidos de microprocesador de manera que la unidad en línea de cada par pueda comunicarse a través de dicho canal.
15. 23.- Perfeccionamientos según la reivindicación 20, 22, caracterizados porque cada memoria intermedia de interprocesador incluye secciones intermedias de envío y recepción, estando la sección de envío conectada al microprocesador correspondiente para recibir del mismo mensajes de mando, estando conectada la sección de recepción al otro microprocesador del par para proporcionar al mismo los mensajes de mando recibidos, y medios que transfieren el control entre la sección de envío y la sección de recepción para comunicar mensajes de mando entre los microprocesadores respectivos.
20. 24.- Perfeccionamientos según cualquiera de las reivin-
- 25.
- 30.

- dicaciones anteriores, caracterizados porque las unidades de control de microprocesador comprenden una unidad de línea para control de los circuitos de línea para control de los circuitos de línea, una unidad de unión para control de los circuitos de unión,
5. una unidad de registro para elaborar la información marcada, una unidad de base de datos para ejecutar las traducciones de números marcado y una unidad de estado para mantener un registro de estado de corriente y transmitir mandos a la otra de dichas unidades.
- 25.- Perfeccionamientos según cualquiera de las reivindicaciones 1-4, caracterizados porque el sistema de conmutación telefónica incluye una red de conmutación supervisada por un controlador de red, y que tiene igualmente puntos de detección y control para derivar y terminar la información respectivamente al sistema de conmutación, y porque el dispositivo incluye primeros
10. medios de microprocesador que tienen primero medios de memoria programada para constituir los primeros medios de microprocesador como medios para almacenar los estados actuales de llamada, líneas, uniones y registros del sistema de conmutación y proporcionar los estados siguientes de llamada de los mismos, segundos
15. medios de microprocesador que tiene segundos medios de memoria programada para constituir a los segundos medios de microprocesador como medios para controlar los puntos de detección y describir los puntos de control en el sistema de conmutación, terceros
20. medios de microprocesador que tienen terceros medios de memoria programados para constituir los terceros medios de microprocesador como medios para controlar una serie de registros para aceptar y elaborar la información marcada y cuartos
25. medios de microprocesador que tienen cuartos medios de memoria programada para constituir los cuartos medios de microprocesador como medios para regular
30. lizar las traducciones de los números marcados.

26.- Perfeccionamientos según la reivindicación 1 a 4, caracterizados porque el sistema de conmutación incluye una red de conmutación supervisado por un controlador de red y unos puntos de detección y control para obtener y terminar la información, respectivamente al sistema de conmutación, y porque el dispositivo de control incluye además unos primeros medios de microprocesador que tienen unos primeros medios de memoria programados para constituir los primeros medios de microprocesador como medios para controlar los puntos de detección, escribir los puntos de control y almacenar el estado actual de todas las líneas, uniones y registros del sistema de conmutación y proporcionar los estados siguientes de llamada de los mismos, segundos medios de microprocesador que tienen segundos medios de memoria programados para constituir los segundos medios de microprocesador como medios para controlar una serie de registros para aceptar y elaborar la información marcada, y terceros medios de microprocesador que tienen terceros medios de memoria programados para constituir los terceros medios de microprocesador como medios para efectuar las traducciones de los números marcados.

27.- Perfeccionamientos según cualquiera de las reivindicaciones 1-4, caracterizados porque el sistema de conmutación incluye una red de conmutación supervisada por un controlador de red e incluye al mismo tiempo unos puntos de detección y control para obtener y terminar información al sistema de conmutación, y porque el dispositivo de control incluye un microprocesador de estado que tiene medios de memoria programados para constituir el microprocesador de estado como medios que responden a las señales de mando de recepción para almacenar los estados actuales de todas las líneas, uniones y registros del sistema de conmutación; programado los medios de memoria del microprocesador de es

- tado para enviar señales de mando que proporcionan los estados siguientes de las líneas seleccionadas, uniones o registros y hacer que el controlador de red establezca conexiones en dicha red de conmutación; un microprocesador de línea que tiene medios de memoria programados para constituir el microprocesador de línea como medios que exploran los puntos de detección de una serie de circuitos de líneas del sistema de conmutación para detectar los orígenes y terminaciones de líneas y enviar señales de mando al microprocesador de estado en respuesta a las mismas, estando programados los medios de memoria del microprocesador de línea para hacer que el microprocesador ejecute las señales de mando procedentes del microprocesador de estado, escribiendo los puntos de control del circuito de línea, teniendo un microprocesador de línea de unión medios de memoria programados para constituir el microprocesador de unión como medios para explorar los puntos de detección de una serie de circuitos de unión, para detectar las transiciones de estado del circuito de unión y para enviar señales de mando al microprocesador de estado en respuesta a las mismas, estando programados los medios de memoria del microprocesador de unión de forma que hagan que el microprocesador ejecute las señales de mando procedentes del microprocesador de estado escribiendo puntos de control del circuito de unión, teniendo un microprocesador de registro medios de memoria programados para constituir el microprocesador de registro como medios para controlar una serie de registro en respuesta a las señales de mando procedentes del microprocesador de estado, para recoger e interpretar la información marcada y para enviar señales de mando con dicha información, teniendo un microprocesador de base de datos medios de memoria programados para constituir el microprocesador de base de datos como medios que almacenan las tablas
- 5.
  - 10.
  - 15.
  - 20.
  - 25.
  - 30.

- de base de datos, incluyendo las tablas de traducción de los números marcados para responder a los mensajes de mando procedentes del microprocesador de registro con dicha información del número marcado para efectuar una traducción del número marcado
5. y enviar un mensaje de mando al microprocesador de estado en respuesta al mismo, un microprocesador de consola que tiene medios de memoria programados para constituir el microprocesador de consola como medios para controlar una serie de consolas correspondientes para mensajes múltiples en el sistema de conmutación para controlar mensajes seleccionados para comunicar mensajes de mando al microprocesador de estado y para activar otros mensajes seleccionados en respuesta a las señales de mando procedentes del microprocesador de estado, comunicándose las citadas señales de mando entre procesadores sobre dichos medios para su transferencia.
- 10.
- 15.

- 28.- Perfeccionamientos según la reivindicación 2, caracterizados porque el sistema de conmutación incluye una red de conmutación digital, y porque cada una de las series de unidades de control de microprocesador incluye una memoria de instrucción y una memoria de datos, que comprenden dichos medios individuales de memoria, fijando al menos una memoria intermedia de interprocesador a una unidad diferente de las unidades de control de microprocesador, comprendiendo dichos medios para transferir, estando la memoria de instrucción de cada unidad de control de microprocesador físicamente condicionada para contener un programa de instrucciones para constituir a dicha unidad como medios para llevar a cabo una parte del total de las funciones del sistema de conmutación, recibiendo cada unidad señales de tarea a través de una memoria intermedia de interprocesador desde al menos otra unidad para ejecutar dichas tareas y enviar otras señales
- 20.
- 25.
- 30.

- de tarea a al menos otra unidad a través de una memoria intermedia de interprocesador, comprendiendo una primera de dichas unidades de control de microprocesador una unidad de microprocesador de estado para enviar señales de tarea a la red de conmutación digital para hacer que esta última establezca y retire las conexiones de llamada, y una segunda de las unidades de control de microprocesador que comprende una unidad de microprocesador de línea para leer y escribir selectivamente los puntos de detección y control para las líneas telefónicas y tratar las señales en tales puntos como señales de memoria de datos.
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- 29.- Perfeccionamientos según la reivindicación 28, caracterizados porque la memoria de instrucción de la unidad de microprocesador de línea se encuentra condicionada para contener un programa de instrucciones por el que los puntos de detección son explorados repetidamente y la identificación de cualquier línea en un nuevo estado descolgado se representa por unas señales resultantes de tareas enviadas a través de una memoria intermedia de interprocesador a la unidad de microprocesador de estado, y la memoria de instrucción de la citada unidad de microprocesador de estado está físicamente condicionada para contener un programa de instrucciones por el que constituye medios para responder a las señales de tareas resultantes para proporcionar a la citada red de conmutación unas señales de control que establecen una vía de conexión entre la línea identificada y un registro disponible.
- 30.- Perfeccionamientos según la reivindicación 29, caracterizados porque además una tercera de las unidades de control de microprocesador comprende una unidad de microprocesador de registro, estando dicha memoria de instrucción de la memoria de registro físicamente condicionada para constituir dicha unidad como (i) medios para responder a los números marcados recogidos por:

un registro conectado y (ii) medios para enviar a una cuarta unidad de control de microprocesador, a través de una memoria intermedia de interprocesador, el número marcado en forma de señales de tarea, comprendiendo la cuarta unidad de control de microprocesador una unidad de microprocesador de base de datos.

5. 31.- Perfeccionamientos según la reivindicación 30, caracterizados porque la memoria de instrucción de dicha unidad de microprocesador de base de datos está físicamente condicionada para contener un programa de instrucciones por el que dicha unidad constituye (i) medios para traducir las señales de tarea del número marcado en una serie de señales que identifican la línea asignada al número marcado y (ii) medios para enviar dichas señales de identificación a la unidad de estado como señales de tarea, y la citada memoria de instrucción de la unidad de microprocesador de estado está físicamente condicionada para contener un programa de instrucciones por el que dicha unidad constituye medios, que responden a dichas señales de identificación enviadas a la misma por dicha unidad de base de datos, para suministrar a dicha unidad de línea señales de tarea que ordenan la llamada en dicha línea identificada.

10. 32.- Perfeccionamientos según la reivindicación 31, caracterizados porque la memoria de instrucción de la unidad de microprocesador de línea está físicamente condicionada para contener un programa que constituye a dicha unidad como medios que responden a señales de tarea recibida que ordena la llamada de una línea identificada para escribir una señal a un punto de control correspondiente a dicha línea, teniendo el sistema medios de interfase de línea que responden a una señal escrita en el punto de control de cualquier línea dada para suministrar una señal de llamada a dicha línea.

15. 33.- Perfeccionamientos según la reivindicación 32, caracterizados porque la memoria de instrucción de la unidad de microprocesador de línea está físicamente condicionada para contener un programa que constituye a dicha unidad como medios que responden a señales de tarea recibida que ordena la llamada de una línea identificada para escribir una señal a un punto de control correspondiente a dicha línea, teniendo el sistema medios de interfase de línea que responden a una señal escrita en el punto de control de cualquier línea dada para suministrar una señal de llamada a dicha línea.

20. 34.- Perfeccionamientos según la reivindicación 33, caracterizados porque la memoria de instrucción de la unidad de microprocesador de línea está físicamente condicionada para contener un programa que constituye a dicha unidad como medios que responden a señales de tarea recibida que ordena la llamada de una línea identificada para escribir una señal a un punto de control correspondiente a dicha línea, teniendo el sistema medios de interfase de línea que responden a una señal escrita en el punto de control de cualquier línea dada para suministrar una señal de llamada a dicha línea.

25. 35.- Perfeccionamientos según la reivindicación 34, caracterizados porque la memoria de instrucción de la unidad de microprocesador de línea está físicamente condicionada para contener un programa que constituye a dicha unidad como medios que responden a señales de tarea recibida que ordena la llamada de una línea identificada para escribir una señal a un punto de control correspondiente a dicha línea, teniendo el sistema medios de interfase de línea que responden a una señal escrita en el punto de control de cualquier línea dada para suministrar una señal de llamada a dicha línea.

30. 36.- Perfeccionamientos según la reivindicación 35, caracterizados porque la memoria de instrucción de la unidad de microprocesador de línea está físicamente condicionada para contener un programa que constituye a dicha unidad como medios que responden a señales de tarea recibida que ordena la llamada de una línea identificada para escribir una señal a un punto de control correspondiente a dicha línea, teniendo el sistema medios de interfase de línea que responden a una señal escrita en el punto de control de cualquier línea dada para suministrar una señal de llamada a dicha línea.

5. terizados además porque la memoria de instrucción de dicha unidad de microprocesador de línea está físicamente condicionada para constituir a dicha unidad como medios que responden a un estado descolgado detectado en el punto de detección explorado de una línea que llama previamente para enviar a dicho microprocesador de estado señales de tarea que identifican dicha línea como una nueva línea descolgada.

10. 34.- Perfeccionamientos según la reivindicación 33, caracterizados porque la memoria de instrucción de la citada unidad de microprocesador de estado está físicamente condicionada con un programa para constituir a dicha unidad como medios, que responden a las señales de tarea recibida que identifican una nueva línea descolgada para designar a dicha línea como línea de respuesta si dicha línea estaba llamando previamente, y para suministrar a dicha red de señales de tarea que hacen que esta última establezca una conexión entre la línea de llamada y la línea de respuesta.

15. 35.- Perfeccionamientos según la reivindicación 34, caracterizados porque la memoria de instrucción de la citada unidad de microprocesador de línea está físicamente condicionada por un programa para constituir a dicha unidad como un medio, que responde a un nuevo estado descolgado detectado en un punto de detección de una línea conectada, para transmitir a dicha unidad de estado señales de tarea que ordenan la desconexión de la línea correspondiente a dicho punto de detección, y dicha memoria de instrucción de la unidad de microprocesador de estado está físicamente condicionada por un programa para constituir a dicha unidad como medios, que responden para desconectar las señales de tarea de mando de dicha unidad de línea, para enviar a la red de señales de tarea que hagan que esta última retire la conexión de

20.

25.

30.

la que formaba parte dicha línea correspondiente.

5. 36.- Perfeccionamientos según la reivindicación 1, caracterizados porque cada unidad de control de microprocesador incluye un microprocesador, comprendiendo los medios para la distribución memorias individuales de instrucción asociadas a cada uno de los microprocesadores y direccionables únicamente por el microprocesador correspondiente para hacer que el microprocesador correspondiente ejecute las partes de las funciones del sistema de conmutación distribuidas a la misma, incluyendo cada unidad de control de microprocesador memorias respectivas de datos, cada una de las cuales tiene un primer campo direccionable únicamente por el microprocesador asociado así como unos campos segundo y tercero, incluyendo el segundo campo medios de memoria intermedia de interprocesador direccionables por el microprocesador asociado para escribir en la misma señales de tarea, comprendiendo el tercer campo los medios de memoria intermedia de interprocesador de otro microprocesador y direccionable para leer del mismo señales de tarea para ejecutar dichas tareas, comprendiendo los campos segundo y tercero los medios para intercomunicación.

10.

15.

20. 37.- Perfeccionamientos según la reivindicación 1, caracterizados porque cada una de las unidades de microprocesador de control incluye su único reloj para funcionamiento asíncrono, y porque el dispositivo distribuye las tareas de elaboración de la llamada del sistema de conmutación a lo largo de líneas de elaboración de llamadas funcionales, teniendo cada unidad de control de microprocesador una memoria de instrucción programada para constituir a dicha unidad como medios para realizar el grupo distribuido de tareas de elaboración de llamadas distribuidas a la misma, teniendo al menos algunas de las unidades de control de microprocesador conexiones de circuito en el sistema de conmutación.

25.

30.

5. ción direccionables como memoria de datos para llevar a cabo las funciones distribuidas a la misma, estando condicionadas las memorias de instrucción de cada unidad de control de microprocesador de manera que hagan que la unidad de control de microprocesador correspondiente ejecute las señales de tarea procedentes de otra unidad de control de microprocesador y produzca señales de tarea para ejecución por parte de otra unidad de control de microprocesador, comprendiendo los medios para intercomunicación unos canales dedicados de comunicación asíncrona entre las unidades de control de microprocesador de envío y las de recepción.
- 10.

38.- Perfeccionamientos en dispositivos de control de microprocesadores para sistemas de conmutación telefónica, tal y como queda sustancialmente descrito en la presente Memoria.

15. Esta Memoria consta de ciento noventa y dos hojas escritas a máquina por una sola cara.

Madrid, 19 OCT. 1978

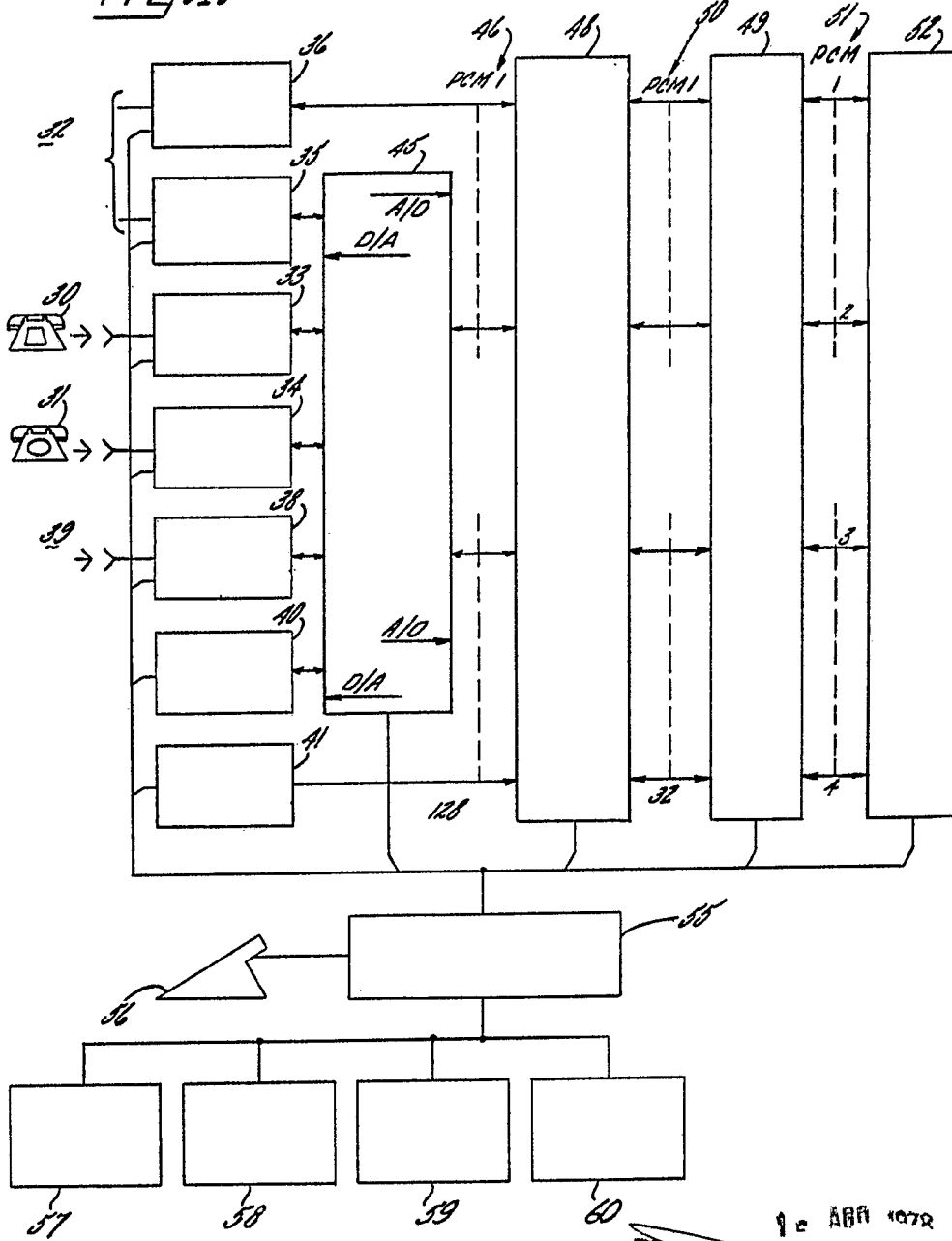
WESCOM SWITCHING.

J. M. GOMEZ AREDO Y POMBOY  
p. p. Firmador J. Suarez Diaz



ESCALA VARIABLE

Fig. 10



9 de ABR 1972

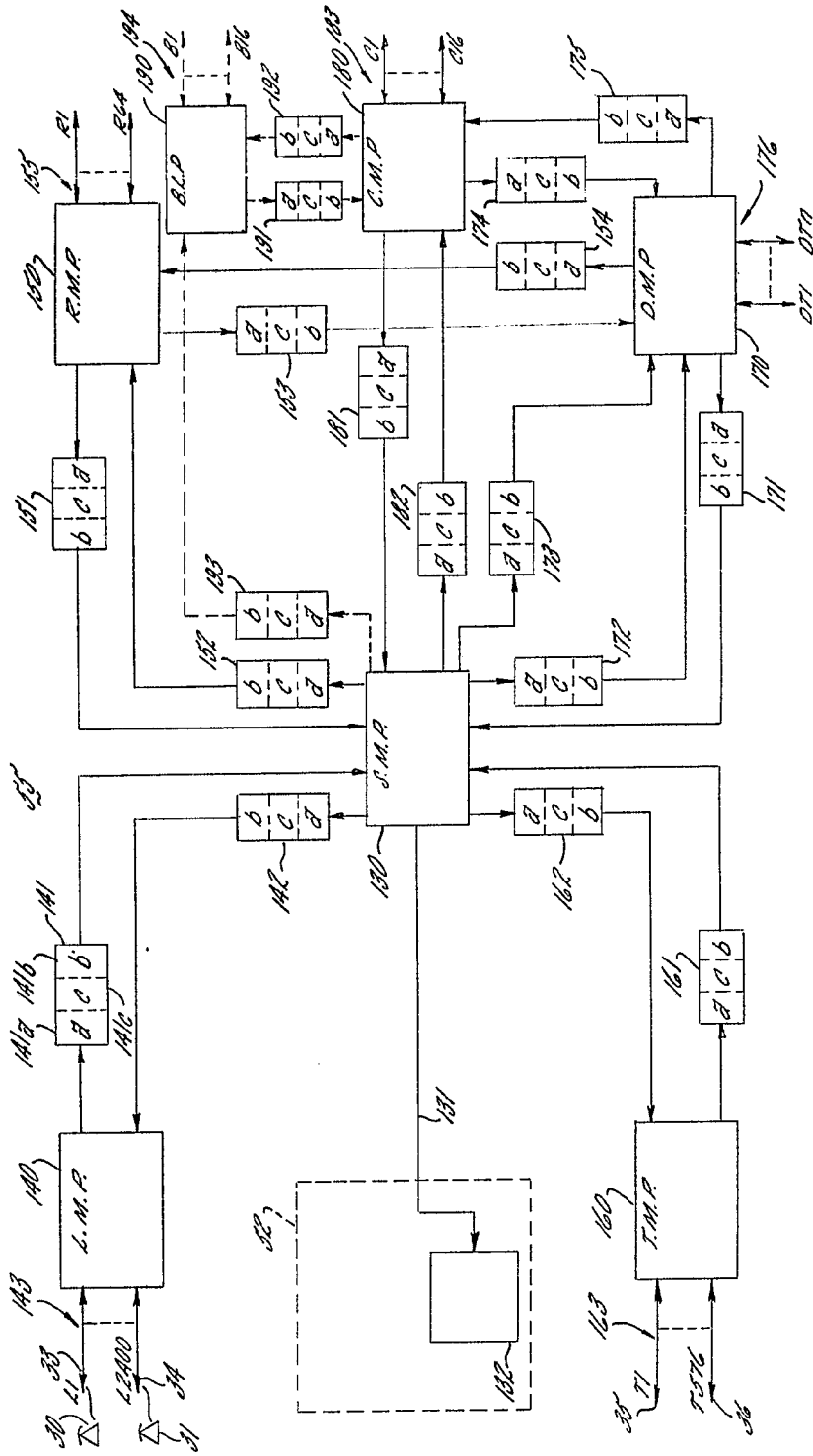
Madrid

**J. M. GOMEZ AGERO Y POMBO**

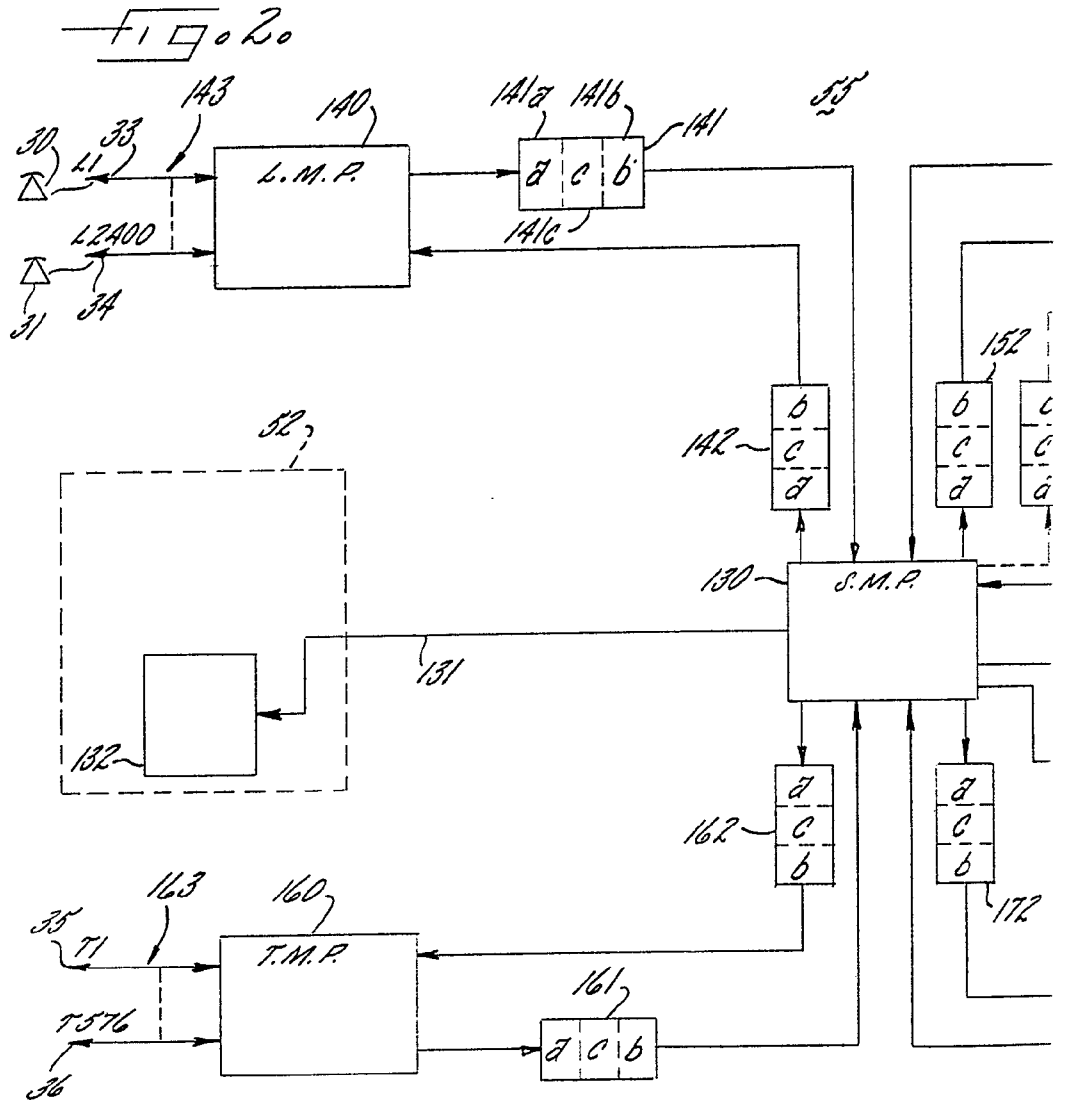
El P. Firmado: J. Suarez Diaz

# ESCALA VARIABLE

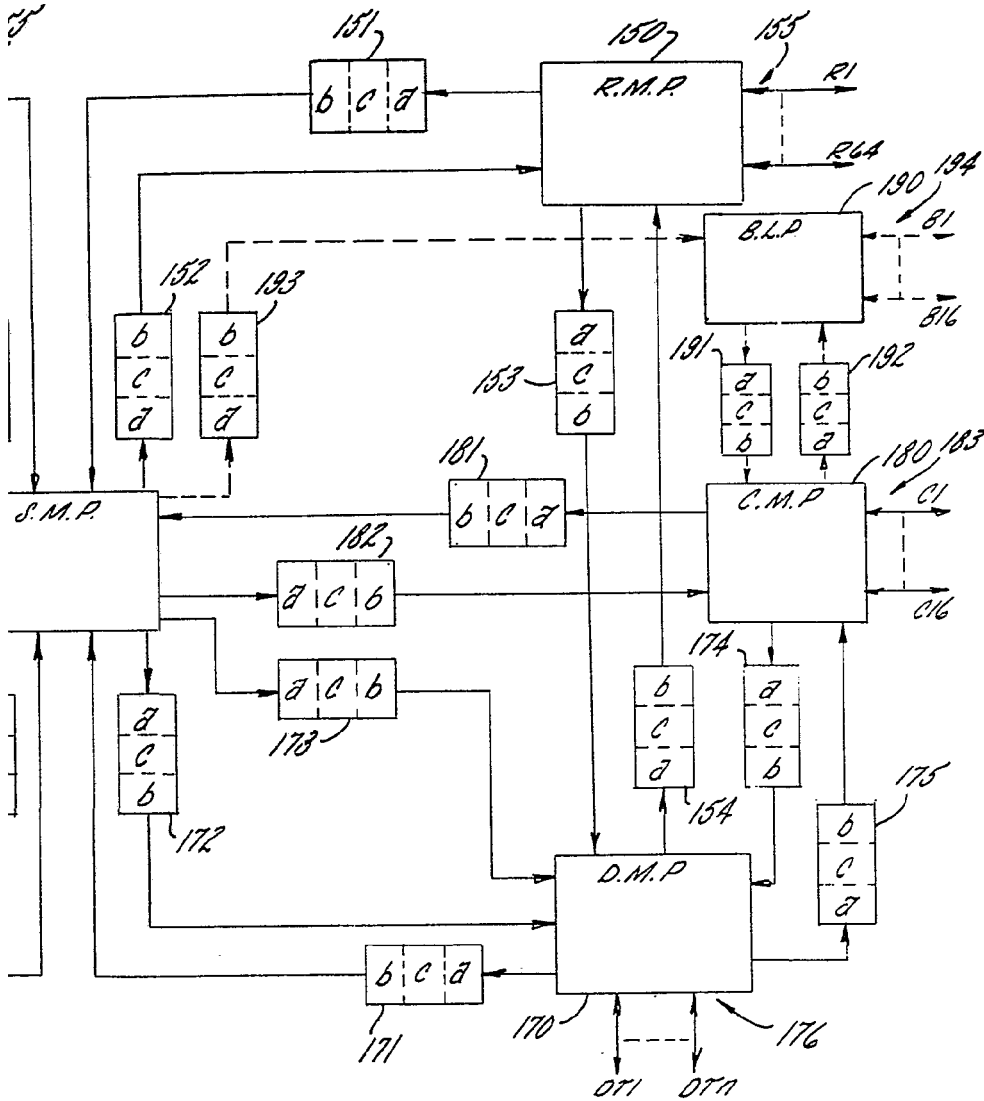
FIG 20



Q. C. 107 407X  
 Madrid, Sr. BONHEZ-ASSOCIÉS S.A.  
 P. de Firmas y sellos D.N.E.B.



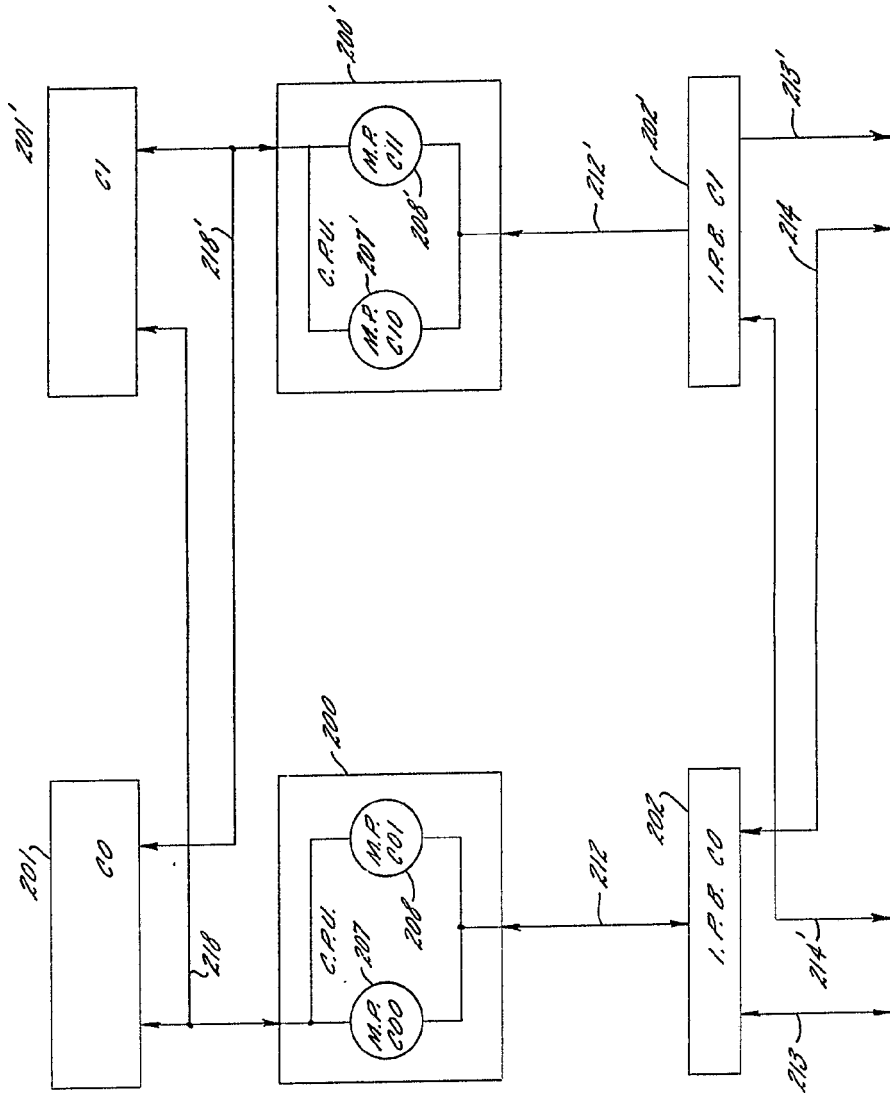
# ESCALA VARIABLE



1 e AGO 1978

~~Madrid~~ GOMEZ AGUDO Y PUMBO  
 P. P. Firmado: J. Gomez Diaz

FIG 236



ESCA  
VARIABLE

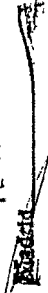
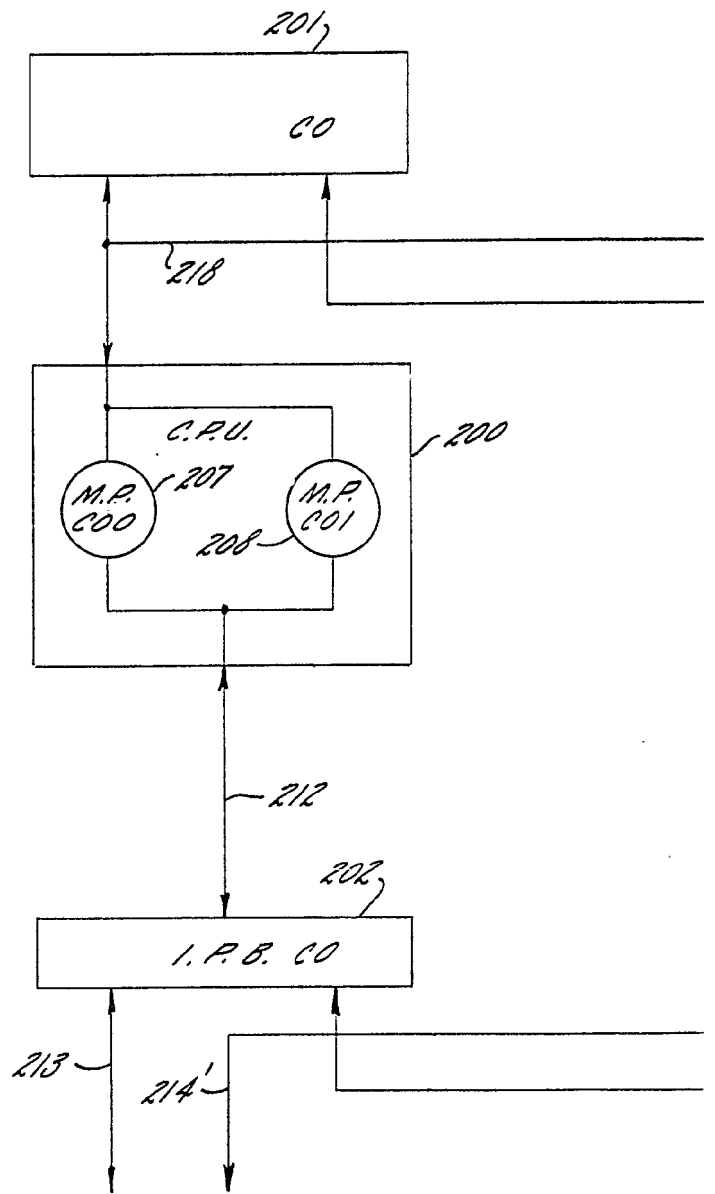
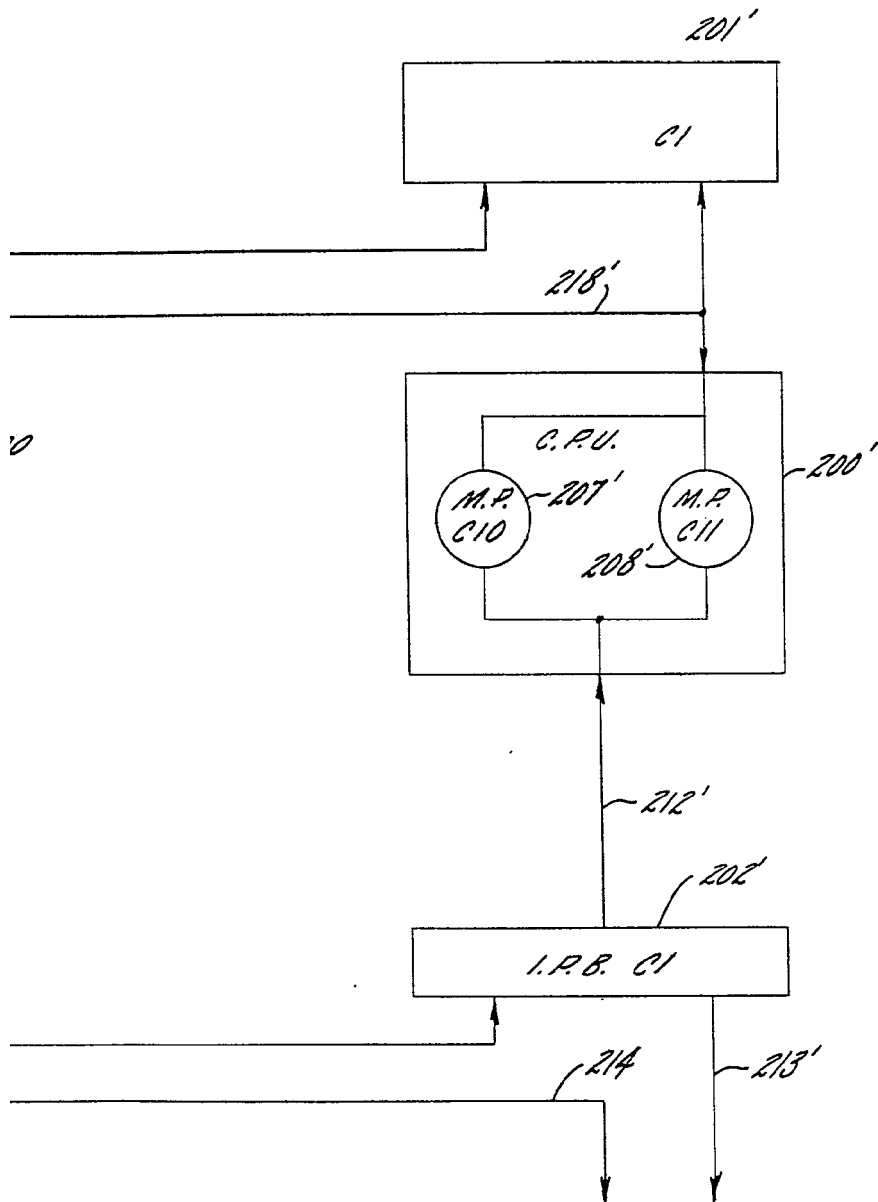

  
 M. GOMEZ AGUIRRE PAREDO
   
 Ingeniero en Telecomunicaciones

FIG. 3



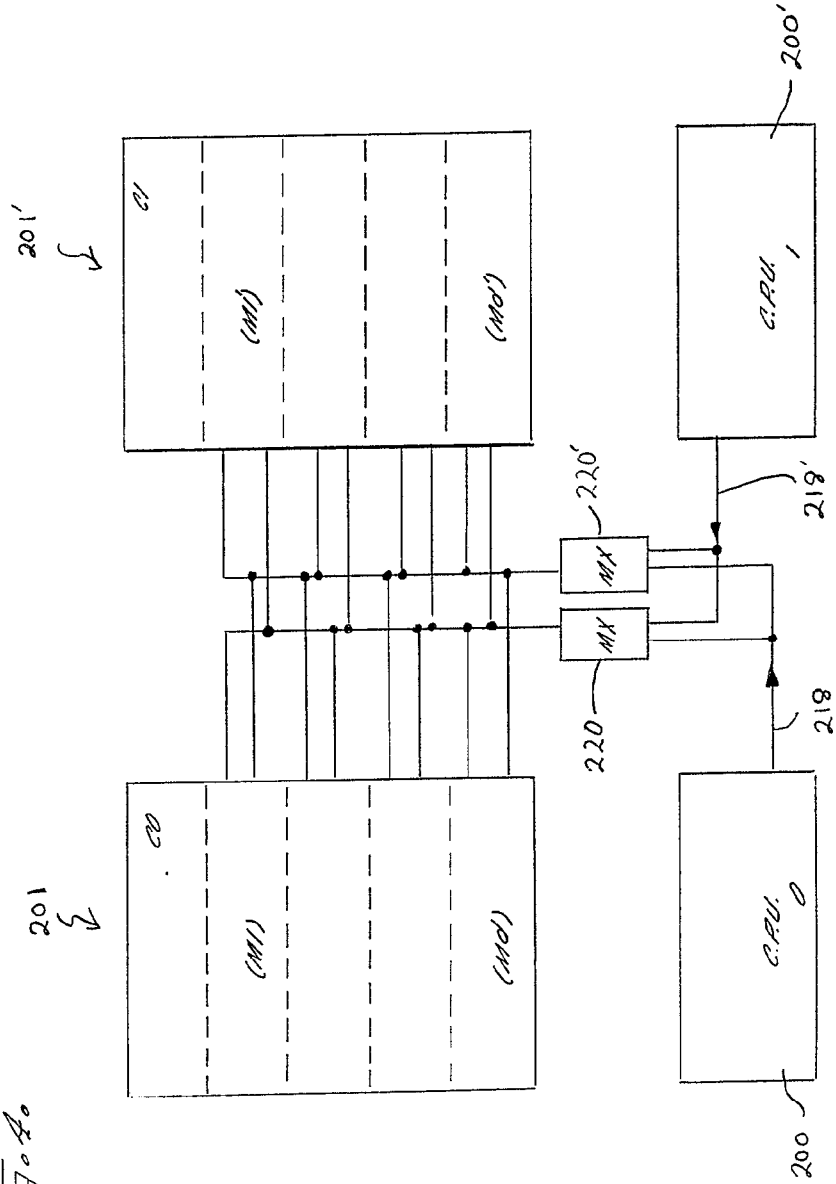


ESCALA  
VARIABLE

15 DEC 1978  
~~Medida~~  
E. GOMEZ ACEBO Y POMEBA  
D. P. Elmedo: J. Suarez Diaz

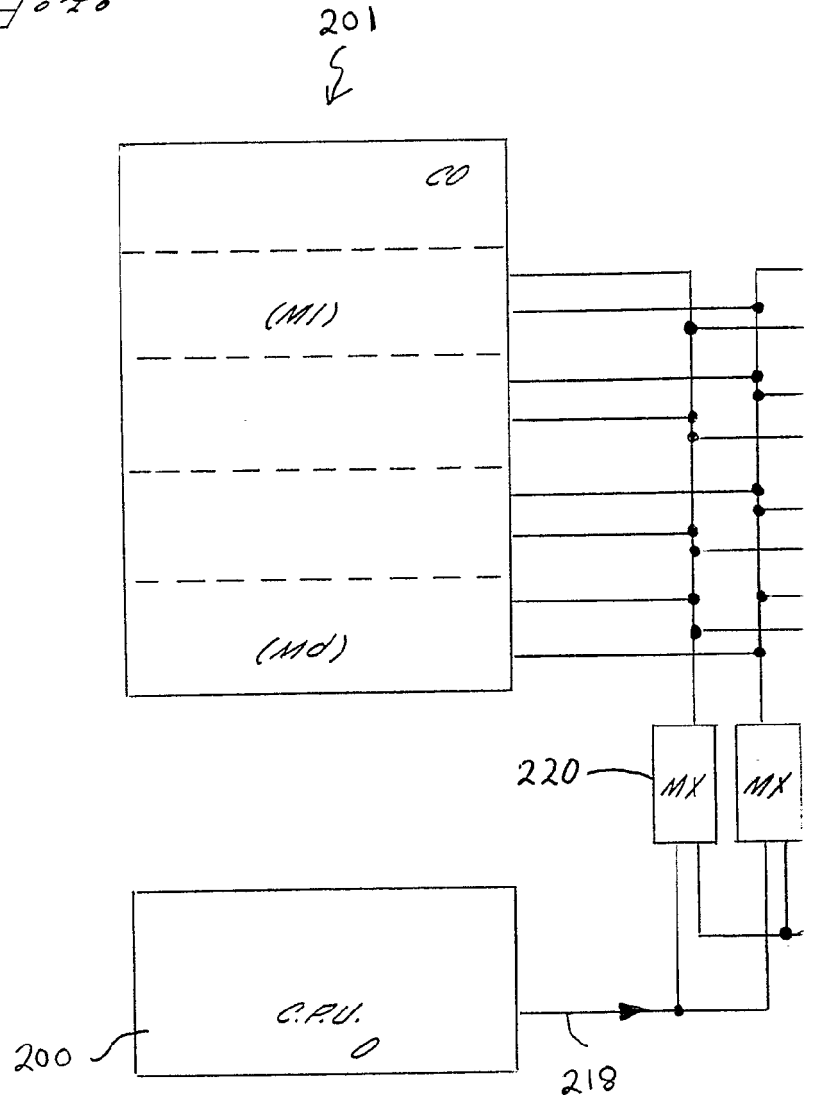
# ESCALA VARIABLE

FIG. 4.

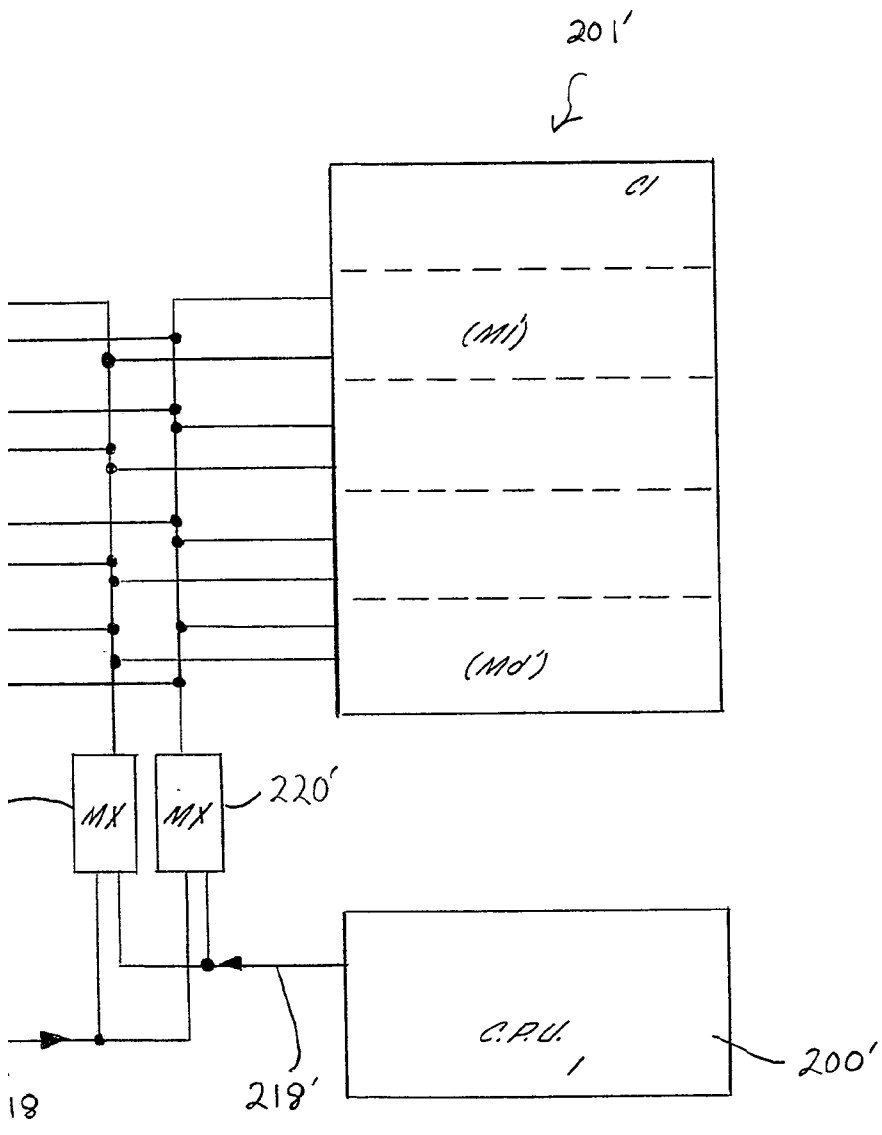


Madrid  
J. M. GOMEZ ACEBO Y PONS  
P. de Firmado: J. Suarez Diaz

FIG. 40



# ESCALA VARIABLE

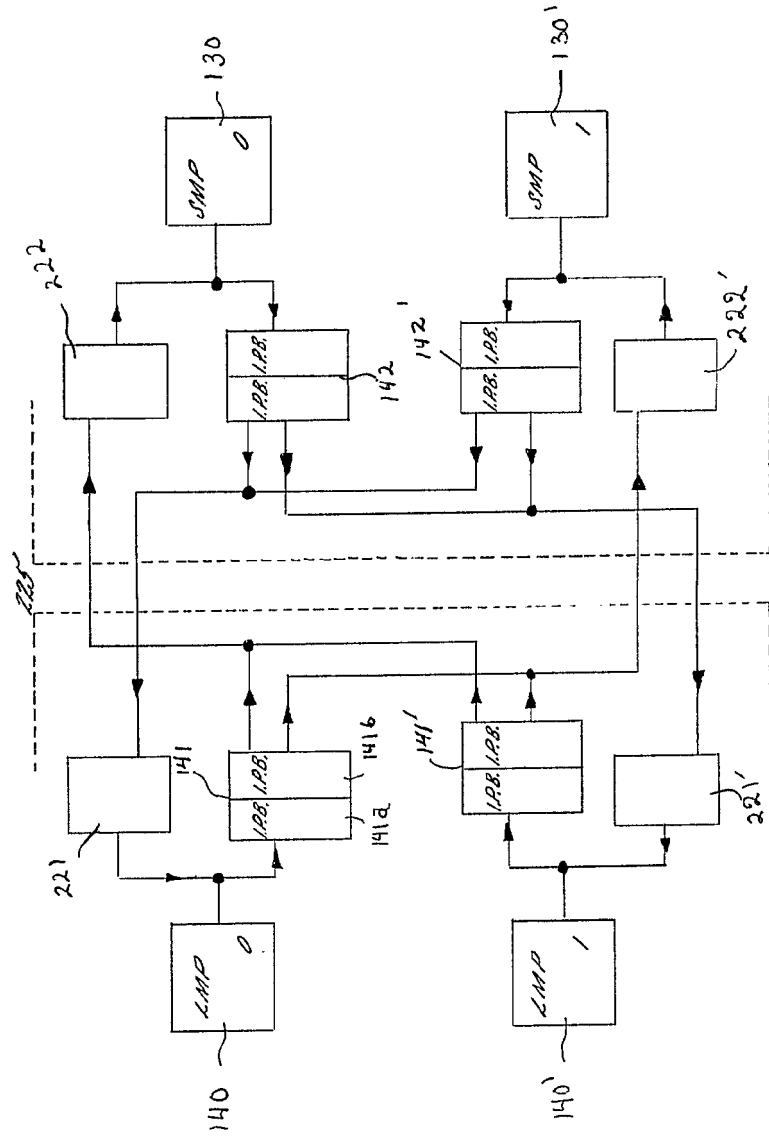


10 SEP 1970

Madrid  
J. M. GOMEZ ACEBO Y POMBO  
p. p. Firmado: J. Suarez Diaz

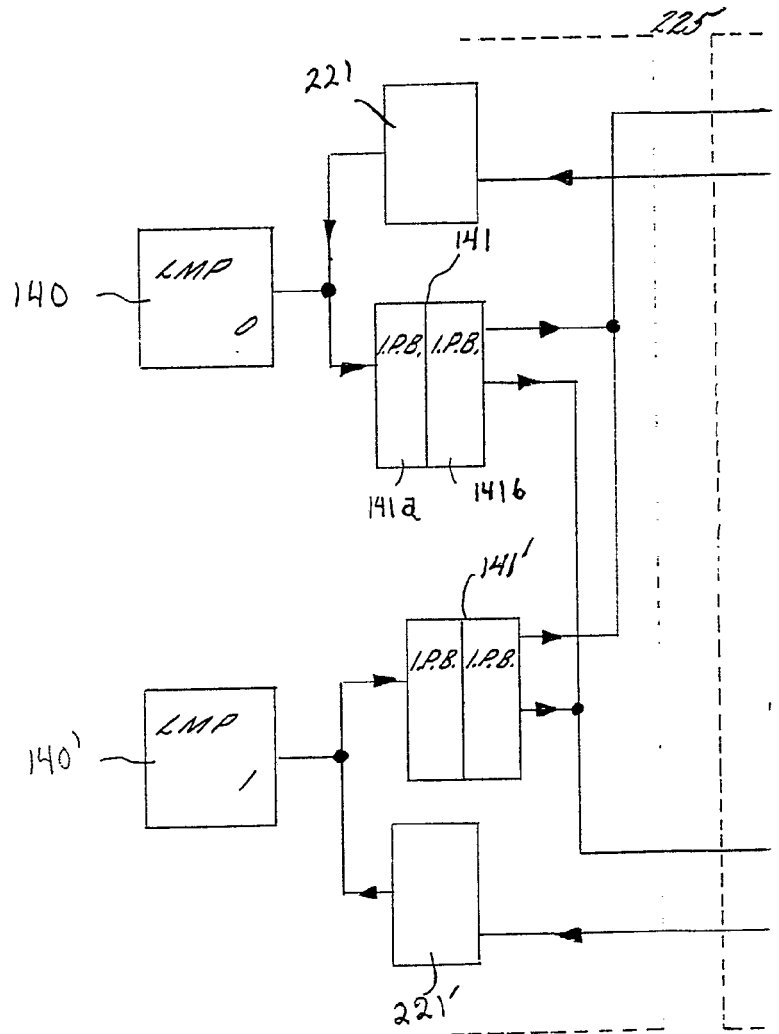
# ESCALA VARIABLE

FIG. 5

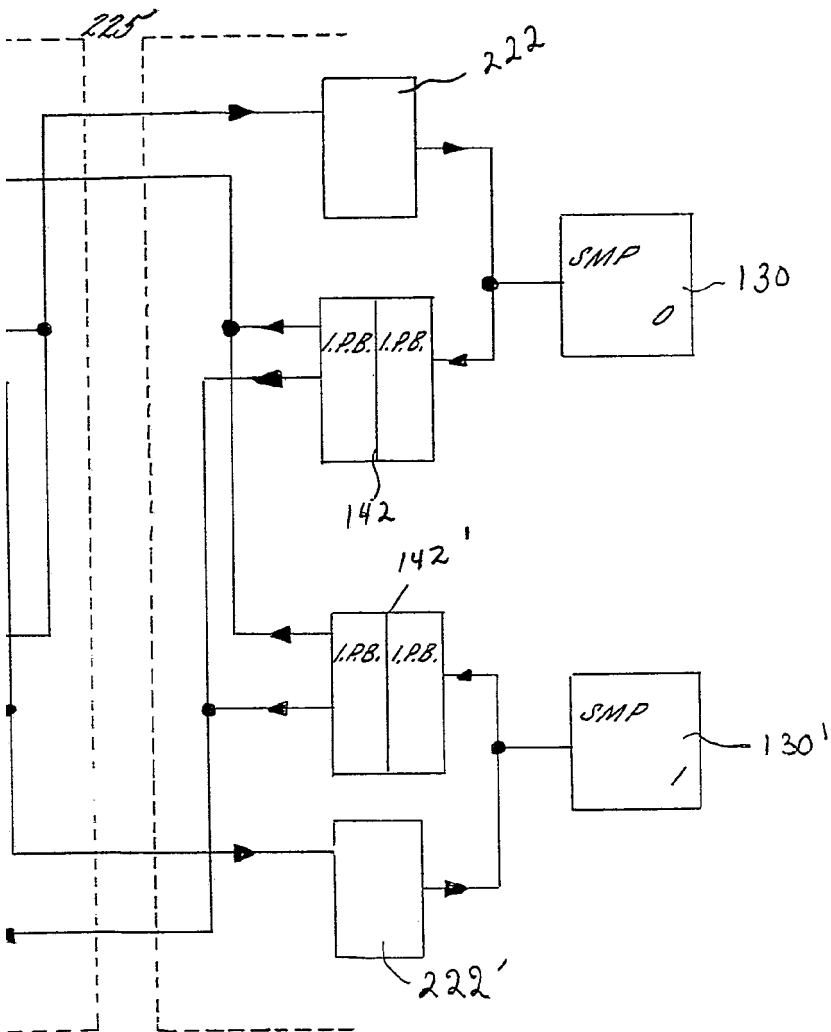


16 800 1078  
 Madrid  
 I. M. GOMEZ AGESCA Y FORNOS  
 P. M. Fimedo, J. Suarez, Pleg

FIG. 5



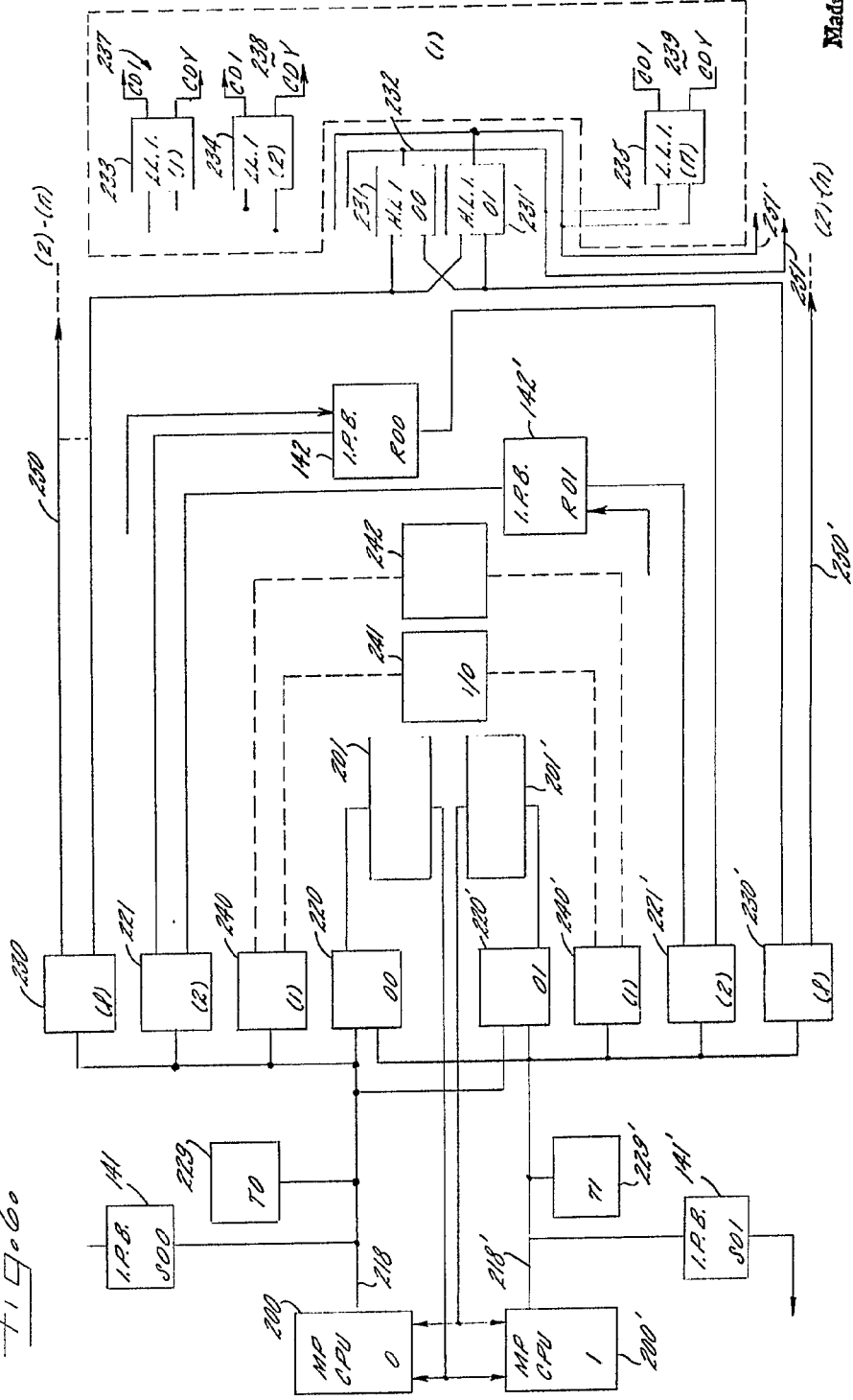
# ESCALA VARIABLE



16 AGO 1978  
Madrid  
J. M. GOMEZ ACEBO Y PONS  
p. Firmado: J. Suarez Diaz

# ESCALA VARIABLE

F1 □ = 60

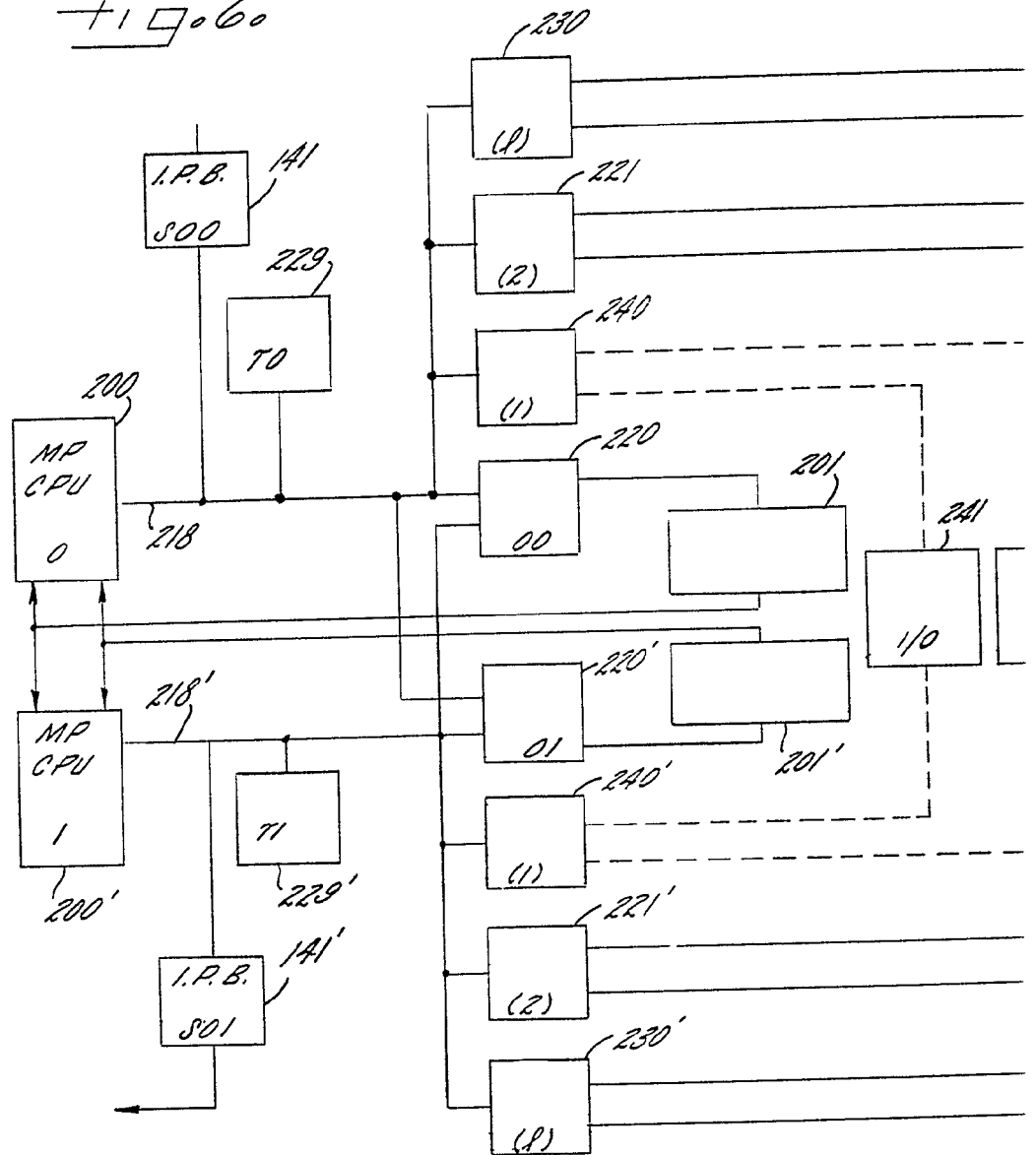


Rev. 150 1078

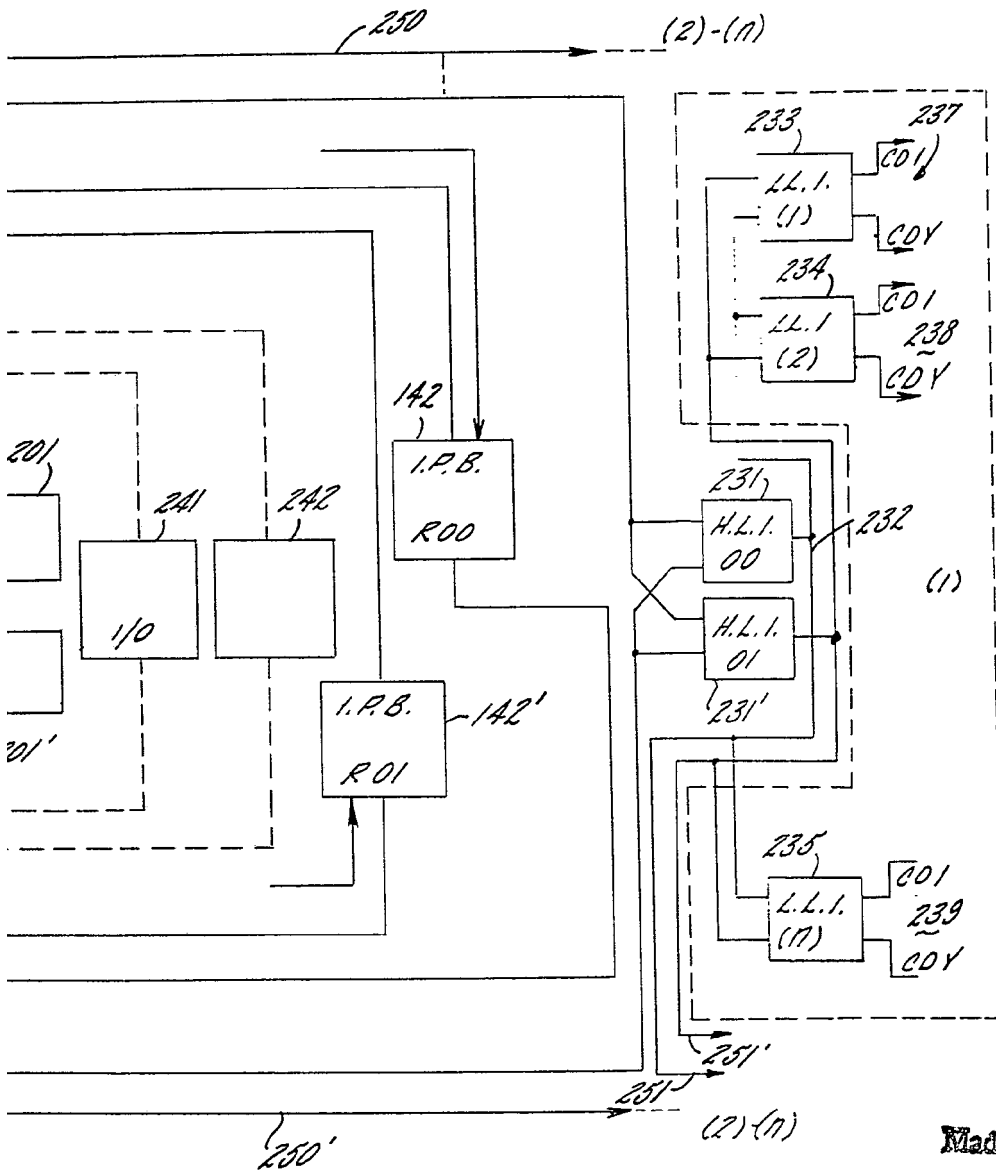
Madrid

  
 Madrid

FIG. 60



ESCALA  
VARIABLE



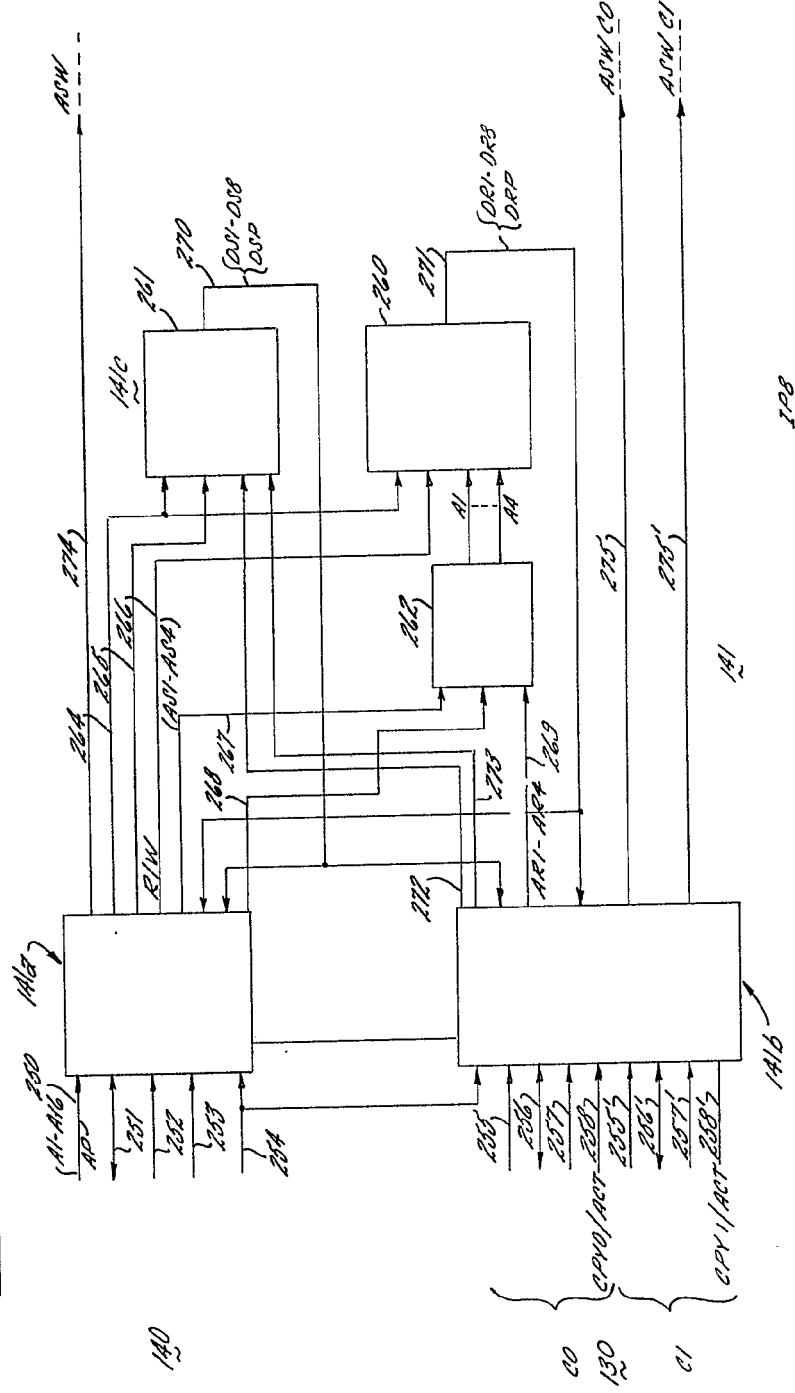
9. 250 1072

Madrid

*[Handwritten signature]*

# ESCALA VARIABLE

FIG. 7



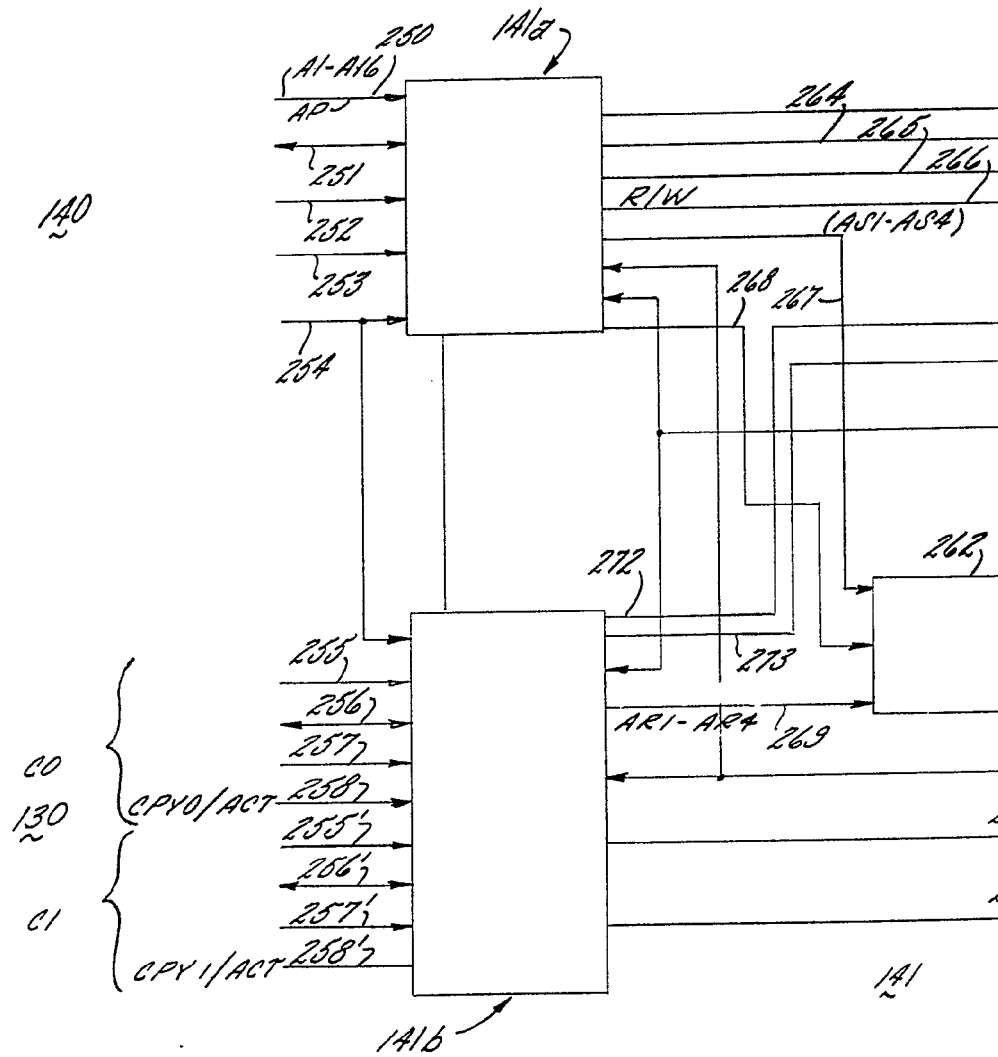
9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

Madrid

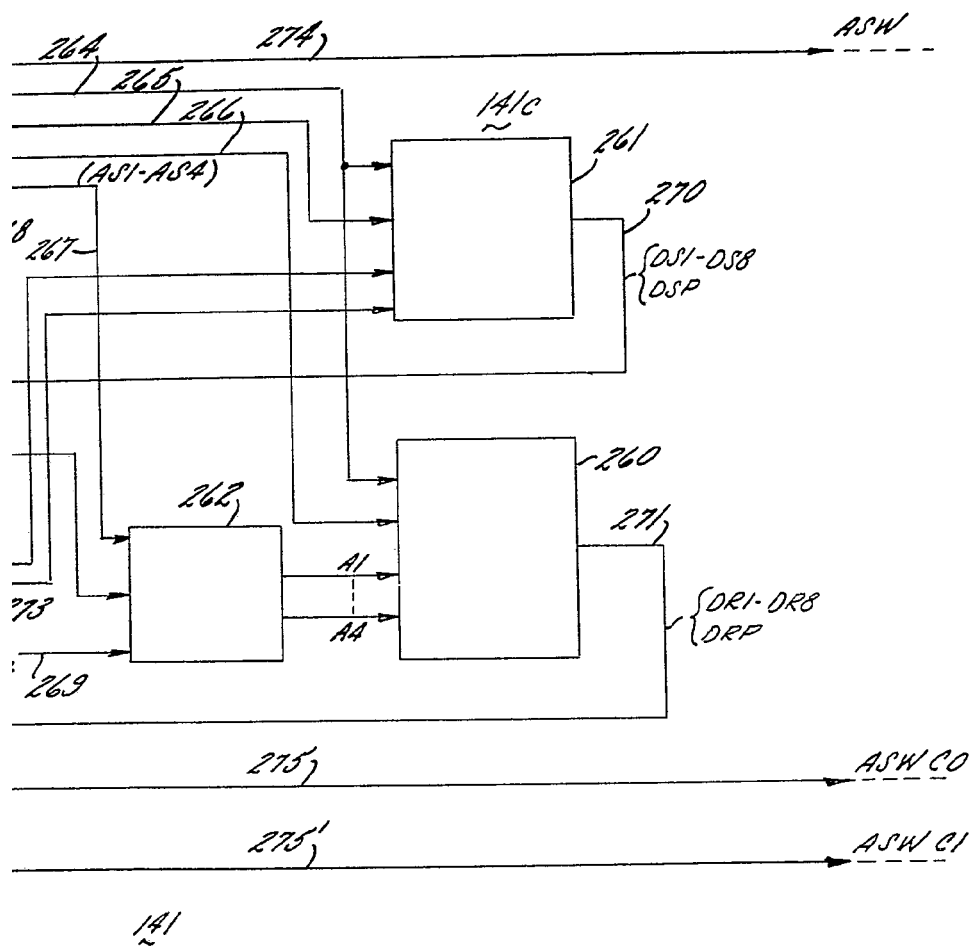
J. M. GONZÁLEZ AGUDO Y PARRIS

(Ingenieros)

FIG. 7



ESCALA  
VARIABLE



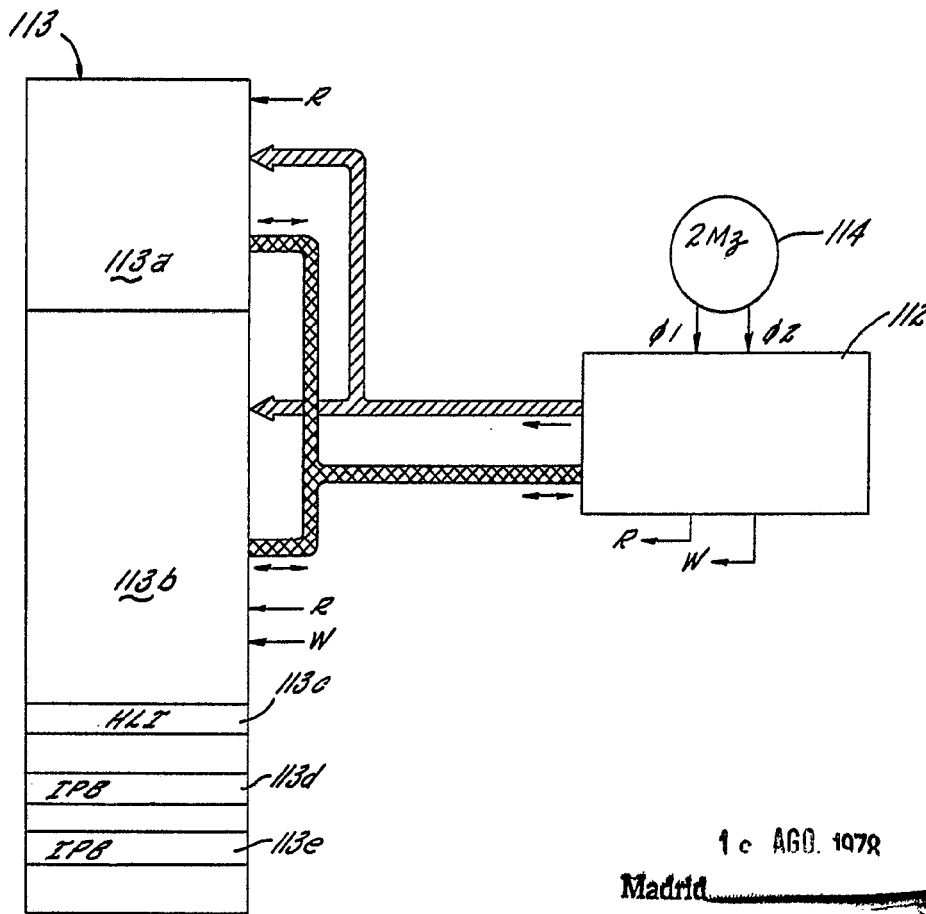
IPB

4 c 387 107R

Madrid  
**J. M. GOMEZ AGEDO Y POMBO**  
p. Firmador J. Suarez Diaz

ESCALA  
VARIABLE

FIG. 8.



1 c AGO. 1978

Madrid

E. M. GOMEZ ACEBO Y POMEU  
P. P. Firmado: J. Suarez Diaz

# ESCALA VARIABLE

Fig. 9a

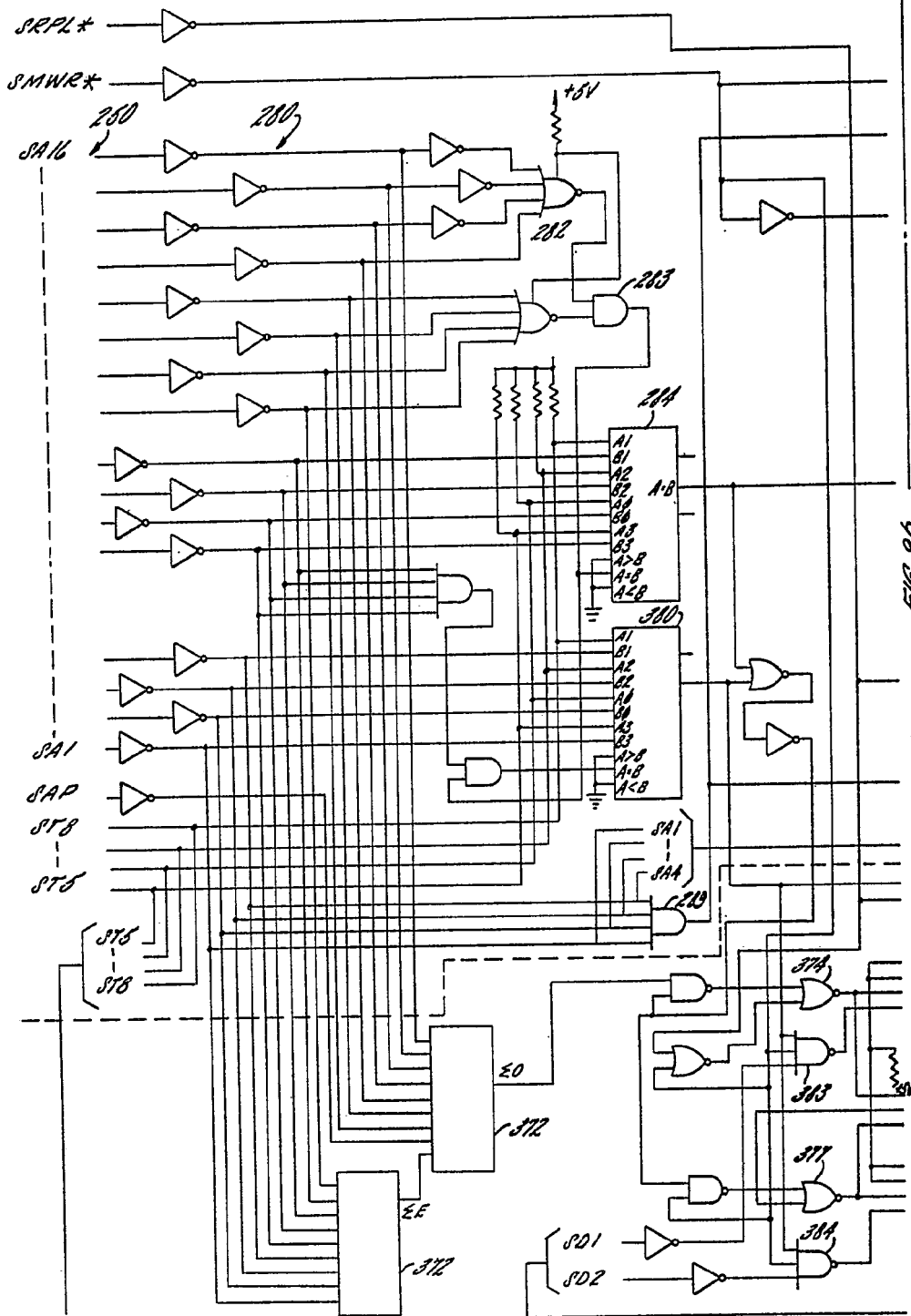


FIG. 9a

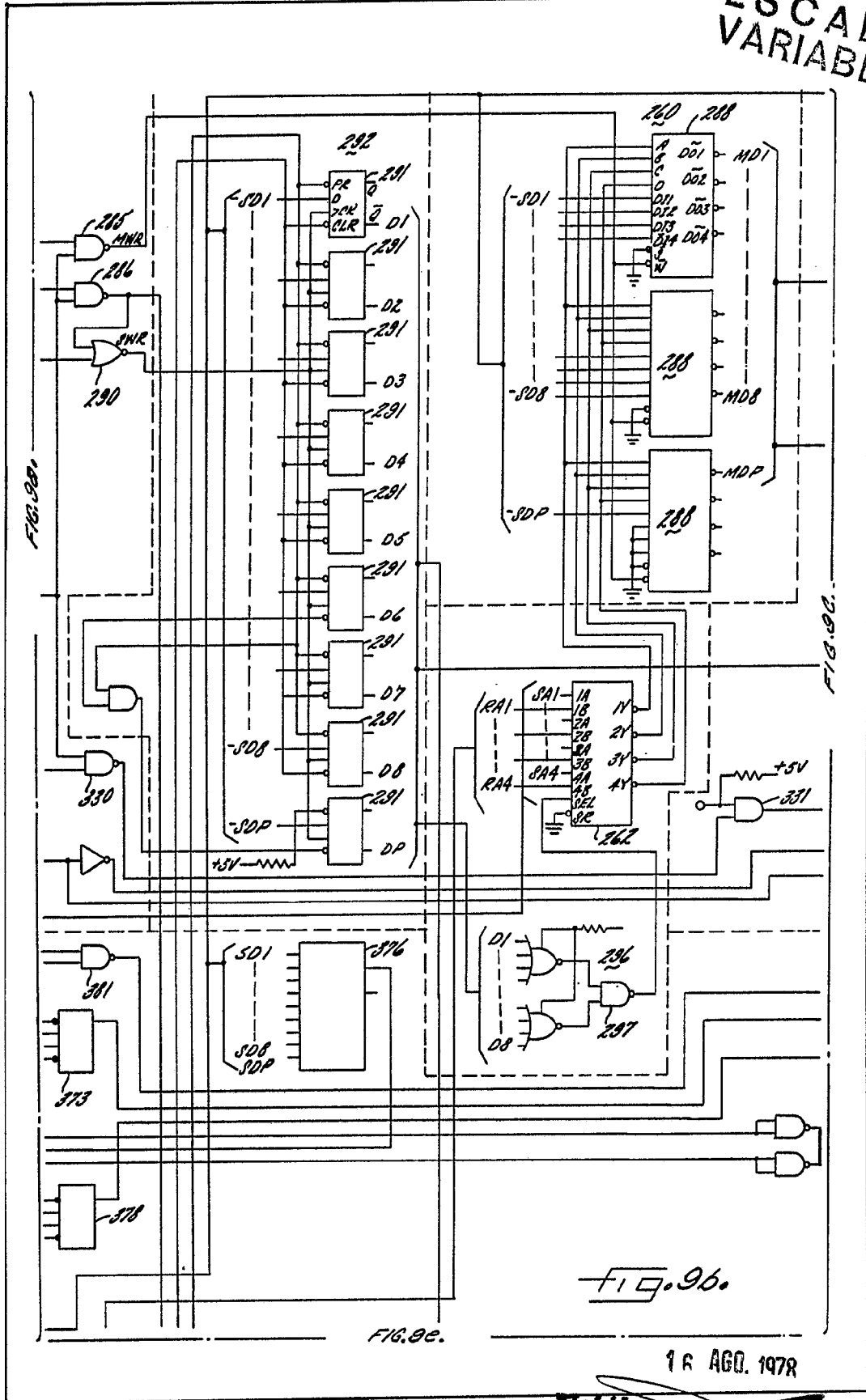
FIG 9a

9 c AGO. 1978

Madrid

J. M. GOMEZ ACEBO Y POMEBO  
p. p. Firmador J. Suarez Diaz

ESCALA VARIABLE



Madrid  
 J. M. GOMEZ ACEBO Y FOMBO  
 p. p. Firmado: J. Suarez Diaz





ESCALA VARIABLE

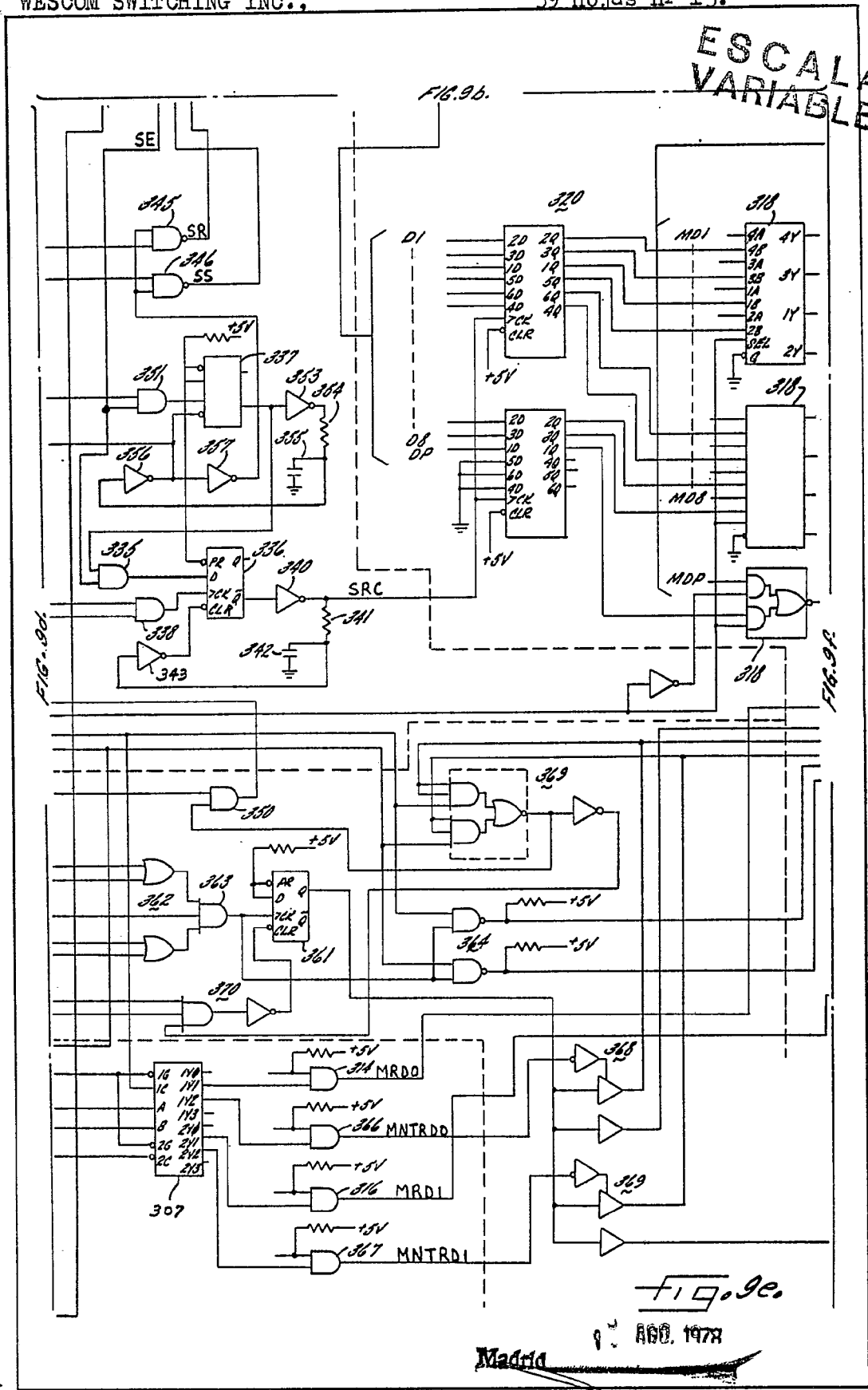


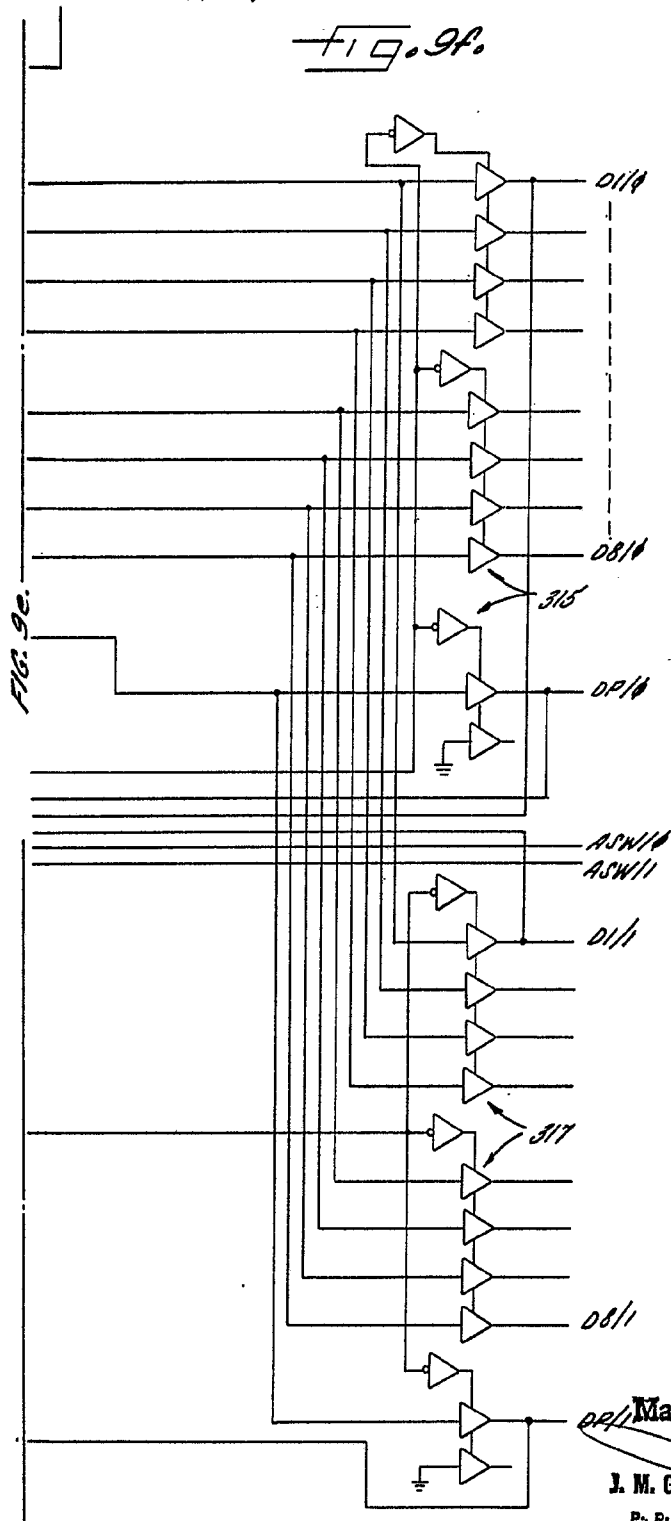
FIG. 9e  
9.º AGO. 1978  
Madrid

Y. M. GOMEZ ACEBO Y POMBO  
p. p. Firmador: J. Suarez Diaz

FIG. 9c

FIG. 9a

ESCALA VARIABLE



1.º AGO. 1979

Madrid

J. M. GÓMEZ ACEBO Y POMBOL

p. p. Firmado: J. Suárez Díez

ESCALA  
VARIABLE

FIG. 9d.

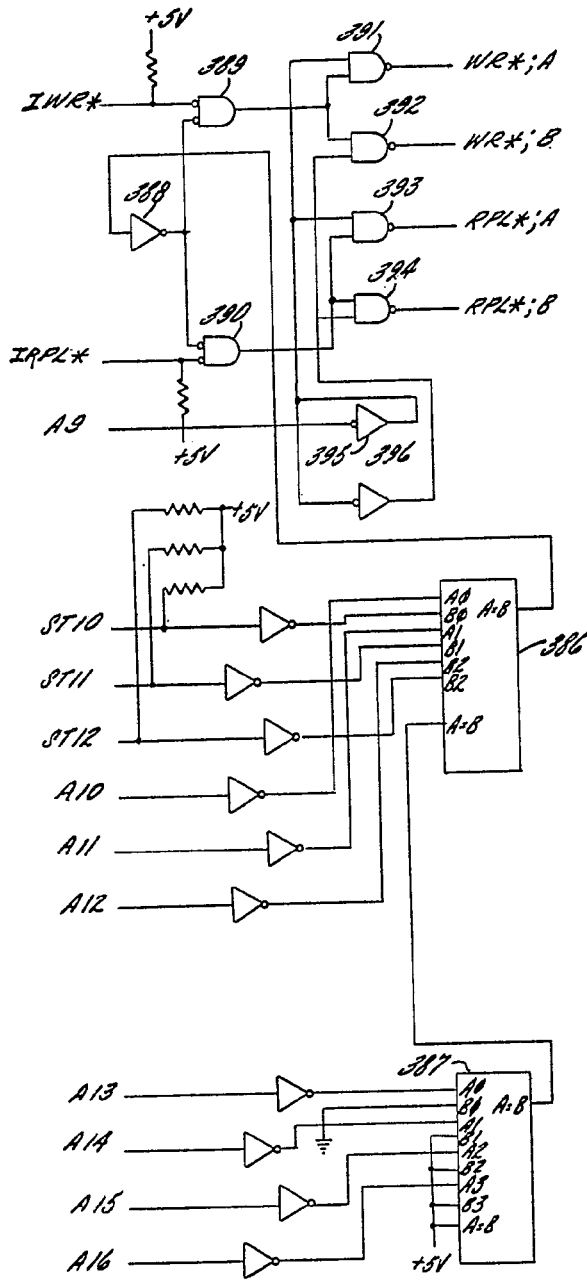


FIG. 9h.

FIG. 9a.	FIG. 9b.	FIG. 9c.
FIG. 9d.	FIG. 9e.	FIG. 9f.

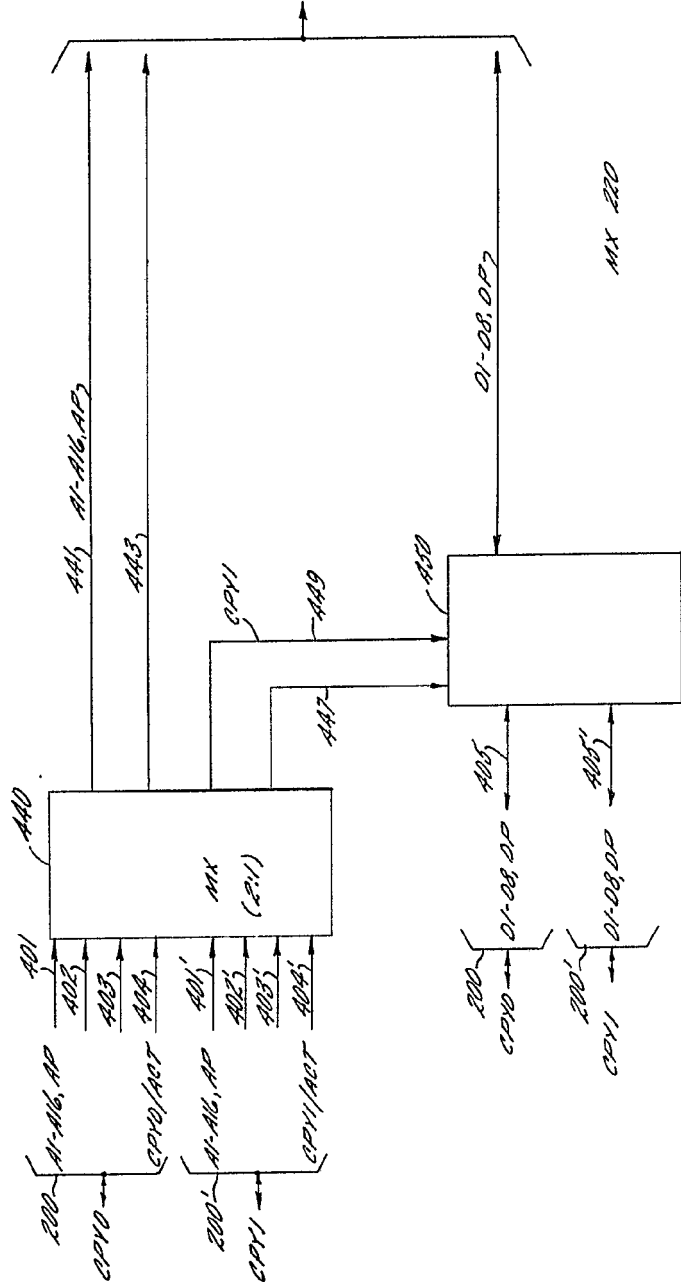
1. AGO. 1972

Madrid

Y. M. GOMEZ AGERO Y PONSQ.  
P. by Firmador: J. Suarez Diaz

ESCALA  
VARIABLE

F1 □ 10

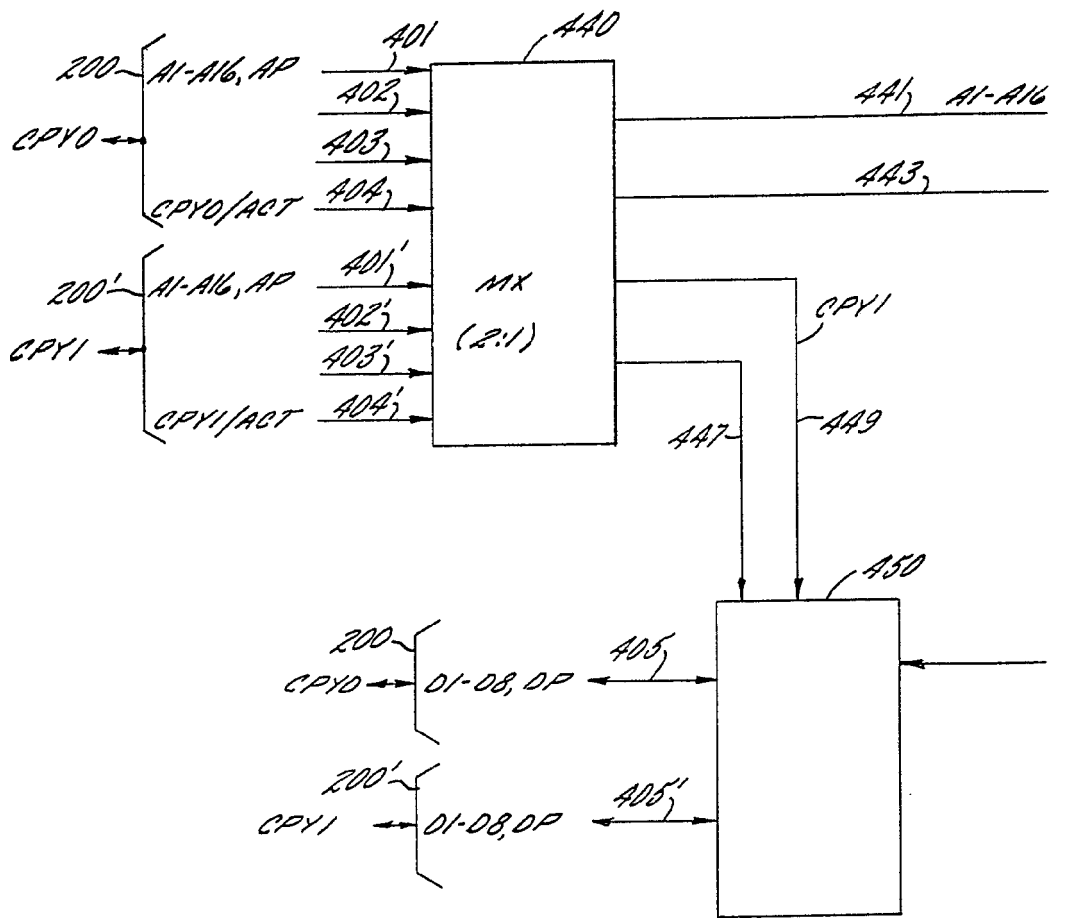


102

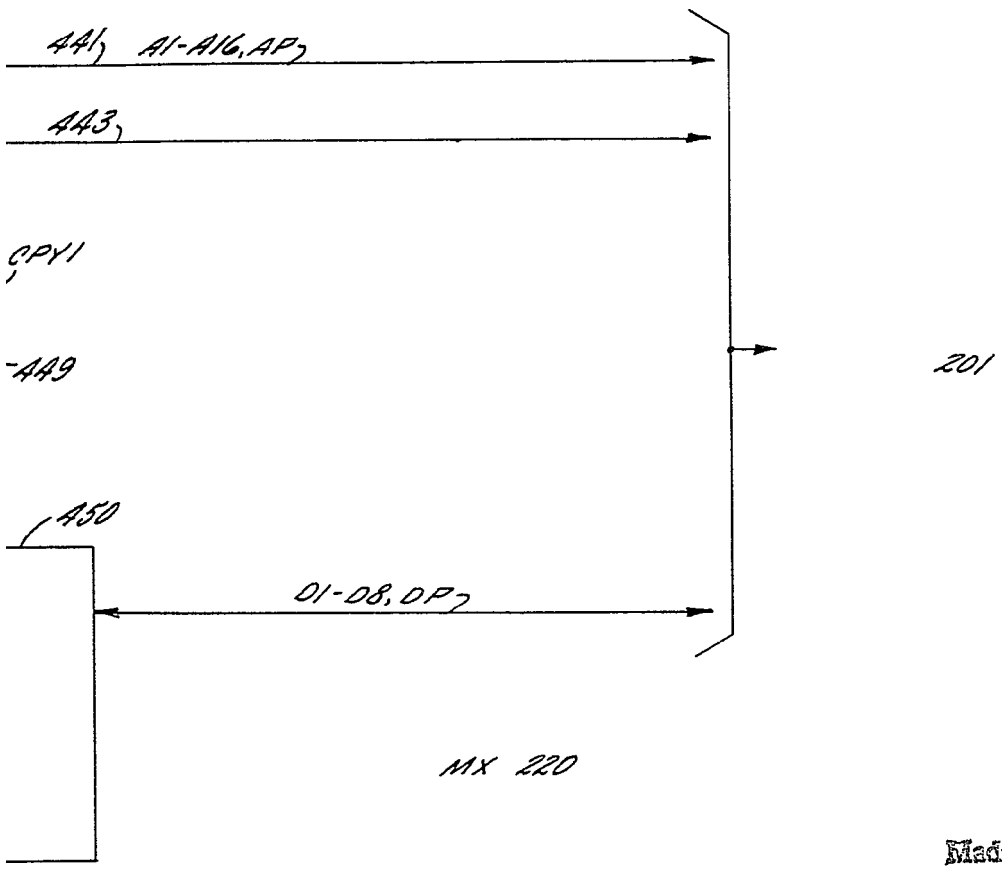
Madrid  
A. R. R. 1974

J. M. GOMEZ ABEGO Y PUMBO  
P. P. Firmado: J. Suarez Diaz

FIG. 10



ESCALA  
VARIABLE



Madrid  
J. M. GOMEZ ACEGO Y ROMERO  
p. p. Firmado: J. Suarez Diaz

ESCALA VARIABLE

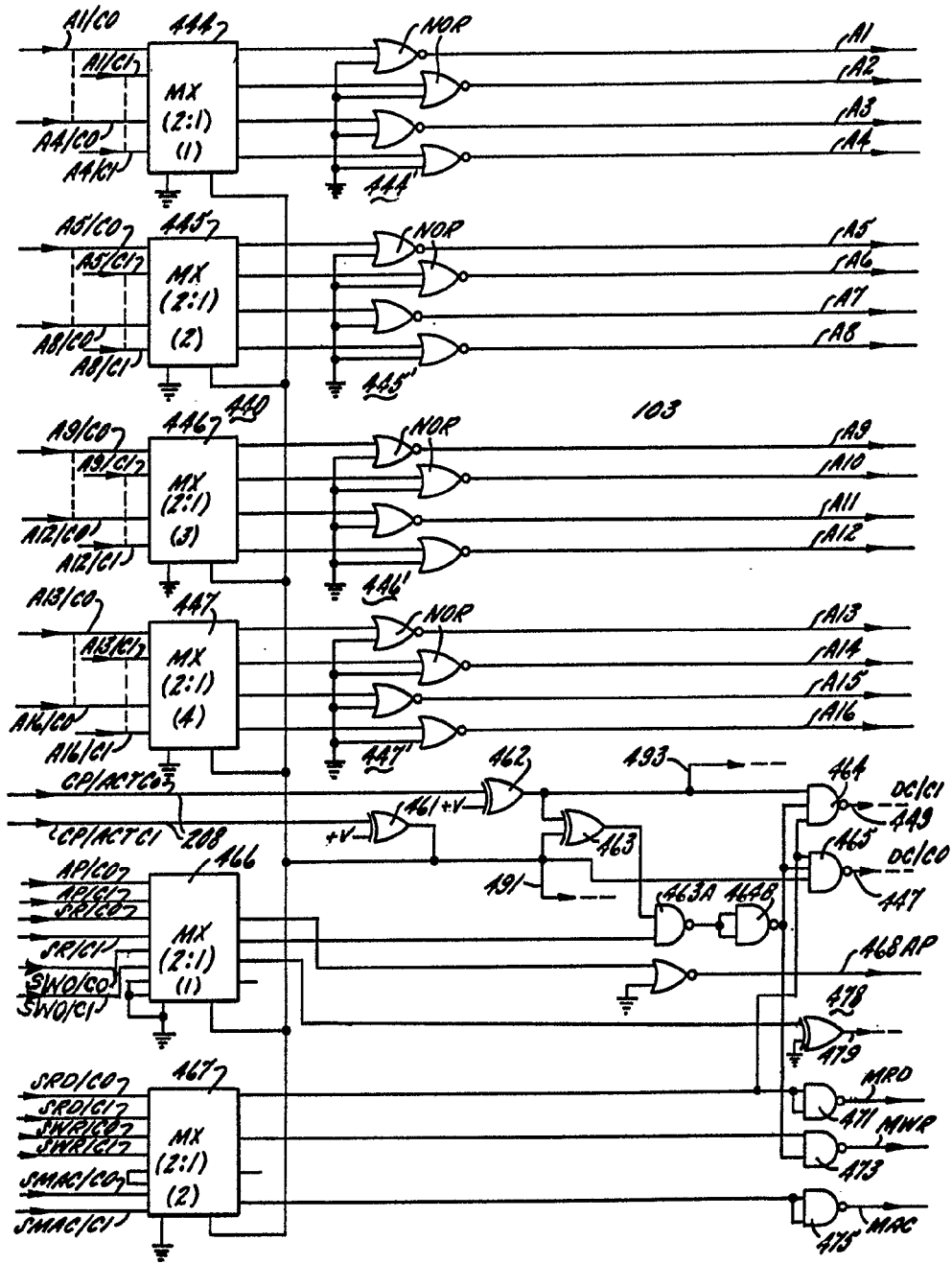


FIG. 1.12.

10 AGO. 1978

Madrid

J. M. GÓMEZ ACEBO Y POMBO

Firmado J. Suarez Díez

ESCALA  
VARIABLE

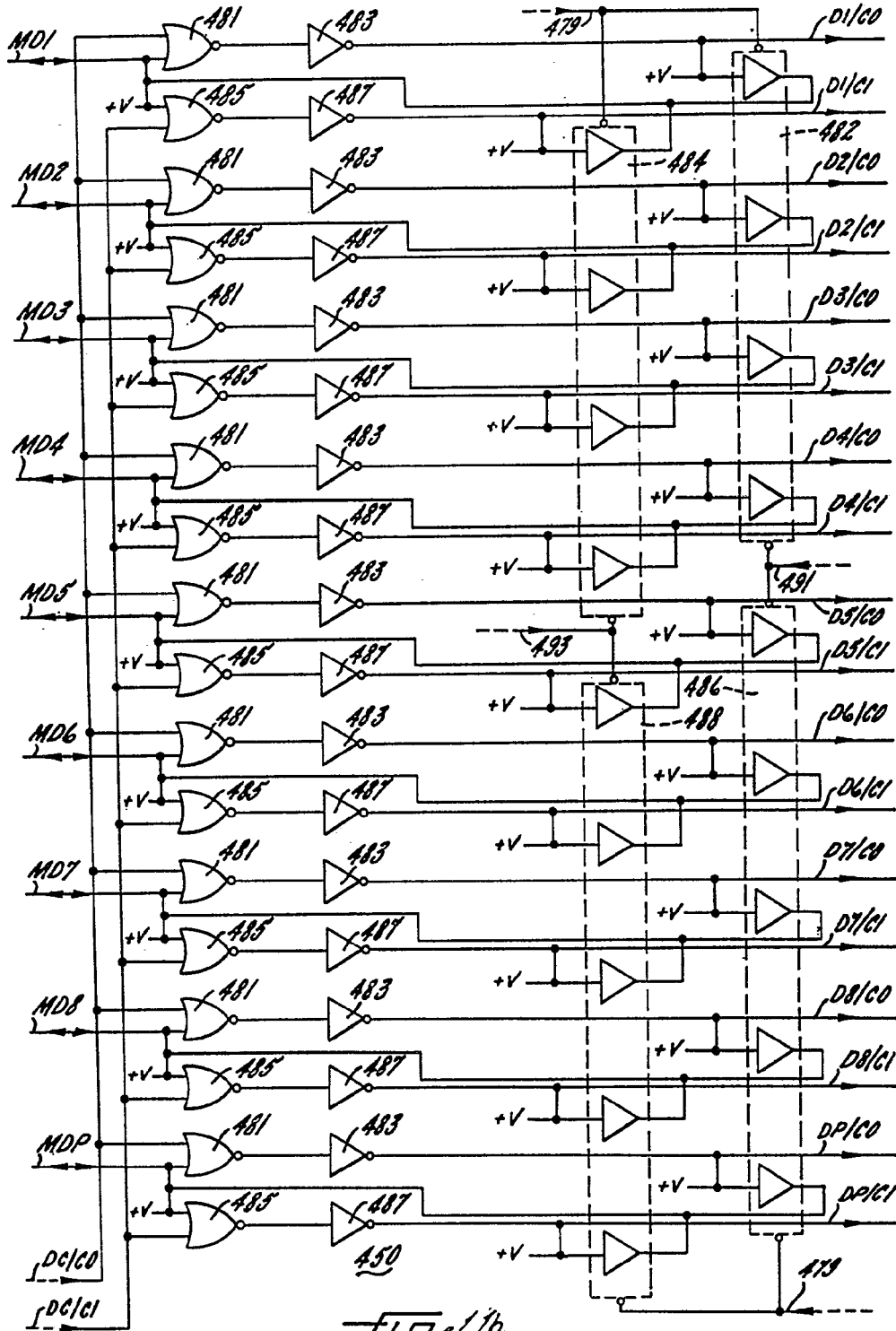


FIG. 11b.

Madrid 1<sup>a</sup> AGO. 1972

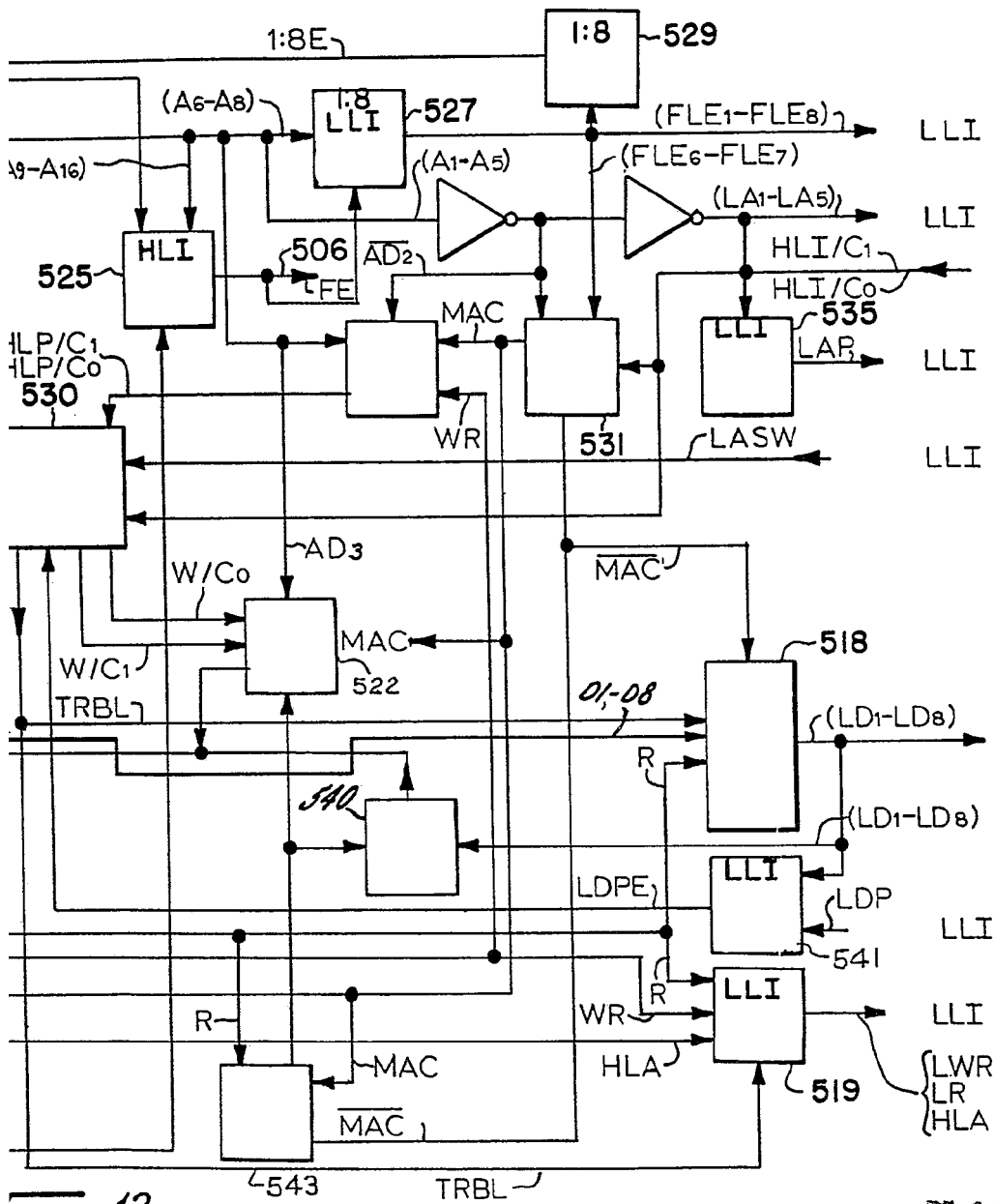
J. M. GOMEZ AGERO Y POMBO

P. P. Firmador J. Suarez Diaz





ESCALA  
VARIABLE



19.12.

9 de AGO. 1978  
 Madrid  
 I. P. ...  
 ...

# ESCALA VARIABLE

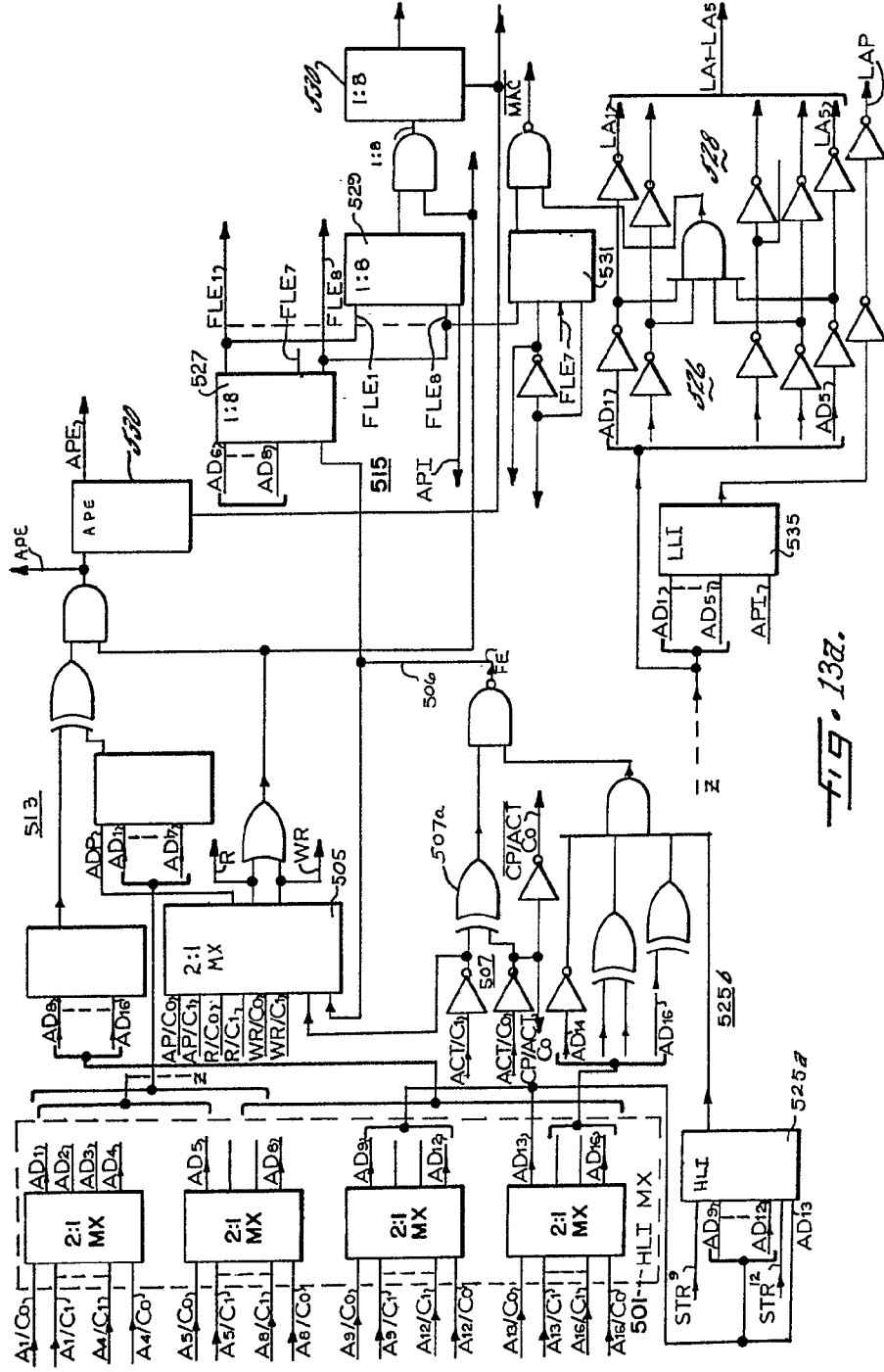


FIG. 13a.

INGENIERO EN ELECTRICIDAD  
 J. M. GÓMEZ GARCÍA Y FOLIO  
 P. J. FERNÁNDEZ J. SERRA  
 1978

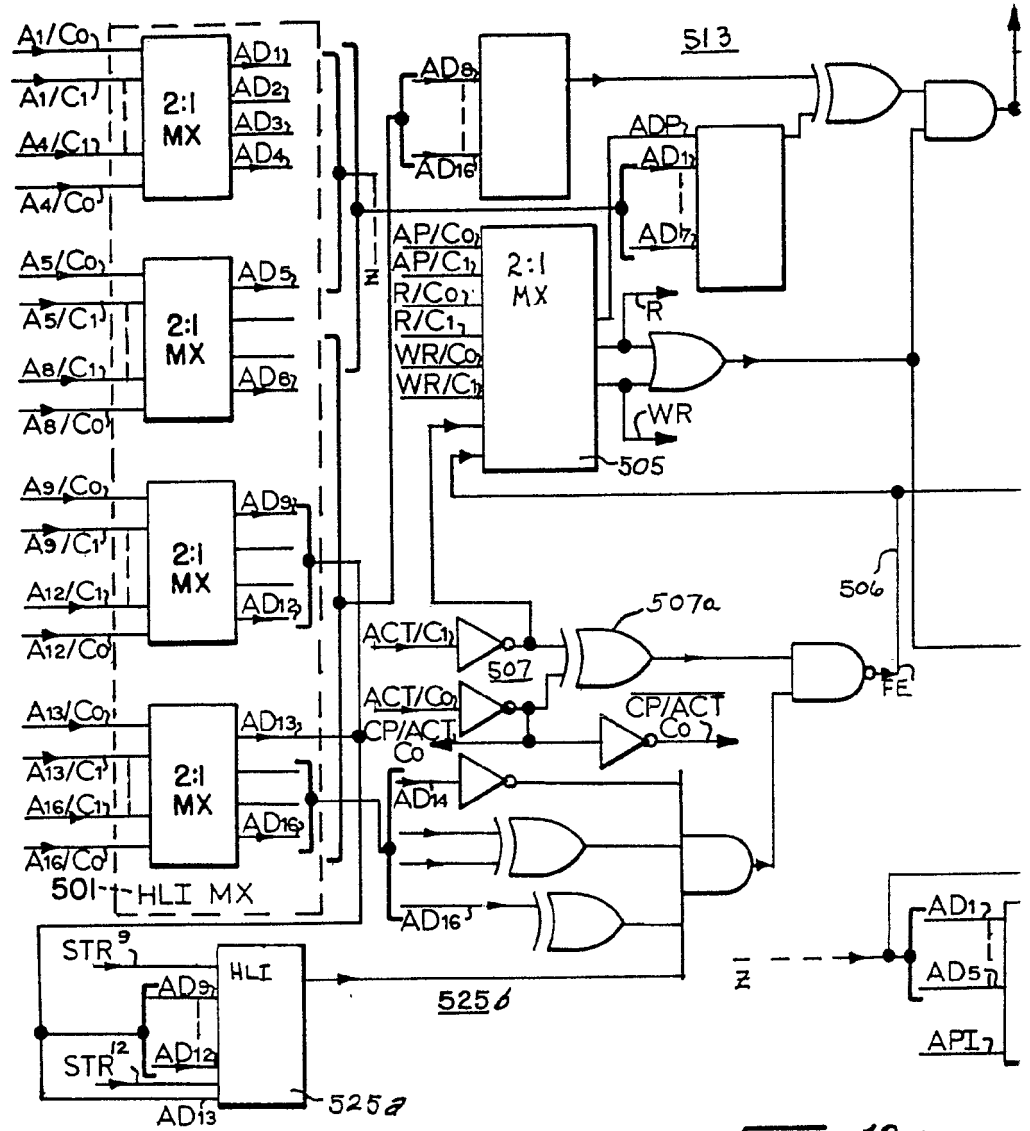


Fig. 13a.

ESCALA  
VARIABLE

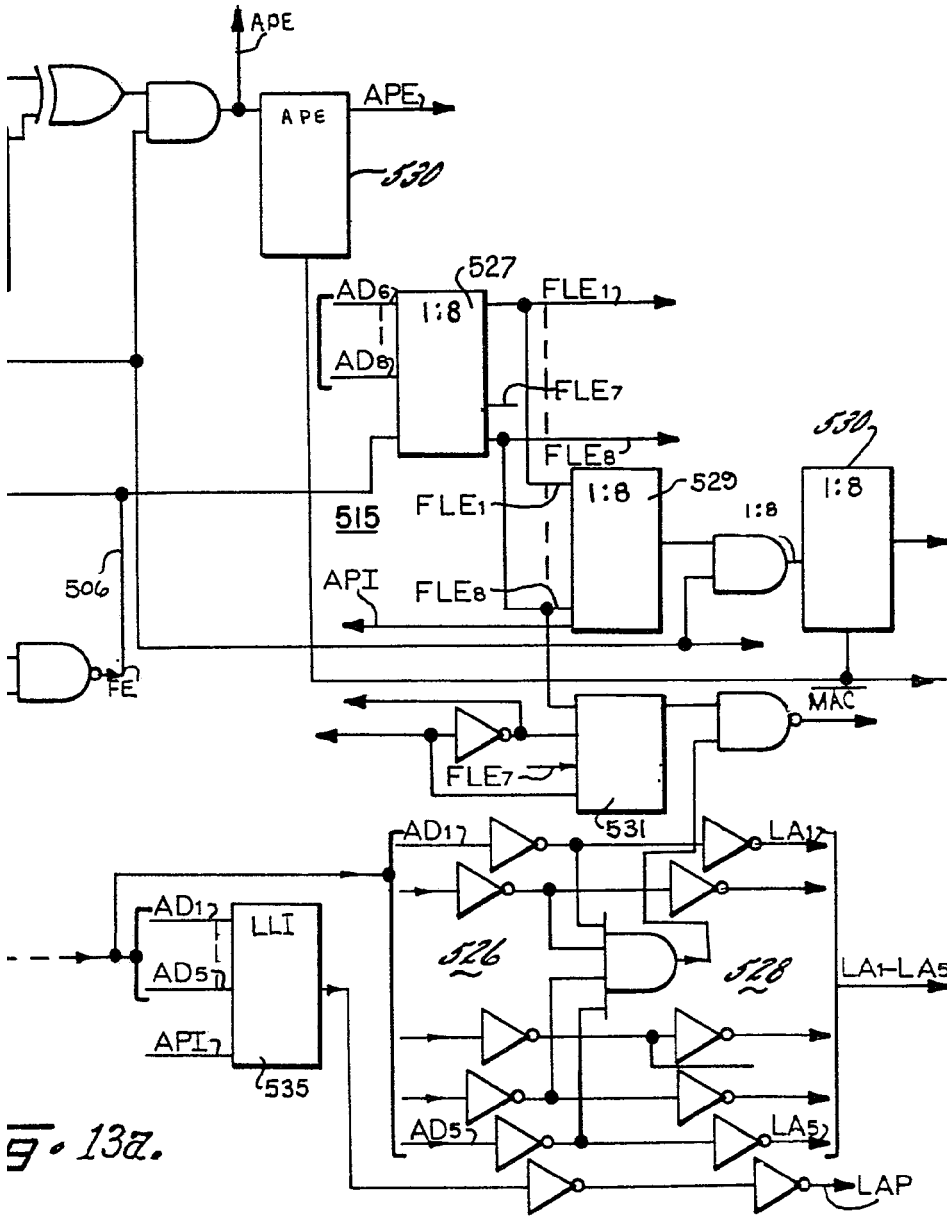


Fig. 13a.

Madrid 9 de AGO. 1978

J. M. GOMEZ ASESO Y PARRA  
P. p. Firmado: J. Suarez Diaz

# ESCALA VARIABLE

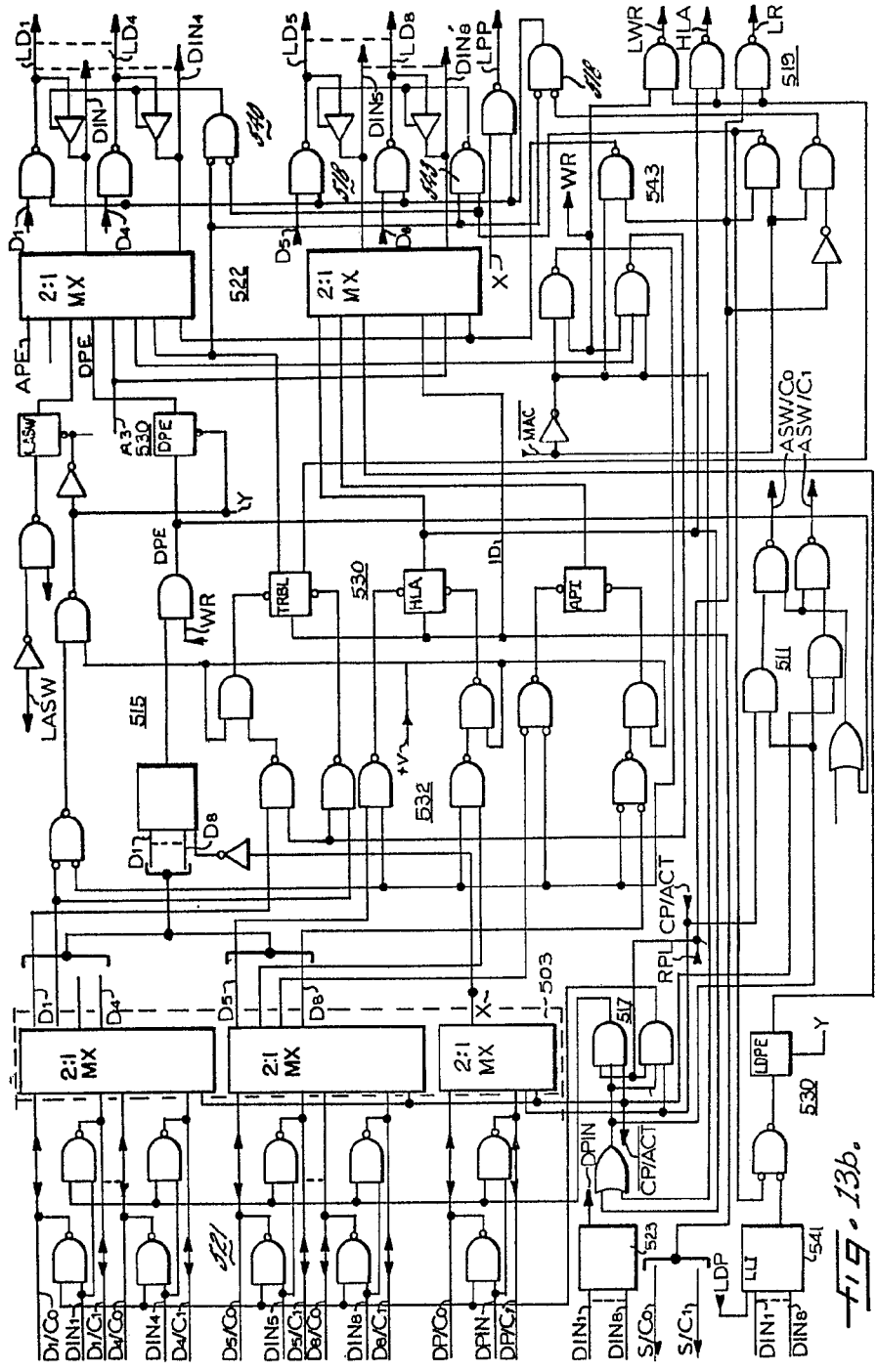


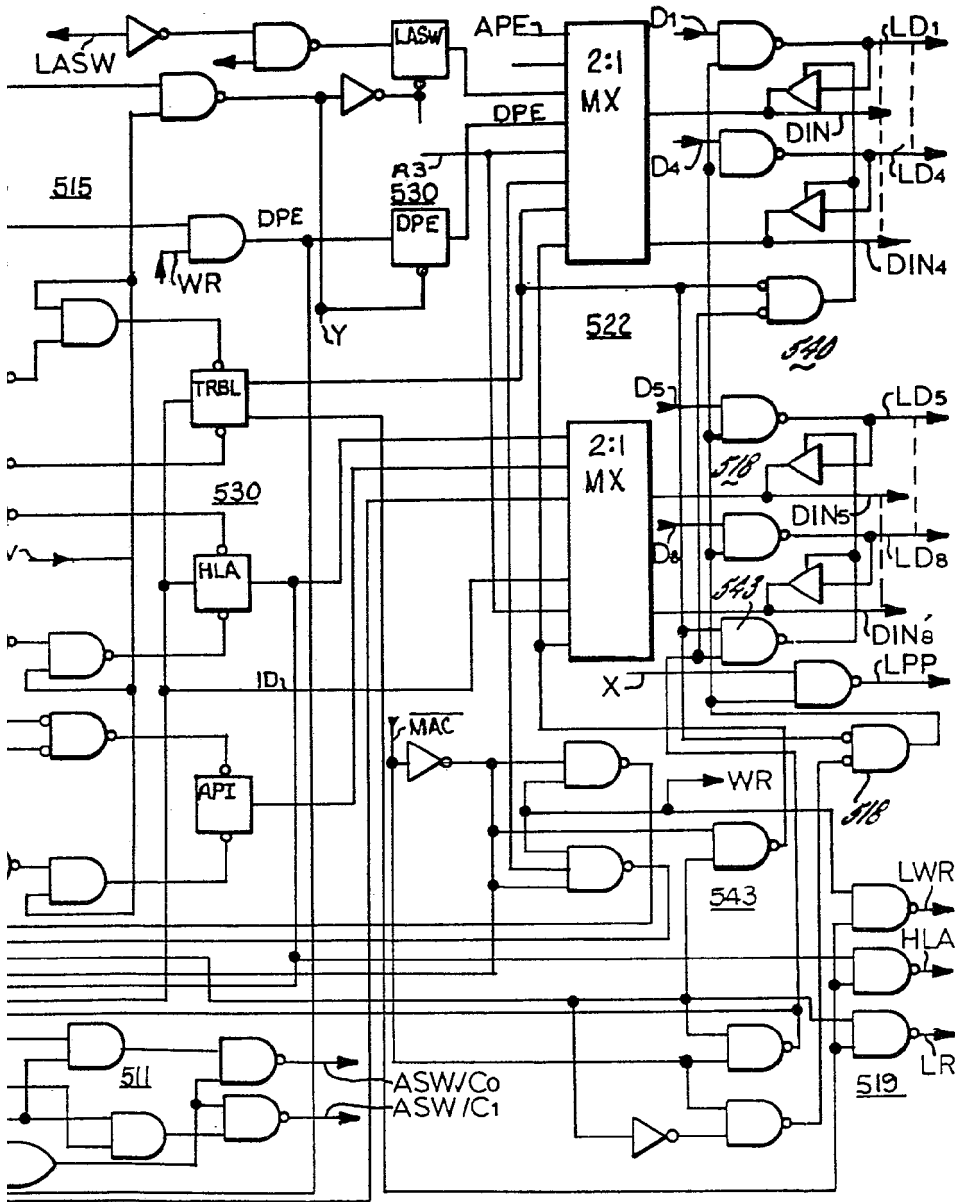
FIG. 13b.

5 F. 107. 1078

Madrid

L. M. GONZALEZ ATESA Y TORRES  
Ingenieros de Telecomunicación





ESCALA  
VARIABLE

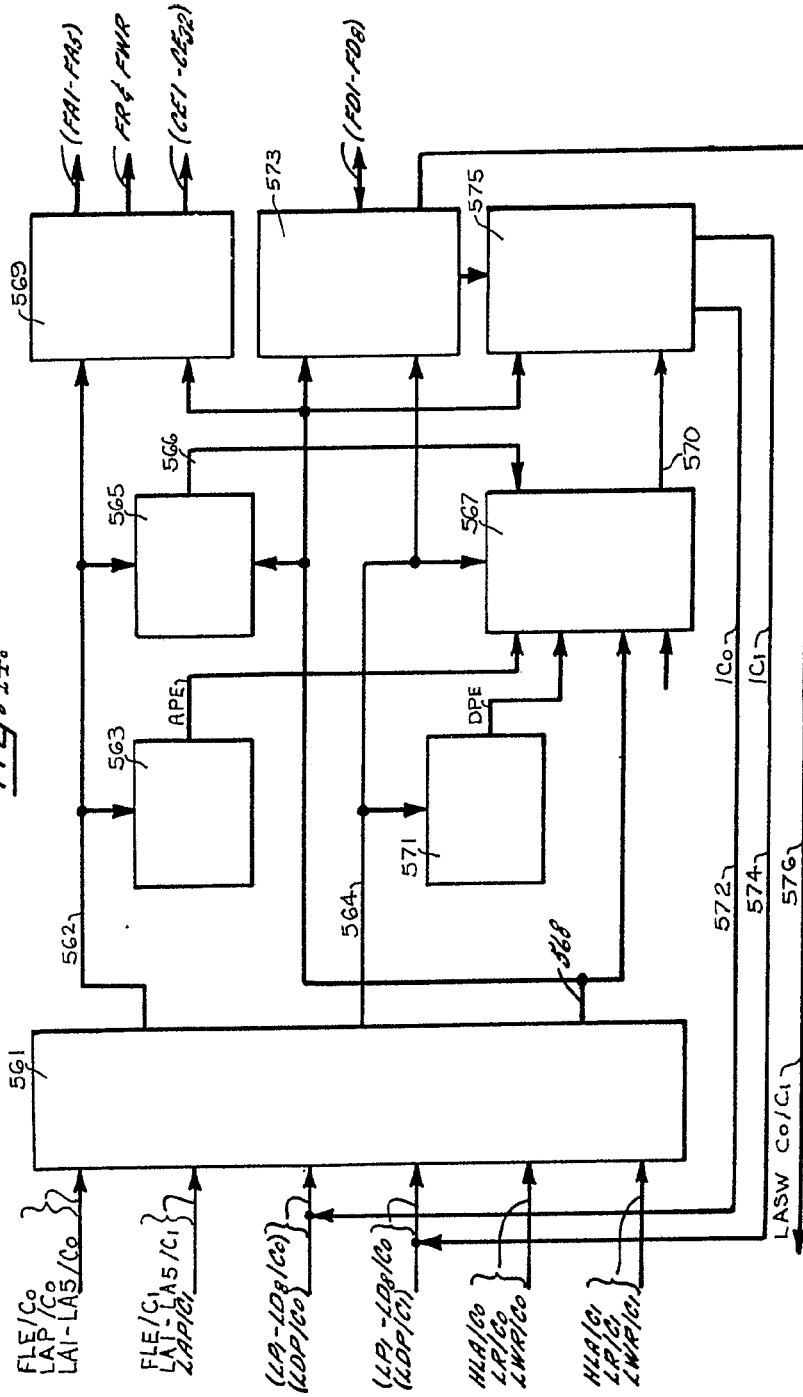
9 6 ABR. 1978

Madrid

J. M. GOMEZ ACEBO Y COMED  
Por el Firmador J. Suarez Diaz

# ESCALA VARIANTE

FIG. 14.



14 (01. 1978

Mosina

J. M. BOMEZACED Y POMEZ  
Por el Firmado J. Suarez Diaz

Fig. 14.

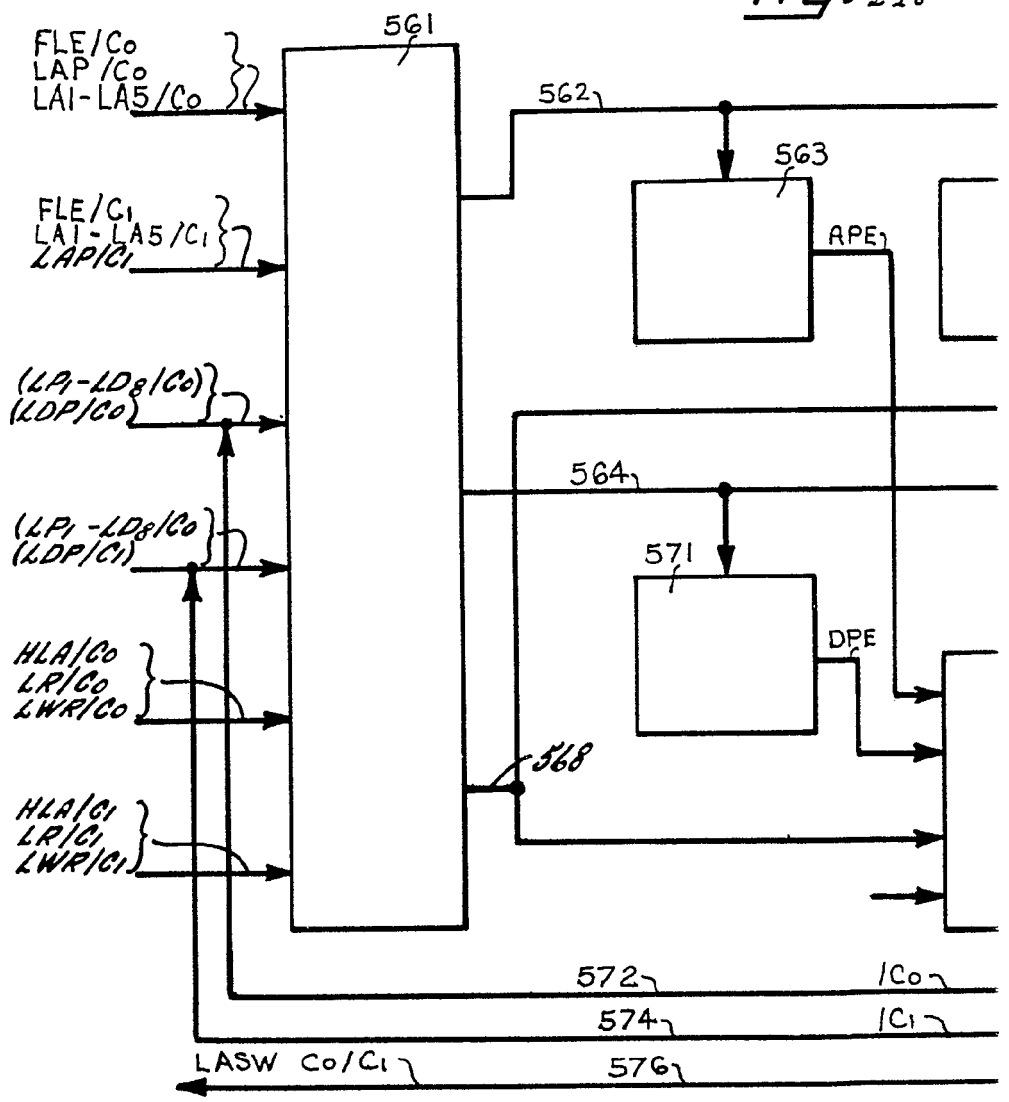
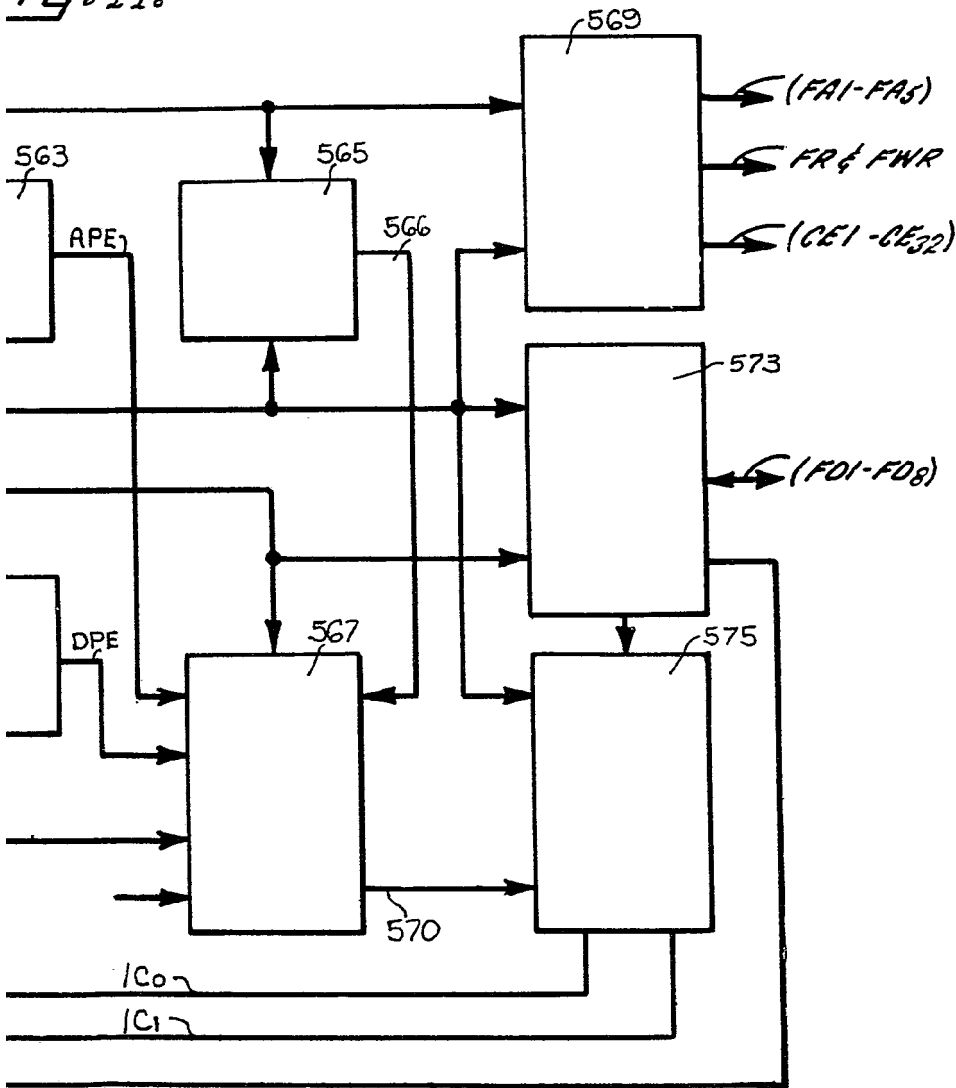


Fig. 14.

ESCALA  
VARIABLE

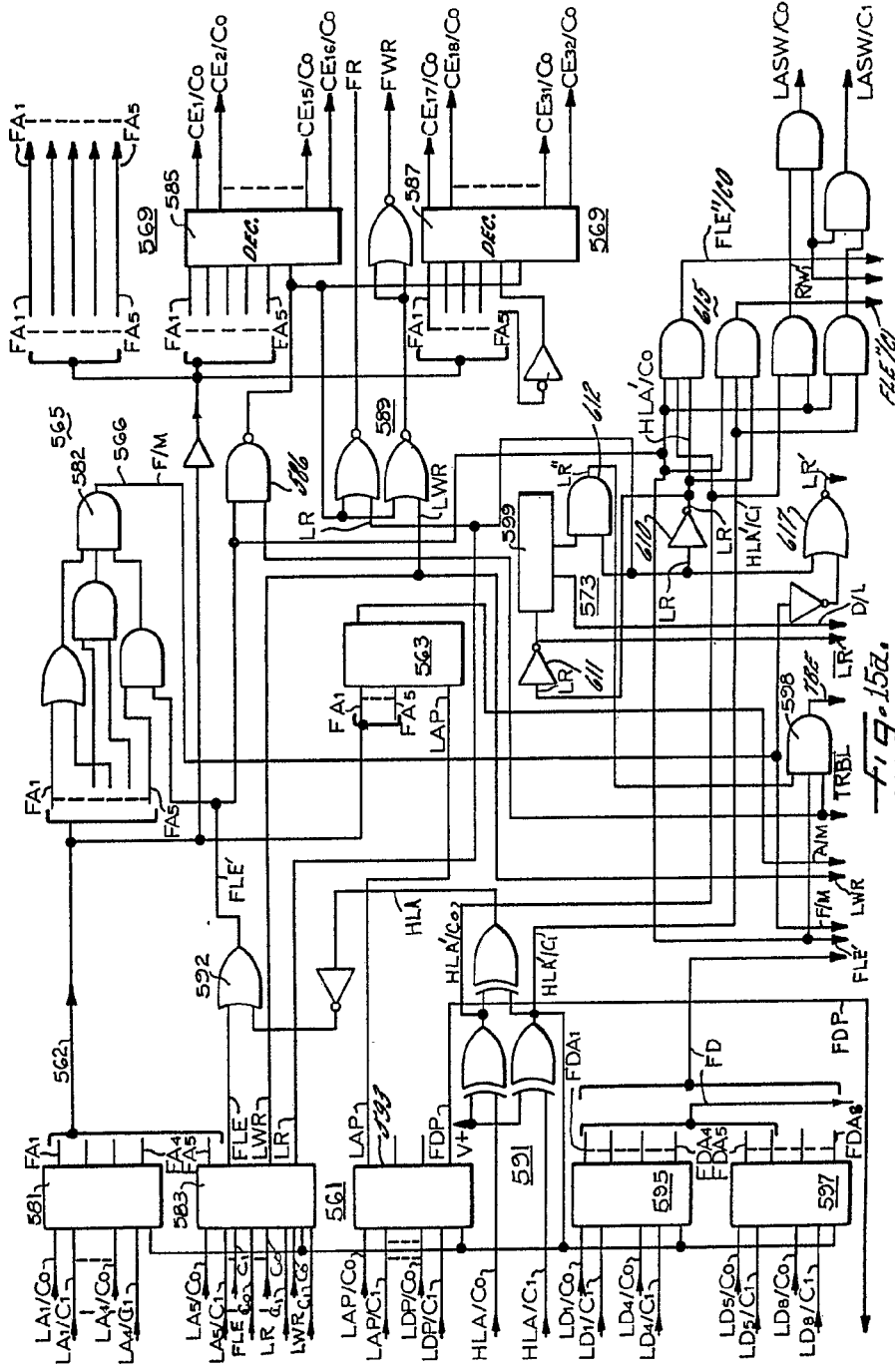


16 AGO. 1978

Madrid

J. M. GOMEZ ACEBO Y POMBO  
p. p. Firmado: J. Suarez Diaz

ESCALA  
VAIABLE



f19-15a.

14 MAR. 1978

Madrid

J. M. NÚÑEZ SÁNCHEZ Y PÉREZ  
Ingenieros de Telecomunicación

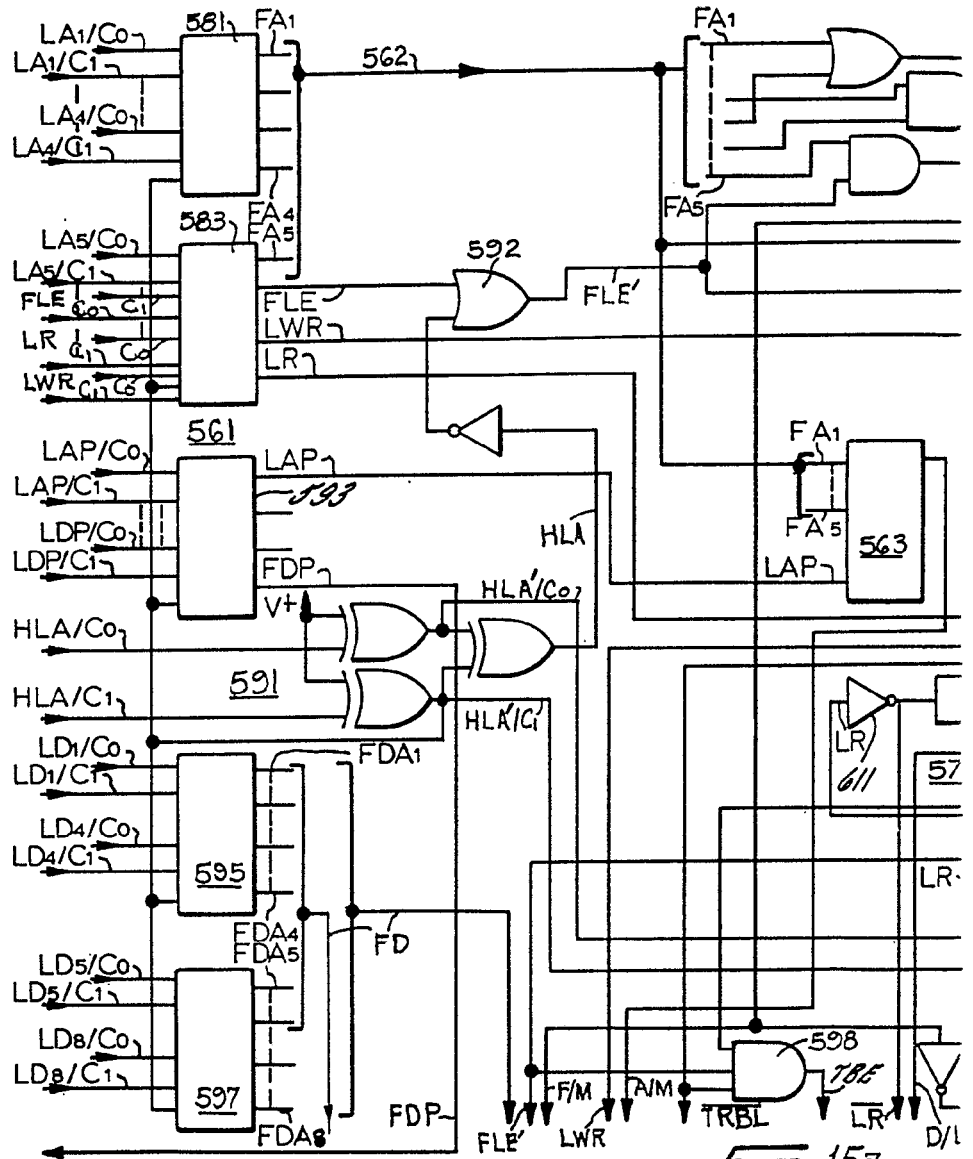
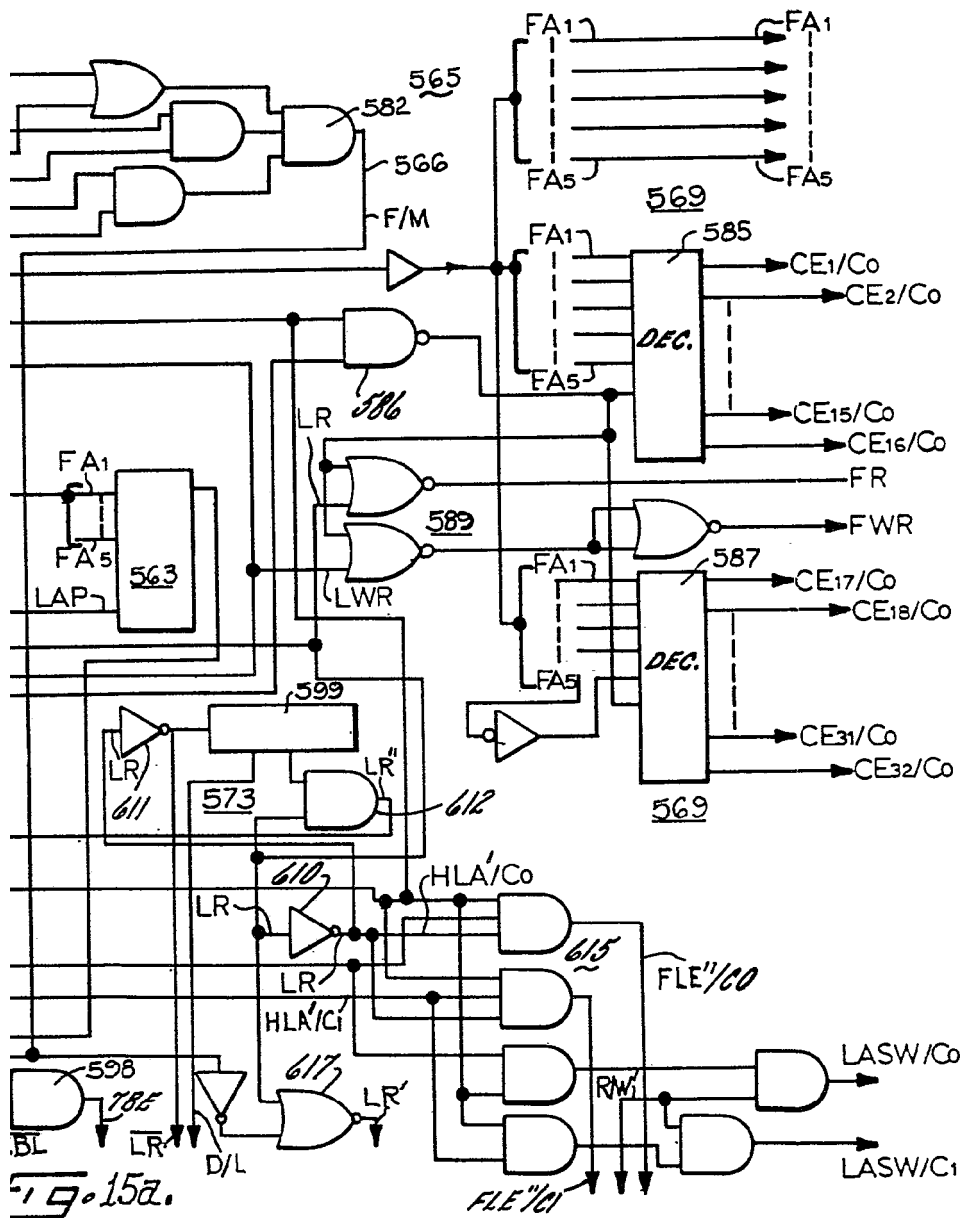


Fig. 15a.

ESCALA  
VARIABLE



19.15a.

16 AGO. 1978

Madrid

V. M. GÓMEZ AGUDO Y POMBO

Por el Firmado: J. Suarez Diaz

# ESCALA VARIABLE

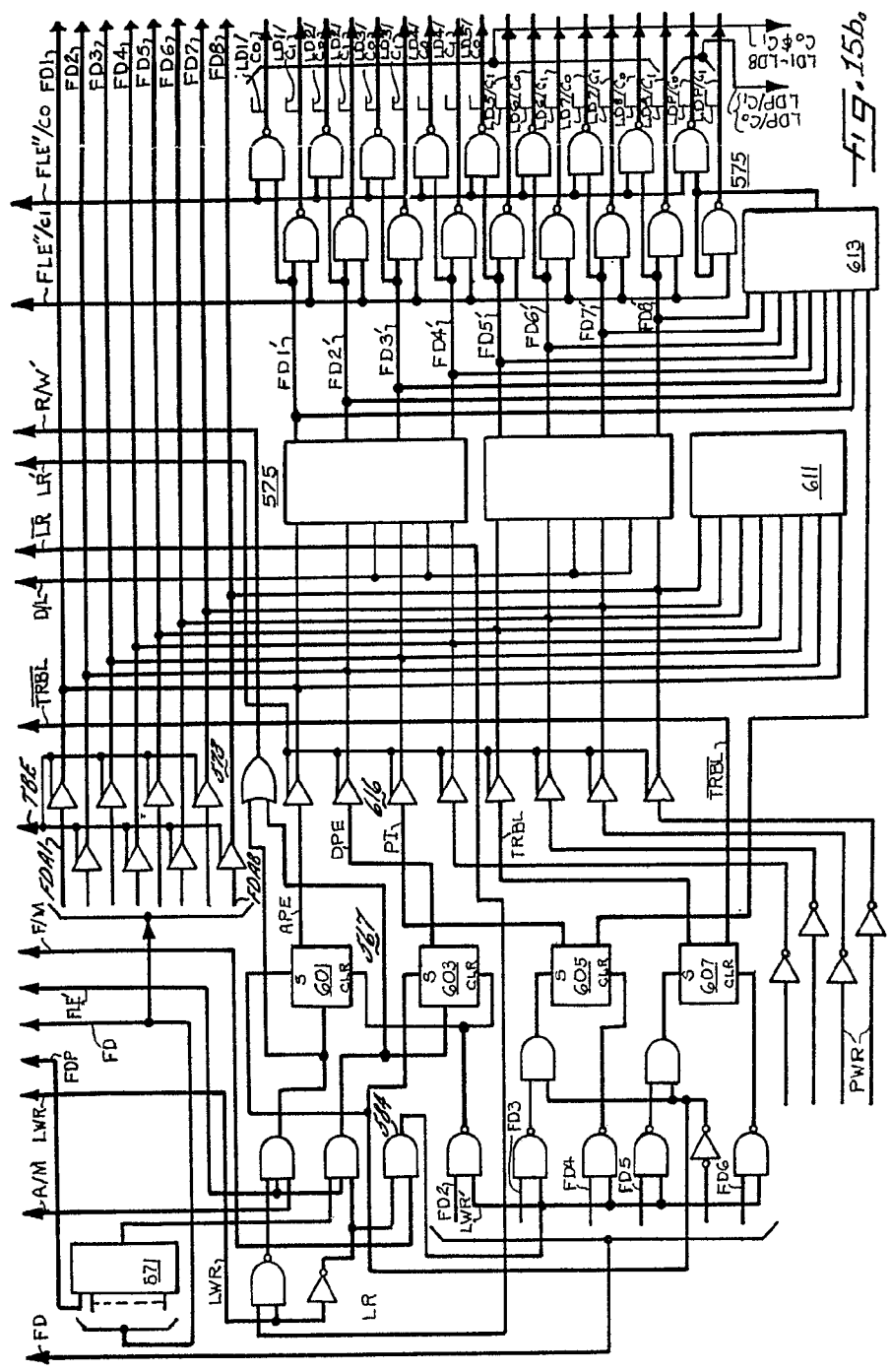
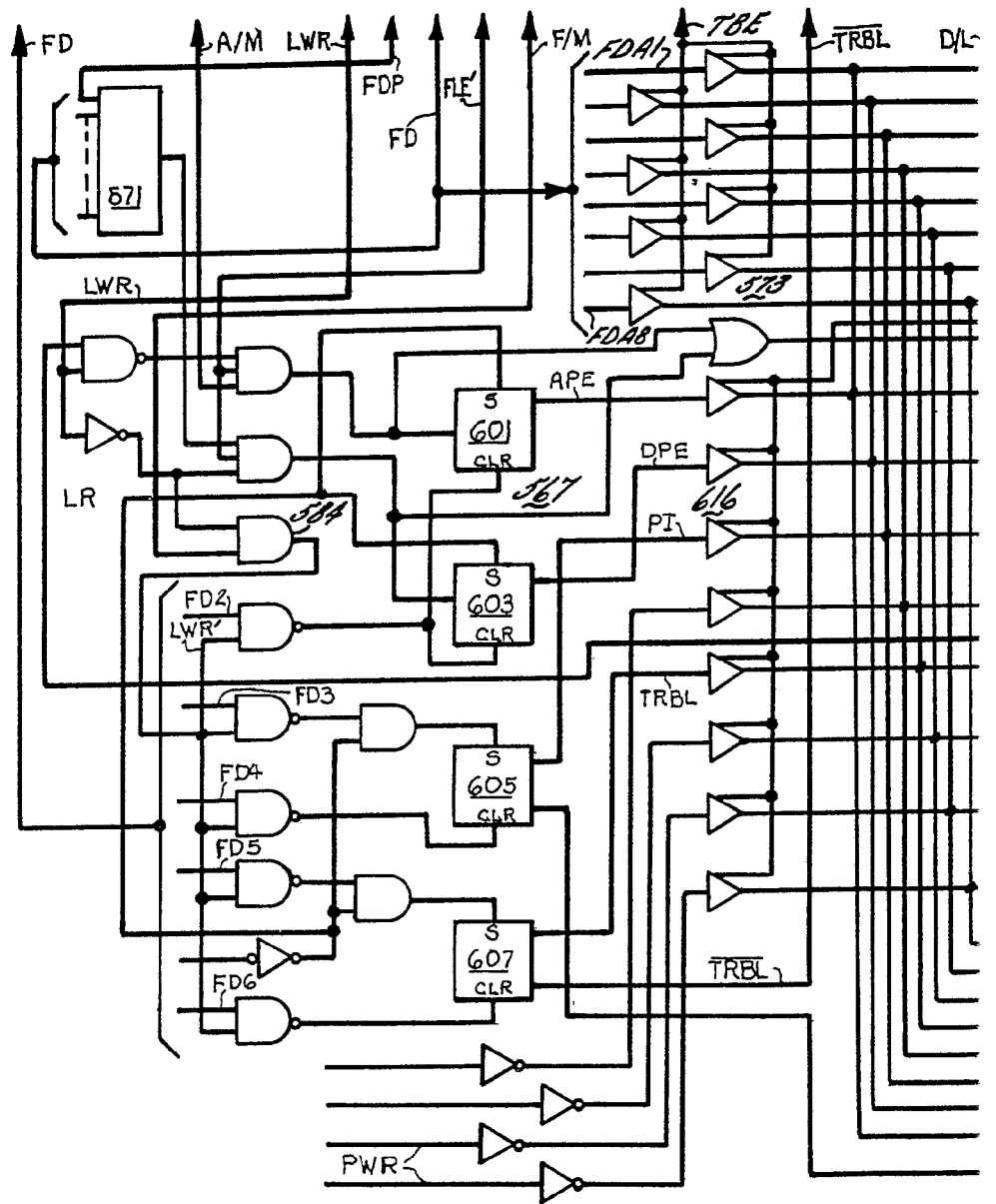


FIG. 15b

9 C 888 1978  
 MEXICO  
 J. M. GOMEZ AGUIRRE Y FERRAZ  
 P. P. FERRAZ & SUAREZ-DIAS



ESCALA  
VARIABLE

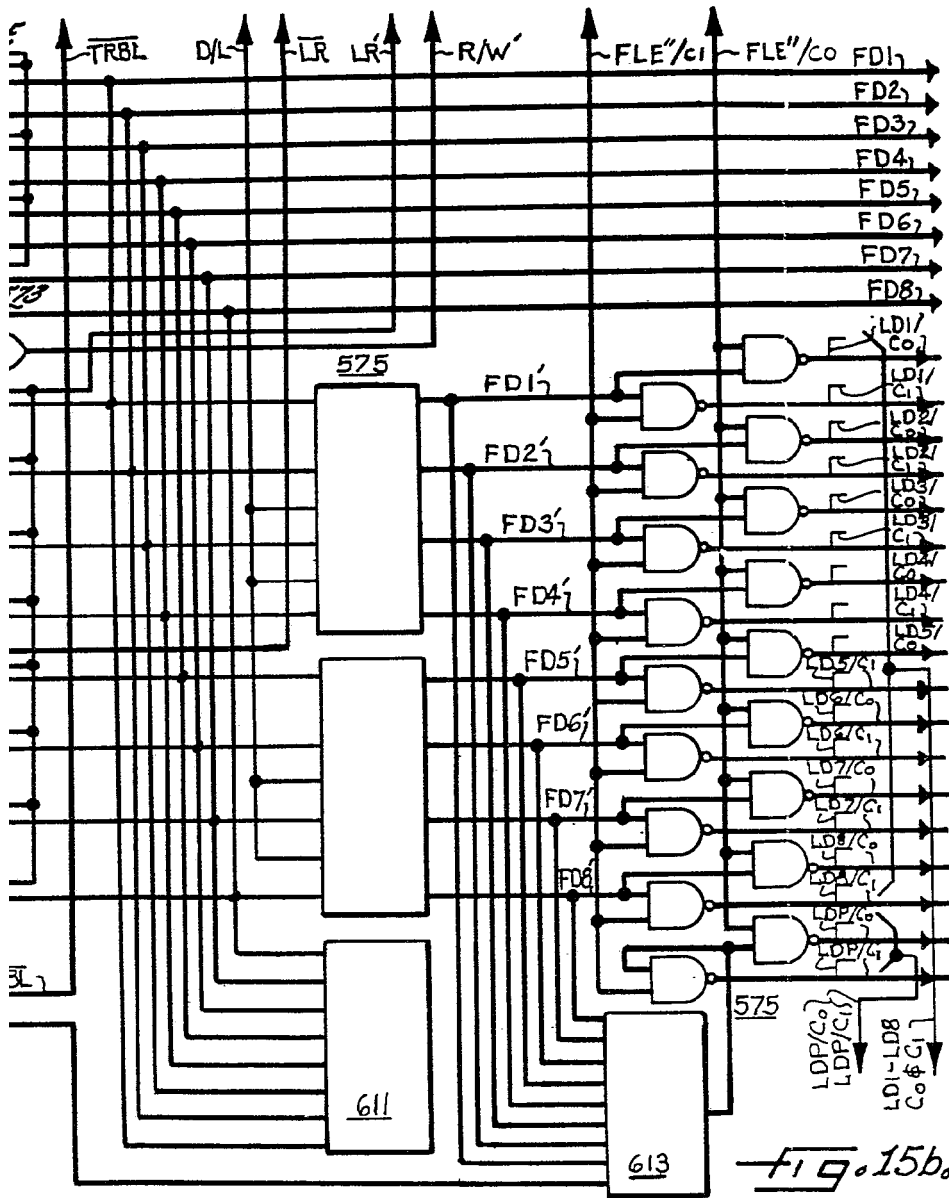
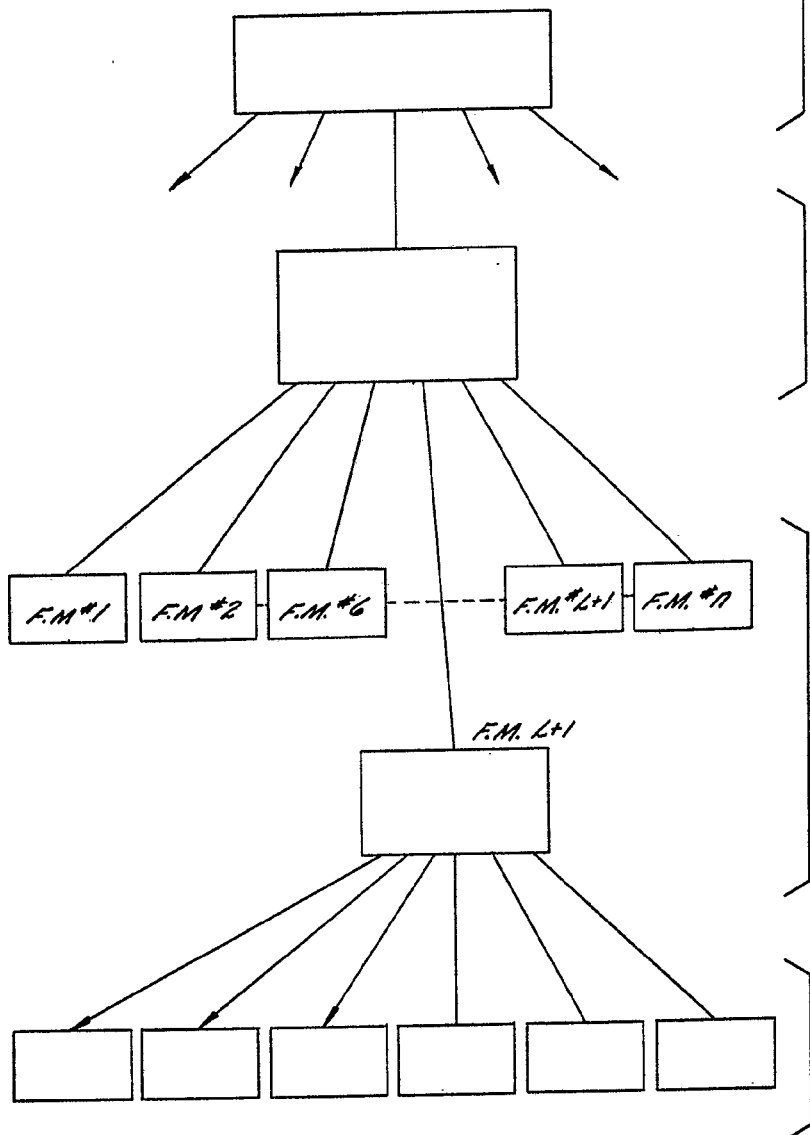


Fig. 15b.

9 6 AGO. 1978  
 Madrid  
 J. M. GOMEZ ACEBO Y PARRA  
 p. p. Firmador J. Suarez Diaz

ESCALA  
VARIABLE

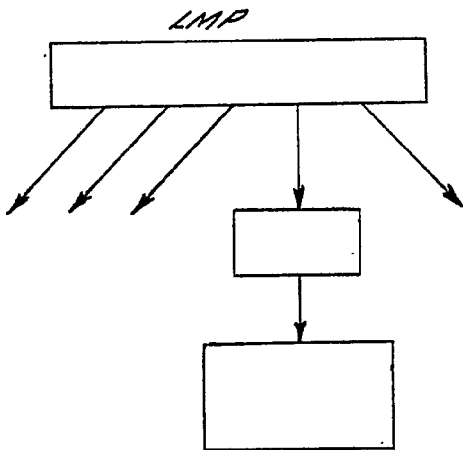
FIG. 160



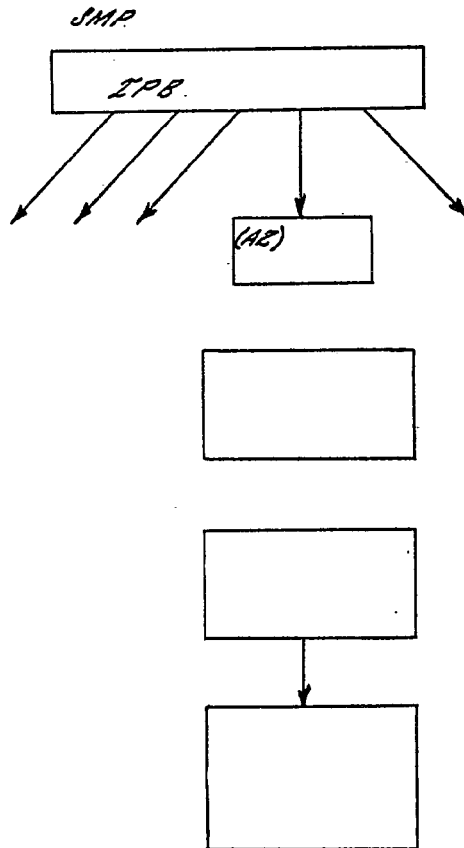
Madrid, a 6 de Mayo de 1978  
J. M. GÓMEZ ACEBO Y POMEYO  
P. P. Firmados J. Suárez Díaz

# ESCALA VARIABLE

*Fig. 17*



*Fig. 18*

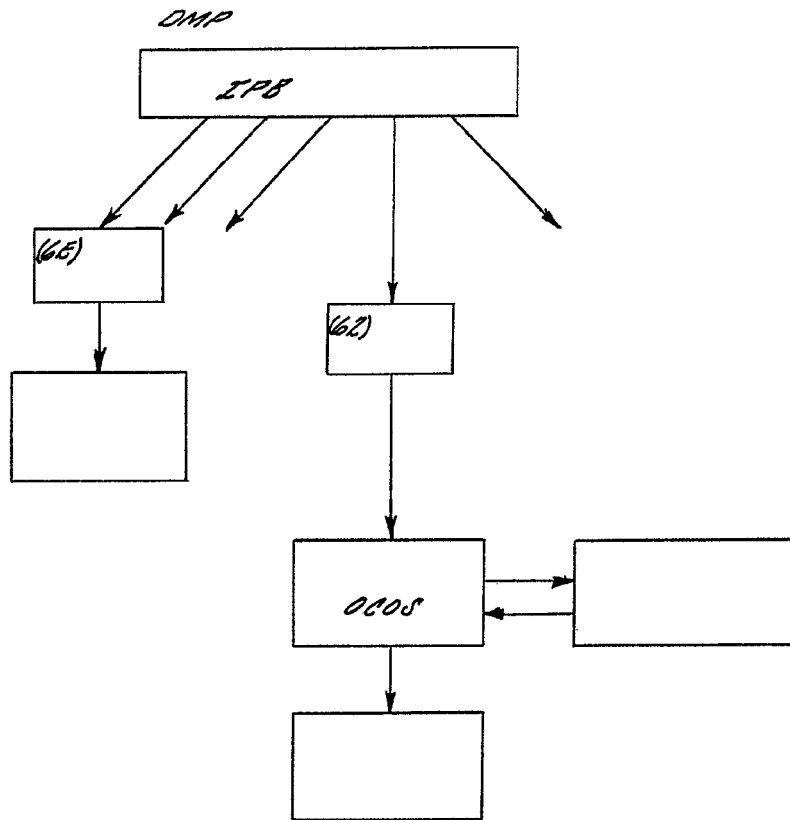


Madrid, a 06 de AGO. 1978

J. M. GOMEZ ACEBO Y ROMBO  
F. p. Firmado: J. Suarez Diaz

**ESCALA  
VARIABLE**

FIG. 19.

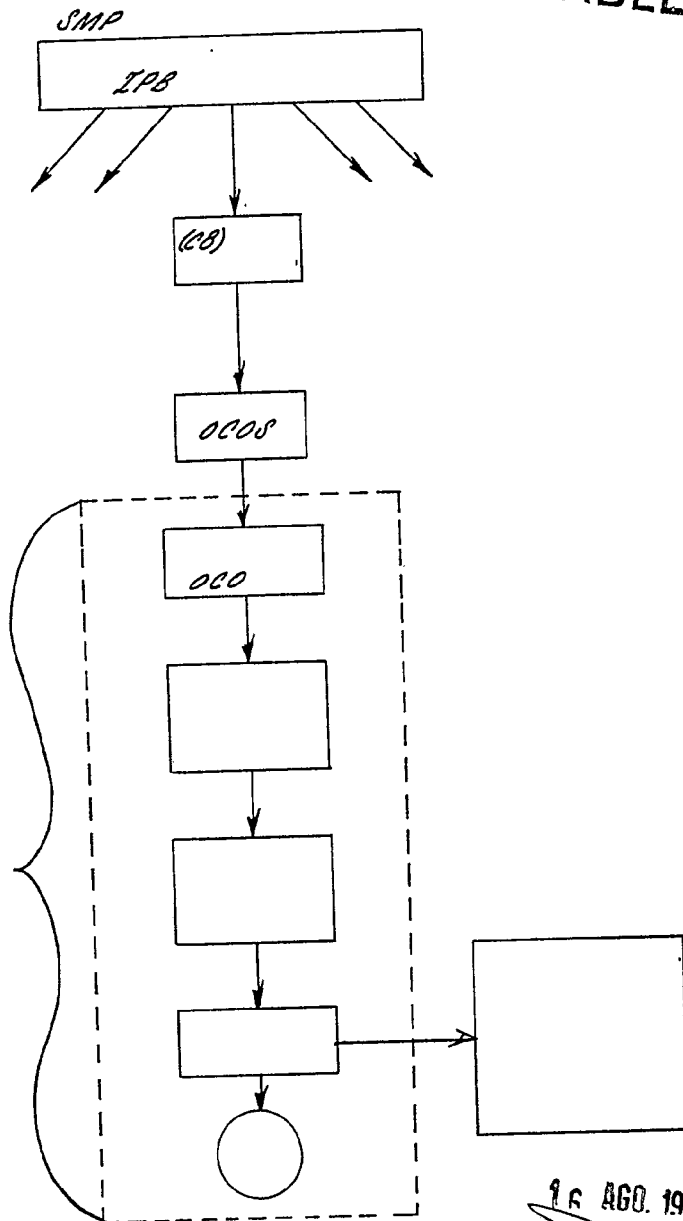


16 AGO. 1978  
Madrid

J. M. GÓMEZ ACEBO Y POMBO  
P. P. Firmado J. Gómez Díaz

Fig. 20.

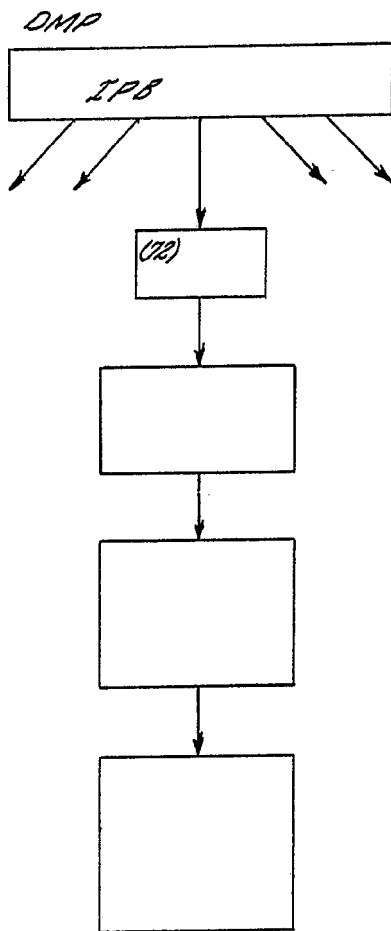
ESCALA  
VARIABLE



16 AGO. 1978  
Madrid, GOMEZ AGUIRRE 100  
p. p. Firmador: Suarez Diaz

**ESCALA  
VARIABLE**

Fig. 21



16 AGO. 1978

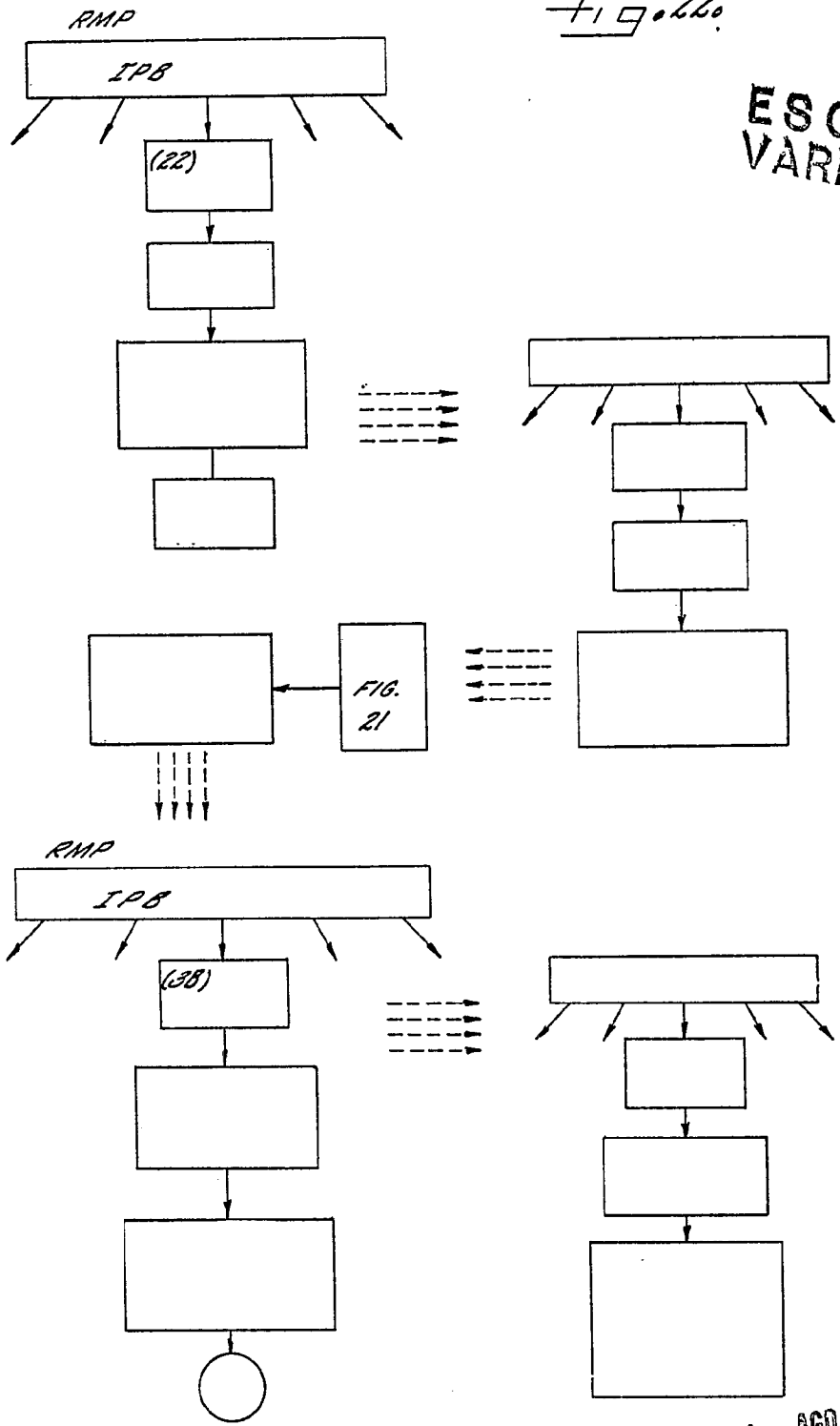
Madrid

J. M. GOMEZ AGEBO Y POMBO

p. p. Firmado: J. Suarez Diaz

Fig. 22

ESCALA VARIABLE

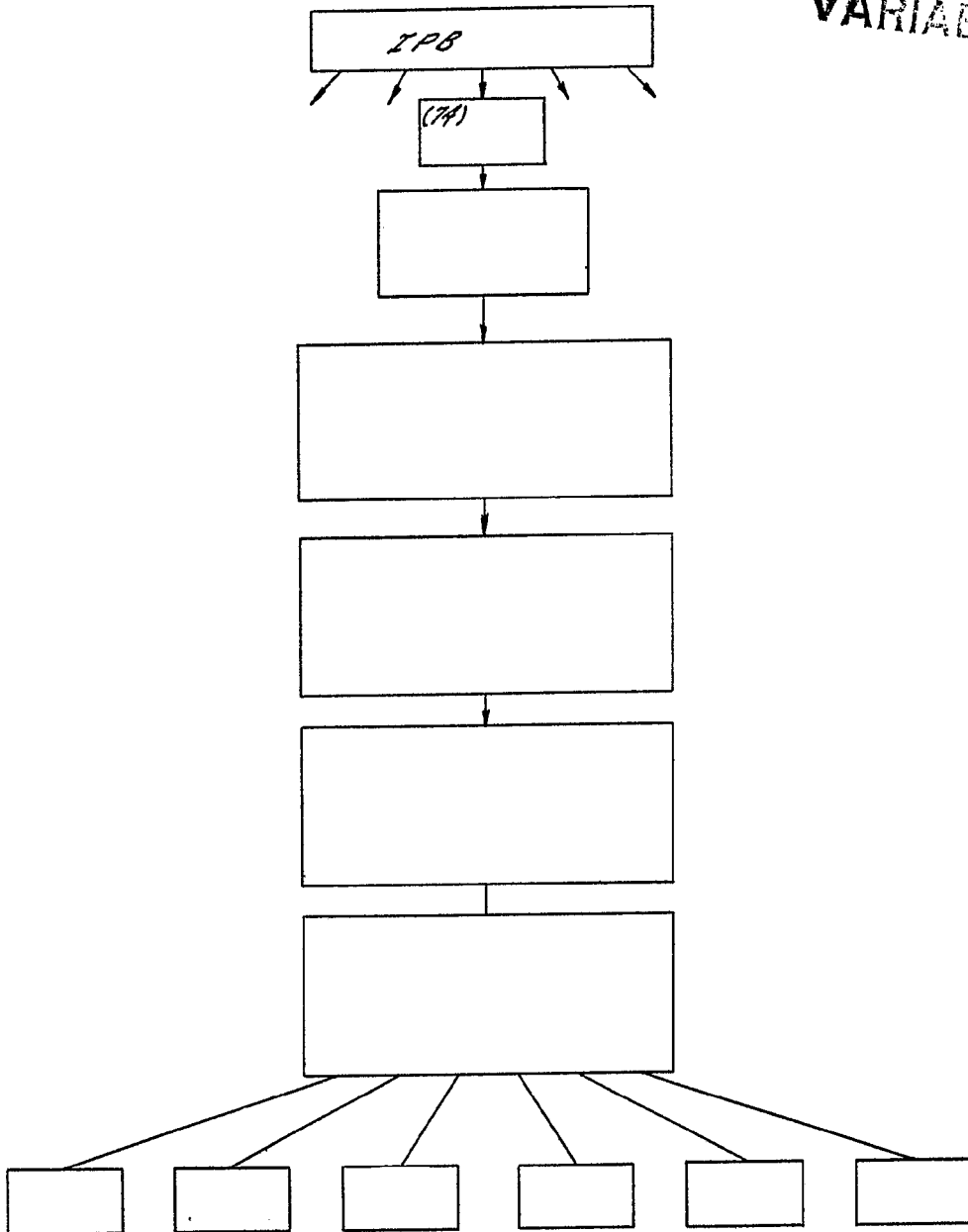


16 AGO. 1978  
Madrid  
J. M. GOMEZ ACEDO Y POMBO  
p. p. Firmado: J. Suarez Diaz

FIG. 23.

DMP

ESCALA  
VARIABLE

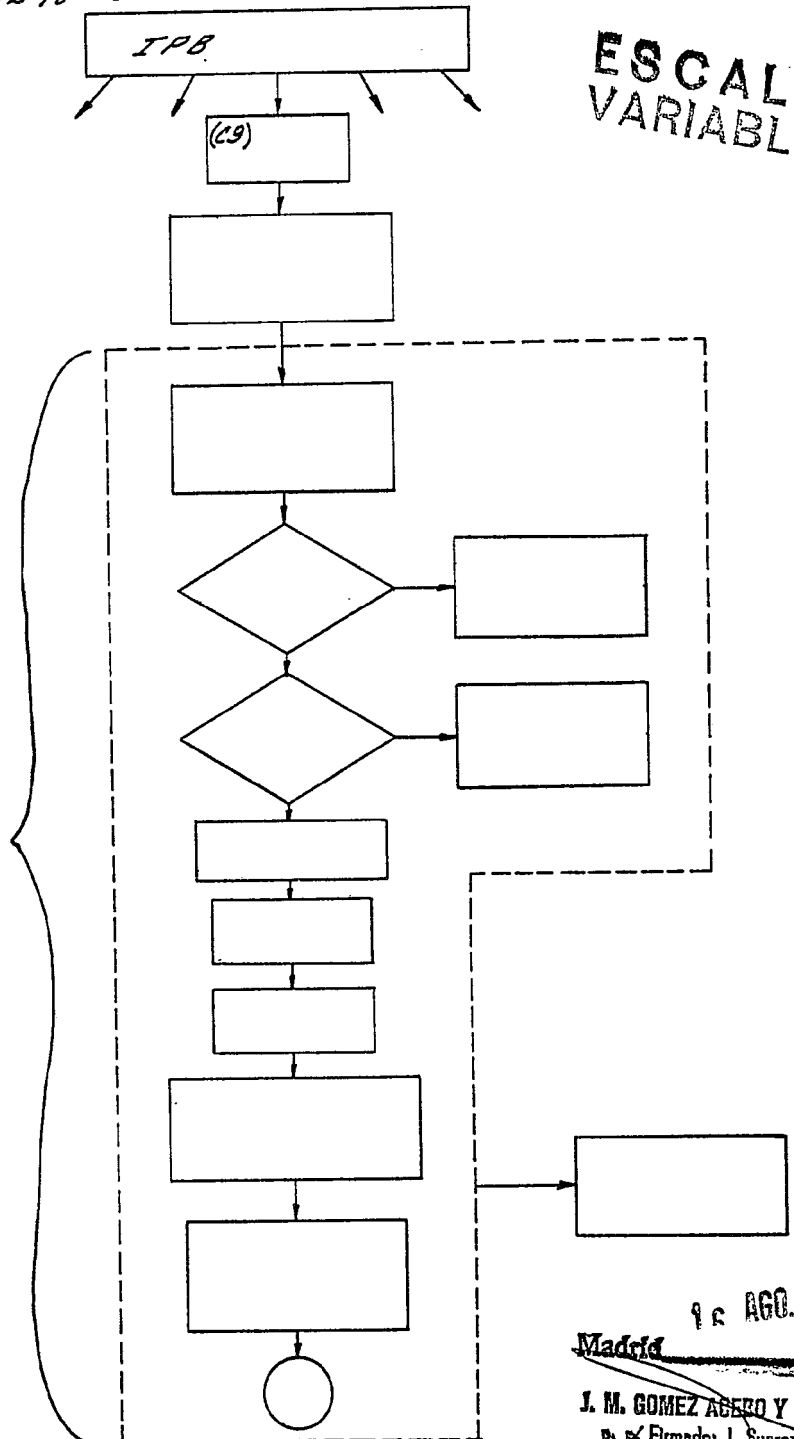


Madrid 1<sup>a</sup> AGO. 1978

J. M. GÓMEZ AGEBO Y POMBO  
p. p. Firmador J. Suárez Díez

Fig. 24 SMP

ESCALA  
VARIABLE



9 de AGO. 1978

Madrid

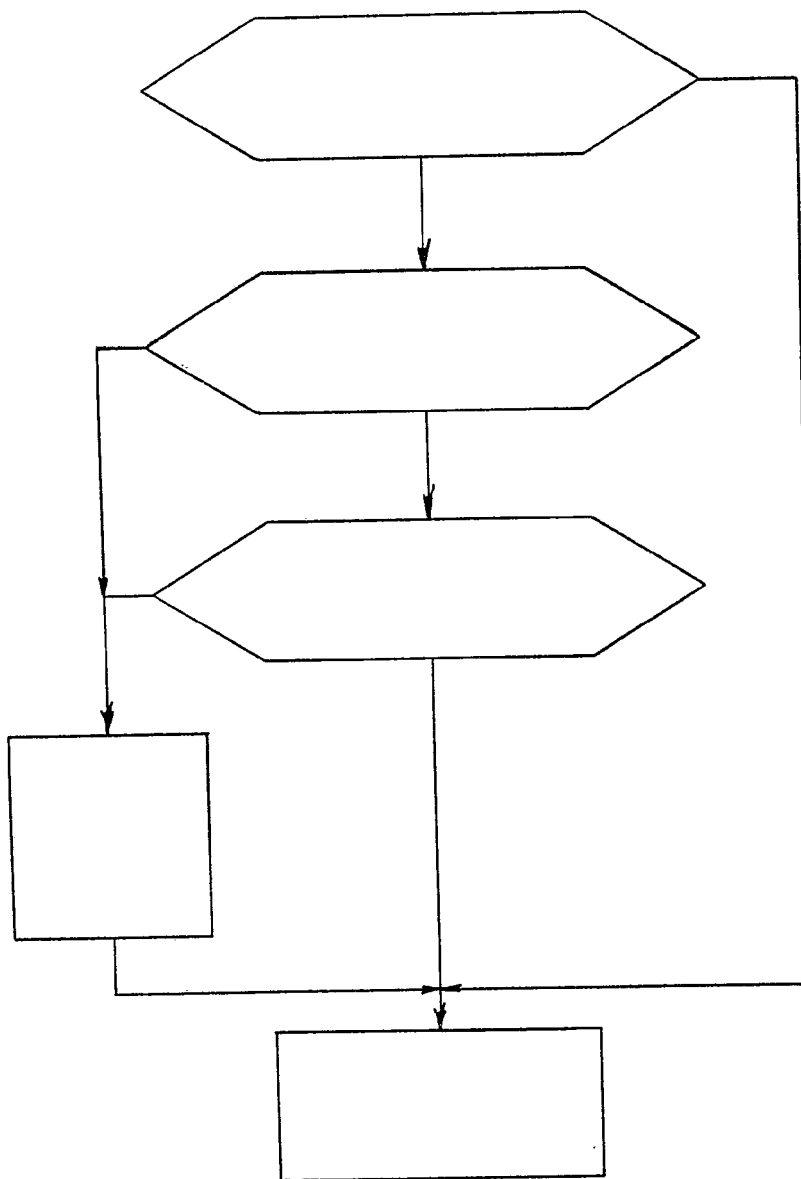
J. M. GOMEZ ABERO Y POMBO

p. n. Firmador J. Suarez Diaz



FIG. 26.

ESCALA  
VARIABLE



Madrid 18 MAR 1978  
J. M. GOMEZ ACEBO Y POMBO  
p. p. Firmado: J. Suarez Diaz

ESCALA  
VARIABLE

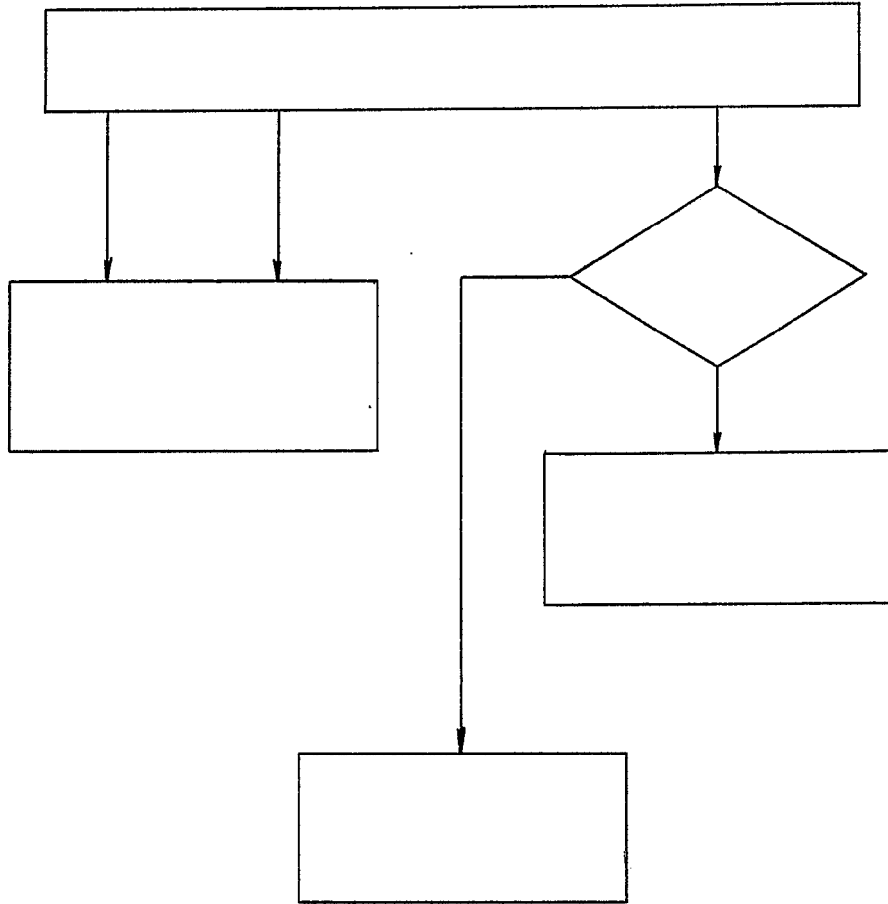


Fig. 27

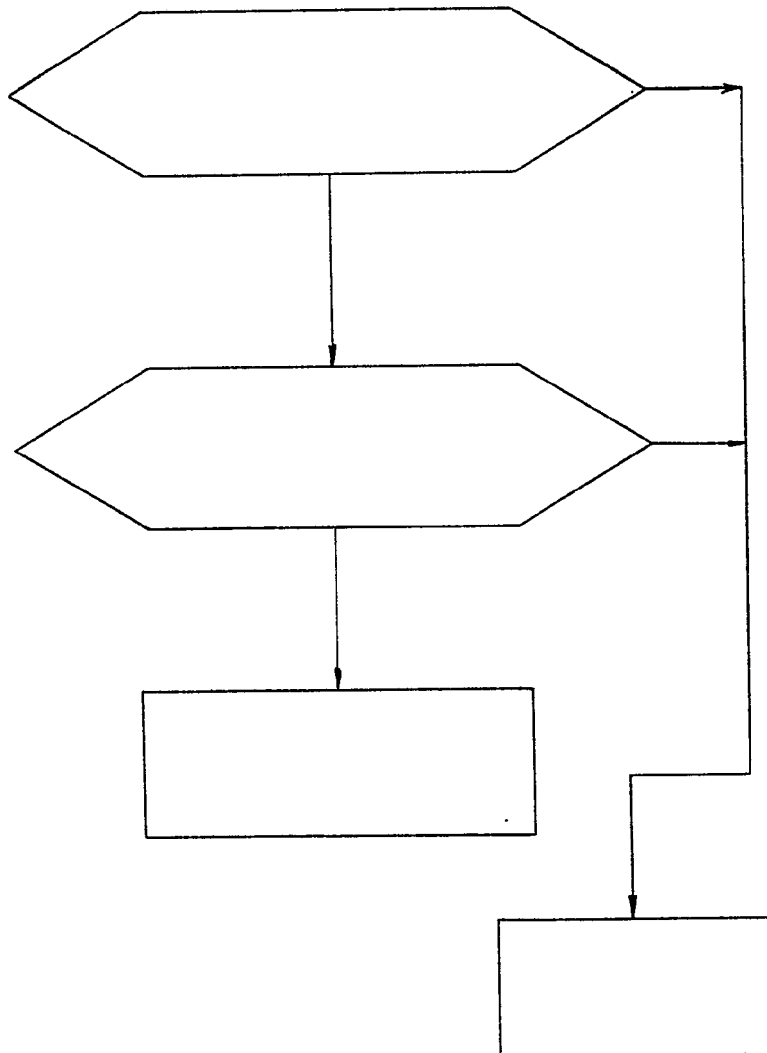
16 AGO. 1978

Madrid

J. M. GOMEZ ACEGO Y POMBO  
Firmador J. Suarez Diaz

FIG. 28

ESCALA  
VARIABLE



16 AGO. 1978

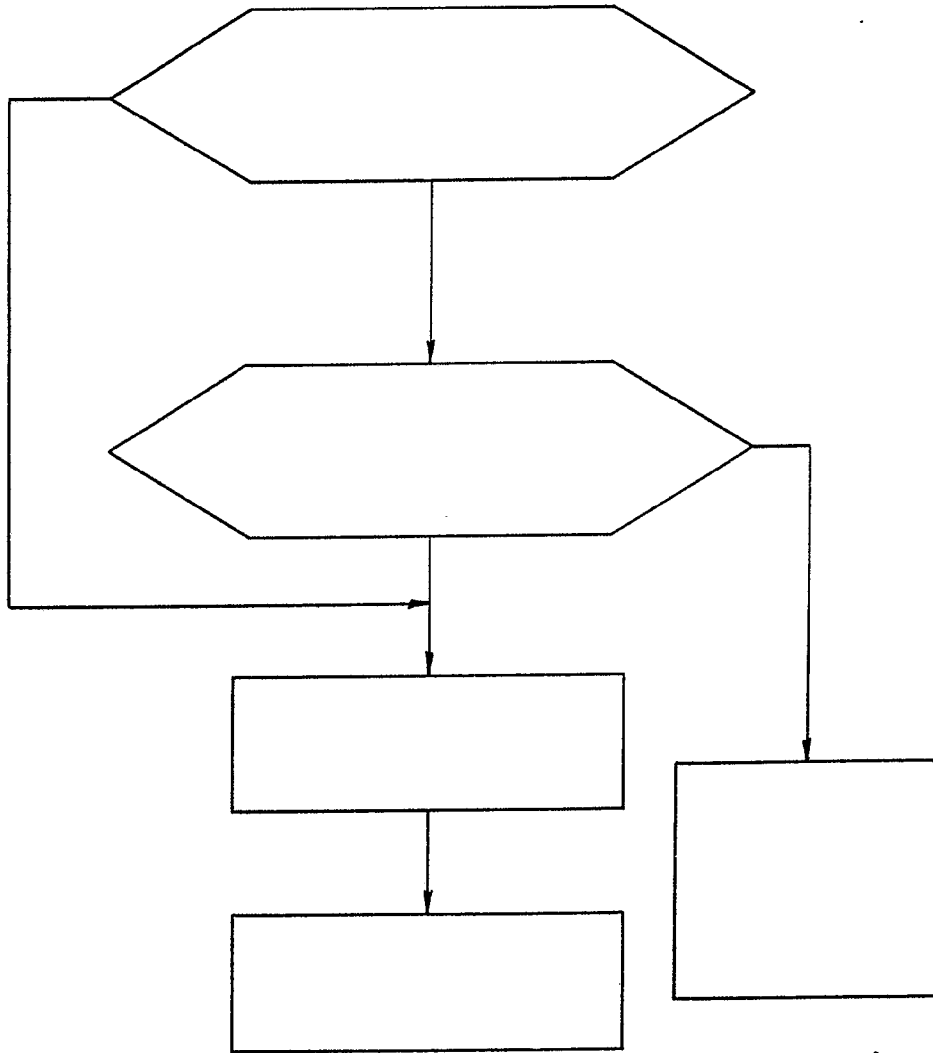
Madrid

J. M. GÓMEZ ACEGO Y POMAJO

p. p. Firmador J. Suarez Diaz

Fig. 29.

ESCALA  
VARIABLE

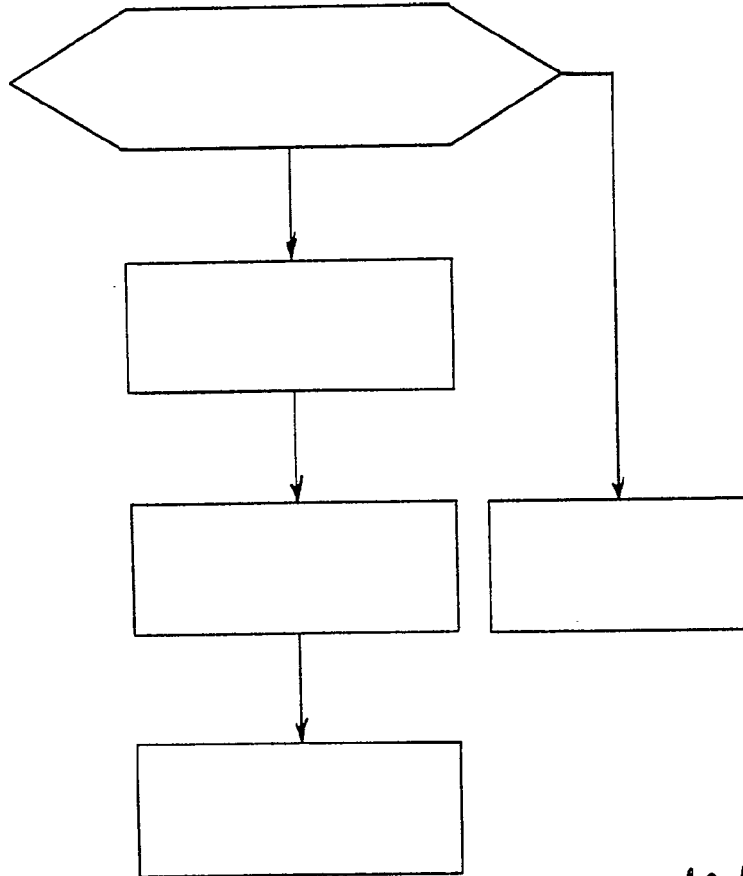


1º AGO. 1978

~~Madrid~~  
~~J. M. GOMEZ ACEBO Y POMBO~~  
~~Por el Encargado J. Suarez Diaz~~

Fig. 30.

ESCALA  
VARIABLE



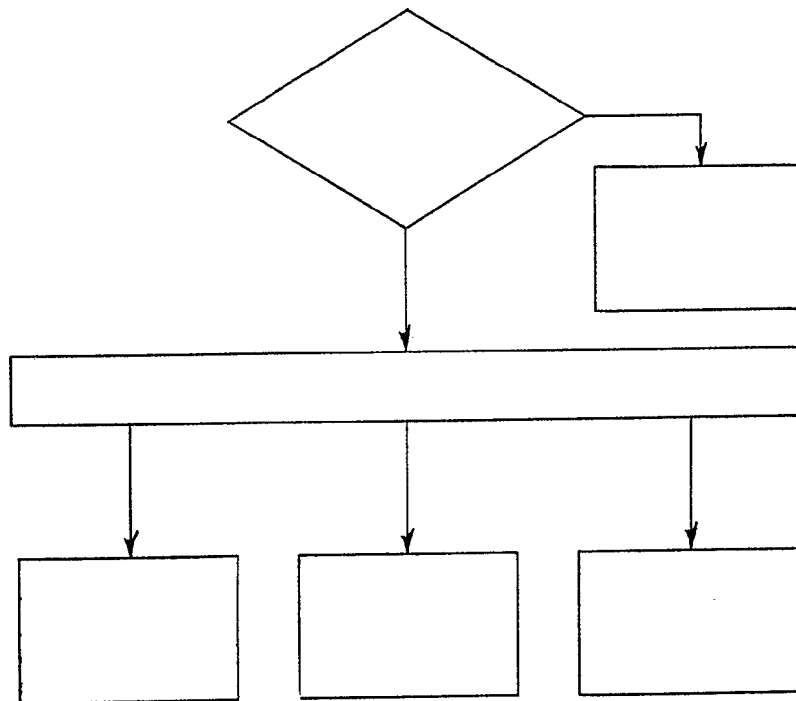
1 c ARQ. 107R

Madrid

J. M. GOMEZ ASEDO Y POMEA  
P. p. Firmado: J. Suarez Diaz

ESCALA  
VARIABLE

Fig. 310



16 AGO. 1978

Madrid

J. M. GOMEZ ACEBO Y POMBO  
p. p. Firmador J. Suarez Diaz