



ESPAÑA

19	ES	11	NUMERO	10	A1
		21			
		22	FECHA DE PRESENTACION		

PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	P. 26 44 401.9		1.Oct.76		Alemania

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H03K		

54	TITULO DE LA INVENCION
	"UN CONMUTADOR ELECTRONICO"

71	SOLICITANTE (S)
	STANDARD ELECTRICA, S.A.

	DOMICILIO DEL SOLICITANTE
	Madrid, calle de Ramirez de Prado, nº 5.

72	INVENTOR (ES)
	Kalman Széchenyi

73	TITULAR (ES)

74	REPRESENTANTE
	D. Eugenio Barroso Espinosa de los Monteros.

El presente invento se refiere a un conmutador electrónico.

La utilización de conmutadores electrónicos implica la dificultad de que, debido a las propiedades físicas de los dispositivos semiconductores utilizados, por ejemplo, transistores C-MOS, los cambios causados capacitiva o inductivamente en el potencial de entrada pueden provocar un comportamiento de conmutación anormal del conmutador. Esto es particularmente indeseable si se realizan varios conmutadores utilizando la tecnología de los circuitos integrados porque, además pueden perturbarse otros componentes y, si los conmutadores se utilizan como elementos de conmutación en mallas de conmutación, aparecerá ruido perturbador y diafonía.

En un conmutador C-MOS, que consiste de la combinación paralelo de un transistor P-MOS y un transistor n-MOS en una pared-p sobre un substrato común, se requiere, durante el funcionamiento normal, que la tensión de entrada esté en el margen entre las tensiones de alimentación de los dos transistores. La polarización utilizada para el substrato del transistor P-MOS es la tensión de alimentación positiva, y la utilizada para el substrato del transistor N-MOS es la tensión de alimentación negativa, porque de otra manera, la unión fuente-substrato de uno de los transistores se abriría. El comportamiento conmutador del conmutador C-MOS se hace anormal cuando caen una o ambas de las tensiones de alimentación, porque entonces la unión(es) fuente-substrato ya no están protegidas contra su apertura.

Además, el canal de un transistor se conecta cuando el potencial negativo (N-MOS) o positivo (P-MOS) de la entrada excede la tensión de umbral del transistor.

El objetivo del presente invento es evitar los fallos en el comportamiento del conmutador debidos a tensiones de entrada (positiva ó negativa) excesivas y en la ausencia de la tensión(s) de polarización.

5 Según el invento, esto se consigue por un conmutador C-MOS cuyos terminales de drenaje y fuente están conectados a primeros potenciales a través de diodos de protección que tienen tensiones difectas menores que la tensión de umbral del conmutador C-MOS, y cuyos terminales del sub-
10 trato están conectados a segundos potenciales a través de una red que consiste de un diodo entre cada uno de los segundos potenciales y los respectivos terminales del substrato y de dos combinaciones serie que consiste cada una de un limitador de corriente y un transistor P-MOS y shuntado a través del
15 diodo, con el terminal puerta del transistor conectado al segundo potencial respectivo, y su terminal de drenaje a tierra.

 Esto hace posible asegurar el estado de "desconectado del conmutador aún cuando caiga la tensión o tensiones de alimentación.

20 Describiremos seguidamente el invento refiriéndonos a los dibujos que se acompañan, en los cuales,

 La Figura 1 muestra una primera configuración del invento, y

 La Figura 2 muestra una segunda configuración
25 del invento.

 La Figura 1 muestra un diagrama del circuito de un conmutador C-MOS protegido según el invento, que consiste de un transistor N-MOS TN y un transistor P-MOS TP. La entrada y salida del conmutador C-MOS están conectadas
30 a través de los diodos de protección D3, D4 y D5, D6, respec-

tivamente, a un potencial que es, por ejemplo, 2 voltios por debajo de las respectivas tensiones de alimentación VSS(TN) Vdd(TP). Las tensiones de alimentación VSS y VDD se aplican a los terminales del sustrato de los transistores TN y TP, respectivamente. Esto se hace por medio de una red, que se indica bordeada por una línea de puntos. Los diodos de protección, cuyas tensiones directas son menores que las tensiones de umbral de los transistores, proporcionan protección contra tensiones de entrada excesivas. La red ofrece protección contra perturbaciones y la ausencia de la tensión o tensiones de alimentación (apertura de la unión fuente-sustrato).

Asociados con el transistor TN están los transistores P-MOS, T1 y T2 así como un diodo D1; análogamente al transistor TP están asignados los transistores N-MOS, T3 y T4 y un diodo D2 polarizado inversamente. Los transistores T1 y T4 sirven para limitar la corriente.

Si, por ejemplo, falla la tensión de alimentación VSS, se desconectará el transistor T2, y la unión fuente-sustrato del transistor TN junto con el diodo D1 formarán dos diodos espalda-con-espalda, de tal manera que no habrá caída de tensión a través de la unión fuente-sustrato ($V_{SB} \approx 0$) y, consecuentemente, no puede pasar corriente por el sustrato; de esta manera es imposible el acoplamiento de cualquier parásito entre varios conmutadores del mismo chip.

Otra configuración de la red se muestra en la Figura 2. La tensión de alimentación VSS se aplica al transistor N-MOS, TN, a través de un transistor N-MOS, T5 y la tensión de alimentación VDD se aplica al transistor P-MOS, TP, a través de un transistor P-MOS, T6. Si, por

ejemplo, falla la tensión de alimentación VSS, se desconectará el transistor T2. Su unión fuente-substrato forma también entonces un diodo conectado en la misma dirección que el diodo formado por la unión fuente-substrato del transistor TN.

5 La caída de tensión a través de la unión fuente-substrato del transistor TN depende entonces de las características de los dos diodos; si ambos tienen la misma característica, esta caída de tensión es aproximadamente $V_D/2$. Como resultado de la dependencia exponencial de la corriente del diodo sobre
10 la tensión del diodo, sin embargo, una caída de tensión de $V_D/2$ sólo causará una corriente de substrato que no tendrá efectos perturbadores.

Si se utiliza en una matriz de conmutación, las soluciones mostradas en las Figuras 1 y 2 aseguran el
15 estado de "desconectado" contra las tensiones de entrada negativas:

- Los diodos de protección impiden la conexión del canal, y
- La red impide la generación de corriente de substrato.

Si se realiza utilizando la tecnología de los circuitos integrados, esta red puede fabricarse sobre el mismo chip a
20 bajo coste.

El presente invento mejora así la confiabilidad operacional de la matriz.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de
25 ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Alemania, el día 1 de Octubre de 1976 señalada con el N^o P 26 44 401.9 y se recoge por lo tanto, a
30 los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un conmutador electrónico, caracterizado por un conmutador C-MOS cuyos terminales fuente y de drenaje están conectados a primeros potenciales ($VSS + 2V$ con $VS < 0$; $VDD - 2V$ con $VDD > 0$) a través de diodos de protección (D3, D4; D5, D6) que tienen tensiones directas menores que
10 la tensión de umbral del conmutador C-MOS y cuyos terminales de substrato están conectados a segundos potenciales (VSS, VDD) a través de una red que consiste de un diodo (D1; D2) entre cada uno de los segundos potenciales (VDD; VSS) y los terminales del substrato respectivos y de dos combinaciones
15 serie que consisten de un limitador de corriente (T1, T4) y un transistor P-MOS (T2; T3) y shuntado a través del diodo (D1; D2), con el terminal puerta del transistor (T2; T3) conectado al segundo potencial respectivo (VSS; VDD), y su terminal de drenaje a tierra.

20 2.- Un conmutador electrónico, según el punto 1, caracterizado porque la red consiste de un transistor N-MOS (T5) y un transistor P-MOS (T6) cuyos canales están conectados entre el segundo potencial respectivo (VSS, VDD) y el terminal del substrato asociado, y cuyos
25 substratos, además, están conectados al segundo potencial respectivo.

3.- Un conmutador electrónico, según los puntos 1 y 2, caracterizado porque su utilización como elemento de conmutación en una matriz integrada de un sistema
30 de conmutación telefónico, teniendo cada matriz una red

6

asignada a la misma.

4.- Un conmutador electrónico, según los puntos 1 ó 2, caracterizado porque, si cualquiera de los segundos potenciales (VSS ó VDD) falla, el otro potencial se desconectará.

5

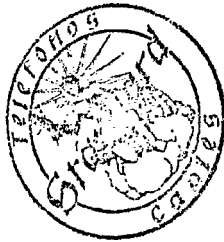
5.- Un conmutador electrónico.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

10

Esta memoria consta de seis hojas escritas por una sola cara.

Madrid, 30 SET. 1977



Eugenio Barroso
EUGENIO BARROSO
Secretario General

20

SECRETARIA DE DEFENSA HOJA UNICA

