

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



CONCEDIDA

PATENTE DE INVENCION

10	ES	11	NUMERO	462477	10	A1
21		22	FECHA DE PRESENTACION	20-9-77.		

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	39062/76		21.Septiembre.76		Gran Bretaña

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H04M		

64	TITULO DE LA INVENCION
	"UN SISTEMA DE CONMUTACION PARA TELECOMUNICACION AUTOMATICA"

71	SOLICITANTE (S)
	STANDARD ELECTRICA, S.A.

	DOMICILIO DEL SOLICITANTE
	Madrid, calle de Ramirez de Prado, nº 5,

72	INVENTOR (ES)
	Richard Dennis Spencer Peter Robert Dudley

73	TITULAR (ES)
	STANDARD ELECTRICA, S.A.

74	REPRESENTANTE
	D. Eugenio Barroso Espinosa de los Monteros.

20 JUN. 1978

LINE A-4 MOD. 3106

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

UTILICESE COMO PRIMERA PAGINA DE LA MEMORIA

El presente invento se refiere a un sistema de conmutación para telecomunicación automática, y al control de los juegos de relés en una central de telecomunicación automática.

5 En una tal central, los circuitos de salida, a través de los cuales la central tiene acceso a otra central remota, que se conocen indistintamente como circuitos de enlace, circuitos de unión y circuitos juntores, contiene cada uno un conjunto de relés. El conjunto de relés realiza un número de funciones en relación con la extensión de la conexión a la central remota, la señalización hacia la misma y la respuesta
10 a la señalización procedente de ella. Existen también otras formas de juegos de relés en algunas centrales. Sin embargo, en tales casos la central incluye cierto número de juegos de relés similares, todos los cuales están controlados desde el equipo que establece la llamada. Estos conjuntos de relés son relativamente complejos y, como consecuencia, costosos, empeorándose estos inconvenientes por la necesidad
15 de contar con un equipo de control para los mismos.

Un objetivo del presente invento es proporcionar un dispositivo para controlar cierto número de tales juegos de relés que es relativamente sencillo y económico, y reduce
20 también el coste de los conjuntos de relés individuales.

El presente invento se refiere a un sistema de conmutación para telecomunicación automática que incluye cierto número de conjuntos de relés electro-magnéticos cuyo funcionamiento se controla por un procesador de datos de programa almacenado, y a un interface individual para cada conjunto
25 de relés, que tiene un juego de entradas por las que se reciben indicaciones sobre la condición del conjunto de relés y un juego de salidas por las que se envían señales de con-
30

trol para el conjunto de relés, en dónde cada interface tiene una entrada serie del procesador de datos por la que se reciben las señales de control para dicho conjunto de relés desde el procesador para enviar a este conjunto de relés y una salida serie a través de la cual se envían las 5 indicaciones sobre las condiciones de dicho conjunto de relés al procesador, en dónde a intervalos periódicos se aplica una señal de reloj a cada interface desde el procesador como resultado de la cual los interfaces reciben cada una 10 dichas indicaciones desde los conjuntos de relés, después de los cual la información en dichos interfaces se envía al procesador, en dónde como dicha información se envía al procesador, las señales de control para el conjunto de relés pueden enviarse desde el procesador a los interfaces, después 15 de lo cual las señales de control se envían a los conjuntos de relés apropiados, y en dónde varios de dichos conjuntos de relés son controlables simultáneamente y en paralelo por el procesador, siendo aplicada cada una de las señales de reloj simultáneamente a los interfaces.

20 Con un tal dispositivo el conjunto de relés mismos se simplifica reduciéndose el número de relés, dado que algunas funciones lógicas que tienen lugar en el conjunto de relés de un dispositivo convencional se transfieren al procesador de datos común, el cual realiza su función de 25 control sobre un número relativamente grande de conjuntos de relés. Además, los relés que responden a las instrucciones recibidas desde los interfaces de los conjuntos de relés son más sencillos que los utilizados en los conjuntos de relés existentes.

30 Describiremos seguidamente una configuración del in-

vento refiriéndonos a los dibujos que se acompañan, en los cuales la Fig. 1 es una representación simplificada del interface entre uno de los conjuntos de relés controlados por el procesador central, y el procesador central mismo, mientras que la Fig. 2 es una carta de flujo que explica el funcionamiento del sistema.

El invento se aplica a los conjuntos de relés juntores del sistema ya conocido PENTACONTA para centrales telefónicas, y para evitar innecesarias complicaciones no describiremos el conjunto de relés que se utiliza actualmente. Al considerar un conjunto de relés juntor, el problema se dividía funcionalmente en un interface, de los que se necesita uno por conjunto de relés, y un control. Para reducir el coste y aprovechar la potencia del procesador de datos, éste sirve para varios conjuntos de relés. En el dispositivo descrito aquí, se utilizan los ya conocidos micro-procesadores M6800 de Motorola, cada uno de los cuales controla ocho conjuntos de relés. Se ha elegido este número porque el bus de datos del M6800 tiene ocho hilos en paralelo, cuyo significado aparecerá después. Nótese que el invento puede aplicarse a sistemas utilizando otras formas de procesador, por ejemplo, el Intel 8080 y el Signetics 2650.

En el diseño de los interfaces, la elección de unidades de circuitos integrados estaba limitada a los paquetes disponibles en forma cerámica, y a dispositivos que pudieran funcionar a partir de una única tensión de alimentación de +5 voltios. Nuevamente, como las funciones de control realizadas por un microprocesador se distribuían a ocho conjuntos de relés, el multicircuito de control se asignó a una única tarjeta de circuito impreso, con solamente el interface para

cada conjunto de relés en dicha tarjeta de circuito del conjunto de relés juntor. Nótese que los costes del software son mínimos, debido a que se distribuyen en un gran número de conjuntos de relés de las centrales. Así, el coste total depende gradualmente del coste del hardware, lo que significa que éste último debe mantenerse en un mínimo, consiguiendo que se realicen por el software tantas funciones como sean posibles. Un ejemplo es el rebote: un circuito de rebote hardware debe utilizar un registro de conversión o un disparador Schmitt con una pequeña capacidad entre su entrada y tierra. Se evita el coste de un tal circuito mediante la utilización del software, a costa (relativamente pequeña) de la memoria y posiblemente de una ligera degradación en el servicio durante el pico de carga.

El microprocesador M6800 es una máquina de 8-bits, esto es, funciona sobre 8 bits (un byte) de datos simultáneamente, y tiene un bus de datos de 8 bits, de tal manera que en el caso presente se controla un conjunto de relés desde cada uno de los hilos individuales del bus de datos de 8 bits. Se discute aquí el hardware en dos partes; el interface y el control.

Cada tarjeta para un conjunto de relés juntor tiene 11 entradas y 11 salidas y en la configuración que se describe aquí todas estas tarjetas son idénticas y necesitan las mismas funciones de control. Como consecuencia, la tarjeta del procesador tiene que aceptar 88 entradas y 88 salidas. El interface organiza estas entradas en 11 bytes para presentaciones al bus de datos del procesador en el momento en que el procesador pueda leerlas y almacenar lo que lee. De la misma manera, el interface detecta cuando aparecen

salidas en el bus de datos y distribuye estas salidas a los controles de relés apropiados en las tarjetas de juntos.

Si la central tiene formas diferentes de conjuntos de relés, por ejemplo, para uniones a diferentes tipos de centrales, los conjuntos de relés se agrupan a efectos de control de tal manera que un microprocesador siempre controle un grupo de conjuntos de relés idénticos.

Las entradas y salidas se transmiten en serie desde cada tarjeta de conjunto de relés juntos, lo cual necesita un lógico para convertir las 11 entradas a forma serie para la transmisión a la tarjeta del procesador, y también aceptar los flujos de salidas serie desde el procesador y dirigirlos a los controles de relés apropiados.

La fig. 1 muestra como se consigue esto utilizando la conversión paralelo a serie y serie a paralelo con una función de registro de conversión. El bloque 1 es una tarjeta de circuito de conjunto de relés, que contiene los controles y enclavamientos de los relés. Estos enclavamientos responden cada uno a una condición a ser señalizada al procesador, almacenando cada enclavamiento su condición al menos hasta que haya sido enviada al procesador. Los controles responden cada uno a una señal de entrada que define como ha de ser actuado un relé para realizar una función de control requerida. La característica principal del interface es PIP0, esto es, un registro de conversión paralelo en-paralelo formado por tres unidades de circuito integrado 2, 3, 4, cada una de las cuales es un chip 7495 de Texas Inst. Cada uno de tales chips está basado en un registro de conversión de cuatro bits, de tal manera que se necesitan tres de ellos, como se muestra.

Las once conexiones, mostradas en 5, se extienden desde las salidas de la tarjeta de conjunto de relés 1 a las entradas del registro de conversión 2-3-4 a través de las cuales puede marcarse la condición del relé en el conductor paralelo del registro. De la misma manera, once conexiones se extienden desde las salidas del registro a las entradas del conjunto de relés para la transmisión de datos al conjunto de relés.

Cuando la salida de control de modo 7 desde el procesador es alta, un borde negativo en el terminal de reloj 8 hace que las señales en las entradas al registro 2-3-4, esto es, el estado del conjunto de relés, se marquen en el registro. Si ahora el control de modo cambia de estado, cada borde negativo en el terminal de reloj 8 hace avanzar los datos en el registro 2-3-4 sucesivamente, de tal manera que los datos se lleven en forma serie a través del terminal de datos 9 al procesador. Al mismo tiempo, los datos destinados al mismo conjunto de relés pueden enviarse al registro 2-3-4 a través del terminal 10. Después de 11 de tales períodos de reloj, todos los datos desde el conjunto de relés se han enviado al procesador, y el registro de conversión ha recibido nuevos datos que se ofrecen al conjunto de relés 1 a través de las conexiones 11. Un impulso en el terminal de reloj de enclavamiento 12 hace que estas salidas se almacenen en un conjunto de enclavamientos que alimentan a los controles de los relés. Como consecuencia las funciones de control requeridas se realizan en el conjunto de relés. Todas las funciones de control para el interface, esto es, modo, reloj de registro de conversión y reloj de enclavamiento se generan en la tarjeta del procesador.

Consideraremos ahora los aspectos del software del sistema que estamos describiendo, y la estructura de este software se indica como referencia en la carta de flujo que se muestra en la Fig. 2. Esta está dividida en cuatro secciones, A para inicialización, B para exploración, C para comprobación de la expiración de tiempo y D para esperar el reloj en tiempo real. La memoria del procesador incluye tablas almacenadas por el programa, que están listadas debajo, junto con las secciones del programa, pero sin indicaciones en relación a los tamaños relativos de los programas, que podrían variar en aplicaciones diferentes.

- (a) Tablas de Entrada utilizadas para el rebote.
- (b) Tabla de salida
- (c) Tabla de Resultados Temporales
- 15 (d) Tablas de Tiempo
- (e) Almacenes de trabajo.
- (f) Almacenamiento por empuje
- (g) Tablas para ser utilizadas por el intérprete
- (h) Programa Interpretativo
- 20 (i) Inicialización
- (j) Exploración
- (k) Comprobación de Tiempos
- (l) Intérprete
- (m) Sub-rutinas
- 25 (n) Respuesto
- (o) Dirección de comienzo de reposición

Los capítulos (a) a (f) están en la memoria de acceso aleatorio (RAM) y el resto de la memoria programable de lectura solamente (PROM).

30 Cuando arranca el sistema se inician las diferentes

tablas en la RAM, esto es, pasan a condiciones normales o de reposo en dónde puede comenzar el funcionamiento.

La rutina de exploración se introduce siempre que tenga lugar un impulso de reloj en tiempo real de tal manera que la exploración se realiza a intervalos regulares. Las 5 entradas desde los conjuntos de relés servidos son bytes de ocho-bits cada uno de los cuales incluye un bit desde cada uno de los 8 conjuntos de relés, y cada bloque de datos de entrada consiste de 11 de tales bytes. Naturalmente que si 10 un conjunto de relés está no operativo sus bits no provocan ninguna acción del procesador. Estas entradas se leen en una tabla de entrada (ver lista superior) y al mismo tiempo las salidas generadas en el periodo de reloj de tiempo real anterior se envían desde la tabla de salida. Las entradas se 15 comparan con las leídas en los dos periodos precedentes para eliminar los efectos del rebote de contacto, detectando así los cambios establecidos que son los acontecimientos que disparan las tareas del procesador el cual realiza las operaciones lógicas que determinan los datos de salida a ser 20 enviados a los conjuntos de relés. Estas tareas se implementan en un código especial interpretado por una sub-rutina siendo introducida la interpretación siempre que se inicie una tarea. La dirección de arranque en el código de interpretación se determina por el cambio de entrada implicado.

25 Después de comprobar cada grupo de 8 entradas (de 8 conjuntos de relés), la señal de reloj en tiempo real se muestrea, y si ha tenido lugar un impulso el control vuelve al comienzo de la rutina de exploración (porciones B de la carta de flujo) Fig. 2. La indexación a través de los grupos 30 está dispuesta de tal manera que el procesamiento vuelve a

empezar con la reposición del grupo siguiente al explorado.

Cuando se han muestreado los 11 grupos de entradas, se introduce una rutina (C, Fig. 2) para comprobar la exploración de los tiempos. Esta utiliza un conjunto de contadores que se paran cuando se suspende una tarea y disminuyen cada vez que se introduce esta rutina. En esta rutina cada contador se examina para ver si ha alcanzado el cero; si es así, se reasume la tarea en la localización siguiente a la introducción que arrancó el período. Cuando se completa cada tarea se muestrea de nuevo la señal de reloj en tiempo real, como en la rutina de exploración.

Si, como es normalmente el caso, no ha tenido lugar el impulso de reloj en tiempo real cuando se han completado todas las funciones de tiempo, se introduce un bucle (D, Fig. 2) para esperar la señal de impulso de reloj.

La mayor parte del software que no se muestra en la Fig. 2 es el interpretador y el código que lo interpreta. Aún cuando este código es muy comprimido si se le compara con su equivalente en el código de máquina, todavía necesita una gran parte de memoria disponible. Como consecuencia debe tomarse cuidado para hacer el conjunto de instrucción lo más completa posible y en consonancia con un interpretador razonablemente sencillo.

El conjunto de instrucción utilizado para controlar el microprocesador utiliza palabras de instrucción de ocho bits, y existen diferentes tipos de instrucciones.

(a) Instrucciones de Salida y Boolean, en las que los bits 0-2 son el código de operación y los bits 3-7 son un código de dirección.

<u>Código Op.</u>	<u>Nemotécnico</u>	<u>Operación</u>
5 1	LD	CARGAR
2	OR	OR
3	AN	AND
4	OH	SALIDA ALTA
5	OL	SALIDA BAJA

10 De estas, LD, OR y AN trabajan entre el acumulador del procesador y el contenido de la localización especificada por la dirección, mientras que OH y OL componen o dan paso a los bits en la dirección especificada según determine el contenido del acumulador y la máscara.

15 (b) Instrucciones de Salto, son instrucciones de dos-bytes en las que el primer byte es un código de operación mientras que el segundo byte es un código de dirección que especifica el destino del salto.

<u>Código Op.</u>	<u>Nemotécnico</u>	<u>Operación</u>
20 0	JM	SALTO
20 _x	JH	SALTO SI NO CERO
28 _x	JL	SALTO SI CERO

25 La dirección se especifica con respecto al comienzo del código interpretativo, que limita la longitud del código a 256 bytes. JH y JL comprueban el acumulador después de haber realizado la operación AND con la máscara utilizada.

30 Como dos o más de los conjuntos de relés bajo control pueden estar en estados diferentes cuando se recibe el mismo cambio de entrada, las dos condiciones JH y JL no pueden utilizarse para realizar las funciones de BOOLEAN, sino que pueden

usarse para acelerar alguna de las tareas.

(c) Instrucciones de Tiempo, incluyen instrucciones de un solo byte en donde los bits 0-2 son el código de operación y los bits 3-7 son un código de tiempo, siendo la operación
 5 COMENZAR LA TEMPORIZACION, el código de operación 6 y el nemotécnico ST. Además, existe un código de dos-bytes en el que el primer byte es la operación 30_x , nemotécnico CT, para CANCELAR LA TEMPORIZACION, mientras que el segundo byte es una dirección.

10 ST suspende el progreso de la tarea en curso para un conjunto de relés hasta que el tiempo especificado haya espirado, reasumiéndose la tarea en la siguiente localización de la instrucción ST. Para cancelar, se utiliza la temporización CT especificando esta dirección.

15 El código de temporización ST especifica la duración del tiempo, e indexa una tabla de valores de tiempo requeridos que en el sistema presente es de 1 a 127, dando los retardos de tiempo desde 7 ms a 889 ms. Los valores de tiempo se disminuyen en cada período de reloj de tiempo real por
 20 una rutina de temporización hasta que se alcanza el cero, cuando se reasume la tarea.

Si ST va seguido por una instrucción JM, la instrucción JM se obedece inmediatamente además de la de temporización establecida, en cuyo caso la tarea se vuelve a almacenar cuando
 25 expira el tiempo en la localización siguiente a la instrucción JM.

(d) Instrucción Misceláneas, son instrucciones de un sólo byte en donde los ocho bits forman un código de operación.

<u>Código de Op.</u>	<u>Nemotécnico</u>	<u>Operación</u>
8	CM	COMPLEMENTO
18 _x	RE	VOLVER
10 _x	PC	SITUAR CUENTA IMPULSO.

5 RE indica el final de una tarea, y devuelve el control a la rutina que llamó al interpretador.

Una función a menudo necesaria en los conjuntos de relés utilizados en telefonía es la cuenta del número de impulsos desde un reloj de la central antes de iniciar cualquier acción, lo que es similar a una temporización. Esto se inicia por una instrucción ST, y PC se usa para situar una marca que indica que se ha detectado un impulso. Esta marca, cuando existe, hace que todos los contadores de impulsos se disminuyan y comprueben como parte de la rutina de temporización.

15 Nótese que el mismo procesador funciona para ocho conjuntos de relés a la vez y en paralelo, y que las operaciones pueden estar en curso para cualquiera de ellos o más de estos relés a la vez.

20 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

25 El presente invento corresponde a una solicitud de patente formulada en Gran Bretaña el día 21 de Septiembre de 1976, señalada con el N^o 39062/76 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

- 5 1.- Un sistema de conmutación para telecomunicación automática que incluye diferentes conjuntos de relés electromagnéticos similares cuyo funcionamiento se controla por un procesador de datos de programa almacenado, y un interface individual para cada juego de relés que tiene un conjunto
- 10 de entradas por las que se reciben indicaciones referentes a la condición del juego de relés y un conjunto de salidas por las que se envían señales de control para el juego de relés, en dónde cada uno de los interface tiene una entrada serie desde el procesador de datos por la que se reciben las
- 15 señales de control para su juego de relés desde el procesador para enviar a ese juego de relés una salida serie a través de la cual se envían al procesador las indicaciones como las condiciones de dicho juego de relés, en dónde, a intervalos periódicos se aplica una señal de reloj interface
- 20 ce desde el procesador como resultado de lo cual, los interfaces reciben cada uno las indicaciones desde los juegos de relés, después de lo cual la información de dichos interfaces se envía al procesador, en dónde dicha información se envía al procesador y las señales de control para el juego
- 25 de relés pueden enviarse desde el procesador a los interfaces, después las señales de control se envían a los juegos de relés apropiados, y en dónde varios de los juegos de relés están controlados simultáneamente y en paralelo por el procesador, aplicándose cada una de las señales de reloj simultáneamente a los interfaces.
- 30

2.- Un sistema, según el punto 1, en donde cada uno de los interfaces incluye un registro de conversación en donde se insertan en forma paralelo las indicaciones relativas a las condiciones de dichos juegos de relés, en respuesta a dicha señal de reloj, en donde dicha señal de reloj es seguida de otra señal que provoca la lectura de los contactos del registro de conversión hacia el procesador, la cual lectura puede acompañarse por la lectura serie de las señales de control desde el procesador al registro de conversión, y en donde una tercera señal de control hace que un nuevo contenido del registro de conversión se aplique al juego de relés.

3.- Un sistema, según los puntos 1 ó 2, en donde todos los juegos de relés controlados por el procesador son del mismo tipo.

4.- Un sistema de conmutación para telecomunicación automática tal y como se describe en los dibujos que se acompañan.


5.- Un sistema de conmutación para telecomunicación automática.

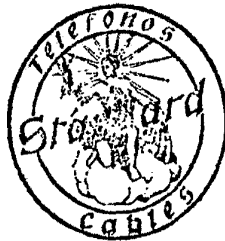


Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de quince hojas escritas por una
5 sola cara.

Madrid, 20 DIC. 1977


EUGENIO BARROSO
Secretario General





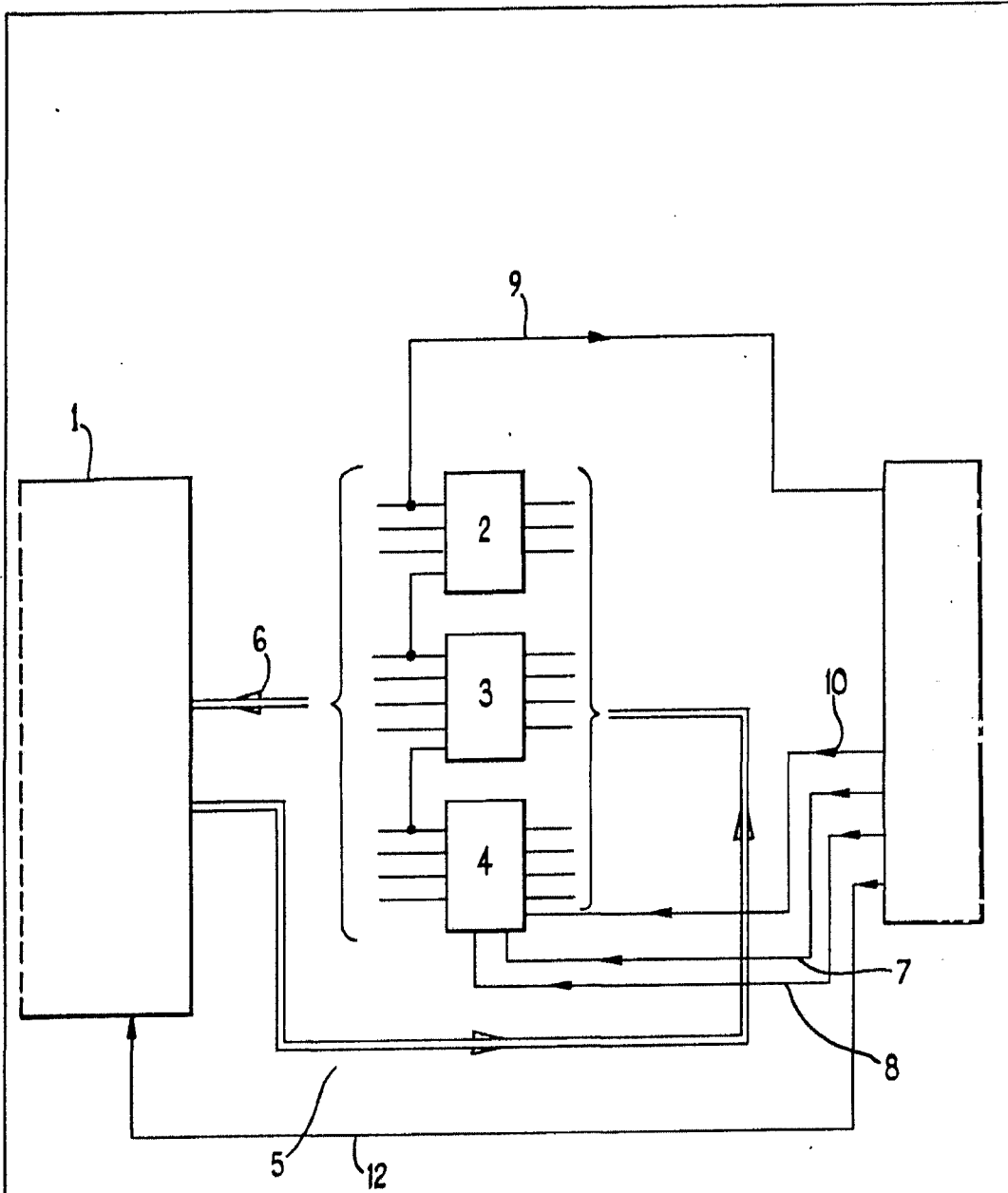
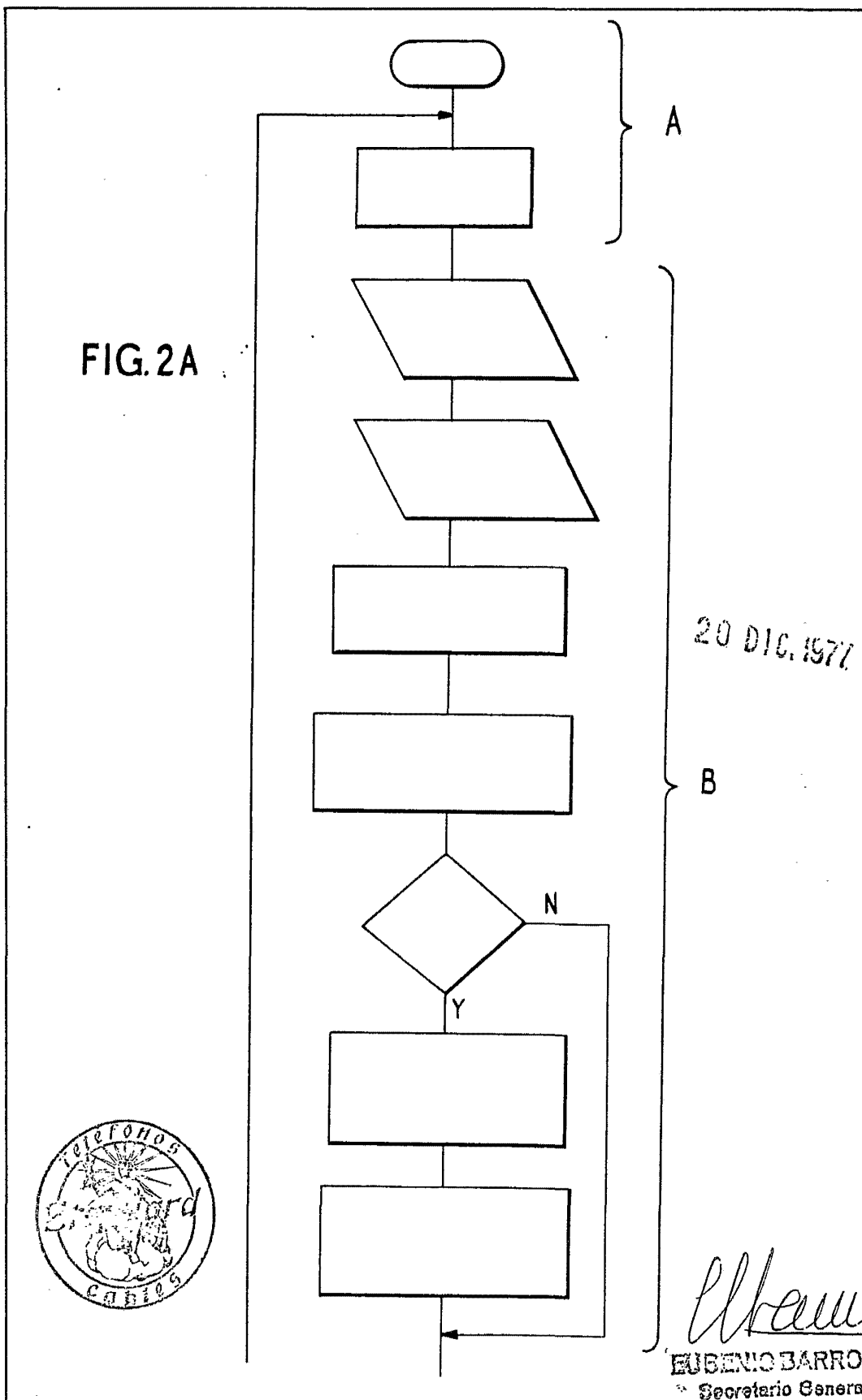


FIG. I



Eugenio Barroso
EUGENIO BARROSO
Secretario General

FIG. 2A

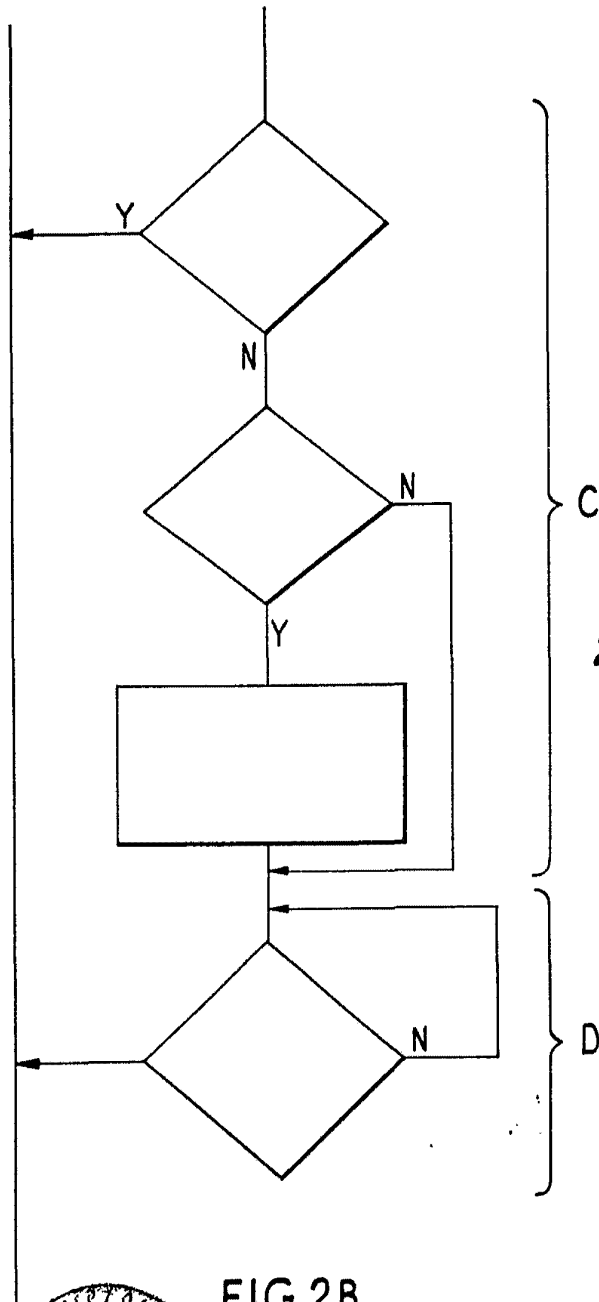


20 DIC. 1977

B

E. Barroso
EUBENIO BARROSO
Secretario General





20 DIC. 1977

FIG. 2B



Eugenio Barroso
EUGENIO BARROSO
Secretario General