



20 NOV. 1978

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

PATENTE DE INVENCION

10 ES

11 NUMERO
462.082
12 FECHA DE PRESENTACION
2-9-77

10 A 1

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
720.417	3 de Septiembre de 1.976	EE.UU. de América

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G11B; G06F	

54 TITULO DE LA INVENCION

PROCEDIMIENTO Y ELABORADOR PARA GENERAR PALABRAS DE M + N BITS PARA SISTEMAS CONTROLADOS DE PROGRAMAS MEMORIZADOS=

71 SOLICITANTE (S)

WESTERN ELECTRIC COMPANY, INCORPORATED.

DOMICILIO DEL SOLICITANTE

195 Broadway, New York, 1.0007, Estados Unidos de América.

72 INVENTOR (ES)

JAMES OWEN DIAMICK.

73 TITULAR (ES)

74 REPRESENTANTE

D. JOSE MIGUEL GOMEZ-ACEBO y POMBO

La presente invención se refiere a un procedimiento y a un -
elaborador para generar una palabra de dirección de $m + n$ bits a partir
de palabras de información de $m -$ bits y para convertir una palabra de di-
rección de $m + n$ bits en un formato de palabras de $m -$ bits, que compren-
den un primer elemento central de elaboración para recibir palabras de $m -$
bits.

Los sistemas controlados de programas memorizados comprenden
con frecuencia un elaborador, una memoria de sistema de acceso selectivo
exterior al elaborador, equipo periférico que realiza el trabajo útil del
sistema, una vía principal de información y una vía principal de direc-
ción. La vía principal de información se utiliza típicamente para el in-
tercambio bidireccional de información entre el elaborador y la memoria
así como entre el elaborador y el equipo periférico. La vía principal de
dirección se utiliza para la transmisión unidireccional de palabras de -
dirección desde el elaborador a la memoria y el equipo periférico. Las pa-
labras de dirección controlan la lectura ó escritura de la memoria, así
como la transmisión de las señales de control entre el elaborador y el -
equipo periférico.

Las palabras de dirección de memoria se generan normalmente -
incrementando un contador de programa en el elaborador para conseguir ac-
ceso al lugar de la memoria que sigue al asociado a una instrucción que -
se ejecuta en un momento dado. En otras ocasiones, como por ejemplo en
una instrucción de ramificación ó de salto, el elaborador recibe informa-
ción por la vía principal de información procedente de la memoria, que es
pecífica la dirección de la siguiente instrucción que debe ejecutarse. Es
ta transmisión de información de dirección al elaborador no presenta nin-
gún problema si la anchura de bit de la vía principal de información es -
igual ó superior a la de la vía principal de dirección. No obstante, la -
transmisión de información de dirección es más compleja si la anchura de
bits de la vía principal de información es inferior a la de la vía princi

pal de dirección. Por ejemplo, supongamos que la vía principal de información tiene 16 conductores, la vía principal de dirección 20 conductores y las direcciones tienen 20 bits de anchura. En este caso, la recepción de una sola palabra por la vía principal de información lógicamente no puede especificar una dirección de 20 bits. En estas circunstancias, es necesario transmitir una información de dirección al elaborador en forma de dos palabras de información que contengan juntas las 20 bits de dirección requeridos.

Este procedimiento de generar palabras de dirección ha aumentado hasta ahora el coste del elaborador y su complejidad, dado que se necesita una circuitería especial para dirigir los bits de cada palabra de información recibida a los elementos apropiados del elaborador, de manera que los bits recibidos juntos representen la dirección requerida de 20 bits. Supongamos que 4 bits de una primera palabra de información de 16 bits, representan los 4 bits más significativos de una dirección de 20 bits; supongamos igualmente que estos cuatro bits están en las posiciones de los 4 bits menos significativos de la primera palabra de información. Supongamos igualmente que los 16 bits de una segunda palabra de información representan los 16 bits menos significativos de la dirección de 20 bits. Con estos supuestos, el elaborador debe tener la posibilidad de recibir los cuatro bits de dirección de la primera palabra de información y dirigir estos 4 bits a los elementos del elaborador que memorizan los 4 bits de dirección más significativos. Estas facilidades deben dirigir igualmente los 16 bits de la segunda palabra de información a los elementos del elaborador que memorizan los 16 bits de palabra de dirección menos significativos.

Hay muchas formas de realizar la operación anteriormente citada. La más lógica es el uso de puertas, circuitos de dirección, multiflexores, etc. Aunque esto permitiría al elaborador generar las palabras de dirección requeridas, el uso de esta circuitería especial aumentaría la

complejidad y el coste del elaborador.

Representa pues un problema el proporcionar un elaborador que facilite la generación de palabras de dirección a partir de palabras de información de una menor anchura de bits sin aumentar el coste ni la complejidad del elaborador.

5

El problema se resuelve según la invención por el hecho de - que el elaborador comprende además un segundo elemento central de elaboración para recibir información de m -bits, una primera vía principal de información para introducir una primera palabra de m -bits en el primer elemento central de elaboración, circuitería para transferir m -bits desde n posiciones predeterminadas de bits de la palabra introducida desde el primer elemento central de elaboración al segundo elemento central de elaboración, la primera vía principal introduce una segunda palabra de m -bits en el primer elemento central de elaboración y una segunda vía principal de información para leer posteriormente y al mismo tiempo los m -bits procedentes del segundo elemento central de elaboración y la segunda palabra de m -bits procedente del primer elemento central de elaboración, a fin de formar una palabra de $m + n$ bits.

10

15

Un objeto de la presente invención es el de proporcionar un - elaborador que tenga facilidades mejoradas para generar palabras de dirección de una anchura determinada de bits a partir de palabras de información de menos anchura de bits.

20

Otro objeto es el de proporcionar un elaborador que pueda generar palabras de dirección sin el uso de instalaciones costosas y complejas de puertas y dirección.

25

Según la presente invención, se proporciona un elaborador controlado de programa memorizado que tiene una circuitería perfeccionada para: 1) generar palabras de dirección de $m + n$ -bits cuando se reciben palabras de información de m -bits, y 2) convertir las palabras de dirección de $m + n$ -bits de nuevo en palabras de información que tengan un formato de m -bits.

30

Los términos m y $m + n$ especifican que la vía principal de dirección tiene una mayor anchura de bits que la vía principal de información. El valor exacto de m y n no es crítico para la presente invención. Una máquina típica puede tener una vía de información de 16 bits, por ejemplo, y una vía principal de dirección de 20 bits. En esta máquina, m sería igual a 16 y n sería igual a 4. La presente memoria describe el elaborador de esta invención con referencia a una vía principal de información bidireccional de 16 bits, y una vía principal de dirección unidireccional de 20 bits. Si se desea, se pueden utilizar otros valores para $m + n$:

El elaborador que incorpora la presente invención incluye una unidad aritmética de sección múltiple (AMU), que tiene una primera sección AMU, denominada también elemento central de elaboración, que tiene 16 bits de anchura y que puede recibir palabras de 16 bits desde la vía principal de información y aplicar palabras de 16 bits a dicha vía principal. Esta primera sección puede también aplicar 16 bits a los 16 conductores menos significativos de la vía principal de dirección de 20 bits. El elaborador incluye además una segunda sección AMU, denominada también un elemento central de elaboración, que tiene 4 bits de anchura, que puede recibir los 4 bits menos significativos de una palabra de 16 bits memorizada en la primera sección AMU y que también puede aplicar 4 bits a los 4 conductores más significativos de la vía principal de dirección. Las dos secciones AMU actúan juntas para aplicar una palabra de 20 bits a la vía principal de dirección. Una entrada de la segunda sección AMU se encuentra conectada permanentemente a los conductores de salida para los cuatro bits menos significativos de la primera sección AMU. Esto permite que los cuatro bits menos significativos de cualquier palabra de la primera sección AMU se transfieran a la segunda sección sin el uso de ninguna circuitería de puerta ó dirección proporcionada especialmente.

Una palabra de dirección de 20 bits podría formarse a partir de palabras recibidas por la vía principal de información : 1) registrando

una primera palabra de información de 16 bits en la primera sección AMU, comprendiendo los cuatro bits más significativos de la palabra dirección que hay que formar los cuatro bits menos significativos de esta primera palabra; 2) transfiriendo estos cuatro bits menos significativos desde la primera a la segunda sección AMU y al mismo tiempo registrando en la primera sección AMU una segunda palabra de 16 bits recibida de la vía principal de información y que representa los 16 bits menos significativos de la palabra de dirección que debe formarse; y 3) leer simultáneamente ambas secciones AMU para aplicar una palabra de dirección de 20 bits a la vía principal de dirección.

No es necesario que se aplique inmediatamente a la vía principal de dirección una palabra de 20 bits memorizada en las dos secciones AMU. Si se desea, la palabra puede modificarse por operaciones lógicas ó aritméticas subsiguientes y acto seguido aplicarse a la vía principal de dirección. Como variante, una palabra de dirección puede convertirse de nuevo en dos palabras de información de 16 bits para volverla a transmitir a la memoria por la vía principal de información.

El elaborador incluye además una memoria interior de acceso selectivo (RAM) que tiene una anchura de bits igual a la de la AMU (unidad aritmética de secciones múltiples). La entrada y salida de la RAM están conectadas a una salida y a una entrada de la AMU a fin de proporcionar al elaborador la capacidad de transferir una palabra que se encuentre actualmente en la AMU a un lugar específico de la RAM para memorización temporal, así como para la lectura subsiguiente y la aplicación a la AMU de los contenidos de cualquier lugar especificado de la RAM. Esto permite que se transfiera a la RAM para memorización temporal cualquier palabra, como por ejemplo una palabra de dirección de 20 bits, que se encuentra actualmente en la AMU. La AMU puede realizar entonces otras operaciones y, más tarde, recuperar de la RAM la palabra memorizada y utilizarla según se necesite para otras operaciones lógicas ó aritméticas.

La interconexión anteriormente citada entre las dos secciones AMU, denominadas también elementos centrales de elaboración, proporciona un procedimiento eficaz y económico para generar palabras de dirección de 20 bits a partir de palabras de información de 16 bits, y viceversa. Esta interconexión elimina el uso de las puertas, multiplexores, instalaciones de dirección, etc, que de lo contrario se necesitarían si ambas secciones AMU tuviesen acceso directo a la vía principal de información de 16 bits.

Una característica de la invención es la previsión de un elaborador que forma una palabra de dirección de $m + n$ bits a partir de palabras de información de m bits recibiendo una primera palabra de m bits que contiene m bits de la palabra de dirección que debe formarse, registrar la primera palabra recibida en una primera sección AMU, recibir una segunda palabra de m bits que contiene los m bits restantes de la palabra de dirección que hay que formar, registrar los bits de la segunda palabra en la primera sección AMU y al mismo tiempo transferir los m bits registrados de la primera palabra de la primera a una segunda sección AMU y posteriormente aplicar al mismo tiempo los bits en ambas secciones AMU a una vía principal de dirección de $m + n$ bits.

Otra característica es la previsión de circuitería para conectar una entrada de la segunda sección AMU a los n conductores de salida menos significativos de salida de la primera sección AMU de forma que los n bits menos significativos memorizados en la primera sección estén siempre disponibles en la segunda.

Otra característica de la invención es la previsión de una circuitería de elaborador para convertir una palabra de dirección de $m + n$ bits en dos palabras separadas que tengan un formato de m bits, comprendiendo esta circuitería: facilidades para memorizar la palabra de $m + n$ bits en un segundo registro que tenga m bits en la segunda sección AMU y m bits en la primera sección AMU, facilidades para transferir los n bits de la palabra de dirección memorizada en la segunda sección AMU a la pri-

5 mera sección AMU para registro en las n posiciones de bits menos significativas de un primer registro en la primera sección AMU, facilidades para aplicar a la vía principal de información una palabra de m bits procedentes del primer registro AMU en la primera sección, comprendiendo los n bits menos significativos de esta palabra los n bits transferidos desde la segunda sección AMU, y facilidades para aplicar posteriormente los m bits almacenados en el segundo registro de la primera sección AMU a la vía principal de información de m bits.

10 Otra característica es la previsión de circuitería para conectar una salida de la segunda sección a los n conductores menos significativos de la primera sección de forma que los n bits más significativos de una palabra de dirección de m n bits de la AMU puedan transferirse a las n posiciones de bits menos significativos de la primera sección.

15 Otra característica es la provisión de una memoria de acceso selectivo de n bits (RAM) asociada a la segunda sección AMU, una RAM de m bits asociada a la primera sección AMU, interconexiones entre la circuitería de entrada y salida de cada sección AMU y su RAM correspondiente, con lo que una palabra de $m + n$ bits actualmente almacenada en las dos secciones puede introducirse en un lugar seleccionado de la RAM y, de ese modo, 20 cualquier palabra seleccionada en las RAM puede ser aplicada a las entradas de las dos secciones.

Estos y otros objetos, ventajas y características de la invención podrán entenderse con mayor facilidad después de la lectura de la descripción que sigue de una realización de un ejemplo de la invención, 25 realizada en unión de los dibujos adjuntos, en los que:

La figura 1 expone un sistema que incluye el elaborador de la presente invención.

La figura 2 expone el elaborador.

30 La figuras 3, 4 y 5 exponen otros detalles de la unidad aritmética (AMU) del elaborador.

Las figuras 6, 7 y 8 exponen diversas instrucciones de programa que puede ejecutar el elaborador.

5 Las figuras 9 y 10 exponen las diversas funciones lógicas y aritméticas que pueden ser ejecutadas por la AMU en respuesta a la recepción de diferentes combinaciones de señales de control y entrada.

10 En la figura 1 se representa diagramáticamente un sistema que tiene un elaborador que incorpora la presente invención. Este sistema - comprende un elaborador 101, un sistema de memoria 102, interruptores de línea 105 y un interruptor de enlace 106. Los interruptores de línea van conectados a aparatos telefónicos de abonado 109; el circuito de enlace va conectado a una oficina central 107. Los interruptores de línea y el interruptor de enlace van también conectados por una diversa vía conductora 114 a un control de red 103. El sistema incluye además una vía principal de información 110, una vía principal de dirección 111, una vía -
15 principal de control de memoria 112 y una vía de control de entrada/salida 113.

20 El elaborador 101 actúa bajo el control de las instrucciones de programa y la información memorizada en el sistema de memoria 102. El elaborador, con ayuda del sistema de memoria, controla la red de conmutación de división de tiempo 108. Esto lo hace vigilando el estado de cada interruptor de línea y de enlace y alterando selectivamente el estado de diversos elementos de "hardware" en el controlador de red, así como en - los interruptores de línea y enlace. Los mandos se transmiten al control de red desde el elaborador por la vía principal de información 110. La -
25 respuesta de exploración y otra información de estado se devuelven igualmente al elaborador desde el control de red por la vía principal de información 110. El control de red se selecciona por señales en la vía principal de dirección 111.

30 Dos interruptores de línea, ó un interruptor de línea y un interruptor de enlace, se interconectan cuando hay una llamada determinan

do la disponibilidad de un espacio de tiempo muerto, asignado los dos circuitos que deben conectarse al espacio de tiempo muerto y cerrando entonces los interruptores de división de tiempo de los dos circuitos mientras que ocurre el espacio de tiempo asignado. Un interruptor de línea ó un interruptor de enlace se retira de una llamada cancelando su asignación de espacio de tiempo. Esto desactiva el interruptor de manera que no se cierre ya durante las presentaciones posteriores del espacio de tiempo al que ha sido asignado.

El elaborador puede dirigir selectivamente lugares de la memoria 102 para operaciones de lectura y escritura, transmitiendo información de dirección a la memoria a través de la vía principal 111. El contenido de un lugar de memoria direccionado se devuelve al elaborador por la vía principal de información 110 en las operaciones de lectura. En las operaciones de escritura, la información que hay en la vía principal de información se escribe en el lugar de la memoria especificado por señales en la vía principal de dirección. Una señal en la vía principal 112 especifica si la memoria debe leer ó escribir en cada operación. El elaborador comunica con el control de red de manera similar, devolviéndose por la vía principal 110 las respuestas de las porciones dirigidas del sistema. Las vías principales de control 112 y 113 comprenden una serie de cables separados, utilizándose cada cable para una función distinta, como, por ejemplo, escribir en la memoria, leer en la memoria e indicaciones completas de memoria. Los diversos conductores de la vía principal 113 realizan funciones similares. Las vías principales 110, 111, 112 y 113 se extienden también a otros dispositivos de entrada/salida, tales como, por ejemplo, enlaces para transmisión de datos y similares.

La figura 2 muestra los detalles de un elaborador que incorpora la presente invención. El elaborador es del tipo microprogramado e incluye una unidad aritmética (AMU) 203, una micromemoria ROM 209, una unidad de control de micromemoria (CU) 208, una memoria permanente (CM) -

205, una memoria de acceso selectivo (RM) 204, así como los transceptores 201 y 202. Las entradas de la AMU designadas M, I y K reciben los datos e información que debe ser elaborada. Las salidas de la AMU se designan A y D. La entrada F recibe señales de control que especifican la función AMU que debe realizarse en cada operación.

La salida A aplica palabras de dirección de 20 bits a través del transceptor 202 a la vía de dirección 111. La información en la salida A puede también extenderse, a través del transceptor 202, por la vía 221, regresando a la entrada K. La salida D aplica palabras de 16 bits, a través del transceptor 201, a la vía principal de información 110. La entrada M recibe las palabras de información de la vía principal de información, a través del transceptor 201. La entrada I recibe la información procedente de la memoria RM 204 que es direccionada por diversas entradas seleccionadas del multiplexor 206. La entrada K de la AMU recibe la salida de la memoria CM 205 que es direccionada por las entradas del multiplexor 207.

La memoria RM 204 es una pequeña memoria de lectura/escritura y se utiliza para proporcionar un programador de sistema con 16 registros para todo uso, exteriores a la AMU. La información de dirección necesaria para acceder a la memoria RM puede ser suministrada por cualquiera de las cuatro entradas del multiplexor 206, bajo control de los conductores de control RS0 y RS1.

La memoria CM 205 es una memoria de solo lectura que tiene una capacidad de 32 palabras. Esta memoria proporciona a la AMU ciertas constantes que son exigidas por el microprograma. Una constante frecuentemente utilizada es, por ejemplo, una palabra que contiene todos los ceros. Un bit de información de dirección se aplica a la memoria CM por el conductor KA4. Los cuatro bits restantes de dirección son proporcionados por cualquiera de las cuatro entradas del multiplexor 207 bajo el control de los conductores de control KS0 y KS1 del multiplexor.

La vía principal PL 225 aplica señales a la entrada F, para controlar el funcionamiento de la AMU. Estas señales especifican las funciones lógicas y/o aritméticas que deben realizarse; también especifica las entradas (M, I y K) de la AMU que deben ser activadas para aplicar la información que hay que utilizar en cada operación, y además especifican cual de las salidas de la AMU (D, A) debe proporcionar información de salida en cada operación. Las señales que van por la vía principal PL 225 son recibidas por la micromemoria 209 que es direccionada por la MCU 208.

La información en la salida D de la AMU puede ser aplicada a través del transceptor 201 a la vía principal de información; puede pasarse a través de la vía principal D 214 a la MCU 208; también puede aplicarse a través del inversor 220 a la vía principal ID 215. La información en la vía principal ID puede escribirse en la memoria RM y en una dirección especificada por la información de entrada aplicada al multiplexor 206. En otros tiempos, la información que circula por la vía principal ID 215 puede utilizarse como información de dirección para los multiplexores 206 y 207.

La lectura de información de la micromemoria 209, aplicada a través del registro 210 a la vía principal PL 225: 1) se aplica a la entrada F de la AMU para especificar la función que debe realizar la AMU; 2) se aplica al elemento lógico de control 226 para hacer que este elemento genere y aplique las señales de puertas a sus conductores de salida; y 3) se aplica a las entradas inferiores de los multiplexores 206 y 207 para proporcionar información de entrada de dirección a las memorias RM y CM en ciertas operaciones. El elemento 226 comprende una circuitería que recibe y decodifica la salida de la micromemoria 209 en la vía principal PL para generar las señales de puerta, selección, y otras señales necesarias para el control del elaborador, así como para controlar otros elementos del sistema.

La información de dirección de la micromemoria 209 puede ser

recibida por la MCU desde la vía principal 214, puede ser suministrada a la MCU por la MRS 216, ó puede ser especificada por la lectura de información de un cierto campo de la micromemoria y aplicada por la vía 219 a la entrada CA de la MCU. La información de dirección que circula por la vía principal 214, recibida por la MCU, comprende la información de codificación OP del programa y puede direccionar cualquier palabra que haya dentro de la micromemoria; el registrador 216 MRS se utiliza para almacenar información de dirección de retorno de microsubprograma que, al final de un microsubprograma, repone la unidad de microcontrol 208 en la dirección apropiada de retorno. La información del terminal de entrada de CA se utiliza normalmente para mover la MCU de palabra en palabra de un microsubprograma.

El elaborador puede comprenderse mejor por una descripción de algunas de las operaciones más típicas que puede realizar. La figura 6 ilustra una instrucción que suma el contenido de una palabra R2 de la memoria RM 204 al contenido de la palabra R1 y memoriza el resultado en Ra, R1 y R2 no son las palabras primera y segunda de la memoria RM; son las palabras cuya dirección es especificada por el contenido de los campos de instrucción R1 y R2. El campo R2 comprende los bits 0 a 3; el campo R1 comprende los bits 4 a 7. El código OP para esta instrucción es 03 y es memorizado en los bits 8 a 14 del campo. La función del bit BA no tiene importancia ninguna para una comprensión de la invención.

La instrucción de la figura 6 es recibida del sistema de memoria 102, a través de la vía principal de información 110, y el transceptor de información 201, se aplica por la vía 223 a la entrada M de la AMU, y posteriormente se transfiere dentro de la AMU a su salida D. Desde ahí, los bits 8 a 15 de la instrucción se aplican por la vía principal D 214 a la entrada 231 de la MCU 208. Todos los bits de la instrucción se dirigen a través del inversor 220 y se aplican a la vía principal ID 215. Los ocho bits situados más a la derecha son los campos R1 y R2, y se introducen en

los registros R1 y R2, 211 y 212, conectados a las dos entradas superiores del multiplexor 206.

Los bits de código OP (03 binario) aplicados ahora a la MCU 208 especifican la dirección de la micromemoria 209 de la primera palabra de la microsubmemoria que debe utilizarse para controlar el elaborador de manera que se ejecute la instrucción de la figura 6. La micromemoria 209 lee cada microinstrucción dirigida, una por una, y aplica señales a la vía principal UD 219, el registro 210 y la vía principal PL 225, para hacer que la AMU ejecute la instrucción. Las señales aplicadas por la vía principal PL a la entrada F especifican el funcionamiento de la AMU; las señales aplicadas por la vía principal PL a la lógica de control 226 generan las señales de puerta y de selección. Las señales de la vía principal PL controlan igualmente los conductores RS0 y RS1 del multiplexor 206 para activar la entrada apropiada del multiplexor y direccionar la memoria RM 204

La memoria RM es direccionada inicialmente por los bits de campo R1 que actualmente se encuentran en el registro R1 211. Los contenidos de la palabra direccionada por los bits R1 son leídos por la memoria RM, aplicados a la entrada I, y memorizados temporalmente dentro de la AMU.

La MCU 208 avanza y lee la siguiente palabra del microsubprograma para controlar la siguiente microfunción. La memoria RM es ahora direccionada con el contenido del registro R2 212 que son los bits de campo R2. Estos bits hacen que la palabra direccionada en la memoria RM sea leída, aplicada a la entrada I y registrada por la AMU. La MCU direcciona a continuación la micromemoria RCM 209 para leer una micropalabra, lo que hace que la AMU sume las palabras R1 y R2 simultáneamente memorizadas dentro de la AMU y aplique la suma a la salida D. Esta operación es controlada en parte por las señales aplicadas a la entrada F. La suma de las palabras R1 y R2 se aplica a través del inversor 220, sobre la vía de información 215, y se escribe en el lugar R1 de la memoria RM bajo control de la señal de escritura. El registro R1 211 proporciona la información de direc

ción a la memoria RM durante esta operación de escritura, ya que la instrucción de la figura 6 especifica que los resultados de la operación deben memorizarse en el lugar R1 de la memoria RM.

5 En la figura 7, se muestra otra instrucción que puede realizar el elaborador, en la que se suma una cantidad binaria especificada I al contenido de la palabra R1 (R1 es un registro de "software") en la memoria RM, introduciéndose los resultados en la palabra R1. Esta operación requiere dos palabras de instrucción. La primera palabra es recibida por la AMU 203 y transferida desde su entrada M a su salida D. Los bits 8 a 15 son el código OP, y son aplicados a la MCU 208. Los bits de campo R1 4 a 7 se introducen en el registro R1 211. La información R1 se aplica posteriormente a la memoria RM como información de dirección para especificar el lugar de la palabra dentro de la memoria RM en donde debe operarse. Los bits de campo de código OP 07 ajustan la micromemoria 209 a la dirección de comienzo de microsubmemoria asociada a esta instrucción. Esta submemoria es leída en la micromemoria palabra por palabra y al principio hace que la palabra R1 de la memoria RM sea leída, aplicada a la entrada I y memorizada dentro de la AMU 203. A continuación, la cantidad I es recibida en la entrada M como la segunda palabra de la instrucción de la figura 7. La totalidad de esta palabra representa el número binario que debe sumarse a la palabra R1 memorizada en la AMU.

15 La secuencia del microsubprograma hace que la AMU sume la palabra de información I a la palabra R1 y aplique la suma de estas dos palabras a la salida D de la AMU. Desde aquí, esta palabra, que representa la suma, se aplica a través del inversor 220 y por la vía principal ID a la memoria RM, en donde se escribe en el lugar R1 bajo control de una señal en la entrada de escritura, así como bajo control de la información de dirección aplicada por el registro R1.

25 La figura 8 ilustra una instrucción de dos palabras de un tipo con el que guarda relación la presente invención. Esta instrucción or-

30

dena al elaborador que aplique a la vía principal de dirección 111 una -
palabra de dirección de 20 bits especificada por la información contenida
en dos palabras de información de 16 bits. Con referencia a la figura 8,
esta operación se realiza cuando el elaborador recibe la primera palabra
5 (superior) de la instrucción en la que los bits 0 á 3 comprenden los cua-
tro bits más significativos (MSB) de la palabra de dirección que debe for-
marse, memoriza estos bits, recibe la segunda palabra de la instrucción -
que contiene los 16 bits, menos significativos (LSB) de la palabra de di-
rección de 20 bits que hay que formar, y a continuación la aplica simultá-
10 neamente los cuatro bits más significativos y los 16 bits menos significa-
tivos como una palabra de dirección de 20 bits a su terminal de salida A,
a través de los transceptores de dirección 202, hasta la vía principal de
dirección 111. La forma en la que la AMU 203 realiza la conversión de la
palabra de dirección de 16 bits en 20 bits puede referirse mejor con refe-
15 rencia a la figura 3.

La AMU 203, véase figura 3, comprende funcionalmente dos sec-
ciones separadas, AMUA y AMUB. La AMUA es el elemento 203A y tiene 16 bits
de ancho (bits de 0 a 15). La AMUB es el elemento 203B y tiene cuatro bits
de ancho (bits de 16 a 19). La AMUA tiene acceso a través de su salida D
20 a la vía principal de información 110 para la aplicación a la vía princi-
pal de dirección de las palabras de 16 bits. La entrada M de la AMUA reci-
be de esta vía principal las palabras de 16 bits. Los bits 0 a 3 proceden-
tes de la salida D de AMUA se aplican también por la vía 214B a la entrada
M de la AMUB.

25 La salida D de la AMUB que comprende cuatro bits, puede exten-
derse hasta el terminal 203 y, desde allí, a la entrada I de la AMU 203A.
Como variante, se puede también extender a través del inversor 220B hasta
la memoria RM 204 bajo la dirección de la circuitería de direccionamiento
de dicha memoria representada en la figura 2. Las salidas A de ambas AMUA
30 y AMUB se extienden a través del recorrido 222 hasta la vía principal de

5 dirección 111. Los 16 bits que están más a la derecha de cada palabra de dirección generada por la AMU los proporciona la AMUA; los cuatro bits situados más a la izquierda los proporciona la AMUB. Las entradas F de las AMUs van conectadas a la vía principal PL; las entradas K van conectadas a la salida de la memoria CM; y las entradas I van conectadas a la salida de la memoria RM;

10 A continuación se describe como la circuitería de la figura 3 recibe la instrucción de dos palabras de 16 bits de la figura 8 y forma una palabra de dirección de 20 bits. La primera palabra (la palabra superior) de la figura 8 se recibe de la vía principal de información 110, se aplica a la entrada M de la AMUA y se memoriza dentro de la AMUA. Los bits de código OP (8-14) de la palabra se aplican desde el terminal D de la AMUA y por el recorrido 214, a la MCU 208 para fijarla al mismo tiempo que la micromemoria 209 a la primera palabra de la microsubmemoria asociada con
15 esta instrucción. Este código OP, en esencia, especifica que la palabra recibida de la vía principal de información 110 es la primera palabra de una instrucción de dos palabras que se recibirá para formar una palabra de dirección de 20 bits, que los cuatro bits más a la derecha de la primera palabra son los cuatro bits más significativos, y que los 16 bits de
20 la segunda palabra son los 16 bits menos significativos de la palabra de dirección que debe formarse.

25 La AMUA memoriza temporalmente los bits 0 a 3 de la primera palabra en uno de sus registros internos. En la operación siguiente, los bits 0 a 3 de la primera palabra se transfieren de la AMUA a la AMUB, y al mismo tiempo, se recibe la segunda palabra de instrucción de 16 bits de la vía principal de en la entrada M de la AMUA. El recorrido por el que los bits 0 a 3 de la primera palabra se transfieren a la AMUB incluyen la salida D de la AMUA, el recorrido 214A, el terminal 301, y el recorrido 214B hasta la entrada M de la AMUB. Cada sección de la AMU registra los
30 bits que recibe de forma que al término de esta operación de la máquina la

AMUB contiene los cuatro bits más significativos (16-19) de la palabra de dirección que debe formarse; la AMUA contiene los 16 bits menos significativos (0-15).

5 La siguiente operación realizada por el elaborador depende - del código OP. El código OP, por ejemplo, puede especificar que la palabra de dirección de 20 bits recién formada se aplique inmediatamente - por la vía de dirección 111 al sistema de memoria 102. En este caso, los bits de dirección de cada sección de la AMU se aplican desde la salida A de cada sección, y por el recorrido 222 a la vía principal de dirección 10 111 como una palabra de 20 bits. Como variante, el código OP puede especificar que se realicen ciertas operaciones lógicas ó aritméticas sobre la palabra de dirección formada antes de que se aplique a la vía principal de dirección. Como otra variante, el código OP podría especificar que la palabra de dirección formada se memorizará temporalmente en la memoria - 15 RM 204.

A continuación se describe como la circuitería de la figura 3 puede convertir de nuevo las palabras de dirección de 20 bits en palabras de información de 16 bits. Se supone que la palabra de dirección de 20 - bits que hay que convertir se encuentra actualmente memorizada en AMUA y 20 AMUB. Los cuatro bits de dirección (16-19) de la AMUB son los cuatro bits menos significativos (0-3) de la primera palabra de información de 16 - bits que debe formarse; los 16 bits (0-15) de la AMUA comprenden la totalidad de la segunda palabra de información de 16 bits que debe formarse. Ambas palabras de información de 16 bits que deben formarse se tienen que 25 transmitir al sistema de memoria 102 por la vía principal de información 110 y escribirse en lugares apropiados del sistema de memoria bajo control de la información de dirección aplicada por el elaborador a la vía principal de dirección 111.

30 La operación comienza cuando se reciben señales en las entradas F de ambas secciones AMU, para hacer que se apliquen los cuatro bits

de la AMUB a su salida D, y desde allí se extiendan, por el recorrido 302 el terminal 303 hasta la entrada I de la AMUA. Cada sección de la AMU contiene una serie de registros, cada uno de los cuales tiene una anchura de bits igual a la de su sección de la AMU. Los cuatro bits que ahora recibe la AMUA en su entrada I se introducen en las cuatro posiciones de bits menos significativas de un primer registro de 16 bits dentro de la AMUA. El contenido de las posiciones de los 12 bits más significativos de este registro no importan para la presente invención. Los 16 bits menos significativos de la palabra de dirección de 20 bits permanecen memorizados dentro de un segundo registro 16 bits dentro de la AMUA. Acto seguido, las señales de control de la entrada F hacen que el primer registro 16 bits de la AMUA aplique su contenido, incluidos los cuatro bits transferidos desde el AMUB, a la salida D de la AMUA. Esta palabra se extiende sobre la vía principal de información hasta el sistema de memoria donde se escribe en un lugar apropiado bajo el control de la información de dirección sobre la vía principal 111. A continuación, la palabra de 16 bits que representa los 16 bits menos significativos de la palabra de dirección de 20 bits, se lee en el segundo registro de la AMUA y se extiende desde su salida D, por la vía principal de información 110, hasta el sistema de memoria, en donde se escribe en otro lugar bajo el control de una nueva información de dirección por la vía principal 111.

Como otra variante, se puede introducir una palabra de dirección de 20 bits de las dos secciones de la AMU en la memoria RM 204 para memorización temporal. Esta operación se realiza aplicando los bits de la palabra de dirección desde la salida D de cada AMU a los inversores 220A y 220B. El inversor 220A recibe de la AMUA los 16 bits de dirección menos significativos. El inversor 220B recibe de la AMUB los cuatro bits más significativos de dirección. Los elementos 220A y 220B invierten estas señales y las envían por la vía principal ID 215 a la memoria RM 204 donde se almacenan como una palabra de dirección de 20 bits en el lugar especifica-

do por la salida del multiplexor 206 en la figura 2. La palabra de dirección memorizada ó almacenada puede utilizarse posteriormente para ser leída en la memoria RM y aplicada a las entradas I de ambas secciones de la AMU.

5 La figura 4 ilustra otros detalles de como la AMU 203 genera palabras de dirección de 20 bits en respuesta a la recepción de palabras de información de 16 bits y viceversa. En la figura 4, el elemento 203A de la AMUA; comprende dos elementos separados AMUA1 y AMUA2 (denominados en lo sucesivo A1 y A2). El elemento A1 va asociado a los bits 0 a 3; el
10 elemento A2 va asociado a los bits 4 a 15. La AMUB es la misma representada en la figura 3, y va asociada a los bits 16 a 19. Los elementos A1 y A2 se utilizan para ambas palabras de información y palabras de dirección la AMUB se utiliza únicamente para las palabras de dirección.

 Las entradas M de los elementos A1 y A2 reciben juntas los -
15 bits 0 á 15 de las palabras de información de 16 bits aplicadas al elaborador desde la vía principal de información 110. Las salidas D de los elementos A1 y A2 aplican las palabras de información de 16 bits a los transceptores de información 201 y, a su vez, a la vía principal de información 110. La salida D de la sección A1 de cuatro bits se extiende también direc-
20 tamente a la entrada M de la AMUB. Este recorrido tiene cuatro bits de anchura y es el recorrido sobre el que los cuatro bits menos significativos de una palabra de información pueden transferirse del elemento A1 a la AMUB. La circuitería de la figura 4 permite que los elementos A1 y A2 reciban y registren una palabra de información de 16 bits en una primera operación de la máquina y a continuación, en una operación subsiguiente de la
25 máquina, para recibir y registrar una segunda palabra de 16 bits, y al mismo tiempo, transferir los bits 0 a 3 de la primera palabra del elemento A1 al elemento AMUB. Al término de la segunda operación de la máquina, los tres elementos AMU contienen juntos una palabra de dirección de 20 bits -
30 que puede aplicarse inmediatamente a la vía principal de dirección 111 ó

bién aplicarse, de manera modificada ó no modificada, a la memoria RM 204. En este último caso, los bits almacenados en cada elemento AMU se extienden desde su salida D, a través de un inversor 220 hasta la entrada de la sección apropiada de la memoria RM 204 que almacena la palabra en el lugar especificado por las instalaciones de dirección de la figura 2.

La figura 4 ilustra igualmente con detalle como pueden aplicarse al elemento AMUA1 los bits 16 a 19 de la AMUB. Esta operación se utiliza cuando el elaborador convierte de nuevo las palabras de dirección de 20 bits a dos palabras de información de 16 bits. La primera palabra de información que hay que formar incluye los bits 16 a 19 a partir de la AMUB como sus cuatro bits menos significativos e incluye unos bits ficticios en sus posiciones de bits 4 a 15. La segunda palabra de información que hay que formar comprenden los bits 0 a 15 que se encuentran ya en los elementos A1 y A2.

La operación comienza cuando los cuatro bits de la AMUB se extienden desde su salida D, a través del recorrido 214B hasta el elemento 401. El conductor IGB se extiende hasta la entrada de la derecha del elemento 401 y la entrada CE de la memoria RM. El potencial de este conductor determina que circuito funciona activamente para aplicar las señales de entrada a la entrada I del elemento A1. Una posición baja en este conductor activa el elemento 401 de forma que el elemento A1 de la AMU recibe los cuatro bits procedentes de la AMUB. Una posición alta de este conductor hace que la memoria RM 204A1 aplique su salida a la entrada I. El conductor IGB se encuentra bajo en este momento y, por lo tanto, los cuatro bits procedentes de la AMUB se transfieren ahora, a través del elemento 401, a la entrada I del elemento A1.

Los cuatro bits procedentes de la AMUB son recibidos y memorizados dentro de las cuatro posiciones de bits menos significativos de un primer registro dentro del elemento A1. Al mismo tiempo, los bits 0 a 15 de la información de dirección que se encuentra ya en los elementos A1 y

A2 permanecen almacenados en un segundo registro en estos elementos. Los contenidos del primer registro en los elementos A1 y A2 son leídos y transferidos desde la salida D, por la vía principal de información 110, hasta el sistema de memoria 102. Los cuatro bits suministrados por el elemento A1 en este momento son los cuatro bits transferidos desde la AMUB. El elemento A2 suministra bits ficticios durante esta operación. A continuación los 16 bits almacenados dentro del segundo registro en los elementos A1 y A2, se transfieren por la salida D, a través de la vía principal de información, hasta el sistema de memoria, donde se escriben en un lugar diferente de la palabra. Al término de estas dos operaciones, las dos palabras escritas en el sistema de memoria tienen el formato de la instrucción de la figura 3, salvo que los bits 4 a 15 de la primera palabra son bits ficticios y no son bits de código OP.

La figura 5 expone otros detalles de la AMU 203. La AMU comprende una serie de pastillas de elementos centrales de elaboración. Cada elemento de pastilla contiene todos los circuitos necesarios para representar una sección de dos bits de anchura de la AMU 203. Se puede formar una AMU de una anchura determinada de bits, conectando entre sí una serie de N/2 de estas pastillas. Cuando se cablean juntas en esta disposición, una serie de estos elementos proporcionan una AMU con las siguientes capacidades: 1) 2's complemento aritmético; 2) lógica AND, OR, NOT y OR exclusiva (Y, O, NO y O exclusiva); 3) aumentar y disminuir; 4) desplazar a la derecha ó a la izquierda; 5) prueba de bits y detección del cero; 6) realizar la generación hacia adelante; y 7) operación de información múltiple de vía principal de información y dirección. La figura 5 ha sido tomada de folletos publicados en relación con esta pastilla y, por lo tanto, ilustra la circuitería de una sección de dos bits. Los subíndices de los conductores de entrada y salida se designan 0 y 1 ya que cada pastilla tiene dos bits de anchura.

Cada pastilla de la AMU comprende una sección de lógica arit-

métrica (ALS) 501, junto con multiplexores 502 y 503 para aplicar información a la ALS 501 procedente de varias fuentes. Estas fuentes son las entradas M, I y K, los registros de "Block de notas" 504 y el registro AC. Las señales de control aplicadas a las entradas F0 a F6 determinan que en
5 tradas ó elementos internos de la AMY deben proporcionar informaciones de entrada a la ALS en cada operación. La salida de la ALS puede aplicarse selectivamente al registro de dirección de memoria 505, al registro de CA 506, ó al registro de "block de notas" 504. La salida del registro MAR 505 se extiende hasta la memoria intermedia de salida 507, y a su vez, a la
10 salida A. La salida del registro de CA 506 se puede aplicar a la memoria intermedia de salida 508 para aplicación a la vía principal de información ó bien aplicarse a la entrada de los multiplexores 502 y 503 para uso subsiguiente por parte de la ALS. El decodificador de microfunción - 509 recibe las señales F0 a F6 y determina la función que debe realizar
15 la ALS en cada operación.

Los multiplexores 502 y 503 seleccionan las entradas a la ALS especificadas por las señales en las entradas F. Las entradas al multiplexor 502 incluyen la vía principal M, el registro de "block de notas" 504 y la salida del registro de CA 506. El multiplexor 503 selecciona la vía
20 principal I, la salida del registro de CA, ó la vía principal K como entradas. La entrada seleccionada del multiplexor 503 es siempre "ANDED" ("SUMADA") lógicamente con la información en la vía principal K para proporcionar un enmascaramiento flexible y capacidad de prueba de los bits.

La ALS es capaz de realizar una variedad de operaciones aritméticas y lógicas tal como se describe en otro lugar. El resultado de una
25 operación de la ALS se puede memorizar en el registro de CA ó en uno de los registros de "block de notas". Se dispone de conductores separados de entrada a la izquierda y salida a la derecha, LI y RO, para utilizar en las operaciones de desplazamiento a la derecha. Se proporcionan conductores de entrada de acarreo y salida de acarreo, C1 y C0, para la propaga-
30

ción del acarreo de transmisión normal entre elementos AMU. Los conductores X e Y realizan las funciones de acarreo directo y están disponibles para un completo acarreo directo a través de cualquier longitud de palabra.

5 La capacidad de la vía principal K para enmascarar las entradas a la ALS aumenta notablemente la versatilidad de la AMU. Durante las operaciones no aritméticas, en las que la propagación del acarreo no tiene ningún sentido, los circuitos de acarreo se utilizan para actuar con palabras incluyendo el OB de los bits, enmascarado por la vía principal K, desde el registro ó vía seleccionada por el decodificador de función. Así, la AMU proporciona una flexible capacidad de prueba de bits. La vía principal K se utiliza también durante las operaciones aritméticas para enmascarar porciones del campo con el que se actúa. Una función adicional de la vía principal K es la de proporcionar constantes a la AMU desde la memoria CM 205.

15 Una señal de microfunción se aplica a los conductores de la vía principal F durante cada microciclo del elaborador. Las señales F se decodifican, los operandos se seleccionan por los multiplexores A y B, y la operación especificada la realiza la ALS. El resultado de la operación de la ALS se deposita en el registro de CA ó se escribe en el registro de "block de notas" seleccionado. Por otra parte, algunas operaciones permiten que se deposite la información de dirección correspondiente en el registro MAR 505.

25 Las señales aplicadas a la vía principal F se dividen en señales de grupo de función (grupo F) y señales de grupo de registro (grupo R). El grupo F se especifica por los tres bits F4 a F6. El grupo R se especifica por los cuatro bits Fo a F3. Los bits del grupo F (4-6) especifican una de ocho funciones diferentes (0-7) que debe realizar la AMU en una operación. Cada grupo F se subdivide a su vez en tres grupos R (registro) (0-2). Los bits del grupo R (0-3) especifica los registros AMU que

30

deben intervenir en la operación especificada por los bits del grupo F (4-6).

5 El grupo R1 contiene los registros R0 a R9, T y CA, todos - los cuales se denotan con el símbolo Rn. Los grupos R2 y R3 contienen solamente los registros T y CA. El formato de bits de los grupos F y R se muestra con detalle en las figuras 9 y 10.

10 Esta sección describe detalladamente como actúa el elaborador para convertir las palabras de información de 16 bits en palabras de dirección de 20 bits y viceversa. Las operaciones descritas incluyen como se recibe una instrucción de dos palabras de la figura 8, como se convierten los bits de dirección dentro de una instrucción de dos palabras en una palabra de dirección de 20 bits que define la dirección de principio de un subprograma al que debe conectarse el elaborador, como se transmite esta dirección de 20 bits al sistema de memoria 102 para leer la primera palabra del subprograma especificado, y como se recibe la dirección en el contador de programas del elaborador en el momento en que se recibe la instrucción de dos palabras, se convierte en dos palabras de información de 16 bits y se transmite a la memoria 102 para memorización temporal.

15 La descripción comienza con las siguientes condiciones supuestas: 1) el elaborador ha recibido y ha introducido en la AMU 203 la primera palabra de una instrucción tipo de la figura 8; 2) el registro CA 506 de la figura 5 contiene la primera (la superior) palabra de la instrucción 3) el registro de dirección de la memoria (MAR) 505 contiene la dirección de la siguiente palabra de la instrucción de dos palabras; y 4) el contador de programa es el registro R0 de registros de "block de notas" 504, y este registro R0 contiene la siguiente dirección que sigue a la actualmente memorizada en la MAR 505. Esta dirección siguiente se denomina MAR 1. Posteriormente se denominará la dirección de retorno.

25 Hemos indicado ya que la función AMU realizada en cada operación es controlada por las señales aplicadas por la vía principal IL a sus

entradas F0 a F6. Las entradas F0 a F3 reciben las señales que especifican el registro de "block de notas" determinado 504 (R0-R9, T) ó el registro de CA 506 que debe intervenir en cada operación. Las señales aplicadas a las entradas F4 a F6 especifican la función lógica y/o aritmética que debe realizar la AMU.

Las figuras 9 y 10 ilustran ambas las funciones que pueden realizarse en respuesta a las diversas combinaciones de señales aplicadas a los conductores F. En la figura 10, las funciones se dividen en ocho grupos, designados 0 a 7, cada uno de los cuales es especificado por las entradas binarias a los conductores F4 a F6. Así, un cero binario (000) especifica el grupo de función 0; un 7 binario (111) especifica el grupo de función 7. Cada grupo de función de la figura 10 contiene tres grupos R (1, 11, 111); la designación de grupo R se controla por las señales aplicadas a los conductores F0 a F3. Cada grupo R dentro de un grupo F especifica una operación diferente de la AMU ó combinación de operaciones.

Para una comprensión de cada microfunción ejecutada por la AMU, es preciso que se especifique las señales aplicadas a los conductores F, que se especifiquen las señales de entrada K a la AMU desde la memoria CM 205 y que se especifique el valor binario de la entrada CI. Esta última señal es la entrada de acarreo a la pastilla para el orden cero de la AMU. Estos elementos de información se especifican para cada operación en los párrafos siguientes.

Se ha dicho ya que el estado actual de la AMU es tal que el registro CA 506 memoriza la primera palabra de la instrucción de dos palabras recibida de la figura 8, el registro MAR memoriza la dirección de la segunda palabra de la instrucción de la figura 8, y que el registro de "block de notas" Ro (el contador de programa) memoriza una dirección de MAR 1 que es la siguiente dirección que sigue a la que se encuentra actualmente en el registro MAR. La primera palabra de la instrucción memorizada en el registro CA se envía a la salida D de la AMU. Los ocho bits

de esta palabra situados más a la izquierda son el bit BA más el código OP y estos ocho bits se envían por la vía principal de D 214 a la entrada 231 de la MCU 208. Esto hace que la MCU aplique las señales de control, a través de la vía 217 hasta la micromemoria 209. La micromemoria en este momento lee y aplica a la vía principal UD 219 el contenido de micropalabra memorizado en el lugar direccionado. Esta información se memoriza en el registro de conducto 210. Desde aquí, se aplica a la vía principal PL 225, que la envía a la entrada F de la AMU así como al elemento lógico de control 226. La vía principal PL la envía igualmente a las entradas EMIT 0-3 del multiplexor 206 y del multiplexor 207.

La memoria RM 204 y la memoria CM 205 son direccionadas por señales en los conductores EMIT 0-3 para leer el contenido de los lugares direccionados y aplicarlo según se exija a las entradas I y K de la AMU. La memoria CM y la entrada K se utilizan en cada operación AMU. La memoria RM se utiliza solamente en operaciones seleccionadas. Muchas de las operaciones de la AMU necesitan un 1 ó un 0 como señal de entrada de acarreo (CI). La señal CI se aplica desde la salida de la lógica de control 226 bajo el control de las señales en la vía principal PL. El valor de la señal CI se especifica en cada una de las operaciones AMU que se describen a continuación.

PASO 1.

La recepción de la primera palabra de 16 bits de la instrucción de dos palabras, tal como se muestra en la figura 8, envía los ocho bits situados más a la izquierda a la MCU 208 que direcciona la micromemoria 209 por el recorrido 217 y hace que esta última lea la micropalabra contenida en el lugar direccionado. La señal CI es en este momento un 1, la entrada K es todos los unos procedentes de la memoria CM, y las señales aplicadas a los conductores F0 a F6 son 010, 0100. Según la figura 9, los bits 010 (2 binario) especifican el grupo de función (F) 2. Los bits 0100 especifican el registro R4 del grupo de registro (R) 1. Según la figura 9, el gru-

po F 2 y el grupo R 1(Rn ahora = R4) especifican una operación en la que el contenido del registro CA se añade a la entrada K; se resta un 1 de la operación AND (Y); a continuación se añade el valor de la señal de acarreo (un 1); y acto seguido se introduce el resultado en R4. La señal CI de 1 y del -1 se anulan entre sí de manera que el resultado neto de la operación es que los contenidos de AC se suma con todos los unos introduciéndose el resultado en el registro R4. La suma de los contenidos de CA con todos los unos un resultado que es el contenido de CA. En consecuencia el resultado neto de esta operación es que el contenido del registro CA se introduce en el registro R4.

El contenido de los diversos registros de la AMU después de la ejecución de la primera microfunción es el siguiente: el registro CA contiene la primera palabra de instrucción de 16 bits de la figura 8; el registro MAR contiene la dirección de la segunda palabra de instrucción de la figura 8, R0 contiene: la dirección MAR+1, R4 contiene la primera palabra de instrucción que acaba de recibir del registro CA.

PASO 2

La MCU 208 avanza ahora a la siguiente dirección de micromemoria bajo el control de algunos de los bits de la micropalabra leída en la micromemoria 209 en el PASO 1. Estos bits se aplican a la entrada CA del MCU. Esta nueva dirección de micromemoria se envia por parte de la MCU a la micromemoria para leer la siguiente micropalabra. Esta palabra especifica la microfunción que debe realizarse en este momento, aplicando señales a la vía principal PL, para hacer que se aplique a la AMU los siguientes bits de información: CI = 0, K = todos los ceros, F = 010, 1101. En la figura 9, los bits binarios 010 especifican el grupo de función 2; los bits binarios 1101 especifican el grupo de registro 1 y el registro CA. En la figura 9, la microfunción para el grupo F 2 y el grupo de registro 1, en donde Rn es la CA, registra los estados y el contenido del registro CA se suma con todos los ceros para producir un resultado de 0, se

resta un -1 y se añade una señal CI de 0, introduciéndose el resultado en CA. El resultado final de esta operación es que se introduce un -1 en la CA. Todos los unos representan en binario un -1, y de este modo CA contiene ahora todos los unos.

5 El estado actual de los diversos registros dentro de la AMU es el siguiente: CA = -1 (todos los unos), MAR = dirección de la segunda palabra de instrucción de 16 bits, RO = MAR + 1, y R4 = la primera palabra de instrucción de 16 bits.

PASO 3

10 La MCU 208 recibe la siguiente microdirección de la información leída de la micromemoria en el paso 2. Esta nueva dirección se aplica a la micromemoria para leer la siguiente micropalabra. Esto hace que se apliquen a la AMU las siguientes señales: CI = 0, K = 0 en los bits 0 a 3 y 1s en los bits 4 a 19 (-16), F = 101, 1101. En la figura 9, los bits 101 especifican el grupo de función 5 y los bits 1101 especifican el grupo de registro 1 y el registro CA. La microfunción especificada se muestra en la figura 9 para el grupo de función 5 y el grupo de registro 1. Puede ignorarse la operación situada más a la izquierda, dado que es un mecanismo de prueba de D, que no guarda ninguna relación con la operación actual. La función situada más a la derecha suma el valor de la entrada K con CA e introduce el resultado de la operación AND en CA. El registro CA contiene ahora todos los 1s (un -1). La entrada K es un -16, que son los ceros en las posiciones de bits 0 a 3 y los unos en las posiciones de bits 4 a 19. El resultado de esta operación AND es que se introduce un -16 en el registro CA. Más tarde se describirá como se utiliza el -16 en CA para definir una posición de dirección de memoria para almacenar la información de dirección de retorno.

20 El contenido actual de los diversos registros dentro de la AMU es: CA = -16, MAR = la dirección de la segunda palabra de instrucción
25
30 RO = MAR + 1, R4 = la primera palabra de instrucción de 16 bits.

PASO 4

La siguiente dirección de micropalabra es proporcionada a la MCU por la micromemoria durante la ejecución de la microinstrucción del paso 3. Esta nueva microdirección es aplicada a la micromemoria para leer el contenido de la palabra recientemente direccionada. Esto hace que se apliquen las siguientes señales a la AMU: CI = 0, K = todos los 1s, F = 000, 0110. Según la figura 9, los bits 000 especifican el grupo de función 0, los bits 0110 especifican R6 del grupo de registro 1. En la figura 9, la función indicada para el grupo F 0 y el grupo R 1 especifica que el contenido del registro R6 se suma al contenido de CA y es sumado con todos los 1s y el resultado se introduce en R6 y CA. En la actualidad CA contiene -16 y, por lo tanto, la microfunción realizada se convierte en R6 pasando -16 a R6 y CA. R6 se utiliza para memorización de la dirección de memoria y tenía memorizada con prioridad una cierta dirección de memoria, denominada un indicador, cuyo valor específico no tiene ninguna importancia para la presente invención. Basta con decir que la operación actualmente descrita resta 16 del indicador, obteniéndose el -16 de CA. El nuevo indicador es 16 menos que el valor anterior del indicador y se introduce en R6 y CA. La dirección que hay ahora en R6 y CA es el nuevo indicador de dirección.

Los diversos registros situados dentro de la AMU se encuentran actualmente memorizando la información indicada a continuación después de ejecutada la microfunción que acabamos de describir: CA = el indicador de dirección; la MAR = la dirección de la segunda palabra de instrucción de la figura 8; RO = MAR + 1; R4 = la primera palabra de instrucción de 16 bits de la figura 8; R6 = el indicador de dirección.

PASO 5

La MCU 208 recibe la siguiente microdirección y la aplica a la micromemoria ROM 209. La palabra recientemente direccionada es leída y aplicada a las vías principales UD y PL. La AMU recibe ahora la siguiente

te información: CI = 1; K = todos los 1s; F = 010, 0001. En la figura 9 los bits F de 010 especifican el grupo de función 2. Los bits 0001 especifican el registro R1 y el grupo de registro 1. En la figura 9, se puede ver para el grupo F 2 y el grupo de registro 1, siendo la función especificada que se suma el contenido de CA con todos los 1s, se añade un -1 y un +1, y el resultado se coloca en R1. Dado que el -1 y el CI de 1 se anulan entre sí, la operación se puede afirmar simplemente que es la introducción en R1 del contenido de CA.

En este momento los diversos registros de la AMU contienen la siguiente información: AC = el indicador de dirección; MAR = la dirección de la segunda palabra de instrucción; RO = MAR + 1; R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; y R1 = el indicador de dirección.

PASO 6

A continuación se avanza la MCU la cual direcciona la siguiente palabra que debe leerse en la micromemoria. La lectura de esta palabra y su aplicación a las vías principales UD y PL hace que se aplique a la AMU la siguiente información: CI = 0, K = todos los 0s; F = 000, 0100. Según la figura 9, las cifras 000 especifican el grupo de función 0; las cifras 0100 especifican el registro R4 y el grupo de registro 1. Esta función se representa en la figura 9, y dado que K y CI son 0, la función puede indicarse simplemente como una inserción del contenido del registro R4 en el registro R4 así como en el registro CA. R4 contiene la primera palabra de instrucción de 16 bits, y esta operación vuelve a insertar de nuevo esta palabra en el registro CA. Esta primera palabra se supuso al principio que se encontraba en el registro CA, se transfirió al registro R4 al principio de la secuencia de operaciones que actualmente se describe, y actualmente se devuelve de nuevo al registro CA.

Los diversos registros AMU contienen ahora la siguiente información: CA = la primera palabra de instrucción de 16 bits; MAR = la -

dirección de la segunda palabra; R0 = el MAR + 1; R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección.

PASO 7

5 La MCU se hace avanzar durante la ejecución de la microfunción del PASO 6 y la siguiente micropalabra se lee en la micromemoria - y se aplica a las vías principales UD y PL. Esto hace que se aplique a la AMU la siguiente información: CI = 0; K = todos los 0s; F = 000, 1010
10 Según la figura 9, los bits 000 especifican el grupo de función 0 y los bits 1010 especifican el registro T y el grupo de registro 2. En la figura 9, y con CI y K ambos 0, la función indicada para el grupo F0 y el grupo R2 puede simplificarse afirmándose que es que las señales de la entrada M de la AMU se introducen en el registro T.

15 Los detalles de esta operación se comprenderán mejor con referencia a las figuras 4 y 5. En la figura 5, el contenido del registro CA 508 se aplica continuamente, a través de la memoria intermedia de salida 508; a la salida D de la AMU. Esto es cierto ya que la entrada ED a la memoria intermedia de salida 508 está capacitada continuamente para la secuencia de operaciones que actualmente se describe. La AMU contiene
20 actualmente la primera palabra de instrucción de 16 bits en sus posiciones de bits de 0 a 15. En la figura 4, esta palabra de 16 bits se memoriza en los dos segmentos de la AMU, AMUA1 y AMUA2. Dentro de estos dos segmentos, la primera palabra de 16 bits se memoriza en el registro CA y en la salida D de estos dos segmentos aparecen continuamente señales de
25 salida que representan esta palabra. La salida D para los bits 0 a 3 se extiende desde el segmento AMUA1 hasta la entrada M del segmento AMUB que vá asociado a las posiciones de bits 16 a 19 de la AMU. En otras palabras los bits 0 a 3 del registro CA de AMUA1 aparecen siempre en la salida D de AMUA1 y, a su vez, se aplican siempre a la entrada M de AMUB.

30 La microfunción que en estos momentos se describe especifica

que las señales en la entrada M de cada segmento de la AMU deben introducirse en el registro T del mismo segmento. El segmento AMUB está recibiendo en este momento los bits 0 a 3 de la primera palabra en su entrada M desde AMUA1 y, por lo tanto, estos bits se introducen en el registro T de la AMUB durante la ejecución de esta microfunción. Estos bits, como se muestra en la figura 8, son los cuatro bits más significativos de la palabra de dirección de 20 bits que debe formarse en este momento. Las entradas M de los segmentos AMUA1 y AMUA2 están recibiendo en este momento la información transmitida por la vía principal de información al elaborador desde el sistema de memoria 102. El sistema de memoria está siendo actualmente direccionado por el registro MAR que contiene la dirección de la segunda palabra de la instrucción de dos palabras. Antes de la ejecución de esta microfunción, se transmitió una señal de lectura a través de la vía principal de control de memoria 112 desde la lógica de control 226 que actúa bajo el control de la micromemoria. Esta señal de lectura hace que el sistema de memoria 102 lea el contenido de la palabra direccionada por el contenido del registro MAR. Así, en este momento, esta segunda palabra de 16 bits se recibe por la vía principal de información 110, a través del transceptor de información 201, y por el recorrido 223 en donde se aplica a las entradas M de AMUA1 y AMUA2. Los 16 bits de esta palabra se introducen ahora en los registros T de estos dos segmentos de AMU. Se muestra en la figura 8 que esta segunda palabra representa los 16 bits menos significativos de la palabra de dirección de 20 bits contenida en esta instrucción de dos palabras.

Al término de la ejecución de esta microfunción, el registro T del segmento AMUB de la AMU memoriza los cuatro bits más significativos los bits 16 a 19 de la palabra de dirección de 20 bits; el registro T de los dos segmentos restantes de la AMU memoriza los 16 bits menos significativos, los bits 0 a 15. En consecuencia, el elaborador ha hecho que se lean dos palabras sucesivas del sistema de memoria 102, se apliquen a la

AMU como palabras de 16 bits, y las porciones correspondientes de estas dos palabras se conviertan en una sola palabra de dirección de 20 bits, que actualmente se memoriza en el registro T.

Después de la ejecución de la microfunción que se acaba de describir, los siguientes registros de la AMU contienen la información que se indica a continuación: CA = la primera palabra de instrucción de 16 bits; MAR = la dirección de la segunda palabra de instrucción; R0 = MAR + 1; R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección; y T = la palabra recién formada de dirección de 20 bits.

PASO 8

La siguiente palabra se lee ahora en las micromemoria 209 bajo el control de la MCU 208 y la aplicación de esta palabra a las vías principales UD y PL provoca la aplicación a la AMU de las siguientes señales: CI = 1, K = todos los 0s; F = 001, 0001, En la figura 9, los bits, 001 especifican el grupo de función 1 y los bits 0001 especifican R1 y el grupo de registro 1. En la figura 9, siendo K todos los 0s, la función de la izquierda especifica que el contenido de R1 se introduzca en el MAR; dado que CI = 1 y K = 0, la función de la derecha especifica que el contenido de R1 se incremente en 1, introduciéndose el resultado en R1.

R1 contenía el indicador de dirección antes de la ejecución de esta microfunción. La ejecución de esta microfunción hace que el indicador de dirección procedente de R1 se introduzca en MAR. También provoca que se incremente en 1 el indicador de dirección y se introduzca en R1.

Los diversos registros dentro de la AMU contienen ahora la siguiente información: CA = primera instrucción de 16 bits; MAR = indicador de dirección; R0 = el contenido original de MAR + 1; R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección + 1; T = la palabra de dirección de 20 bits recién formada.

PASO 9:

La siguiente palabra del microsubprograma que se describe actualmente se lee ahora en la micromemoria bajo el control de la MCU Y la aplicaci3n de esta palabra a la vfa principal PL aplica las siguientes sefiales a la AMU: CI = 0; K = todos los 0s; F = 000, 0000. En la figura 9 los bits F de 000 especifican el grupo de funci3n 0, y los bits F de 0000 especifican el registro R0 del grupo de registro 1. Tanto CI como K son 0 en este momento y, por lo tanto, la funci3n especificada en la figura 9 para el grupo F0 y el grupo R1 puede simplificarse, afirm3ndose que consiste en que el contenido del registro R0 se introduce en R0 asf como en CA. R0 es el contador de programa y, en el momento en que se recibf3 la instrucci3n de derivaci3n de dos palabras de la figura 8, memorizaba la direcci3n de memoria que debfa aplicarse a la memoria inmediatamente subsiguiente a la direcci3n en el registro MAR. La direcci3n en R0 debe reservarse porque el elaborador volver3 a su direcci3n a continuaci3n de la ejecuci3n del subprograma especificado por la palabra de direcci3n de 20 bits que se encuentra actualmente en el registro T. La direcci3n en R0 que debe reservarse y a la que debe volver el elaborador se denomina posteriormente direcci3n de retorno.

Los registros de AMU contienen ahora la informaci3n que se especifica a continuaci3n: CA = la direcci3n de retorno; (el antiguo MAR +1) MAR = el indicador de direcci3n; R0 = la direcci3n de retorno; R4 = la primera palabra de instrucci3n de 16 bits; R6 = el indicador de direcci3n R1 = el indicador de direcci3n + 1; T = la palabra de direcci3n de 20 bits reci3n formada.

PASO 10

La siguiente palabra del microsubprograma se lee ahora en la micromemoria bajo el control de la MCU y se aplican a la AMU las siguientes sefiales: CI = 1; K = 1s en las posiciones de bits 0 a 3 y 0s en las posiciones de 4 a 19; F = 010, 1111. En la figura 9, puede verse que los

bits F 010 especifican el grupo de función 2 y que los bits 1111 especifican el registro CA del grupo de registro 3. En la figura 9, en donde se representa la microfunción para el grupo F2 y para el grupo registro 3, el valor CI de 1 anula el -1 y, por lo tanto, la función especificada se puede simplificar, afirmándose que se suman las entradas I y K y el resultado se introduce en el registro CA.

La función realizada en este momento puede comprenderse mejor con relación a la figura 4. Inmediatamente antes de esta operación, el registro CA contiene la dirección de retorno de 20 bits a la que volverá en última instancia el elaborador. Los cuatro bits más significativos de esta dirección de retorno se memorizan en el segmento AMUB y aparecen actualmente en su salida D. La ejecución de esta microfunción aplica una señal baja al conductor IGB de la figura 4. Esta señal baja capacita la puerta 401 y conecta a la señal su entrada con su salida, que se dirige a la entrada I del segmento AMUA1. La señal baja en el conductor IGB se aplica también a la entrada CE de la memoria RM para aislar su salida de la entrada I del segmento AMUA1. La entrada de la puerta 401 se conecta a la salida D de la sección AMUB de la AMU.

La función realizada en este momento es que las entradas I y K de la AMU se suman y el resultado de la operación de suma se introduce en el registro CA. La entrada K es proporcionada por la memoria CM 205 y la información que proporciona en este momento es un modelo de 1s en posiciones de bits 0 a 3 y de todos los 0s para los bits 4 a 19. El resultado de la operación de suma para los bits 4 a 19 es de 0. La sección AMUA1 de la AMU recibe todos los 0s en su entrada K y en su entrada I recibe la salida D de la AMUB, ya que la puerta 401 se encuentra en este momento capacitada. Esto hace que la entrada I de AMUA1 reciba los cuatro bits actualmente memorizados en AMUB. Estos cuatro bits se suman con los cuatro 1s proporcionados por la memoria CM en la entrada K y el resultado se memoriza en la posición de bits 0 a 3 del registro CA de la AMU.

Resumiendo la operación que se acaba de describir, el registro CA contenía la dirección de retorno de 20 bits al comienzo de esta operación. Durante la misma, los cuatro bits más significativos de esta dirección de 20 bits fueron transferidos del registro CA de 4 bits de la AMUB, a través de la puerta 401, a la entrada I de la AMUA1. Desde aquí, los cuatro bits se introducen en el registro CA de 4 bits de AMUA1. Las entradas K de AMUB y AMUA2 son un 0 durante esta operación y la suma de las entradas K con la entrada I produce un 0 en las posiciones 4 a 19 de bits. Los 0s para estas órdenes de bits se memorizan en el registro CA de cada una de estas secciones de la AMU.

Los registros de la AMU contienen ahora la siguiente información: CA contiene los cuatro bits más significativos de la dirección de retornos en sus posiciones de bits 0 a 3 y 0s en sus posiciones de bits 4 a 19. MAR = el indicador de dirección; RO = la dirección de retorno; el registro R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección + 1; T = la nueva dirección de 20 bits.

PASO 11

La micromemoria 209 avanza a la siguiente palabra bajo el control de la MCU y lee la siguiente palabra. Esto hace que se apliquen las siguientes señales a la AMU: K = todos los 0s; CI = 0; F = 110, 1101. En la figura 9, los bits 110 especifican el grupo de función 6, los bits 1101 especifican el registro CA y el grupo de registro 1. En la figura 9, el grupo de función 6 y el grupo de registro 1 especifican dos operaciones. La operación de la izquierda recibe la entrada de acarreo, que es un 0, y en secuencia la pone en "CR" con la cantidad obtenida sumando los contenidos del registro CA y la entrada K. El resultado aparece como un solo bit en la salida de acarreo. Este bit en la salida de acarreo es un 0 en este momento, ya que tanto CI como K son 0. La función situada más a la derecha puede simplificarse ya que K es un 0. La función se reduce a CA y se intro-

duce en CA. Esto supone lo que se conoce como una operación "no op".

Al mismo tiempo que se está realizando esta operación "no op" la palabra es leída en la micromemoria 209, y hace que se dirija una señal de escritura a través de la vía principal de memoria 112 al sistema de memoria 102. Esta señal escribe el contenido actual del registro CA en el lugar de dirección de memoria especificado por la palabra en el registro MAR. La vía principal de dirección 111 recibe actualmente el indicador de dirección del registro MAR; la vía principal de información 110 recibe actualmente los 16 bits menos significativos del registro CA desde las secciones ANUA1 y ANUA2 de la AMU. Estos bits representan los cuatro bits más significativos de la dirección de retorno en las posiciones de bits 0 a 3 y 0s en las posiciones de bits 4 a 15.

La ejecución de esta operación de escritura no altera el contenido de los registros dentro de la AMU y, por lo tanto, contienen la información ya descrita al final del paso 10.

PASO 12

La memoria avanza ahora bajo el control de la MCU, leyéndose la siguiente palabra del microsubprograma y aplicándose a las vías principales UD y PL. Esto hace que se apliquen a la AMU las siguientes señales: K = todos los 0s; CI = 1; F = 001, 0001. En la figura 9, los bits F 001 especifican el grupo de función 1. Los bits F 0001 especifican el grupo de registro 1 y el registro R1. En la figura 9, el grupo de función 1 y el grupo de registro 1 especifican dos operaciones. La operación de la izquierda introduce efectivamente en MAR el contenido de R1. La operación de la derecha incrementa el contenido de R1 en 1 e introduce el resultado de nuevo en R1.

La información recibida por MAR desde R1 es el indicador de dirección 1. Esta es la siguiente dirección que debe transmitirse al sistema de memoria y que es superior en 1 al indicador de dirección previamente memorizado en MAR. La dirección introducida ahora en MAR se utilizará

para escribir los 16 bits menos significativos de la dirección de retorno en el sistema de memoria. La cantidad en R1 después de esta operación es la siguiente dirección del sistema de memoria más allá de la almacenada en MAR. Se denomina el indicador de dirección + 2.

5 Los registros de la AMU contienen ahora la siguiente información: CA = los cuatro bits más significativos de la dirección de retorno en las posiciones de bits 0 a 3 y 0s en las posiciones de bits 4 a 15. MAR = el indicador de dirección + 1; R0 = la dirección de retorno; el registro R4 = la primera palabra de instrucción de 16 bits; el registro R6 = el indicador de dirección; R1 = el indicador de dirección + 2; T igual a la nueva palabra de dirección de 20 bits.

PASO 13

15 La micromemoria avanza ahora a la siguiente palabra bajo el control de la MCU y la recepción de esta palabra por las vías principales UD y PL hace que se apliquen a la AMU las siguientes señales: K = todos los 0s; CI = 0; F = 000, 0000. En la figura 9, los bits F 000 especifican el grupo de función 0= Los bits F 0000 especifican el grupo de registro 1 y el registro R0. En la figura 9 se representa la operación especificada para el grupo de función 0 y el grupo de registro 1. Dado que tanto K como CI son igual a 0, la función puede simplificarse, afirmándose que el contenido de R0 se introduce en R0, así como en CA. El registro R0 contenía la dirección de retorno de 20 bits y, por lo tanto, esta operación introduce esta dirección de retorno en el registro CA.

25 Los diversos registros de la AMU contienen ahora la información siguiente: CA = la dirección de retorno; MAR = el indicador de dirección + 1; R0 = la dirección de retorno; R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección + 2; T = la nueva dirección de 20 bits.

PASO 14

30 La micromemoria 209 avanza ahora a la siguiente palabra bajo

el control de la MCU y la siguiente micropalabra se lee y aplica a las -
vías principales UD y PL. La AMU recibe las siguientes señales de control
K = todos los Cs; CI = 0; F = 110, 1101. En la figura 9, los bits F 110
especifican el grupo de función 6, los bits F 1101 especifican el grupo
de registro 1 y el registro CA. En la figura 9, el grupo de función 6 y
el grupo de registro 1 especifican dos operaciones. La operación de la iz-
quierda se reduce a 0, ya que tanto CI como K son 0. La operación de la -
derecha se reduce a CA, pasa a CA ya que K es cero. Esta es una operación
"no op".

El elaborador efectúa ahora una operación escrita aplicando -
una señal escrita a un conductor de la vía de control de memoria 112. El
registro MAR contiene actualmente el indicador de dirección + 1. La apli-
cación de la señal de escritura a la vía de control de memoria hace que
el sistema de memoria escriba los 16 bits menos significativos de la direc-
ción de retorno procedentes de CA en su lugar de la memoria especificada
por el contenido de MAR. Los cuatro bits más significativos de la direc-
ción de retorno se escribieron en el sistema de memoria en la operación
anterior en el lugar de la memoria especificado por el indicador de direc-
ción. La dirección de retorno representa la dirección a la que volverá el
elaborador posteriormente, después de la ejecución del subprograma especi-
ficado por la nueva dirección de 20 bits en el registro T.

La operación que acabamos de describir es del tipo "no-op" y,
por lo tanto, el contenido de los diversos registros de la AMU permanece
sin cambios en relación con el anteriormente descrito.

PASO 15

La micromemoria avanza de nuevo bajo el control de la MCU para
leer la siguiente palabra del microsubprograma. La aplicación de esta pa-
labra a las vías principales UD y EL hace que se apliquen a la AMU 203 las
siguientes señales: K = todos los Os; CI = 1; F = 001, 1100. En la figura
9, los bits F 001 especifican el grupo de función 1; los bits F 1100 espe

cifican el grupo de registro 1 y el registro T.

El grupo de función 1 y el grupo de registro 1 especifican dos funciones en la figura 9. Simplificando, la función de la izquierda especifica que el contenido de T se introduzca en MAR. La función de la derecha indica que el contenido actual de T se incrementa en 1 con la introducción de nuevo en T del resultado.

La nueva dirección de 20 bits recibida del sistema de memoria se encontraba en el registro T antes de esta operación. La entrada de esta dirección en MAR prepara al elaborador de forma que pueda direccionar el sistema de memoria con esta nueva dirección en una operación posterior. El incremento del registro T en 1 prepara al elaborador de manera que, en una operación aún posterior, pueda direccionar el sistema de la memoria con la dirección que sigue a la que se encuentra ahora en el registro MAR.

Los diversos registros de la AMU contienen ahora la siguiente información: CA = la dirección de retorno; MAR = la nueva dirección de 20 bits; RO = la dirección de retorno; R4 = primera palabra de dirección de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección + 2; T = nueva palabra de dirección de 20 bits + 1.

PASO 16

La micromemoria avanza para leer la siguiente palabra del microsubprograma. Esto hace que se apliquen a la AMU las siguientes señales: K = todos los 0s; CI = 0; F = 000, 1100. En la figura 9, los bits F de 000 especifican el grupo de función 0, y los bits F de 1100 especifican el grupo de registro 1 y el registro T. En la figura 9, la función indicada para el grupo F 0 y para el grupo R1 se reduce a la afirmación de que el contenido actual de T se introduce de nuevo en T y se introduce en CA. Este hace que efectivamente se introduzca la nueva dirección de 20 bits + 1 en CA.

Los diversos registros de la AMU contienen ahora la siguiente información: CA = nueva dirección de 20 bits + 1; MAR = nueva dirección -

de 20 bits; R0 = la dirección de retorno; R4 = la primera palabra de instrucción de 16 bits; R6 = el indicador de dirección; R1 = el indicador de dirección + 2; T = nueva dirección de 20 bits + 1.

PASO 17

5 La micromemoria 209 se hace avanzar de nuevo para leer la siguiente palabra del microsubprograma. Esto hace que se apliquen a la AMU las siguientes señales: K = todos los 1s; CI = 1; F = 010, 0000. En la figura 9, los bits F de 010 especifican el grupo de función 2; los bits F de 0000 especifican el grupo de registro 1 y el registro R0. En la figura 9 y con los valores especificados de K y CI, la función indicada para el grupo F2 y para el grupo R1 se puede simplificar afirmándose que el contenido actual de CA se introduce en R0. R0 es el contador de programas y la información introducida en R0, en esta operación, es la dirección de memoria que sigue a la que se encuentra actualmente en MAR.

10 El elaborador direcciona actualmente el sistema de memoria con la palabra de dirección de 20 bits en MAR. Esta es la palabra de dirección que se recibe en la forma de dos palabras de información de 16 bits del sistema de memoria y se formó en una palabra de dirección de 20 bits por las operaciones del elaborador que se acaban de describir. Esta nueva dirección de 20 bits, representa lo que se denomina un salto de subprograma, especificando la localización en el lugar de la memoria al que debe conectarse el elaborador a fin de realizar el subprograma cuya primera palabra se especifica por la nueva dirección de 20 bits. Al recibir esta dirección, el elaborador terminó la operación que estaba realizando y escribió en el sistema de memoria la dirección (la dirección de retorno) que se encontraba en el contador de programas R0. Esto se hizo transmitiendo la dirección de retorno al sistema de memoria a través de la vía principal de información en forma de dos palabras de información de 16 bits, conteniéndose los cuatro bits más significativos de la dirección de retorno en la primera palabra de información y los 16 bits menos significativos en la segunda pa

labra de información. Después de ésto, el elaborador introdujo en el MAR1 a dirección de 20 bits recién recibida, e introdujo en el contador de programas R0 la dirección que seguía a la que se encuentra actualmente en - MAR.

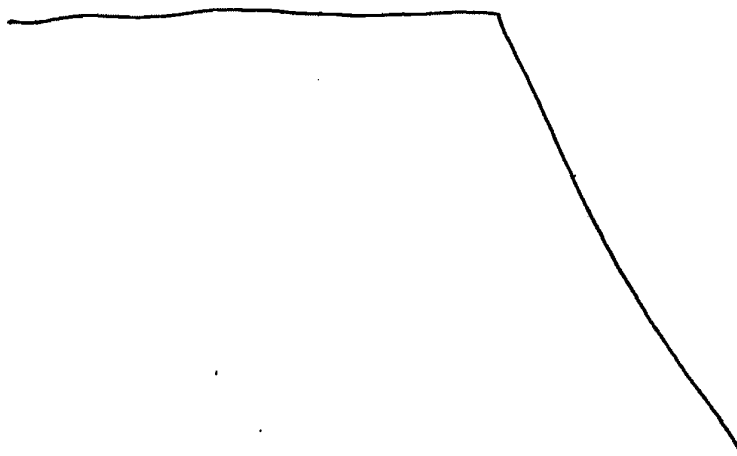
5 El elaborador se encuentra ahora en condición para emplear la elaboración del subprograma cuya primera palabra será direccionada por la palabra que está ahora en el registro MAR.

10 El elemento 203 se designa AMU y se hace referencia al mismo como la unidad AMU ó aritmética a través de toda la memoria y las reivindicaciones. Debe quedar entendido que el equipo y la circuitería que comprende el elemento 203 es mucho más complicado que una AMU convencional, que solo realiza simples funciones aritméticas y lógicas. El elemento 203 comprende todo el equipo que se representa con más detalle en la figura 5. Así, comprende los registros de "block de notas" R0-R9, y T, los multiplexores 502 y 503, y otros elementos, incluyendo la sección lógica aritmética 501 que realiza operaciones lógicas aritméticas convencionales así como las operaciones representadas en la figura 6.

15 Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente realizadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

25

30



REIVINDICACIONES

1.- Procedimiento y elaborador para generar palabras de $m + n$ bits, para sistemas controlados de programas memorizados, cuyo elaborador tiene una primera unidad aritmética en una anchura de m bits (AMU) y una segunda AMU con una anchura de n bits, procedimiento caracterizado -
5 porque comprende los pasos de introducir una primera palabra de m bits en la primera AMU; transferir n bits desde n posiciones predeterminadas de bits de la primera palabra desde la primera AMU a la segunda AMU; introducir una segunda palabra de m bits en la primera AMU; y leer simultáneamente los n bits de la segunda AMU y los m bits de la segunda palabra de información de la primera AMU, para formar una palabra de $m + n$ bits.
10

2.- Procedimiento según la reivindicación 1, caracterizado - porque los n bits se transfieren a la segunda AMU por medios conductores conectados entre una entrada de la segunda AMU y una salida de la primera AMU para las n posiciones predeterminadas de bits.
15

3.- Procedimiento según la reivindicación 2, caracterizado - porque los n bits se transfieren de la primera a la segunda AMU simultáneamente a la introducción de la segunda palabra de m bits en la primera AMU.
20

4.- Procedimiento según las reivindicaciones 1 a 3, caracterizado porque cuando el elaborador conectado a una vía principal de información de m bits y a una vía principal de dirección de $m n$ bits y tiene una primera unidad aritmética (AMU) de m bits de anchura, una segunda AMU de n bits de anchura, el procedimiento comprende los pasos de: aplicar -
25 una primera palabra de m bits de la vía principal de información a la primera AMU; registrar la primera palabra en la primera AMU; aplicar n bits de n posiciones predeterminadas de bits de la primera palabra desde la primera AMU a la segunda AMU; aplicar una segunda palabra de m bits de la vía principal de información a la primera AMU; registrar los n bits en la
30 segunda AMU; leer después simultáneamente los n bits de la segunda AMU y

la segunda palabra de m bits de la primera AMU para formar una palabra de dirección de $m + n$ bits; y aplicar la palabra de dirección a la vía principal de dirección.

5 5.- Procedimiento según la reivindicación 4, caracterizado -
porque los n bits se transfieren a la segunda AMU por medios conductores conectados entre una entrada de la segunda AMU y una salida para las n posiciones predeterminadas de bits de la primera AMU.

10 6.- Procedimiento según la reivindicación 5, caracterizado -
porque los n bits son aplicados por la primera a la segunda AMU simultáneamente con la aplicación de la segunda palabra de m bits a la primera AMU.

15 7.- Procedimiento según la reivindicación 6, caracterizado -
porque comprende además los pasos de: escribir en cualquier lugar seleccionado de una RAM de $m + n$ bits de anchura los $m + n$ bits de información actualmente en las AMUs; introducir información de $m + n$ bits desde cualquier lugar seleccionado de RAM en dichas AMUs; y aplicar la información de $m + n$ bits recibida por las AMUs de la RAM a la vía principal de dirección desde una salida de dirección de la AMUs.

20 8.- Procedimiento según la reivindicación 6, caracterizado -
porque comprende además los pasos de: ejecutar operaciones aritméticas-lógicas seleccionadas sobre la información $m + n$ en dichas AMUs para formar una nueva palabra de $m + n$ bits; y aplicar la nueva palabra de $m + n$ bits desde las salidas de dirección de las AMUs a la vía principal de dirección.

25 9.- Procedimiento según la reivindicación 6, caracterizado -
porque comprende además el paso de ejecutar operaciones aritméticas-lógicas seleccionadas sobre la información de $m + n$ bits en las AMUs, para formar una nueva palabra de $m + n$ bits, y el paso de convertir la nueva palabra de $m + n$ bits en dos palabras que tiene un formato de m bits, -
30 comprendiendo la conversión los pasos de: transferir los n bits de la nue-

5 va palabra desde la segunda a la primera AMU; combinar los n bits transferidos de la nueva palabra con m - n bits de información para formar una palabra de m bits; aplicar la palabra formada desde una salida de la primera AMU a la vía principal de información; y aplicar posteriormente los m bits de la nueva palabra desde una salida de la primera AMU como una palabra de m bits a la vía principal de información.

10 101- Procedimiento según las reivindicaciones 1 a 9, caracterizado porque cuando el elaborador conectado a una vía principal de información de m bits para el intercambio de palabras de información entre la vía principal de información y a una vía principal de dirección de m + n bits para la aplicación de palabras de dirección a la vía principal de dirección, dicho procedimiento comprende los pasos de: aplicar una primera palabra de m bits recibida de la citada vía principal de información a una primera entrada de la primera AMU que tiene una anchura de m bits;

15 registrar la palabra de m bits en la primera AMU; transferir n bits de n posiciones predeterminadas de bits de la primera palabra desde una primera salida de la primera AMU a una primera entrada de una segunda AMU, que tiene una anchura de n bits; introducir simultáneamente una segunda palabra de m bits recibida de la vía principal de información en la primera

20 AMU en su primera entrada; leer después simultáneamente los n bits desde una salida de dirección de la segunda AMU y la segunda palabra de m bits desde una salida de dirección de la primera AMU para formar una palabra de m + n bits; y aplicar la palabra de m + n bits a la principal vía de dirección.

25 11.- Procedimiento según la reivindicación 10, caracterizado porque los n bits se transfieren a la segunda AMU por una vía conductora de n bits conectada entre la primera entrada de la segunda AMU y n - posiciones predeterminadas de bits de la primera salida de la primera AMU.

30 *[Handwritten signature]*

12.- Procedimiento según la reivindicación 11, caracterizado

5 porque comprende además los pasos de: escribir en cualquier lugar seleccionado de una RAM los $m + n$ bits de información que se encuentran actualmente en dichas AMUs; introducir información de $m + n$ bits desde cualquier lugar seleccionado de la RAM en las citadas AMUs a través de terceras entradas de las AMUs; y aplicar la información de $m - n$ bits recibida de la RAM a la vía principal de dirección desde la salida de dirección de las AMUs.

10 13.- Procedimiento según la reivindicación 12, caracterizado porque para convertir la información de $m + n$ bits en dos palabras de información que tienen un formato de m bits, dicho procedimiento comprende los pasos de: transferir la información de n bits desde la primera salida de la primera salida de la segunda AMU a la tercera entrada de la primera AMU; combinar la información de n bits transferida a la primera AMU con información de $m - n$ bits para formar una primera palabra de información de m bits; aplicar la palabra de información formada desde la primera salida de la primera AMU a la vía principal de información y aplicar los m bits de información desde la primera salida de la primera AMU a la vía principal de información, como segunda palabra de información formada de m bits.

20 14.- Elaboradores para la aplicación del procedimiento según las reivindicaciones 1 a 13, caracterizado porque se le dota de una primera unidad aritmética (AMU) para recibir palabras de m -bits, una segunda AMU para recibir información de n -bits, medios para introducir una primera palabra de m -bits, en la primera AMU, medios para transferir n -bits desde n posiciones predeterminadas de bits de dicha primera palabra desde la primera AMU a la segunda AMU, y medios para leer posteriormente y al mismo tiempo dichos n -bits desde la segunda AMU y la segunda palabra de información de m -bits en la primera AMU para formar una palabra de $m + n$ bits.

30 15.- Elaborador según la reivindicación 14, caracterizado porque los medios para transferir comprenden un conductor conectado entre

la entrada de la segunda AMU y una salida para dichas n posiciones predeterminadas de bits de la primera AMU.

5

16.- Elaborador según la reivindicación 15, caracterizado porque se transfieren n bits desde la primera a la segunda AMU, al mismo tiempo que se introduce la segunda palabra de m bits en la primera AMU.

10

17.- Elaborador según la reivindicación 14, caracterizado porque comprende además: una primera entrada en la primera AMU para recibir palabras de m-bits, una primera salida en la primera AMU desde donde dichos m bits se transfieren, por una vía conductora directa, a una primera entrada de la segunda AMU, al mismo tiempo que se recibe la segunda palabra de n bits por parte de la primera entrada de la primera AMU, y una segunda entrada en cada una de las AMUS para aplicar los bits al mismo tiempo leídos en dichas AMUs como una palabra de $m + n$ bits a un circuito de utilización.

15

18.- Elaborador según las reivindicaciones 14 a 17, caracterizado porque cuando está conectado a una vía principal de información de m bits y a una vía principal de dirección de $m + n$ bits, comprende una primera unidad aritmética (AMU) para recibir palabras de m bits, una segunda AMU para recibir información de n bits, medios para introducir en la primera AMU una primera palabra de m bits recibida de dicha vía principal de información, medios para transferir n bits desde n posiciones predeterminadas de bits de la primera palabra desde la primera AMU a la segunda AMU, y para introducir simultáneamente una segunda palabra de m bits desde la vía principal de información a la primera AMU y medios para leer después simultáneamente dichos n bits de la segunda AMU y la segunda palabra de m bits de la primera AMU y aplicar una palabra de $m - n$ bits a dicha vía principal de dirección.

20

25

30

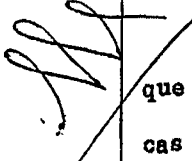
19.- Elaborador según la reivindicación 18, caracterizado porque los medios para transferir comprenden medios conductores de n bits conectados entre una entrada de la segunda AMU y una salida para dichas posi

ciones n predeterminadas de bits de la primera AMU.

5 20.- Elaborador según la reivindicación 18, caracterizado -
porque comprende además una primera entrada en la primera AMU para reci-
bir palabras de m bits, una primera salida en la primera AMU desde donde
dichos n bits se transfieren por una vía conductora directa a una primera
10 entrada de la segunda AMU al mismo tiempo que se recibe la segunda pala-
bra de m bits por parte de la primera entrada de la primera AMU, y una -
salida de dirección en cada una de dichas AMUs para aplicar los bits y -
leer simultáneamente dichas AMUs como una palabra de $m + n$ bits a una vía
principal de dirección.

15 21.- Elaborador según la reivindicación 20, caracterizado -
porque comprende además: una memoria de acceso directo (RAM) conectada a
la primera salida de la primera AMU y a una primera salida de la segunda
AMU; medios para escribir en un lugar seleccionado de la RAM los $m + n$
bits de información simultáneamente en los AMUs; una tercera entrada en
las AMUs, conectadas a una salida de la RAM; medios para introducir in-
formación de $m + n$ bits desde cualquier lugar seleccionado de la RAM en
las citadas AMUs a través de las terceras entradas; y medios para apli-
car la información de $m + n$ bits recibidas por las AMUs desde la RAM a la
20 vía principal de información desde la salida de dirección de las AMUs.

25 22.- Elaborador según la reivindicación 21, caracterizado -
porque comprende además: medios para ejecutar operaciones aritméticas-ló-
gicas seleccionadas sobre la información de $m + n$ bits en dichas AMUs pa-
ra formar una nueva palabra de $m + n$ bits; y medios para aplicar la nueva -
palabra de $m + n$ bits desde las salidas de dirección de las AMUs a la vía
principal de dirección.

30  23.- Elaborador según la reivindicación 21, caracterizado por
que comprende además, medios para ejecutar operaciones aritméticas-lógi-
cas seleccionadas sobre la información de $n + m$ bits en las AMUs para formar
una nueva palabra de $n + m$ bits; medios para convertir la nueva palabra -

de $m + n$ bits en dos palabras que tienen un formato de m bits, comprendien-
do dichos medios de conversión; medios para transferir los m bits de la -
nueva palabra de la segunda a la primera AMU; medios en la primera AMU pa-
ra combinar los n bits transferidos de la nueva palabra con $m - n$ bits de
5 información, a fin de formar una palabra de información de m bits; medios
para aplicar la palabra de información formada desde la primera salida de
la primera AMU a la vía principal de información; y medios para aplicar
posteriormente los m bits de la nueva palabra desde la primera salida de
la primera AMU a la vía principal de información como palabra de informa-
10 ción.

24.- Elaborador según las reivindicaciones 14 a 23, caracte-
rizado porque cuando se dispone en combinación con una vía principal de -
información de m bits, medios que le conectan a la vía principal de infor-
mación para el intercambio de palabras de información entre la vía prin-
15 cipal de información y el elaborador, una vía principal de dirección de -
 $m + n$ bits, medios que conectan al elaborador a la vía principal de direc-
ción para aplicación de palabras de dirección por parte del elaborador a
la vía principal de dirección, el elaborador comprende además una primera
unidad aritmética de m bits (AMU) para intercambiar palabras de m bits -
20 con dicha vía principal de información, una segunda AMU de n bits para re-
cibir la información de n bits, medios para aplicar una primera palabra
de m bits recibida de la vía principal de información a una primera entra-
da de la primera AMU, medios en la primera AMU para registrar dicha pala-
bra de m bits, medios para transferir n bits desde n posiciones predeter-
25 minadas de bits de la primera palabra desde una primera salida de la pri-
mera AMU a una primera entrada de la segunda AMU, medios para introducir
simultáneamente una segunda palabra de m bits recibida desde la vía prin-
cipal de información a la primera AMU en su primera entrada y medios para
leer posteriormente y al mismo tiempo los n bits desde una salida de direc-
30 ción de la primera AMU para formar una palabra de $m + n$ bits, y medios pa

ra aplicar la palabra de $m + n$ bits a dicha vía principal de dirección.

25.- Elaborador según la reivindicación 24, caracterizado por que los medios para transferir consisten en una vía conductora de n bits conectada entre la primera entrada de la segunda AMU y n posiciones prede-

5 terminadas de bits de la primera salida de la primera AMU.

26.- Elaborador según la reivindicación 24, caracterizado por que comprende además; una memoria de acceso directo (RAM) conectada a la primera salida de la primera AMU y a la primera salida de la segunda AMU; medios para escribir en lugar seleccionado de la RAM los $m + n$ bits de in-

10 formación simultáneamente en dichas AMUs; una tercera entrada de las AMUs conectada a una salida de la citada RAM; medios para introducir información de $m + n$ bits desde cualquier lugar seleccionado de dicha RAM en las citadas AMUs a través de las terceras entradas; y medios para aplicar la información de $m + n$ bits recibida por dichas AMUs desde la RAM a la vía

15 principal de dirección desde la salida de dirección de las AMUs.

27.- Elaborador según la reivindicación 26, caracterizado por que comprende además; medios para convertir la información de $m + n$ bits de las AMU en dos palabras que tienen un formato de m bits, comprendiendo los medios de conversión; medios para transferir n bits de la información

20 desde la primera salida de la segunda AMU a la tercera entrada de la primera AMU; medios para combinar la información de n bits transferida a la primera AMU con $m - n$ bits de información para formar una palabra de información de m bits; medios para aplicar la palabra de información formada - desde la primera salida de la primera AMU, a la vía principal de informa-

25 ción; y medios para aplicar posteriormente m bits de dicha información - desde la salida de la primera AMU, como palabra de información, a la vía principal de información.

28.- Procedimiento y elaborador para generar palabras de $m + n$ bits para sistemas controlados de programas memorizados; tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los di-

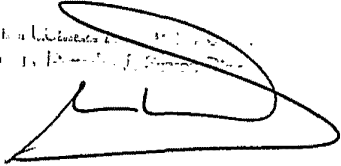
30

bujos adjuntos.

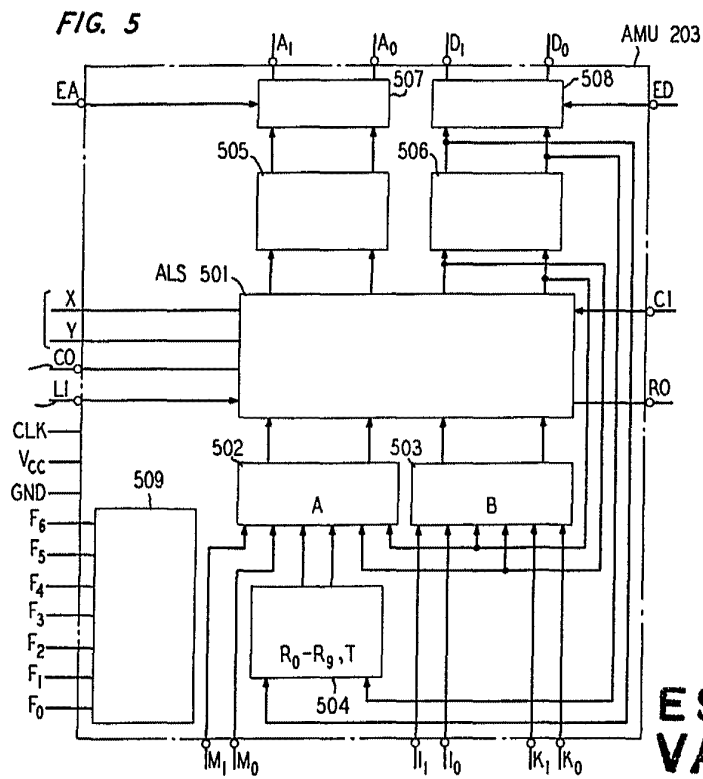
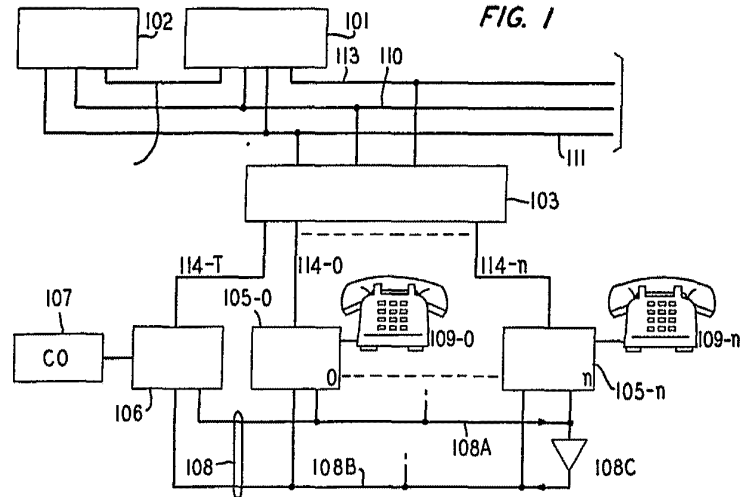
Esta Memoria consta de 51 hojas escritas a máquina por una -
sola cara.

Madrid, - 5 DIC. 1977

WESTERN ELECTRIC COMPANY.

[Faint, illegible text]


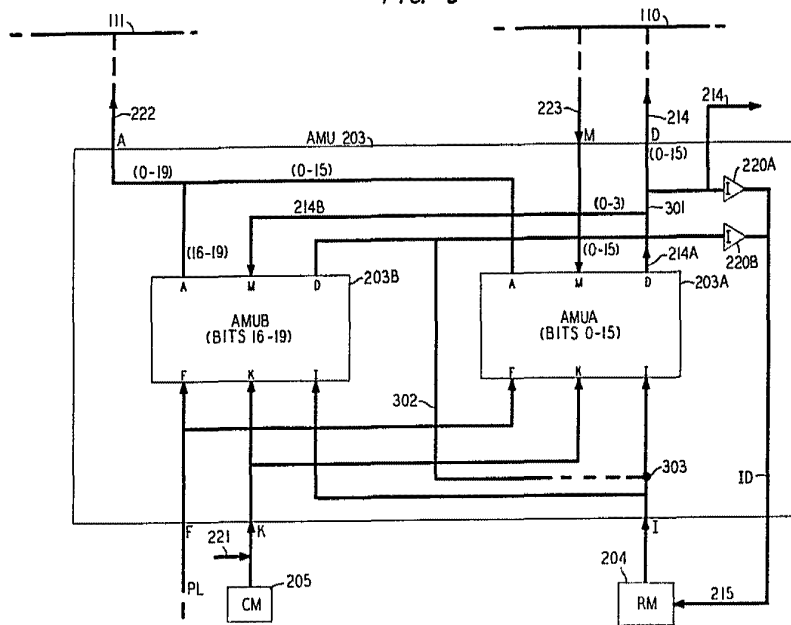




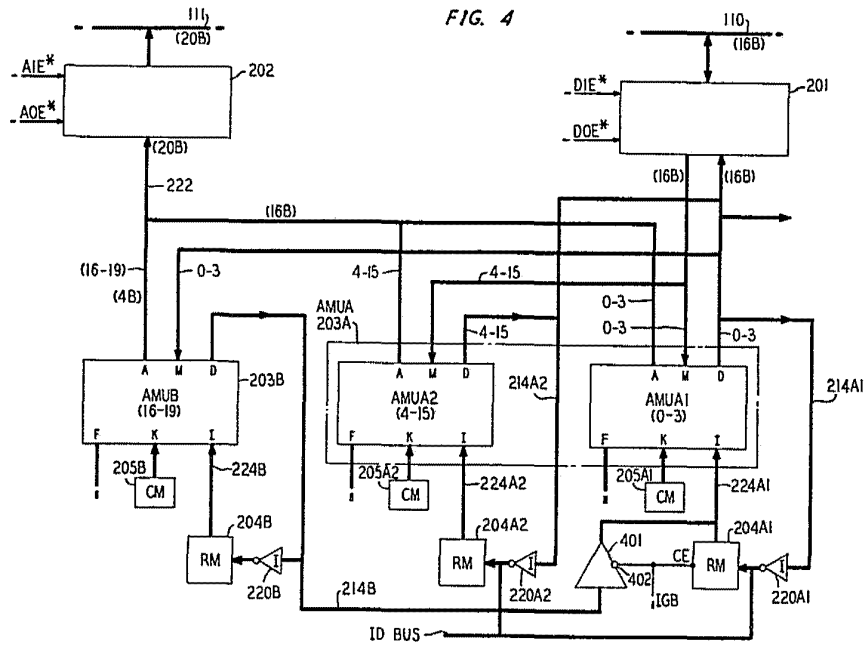
**ESCALA
VARIABLE**

FIG. 1977

FIG. 3



5 DIC. 1977



E R O T A

MAY 15 1977

DEC 1977

By J. R. Flanagan, J. R.

FIG. 6

BA	OP				03				R1				R2			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

FIG. 7

BA	OP				07				R1				0			
I																
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	

FIG. 8

BA	OP								4MSB						
16LSB															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

FIG. 9

	F ₆	5	4
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

		F ₃	2	1	0
I	R ₀	0	0	0	0
	R ₁	0	0	0	1
	R ₂	0	0	1	0
	R ₃	0	0	1	1
	R ₄	0	1	0	0
	R ₅	0	1	0	1
	R ₆	0	1	1	0
	R ₇	0	1	1	1
	R ₈	1	0	0	0
	R ₉	1	0	0	0
T	1	1	0	0	
AC	1	1	0	1	
II	T	1	0	1	0
	AC	1	0	1	1
III	T	1	1	1	0
	AC	1	1	1	1

ERC
VARI

5 DIC 1977

FIG. 10

0	I	$R_n + (AC \wedge K) + CI \rightarrow R_n, AC$	
	II	$M + (AC \wedge K) + CI \rightarrow AT$	
	III	$AT_L \wedge (\overline{I_L \wedge K_L}) \rightarrow RO$ $LI \vee [(I_H \wedge K_H) \wedge AT_H] \rightarrow AT_H$ $[AT_L \wedge (I_L \wedge K_L)] \vee [AT_H \vee (I_H \wedge K_H)] \rightarrow AT_L$	
1	I	$K \vee R_n \rightarrow MAR$ $R_n + K + CI \rightarrow R_n$	
	II	$K \vee M \rightarrow MAR$ $M + K + CI \rightarrow AT$	
	III	$(\overline{AT} \vee K) + (AT \wedge K) + CI \rightarrow AT$	
2	I	$(AC \wedge K) - I + CI \rightarrow R_n$	
	II	$(AC \wedge K) - I + CI \rightarrow AT$	
	III	$(I \wedge K) - I + CI \rightarrow AT$	
3	I	$R_n + (AC \wedge K) + CI \rightarrow R_n$	
	II	$M + (AC \wedge K) + CI \rightarrow AT$	
	III	$AT + (I \wedge K) + CI \rightarrow AT$	
4	I	$CI \vee (R_n \wedge AC \wedge K) \rightarrow CO$ $R_n \wedge (AC \wedge K) \rightarrow R_n$	
	II	$CI \vee (M \wedge AC \wedge K) \rightarrow CO$ $M \wedge (AC \wedge K) \rightarrow AT$	
	III	$CI \vee (AT \wedge I \wedge K) \rightarrow CO$ $AT \wedge (I \wedge K) \rightarrow AT$	
5	I	$CI \vee (R_n \wedge K) \rightarrow CO$ $K \wedge R_n \rightarrow R_n$	
	II	$CI \vee (M \wedge K) \rightarrow CO$ $K \wedge M \rightarrow AT$	
	III	$CI \vee (AT \wedge K) \rightarrow CO$ $K \wedge AT \rightarrow AT$	
6	I	$CI \vee (A \zeta \wedge K) \rightarrow CO$ $R_n \vee (AC \wedge K) \rightarrow R_n$	
	II	$CI \vee (AC \wedge K) \rightarrow CO$ $M \vee (AC \wedge K) \rightarrow AT$	
	III	$CI \vee (I \wedge K) \rightarrow CO$ $AT \vee (I \wedge K) \rightarrow AT$	
7	I	$CI \vee (R_n \wedge AC \wedge K) \rightarrow CO$ $R_n \overline{\wedge} (AC \wedge K) \rightarrow R_n$	
	II	$CI \vee (M \wedge AC \wedge K) \rightarrow CO$ $M \overline{\wedge} (AC \wedge K) \rightarrow AT$	
	III	$CI \vee (AT \wedge I \wedge K) \rightarrow CO$ $AT \overline{\wedge} (I \wedge K) \rightarrow AT$	
1. 2's 2. R _n 3.			
I, K, M CI, LI CO, RO R _n AC AT MAR L, H + - ∧ ∨ ⊖ →			

ESCALA
VARIABLE

Madrid - 8 DIC. 1977

I. M. GOMEZ LASSO y PARRA

Firmado: J. GOMEZ LASSO