

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

21.000.1977  
COMERCIAL

(18) ES (11) NUMERO (19) A1  
(21) 461619  
(22) FECHA DE PRESENTACION  
16 AGO. 1977

**PATENTE DE INVENCION**

(30) PRIORIDADES: (31) NUMERO 714.650	(32) FECHA 16 de Agosto de 1.976	(33) PAIS EE.UU. de A.
---	-------------------------------------	---------------------------

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL H01L	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(64) TITULO DE LA INVENCION  
PERFECCIONAMIENTOS EN APARATOS SEMICONDUCTORES.-

(71) SOLICITANTE (ES)  
WESTERN ELECTRIC COMPANY, INCORPORATED

DOMICILIO DEL SOLICITANTE  
195 Broadway, New York, New York 10007, EE.UU. de A.

(72) INVENTOR (ES)  
KARVEL KUHN THORNER.

(73) TITULAR (ES)

(74) REPRESENTANTE  
D. Jose Miguel GOMEZ-ACEBO Y POMBO

Este invento se refiere a un aparato semiconductor que comprende una formación de filas y columnas de células lógicas de tres terminales, cada una de cuyas células tiene un primer terminal diferente de célula de corriente elevada y un segundo terminal diferente de célula de corriente elevada, definiendo de este modo un trayecto separado de corriente elevada por cada célula, consistiendo cada célula esencialmente en un elemento de memoria semiconductor eléctricamente programable, diferente, en serie con un elemento inhibidor bidireccional separado para pasar corriente elevada a través de la célula lógica entre el primer y el segundo terminales de la célula de corriente elevada solamente en un sentido de dirección e inhibir la corriente en el otro sentido de dirección, teniendo cada uno de los elementos de memoria un terminal puerta de célula de baja corriente para la alimentación de voltaje para programar el elemento de memoria, una primera pluralidad, en número de M, de módulos de líneas puerta de fila eléctricamente conductores, cada uno para conectar mutuamente entre sí los terminales puerta de baja corriente de los elementos de la memoria en todas las células de cada fila a un terminal de fila de escritura de puerta diferente. Una segunda pluralidad, en número de M, de medios de líneas de filas eléctricamente conductores, cada uno para conectar mutuamente entre sí los primeros terminales de corriente elevada de todas las células en cada fila a un terminal diferente de señal de línea de fila, y una tercera pluralidad, en número de N, de medios de líneas de columnas eléctricamente conductores para conectar mutuamente entre sí los segundos terminales de corriente elevada de todas las células en cada fila a un terminal diferente de señal de línea de columna y a un terminal de carga

de columna.

En la patente EE.UU. 3.818.452, concedida a D.L. Greer el 18 de Julio de 1.974, se describe una formación de circuito lógico reprogramable del tipo lógico por acción de puerta. En dicho circuito, una formación ortogonal bidimensional de células lógicas de puntos de cruce contenidas en cada punto de cruce, un elemento de acción de puerta en forma de elemento de conmutación IGFET (transistor con efecto de campo puerta aislado), en serie con un elemento de memoria programable una señal de salida representa la función Boolean de varias señales lógicas de entrada variable binaria. No obstante, la formación se programa (se escribe) por medio de descarga de alud inducida por impulsos de alto voltaje alimentados a través de los terminales puente y drenaje (portadores de corriente elevadas) de transistores puerta flotante elegidos en la formación, no existe un medio sencillo de borrar eléctricamente dicha formación. Por lo tanto, la flexibilidad y utilidad de dicha formación lógica en dicha formación es del tipo con acción de fuerza individual, o sea, donde las variables de la señal lógica binaria ("1" o "0", "cierto" o "falso") se alimentan a los terminales puerta (portadores de baja corriente) de los elementos de acción de puerta IGFET de punto de cruce en la formación durante el cálculo. No obstante, las formaciones ópticas de tipo de acción de puerta individual son más complejas y exigen más espacios en el bloquecito semiconductor que las formaciones lógicas de diodos (formaciones con un diodo en cada punto de cruce en lugar de una puerta de transistor). Aunque la patente de Greer mencionada describe también formaciones lógicas de diodos programables, no son reprogramables de modo alguno. Por consiguiente, sería conveniente disponer de una formación de circuito lógico que fuera

eléctricamente reprogramable y que aprovechara la función lógica de los diodos. El problema anterior se resuelve según el invento en una formación lógica semiconductor que se caracteriza porque cada terminal de carga de columna se conecta a un primer terminal de un elemento de carga de columna de dos terminales diferentes para inhibir la corriente en el primer sentido de dirección.

En el dibujo.

La figura, 1 es un diagrama esquemático de circuito de un circuito lógico universal eléctricamente reprogramable, según una modalidad específica del invento.

La figura, 2 es un diagrama esquemático de circuito de un circuito de formación lógica de diodo eléctricamente reprogramable según otra modalidad específica del invento.

La figura 3, es un diagrama esquemático de circuito de un circuito lógico universal útil para comprender el funcionamiento del circuito lógico ilustrado en la figura 1, y

La figura 4 es un diagrama esquemático de una formación de conmutadores de señal lógicos útil en una modalidad alternativa del circuito lógico universal ilustrado en la figura 1.

Una formación de puntos de cruce de filas y columnas ortogonal en X-Y de células lógicas interconectadas eléctricamente reprogramables comprende en cada punto de cruce una célula lógica que consiste esencialmente en un elemento de diodo unidireccional en serie con un elemento de memoria de transistor eléctricamente reprogramable. Por ejemplo, cada elemento de la memoria puede ser la célula de memoria de transistor descri

ta en la patente EE.UU. nº 3.877,054 concedida a Boulin et al el 18 de Abril de 1.975. El terminal puente de cada célula de memoria de transistor en cualquier columna dada ( $X=a$ ) se conectan todos eléctricamente entre sí a una línea de columna separada, y cada línea de columna forma una línea de columna señal

5 lógica de entrada variable, una línea por cada columna de la célula. Cada línea de columna de señal lógica se conecta en serie a través de un elemento de carga de activación de escritura de columna, convenientemente unidireccional, separado, (elemento de resistor de diodo) a un solo conmutador selector activador de escritura de formación común para elegir la conexión a

10 funetes de voltaje apropiadas (o a tierra) para efectuar operaciones de cálculo de activación de escritura y operaciones lógicas para toda la formación. Cada elemento de carga es de resistencia eléctrica suficiente para sostener una caída de voltaje

15 de escritura. El terminal de drenaje de cada elemento de memoria de transistor en cualquier fila dada se conecta en serie con uno diferente de los elementos de diodos unidireccionales, teniendo todos el mismo sentido de dirección de la corriente, a una línea de fila señal lógica correspondiente a dicha fila. El

20 electrodo puerta (baja corriente) de cada elemento de memoria de transistor en cualquier fila dada ( $Y=b$ ) se conecta a una línea separada de fila de puerta de escritura que tiene un terminal el cual se conecta a un conmutador selector para elegir

25 la fila dada para conexión a una fuente de voltaje de escritura contra borrado contra cálculo lógico (o tierra). (Los terminales fuente y drenaje de un transistor se conocen también como terminales de "corriente elevada").

Es una modalidad específica (sigura 2) del

30 invento se ilustra un circuito lógico, comenzando con la forma

ción en X-Y descrita anteriormente de células lógicas interco-  
nectadas. Esta formación está provista además de una circuite-  
ria de acceso apropiada para permitir el empleo de la forma-  
ción como circuito de formación lógica eléctricamente reprogra-  
5 mable para realizar una pluralidad de funciones lógicas elegi-  
das de muchas variables lógicas binarias. Cada una de las líneas  
de señales lógicas de fila se conecta serie a través de un  
elemento de carga de línea de fila separada a un conmutador -  
selector de activación del cálculo de la formación, para pro-  
10 porcionar conmutación entre una fuente de voltaje lógica de -  
activación de cálculo apropiada y una fuente de voltaje de ac-  
tivación de escritura (incluyendo tierra) para alimentación a  
toda la formación. Cada una de las líneas de columna de señal  
lógica tiene un terminal separado conectado a un conmutador -  
15 selector de señal lógico de columna diferente, para proporcio-  
nar las señales lógicas binarias para la línea de columna dada  
o para conectar una línea de señal lógica dada selectivamente  
a un detector de voltaje o a tierra, según se desee durante el  
funcionamiento. De esta manera, se consigue una formación de  
20 circuito lógico eléctricamente reprogramable que puede calcular  
una variedad de funciones lógicas de muchas variables lógicas  
binarias, dependiendo los tipos de funciones de los ajustes ele-  
gidos de los conmutadores selectores de señales lógicas y depen-  
diendo de la programación precedente de cada uno de los elemen-  
25 tos de memoria de las células lógicas, y los valores "verdade-  
ros" de las variables lógicas determinadas por los ajustes de  
los conmutadores selectores de señal-lógica de columna.

En otra modalidad específica (figura 1,) del  
invento, se utiliza un circuito lógico universal eléctricamen-  
30 te reprogramable en el cual cualquiera de las funciones Boolean

5  $2^{2^n}$  de n variables lógicas binarias se puede programar y calcular. Este circuito se ejecuta comenzando con la formación descrita anteriormente de células lógicas interconectadas dependiendo de la función particular de las operaciones iniciales de programación (escritura) reprogramación de borrado positivo (nueva escritura). De nuevo, la formación en X-Y descrita anteriormente de células lógicas interconectadas es el punto inicial básico del circuito lógico universal, simplemente como en la modalidad de circuito lógico reprogramable descrita anteriormente. Por  
10 otro lado, todas las líneas de filas de señal lógica se conectan a través de una red de conmutadores de fila lógicas variables binarios a un solo conmutador de formación para elegir entre una fuente de voltaje de activación de escritura de la formación y una fuente de voltaje de cálculo para toda la formación. Cada  
15 uno de los terminales de las líneas de columnas de señal lógica se conecta también a través de una red de conmutadores de columnas lógicas variables binarias a un conmutador selector diferente de escritura-cálculo para elegir entre fuentes de voltaje - apropiadas (incluyendo tierra) y detectores de voltaje para lectura de cálculo lógico. En este circuito, el tipo de función  
20 Boolean calculada se determina por las escrituras precedentes de cada uno de los elementos de memoria en las células lógicas, mientras que los valores "verdad" de las variables lógicas binarias se determinan por los ajustes en las redes de conmutadores variables de filas y columnas lógicas. De este modo, se puede  
25 calcular la misma función Boolean repetidamente para diferentes valores "verdad" de las variables sin intervención alguna de escritura o borrado (reprogramación).

30 En todas las modalidades de este invento, la selección de una célula lógica tanto para programación como para

cálculo se realiza empleando las mismas líneas de acceso, conservando de este modo el espacio en el bloqucito y el número de terminales externos.

5 Para comprender la estructura del circuito lógico 100 ilustrado en la figura 1, servirá de ayuda comprender con más detalle el objeto que se desea conseguir. Este objeto se podrá apreciar, por ejemplo, por una explicación del circuito lógico universal 300 de la figura 3. En el circuito 10 300, cualquier función Bollean F de cuatro variables A,B, C y D se puede programar y calcular como sigue. Los conmutadores en la columna correspondiente a A,B,C,D está en la posición de accionamiento descendente, entonces A,B,C o D, respectivamente, son "cierto" y, por el contrario, cuando dicho conjunto de conmutadores de columna está en la posición de accionamiento 15 ascendente, entonces la variable lógica correspondiente es "falso". Por otro lado, en cada uno de los puntos de cruce de filas y columnas, el conmutador en el punto de cruce se abre o se cierra dependiendo de la función Boolean deseada, por ejemplo si cuando "según se indica en la (figura 3) el conmutador 20 de punto de cruce situado en el lugar del extremo inferior izquierdo se cierra, mientras todos los demás conmutadores de punto de cruce están abiertos, la señal de salida resultante es según la función Bollean  $f=ABCD$  (la función f es "cierta" si solamente si A,B,C,D son todas "falso", y f es falso de otro modo), o sea, el detector tiene corriente si solamente si esta combinación 25 particular de cierto-falso de las cuatro variables A,B,C,D se satisface (según se indica en la figura 3) por los ajustes de los conmutadores en la columnas A,  $\bar{B}$ , C y D. Según otro ejemplo, la función  $f=\overline{ABCD}$  (f es "cierto", D es "cierto" y f es 30 "falso" de otro modo) se puede obtener abriendo todos los conmutadores

tadores de punto de cruce excepto en el lugar de punto de cruce del extremo superior de la izquierda. A título de otro ejemplo, abriendo todos los conmutadores de punto de cruce excepto los conmutadores de los puntos de cruce del extremo inferior de la izquierda y del extremo superior de la izquierda, la función  $f = \overline{AB} (CD + \overline{CD})$  se pueden obtener ( $f$  es "cierto" si solamente si A y B son "falso" mientras que C y D son ambos "ciertos" o "falsos"). de un modo similar todas las posibles funciones Boolean  $2^{16}$  de ABCD se pueden obtener por medio de los posibles funciones conjuntos correspondientes de ajustes  $2^{16}$  de los conmutadores de puntos de cruce  $4 \times 4 = 16$ . El ajuste de los conmutadores de punto de cruce en el circuito 300 (figura, 3) es la analogía de la escritura y borrado de las células de memoria de punto de cruce en el circuito 100 (figura 1), mientras que el ajuste de los conmutadores de grupo en el circuito 300 es la analogía del cálculo lógico en el circuito 100.

Refiriendonos ahora a la (figura 1, el circuito lógico universal 100 comprende una formación de filas y columnas de  $4 \times 4$  y de puntos de cruzamiento X-Y de células lógicas cada células en un punto de cruce diferente. Aunque estas células lógicas de puntos de cruce se describirán en términos de célula lógica de punto de cruce del extremo superior de la izquierda 110, se comprenderá que todas demás células de punto de cruce son de estructura similar. La célula lógica 110 comprende un elemento IGFET de memoria semiconductor 101 en serie con un elemento de diodo de célula lógico semiconductor 102. Por ejemplo, el IGFET de memoria 101 puede adoptar la forma de una estructura de transistor de memoria dieléctrica doble que se describe en la patente EE.UU. nº 3.877.054 concedida A Boulin et al el 8 de Abril de 1.975. Aunque los voltajes y sentidos de

dirección de la corriente se describirán en términos de tecnología de N-MOS IGFET de semiconductor de óxido metálico de N-canales, se comprenderá que también se puede emplear la tecnología de P-MOS, C-MOS (MOS complementario), o D-MOS (MOS de doble difusión) conjuntamente con cambios apropiados en las polaridades de la fuente de voltaje y en la dirección de la corriente.

5 El IGFET dieléctrico o doble 101 tiene un primer terminal de corriente elevada (fuente) conectado a una línea de señal de columna eléctricamente conductora 103) y tiene un segundo terminal de corriente elevada (drenaje) conectado a uno de los terminales del diodo 102 (en la dirección de la corriente indicada en el dibujo). El otro terminal del diodo 102, el terminal en el lado opuesto al IGFET de memoria 101, se conecta a una línea de señal de fila eléctricamente conductora 105. Este diodo 102 es unidireccional y permite el paso de corriente solamente en una

10 dirección, específicamente en la dirección del diodo 102 hacia el IGFET 101, mientras inhibe el flujo de corriente en la dirección opuesta. El terminal de baja corriente (puerta) del IGFET 101 se conecta a una línea de fila de puerta descriptiva 104.

15 El extremo de la izquierda de la línea de fila de puerta de escritura 104 termina en un conmutador de escritura de fila de puerta 114 para conmutar la línea de fila de puerta 104 a una fuente de voltaje  $V_4$  normalmente de aproximadamente 25 a 40 voltios, una fuente de voltaje  $-V_4$  normalmente de unos 25 a - 40 voltios, o una fuente de voltaje  $V_1$  normalmente de unos 5 voltios

20 (o como variante  $V_1$  según se explicará más adelante), o al terminal de tierra. Aunque este conmutador 114 se indica en el dibujo como un conmutador de tipo de único polo de cuadruple dirección se pueden emplear diversos dispositivos de conmutadores

25 de transistores electrónicos semiconductores para esta finali-

30

dad de conmutación, según se sabe en esta rama de la industria. La línea de la señal de gila 105 conecta al otro terminal de cada uno de los diodos de las células en la primera fila (superior) a una formación de conmutación de señal lógica de fila 120. Esta formación de conmutación comprende una pluralidad de transistores de conmutación IGFET cuyos terminales puertas se controlan por los valores lógicos de las señales lógicas binarias  $C, \bar{C}$  ( $\bar{C}$  = negativo de  $c$ ),  $D$  y  $\bar{D}$ , o sea, la señal  $C$  activa sus transistores controlados cuando  $C$  es "cierto" y los desactiva cuando  $C$  es "falso", mientras que la señal  $\bar{C}$  activa sus transistores controlados cuando  $C$  es "falso" ( $\bar{C}$  es "cierto") y los desactiva cuando  $C$  es "cierto" ( $\bar{C}$  es "falso"), y de un modo similar, ocurre con las señales lógicas  $D$  y  $\bar{D}$ . De este modo, la formación 120 realiza una función similar a los conmutadores en las columnas  $C$  y  $D$  en el circuito de la figura 3, según se ha descrito anteriormente. Los conmutadores del extremo de la derecha en la formación 120 terminan en un conmutador del extremo de activación de cálculo lógico unidireccional de doble polo 121 para elegir la conexión de los transistores de conmutación de la formación entre una fuente de voltaje  $V_2$ , normalmente de unos 10 voltios, y potencial de tierra.

La línea de la señal de columna 103 termina en su extremo superior en una formación de conmutación de señal lógica de columna 160, que es similar a la formación 120, excepto que la formación 160 se controla por señales que representan los valores lógicos de  $A, \bar{A}$  y  $B, \bar{B}$ . Los conmutadores superiores en la formación 160 se conectan a un conmutador detector de un solo polo y doble dirección 161 para elegir la conexión de los transistores en esta formación a un detector de voltaje  $D$  o a tierra. La línea de la señal de columna 103 termina también en

un terminan de un elemento de impedancia unidireccional 133, en forma, por ejemplo de un IGFET cortocircuitado del drenaje a la puerta con una impedancia relativamente elevada (pequeña relación de anchura a longitud de canal ( $Z/L$ ) si se compara con el diodo 102. Este elemento de impedancia 133 muestra de una forma virtualmente completa cualquier tendencia de flujo de corriente en dirección descendente por la línea de la señal de columna (figura 1) 103, y presenta una resistencia suficiente  $R_2$  al flujo de corriente ascendente por la línea de columna 103 para producir una caída de potencial a través de sí mismo de casi  $V_3$  ( $= V_4/2$  aproximadamente), normalmente de unos 12,5 a 20 voltios, si y cuando el extremo superior de la línea 103 se pone a tierra mientras que el extremo inferior de esta línea se conecta a  $V_3$ . Cada una de las otras líneas de señal de columna termina en la parte inferior en un elemento de impedancia separado prácticamente idéntico al elemento de impedancia 133. Estos elementos de impedancia se conectan entre sí en sus otros terminales a una línea de activación de escritura 144 conectada a un conmutador de activación de escritura 153 para elegir la conexión de la línea 144 entre  $V_3$  y potencial de tierra.

Para escribir en una célula lógica en un punto de cruce dado, la formación de células lógicas en el circuito 100, los conmutadores de las formaciones 120 y 160 se colocan por las señales  $A, \bar{A}, B, \bar{B}, C, \bar{C}, D$  y  $\bar{D}$ , de forma que tan solo la línea de señal de fila de punto de cruce correspondiente y la línea de señal de columna de punto de cruce correspondiente se conecten a los conmutadores 121 y 161, respectivamente. Por ejemplo, para escribir en la célula 110, los valores lógicos descritos anteriormente de las señales lógicas  $A, \bar{A}, B$  y  $\bar{B}$  se alimentan a la formación de conmutación 160 correspondiente a:

A

A es "falso" y B es "falso", mientras que las señales C,  $\bar{C}$ , D y  $\bar{D}$  se alimentan a la formación de conmutación 120 correspondiente a: C es "cierto" y D es "cierto". Al mismo tiempo, los conmutadores 121 y 161 se activan para conectan ambas líneas a tierra (v.g, la colocación representada en la (figura 1), el conmutador de activación de escritura 153 se activa a  $V_3$  (como en la figura 1), el conmutador de fila de puerta 114 se activa a  $V_4$  para producir un impulso corto, normalmente de 10 microsegundos a 10 milisegundos de duración y todos los demás conmutadores de fila de puerta se dirigen a tierra (como en la figura 1). Por lo tanto, el IGFET de memoria 101, de la célula de punto de cruce 110 tendrán sus dos terminales de corriente elevada puestos a tierra y su terminal puesta al voltaje  $V_4$  (suficiente para escritura por el transporte portador de carga (incluyendo efecto tunel (entre la zona interfacial dieléctrica doble y el substrato del semiconductor). Como solamente las células de la primera fila tienen sus puertas de IGFET dieléctricas dobles conectadas a  $V_4$ , solamente estas células tienen tendencia a la escritura por transporte de carga, para poner cargas negativas en la interfase dieléctrica doble del IGFET de memoria en dichas células. (Estas cargas negativas suprimen el estado "activo o de conexión del IGFET de la memoria durante el cálculo lógico). Por otro lado, todas las células en la primera fila, excepto la célula 110 tienen el extremo superior de sus líneas de señales de columna flotantes (debido a las señales de desactivación o desconexión  $\bar{A}$  y  $\bar{B}$ ) y el extremo inferior de estas líneas de señal de columna conectadas a  $V_3$  (a través de terminales correspondientes  $R_2$ , por lo tanto, todas estas otras células (excepto la célula 110) en la primera fila tiene su IGFET de memoria con sus regiones de canales (de los substratos subyacentes

tes a sus dieléctricos dobles) a un potencial eléctrico prácticamente igual a  $V_3$ , que es suficiente para suprimir virtualmente cualquier transporte de carga producido de otro modo por  $V_4$ . Además, como el extremo superior de (solamente) la línea de la señal de columna de extremo de la izquierda 103 se pone a tierra mientras que la carga 133 tiene una resistencia suficiente para  $R_2$  para sostener una caída de voltaje prácticamente igual a  $V_3$ , la región del canal del substrato del IGFET de memoria 101 se encontrará prácticamente a potencial de tierra y, por lo tanto, activará el transporte de carga (incluyendo la acción del tunel) entre la zona interfacial dieléctrica doble en el IGFET de memoria y su substrato semiconductor. Así, una célula lógica dada en el circuito 100 se puede escribir por el fenómeno de transporte simplemente localizando su línea de fila de puerta con  $V_4$  mientras todas las demás líneas de fila de puerta están puestas a tierra, pero poniendo a tierra su línea de señal de columna a través de la formación de conmutación 160 (por medio de valores lógicos apropiados de las señales  $A, \bar{A}, B, \bar{B}$ , manteniéndose todas las demás líneas de filas de columnas eléctricamente flotantes), dirigiéndose el conmutador de activación de escritura 153 a  $V_3$ , y mientras pone a tierra su línea de señal de fila (por medio de señales apropiadas  $C, \bar{C}, D, \bar{D}$ ) a través de la formación de conmutación 120 (todas las demás líneas de señal de fila flotantes).

Para calcular una función Boolean deseada de variable binaria en el circuito lógico 100, la función deseada se escribe primero en las células lógicas una por una según se han descrito anteriormente. Entonces, el conjunto deseado de valores lógicos de todas las variables ( $A, \bar{A}, B, \bar{B}, C, \bar{C}, D, \bar{D}$ ) se alimenta a las formaciones de conmutación correspondientes 160 y

120, mientras el conmutador de activación de cálculo lógico  
121 se dirige a  $V_2$ , el conmutador de activación de escritura  
153 se dirige a tierra, los conmutadores de fila de puerta se  
dirigen todos a  $V_1$  (suficiente para producir una condición de  
5 "activación o conexión" de canal en, y solamente en, los IGFET  
de memoria de célula lógicos previamente sin escribir, pero no  
suficiente para "activar o conectar" las células previamente  
escritas), y el conmutador detector 161 se dirige al detector  
de voltaje D. Una lectura que no es de valor cero en D (de vir-  
10 tualmente  $V_2$ ) indica un valor "cierto" para la función Boolean  
calculada de los valores instantáneos de las variables lógicas  
A,B,C,D, y una lectura de valor cero en D indica un valor "fal-  
so" para la función de estas variables. Esto se desprende del  
hecho de que en el voltaje  $V_1$  alimentado a las puertas, con  $V_2$   
15 alimentado a los drenajes de todos los IGFET dieléctricos dobles  
todos los IGFET sin escribir se "activan" mientras que todos  
los IGFET escritos permanecen "desactivados", proporcionando  
de este modo o no proporcionando) un trayecto de corriente de  
baja resistencia desde  $V_2$  al selector D (dependiendo de los va-  
20 lores de A,B,C,D y las escrituras de las diversas células). Es  
por lo tanto conveniente que los elementos de carga  $R_2$  sean uni-  
direccionales y eviten el flujo de corriente desde  $V_2$  a  $R_2$  a  
tierra durante el cálculo lógico.

Para reprogramar las células lógicas (para  
25 producir una función Boolean), se puede borrar al tiempo una so-  
la línea de fila completa, como sigue. Para borrar la primera  
fila, (superior) el conmutador 161 se pone a tierra mientras que  
el conmutador de escritura de fila-puerta 114 en la primera fila  
se dirige a  $-V_4$  para producir un impulso corto de 10 microsegun-  
30 dos a 10 milisegundos de duración mientras que todos los demás

conmutadores de escritura de fila -puerta se dirigen a tierra al tiempo cuando el conmutador de activación de escritura 153 se ha dirigido previamente a tierra así como el conmutador de activación de cálculo lógico 121, y mientras se alimentan señales apropiadas CC,DD a la formación de conmutación 120, para poner a tierra por lo menos la línea de la señal de fila 105. De esta manera, los IGFET de memoria de todas las células lógicas de la primera fila (y solamente estas células) se borrarán por transporte de cargas sin respecto al substrato en el sentido opuesto de dirección al transporte de carga previo durante la escritura. Así, el circuito 100 proporciona un circuito lógico universal eléctricamente reprogramable. Refiriendonos ahora a la formación de circuito lógico 200 de la figura 2, en la que los elementos que son prácticamente iguales que en la figura 1, se indican con los mismos números de referencia más 100. Aunque las células lógicas de puntos de cruce en el circuito de formación lógica 200 se describen con detalle en términos de la célula superior izquierda 210, de nuevo se comprenderá que todas demás células lógicas de punto de cruce son similares en estructura. Según se ilustra en la figura 2, el circuito de la formación lógica 200 comprende una formación de filas y columnas de 4x4 de células lógicas, comprendiendo cada célula un IGFET de memoria 201 en serie con un elemento de diodos semiconductor 202, respectivamente similar al IGFET de memoria 101 y al diodo unidireccional 102 en el circuito de la figura 1. Con fines de ilustración solamente, el diodo 202 se ilustra como un IGFET de ordinario cuyos terminales de drenaje y puerta se conectan permanentemente entre sí. El IGFET de memoria 201 tiene un primer terminal de corriente elevada (fuente) conectado a una línea de señal de columna eléctricamente conductora 203

(indicado también con la referencia "a"), y tiene un terminal de corriente elevada (drenaje) conectado a uno de los terminales del diodo 202 en la dirección de la corriente indicada en la figura 2. Este diodo permite el paso de corriente solamente en una dirección, específicamente en la dirección del diodo 202 hacia el IGFET 201 cuando se trata de la tecnología de N-MOS. Un terminal de baja corriente (puerta) del IGFET dieléctrico doble 201 se conecta a una línea de fila de puerta de escritura 204. El otro terminal del diodo 202, en el lado opuesto al IGFET de memoria 201, se conecta a una línea de señal de fila eléctricamente conductora 205. El extremo de la izquierda de la línea de fila de puerta de escritura 204 termina en un conmutador de fila de puerta 214 para conmutar la línea de fila de puerta 204 a una fuente de escritura o de borrado =  $V_4$  (fuentes normalmente de = 25 a = 40 voltios, respectivamente), o a una fuente de activación de cálculo a  $V_1$  (fuente normalmente de 5 voltios aproximadamente) (como variante a  $V_1$ , de normalmente 10 voltios), o a un terminal de tierra. Aunque el conmutador 214 se indica en la figura 2 como un conmutador de tipo de triple dirección unipolar, se pueden emplear para esta finalidad diversos dispositivos de conmutadores electrónicos semiconductores, según se sabe en la tecnología. La línea de la señal de fila 205 conecta todos los diodos de las células de la primera fila (superior) a un terminal de un elemento se conecta a una línea de activación de cálculo 207. El extremo superior de esta línea de activación de cálculo 207 termina en un conmutador de activación de cálculo de doble dirección monopolar 208 para conectar la línea 207 a tierra o a una fuente de voltaje  $V_2$  (normalmente de unos 10 voltios). La línea de la señal de columna 203 termina en su extremo superior en con conmu

tador monopolar de cuádruple dirección 213 para conectar la línea a tierra o a una fuente de voltaje  $V_2$  o a un detector de voltaje de línea de columna 223 o a una condición eléctrica mente flotante (un capacitor de bloqueo  $C_B$ ). El detector 223  
5 comprende normalmente un elemento resistor de carga  $R_D$  en paralelo con un voltímetro o un detector de voltaje. El extremo inferior de la línea de columna 203 se conecta a través de un elemento de diodo de carga de columna unidireccional 233 a una línea de activación de escritura 243. Esta línea de activación  
10 de escritura 243 se conecta a un conmutador de activación de escritura monopolar de doble dirección 253, para conmutar la línea 243 a una fuente de voltaje de escritura  $V_3$  o a tierra.

Cada uno de los elementos de carga de columna unidireccional (por ejemplo 233) tiene una resistencia  $R_2$  en la  
15 dirección de corriente de sentido directo (ascendente en la figura 2 para N-MOS) y una resistencia virtualmente infinita (de inhibición de corriente) en la dirección de la corriente de sentido inverso. Cada detector de voltaje (por ejemplo 223) tienen una resistencia eléctrica proporcionada por un resistor  
20 de carga separado  $R_D$ . Todos los elementos de carga de fila eléctricos unidireccionales (por ejemplo 206) tienen virtualmente igual resistencia  $R_1$  en la dirección de la corriente en sentido director (derecha a izquierda para N-MOS en la figura 2) y una resistencia virtualmente infinita (inhibición de corriente) en  
25 la dirección inversa. Estas direcciones de la inhibición de corriente (en la figura 2 y en la figura 1) se pueden determinar considerando que se ilustra la tecnología de N-MOS y por la configuración eléctrica indicada de uno de los terminales de corriente elevada (normalmente drenaje) de cada uno de los IGFET  
30 de carga a su terminal puerta. Para que este circuito 200 fun-

cione apropiadamente, es conveniente que  $R_D$  sea mayor que  $R_1$ , convenientemente al menos en un factor de dos o más y preferiblemente en un factor de 10 o más.

5 Para escribir en una célula lógica elegida en el circuito 200, por ejemplo para escribir en la célula lógica 210 que contiene el IGFET de memoria 201, el conmutador de fila de puerta 214 en la línea de fila de puerta correspondiente, se dirige a  $V_4$  para producir un impulso corto, mientras que todos los demás conmutadores de fila de puerta se ponen a tierra, al tiempo cuando el conmutador de la línea de señal de columna 213 se ha dirigido previamente a tierra y todos los demás conmutadores de línea de señal de columna se han dirigido a condicionar flotante (v.g., a un capacitor de bloqueo  $C_B$ ). Así mismo, al mismo tiempo el conmutador de activación de escritura 253 se dirige a  $V_3$  mientras que el conmutador de activación de cálculo 208 se dirige a tierra. Así solamente la célula lógica 210 se escribirá por acción de túnel (u otro transporte de carga) de cargas eléctricas entre el substrato y la zona interfacial dieléctrica doble de la estructura de IGFET de memoria, por razones similares según se ha expuesto anteriormente con relación a la célula lógica 110 respecto a escritura en el circuito 100 (figura 1).

10

15

20

Para borrar una fila dada de células lógicas en la formación de circuito lógico 200, por ejemplo la fila superior de células (incluyendo la célula 210), el conmutador de fila de puerta correspondiente 214 se dirige a  $-V_4$ , mientras que todos los demás conmutadores de fila de puertas se dirigen a tierra, al tiempo cuando todos los demás conmutadores se han puesto previamente a tierra. De este modo, el efecto de túnel y otro transporte de carga (en la dirección opuesta a la direc-

25

30

ción durante la escritura) tiene lugar en los IGFET de memoria de la fila dada, y solamente en este caso, borrando por lo tanto todas estas células solamente. Así, el circuito de formación lógica 200 programable y reprogramable electrónicamente de una forma completa.

Para comprender las operaciones lógicas de cálculo con el circuito lógico 200, se observará que cualquier IGFET de memoria dieléctrico doble en el circuito 200 que ha experimentado efecto de túnel en respuesta a  $-V_4$  en su puerta (y no se ha borrado, por ejemplo alimentando  $-V_4$  a su puerta) está en una condición caracterizada por una carga negativa atrapada en la zona interfacial de las dos capas dieléctricas. Por consiguiente, dicho elemento de memoria (escritura N-MOS) se encuentra en el estado de "desconexión o desactivado" sin conducción aun en presencia del voltaje puerta positivo moderado  $V_1$  durante el cálculo lógico que es verdaderamente suficiente para "activar o conectar" e inducir flujo de corriente a través de cualquier elemento de IGFET de memoria sin escribir cuando el conmutador de activación de cálculo lógico 208 se dirige simultáneamente a  $V_2$ , mientras que la línea de señal de columna de la célula sin escribir se pone a tierra (pero no si la línea de columna de dicha célula se conecta también a  $V_2$  a través de su conmutador de columna correspondiente).

Durante las operaciones de cálculo lógicas con el circuito de formación lógica 200, las líneas de la señal de columna se utilizan como entradas o salidas de señal lógicas "a", "b", "c", "d" (según se indica en la figura 2) dependiendo de la operación lógica específica que se desee y dependiendo por lo tanto, de la dirección del conmutador de la línea de señal de la línea correspondiente a tierra o a  $V_2$ , o al detector

correspondiente  $D_1, D_2, D_3, D_4$ , respectivamente. De un modo más específico, la dirección del conmutador de línea de columna a un detector, como es el detector 213 en la línea de columna "d" dirigido a  $D_4$ , corresponde a la selección de dicha línea "d" como línea de salida detectada por  $D_4$ , mientras la dirección de dicho conmutador en una línea de columna dada, por ejemplo "a", a tierra o a  $V_2$  elige dicha línea como entrada: "a" es "falso" o "a" es "cierto", respectivamente. Por ejemplo, para obtener la función lógica  $d = abc$ , siendo "d" la salida y siendo "a", "b" y "c" las entradas, todas las células en todas las filas excepto la fila superior se escribe (no se pueden "activar" durante el cálculo), mientras que todas las células en la fila superior no se escriben ni se borran (verdaderamente se pueden "activar" durante el cálculo. Si los conmutadores de columna en las líneas de columnas "a", "b" y "c" se dirigen todos a  $V_2$  (representando que "a", "b" y "c" son todos "ciertos") entonces, si el conmutador de activación de cálculo 208 se ha dirigido a  $V_2$  mientras el conmutador de columna en la línea de columna "d" se ha dirigido a detector  $D_4$ , en estas condiciones una corriente detectable de la fuente  $V_2$  en el conmutador de activación de cálculo lógico 208 fluye a través de la línea de activación de cálculo 207 y, por lo tanto, a través de la célula lógica situada en el punto de cruce, de la línea de columna "d" y la línea de fila superior, detector  $D_4$ , puesto que solamente la célula en este punto de cruce está "activada". Por otro lado, si todas las condiciones del párrafo anterior son iguales excepto que cualquiera de las líneas de columna (o más) "a" "b" o "c" se conecta a tierra ("a" "b" o "c" es falso), entonces la corriente de la fuente  $V_2$  en el conmutador de activación de cálculo 208 puede fluir a través de dicho IGFET o di

chos IGFET en el punto de cruce de la fila superior y que una o más de las líneas de columna "a", "b" o "c" produciendo de este modo una caída de voltaje a través de  $R_1$  suficiente para evitar que fluya una corriente apropiable a través del detector  $D_4$  ( $R_D$  mayor que  $R_1$ ) en la línea de columna "d". Así, este modo de operación realiza verdaderamente la función lógica de conjunción  $d = abc$ , o sea "d" es "cierto" solamente si ninguno de "a", "b" o "c" es "falso" (v.g, ninguno se conecta a tierra a no ser a  $V_2$ ).

10 Como otro ejemplo, la función de disyunción conjuntiva lógica  $d = a + b + c$  se puede calcular también con el circuito 200, o sea, "d" es "cierto" si cualquiera (o más) "a", "b", o "c" es "cierto". Dicha función se puede conseguir escribiendo todas las células (que no conducen durante la lectura) excepto las células en los puntos de cruce siguientes que no se escriben o se borran:

15 1ª fila 1ª columna ("a"), y 1ª fila, 4ª columna ("d"),

20 2ª fila 2ª columna ("b"), y 2ª fila, 4ª columna ("d").

3ª fila, 3ª columna ("c"), y 3ª fila, 4ª columna ("d").

25 Por lo tanto, solamente si durante el cálculo todas las líneas de columna "a", "b" y "c" se conectan a tierra ("a", "b", "c" son todos "falsos"), habrá suficiente salida a través de todas las cargas de las tres filas superiores  $R_1$  para suprimir la corriente a través de  $D_4$ , y por el contrario, si cualquiera de las líneas de columna "a", "b" o "c" se conmutan a  $V_2$ , entonces se producirá convenientemente mucha menor caída de voltaje a través del RV particular en la fila correspondiente conec

30

tada a dicha línea de columna por una célula de punto de cruce borrada, permitiendo por lo tanto que fluya la corriente desde la línea de activación de cálculo a través de la célula de punto de cruce sin escribir al detector  $D_4$  en respuesta a la dirección del conmutador que activación de cálculo 208 a  $V_2$ .

Para evitar la necesidad de escribir en una fila completa de célula (figura 1 o figura 2), durante el cálculo lógico, cualquier completa de célula se puede "desactivar" alternativamente (en lugar de hacerlo por escritura previa de dicha fila completa) conectando la línea de fila de escritura de puerta correspondiente a tierra. La corriente en cualquiera de las células de filas completas se pueden activar alternativamente (en lugar de hacerlo por cerrado previo de dicha fila completa) alimentando a la línea de fila de escritura de puerta correspondiente un voltaje  $V_1$ , que es aproximadamente igual a  $2V_1$ , o sea, normalmente 10 voltios. Se comprenderá, como es lógico, que otros elementos de memoria distintos al elemento particular descrito anteriormente se pueden emplear con ajustes apropiados en los voltajes alimentados para escritura, borrado y cálculo.

Para usar el circuito lógico 200 se comprenderá que, conectando una pluralidad de líneas de columnas a través de sus conmutadores selectores a sus detectores, se puede calcular simultáneamente una pluralidad de funciones lógicas diferentes de las variables lógicas de entrada. Se comprenderá también que el substrato semiconductor se mantiene a potencial de tierra. Los detectores, como es lógico, se puede integrar en otros circuitos lógicos, circuitos de memoria u otros tipos de circuito. Además, las líneas de la señal de columna (alternativamente filas) se puede utilizar para variables de entrada,

mientras que las líneas de la señal de fila (alternativamente columna) se pueden emplear para variables de salida, con modificaciones de circuito apropiadas como resultarán evidentes al experto en la materia. La resistencia de sentido directo (baja) de cada diodo de punto de cruce en los circuitos lógicos 100 y 200 sería convenientemente al menos del orden de magnitud de menor que cualquiera de la resistencia  $R_1$  y  $R_D$ .

Aunque el invento, se ha descrito con detalle con relación a modalidades específicas, se pueden efectuar diversas modificaciones sin desviarse del alcance del invento. Por ejemplo, en lugar de la formación de puntos de cruce de  $4 \times 4$  de células en el circuito 100, el invento se puede extender a formaciones de puntos de cruce de  $M \times N$  por ejemplo, incluyendo conmutadores adicionales en cada una de las formaciones lógica de ocho filas de dichos conmutadores de tres variables lógicas C,D,E. Como variante, como es lógico, se pueden emplear también las tecnologías de P-MOS, C-MOS, o D-MOS, como ocurría con el circuito lógico 100. Además, aunque se han descrito elementos de carga 206 incluyendo la propiedad de inhibición de corriente unidireccionales no es esencial que estos elementos de carga sean unidireccionales (v.g, se pueden emplear cargas resistivas bidireccionales ordinarias). para pequeñas formaciones (menos de aproximadamente  $8 \times 8$ ), los elementos de carga pueden ser elementos resistores bidireccionales asimétricos (o simétricos) con resistencias individuales  $R_2$  muchos mayores que  $R_D$  (al menos en un factor de aproximadamente 10) para la corriente que fluye en sentido descendente en la figura 2, a través de  $R_2$ . Así mismo, no es absolutamente esencial que la resistencia  $R_D$  de cada detector sea mayor que la de cada elemento de carga de fila  $R_1$ , siendo suficiente que  $R$  sea por lo menos del mismo

orden de magnitud que  $R_1$  (con un cierto sacrificio de tolerancia de detección de margen). Aunque los voltajes de escritura y de borrado se han indicado por  $V_4$  y  $-V_4$ , se comprenderá que estos voltajes no necesitan ser de magnitud igual aun para tiempos iguales de escritura y de borrado, teniendo en cuenta la posible asimetría de estas operaciones electrónicas. Es evidente que los circuitos lógicos 100 y 200, junto con sus elementos de carga de acceso y conmutadores, se pueden integrar en un solo bloquecito semiconductor de acuerdo con técnicas de circuito integrados bien conocidas. Aunque se han descrito operaciones de conmutación en términos de ajustes de conmutadores mecánicos, se puede emplear conmutaciones transistorizada eléctricamente controlada, permitiendo de este modo una mayor integración de elementos eléctricos en un solo bloquecito semiconductor en un solo sistema. Finalmente, se comprenderá que los circuitos lógicos reprogramables de una forma completamente eléctrica de este invento se pueden incorporar como parte integral de sistema adaptables incluyendo máquinas para la autoenseñanza o la lógica de control de una unidad de proceso central de un microordenador.

Descrita suficientemente la naturaleza del invento así como la manera de realizarse en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de todo tipo de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

1.- Perfeccionamientos en aparatos semiconductores, del tipo de aparatos que comprende una formación Mx N de filas y columnas de células lógicas de 3 terminales, teniendo cada célula un primer terminal diferente de célula de corriente elevada y un segundo terminal diferente de célula de corriente elevada, definiendo por lo tanto un trayecto de corriente elevada separado por cada célula, consistiendo cada célula esencialmente en un elemento de memoria semiconductor eléctricamente programable diferente en serie con un elemento inhibidor unidireccional separado para pasar corriente elevada a través de la célula lógica entre el primer y segundo terminales de célula de corriente elevada solamente en un sentido de dirección e inhibir la corriente en el otro sentido de dirección, teniendo cada uno de los citados elementos de memoria un terminal puerta de célula de baja corriente para la alimentación de voltaje para programar el elemento de memoria, una primera pluralidad el número de M, de medio de línea de puerta de fila - eléctricamente conductores, cada uno para conectar mutuamente entre sí los terminales puerta de baja corriente de los elementos de memoria en todas las células de cada fila a un terminal diferente de filas de escritura de puerta, una segunda pluralidad, número de M, de medios de línea de fila eléctricamente conductores, cada uno para conectar mutuamente entre sí los primeros terminales de corriente elevada de todas las células en cada fila a un terminal de señal de línea de fila diferente, y una tercera pluralidad, en número de N, de medios de línea de columna eléctricamente conductores para conectar mutuamente entre sí los segundos terminales de corriente elevada de todas las células en cada fila a un terminal de señal de línea de columna di-

5  
10  
15  
20  
25  
30

ferente y a un terminal de carga de columna, caracterizado por que cada terminal de carga de columna se conecta a un primer terminal un elemento diferente de carga de columna de dos terminales para inhibir la corriente en dicho sentido de dirección.

5

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque cada elementos de memoria es eléctricamente reprogramable.

10

3.- Perfeccionamientos según la reivindicación 2, caracterizados porque cada elementos de carga de columna tiene un segundo terminal conectado a un terminal de activación de escritura común.

15

4.- Perfeccionamientos según la reivindicación 3, caracterizados porque se dota a cada aparato de una pluralidad de M de medios de conmutación de fila de puerta de escritura conectados cada uno a uno diferente de los terminales de fila de escritura de puerta, para proporcionar voltaje a cada una de dichas filas suficiente para programar el estado lógico de memoria de por lo menos una célula en dicha fila.

20

5.- Perfeccionamientos según la reivindicación 4, caracterizados porque se dota a cada aparato de una pluralidad de N medios de conmutación de columna, conectados cada uno a uno diferente de los terminales de señal de línea de columnas, para elegir cada línea de columna para conexión a un detector de voltaje.

25

6.- Perfeccionamientos según la reivindicación 5, caracterizados porque cada uno de los detectores de voltaje conectados a una línea de columna dada a través de uno de los medios de conmutación de columna tiene resistencia eléctrica con respecto a la corriente que fluye en una dirección predeterminada menor que la resistencia del elemento correspon

30

pondiente de dichos elementos de carga de columna.

5 7.- Perfeccionamientos según la reivindicación 2, caracterizados porque se dota a cada aparato de una pluralidad de M medios de conmutación de fila de puerta de escritura, conectados cada uno a uno diferente de los terminales de fila de escritura de puerta, para proporcionar voltajes a cada fila suficiente para programar el estado lógico de memoria de por lo menos una célula al tiempo en dicha fila en un primer estado lógico y en un segundo estado lógico diferente.

10 8.- Perfeccionamientos según la reivindicación 7, caracterizado porque se dota a cada aparato de una pluralidad de M medios de conmutación de columna, conectados cada uno a uno diferente de los terminales de señal de línea de columna, para elegir cada línea de columna para conexión a un detector de voltaje.

15 9.- Perfeccionamientos en aparatos semiconductores, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

20 Esta Memoria consta de 27 hojas escritas a máquina por una sola cara.

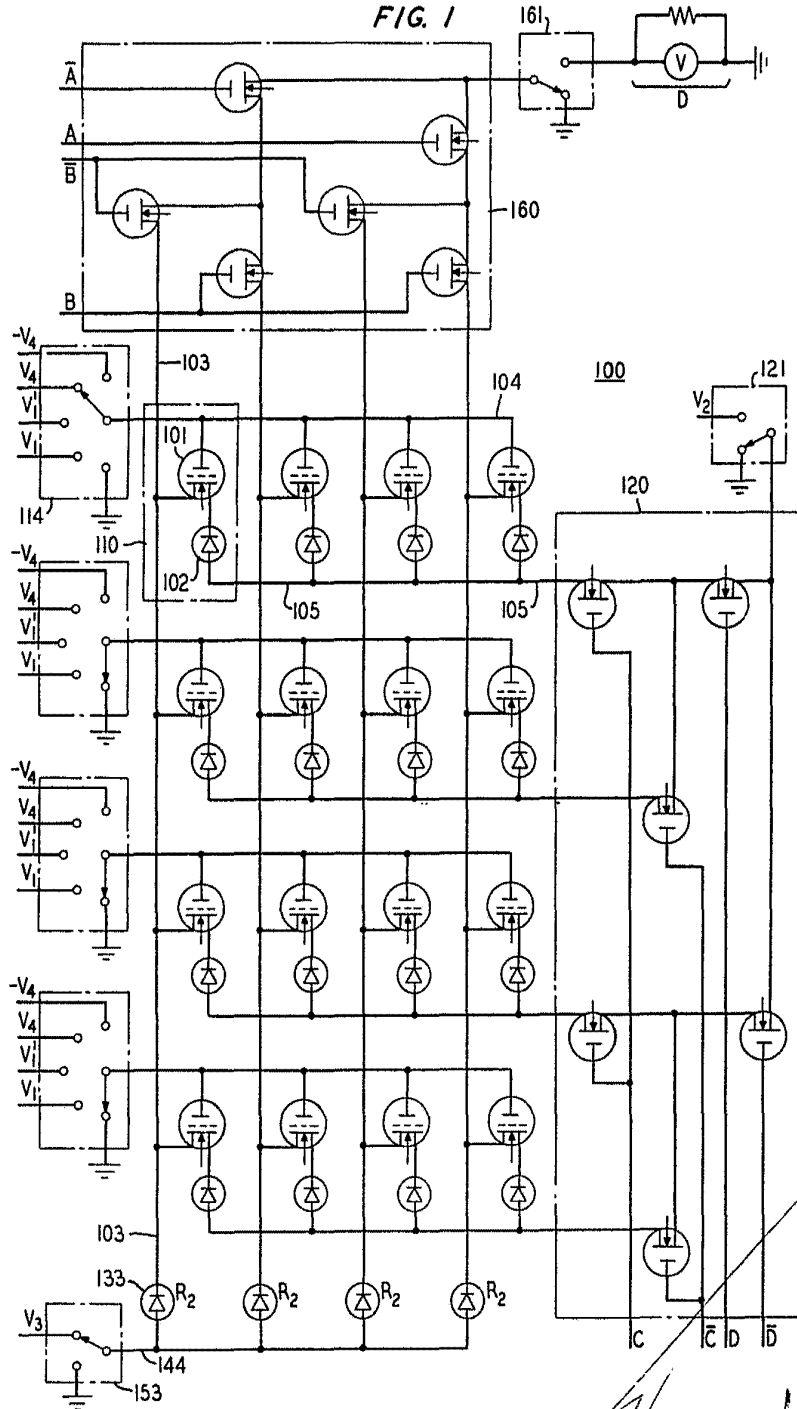
Madrid, 16 AGO. 1977

WESTERN ELECTRIC COMPANY,  
INCORPORATED,

J. M. GOMEZ ACEBO Y POMBO  
p. p. Firmado: Alejandro Calle López

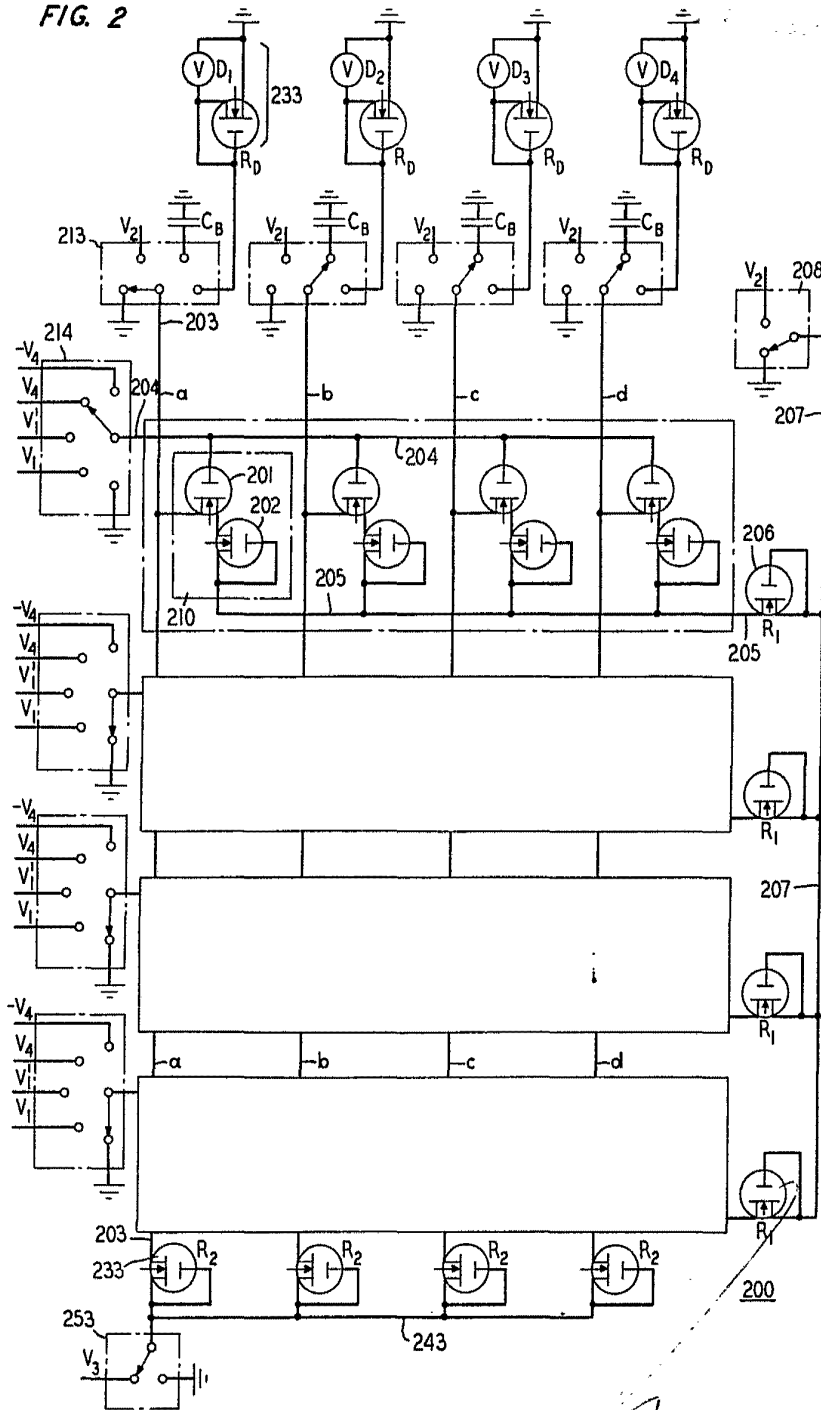
# ESCALA VARIABLE

FIG. 1



16 AGO. 1977

FIG. 2



*[Handwritten signature]*  
16 AGO. 1977

FIG. 3

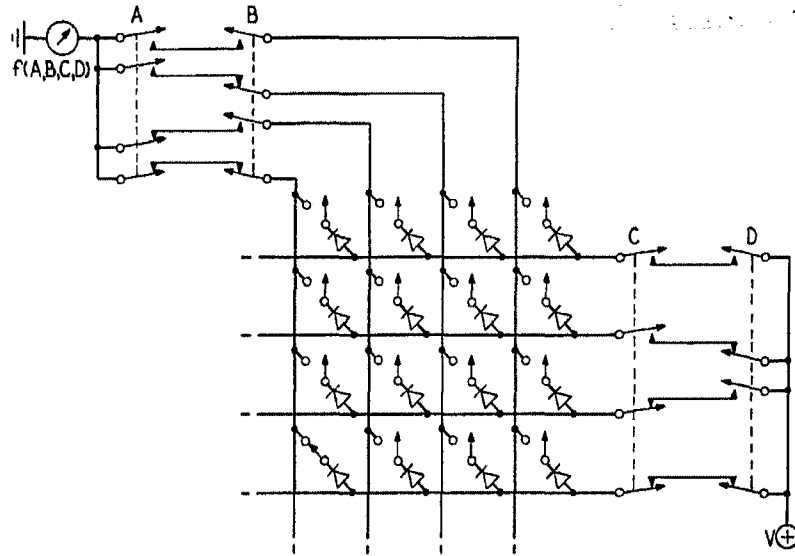
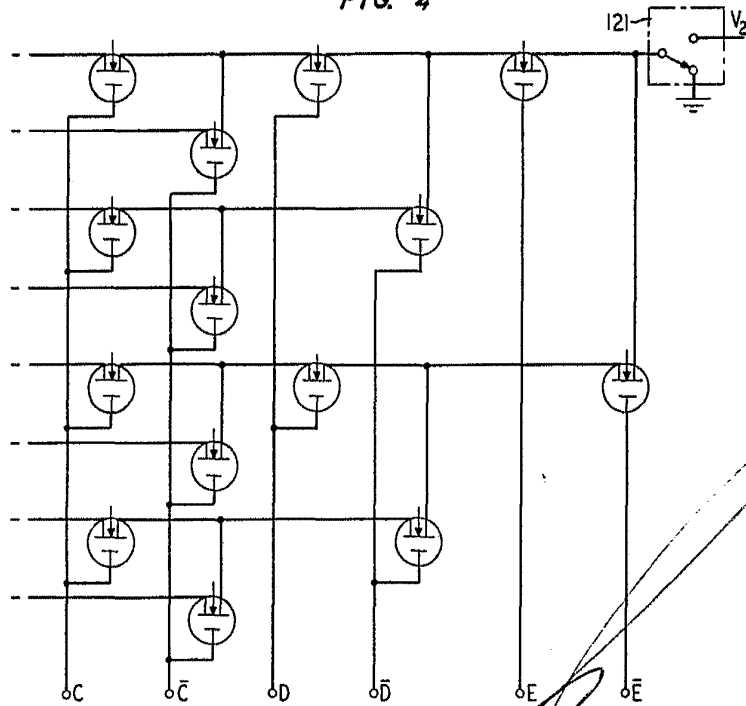


FIG. 4



16 AGO. 1977

J. M. GOMEZ ACEBO Y COMBO  
Ejército, Alameda, Calle L. 602