

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

28 MAR. 1978

**CONCEDIDA**  
**PATENTE DE INVENCION**

ES

11

21

22

NUMERO

460959

FECHA DE PRESENTACION

22 JUL 1977

AI

460959

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
EN 76 22 419	22.7.76	FRANCIA
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04Q 11/04; H04Q 3/54	
54 TITULO DE LA INVENCION		
PERFECCIONAMIENTOS EN CENTRALES DE TELECOMUNICACION TEMPORAL.		
71 SOLICITANTE (S)		
COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS CIT-ALCATEL.		
DOMICILIO DEL SOLICITANTE		
12, rue de la Baume, 75008, Paris, Francia.		
72 INVENTOR (ES)		
Jean-Baptiste JACOB, Ing.		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. JOSE MIGUEL GOMEZ-ACEBO y POMBO.		

La presente invención se refiere a unos perfeccionamientos en centrales de telecomunicación temporal. Una central temporal que lleva comunicaciones en modulación por impulsos codificados comprende en particular órganos de control especializados tales como: un cierto número de multiregistradores de poca capacidad, marcadores, traductores, y tasadores, que tienen todas una estructura definida que no les permite siempre adaptarse fácilmente a una evolución de los equipos que componen la central, con vistas a aumentar su capacidad a medida de las necesidades. Dicha central se conoce y se describe en los siguientes artículos:

1) Sistema de conmutación electrónico temporal (proyecto PLATON) - PINET (A), MARTIN (J), REVEL (M) Revista COMMUTATION et ELECTRONIQUE n° 12 - Marzo 1.966 páginas 22 a 46.

2) Centro de Conmutación electrónico temporal proyecto PLATON - PINET (A), POULIQUEN (J), REVEL (M) Revista COMMUTATION et ELECTRONIQUE n° 23 - Octubre 1.968 páginas 22 a 42.

3) La conmutación electrónica temporal - TALLEGAS (F), JACOB (JB), ARPIN Revista TOUTE L'ELECTRONIQUE - Junio 1.972 páginas 51 a 55, Julio 1.973 páginas 17 a 22, Octubre 1.972 páginas 25 a 30.

4) Introduction of Integrated PCM Switching in the French Telecommunication Network - INTERNATIONAL SYMPOSIUM - Cambridge (Mass). 1972 páginas 470 a 475 - New-York, IEEE, 1.972.

5) El sistema de conmutación electrónico temporal E10- Congreso AFCET, Rennes 1.973: INFORMATIQUE et TELECOMMUNICATIONS - páginas 151 a 161 - Paris AFCET, 1.973.

La invención tiene por objeto una central de telecomunicación temporal en la que los órganos de control se adaptan a la evolución de los equipos que componen la central.

La invención se refiere a una central de telecomunicación temporal que comprende una red de conexión, unidades de selección, una base de tiempo, un órgano de control conectado a un centro de tratamiento de -

informaciones, que se caracteriza porque comprende al menos una unidad de control constituida por una parte multirregistradora, y por otra intercambiadora conectada por una barra colectora de intercambios a la parte multirregistradora que asegura el establecimiento y la ruptura de las comunicaciones, asegurando la parte intercambiadora las uniones entre la parte multirregistradora y la red de conexiones y las unidades de selección, conectándose la unidad de control a la red de conexiones por líneas de conexión y líneas de órdenes, a las unidades de selección por líneas de ensayo y por líneas de marcado y al órgano de control por líneas de control, sustituyendo la unidad de control a los órganos especializados habitualmente utilizados en la central temporal.

Según otra característica, la central de telecomunicación temporal comprende dos unidades de control, siendo una principal y la otra subordinada, conectándose las unidades de control entre sí por líneas de intercambios.

Según otra característica, la parte multirregistradora comprende una memoria macroprograma, y dos conjuntos multirregistradores, conectándose la memoria macroprograma a los dos conjuntos multirregistradores a su vez conectados por una barra de intercambios a la parte intercambiadora, conteniendo la memoria macroprograma, macroinstrucciones de 48 elementos binarios cada una y de los cuales los 8 primeros elementos binarios constituyen una orden que define una macroinstrucción.

Otras características de la invención se pondrán de manifiesto a continuación con la descripción que sigue de una forma de realización ilustrada por las figuras anexas y en las que:

La figura 1 representa una central de telecomunicaciones que pone en práctica la invención.

La figura 2 es un esquema de una unidad de control.

La figura 3 representa una parte multirregistradora.

La figura 4 representa una parte intercambiadora.

Las figuras 5a y 5c representan las señales de la base de tiempos de la central.

La figura 5b representa las señales del módulo reloj de una multirregistradora.

5 La figura 6a representa el bloque memoria de registrador y las memorias tampón con su circuito de salida.

La figura 6b representa el circuito de direccionado del bloque memoria del registrador y de las memorias tampón.

10 La figura 7 representa la memoria macroprograma y el bloque de acceso de un multirregistrador.

Las figuras 8a, 8b, 8c dan el formato de las macroinstrucciones.

La figura 9 representa el bloque memoria de instrucciones y la lógica de control.

15 La figura 10 muestra el formato de las instrucciones del multirregistrador.

La figura 11 representa el módulo receptores de señalización.

La figura 12 representa el módulo emisores de señalización.

La figura 13 representa un bloque entrada/salida.

20 La figura 14 representa el dispositivo lógico de control.

La figura 15 representa el módulo de direccionado directo e indirecto, y el módulo memoria central.

La figura 16 representa el módulo bloque operador.

25 La figura 17 representa el módulo de tratamiento de las fases, el bloque memoria de instrucciones y el módulo de reagrupamiento de las - informaciones.

La figura 18 representa el módulo memoria de temporización y lógica de llamadas prioritarias.

30 La figura 19 representa el módulo de intercambios unidades de selección.

La figura 20 representa el módulo de intercambios entre las dos unidades de control.

La figura 21 representa el módulo de intercambios red de conexión.

5 La figura 22 representa el módulo traductor.

La figura 23 representa una memoria de traducción y el circuito de sincronización.

La figura 24 representa el circuito de selección de direccionado de las memorias de traducción.

10 La figura 25 representa el módulo memoria auxiliar.

La figura 26 muestra el formato de las instrucciones del intercambiador.

La figura 1 representa una central de telecomunicación que pone en práctica la invención; la central comprende una red de conexiones 1, unidades de selección tales como 2 y 3 cuyo número es función de la importancia de la central, dos unidades de control 4 y 5, una base de tiempos 6, un órgano de control 7. Este órgano de control 7 se conecta a un centro de tratamiento de las informaciones CTI.

20 Las unidades de selección aseguran las uniones entre la central y el exterior; estas conexiones ó uniones son aseguradas por multiplex - MX; existe por tanto unidades de selección para conectar abonados locales directamente a la central, unidades de selección para conectar concentradores distantes, unidades de selección para conectar centrales de telecomunicaciones temporales, unidades de selección para conectar centrales de -  
25 telecomunicaciones electromecánicas, unidades de selección para conectar puestos de operadoras y puestos receptores de frecuencia. Estas unidades de selección, al igual que la red de conexión, son conocidos y no constituyen el objeto de la invención. Las conexiones de las unidades de selección con la red de conexión están estandarizadas; estas conexiones son,  
30 para cada unidad de selección: dos multiplex entrantes IRE0 y IRE1, dos -

multiplex salientes LRS0 y LRS1, dos multiplex de señalización LVS0 y -  
LVS1.

5 Las unidades de control 4 y 5, idénticas, son el número de dos  
por razones de seguridad; cada unidad de control comprende un par multir-  
registrador 8 y una parte intercambiadora 9. Cada unidad de selección se  
conecta a la parte multirregistrador 8 por una línea de ensayo LT, y a la  
10 parte intercambiadora 9 por una línea de marcado LU; cada parte multirre-  
gistradora 8 se conecta a la red de conexión 1 por una línea de conexión  
MLX; cada parte intercambiadora 9 se conecta a la red de conexión por una  
línea de orden OLY; las partes intercambiadoras de las dos unidades de -  
control 4 y 5 se conectan entre sí por líneas de intercambios ELM, y al  
órgano de control 7 por líneas de control LC; el órgano de control 7 se  
conecta a cada unidad de selección por una línea de control de unidad de  
selección LCU; la base de tiempos 6 distribuye a todos los órganos de la  
15 central temporal las señales de reloj necesarias para su funcionamiento.  
Las conexiones que conectan las unidades de control 4, 5 a la red de con-  
exión 1 y a las unidades de selección 2, 3, sustituyen a las que conecta-  
ban en el arte anterior los multirregistradores y los marcadores a la red  
de conexión y a las unidades de selección, y que no tienen por tanto nece-  
sidad de modificarse.  
20

Las dos unidades de control 4 y 5 funcionan en división de -  
tráfico, pero en caso de fallo de una unidad de control, es la otra uni-  
dad de control la que asegura la totalidad del tráfico.

25 La figura 2 es un esquema de una unidad de control, tal como  
4 por ejemplo; la parte multirregistradora 8 comprende una memoria macro-  
programa 13, dos conjuntos multirregistradores 10 y 11 idénticos; la memo-  
ria macroprograma 13 se conecta a los dos conjuntos multirregistradores -  
10 y 11. Por razones de comodidad se designará a continuación de la des-  
cripción un conjunto multirregistrador por multirregistrador, y una parte  
30 intercambiadora por intercambiador, sin que ello implique ninguna similitud

con órganos conocidos. En una unidad de control, el intercambiador 9 se conecta, por una barra de intercambios LIE, a los dos multirregistradores 10 y 11.

La figura 3 representa una parte multirregistradora y da el esquema del multirregistrador 10 que comprende: un conjunto lógico de control 15 constituido por un bloque de acceso 16 a la memoria macroprograma 13, por una lógica de control 17 y por un bloque memoria de instrucciones 18; el multirregistrador comprende igualmente un bloque memoria de registradores 19 asociado a un bloque memoria tampón 14, un módulo receptores de señalización 22, un módulo emisores de señalización 23, un módulo de entrada/salida, y un módulo reloj 25. El bloque de acceso 16, la lógica de control 17, el bloque memoria tampón 14, los módulos receptores de señalización 22, emisores de señalización 23, de entrada/salida 24 se conectan a una barra de información multirregistradora LIMR. El multirregistrador 11 es idéntico al multirregistrador 10; los módulos de entrada/salida 24 de los multirregistradores 10 y 11 se conectan a la barra de intercambios LIE que conecta los dos multirregistradores 10 y 11 y al intercambiador 9. El bloque de acceso 16 y la lógica de control 17 se conectan, por una parte, a la memoria macroprograma 13 por el cable 110 y, por otra, respectivamente por líneas pupitre LT1 y LT2 a un pupitre de control de la central; el bloque memoria tampón 14 se conecta al pupitre por el cable 116; el módulo receptores de señalización 22 se conecta por las líneas de ensayo LF (una por unidad de selección) a las unidades de selección, y el módulo emisores de señalización se conecta a la red de conexión por la línea de conexión MLX.

La figura 4 es un esquema de la parte intercambiador 9 que comprende un dispositivo lógico de control 26 que incluye un bloque lógico de control 27 y un bloque de memoria de instrucciones 28, un módulo de intercambios entre las dos unidades de control 29, un módulo de intercambio red de conexión 30, un módulo de intercambio unidades de selección 31, un

módulo traductor 32, un módulo mesa 33, un módulo memoria auxiliar 34. El bloque lógico de control 27 y los módulos 29 a 34 se conectan a la barra de intercambios LIE que conecta el intercambiador a la parte multirregistradora representada en la figura 3.

5 El bloque lógico de control 27 se conecta por una línea pupitre LP3 al pupitre de control de la central.

El módulo de intercambios 29 se conecta al órgano de control 7 por líneas de control LC, y al módulo de intercambio de la parte intercambiador de la otra unidad de control por líneas de intercambios ELM.

10 El módulo de intercambio red de conexión 30 se conecta a la red de conexión 1 por líneas de orden OLX.

El módulo de intercambio unidades de selección se conecta a las unidades de selección por líneas de marcado LU.

15 Antes de describir en detalle un multirregistrador y después un intercambiador, se va a presentar en primer lugar las diferentes señales de reloj que son utilizadas en una central temporal, siendo ya estas señales conocidas así como su elaboración.

La figura 5a da la naturaleza de las señales de reloj de las bases de tiempo 6 de la central;

20 -  $t_i$  es una señal de 3,9 microsegundos de duración de frecuencia 8 kHz y de periodo 125 microsegundos; esta señal se liga a una vía temporal; si por ejemplo la trama de un multiplex comprende 32 días temporales, existe 32 señales  $t_i$  que son bien entendido, decaladas entre sí - 3,9 microsegundos.

25 -  $\theta_1, \theta_2, \theta_3, \theta_4, \theta_5$  son señales de 780 nanosegundos de duración y de periodo 3,9 microsegundos; estas señales están decaladas 780 nanosegundos entre sí.

30 -  $\omega_1$  a  $\omega_8$  son señales de 490 nanosegundos de duración y de periodo 3,9 microsegundos; estas señales están decaladas 490 nanosegundos entre sí.

- h1 y h2 son señales de 120 nanosegundos de duración y de periodo 780 nanosegundos; están decaladas entre sí 300 nanosegundos.

$\Omega 1$  es una señal de 490 nanosegundos de duración y de periodo 980 nanosegundos.

5 La figura 5b representa, con una escala de tiempos diferentes de la de la figura 5a las señales de reloj  $\omega$  y  $\mu 0$  a  $\mu 31$  que son proporcionadas por el módulo reloj 25 de un multirregistrador tal como 10, figura 3.

10 La sincronización del módulo reloj es proporcionada por la señal  $t31 \omega 8$  procedentes de la base de tiempos 6 de la central.

-  $\omega$  es una señal de 245 nanosegundos de duración, y de periodo 490 nanosegundos.

-  $\mu 0$  a  $\mu 31$  son señales de 980 nanosegundos de duración y de periodo 31,25 microsegundos, decaladas 980 nanosegundos entre sí.

15 La figura 5c representa las señales T1, T2, T3, T4, T5 procedentes de la base de tiempos; por inversión lógica de estas señales se obtienen las señales complementarias  $\overline{T1}$ ,  $\overline{T2}$ ,  $\overline{T3}$ ,  $\overline{T4}$ ,  $\overline{T5}$ . La combinación de señales T1 a T5 y de señales complementarias  $\overline{T1}$  a  $\overline{T5}$  da una vía temporal ti, estando referencias las vías temporales t0, t1 ... t31 en la figura -  
20 5c.

A título de ejemplos se tiene por tanto:

vía temporal t1 definida por  $T1 - \overline{T2} - \overline{T3} - \overline{T4} - \overline{T5}$

vía temporal t20 definida por  $\overline{T1} - \overline{T2} - T3 - \overline{T4} - T5$

25 La recepción de las señales T1 a T5 y  $\overline{T1}$  a  $\overline{T5}$  permite por tanto obtener, por decodificación, la vía temporal ti en la que se encuentra.

La señal T1 tiene una duración de 3,9 microsegundos y un periodo de 7,8 microsegundos.

30 La señal T2 tiene una duración de 7,8 microsegundos y un periodo de 15,6 microsegundos; está decalada 3,9 microsegundos con respecto a la señal T1.

La señal T3 tiene una duración de 15,6 microsegundos y un periodo de 31,25 microsegundos; está decalada 7,8 microsegundos con respecto a la señal T2.

La señal T4 tiene una duración de 31,25 microsegundos y un periodo de 62,4 microsegundos; está decalada 15,6 microsegundos con respecto a la señal T3.

La señal T5 tiene una duración de 62,5 microsegundos y un periodo de 125 microsegundos; está decalada 31,2 microsegundos con respecto a la señal T4.

Las vías temporales t0 a t31 definen una trama de 125 microsegundos.

En la descripción que sigue, se utilizará las expresiones de direccionado temporal y de direccionado espacial. Un direccionado temporal es una forma de acceso a una memoria en la que la dirección de la palabra memoria a la que se desea acceder es proporcionada por un contador bajo la dependencia de la base de tiempos de la central; en esta forma de direccionado, se tiene por tanto acceso de forma cíclica a las palabras de la memoria. Un direccionado espacial es una forma de acceso a una memoria en la que la dirección de la palabra memoria a la que se desea acceder es proporcionada por un registro ó una barra bajo la dependencia del bloque memoria de instrucciones; en esta forma de direccionado, se tiene por tanto acceso a las palabras de una memoria que depende de los tratamientos aceptados por el programa del bloque memoria de instrucciones.

El bloque memoria de registradores 19 y el bloque memoria tampón 14 están representados en las figuras 6a y 6b; el bloque memoria tampón 14 comprende dos memorias tampón 20 y 21, un circuito de direccionado temporal 38, un circuito de direccionado espacial 39, un circuito de direccionado memorias 59 y un circuito de lectura 40. De un modo más preciso la figura 6a representa el bloque memoria de registradores 19, las dos memorias tampones 20 y 21 y el circuito de lectura 40, y la figura 6b representa el circuito de direccionado temporal 38, el circuito de direccionado espacial 39 y el circuito de direccionado memoria 59.

El bloque memoria de registradores 19, figura 6a, comprende una intercara de entrada 36, una memoria 35 con su circuito de direccionado 47, una intercara de salida 37; el circuito de direccionado 47 se conecta por el cable 97 al circuito de direccionado temporal 38 de la figura 6b; una salida falta de imparidad de la intercara de salida 37 se conecta al circuito de direccionado temporal por el cable 137.

La memoria tampón 20 está constituida por dos puertas Y68,69, una puerta 0 70, un circuito de cálculo 71, una memoria 72 con su circuito de direccionado 73, una puerta Y74 una de cuyas entradas se conecta a la salida de la memoria 72 y otra entrada se conecta por un inversor 75, a un cable 89 que procede del módulo reloj 25; el módulo reloj proporciona al cable 89 una señal de control de direccionado de periodo 62,50 microsegundos, que tiene durante 31,25 microsegundos el valor "1" para un direccionado temporal, y durante 31,25 microsegundos el valor "0" para un direccionado espacial. La salida de puerta Y74 se conecta a la barra de información multirregistradora LIMP; el circuito de direccionado 73 se conecta por el cable 108 al circuito de direccionado memorias 59, figura 6b.

La memoria tampón 21 está constituida por dos puertas Y76,77, una puerta 0 78, un circuito de cálculo 79, una memoria 80 con su circuito de direccionado 81, una puerta Y82 una de cuyas entradas se conecta a la salida de la memoria 80 y otra entrada se conecta al cable 89, conectándose la salida de la puerta Y82 a la barra de información multirregistradora LIMP; el circuito de direccionado 81 se conecta por el cable 109 al circuito de direccionado memoria 59, figura 6b.

Las puertas Y69 y 76 tienen cada una una entrada conectada a la salida de la intercara de salida 37 del bloque memoria de registradores; otra entrada de la puerta Y69 se conecta al cable 89, y otra entrada de la puerta Y76 se conecta al cable 89 por un inversor 83. Las puertas Y68 y 77 tienen cada una una entrada conectada a la barra de información multirregistradora LIMP; otra entrada de la puerta Y68 se conecta al cable 89

por un inversor 84, y otra entrada de la puerta Y77 se conecta al cable 89.

5 El circuito de lectura 40 permite la lectura de las palabras en las memorias tampón 20 y 21 a fin de escribir estas palabras en el bloque memoria de registradores 19; el circuito de lectura comprende dos -  
puertas Y85, 86 y una puerta 0 87 cuya salida se conecta por el cable -  
10 103 al circuito de direccionado espacial 39, figura 6b. La puerta Y85, -  
tiene una entrada conectada a la salida de la memoria 72 y otra entrada conectada al cable 89; la puerta Y86 tiene una entrada conectada a la salida de la memoria 80 y otra entrada conectada al cable 89 por un inversor 88.

15 La salida de la puerta 0 87 se conecta a una entrada de una puerta Y129 cuya salida se conecta a la intercara de entrada 36 del bloque memoria de registradores 19; otra entrada de la puerta Y129 se conecta a la salida de un inversor 128 cuya entrada se conecta a la salida de un -  
circuito de retardo 127 que tiene una entrada conectada por el cable 125 a una salida desbordamiento de circuito de cálculo 71 y una entrada diferente conectada por el cable 126 a una salida desbordamiento del circuito de cálculo 79; cuando un registrador es ocupado durante un tiempo dado,  
20 aparece una señal a la salida desbordamiento del circuito de cálculo de la memoria tampón que trata el registrador y esta señal impide la escritura del contenido del registrador en el bloque memoria de registradores 19.

25 El circuito del direccionado temporal 38, figura 6b comprende dos puertas Y41 y 44 conectadas a la barra de información multirregistradora LIME, a una línea de control LCR y a una barra puntos memorias LMP que proviene de la lógica de control 17, conectándose la salida de la puerta Y41 a un contador de registradores 42 que es puesto a cero por una señal de puesta a cero Z y proporciona a la salida un número de registrador a un circuito de cálculo 46, a una puerta Y48 y a una puerta Y131, conectándose la salida de la puerta Y44 a un contador de palabras 45 que reci-

30

5 be la señal de reloj  $\omega$ . La salida del contador de palabras 45 se conecta a otra entrada de la puerta Y48 y a una entrada del circuito de cálculo 46 cuya salida se conecta por el cable 97 al circuito de direccionado 47 de la memoria 35 del bloque memoria de registradores 19 representado en la figura 6a. La salida del contador de registradores 42 se conecta igualmente a un registro de visualización 115 conectado al pupitre por el cable 116; la puerta Y131 tiene una entrada conectada a la barra puntos memoria LMP que le proporciona el elemento binario 36 de las instrucciones de la lógica de control 17, y recibe en otra entrada la orden ATE procedente del bloque memoria de instrucciones 18. Una báscula 49 es puesta a 10 cero por una puerta Y50 que recibe a la entrada la señal de reloj 42. Otra entrada de la puerta Y48 y la entrada de la báscula 49 se conectan por el cable 137 a la salida falta de imparidad de la intercara de salida 37 del bloque memoria de registradores 19. La salida de la báscula 49 se conecta a la entrada de una puerta Y51 gobernada por la señal de reloj - 15 hi. Entradas de control de apertura de las puertas Y50 y 51 se conectan a la línea de control LCR y a la barra puntos memoria LMP; la puerta Y51 - proporciona a la salida una señal falta de imparidad, si la báscula 49 - ha sido posicionada en "1"

20 La puerta Y48 tiene su salida conectada a un registro 52 que tiene su salida conectada a otra entrada de una puerta Y53 cuyas entradas están conectadas a la línea de control LCR y a la barra puntos memoria - LMP; la salida de la puerta Y53 se conecta a la barra de informaciones - 25 multirregistradora LIMP a la que proporciona la palabra de falta imparidad en la memoria 35.

30 La señal de puesta a cero Z aplicada al contador de registradores 42 es proporcionada por un comparador 43 que se conecta, por una - parte, a la salida del contador de registradores y, por otra, a un dispositivo número de registradores ME que es un dispositivo previamente cableado que da el número de registradores que equipan la memoria 35 del bloque

memoria de registradores.

El circuito de direccionado espacial 39 comprende dos puertas Y54, 55 cuyas salidas se conectan a una puerta 0 56 que tiene su salida conectada a un registro de direcciones 57. Una entrada de la puerta Y54 se conecta a la barra de informaciones multirregistradora LMR y otra entrada recibe la orden ADM del bloque memoria de instrucciones 18 a través del inversor 58; una entrada de la puerta Y55 recibe la orden ADM y otra entrada se conecta al circuito de lectura 40 por el cable 103. El circuito de direccionado espacial 39 comprende igualmente un divisor por dos y 117 y una báscula 118 que se conectan a la línea de control LCR; la salida del divisor por dos se conecta a una entrada de una puerta Y119 y la salida de la báscula se conecta a una entrada de una puerta Y120 y a otra entrada de la puerta Y119; la puerta Y120 recibe igualmente las señales  $\psi_{16}$  a  $\psi_{31}$ ; finalmente se conecta por una entrada a la barra puntos memoria LMP. Una puerta Y121 tiene una entrada conectada a la salida del registro de direcciones 57, una entrada conectada a la salida de la puerta Y119, una entrada conectada a la salida de la puerta Y120, una entrada conectada a la barra puntos memoria LMP que le proporciona una señal correspondiente a eb 20 de las instrucciones del bloque memoria de instrucciones 18; una puerta Y122 tiene una entrada conectada a la barra puntos memoria LMP que le proporciona señales que corresponden a eb 11 a 18 de las instrucciones del bloque memoria de instrucciones 18; otra entrada se conecta a un circuito lógico 123 una de cuyas entradas se conecta a la barra puntos memoria LMP que le proporciona una señal correspondiente a 1/eb 20 de las instrucciones, y que recibe igualmente en otra entrada la orden AIM que define una instrucción del bloque memoria de instrucciones 18; el circuito lógico proporciona a la puerta Y122 una señal AIM.eb 20. Las salidas de las puertas Y121, 122 se conectan a una puerta 0 124.

El circuito de direccionado memoria 59 comprende un primer circuito constituido por dos puertas Y60, 61 y una puerta 0 62, y un se-

gundo circuito constituido por dos puertas Y63, 64 y una puerta 0 65. Las puertas Y60 y 63 tienen una entrada conectada a la salida del contador de palabras 45 del circuito de direccionado temporal 38 y otra entrada conectada, a través de un inversor 66 para la puerta Y63, al cable 89 que lleva la señal de control de direccionado que tiene el valor "1" para un direccionado temporal y el valor "0" para un direccionado espacial. Las puertas Y61, 64 tienen una entrada conectada a la salida de la puerta 0 124 del circuito de direccionado espacial 39, y otra entrada conectada, a través de un inversor 67 para la puerta Y63, al cable 89.

La memoria 35 del bloque memoria de registradores 19, figura 6a, tiene una capacidad máxima de 32.768 palabras de 17 eb, de las cuales 1 eb de imparidad.; un conjunto de 64 palabras corresponde a un registrador, lo que da a la memoria una capacidad máxima de 512 registradores. La memoria 35 memoriza las informaciones necesarias para el establecimiento ó para la ruptura de las comunicaciones de la central; las informaciones necesarias para el establecimiento de la ruptura de una comunicación se colocan en una palabra de la memoria. Por razones tecnológicas, la capacidad de la memoria es modular por módulos de 16 registradores, de modo que la memoria comprende como máximo 32 módulos. Cuando una central telefónica, habida cuenta del número de abonados que sirven, no tienen necesidad de 512 registradores, la memoria se equipa del número de módulos estrictamente necesario.

El tiempo de ciclo de base, es decir el tiempo necesario para tratar 512 registradores es de 16 milisegundos, lo que da un tiempo de tratamiento de 31,25 microsegundos por registrador, siendo cortado este tiempo de tratamiento en 32 tiempos elementales de 980 nanosegundos definidos por las señales de reloj  $\mu 31$ . Puesto que el número de registradores es modular, el tiempo de ciclo de base es variable por paso de  $16 \times 31,25 = 0,5$  milisegundos. Es por ello que el número de registradores que equipa la memoria 35 es dado por el dispositivo número de registrado-

res NE del circuito de direccionado temporal 38, permitiendo este dispositivo la puesta a cero del contador de registradores 42 cuando el último registrador de la memoria 35 es tratado.

5 Por razones de explotación de la central telefónica se distingue entre los registradores, los registradores rápidos que tienen una capacidad de 64 palabras y los registradores lentos que tienen una capacidad de 16 palabras; existe por tanto N registradores rápidos y n registradores lentos, para un número dado de módulos, lo que no varía el tiempo de ciclo necesario para tratar los módulos que equipan la memoria. El  
10 tratamiento de los registradores lentos será explicado más tarde.

El tratamiento de los registradores utiliza por tanto las memorias tampones 20 y 21 de las cuales cada una tiene una capacidad de 64 palabras que corresponde al contenido de un registrador rápido, y cada memoria tampón trabaja alternativamente el direccionado espacial ó en direccionado temporal, cada 31,25 microsegundos, siendo gobernado el cambio  
15 de direccionado por la señal de control de direccionado aplicada al cable 39; una de las memorias tampón está en direccionado espacial mientras que la otra lo está en direccionado temporal e inversamente.

Sea un registrador rápido  $E_i$ ; durante 31,25 microsegundos la  
20 memoria tampón 20, por ejemplo, está en direccionado temporal y se escribe el contenido del registrador  $E_i$  del bloque memoria de registradores 19 en la memoria tampón 20; durante los 31,25 microsegundos siguientes, la memoria tampón 20 está en direccionado espacial y el tratamiento de su contenido es efectuado por el conjunto lógico de control 15, figura 3; durante  
25 los 31,25 microsegundos siguientes, la memoria tampón 20 está de nuevo en direccionado temporal y se lee su contenido, que representa la palabra registradora después del tratamiento, por mediación del circuito de lectura 40 que transfiere el contenido al registrador rápido  $E_i$  de la memoria 35, y al mismo tiempo el contenido del registrador rápido  $E_i + 2$  se  
30 escribe en la memoria tampón 20; el direccionado del bloque memoria de regis-

tradores 19, para la escritura del contenido del registrador después del tratamiento en la memoria tampón, se efectúa por el circuito de direccionado temporal 38. La memoria tampón 21 funciona del mismo modo que la memoria tampón 20, pero su funcionamiento está imbricado con el de la memoria tampón 20.

5

El funcionamiento comparado de las memorias tampón 20 y 21 es el siguiente:

	Memoria tampón 20	Memoria tampón 21
	direccionado: lectura $E_i-2$	direccionado: tratamiento $E_i-1$ : 31,25 $\mu$ s
10	temporal : escritura $E_i$	espacial :
	direccionado: tratamiento	direccionado: lectura $E_i-1$ : 31,25 $\mu$ s
	espacial :	temporal: escritura $E_i + 1$ :
	direccionado: lectura $E_i$	direccionado: tratamiento $E_i+1$ : 31,25 $\mu$ s
15	temporal : escritura $E_i+2$	espacial
	direccionado: tratamiento $E_i+2$	direccionado: lectura $E_i+1$ : 31,25 $\mu$ s
	espacial :	temporal: escritura $E_i+3$ :

10

15

20

25

30

Así:pués, durante un direccionado temporal se lee las 64 palabras de un registrador rápido  $E_i$  y se escribe las 64 palabras del registrador rápido  $E_i + 2$  en una memoria tampón 20; las señales de reloj  $\mu_0$  a  $\mu_{31}$  que definen el tiempo de tratamiento de un registrador son a su vez divididas en dos partes; para la señal  $\mu_0$  o la primera parte corresponde a la lectura, en la memoria tampón, de la palabra 0 del registrador  $E_i$ , y la escritura en la memoria tampón de la palabra 0 del registrador  $E_i + 2$ , y la segunda parte corresponde a la lectura de la palabra 1 del registrador  $E_i$  en la memoria tampón y la escritura en la memoria tampón de la palabra 1 del registrador  $E_i + 2$ ; y así sucesivamente para las señales de reloj  $\mu_2, \mu_3 \dots \mu_{31}$ ; quede bién entendido que cuando una palabra es leída en la memoria tampón en direccionado temporal, es inmediatamente escrita en el bloque memoria de registradores 19.

Un control de imparidad es efectuado en cada palabra de 16 eb, en cada escritura en el bloque memoria de registradores 19 de una palabra procedente de una memoria tampón; la imparidad es calculada en la intercara de entrada 36 e inscrita al mismo tiempo que los 16 eb que contienen la información de la palabra; así pues en la memoria 35 de la palabra memoria de registradores 19, una palabra está constituida de 16 eb de información y de un eb de imparidad; en la lectura, la imparidad de la palabra leída en la memoria 35 se calcula en la intercara de salida 37 y se compara con la contenida en eb de imparidad de la palabra, pero solo los 16 eb de información se envían a una memoria tampón. Para cada falta de imparidad detectada, el contenido del contador de registradores 42 y el del contador de palabras 45, es decir el número de registrador y el número de la palabra en falta, es transferido al registro 52; al mismo tiempo la falta de imparidad detectada hace subir la báscula 49 cuyo estado puede ser comprobado por programa; esta báscula es puesta a cero por la dirección que permite leerla; el contenido del registro es enviado a la barra de informaciones multirregistradora LLMR para dar el número de la palabra en falta.

La figura 7 representa un bloque de acceso 16 de una multirregistradora y la memoria macroprograma 13 con su circuito de direccionado 90; la capacidad de direccionado de la memoria macroprograma es de 32.000 palabras de 48 eb cada una; el direccionado de la memoria macroprograma se efectúa por un circuito constituido por dos puertas Y91, 92 y por una puerta 0 93 cuya salida se conecta a un registro 95; una señal de control procedente del pupitre por la línea pupitre LPI se aplica a una entrada de la puerta Y91, y a una entrada de la puerta Y92 a través de un inversor 94; otra entrada de la puerta Y92 se conecta a la barra de informaciones multirregistradora LLMR; otra entrada de la puerta Y92 se conecta a la línea de control LCR y otra entrada se conecta a la barra puntos memoria LMP; otra entrada de la puerta Y91 se conecta a la salida de un registro serie barra paralelo 96 conectado a su vez al pupitre por las líneas pupitre LPI y LP2.

La salida del registro 95 se conecta al circuito de direccionado 90 de la memoria macroprograma 13. La salida de la memoria macroprograma se conecta, por una parte, a una entrada de una puerta Y99 y, por otra, a una puerta Y114; otra entrada de las puertas Y99 y 114 se conecta a la salida de una puerta O 132 que recibe a la entrada las señales de reloj  $\mu 1$  y  $\mu 17$ . La salida de la memoria macroprograma se conecta igualmente a la lógica de control 17 (figura 3) por la unión 110 que lleva los eb 1 a 8 de las macroinstrucciones hacia una memoria de transcodificado 142 como se representa en la figura 9. La salida de la puerta Y114 se conecta a la entrada de un registro de intercara 107 de tipo serie/paralelo de una capacidad de una palabra macroprograma; la salida del registro de intercara se conecta al pupitre por la conexión pupitre LP1 que permite recibir un control del pupitre y emitir hacia el pupitre. La salida de la puerta Y99 se conecta a la entrada de un registro de intercara 98 de una capacidad de una palabra macroprograma de 48 eb; la salida del registro de intercara 98 se conecta a un circuito de decalaje 100 y a un circuito de control de imparidad 100 que proporciona una señal en un cable 102; la salida del circuito de decalaje 100 se conecta a la barra de informaciones multirregistradora LMR. Una entrada de control del circuito de decalaje se conecta a la barra puntos memoria LMP, una entrada de control se conecta a la línea de control LCR, y una entrada de control recibe la orden ATE; la barra puntos memoria LMP proporciona señales que corresponden a los eb 8 y 21 a 27 de las instrucciones del bloque memoria de instrucciones 18, y la línea de control LCR proporciona una señal AD101, para controlar los decalajes en la palabra macroprograma presente en el registro intercara 98 y transferir el contenido del circuito de decalaje hacia la lógica de control a través de la barra de informaciones multirregistradora LMR. El cable 102 del circuito de control de imparidad 101 se conecta a una entrada de una puerta Y104 cuya otra entrada se conecta a la salida del registro 95; la salida de la puerta Y104 se conecta a un registro 105 cuya sali

da se conecta a una entrada de una puerta Y106 que tiene otra entrada conectada a la línea de control LCR y otra entrada conectada a la barra puntos memoria LMP; la salida de la puerta Y106 se conecta a la barra de informaciones multirregistradora LIMR; el registro 105 sirve para memorizar la dirección de la palabra macroprograma en la que se ha observado una falta de imparidad.

La salida del registro 95 se conecta a una entrada de una puerta Y111 conectada a un registro 112 de una capacidad de 15 eb y de tipo - paralelo/serie que proporciona en el cable 113 un número de fase al pupitre, conectándose otra entrada de la puerta Y111 a la salida de la puerta 0 133 que recibe a la entrada las señales de reloj  $\mu 1$  y  $\mu 17$ .

Una palabra macroprograma que se designará por macroinstrucción está definida por 48 eb; los eb 1 a 8 dan la orden de la macroinstrucción y los eb 9 a 44 contienen datos y los eb 45 a 48 sirven para indicar la forma de programa. El desarrollo del macroprograma permite el tratamiento de la palabra registradora dispuesta en una memoria tampón 20 ó 21, cuando ésta está en direccionado espacial; una secuencia de tratamiento comprende 32 tiempos elementos definidos por las señales  $\mu 0$  a  $\mu 31$ . La macroinstrucción es direccionada por el registro 95, procediendo el direccionado normal de la palabra o de la palabra registradora de la memoria tampón; igualmente es posible direccionar una macroinstrucción por el pupitre a través del registro serie/paralelo 96. El tratamiento de una palabra registradora se efectúa de la manera siguiente, en el caso de un registrador rápido:

Señal  $\mu 0$

la palabra 0 del registrador dispuesto en la memoria tampón es leída; esta palabra 0 contiene el número de la macroinstrucción a tratar, y este número es dispuesto en el registro 95 con su rango correspondiente; este número es impuesto por el programa de instrucciones contenido en el bloque memoria de instrucciones 18, figura 3.

Señal  $\mu 1$

el contenido de la macroinstrucción direccionada es transferido a los registros de intercara 98 y 107 y un control de imparidad es efectuado por el circuito control de imparidad 101, que en caso de falta de imparidad proporciona una señal al registro 105.

5 Los eb 1 a 8 de la macroinstrucción que definen la orden son desviados por la conexión 110 hacia la lógica de control 17, figura 3, en la que se utilizan para dirigir una memoria de transcodificado, como se precisará más tarde, que por decodificado de estos 8 eb proporciona la fase de partida del programa de instrucciones contenido en el bloque memoria de instrucciones 18 de la figura 3.

10 Señales  $\mu 2$  a  $\mu 13$

Tratamiento de la macroinstrucción por el programa de instrucciones. Los diferentes eb 1 a 48 de la macroinstrucción son accesibles a las instrucciones del programa de instrucciones por la barra de informaciones multiregistradoras LIMR a través del circuito de decalaje 100. La sucesión del tratamiento de la macroinstrucción varía según la longitud de la macroinstrucción a tratar, es decir según la orden de la macroinstrucción direccionada; la sucesión del tratamiento es dada por las dos últimas instrucciones del programa de instrucciones ó como máximo por las instrucciones direccionadas por las señales  $\mu 14$  y  $\mu 15$ ; se tiene por tanto:

15 - antes de la última instrucción ó instrucción direccionada por la señal 14: lectura de la palabra 0 de la memoria tampón, conteniendo esta palabra el número de la macroinstrucción, y ordenamiento de éste número en el registro de direcciones 57 del circuito de direccionado espacial 39,

20 - última instrucción ó instrucción direccionada por la señal 15: cálculo del número de la macroinstrucción siguiente, cálculo efectuado en el circuito de cálculo 71 ó 79, de la memoria tampón, y colocación de este número en la palabra 0 de la memoria tampón.

Tres formas de funcionamiento del macroprograma son posibles;

30 son:

programa lento PROLENT, simple programa SIMPRO y doble programa BIPRO.

Las diferentes formas de funcionamiento se imponen por la combinación binaria de los eb 45 y 46 de cada macroinstrucción, y se definen por las siguientes combinaciones:

5	Forma de funcionamiento	eb 45	eb 46
	PROLENT	1	0 ó 1
	SIMPRO	0	1
	BIPRO	0	0

10 PROLENT - Solo las señales  $\mu_0$  a  $\mu_{15}$  sirven para el tratamiento, siendo inactivas las señales  $\mu_{16}$  a  $\mu_{31}$ .

15 SIMPRO - Para las señales 0 a 15 el programa es idéntico al de PROLENT; las señales 16 a 31 sirven para el tratamiento de una segunda macroinstrucción que de hecho es el encadenamiento de la anterior; esta segunda macroinstrucción se obtiene por lectura de la palabra 0 de la memoria tampón bajo la acción de la señal  $\mu_{16}$ ; el funcionamiento con la antepenúltima instrucción ó con la señal  $\mu_{30}$ , con la última instrucción ó la señal  $\mu_{31}$ , es idéntico a lo que se ha dicho anteriormente para el funcionamiento con las señales  $\mu_0$  a  $\mu_{15}$ .

20 BIPRO - En esta forma de funcionamiento hay desarrollo de dos programas paralelos que se ejecutan de forma asíncrona. El primer programa es gobernado por las señales de reloj  $\mu_0$  a  $\mu_{15}$  y arrancan por una lectura, en la palabra 0 de la memoria tampón, del número de la macroinstrucción a ejecutar; finaliza por la escritura, en la misma palabra 0 de la memoria tampón, del número de la macroinstrucción a ejecutar en el ciclo siguiente. El segundo programa es controlado por las señales de reloj  $\mu_{16}$  a  $\mu_{31}$  y arranca por una lectura en la palabra 32 de la memoria tampón - del número de la macroinstrucción a ejecutar; finaliza por la escritura, en la misma palabra 32, del número de la macroinstrucción a ejecutar en el ciclo siguiente.

30 El caso de los registradores lentos es tratado de forma dife-

rente, puesto que se ha dicho que su capacidad era solo de 16 palabras en lugar de 64 palabras para los registradores rápidos. Cuando una memoria tampón está en direccionado temporal existe escritura en la memoria tampón de 64 palabras de la memoria 35, lo que corresponde al contenido de 4 registradores lentos. Cuando la memoria tampón pasa a continuación a direccionado espacial, la báscula 118 del circuito de direccionado espacial 39 permite el funcionamiento de las puertas Y119, 120 del circuito de direccionado espacial cuyas señales de salida AEL2 y AEL1 respectivamente, permiten el direccionado de los registradores lentos de la memoria tampón, permitiendo las señales  $\mu 0$  a  $\mu 15$  tratar el primer registrador lento contenido en la memoria tampón, permitiendo las señales  $\mu 16$  a  $\mu 31$  tratar el tercer registrador lento contenido en la memoria tampón. Cada registrador lento ocupa por tanto un sector en la memoria tampón, y la dirección de este sector es dada por la orden ADM a la puerta Y55 del circuito de direccionado espacial 39.

Después de un ciclo de lectura de la memoria 35, se encuentra en una memoria tampón los mismos registradores lentos, pero es entonces el segundo registrador lento el que es tratado por las señales  $\mu 0$  a  $\mu 15$  y el cuarto registrador lento el que es tratado por las señales  $\mu 16$  y  $\mu 31$ . Así pues cada registrador lento es tratado únicamente en un ciclo en dos; quede bien entendido que el contenido de los cuatro registradores lentos es reescrito en la memoria 35, aunque hayan sido ó no tratados. El tiempo de ciclo de un registrador lento es por tanto el doble del tiempo de ciclo de un registrador rápido. Todos los registradores, lentos y rápidos tienen palabras reservadas para temporizaciones.

Para los registradores rápidos las palabras 15, 31, 47 y 63 son palabras de temporización utilizadas por la lógica de control 17; de hecho son palabras de temporización de trabajo que pueden ser reiniciadas durante el tratamiento de un registrador; estas palabras son principalmente utilizadas para los intercambios, y son incrementadas a cada paso

del registrador por la memoria tampón, es decir a cada ciclo de la memoria 35, durando un ciclo 16 milisegundos para 512 registradores. La palabra 62 es la palabra de temporización de desbordamiento del registrador; el desbordamiento de esta palabra al cabo de un tiempo dado, 4 horas 30 minutos por ejemplo, pone a cero la palabra registradora concernida, es decir las 64 palabras que constituyen una palabra registradora, consistiendo esta puesta a cero, como se ha dicho, en impedir la escritura en la memoria 35 de la palabra registradora contenida en una memoria tampón; la palabra 62 es incrementada cada 16 pasos de la palabra registradora en la memoria tampón.

Para los registradores lentos cuya capacidad es de 16 palabras (palabra 0, palabra 1, ... palabra 15) la palabra 15 es una palabra de temporización de trabajo y la palabra 14 es una palabra de desbordamiento.

Ahora se va a describir el conjunto constituido por el bloque memoria de instrucciones 18 y la lógica de control 17 que le está asociada, estando representado este conjunto en la figura 9.

El bloque memoria de instrucciones 18 comprende la memoria de instrucciones propiamente dicha 140 y su circuito de direccionado 139. La memoria de instrucciones tiene una capacidad de 4.096 palabras de 48 eb.

La lógica de control 17 está constituida por un módulo de direccionado 141 y un módulo bloque operador 150. El módulo de direccionado 141 comprende una memoria de transcodificado 142, una puerta 0 143, un circuito lógico de salto de fase 144, un registro de direccionado 145, un registro fase pupitre 146. La memoria de transcodificado 142 recibe de la memoria macroprograma 13, por la conexión 110, las 8 primeras eb de las microinstrucciones que definen la macroinstrucción a ejecutar y que dirigen la memoria de transcodificado cuya capacidad es de 256 palabras de 12 eb. La memoria de transcodificado efectúa una correspondencia entre el número de la orden que define una macroinstrucción y el número de la fase inicial contenido en el registro de direccionado 145; la fase inicial pro

porciona el comienzo de un programa de instrucciones contenido en la memoria de instrucciones 140.

La salida de la memoria de transcodificado se conecta a la barra de informaciones multirregistradora LIMP a la que se conecta una entrada de la puerta 0 143; otra entrada de la puerta 0 143 se conecta a la salida del registrador fase pupitre 146 el cual se conecta al pupitre por la línea pupitre LP2; otra entrada de la puerta 0 143 se conecta por la conexión 148 a una salida del módulo bloque operador 150; la salida de la puerta 0 143 se conecta al circuito lógico de salto de fase 144 cuya salida se conecta al registro de direccionado 145; una puerta 0 149 recibe a la entrada las señales de reloj  $\mu 15$  y  $\mu 31$  y su salida se conecta al registro de direccionado 145 a fin de ponerlo a cero al final de la ejecución de una fase anterior, es decir al final de ejecución de una macroinstrucción. La salida del registro de direccionado 145 se conecta al circuito de direccionado 139 de la memoria de instrucciones 140.

El módulo bloque operador 150 comprende un circuito de intercara 162 que tiene su entrada conectada a la salida de la memoria de instrucciones 140; la salida del circuito de intercara constituye una barra puntos memoria LMP que lleva los 48 eb de cada palabra instrucción; el circuito de intercara 162 controla en un registro la imparidad de la palabra instrucción que recibe, y una salida falta de imparidad del circuito de intercara se conecta a una puerta Y164 cuya otra entrada se conecta a la salida del registro de direccionado 145; la salida de la puerta Y164 se conecta a un registro falta de imparidad 165 cuya salida se conecta al pupitre por la línea pupitre LP2. Un circuito de decodificado 166 tiene su entrada conectada a la barra puntos memoria LMP y recibe así los eb 1, 2 y 3 de las palabras instrucciones, que definen la orden de las instrucciones. Hay 5 tipos de instrucciones, que se describirán más tarde, caracterizándose cada una por una orden, siendo las órdenes ANT, POP, AIM, AIM ATE. El circuito de decodificado 166 comprende 5 salidas, proporcionando

cada una una orden. Un decodificador de direcciones 167 se conecta a la salida del circuito de intercara. 162 del que recibe los eb 6, 7, 8 de las palabras instrucciones, y su salida constituye la línea de control LCR - que proporciona 7 señales AD101 a AD107 definidas por estos eb 6, 7, 8.

5 Un registro de emisión 168 se conecta a la salida de la memoria de instrucciones 140 y su salida se conecta al pupitre por la línea pupitre LP2 y permite visualizar la palabra instrucción (48 eb).

10 El módulo bloque operador comprende igualmente un primer acumulador 151, un segundo acumulador 152, una red de decalaje 153 conectada a la salida del primer acumulador, un circuito de cálculo 154 conectado a la salida de la red de decalaje y a la salida del segundo acumulador - 152, un tercer acumulador 155 que tiene su entrada conectada a la salida del circuito de cálculo 154 y su salida conectada a una entrada de una -  
15 puerta 0 156 cuya salida se conecta a la barra de informaciones multirregistradora LMR; Otra entrada de la puerta 0 156 se conecta a la salida de una puerta Y175 una de cuyas entradas se conecta a la barra puntos memoria LMP de la que recibe los eb 21 a 38 de las palabras instrucciones, y cuya otra entrada se conecta a la línea de control LCR de la que recibe un control AD103. Los tres acumuladores 151, 152, 155 tienen cada uno una capacidad de 16 eb, y la barra de informaciones multirregistradora LMR que es -  
20 tá constituida por 16 cables, una información que puede contener como máximo 16 eb, distribuida de las informaciones constituidas por 16 eb. Una entrada del primer acumulador 151 se conecta a la barra de informaciones LMR, conectándose otra entrada a la barra puntos memoria LMP de la que -  
25 recibe el eb 9; finalmente otra entrada se conecta a la salida de un inversor 177 cuya entrada se conecta a la salida ANT del circuito de decodificado 166. La entrada del segundo acumulador 152 se conecta a la salida de un circuito lógico 163 una de cuyas entradas se conecta a la barra puntos memoria LMP y recibe así los eb 5 a 20 de las palabras instrucciones, y otra entrada se conecta a la barra de informaciones multirregistradora  
30

LIMR. Una entrada de control de la red de decalaje 153 se conecta a la salida de una puerta Y176 una de cuyas entradas se conecta a la barra - puntos memoria LMP de la que recibe los eb 17, 18, 19 de una palabra instrucción, y cuya otra entrada se conecta a la salida POP del circuito de decodificado 166.

El tercer acumulador 155 tiene una entrada de control conectada a la salida POP del circuito de decodificado 166 y otra entrada de control conectada a la barra puntos memoria LMP de la que recibe los eb 16 y 20 de las palabras instrucciones.

Un circuito comparador 157 tiene una entrada conectada a la salida del segundo acumulador 152 y una entrada conectada a la salida del circuito de cálculo 154; el circuito comparador está constituido por cuatro comparadores cuyas salidas se conectan respectivamente a cuatro entradas de un circuito lógico 158 conectado igualmente a la barra puntos memoria LMP de la que recibe los eb 33 a 36, cuya salida se conecta por la conexión 148 a una entrada de la puerta O 148 del módulo de direccionado - 141. El circuito de cálculo 154, además de su salida conectada a la entrada del tercer acumulador 155, tiene una salida "igualdad" y una salida "retención" conectadas cada una a una entrada distinta del circuito lógico 158. La salida igualdad proporciona una señal cuando el circuito de cálculo efectúa una comparación y que detecta una igualdad; la salida retención proporciona una señal cuando el resultado de una operación diferente de la comparación es positiva.

Una entrada de control del circuito de cálculo 154 se conecta a la salida de un circuito lógico 160, una de cuyas entradas se conecta a la salida POP del circuito de decodificado 166, conectándose otra entrada a la barra puntos memoria LMP de la que recibe los eb 21 a 26 y otra entrada lo hace a la salida de un registro de control 159 cuya entrada a su vez se conecta a la barra de informaciones multirregistradora LIMR de la que recibe los eb 9 a 16.

Un circuito lógico 161 tiene una entrada conectada a la salida de la red de decalaje 153, otra entrada conectada a la salida del segundo acumulador 152, otra entrada conectada a la barra puntos memoria - LMP de la que recibe el eb 15; su salida se conecta a la barra de informaciones LMR.

Un registro 170 tiene una entrada conectada a la salida del segundo acumulador 152 y una entrada conectada a la salida de la red de decalaje 153; su salida se conecta a una entrada de una puerta 0 171 cuya salida se conecta al pupitre por la línea pupitre LP2. Un registro de informaciones 173 se conecta a la entrada a la barra de informaciones multi registradora LMR y a la salida a una entrada de la puerta 0 171. Un registro de saltos de fases 174 se conecta a la entrada por la conexión 148 - al circuito lógico 158, y a la puerta 0 143 y a la salida a una entrada de la puerta 0 171.

El conjunto representado en la figura 9 permite el desarrollo de instrucciones a partir del decodificado de una macroinstrucción. A este efecto el registro de direccionado 145 es puesto a cero al final de la fase anterior por una señal  $\mu 15$  ó  $\mu 31$ ; esto permite imponer las dos primeras instrucciones que permiten la lectura de la macroinstrucción y el transcodificado del código de orden de la macroinstrucción a partir de los eb 1 a 8 de la macroinstrucción, que permite iniciar el registro de direccionado 145 al comienzo del programa de instrucciones. El registro de direccionado 145 se carga a partir del circuito lógico de saltos de fase 144 que puede recibir informaciones ó bien a través de la barra puntos memoria LMP ó bien de la barra de informaciones multiregistradora LMR, ó incluso de la salida de la memoria de transcodificado 142 ó incluso de la salida del módulo bloque operador 150 ó finalmente del pupitre para permitir una visualización de una instrucción direccionada por pupitre. La duración de ejecución de una instrucción es de 980 nanosegundos; las señales de reloj  $\mu 15$  y  $\mu 31$  sirven para poner a cero el registro de direc-

5 cionado 145 del programa de instrucciones al comienzo de cada fase del -  
macroprograma, para permitir la lectura, en una memoria tampón 20 ó 21,  
ya sea de la palabra 0 ó bien de la palabra 32 que contiene la fase de -  
partida del programa de instrucciones. El contenido del registro de direc  
cionado 145 es a continuación función del desarrollo del programa de ins-  
trucciones.

10 La palabra instrucción es transferida al circuito de interca-  
ra 162 que efectúa un control de imparidad; en caso de mala imparidad, la  
dirección de la palabra en falta es transferida al registro falta de impa  
ridad 165 que asegura así la emisión hacia el pupitre. El primer acumula-  
dor 151 es cargado por la barra de informaciones multirregistradora LMR  
cuando recibe el eb 9 de una palabra instrucción, salvo para la palabra  
instrucción de orden ANT. El segundo acumulador 152 se carga ya sea por  
15 la barra de informaciones multirregistradora LMR, ó bien por los eb 5 a  
20 de una palabra instrucción llevados por la barra puntos memoria IMP.  
La red de decalaje 153 permite decalar a la derecha ó a la izquierda las  
informaciones recibidas del primer acumulador 151 y de enviarlas ó bien  
sobre la barra de informaciones multirregistradora LMR a través del cir-  
cuito lógico 161, ó bien sobre el circuito de cálculo 154. El circuito de  
20 cálculo 154 permite efectuar operaciones lógicas ó aritméticas por secto-  
res de 4 eb de una información; el resultado de estas operaciones es colo-  
cado en el tercer acumulador 155; el registro de control 159 y el circuí-  
to lógico 160 permiten el control del circuito de cálculo 154. El circuí-  
to comparador 157 determina, en función de las informaciones recibidas del  
25 segundo acumulador 152 y del circuito de cálculo 154, los saltos de fase  
SPH1 a SPH8 que permiten el direccionado de la nueva fase del programa de  
instrucciones. El detalle de las instrucciones que corresponde a las órda-  
nes ANT, POP, ADM, AIM, ATE será dado más tarde; se observará para cada  
instrucción el significado de los diferentes eb que la constituyen.

30 Ahora se vá a describir el módulo de receptores de señalización

22 de la figura 3, representada en la figura 11; su misión es recibir y almacenar las señalizaciones relativas a las líneas de abonados ó a circuitos, siendo emitidas estas señalizaciones por las unidades de selección sobre las líneas de ensayo LT, y confirmar ó no, el cambio de estado de las líneas de abonados ó de los circuitos; Un multiplexador 180 recibe -  
5 las señales de ensayo LT0 a LT63, procediendo cada línea de ensayo de una unidad de selección, suponiendo que hay 64 unidades de selección como máximo. La salida del multiplexador se conecta a un registro de estado de líneas de ensayo 181 cuya salida se conecta a un registro tampón 182; una  
10 lógica de salida 183 se conecta a la entrada a la salida del registro tampón 182, y a la salida a tres memorias de estado anterior 184, 185 y 186 y a una entrada de un comparador de estado 187 cuya salida se conecta a tres memorias de estado confirmado 188, 189 y 190; otra entrada del compa-  
15 rador de estado 187 se conecta a cada una de las salidas de las memorias de estado anterior 184, 185, 186, por la conexión 200; un contador 191 - gobernado por la señal de reloj 05h1 tiene su salida conectada a una entrada del control del multiplexador 180, a una entrada de una puerta 0192 y a una entrada de una puerta Y201 que tiene otra entrada conectada al -  
20 módulo reloj y que recibe la señal de reloj 02; la salida de la puerta Y201 se conecta a un registro 202 conectado a la lógica de salida 183 por cables LRT, LRF, LRPO, asegurando el registro 202 la selección de las líneas de ensayo en la lógica de salida 183, permitiendo el cable LRT la -  
25 selección de las líneas de ensayo relativas a abonados y circuitos, permitiendo el cable LRF la selección de las líneas de ensayo correspondientes a señalizaciones multifrecuencias, permitiendo el cable LRPO la selección de las líneas de ensayo correspondientes a puestos de operadoras; una puerta Y193 tiene una entrada conectada a la barra de informaciones multirregi-  
30 stradoras LLMR, una entrada conectada a la línea de control LCR que le proporciona la señal dirección AD105, y una entrada conectada a la barra puntos memoria LPM que le proporciona el valor del elemento binario 21 de

las instrucciones.

La salida de cada memoria de estado anterior y de estado confirmado se conecta a una entrada de una puerta Y194, 195, 196, 197, 198, 199 asociada a cada memoria; otra entrada de cada puerta Y se conecta a la línea de control LCE, y la salida de cada puerta Y se conecta a la barra de informaciones multirregistradora LDMR.

La señalización relativa a un abonado ó a un circuito conectado sobre la vía temporal  $t_i$  de un multiplex entrante LRE0 ó LRE1 de una unidad de selección  $x$ , se presenta sobre la línea de ensayo LTx, asociada a la unidad de selección, en la vía temporal  $t(i+1)$ . Así pues para un abonado, la señalización de bucle de abonado se presenta en  $t(i+1) \ominus 2$  para el multiplex entrante LRE0 y en  $t(i+1) \ominus 5$  para el multiplex entrante LRE1, y para un circuito en  $t(i+1) \ominus 2$  y  $t(i+1) \ominus 3$  para el multiplex entrante LRE0 y en  $t(i+1) \ominus 5$  y  $t(i+2) \ominus 1$  para el multiplex entrante LRE1, es decir dos eb de señalización para un circuito, por multiplex entrante. El módulo receptores de señalización permite el acoplamiento de 64 unidades de selección, enumeradas de 0 a 63; las unidades de selección son divididas en cuatro grupos de 16 unidades de selección, es decir un grupo GR0 para las unidades de selección enumeradas de 0 a 15, un grupo GR1 para las unidades de selección enumeradas de 16 a 31, un grupo GR2 para las unidades de selección enumeradas de 32 a 47 y un grupo GR3 para las unidades de selección enumeradas de 48 a 63.

Cada línea de ensayo LT que sirve a una unidad de selección puede igualmente ser utilizada para transmitir la señalización de cuatro puestos de operadoras; la señalización relativa a los puestos de operadoras comprende 5 eb. Finalmente las primera y última unidades de selección de cada grupo, es decir las unidades de selección enumeradas 0, 15, 16, 31, 32, 47, 48, 63, están reservadas para la recepción de las señalizaciones multifrecuencias; estas señalizaciones comprenden igualmente 5 eb. El contador 191 permite la exploración de las líneas de ensayo LTO a LT63 y

el direccionado temporal de las memorias de estado anterior y de estado confirmado; la salida de la puerta Y193 permite el direccionado espacial de las memorias de estado anterior y de estado confirmado.

Las memorias de estado anterior y de estado confirmado son -  
5 agrupadas por dos y su misión es la siguiente:

- Grupo memoria de estado anterior 186 y memoria de estado -  
confirmado 190; cada memoria tiene una capacidad de 512 palabras de 5 eb,  
y en cada memoria 256 palabras están reservadas para las señalizaciones  
multifrecuencias, y 256 palabras están reservadas para las señalizaciones  
10 procedentes de los puestos de operadoras.

- Grupo memoria de estado anterior 185 y memoria de estado -  
confirmado 189; cada memoria tiene una capacidad de 1024 palabras de 4 eb;  
este grupo está reservado a la señalización de los abonados y de los cir-  
cúitos de las unidades de selección enumeradas de 0 a 31.

- Grupo memoria de estado anterior 184 y de estado confirma-  
do 188; cada memoria tiene una capacidad de 1.024 palabras de 4 eb; este  
grupo está reservado a la señalización de los abonados y de los circuitos  
de las unidades de selección enumeradas de 32 a 63. El funcionamiento del  
módulo receptores de señalización es el siguiente: cada línea de ensayo  
20 LT de una unidad de selección tiene 32 vías temporales, de una duración  
de 3,9 microsegundos, y las líneas de ensayo están en número de 64, hay  
por tanto  $32 \times 64 = 2.048$  vías a leer, lo que demanda prácticamente  $64 \times$   
 $32 \times 3,9$  microsegundos es decir 8 milisegundos. El estado actual de cada  
vía es leído bajo control del contador 191, y el resultado de la lectura,  
25 es decir el estado actual, es puesto en memoria en una memoria de estado  
anterior; por otro lado el estado actual de la señalización es comparado,  
en el comparador de estado 187, al estado anterior que le llega por la -  
conexión 200; este estado anterior si es idéntico al estado actual, es en-  
tonces transferido a una memoria de estado confirmado; 8 milisegundos más  
30 tarde la operación empieza de nuevo. El acceso a estos datos, es decir la

lectura de las informaciones de estado anterior y de estado confirmado, por el bloque memoria de registradores 19 es efectuada en direccionado espacial este direccionado es realizado por una instrucción del programa de instrucciones. La escritura de las memorias es efectuada en direccionado temporal por el contador 191. Los estados de vías se almacenan en memoria y el programa tiene la posibilidad, a cada instante, de consultar el estado de una vía.

La figura 12 representa el módulo emisores de señalización 23 de la figura 3. La misión de este módulo es la preparación y la emisión - de mensajes de controles de tonalidades y de señalizaciones hacia la red de conexión. Este módulo comprende dos memorias 210 y 211 idénticas, direccionadas por una lógica de direccionado 212 gobernada por las señales de reloj  $\omega_1$  a  $\omega_8$ ; la lógica de direccionado es igualmente conectada a la barra puntos memorias LMP por la que recibe  $eb$  de las instrucciones que permiten el direccionado de las memorias 210 y 211 a partir de la barra puntos memoria LMP. La entrada de cada memoria se conecta a la barra de informaciones multirregistradora LIMR por mediación de una puerta Y213, 214 respectivamente; cada puerta Y tiene una entrada conectada a la barra puntos memoria LMP. La salida de cada memoria se conecta a una entrada distinta de una puerta O 215, cuya salida se conecta, por una parte, a una entrada de una puerta Y216 y por otra, a una entrada de una puerta Y217; otra entrada de la puerta Y216 recibe las señales de reloj  $to_1$  y otra entrada de la puerta Y217 recibe las señales de reloj  $to_{\bar{1}}$ . La salida de la puerta Y216 se conecta a un registro 218, que es un registro paralelo/serie - y cuya salida se conecta a la entrada de una lógica de salida 220; la salida de la puerta Y217 se conecta a un registro 219, que es un registro - paralelo/serie y cuya salida se conecta a la entrada de una lógica de salida 221; las lógicas de salida 220 y 221 tienen su salida conectada a la línea de conexión MLX que se conecta a la red de conexión 1 de la figura 1. La línea de conexión MLX es multifilar, conectándose cada lógica de salida

a la red de conexión por dos cables de la línea de conexión.

Las memorias 210 y 211 están alternativamente en escritura y lectura. Mientras que se escribe en una memoria, se lee en la otra memoria para la emisión hacia la red de conexión, siendo la almena de tiempo que permite la escritura en memoria de un milisegundo. Cada lógica de salida puede transmitir un mensaje, es decir una palabra de 28 eb, cada 125 microsegundos, es decir 8 mensajes en un milisegundo, y por consiguiente 16 mensajes para las dos lógicas de salida; la utilización de dos registros 218, 219 permiten la conducción de 16 mensajes durante la escritura a una memoria, puesto que las informaciones de la otra memoria, que está en lectura, son alternativamente desviadas a los registros 218 y 219. La escritura en los registros se realiza durante la vía temporal  $t_0$  de cada trama de 125 microsegundos, pero en un instante diferente en cada registro. Un contador de direccionado de la lógica de direccionado 212 es incrementado después de cada lectura de la memoria; cada palabra es borrada, en la memoria, después de la lectura. Las palabras dispuestas en los registros son emitidas en la misma trama que aquella donde están inscritas; se emiten desde la vía temporal  $t_{15}$ , instante  $\theta 5$  hasta la vía temporal  $t_{21}$  instante  $\theta 3$ .

Un mensaje es emitido si el registro donde se encuentra contiene al menos 1 eb que indica la función; en caso contrario se impide la salida del mensaje por la lógica de salida correspondiente. Un control de imparidad es efectuado, en la lógica de salida, en el contenido del mensaje; en caso de mala imparidad, hay restablecimiento de la buena imparidad añadiendo 1 eb en el mensaje en  $t_{21} \theta 3$ ; cuando la memoria en lectura ha sido leída, la misión de las memorias 210 y 211 se invierte. Es posible efectuar un control de funcionamiento por un programa de ensayo que, por una parte permite controlar el envío de una tonalidad por el módulo emisores de señalización a partir de una palabra registradora de una memoria también 20 ó 21, y por otra solicita al intercambiador la lectura de una palabra de control en la red de conexión; la lectura correcta de la palabra permite

así verificar el buen funcionamiento del conjunto lógico de control 15, del bloque memoria de registradores 19, del bloque memoria tampón 14 y del módulo emisores de señalización 23, así como de la buena transmisión del mensaje en la línea de conexión MLX.

5                   La figura 13 representa un bloque entrada/salida; el módulo -  
entrada/salida 24 de la figura 3 comprende al menos un bloque entrada/sa-  
lida, tal como se representa en la figura 13. El módulo entrada/salida ase-  
gura la intercara entre el multirregistrador y el intercambiador; cada -  
bloque entrada/salida tiene por tanto un acceso lectura/escritura por el  
10                   intercambiador y un acceso lectura/escritura por el multirregistrador; ca-  
da bloque entrada/salida se conecta por tanto a la barra de intercambios  
LIE y a la barra de informaciones multirregistradora LMR.

                  Un bloque entrada/salida se compone esencialmente de una memo-  
ria 230, de una capacidad de 256 palabras de cuatro sectores de 4 eb; la  
15                   memoria está dividida por ejemplo en 32 zonas memorias de 8 palabras, pero  
esta división es meramente de lógica, estando especializada cada zona me-  
memoria; hay zonas memoria para la entrada, es decir que reciben informacio-  
nes por la barra de intercambios LIE a destinos del multirregistrador; hay  
zonas memorias para la salida, es decir que reciben informaciones para la  
20                   barra de informaciones multirregistradoras LMR de destino del intercambia-  
dor; hay zonas memoria reservadas a tareas de observación y zonas memorias  
reservadas al conteo; finalmente hay zonas memoria reservadas a mensajes  
de tipo dado, tales como: mensaje entre los intercambiadores de las unida-  
des de control 4 y 5 por las líneas de intercambios ELM, mensaje entre el  
25                   órgano de control 7 y un intercambiador por las líneas de control LC, men-  
saje entre una unidad de selección y un intercambiador por las líneas de  
marcado LU.

                  Una puerta 0 231 se conecta a la entrada a la barra de infor-  
maciones multirregistradora LMR y a la barra de intercambios LIE. La sali-  
30                   da de la puerta 0231 se conecta a una entrada de cada una de las puertas -

Y232, 233, 234, 235; la salida de cada puerta Y se conecta a una entrada diferente de la memoria 230, permitiendo cada puerta Y la escritura, en un sector de cuatro eb, de un sector de cada una de las 256 palabras de la memoria. La memoria 230 tiene cuatro salidas, una por sector, que se conectan respectivamente, por una parte, a una entrada de las puertas Y236, - 237, 238, 239, cuyas salidas se conectan a la barra de intercambios LIE, y por otra parte, a una entrada de las puertas Y240, 241, 242, 243 cuyas salidas se conectan a la barra de informaciones multirregistratoras LIMR; otra entrada de las puertas Y240, 241, 242, 243 se conecta a la salida del circuito de decodificado 166 que proporciona la orden ATE, figura 9.

La memoria 230 puede direccionarse ya sea por el multirregistrator ó bien por el intercambiador. Para el multirregistrator, el direccionado es proporcional ya sea por la barra de informaciones multirregistratora LIMR por mediación de un registro de direccionado 244 ó bien directamente por la barra puntos memoria LMP. Para el intercambiador, el direccionado es únicamente proporcionado por la barra de intercambios LIE.

El registro de direccionado 244 tiene su entrada conectada a la salida de una puerta Y245 una de cuyas entradas se conecta a la salida del circuito de decodificado 166 que proporciona la orden ATE y otra entrada se conecta a la salida de la puerta 0231; la salida del registro de direccionado 244 se conecta a una entrada de una puerta Y249; un registro de direccionado 246, que sirve para el direccionado por el intercambiador, tiene su entrada conectada a la salida de una puerta Y247 una de cuyas entradas se conecta a la salida de la puerta 0231 y cuya otra entrada se conecta a la línea de control LCE del intercambiador (ver figuras 14 y 17); la salida del registro de direccionado 246 se conecta a una entrada de una puerta Y248. Otra puerta Y250 tiene una entrada conectada a la barra puntos memoria LMP que lleva los eb 21 a 28 de las palabras instrucciones. Otra entrada de la puerta Y248 recibe la señal de reloj  $\overline{A1}$ , y otra entrada de las puertas Y249, 250 recibe la señal de reloj A1; la señal  $\overline{A1}$  es la

señal complementaria de la señal de reloj  $\Omega_1$ . La salida de cada una de -  
las puertas Y248, 249, 250 se conecta respectivamente a una entrada de una  
puerta 0252 cuya salida se conecta al circuito de direccionado 253 de la  
memoria 230 por la conexión 254 que lleva los eb 9 a 16 de las barras de  
5 informaciones multirregistradora LMR y de intercambios LIE, ó los eb 21  
a 28 de las barras puntos memoria LMP; la salida de la puerta 0252 se co-  
necta igualmente a una entrada de una puerta Y256 por una conexión 255 que  
lleva los eb 1 a 8 de las barras de informaciones multirregistradora LMR  
y de intercambios LIE. La puerta Y256 tiene otras dos entradas conectadas  
10 respectivamente ala barra de direccionado LAE y la línea de control LCE  
del intercambiador que definen direcciones de sectores a leer en la memo-  
ria 230, conectándose la salida de la puerta Y256 a una entrada de las -  
puertas Y236, 237, 238, 239 y proporcionando según las informaciones reci-  
bidas por la conexión 255, una señal para una ó varias de las puertas Y236  
15 237, 238, 239.

Finalmente una entrada de una puerta 0258 se conecta a la sa-  
lida de una puerta Y257 que tiene una entrada conectada a la salida del  
circuito de decodificado 166 que proporciona la orden ATE y otra entrada  
conectada a la barra puntos memoria LMP y que recibe así el eb 32 de la -  
20 instrucción de orden ATE; otra entrada de la puerta Y258 se conecta a la  
barra de direcciones LAE del intercambiador; la salida W de la puerta 0258  
se conecta a una entrada de las puertas Y232, 233, 234, 235, permitiendo -  
estas puertas la escritura en la memoria 230 de las informaciones que pro-  
ceden ó bién de la barra de informaciones multirregistradores LMR ó bién  
25 de la barra de intercambios LIE.

Ahora se vá a describir las macroinstrucciones utilizadas; en  
las figuras 8a, 8b, 8c se observa el formato de estas macroinstrucciones  
que comprenden cada una 48 elementos binarios, designados por la abrevia-  
ción eb; las macroinstrucciones utilizan una escritura simbólica; las órde-  
30 nes que definen las funciones son dados por los eb 1 a 8.

- 1) EMO - Esta orden permite la escritura en una memoria tampón de un parámetro P de 8 eb ó de 16 eb. La dirección Ad, de la palabra en la memoria tampón y el valor del parámetro se dan por la macroinstrucción. El parámetro tiene un valor de 8 ó 16 eb, y puede escribirse en una palabra completa (16 eb) de la memoria tampón ó en un octeto de una palabra (8 eb).  
5 El salto de fase, SHH, de 12 eb permite escribir un salto de fase de 0 a  $\pm 2.047$ , que añadido a la fase actual, dará la fase siguiente del programa.
- 2) EMAS - Esta orden permite la escritura en memoria tampón, en un sector de 4 eb de una palabra, de un parámetro P de 1, 2, 3 ó 4 eb. La dirección Ad, de la palabra en la memoria tampón y del sector de la palabra se codifica en la macroinstrucción. El valor del parámetro P, es dado en cuatro eb, y una carátula, M, en 4 eb indica para cada eb que tiene el valor "1" que es preciso inscribir el valor correspondiente del parámetro; y para  
10 cada eb que tenga el valor "0" que el valor correspondiente del parámetro no debe inscribirse. El salto de fase SHH, de 16 eb, permite escribir un salto de fase comprendido entre 0 y  $\pm 32.000$ , que añadido a la fase actual dará la fase siguiente del programa.
- 3) EMASI - Esta orden es idéntica a la orden EMAS, salvo en lo que respecta al direccionado. Aquí se trata de un direccionado indirecto, siendo dada la dirección en la memoria tampón por una palabra de la memoria tampón cuya dirección Ad, es dada en la macroinstrucción.  
15
- 4) TEDEUM - Esta orden permite dos operaciones sucesivas de lectura/escritura en una memoria tampón. Hay en primer lugar lectura, en memoria tampón, de una primera palabra cuya dirección es dada por la primera dirección fuente, 1ª Ad. So. de la macroinstrucción, y escritura de la información leída en una palabra de la memoria tampón cuya dirección es dada por la primera dirección destino, 1ª Ad.D. Una segunda operación similar es  
25 ejecutada con la segunda dirección fuente, 2ª Ad. So, y la segunda dirección destino 2ª Ad.D. El salto de fase SHH está comprendido entre 0  $\pm 7$ .  
30

- 5) TFT - Esta orden permite leer en una memoria tampón una palabra cuya dirección es dada por la dirección fuente Ad.So. La información leída es reescrita en la memoria tampón en una palabra cuya dirección es dada por la dirección destino, Ad.D. El valor del código C indica si se trata de una palabra completa, de un octeto, ó de un sector de esta palabra. El salto de fase SPH está comprendido entre 0 y  $\pm$  32.000.
- 6) ERAN - Esta orden permite una conexión, PH, incondicional, en cualquier lugar del programa; el conexionado permitido está comprendido entre 0 y 32.000. PH es un número de fase de conexión octal.
- 7) SAU - Esta orden es un salto de fase, SPH, incondicional; permite añadir a la fase actual un salto de fase comprendido entre 0 y  $\pm$  32.000, para conectar el programa en una fase determinada.
- 8) REPO - Esta orden es una macroinstrucción de espera del programa. El salto de fase es nulo y el programa está a la espera.
- 9) EFF - Esta orden es la última después de la utilización de una palabra registrador. Permite borrar la palabra registrador que acaba de desarrollar el programa.
- 10) PRISE - Esta orden inicializa una palabra registrador. Esta inicialización puede efectuarse en un registrador rápido para el desarrollo de un programa para tratar una comunicación, ó sobre un registrador lento para las funciones de tasación. Sin embargo esta inicialización no tiene lugar más que con ciertas condiciones. Para la toma de un registro lento basta que la báscula 118 figura 6b, esté en el valor "1", existe entonces toma del primer registrador lento libre, en una memoria tampón, que se utilizará para la tasación de la comunicación. Para la toma de un registrador rápido es preciso en primer lugar que la báscula 118 esté al valor "0"; a continuación la toma se efectúa bajo las siguientes condiciones:
- a) que el número del registrador durante el tratamiento (número dado por el contador de registradores 42 figura 6b) no sea ni el primero ni el último del número máximo de registradores. En efecto cada uno de estos regis-

tradores tiene una misión perfectamente definida; el primer registrador se utilizará para la observación del tráfico, como por ejemplo el número de nuevas llamadas llegadas al multirregistrador durante un tiempo dado, y el último registrador permite el tratamiento de las faltas y su transferencia hacia el módulo de entrada/salida 24, figura 3.

b) Que el número de registradores rápidos libres sea superior al número indicado, en la macroinstrucción es decir por Enr. MR1. Rap. para el multirregistrador 10, ó bien por Enr. Rap. MR2. para el multirregistrador 11, figura 2. Si hay toma de un registrador rápido la sucesión del programa permite un análisis de la función que ha provocado la toma (nueva llamada, sintonización, nueva llamada seguida de un mensaje); la conexión del programa es entonces función de este análisis.

11) OBTRA - Esta orden permite realizar un incremento en un valor colocado en una palabra del módulo entrada/salida cuya dirección Ad.Ta.Obs es dada por la macroinstrucción. Permite por ejemplo incrementar una memoria donde serán dispuestas todas las nuevas llamadas; esta memoria contendrá, al cabo de un tiempo determinado, todas las nuevas llamadas llegadas al multirregistrador. El salto de fase, SPH, es dado por la macroinstrucción y está comprendido entre 0 y  $\pm 127$ ; contiene el valor a añadir a la fase actual del programa para conseguir la fase siguiente.

12) CONSIL-1- Esta orden permite un doble ensayo. En primer lugar lectura de un valor de señalización en la dirección Ad Sign, dado por la macroinstrucción, y comparación con un parámetro P cuyo valor es igualmente dado por la macroinstrucción. Si la comparación es mala, el salto de fase es dado por SPH1; si la comparación es buena hay un segundo ensayo en una temporización cuya dirección Ad Te es dada por la macroinstrucción con un parámetro de temporización P Te igualmente dado por la macroinstrucción. Si la comparación es buena el salto de fase es de +1. ; si la comparación es mala, el salto de fase es dado por SPH2.

Los valores de los saltos de fase son:

SPH2 : de 0 a  $\pm$  127

SPH1 : de 0 a  $\pm$  7

13) CONSIL -2- Esta órden es idéntica a CONSIL 1; solo la dirección de la temporización es diferente.

5 14) CONFES - Esta órden es idéntica a las anteriores; pero el parámetro de temporización PTe es dado en 4 eb.

15) ATTES - Esta órden permite confirmar que el tiempo de espera de una señalización está conforme a un parámetro. La señalización es leída en el módulo receptores de señalización 22, figura 3, en la dirección Ad. -  
10 Sign dada por la macroinstrucción; el tiempo de espera es comparado a un parámetro P en la macroinstrucción. Si el tiempo de espera es bueno hay salto de fase SPH2; si el tiempo de espera es malo hay comparación de una dirección de temporización, Ad. Te, dada por la macroinstrucción, con un parámetro de temporización, P Te. Si la comparación es buena hay salto  
15 de fase + 1; en el caso contrario el salto de fase es SPH1.

Los valores respectivos de los saltos de fase son:

SPH2 : de 0 a  $\pm$  127

SPH1 : de 0 a  $\pm$  7

20 16) RMF - Se trata de una órden de ensayo sobre la señalización multifrecuencias recibida por el módulo receptores de señalización 22. El valor de la señalización es leido en la dirección Ad. Sign dada por la macroinstrucción; este valor es comparado a un parámetro codificado C, en la macroinstrucción. Hay tres códigos posibles: 0001 numeración, 0010 señalización, 0100 frecuencia de control; en los dos primeros casos, el valor  
25 de señalización se inscribe en memoria en la dirección inscripción, Ad Ins dada por la macroinstrucción; en el tercer caso hay únicamente reconocimiento de la frecuencia de control. Para estos tres casos, el salto de fase es SPH1; en el caso de no reconocimiento de código, el salto de fase es SPH2.

30 Los valores respectivos de los saltos de fase son:

SPH2 : de 0 a  $\pm$  127

SPH1 : de 0 a  $\pm$  7

5 17) RSI - Esta orden permite probar la señalización abonado, ó circuito, recibida por impulsos. La dirección de la señalización recibida Ad. Sign, es dada en la macroinstrucción; el valor de esta señalización es comparado a un parámetro P, aguardado, dado por la macroinstrucción. Si la comparación es positiva el salto de fase es SPH2; es de SPH1 en el caso contrario.

Los valores respectivos de los saltos de fase son:

10 SPH2 : de 0 a  $\pm$  127

SPH1 : de 0 a  $\pm$  127

15 18) SIPO - Esta orden permite la lectura, en la dirección puesta de operadora Ad. Po, dada por la macroinstrucción, de la señalización puesta de operadora recibida. Esta señalización es analizada y orienta el programa hacia diversos saltos de fase SPH1, SPH3, SPH4, SPH5, según el valor de la señalización. En caso de no recepción de la señalización, el salto de fase es SPH2 cuyo valor está comprendido entre 0 y  $\pm$  127.

20 19) TONAL - Esta orden permite el envío de la tonalidad hacia un abonado ó un circuito. La macroinstrucción dá la dirección Ad, la función F, la tonalidad Ton, y el salto de fase SPH. Las órdenes de envío de tonalidad llenan una memoria de tres palabras en el módulo emisores de señalización 23, figura 3, que contiene 16 memorias; si todas las memorias están llenas, la orden se representa en el ciclo siguiente de tratamiento del registrador correspondiente.

25 El salto de fase SPH está comprendido entre 0 y  $\pm$  32.000.

20) TOTSÍ - Esta orden es idéntica a la orden TONAL pero precede de un ensayo sobre el módulo receptores de señalización 22, con la indicación del parámetro de ensayo, PT.

30 Si el ensayo es negativo hay salto de fase, SPH2, comprendido entre 0 y  $\pm$  127, y no de envío de tonalidad; si el ensayo es positivo, -

hay envío de la tonalidad Ton, y el salto de fase SPH1 impuesto es de  $\pm 1$ .

5 21) TETON - Esta orden es idéntica a la anterior, pero el envío de tonalidad Ton, está condicionado por un ensayo sobre el contenido de una palabra en la memoria tampón, cuya dirección es Ad.M; este contenido se compara a un parámetro P. Si el ensayo es negativo hay salto de fase, SPH2, comprendido entre 0 y  $\pm 7$  y no envío de tonalidad; en caso contrario hay envío de tonalidad y salto de fase impuesto, de valor  $\pm 1$ .

10 22) TORAZ - Esta orden permite el envío de una tonalidad como se indica en la orden 19 TONAL, y la puesta a cero de una ó varias temporizaciones. La ó las temporizaciones a poner a cero son dadas por el código temporización C Te, de la macroinstrucción.

A la salida de la temporización hay salto de fase SPH comprendido entre 0 y  $\pm 2.047$ .

15 23) TOTEM - Esta orden permite un envío de tonalidad como se ha definido para la orden TONAL, pero este envío está condicionado por un ensayo sobre una palabra temporización contenida en la memoria tampón. La dirección temporización Ad Te, de la macroinstrucción dá la dirección de la palabra temporización a leer en la memoria tampón; el contenido de esta palabra temporización se compara a un parámetro de temporización P Te. Si el contenido de la palabra temporización es superior al parámetro de temporización, la temporización es sobrepasada y hay salto de fase SPH2; en el caso contrario hay envío de tonalidad y salto de fase  $\pm 1$ . El salto de fase SPH2 está comprendido entre 0 y  $\pm 7$ .

20 24) TERNUC - Esta orden efectúa dos ensayos sucesivos; se lee un sector de la memoria tampón cuya dirección Ad Sec, es dada en la macroinstrucción el valor de la carátula M da un eb sobre 4 a ensayar. Si el ensayo es negativo hay salto de fase SPH2; si el ensayo es positivo hay un segundo ensayo en el contenido de un registro de numeración teclado cuya dirección Ad RNC es dada por la macroinstrucción a fin de verificar si este conteni

30

do. Si este segundo ensayo es positivo, es decir si el registro de numeración teclado está a cero, hay salto de fase SPH1; en caso contrario el salto de fase es nulo.

Los valores de los saltos de fase SPH1 y SPH2 son de  $0 \pm 127$

5 25) COSPA - Esta orden permite comparar el contenido de un sector de la memoria tampón cuya dirección, Ad Sec, es dada por la macroinstrucción, de dos parámetros, P1, P2, cuyos valores son igualmente dados por la macroinstrucción. Si el contenido del sector es igual a P1 hay saltos de fase SPH1. En caso contrario hay comparación con el segundo parámetro P2; 10 en caso de igualdad hay salto de fase SPH2 y en caso contrario salto de fase SPH3.

Los saltos de fase SPH2 y SPH3 están comprendidos entre 0 y  $\pm 127$ ; el salto de fase SPH1 está comprendido entre 0 y  $\pm 7$ .

15 26) ANAS - Esta orden permite la comparación sucesiva de un parámetro con el contenido de un sector de la memoria tampón, cuya dirección Ad Sec es dada por la macroinstrucción. Los parámetros P1, P2, P3, P4 son igualmente dados por la macroinstrucción. El contenido del sector es comparado en primer lugar a P1; si hay igualdad el salto de fase es de + 1; en el caso 20 contrario hay comparación con P2, y si hay igualdad el salto de fase es + 2; en caso contrario hay comparación con P3, y si hay igualdad el salto de fase es de + 3; en caso contrario hay comparación con P4, y si hay igualdad el salto de fase es de + 4; en caso contrario el salto de fase SPH5 es indicado por la macroinstrucción, y su valor está comprendido entre 0 y  $\pm 2.047$ .

25 27) ASMA - Esta orden es idéntica a la anterior, ANAS, pero en lugar de comparar un sector de cuatro parámetros, se compara este sector a 4 cartulas M1, M2, M3, M4, sucesivas. Se compara por tanto la presencia de eb a "1" en el sector, siendo dada esta presencia por el valor de las cartulas contenidas en la macroinstrucción. Los saltos de fases son idénticos a los de ANAS. 30

28) RAZ - Esta orden consiste en poner a cero, en la memoria tampón, una ó varias palabras, ó 2, 4, 6 eb de una palabra de la memoria tampón. Esta orden comienza por un ensayo que define a partir del contenido de la macroinstrucción las direcciones ó los eb a poner a cero; todas las informaciones necesarias son contenidas en la macroinstrucción. El código C, indica según su valor, lo que ha lugar de poner a cero; palabra, octeto, sector, eb.

RAZ 1 se refiere a la puesta a cero de 4 palabras, ó de 4 octetos, ó 4 - sectores cuyas direcciones respectivas son 1<sup>a</sup>Ad, 2<sup>a</sup>Ad, 3<sup>a</sup>Ad, 4<sup>a</sup>Ad.

RAZ 2 se refiere a la puesta a cero de 2 veces 1, 2 ó 3 eb, y M1, M2 son carátulas; las direcciones de puesta a cero son dadas por 1<sup>a</sup>Ad, 2<sup>a</sup>Ad.

29) TUTUS - Esta orden permite un primer ensayo en un eb en memoria tampón y después eventualmente un segundo ensayo es decir en un eb ó bien en un sector, según la indicación contenida en el código C, de la macroinstrucción. El primer ensayo, que se refiere a un eb cuya dirección Ad 1 es dada por la macroinstrucción, se realiza por comparación con el valor dado por la carátula M; si el segundo ensayo se refiere a un eb, la dirección de éste eb es dada por la macroinstrucción en Ad 1/4 y este ensayo se efectúa por comparación con el valor dado por la carátula M1. Si los dos ensayos son positivos el salto de fase es + 1; si el primer ensayo es negativo el salto de fase es SPH3; si el segundo ensayo es negativo el salto de fase es SPH2.

Si el segundo ensayo se refiere a un sector de 4 eb, la dirección de este sector es dada por la macroinstrucción en Ad 1/4, y este ensayo se efectúa por comparación con el parámetro P4. Los saltos de fase son los mismos que anteriormente.

Los valores de los saltos de fase son:

SPH2 : de 0 a  $\pm 7$

SPH3 : de 0 a  $\pm 7$

30) TESTUS - Esta orden permite un primer ensayo en un sector de memoria

tampón, y después eventualmente un segundo ensayo ya sea en otro sector ó bien en un eb, según la indicación contenida en el código C de la macroinstrucción. El primer ensayo que se refiere a un sector cuya dirección Ad 4 es dada por la macroinstrucción se realiza por comparación con el valor -  
5 del parámetro P; si el segundo ensayo se refiere a otro sector, la dirección de este sector es dada por la macroinstrucción en Ad 1/4 y éste ensayo se efectúa por comparación con el valor dado por el parámetro P4. Si los dos ensayos son positivos el salto de fase es + 1; si el primer ensayo es negativo el salto de fase es SHB, si el segundo ensayo es negativo  
10 el salto de fase es SPH2. Si el segundo ensayo se refiere a un eb, la dirección de este eb es dada por la macroinstrucción en Ad 1/4 y este ensayo se efectúa por comparación con el valor dado por la carátula M1. Los saltos de fase son los mismos que anteriormente.

Los valores de los saltos de fase son:

15 SPH2 : de 0 a  $\pm 7$

SPH3 : de 0 a  $\pm 7$

31) CHIP0 - Esta orden permite la recepción de una cifra del puesto de -  
operadoras. La dirección de la cifra recibida es dada en Ad por la macro-  
instrucción, colocándose esta cifra en una palabra de la memoria tampón -  
20 a la dirección Ad CH dada por la macroinstrucción, y el salto de fase SPH1  
está comprendido entre 0 y  $\pm 127$ . En caso de no recepción de la cifra, el  
salto de fase, SPH2 está comprendido entre 0 y  $\pm 2.047$ .

32) TES - Esta orden permite efectuar un ensayo entre el contenido de un  
sector de la memoria tampón, cuya dirección Ad Sec, es dada por la macro-  
25 instrucción, y el valor dado por la carátula M. Si el ensayo es positivo  
el salto de fase es SPH1; en el caso contrario es de SPH2.

Los valores de los saltos de fase son:

SPH1 : de 0 a  $\pm 2.047$

SPH2 : de 0 a  $\pm 2.047$

30 33) ANS - Esta orden permite un análisis del contenido de un sector de la

memoria tampón, cuya dirección Ad Sec, es dada por la macroinstrucción, con respecto a un parámetro P. Si el análisis es bueno el salto de fases es SPH1; en el caso contrario el salto de fase es SPH2.

Los valores de los saltos de fase son:

5

SPH1 : de 0 a  $\pm 2.047$

SPH2 : de 0 a  $\pm 2.047$

10

34) COMPS - Esta orden permite una comparación entre el contenido de un sector de la memoria tampón cuya dirección Ad Sec es dada por la macroinstrucción, y un parámetro P. Si el contenido es superior al parámetro, el salto de fase es SPH3. Si el contenido es igual al parámetro, el salto de fase es SPH2. Si el contenido es inferior al parámetro, el salto de fase es SPH1. Los valores de los saltos de fase SPH1, SPH2, SPH3 están comprendidos entre 0 y  $\pm 127$ .

15

35) OMP - Esta orden permite realizar una operación lógica ó una operación aritmética en una palabra de la memoria tampón cuya dirección Ad M es dada por la macroinstrucción, con un parámetro P. El tipo de operación es codificado en COP de la macroinstrucción; este código es enviado al circuito lógico 160 que controla el circuito de cálculo 154 de la figura 9.

El salto de fase SPH está comprendido entre 0 y  $\pm 7$ .

20

36) OMM - Esta orden permite realizar operaciones lógicas ó aritméticas entre dos palabras de la memoria tampón. Las direcciones de las palabras son dadas por Ad M1 y Ad M2, siendo dado el tipo de operación por COP. - Saltos de fases pueden ser diferentes según el resultado de la operación.

25

Los saltos de fases SPH1, SPH2, SPH3 están comprendidos entre 0 y  $\pm 7$ . El salto de fase SPH está comprendido entre 0 y  $\pm 2.047$ .

30

37) OMO - Esta orden permite efectuar operaciones lógicas ó aritméticas entre el contenido de una palabra y el contenido de un octeto de la memoria tampón; la dirección de palabra es dada por Ad M y la del octeto por Ad O. Los saltos de fase SPH1, SPH2, SPH3, diferentes según el resultado de la operación están comprendidos entre 0 y  $\pm 7$ . El salto de fase SPH es

tá comprendido entre 0 y  $\pm 2.047$

38) OMS - Esta órden permite efectúar operaciones lógicas ó aritméticas - entre el contenido de una palabra y el contenido de un sector de una pala-  
bra de la memoria tampón. La dirección de la palabra es dada por Ad M y  
5 la del sector por Ad Sec. Los saltos de fase SPH1, SPH2, SPH3 diferentes según el resultado de la operación están comprendidos entre 0 y  $\pm 7$ , estando comprendido SPH entre 0 y  $\pm 2.047$ .

39) OMSI - Esta órden es idéntica a la anterior OMS, pero el direccionado del sector Ad Sec I es indirecto.

10 40) OPAO - Esta órden permite efectúar operaciones lógicas ó aritméticas entre un octeto de direccionado Ad 0 y un parámetro P. El tipo de operacio-  
nes es dado por COP. Los saltos de fase SPH1, SPH2, SPH3, diferentes según el resultado de la operación, estan comprendidos entre 0 y  $\pm 7$ ; SPH -  
está comprendido entre 0 y  $\pm 2.047$ .

15 41) OPOCO - Esta órden permite efectúar operaciones lógicas ó aritméticas entre el contenido de dos octetos de direcciones Ad 01 y Ad 02. El tipo  
de operación es dado por COP. Los saltos de fase SPH1, SPH2, SPH3 diferen-  
tes según el resultado de la operación, están comprendidos entre 0 y  $\pm 7$ ;  
SPH está comprendido entre 0 y  $\pm 2.047$ .

20 42) OSO - Esta órden permite efectúar operaciones lógicas ó aritméticas entre el contenido de un octeto de una palabra y el contenido de un sector  
de una palabra de la memoria tampón, de dirección Ad 0 y Ad Sec. El tipo  
de operación es dado por el código de operación COP. Los saltos de fase  
SPH1, SPH2, SPH3, diferentes según el resultado de la operación, están -  
25 comprendidos entre 0 y  $\pm 7$ ; SPH está comprendido entre 0 y  $\pm 2.047$ .

30 43) OSPA - Esta órden permite efectúar operaciones lógicas ó aritméticas entre el contenido de un sector de una palabra de la memoria tampón, de  
dirección Ad Sec y un parámetro P. El tipo de operaciones dado por COP.  
Los saltos de fase, SPH1, SPH2, SPH3, SPH4 diferentes según el resultado  
de la operación están comprendidos entre 0 y  $\pm 7$ ; SPH5 está comprendido

entre 0 y  $\pm 127$ ; SPH está comprendido entre 0 y  $\pm 2.047$ .

5 44) OSS - Esta orden permite efectuar operaciones lógicas ó aritméticas - entre el contenido de dos sectores de dos palabras de la memoria tampón; sus direcciones son Ad Sec 1 y Ad Sec 2. El tipo de operaciones dado por COP. Los saltos de fase SPH1, SPH2, SPH3, SPH4 diferentes según el resultado de la operación, están comprendidos entre 0 y  $\pm 7$ ; SPH5 está comprendido entre 0 y  $\pm 2.047$ .

10 45) OSS1- Esta orden permite efectuar operaciones lógicas ó aritméticas entre el contenido de un sector de una palabra de la memoria tampón de - dirección Ad Sec y otro sector de una palabra de la memoria tampón cuya dirección indirecta es Ad Sec I. El tipo de operaciones dado por COP. Los saltos de fase SPH1, SPH2, SPH3, SPH4 diferentes según el resultado de la operación están comprendidos entre 0 y  $\pm 7$ ; SPH5 está comprendido entre 0 y  $\pm 127$ ; SPH está comprendido entre 0 y  $\pm 2.047$ .

15 46) OSIP - Esta orden permite efectuar operaciones lógicas ó aritméticas entre el contenido de un sector de una palabra de la memoria tampón de - direccionado indirecto Ad Sec I y un parámetro P. El tipo de operaciones dado por COP. Los saltos de fase SPH1, SPH2, SPH3, SPH4 diferentes según el resultado de la operación, están comprendidos entre 0 y  $\pm 7$ ; SPH5 está comprendido entre 0 y  $\pm 127$ ; SPH está comprendido entre 0 y  $\pm 2.047$ .

20 47) OSIS - Esta orden permite efectuar operaciones lógicas ó aritméticas entre el contenido de un sector de una palabra de la memoria tampón, de - direccionado indirecto Ad Sec I, y otro sector de una palabra, cuya dirección es Ad Sec. El tipo de operaciones dado por COP. Los saltos de fase SPH1, SPH2, SPH3, SPH4 diferentes según el resultado de la operación están comprendidos entre 0 y  $\pm 7$ ; SPH5 está comprendido entre 0 y  $\pm 127$ ; SPH - está comprendido entre 0 y  $\pm 2.047$ .

30 Todas las órdenes desde la orden 35 OMP hasta la orden 47 OSIS pueden efectuar las operaciones lógicas ó aritméticas siguientes: ensayo, análisis, comparación, adición, substracción, unión (función lógica  $\theta$ ),

intersección (función lógica Y). El tipo de operación COP es codificado en 8 eb que son los eb 17 a 24 de la macroinstrucción; los eb 17 a 20 dan el código de la red de decalaje 153; el eb 23 define la operación (lógica ó aritmética), el eb 21 indica si es preciso imponer un "1" en la entrada retenida del circuito de cálculo 154 de la lógica de control 17. El 3b 22 sirve para validar las salidas "retención" e "igual" del circuito de cálculo 154 que definen el resultado de una comparación superior, igual ó inferior; el eb 24 da un salto de fase impuesto, cuando éste es diferente de los saltos de fase SPH, SPH1, SPH2, SPH3,

48) ASERO - Esta orden permite inicializar un sub-programa. Permite a partir de un código C, contenido en la macroinstrucción, calcular una fase retorno e inscribirla en la segunda palabra de la memoria tampón antes de tomar en cuenta e inscribir en la primera palabra de la memoria tampón la fase partida del sub-programa, PH-DEP-SP, dada por la macroinstrucción.

Al final de la macroinstrucción hay puesta a cero de una temporización de control cuya dirección en memoria tampón está dada por Ad Te.

49) RETAN - Esta orden permite un retorno de sub-programa para inicializar un tratamiento de falta. Permite la inscripción en memoria tampón a la dirección dada por Ad Ins de un parámetro cuyo valor es dado por la macroinstrucción en P Ins, y después substraer 1 a la fase de retorno e inscribirla en la segunda ó la tercera palabra de la memoria tampón, según el valor del código C.

50) ASPEC - Esta orden permite inicializar un sub-programa de intercambios a partir de los datos contenidos en la macroinstrucción. Los datos que se refieren al tratamiento, tipo y función son dados por F en la macroinstrucción que da igualmente la dirección Ad TE de una zona tampón del módulo de entrada/salida 24 del multirregistrador, y la fase partida del sub-programa de intercambios, PH-DEB-SPE. La orden pone igualmente a cero una palabra temporización de la memoria tampón, utilizada para el intercambio.

Hay igualmente colocación de la fase retorno del sub-programa de intercambios (fase retorno igual a fase actual + 2) a la que volverá el sub-programa a la salida del intercambio.

51) MEC - Esta orden permite el envío de un mensaje corto desde el multirregistrador hacia el módulo de entrada/salida. La orden comienza por un ensayo en la palabra 0 de una zona tampón del módulo de entrada/salida; si la palabra está ocupada, permanece a la espera, no hay por tanto salto de fase mientras el tiempo no exceda el valor de temporización P Te dado por la instrucción; si la palabra está libre el mensaje es enviado de la siguiente manera.

La función contenida en la palabra 3 ó 43 de la memoria tampón se coloca en la palabra 1 de la zona tampón. La información contenida en la palabra de la memoria tampón, de dirección Ad 1, se ordena en la palabra 2 de la zona tampón. La información contenida en la palabra de la memoria tampón, de dirección Ad 2, se ordena en la palabra 3 de la zona tampón. El contenido de la palabra de la memoria tampón, de dirección Ad, que da el número de registrador en curso de tratamiento se ordena en la palabra 0 de la zona tampón. El salto de fase es + 1 después del envío del mensaje corto. En el caso en que haya desbordamiento de la temporización, hay escritura de falta y ordenamiento de una fase retorno. El direccionado de la zona tampón sobre la que se trabaja, es ordenado en la palabra 4 de la memoria tampón.

52) MLD - Mensaje largo, comienzo

53) MLF - Mensaje largo, final.

La orden MLD permite el envío de la primera parte (4 palabras) de un mensaje largo (8 palabras) desde la memoria tampón hacia una zona tampón; esta orden es obligatoriamente seguida de una orden MLF que permite el envío de la segunda parte (4 palabras) del mensaje largo. Estas órdenes son idénticas a la orden anterior MEC, pero el ensayo de ocupación de la palabra 0 de la zona tampón no es efectuado más que en la orden MLD

que contiene el parámetro de temporización P Te.

La orden MLD permite cargar las palabras 1, 2, 3, 4 de la zona tampón respectivamente a partir de la palabra 3 de la memoria tampón y de las palabras de direccionado Ad 1, Ad 2, Ad 3 de la memoria tampón.

5 La orden MLF permite cargar las palabras 5, 6, 7, 0 de la zona tampón a partir de las palabras de direccionado Ad 4, Ad 5, Ad 6, Ad, de de la memoria tampón, conteniendo la palabra de dirección Ad el número de registrador en curso de tratamiento. El salto de fase es de + 1 a la salida del envío del mensaje.

10 54) TREN0 - Esta orden permite verificar si el número del registrador en curso de tratamiento corresponde al número de registrador ordenado en la palabra 0 de una zona tampón de direccionado Ad TE1. Si el ensayo es positivo, la dirección de la zona tampón se ordena en la palabra 4 ó 44 de la memoria tampón, y es en esta palabra donde se irá a buscar la dirección de la zona tampón durante el tratamiento del registrador correspondiente (ver órdenes MEC, MLD y MLF). Si el ensayo es negativo se efectúa un segundo ensayo en la zona tampón de dirección Ad TE2, y si este segundo ensayo es positivo la dirección de la zona tampón se ordena en la palabra 5 ó 37 de la memoria tampón. Si este segundo ensayo es negativo se efectúa un tercer ensayo en la zona tampón de dirección Ad TE3. Si este tercer ensayo es positivo la dirección de la zona tampón se ordena en la palabra 5 ó 37 de la memoria tampón. Si uno de los ensayos es positivo, el salto de fase es + 2. Si los tres ensayos son negativos, hay ensayo de desbordamiento de temporización de 256 milisegundos, y el salto de fase es + 1 en caso de desbordamiento; en caso de no desbordamiento, el salto de fase SPH está comprendido entre 0 y  $\pm 7$ .

25 55) TRET1 - Esta orden es sensiblemente idéntica a la orden anterior, pero la comparación se efectúa entre un valor ordenado en una palabra de la memoria tampón cuya dirección es Ad, y el contenido de la primera palabra de una zona tampón de direccionado Ad TE1. Si este ensayo es nega-

30

tivo, una segunda comparación tiene lugar con el contenido de la primera palabra de la zona tampón de direccionado Ad TE2. Si el segundo ensayo es negativo se efectúa un tercer ensayo con el contenido de la primera palabra de la zona tampón de direccionado Ad TE3. Los saltos de fases son los mismos que los de la orden TEEN0, pero a duración de la temporización es en el presente caso de 512 milisegundos.

56) TRADIM - Esta orden permite efectuar la adición de un parámetro cuyo valor P es dado por la instrucción, con el contenido de la palabra de direccionado Ad 1 de la memoria tampón. El resultado de la adición es ordenado en la palabra de direccionado Ad 2 de la memoria tampón. El salto de fase SPH está comprendido entre 0 y + 7.

57) RARE - Esta orden permite la colocación, en 5 palabras de la memoria tampón, de informaciones contenidas en una zona tampón del módulo de entrada/salida.

El direccionado de la zona tampón es dado por el contenido de la palabra 4 de la memoria tampón; el contenido de la palabra 1 de la zona tampón es entonces ordenado en la palabra 3 ó 43 de la memoria tampón; el contenido de las palabras 2, 3, 4, 5 de la zona tampón es ordenado respectivamente en las palabras de dirección Ad 1, Ad 2, Ad3, Ad4 de la memoria tampón. Al final del ordenamiento hay puesta a cero de la palabra 0 de la zona tampón a fin de liberar la zona tampón cuyo contenido acaba de ser transferido a la memoria tampón. El final de la orden se efectúa en la fase de retorno al sub-programa, ordenada en la memoria tampón en la palabra 2 ó 42. Se observará que esta orden efectúa la transferencia inversa de la orden 51 MEC.

58) RADER -

59) RAFIR - Estas dos órdenes permiten la transferencia de una respuesta larga, del módulo de entrada/salida hacia la memoria tampón. La orden RADER permite la transferencia de la primera parte (4 palabras) de una respuesta larga; es obligatoriamente seguida de una orden RAFIR que permite

el envío de la segunda parte (3 palabras) de la respuesta. La orden RADER finaliza en una puesta a cero de la palabra 0 de la zona tampón direccionada en el módulo de entrada/salida, y su lectura se realiza como en la orden 57 RARE. El direccionado de la zona tampón es dado por el contenido de la palabra 4 de la memoria tampón, y las palabras de la memoria tampón son cargadas de la siguiente manera: la palabra 3 es cargada por el contenido de la palabra 1 de la zona tampón, siendo cargadas las palabras de direccionado Ad 1, Ad 2, Ad 3, Ad 4, Ad 5, Ad 6 por los contenidos de las palabras 2, 3, 4, 5, 6, 7 de la zona tampón. Se hará notar que las órdenes RADER y RAFIR efectúan la transferencia inversa de la efectuada por las órdenes MLD y MLF.

60) TINTER- Esta orden permite efectuar un ensayo de intersección (función lógica Y) entre una información contenida en el primer sector de la palabra 6 de la memoria tampón y de las carátulas M1, M2, M3 ordenadas en la macroinstrucción. Una primera intersección es efectuada con la carátula M1; si esta insercción es realizada, una segunda intersección es efectuada con la carátula M3 y el resultado es ordenado en el primer sector de la palabra 6 de la memoria tampón; el salto de fase SPH2 está comprendido entre  $0 \pm 2.047$ . Si la intersección con M1 no es realizada, una segunda intersección se efectúa con M2; el resultado es ordenado en el primer sector de la palabra 6 de la memoria tampón y el salto de fase SPH1 está comprendido entre 0 y  $\pm 2.047$ .

61) AFICH - Esta orden permite la transferencia de una cifra de un número solicitado a partir de un puesto de operadora, ordenado en la memoria tampón, en una zona tampón libre del módulo de entrada/salida cuya dirección es dada por Ad TS. Un ensayo es efectúado sobre la palabra 0 de la zona tampón direccionada para saber si esta zona tampón está libre; en caso afirmativo se ordena allí:

- en la palabra 1 la dirección del puesto de operadora que está contenida en la palabra de la memoria tampón cuya dirección es dada por Ad P0.

- en la palabra 3, el rango de la cifra que está ordenada en la palabra de la memoria tampón de dirección Ad Info,

- en la palabra 2, el valor de la cifra que está ordenada en la palabra 4 ó 44 de la memoria tampón

5 - en la palabra 0, el contenido de la palabra 3 ó 43 de la memoria tampón, donde han sido ordenadas las informaciones, forma de tratamiento MT, función F, tipo T, dadas por la macroinstrucción. El salto de fase es de + 1.

Estas informaciones que han sido ordenadas en el módulo de entrada/salida, serán accesibles por el intercambiador para fijación de la cifra en el puesto de operadora cuya dirección es ordenada en el módulo de entrada/salida; esta fijación permitirá a la operadora controlar el que cada cifra solicitada haya sido tenida en cuenta por la central.

10 62) AFORS - Esta orden es idéntica a la anterior AFICH, pero permite enviar por mediación del módulo de entrada/salida, al puesto de operadora designado por la macroinstrucción ya sea una orden que la operadora deberá ejecutar ó bien una supervisión, es decir el encendido de señalizadores que permiten informar a la operadora.

15 63) AFINU - Esta orden es idéntica a las órdenes anteriores, AFICH, AFORS, pero permite enviar por mediación del módulo entrada/salida, hacia el puesto de operadora designado por la macroinstrucción, un número completo ordenado en la memoria tampón; este número puede ser solicitado a la operadora por un abonado.

20 64) INDER - Esta orden permite el ordenamiento de la palabra 0 ó 40 de la memoria tampón de la fase de comienzo de mesa permitiendo un análisis de la numeración. Con esta ordenación, la fase anterior ordenada en la palabra 0 ó 40 de la memoria tampón es transferida a la palabra 1 ó 41 de la memoria tampón. La fase de análisis de la numeración es obtenida por la intersección (función Y lógica) de la fase de comienzo de mesa PH-DEB-Ta, y la adición del contenido de las palabras de la memoria tampón de direcciones Ad G (dirección grupo) y Ad Ind (dirección index).

30

65) INDEX - Esta orden es idéntica a la anterior, INDER, pero no hay transferencia previa del contenido de la palabra 0 ó 40 de la memoria tampón en la palabra 1 ó 41 de la memoria tampón.

5 66) ETROS - Esta orden permite la escritura de tres parámetros P1, P2, P3 en sectores de palabras de la memoria tampón cuyas direcciones son respectivamente Ad 1, Ad 2, y Ad 3; estas direcciones dan cada una la dirección de la palabra y del sector en esta palabra. El salto de fase impuesto es de + 1.

10 67) PIRSI - Esta orden permite efectuar una comparación entre el contenido de una dirección de señalización ordenada en la memoria tampón y un parámetro contenido en una palabra de dirección Ad de la memoria tampón.

15 La dirección de señalización es dada por la palabra de la memoria tampón cuya dirección Ad es dada por la macroinstrucción, y el contenido del módulo receptores de señalización es ordenado en la palabra 4, ó 44 de la memoria tampón. La dirección de señalización contiene por tanto el número de una unidad de selección, el número de una vía temporal y el número de un multiplex entrante.

20 El valor del parámetro es dado por la palabra de dirección Ad P de la memoria tampón. Una comparación es efectuada entre el valor del parámetro y el contenido del módulo receptores de señalización; en caso de igualdad, el salto de fase es SPH1 cuyo valor está comprendido entre 0 y  $\pm 2.047$ ; si no hay igualdad el salto de fase es SPH2 cuyo valor está comprendido entre 0 y  $\pm 127$ .

25 68) SIRAZ - Esta orden permite efectuar una comparación entre el contenido del módulo receptores de señalización a una dirección de señalización y un parámetro. La dirección de señalización, número de unidad de selección, número de vía temporal, número de un multiplex entrante, es dada por la palabra de la memoria tampón cuya dirección Ad Cor es dada por la macroinstrucción; el valor CS del parámetro es dado por la macroinstrucción. Si el ensayo es positivo hay puesta a cero de una temporización en la palabra de

30

la memoria tampón cuya dirección Ad Te es dada por la macroinstrucción, -  
y después salto de fase SPH1 cuyo valor está comprendido entre 0 y  $\pm 127$ .  
En caso de ensayo negativo no hay puesta a cero de la temporización y el  
salto de fase es SPH2 cuyo valor está comprendido entre 0 y  $\pm 127$ .

5 69) CHIMF - Esta orden permite la emisión de una cifra en multifrecuencias  
por el envío de un control al módulo emisores de señalización. Las infor-  
maciones siguientes son ordenadas en el módulo emisores de señalización:-  
- en la palabra 1, el código función F  
- en la palabra 2, el contenido de la palabra de la memoria tampón cuya -  
10 dirección Ad Cor es dada por la macroinstrucción; la palabra de la memoria  
tampón contiene por tanto el número de una unidad de selección, el número  
de una vía temporal, el número de un multiplex saliente,  
- en la palabra 3, la cifra en código multifrecuencias que es ordenada en  
la palabra de la memoria tampón de dirección Ad CH.

15 El salto de fase es SPH cuyo valor está comprendido entre 0 y  
 $\pm 16.000$ .

20 70) TRESI - Esta orden permite comparar el contenido del módulo recepto-  
res de señalización a la dirección de señalización dada por la palabra de  
la memoria tampón de dirección Ad Cor, con un parámetro P S cuyo valor es  
dado por la macroinstrucción. Si la comparación es positiva, el salto de  
fase impuesto es de  $\pm 1$ ; si la comparación es negativa, una segunda compa-  
ración es efectuada entre el contenido de la palabra de dirección Ad E de  
la memoria tampón y la palabra 0 de una zona tampón del módulo de entrada/  
salida, cuya dirección Ad TE es dada por la macroinstrucción. Si esta se-  
25 gunda comparación es positiva, el salto de fase es SPH2 cuyo valor está  
comprendido entre 0 y  $\pm 7$ ; si es negativo el salto de fase es SPH3 cuyo  
valor está comprendido entre 0 y  $\pm 7$ .

30 71) RETNOR - Esta orden permite imponer un retorno hacia el programa des-  
pués de la ejecución de un sub-programa. El código C dado por la macroins-  
trucción indica si este retorno debe efectuarse hacia el programa de ni-

vel 1 ó de nivel 2.

- Los números de las palabras de las memorias tampón indicados en las órdenes anteriores son dados en código octal.

Ahora se va a describir los cinco tipos de instrucciones representados en la figura 10 y que se caracterizan por las órdenes ANT, POP, ADM, AIM, ATE; cada instrucción constituye una palabra instrucción de 48 eb; los eb 1,2,3 definen la orden de la instrucción.

1- ANT. Esta orden permite efectuar ó bién un análisis ó bién un ensayo - según el valor de la carátula M del eb 4 de la instrucción; si este valor es 0 se trata de un análisis y si este valor es 1 se trata de un ensayo.

El análisis permite efectuar una comparación sobre 16 eb por grupo de 4 eb con una orden de prioridad; el primer acumulador 151 se carga por la instrucción anterior y el segundo acumulador 152 se carga por los parámetros P1, P2, P3, P4; de la palabra instrucción de orden ANT; cada grupo de 4 eb que salen de la red de decaleje 153 se compara respectivamente en el circuito de cálculo 154 a los parámetros P1, P2, P3, P4; una igualdad provoca a la salida del comparador 157 el salto de fase correspondiente SPH1, SPH2, SPH3, SPH4 dado por la instrucción, con una prioridad que va de SPH1 a SPH4; en caso de cuádruple desigualdad hay salto de fase SPH0 dado por la instrucción.

Los saltos de fase SPH1 a SPH4 tienen un valor comprendido entre 0 y  $\pm 7$ ; el salto de fase SPH0 tiene un valor comprendido entre 0 y  $\pm 127$ .

- El ensayo es efectuado sobre 1, 2, 3 ó 4 eb. El primer acumulador 151 ha sido cargado a través de la barra de informaciones multirregistradora LIMP por la instrucción anterior, pero en este caso se observa cuatro veces el mismo grupo de 4 eb; el segundo acumulador 152 recibe los parámetros P1 a P4 que tienen diferentes formas según que se trate de ensayar 1, 2, 3 ó 4 eb; cada grupo de 4 eb que salen de la red de decaleje 153 es ensayado respectivamente en el circuito de cálculo 154 con respecto a los pa-

rámetros P1 a P4. La salida del circuito de cálculo 154 se conecta al -  
circuito comparador 157 y el ensayo en el circuito comparador 157, entre  
los contenidos de los dos acumuladores 151 y 152, provoca el salto de fa-  
se correspondiente a SPH1, SPH2, SPH3 ó SPH4 dado por la instrucción; el  
5 primer ensayo correcto determina el salto de fase en la órden de SPH1 a  
SPH4; en caso de ensayo no correcto el salto de fase es SPH0.

Los valores de los saltos de fase SPH1, SPH2, SPH3, SPH4 están  
comprendidos entre 0 y  $\pm 7$ , el valor del salto de fase SPH0 está compren-  
dido entre 0 y  $\pm 127$ . eb 45 - Referencia MI, este elemento binario de la  
10 instrucción, si tiene el valor 1, impide la carga del segundo acumulador  
por los elementos binarios (eb) 5 a 20 de la instrucción, habiendo sido  
cargado el segundo acumulador por la instrucción anterior.

2 - POP. Esta órden permite efectuar operaciones lógicas y aritméticas;  
la forma de operación MO en función del valor del eb 4; si este valor es  
15 0 se trata de una operación lógica, y si este valor es 1 se trata de una  
operación aritmética.

eb 5 - Referencia C. Controla la dirección de las palabras registradoras  
de las memorias tampón. Si su valor es 1, valida la puerta Y 120 del cir-  
cuito de direccionado espacial 39, figura 6a, permitiendo el diréccionado  
20 de las palabras registradoras 32 a 63 de la memoria tampón 20 ó 21 que  
trabaja en direccionado espacial.

Si su valor es 0, la puerta Y 120 no es validada y hay direc-  
cionado de las palabras 0 a 31 de la memoria tampón 20 ó 21 que trabaja  
en direccionado espacial.

25 eb 6 a 8 - Referencia AD1. Definen una dirección; ésta es proporcionada  
por el decodificador de direcciones 167 sobre la línea de control LCR.

eb 9 -I1 se referencia A y permite, si su valor es 1, la transferencia  
en el primer acumulador 151 de las informaciones conducidas por la barra  
de informaciones multirregistradora LMR.

30 eb 10 - Referencia T. Permite, si su valor es 1, transferir 4 veces sobre

la barra de informaciones multirregistradora LMR, un sector de 4 eb de esta barra de informaciones multirregistradora.

eb 11 a 14 - no utilizados.

5 eb 15 - Referencia A B; si su valor es 1 permite la transferencia del contenido del primer acumulador 151 en el segundo acumulador 152 a través de la barra de informaciones multirregistradora LMR y el circuito lógico 161.

10 eb 16- Referencia C. Si su valor es 1 permite la transferencia, en el tercer acumulador 155, el resultado del cálculo en el circuito de cálculo 154.

15 eb 17 a 19 - Referencia DEC. Estos elementos binarios indican el tipo de decalaje, izquierda ó derecha, a efectuar en la red de decalaje 153, sobre el contenido del primer acumulador 151; indican igualmente el valor de este decalaje: 1, 4, 8, 12 para un decalaje a la derecha y 1, 4, 8 para un decalaje a la izquierda.

eb 20 - Referencia EUS. Si su valor es 1, permite la transferencia del contenido del tercer acumulador 155 sobre la barra de informaciones multirregistradora LMR.

20 eb 21 a 24 - Referencia CAL. El código de estos elementos binarios indica al circuito de cálculo 154 el tipo de operación a efectuar sobre el contenido de los primer y segundo acumuladores 151, 152. Estas operaciones son las operaciones lógicas ó aritméticas corrientes: comparación, adición, substracción, incremento (+ 1) ó disminución (-1) en el contenido del primer acumulador, unión, intersección, exclusión, transferencia del contenido de uno de los acumuladores 151 ó 152 en el tercer acumulador 155. El control del circuito de cálculo es realizado a través del circuito lógico 160.

25 eb 25 - Referencia CE. Si su valor es 1, impone un "1" a la entrada retenida del circuito de cálculo 154.

30 eb 26 - Referencia CS. Si su valor es 1, valida la salida retenida del -

circuito de cálculo 154; esta salida retenida es utilizada para permitir la elección del salto de fase.

eb 27 - Inutilizado.

5 eb 28 - Referencia SPH1. Si su valor es 1 hay imposición del salto de fase ordenado en SPH0 (eb 37 a 44); este salto de fase está comprendido entre 0 y  $\pm 127$ .

10 eb 29 a 32 - Referencia SPH2. Estos elementos binarios definen un salto de fase cuyo valor está comprendido entre 0 y  $\pm 7$ . Este salto de fase tiene lugar cuando el resultado de la comparación efectuada por el circuito de cálculo 154 entre los contenidos de los acumuladores 151 y 152 indica que el contenido del primer acumulador 151 es superior al contenido del segundo acumulador 152.

15 eb 33 a 36 - Referencia SPH1. Estos elementos binarios definen un salto de fase cuyo valor está comprendido entre 0 y  $\pm 7$ . Este salto de fase tiene lugar cuando el resultado de la comparación efectuada por el circuito de cálculo 154 entre los contenidos de los acumuladores 151 y 152 indica la igualdad de estos contenidos.

20 eb 37 a 44 - Referencia SPH0. Estos elementos binarios definen un salto de fase comprendido entre 0 y  $\pm 127$ . Este salto de fase puede imponerse por el elemento binario eb 28; puede igualmente tener lugar cuando el resultado de la operación en el circuito de cálculo 154 entre los contenidos de los acumuladores 151 y 152 indica que el contenido del primer acumulador 151 es inferior al contenido del segundo acumulador 152.

25 eb 45 - Referencia MI. Este elemento binario si tiene el valor "1" indica que el codificado de los elementos binarios eb 21 a 24 que definen el tipo de operación a efectuar por el circuito de cálculo 154 no procede de la palabra instrucción de orden POP, si no de la macroinstrucción en curso de ejecución que ha cargado el registro de control 159 por la barra de informaciones multirregistradora LIMR; el contenido del registro del control es enviado a la entrada de control del circuito de cálculo 154 a -

30

través del circuito lógico 160.

3 - ADM. Esta orden permite la escritura ó la lectura en una memoria tampón de una palabra registradora completa, ó de 1 a 4 sectores de esta palabra; la escritura ó la lectura, se realiza por direccionado directo de la memoria tampón, siendo dada la dirección por los elementos binarios 11 a 48, referencia ADME, de la instrucción.

eb 4 - El elemento binario 4, referencia E/L indica la escritura si su valor es 1 y la lectura si su valor es 0.

eb 5 - Referencia C. Este elemento binario controla, como para la instrucción de orden POP, el direccionado de las palabras registradoras de la memoria tampón 20 ó 21 que trabaja en direccionado espacial. Si su valor es 1, permite el direccionado de las palabras registradoras 32 a 63, si su valor es 0 hay direccionado de las palabras registradoras 0 a 31.

eb 6 a 8 - Referencia Ad1. Estos elementos binarios definen una dirección; esta es proporcionada por el decodificador de direcciones 167 sobre la línea de control LCR.

eb 9 - Referencia A. Este elemento binario, si tiene el valor 1, permite la transferencia en el primer acumulador 151 de las informaciones que proceden de una memoria tampón por la barra de informaciones multirregistradora LMR.

eb 10 - Referencia T. Como para la instrucción de orden POP, este elemento binario permite, si su valor es 1 transferir 4 veces sobre la barra de informaciones multirregistradora LMR un sector de una palabra registrada.

eb 11 a 16 - Referencia ADME. Estos elementos binarios definen una dirección de una palabra de una memoria tampón.

eb 17 y 18 - Referencia SEC. Estos elementos binarios dan el número del ó de los sectores de la palabra de la memoria tampón cuya dirección es dada por ADME. El sector 1 es codificado 00, el sector 4 es codificado 11.

eb 19 - Referencia V. Este elemento binario, si tiene el valor 1, valida el direccionado del un sector; si tiene el valor 0, valida el direccionado de una palabra (4 sectores) ó de un octeto (2 sectores).

5 eb 20 - Referencia AC. Este elemento binario permite un direccionado complementario a partir del registro de direcciones 57 del circuito de direccionado espacial 39 de la figura 6b.

eb 21 a 36 - Referencia P. Estos 16 eb definen un parámetro que tienen dos utilizaciones diferentes.

10 Si la señal dirección AD 103 codificada en los eb 6 a 8 proporcionada por el codificador de dirección 167 sobre la línea de control LCR es validada, el contenido de los 16 eb del parámetro es enviado sobre la barra de informaciones multirregistradora LIMR para inscribirse en la memoria tampón; si la señal dirección AD 103 no es validada, algunos eb del parámetro son combinados con los eb 6 a 8 de la dirección AD 1.

15 eb 37 a 44 - Referencia SPH1. Estos elementos binarios definen un salto de fase impuesto por la instrucción; el valor de éste salto de fase está comprendido entre 0 y  $\pm 127$ .

20 eb 45 - Referencia PH. Este elemento binario permite la inscripción en memoria tampón de la próxima fase del macroprograma, al final del tratamiento de la instrucción; en este caso el eb 4 tiene el valor 1 (inscripción).

4 - AIM - Esta orden permite, como la orden ADM, la escritura ó la lectura, en una memoria tampón, de una palabra registradora completa, ó de 1 a 4 sectores de estapalabra; pero con la orden AIM la escritura, ó la lectura se realiza por direccionado indirecto, es decir que la dirección de la palabra registradora está contenida en el registro de dirección 57 figura 6b, cargado ya sea por la barra de informaciones multirregistradora LIMR ó bien por el contenido de una palabra registradora ó incluso durante la fase que precede a la presente instrucción de orden AIM. Las funciones de los elementos binarios eb 4 a 10 y 19 a 44 tienen el mismo significado que las de los eb 4 a 10 y 19 a 44 de la instrucción de orden ADM.

25

30

eb 11 - Referencia BUS . Si su valor es "1" permite enviar el contenido del primer acumulador 151 sobre la barra de informaciones multirregistradora LIMR.

eb 12, 13 - No utilizados.

5 eb 14 - Referencia BUS. Si su valor es 1 permite enviar el contenido del segundo acumulador 152 sobre la barra de informaciones multirregistradora LIMR.

eb 15 - Referencia ACB. Si su valor es 1 permite la carga del segundo acumulador 152 por la barra de informaciones multirregistradora LIMR.

10 eb 16 - Referencia T0. Si su valor es 1 permite el reagrupamiento por 8 de los 16 cables que constituyen la barra de informaciones multirregistradora LIMR, constituyendo cada agrupamiento por 8, una información.

eb 17, 18, 45 - No utilizados.

15 5 - ATE. Esta órden permite transferencias entre las palabras del registrador presente en una memoria tampón y el módulo de entrada/salida 24 del multirregistrador; como se ha indicado durante la descripción del módulo entrada/salida este comprende 1 ó 2 bloques entrada/salida (ENSAYO 0 ENSAYO 1). El módulo de entrada/salida permite memorizar las informaciones intercambiadas entre un multirregistrador 10 ó 11, y en intercambiador 12 que le está asociado como se indica en las figuras 2 y 3. Una memoria tampón de órden ATE comprende dos partes simétricas: la parte direccionado memoria tampón y la parte direccionado módulo de entrada/salida.

Parte direccionado memoria tampón.

eb 4 - Referencia E.L. Si su valor es 1 indica una escritura en memoria tampón; si su valor es 0 indica una lectura de la memoria tampón.

25 eb 5 - Referencia C. Este elemento binario controla, como para la instrucción de órden POP, el direccionado de las palabras registradoras de la memoria tampón 20 ó 21 que trabaja en direccionado espacial.

30 eb 6. Referencia ENSAYO 0. Este elemento binario permite validar si su valor es 1, el direccionado del primer bloque entrada/salida del módulo entrada/salida 24.

- eb 7. Referencia ENSAYO 1. Este elemento binario permite validar, si su valor es 1 el direccionado del segundo bloque entrada/salida del módulo entrada/salida 24.
- 5 eb 8. Referencia VMI. Este elemento binario permite validar, si su valor es 1, la parte de la macroinstrucción a enviar sobre la barra de informaciones multirregistradora LIMR.
- eb 9 a 20. Estos elementos binarios tienen la misma utilización, direccionado directo de la memoria tampón, que los eb 9 a 20 de la instrucción de orden ADM.
- 10 Parte direccionado módulo de entrada/salida.
- eb 21 a 28. Referencia ADTES. Estos elementos binarios dan la dirección de una palabra en un bloque tampón.
- eb 29 y 30. Referencia Sec. Estos elementos binarios dan el número de uno ó de los sectores de la palabra designada por ADTES.
- 15 eb 31 - Referencia V. Este elemento binario, si tiene el valor 1, valida el direccionado de un sector; si tiene el valor 0 valida el direccionado de una palabra (4 sectores), ó de un octeto (2 sectores).
- eb 32 - Referencia E. Este elemento binario, si tiene el valor 1, permite una escritura en un bloque tampón ensayo 0 ó ensayo 1.
- 20 eb 33 - Referencia CH1. Este elemento binario, si tiene el valor 1, permite la carga del registro de direccionado del bloque tampón ENSAYO 0 ó ENSAYO 1, por la barra de informaciones multirregistradora LIMR.
- eb 34 - Referencia Ad. Este elemento binario, si tiene el valor 1 permite el direccionado de la palabra del bloque tampón a partir del registro de direccionado cargado anteriormente por el eb 33.
- 25 eb 35 - Referencia CH2. Este elemento binario, si tiene el valor 1 permite la carga del segundo acumulador 152 por la barra de informaciones multirregistradora LIMR.
- eb 36 - Referencia T. Este elemento binario, si tiene el valor 1, permite la transferencia del número de registrador, sobre la barra de informacio-
- 30

nes multirregistradora LIMR.

eb 37 a 44 - Referencia SPHI. Estos elementos binarios definen un salto de fase impuesto; su valor está comprendido entre 0 y  $\pm 127$ .

5 eb 45 - Referencia L. Este elemento binario, si tiene el valor 1, indica la lectura del bloque tampón designado por uno de los elementos binarios 6 ó 7, referencias ENSAYO 0 ó ENSAYO 1.

Para todas las instrucciones anteriormente descritas los elementos binarios 46 y 48 tienen el mismo significado; el elemento binario 47 es inutilizado.

10 eb 46 - Referencia RSI. Este elemento binario sirve para validar el sentido de los intercambios con el módulo receptores de señalización 22, figura 3. Si su valor es 1, el módulo receptores de señalización envía sus informaciones sobre la barra de informaciones multirregistradora LIMR; si su valor es 0 el módulo receptores de señalización recibe informaciones  
15 por la barra de informaciones multirregistradora LIMR.

eb 48 - Referencia IMP. Es el elemento binario de imparidad de la palabra instrucción.

Si el número de 1 de la palabra instrucción es impar, su valor es 0; si el número de 1 de la palabra instrucción es par, su valor es 1  
20 a fin de restablecer la imparidad de la palabra instrucción.

Para las órdenes POP, ADM, AIM, los eb 6 a 8 definen una dirección referenciada AD 1 en la palabra instrucción de la figura 10; la dirección referenciada AD 1, es proporcionada por el decodificador de direcciones 167, figura 9 sobre la línea de control LCR, que proporciona señales de direcciones AD 101 a AD 107, como se ha indicado durante la descripción de la figura 9.  
25

Ahora se vá a describir el intercambiador 9 de la figura 2, representado esquemáticamente en la figura 4.

La figura 14 representa esquemáticamente el dispositivo lógico de control 26 de la figura 4; en la figura 14, el bloque lógico de con  
30

trol 27 de la figura 4 está constituido por un módulo de direccionado directo e indirecto 270, un módulo memoria central 271, un módulo bloque operador 272, un módulo de tratamiento de las fases 273, un módulo de reagrupamiento de las informaciones 274, un módulo memoria de temporización ilógica de llamadas prioritarias 275, dos puertas Y 281, 282, un inversor 283; igualmente se encuentra, en la figura 14 el bloque memoria de instrucciones 28 de la figura 4, el módulo 276 representa el conjunto de los módulos 29 a 34 de la figura 4; estos módulos serán descritos más tarde. Los módulos 270, 271, 272, 273, 274, 275, y el bloque memoria de instrucciones 28 se unen a una barra de informaciones intercambiadora LIME; estos módulos y el módulo 276 se unen a una línea de control LCE y a una barra de direcciones LAE. Los módulos 272, 274, 275, 276, se unen a una barra de ensayo de informaciones LTI. El módulo de direccionado directo e indirecto 270 se une al módulo memoria central 271 por la unión 277; el módulo bloque operador 272 se une al módulo de tratamiento de las fases 273 por la conexión 278; el módulo de tratamiento de las fases 273 se conecta al bloque memoria de instrucciones 28 por la conexión 279; el módulo de dirección directa e indirecta 270 se conecta al módulo 276 por la línea de direccionado LAB. La barra de informaciones intercambiadora LIME se conecta a una entrada de una puerta Y 281 cuya salida se conecta a la barra de intercambios LIE conectada al módulo 276, conectándose la barra de intercambios LIE a una entrada de la puerta Y 282 que puede recibir así informaciones procedentes del módulo 276. La conexión 280 conecta la línea de control LCE a otra entrada de la puerta Y 282 y a la entrada de un inversor 283 cuya salida se conecta a otra entrada de la puerta Y 281, conduciendo la conexión 280 conectada a la línea de control LCE el elemento binario eb 46 de las instrucciones de órdenes OPE, AMT, AES que serán descritas más tarde, y que son emitidas por el bloque memoria de instrucciones 28; la salida del inversor 283 se conecta a la entrada de la puerta Y 281; la salida de la puerta Y 282 se conecta a la barra de informaciones intercam

biadora LIME. En ausencia del elemento binario 46, la puerta Y 281 es validada y las informaciones presentes en la barra de informaciones intercambiadora LIME son transmitidas a la barra de intercambios LIE; cuando el elemento binario 46 tiene el valor 1, la puerta Y 282 es validada y las informaciones presentes en la barra de intercambios LIE son transmitidas a la barra de informaciones intercambiadora LIME.

La figura 15 representa el módulo de direccionado directo e indirecto 270 y el módulo memoria central 271.

En el módulo de direccionado directo e indirecto 270, una puerta Y 290 tiene una entrada conecta a la barra de informaciones intercambiador LIME y otra entrada recibe, por la línea 291 conectada a la barra de direcciones LAE, una dirección AD1; la salida de la puerta Y 290 se conecta a la entrada de un registro de direccionado memoria 292, cuya salida se conecta a una entrada de una puerta Y 293; otra entrada de la puerta Y 293, conectada a la línea de control LCE recibe así el elemento binario 10 de la instrucción de orden AMT. Una puerta Y 294 recibe en una entrada la orden AMT del decodificador de órdenes 343 del bloque memoria de instrucciones 28 representado en la figura 17; otra entrada conectada a la línea de control LCE recibe así los elementos binarios 11 a 16 y 17 a 20. Las salidas de las puertas Y293, 294 se conectan respectivamente a una entrada de una puerta O 295 cuya salida se conecta por la conexión 277 al circuito de direccionado 297 de la memoria 298; la salida de la puerta O 295 se conecta igualmente a una línea de direccionado LAD a la que proporciona direcciones definidas por 6 elementos binarios. El módulo de direccionado directo e indirecto 270 permite la escritura ó la lectura de la memoria central 298 ya sea por direccionado directo ó bien por direccionado indirecto. En el direccionado directo, la dirección es dada por la instrucción de orden AMT; esta forma de direccionado no permite explotar más que las 64 primeras palabras de la memoria 298. En el direccionado indirecto, la memoria 298 es direccionada por el registro de direccionado

nado memoria 292 previamente cargado por la barra de informaciones intercambiadora LIME; la utilización de esta forma de direccionado permite direccionar la totalidad de la memoria 294, puesto que la puerta Y 293 recibe el elemento binario 10 de paginación de la instrucción de orden AMT - (ver más tarde la descripción de las instrucciones).

El módulo memoria central 271 es representado en la figura 15; comprende una memoria 298 con su circuito de direccionado 297, un registro de salida paralelo 299 y dos puertas Y 300, 301. La memoria 298 tiene una capacidad de 256 palabras de 16 elementos binarios y su entrada y su salida se conectan a la barra de informaciones intercambiadora LIME; cada palabra es seccionada en 4 sectores de 4 elementos binarios, siendo cada sector de acceso independiente. La escritura ó la lectura en memoria se realiza en paralelo. La puerta Y 300 tiene una entrada conectada a la barra de informaciones intercambiadora LIME, otra entrada conectada a la barra de direccionado LAE recibe el direccionado AD1, y otra entrada conectada a la línea de control LCE recibe el elemento binario 29; la puerta Y301 tiene una entrada conectada a la salida del registro de salida paralelo 299, otra entrada conectada a la barra de direccionado LAE que recibe la dirección AD1, y otra entrada conectada a la línea de control LCE que recibe el elemento binario 22; la salida de la puerta Y 301 se conecta a la barra de informaciones intercambiadora LIME.

El módulo memoria central asegura la misión de tampón entre el módulo bloque operador 272, las memorias de los módulos periféricos y los módulos de intercambio entre las unidades de control 29, de intercambio red de conexión 30, de intercambio unidades de selección 31; en la memoria 298, diferentes tipos de informaciones son memorizadas: los resultados intermedios, mensajes de explotación durante el tratamiento, las fases de retorno, índices de desviación del programa, índices de conteo de bucle de programa, diversos parámetros. Las informaciones leídas en la memoria 298 son enviadas al registro de salida paralelo 299 a través de

la barra de informaciones intercambiadora LIME.

La figura 16 representa el módulo bloque operador 272 de la figura 14. El bloque operador permite ensayar informaciones, efectuar decalajes en informaciones, efectuar operaciones lógicas y aritméticas y conseguir, en función del resultado de estas operaciones, diferentes saltos de fase. Una puerta Y 306 tiene una entrada conectada a la barra de información intercambiadora LIME, y otra entrada conectada a un inversor 305 que recibe la orden TAN; otra entrada conectada a la línea de control LCE recibe el eb 9, de modo que la puerta no es activa durante una instrucción de orden TAN. La salida de la puerta Y 306 se conecta a la entrada de una puerta O 307 cuya otra entrada se conecta a la barra de ensayo de las informaciones LTI. La salida de la puerta O 307 se conecta a la entrada de un primer acumulador A cuya salida se conecta a la entrada de una red de decalaje 308 que tiene su circuito de control de decalaje 309 conectado por una parte a la línea de control LCE de la que recibe los elementos binarios 17 a 20 de las instrucciones, y por otra parte al decodificador de órdenes 343 del bloque memoria de instrucciones 28 (figura 17) del que recibe la orden OPE. La red de decalaje 308 permite efectuar decalajes a la derecha ó la izquierda, en el contenido del primer acumulador A; el valor del decalaje está dado por los elementos binarios 17 a 20 de la instrucción de orden OPE; el contenido del primer acumulador A, decalado ó no puede ser enviado directamente, a la salida de la red de decalaje, sobre la barra de informaciones intercambiadora LIME por mediación de una puerta Y 311, conectándose la salida de la red de decalaje a una entrada de la puerta Y311, y a una entrada de un circuito de cálculo 310. Otra entrada de la puerta Y311 se conecta a la barra de direccionado LAE y recibe la dirección AD1; una puerta Y313 tiene una entrada conectada a la barra de informaciones intercambiadora LIME y otra entrada conectada a la línea de control LCE de la que recibe el elemento binario 15 de las instrucciones; una puerta Y314 tiene una entrada conectada a la línea de control LCE

de la que recibe los elementos binarios 5 a 20, y otra entrada que recibe la orden TAN de decodificador de órdenes 343 del bloque memoria de instrucciones 28. Las puertas Y313 y 314 tienen sus salidas conectadas respectivamente a una entrada de una puerta 0 315 cuya salida se conecta a la -  
5 entrada de un segundo acumulador B que tiene su salida conectada a una -  
entrada del circuito de cálculo 310, a una puerta Y312 y a un comparador 318. La puerta Y 312 tiene una entrada conectada a la salida del segundo acumulador B, y otra entrada conectada a la barra de direccionado LAE y así recibe una dirección AD1. El circuito de cálculo 310 está controlado por un circuito de control 316 que tiene una entrada conectada a la línea  
10 de control LCE de la que recibe los elementos binarios 4 y 21 a 24, y otra entrada que recibe la orden OPE.

El circuito de cálculo 310 puede efectuar 16 operaciones lógicas ó aritméticas en dos palabras contenidas en los primer y segundo acumuladores A y B; estas operaciones pueden efectuarse en una de las palabras  
15 de 16 elementos binarios, en grupos de 4 eb, ó incluso elemento binario -  
por elemento binario. La salida del circuito de cálculo 310 se conecta a la entrada de un tercer acumulador C cuyas salida se conecta a una entrada de una puerta Y317 que tiene otra entrada conectada a la barra de direccionado LAE y que recibe una dirección AD1. La salida del circuito de cálculo  
20 310 se conecta igualmente a una entrada del comparador 318 que tiene 4 salidas conectadas a un circuito de prioridad 319 que permite seleccionar un salto de fase y solo uno; el circuito de prioridad 319 tiene 5 salidas conectadas respectivamente a una entrada de las puertas Y 320, 321, 322, -  
323, 324, que tienen cada una otra entrada conectada a la línea de control  
25 LCE de la que reciben respectivamente los elementos binarios 33 a 36, 29 a 32, 25, a 28, 21 a 24 y 37 a 44, determinando los saltos de fase SPH1, SPH2, SPH3, SPH4, SPH0. Durante una instrucción de orden OPE solo tres saltos de fase como máximo se utilizan; durante una instrucción de orden TAN, los cinco saltos de fase son posibles, siendo el quinto SPH0 la negación  
30 de los otros cuatro. Las salidas de las puertas Y320, 321, 322, 323, 324

se conectan respectivamente a una entrada de una puerta 0 325 cuya salida se conecta por la conexión 278 al módulo de tratamiento de las fases 273.

La figura 17 representa el módulo de tratamiento de las fases 273, el bloque memoria de instrucciones 28, y el módulo de reagrupamiento de las informaciones 274. El módulo de tratamiento de las fases 273, comprende un circuito de cálculo 330, dos puertas Y331, 333, un inversor 332 una puerta 0 234, un registro de preparación de fases 335, un registro de fases 336, y un decodificador de fases 337. Una entrada del circuito de cálculo 330 se conecta por la conexión 278 a la salida de la puerta 0 325 de la figura 16; otra entrada se conecta a la salida de fases 336, y otra entrada se conecta por la conexión 338 al pupitre que permite imponer un programa de instrucciones. La salida del circuito de cálculo 330 se conecta a una entrada de la puerta Y331. La puerta Y333 tiene una entrada conectada a la barra de direccionado LAE y recibe así una dirección AD3 durante una instrucción de orden AES; la entrada se conecta a través de un inversor 332 a otra entrada de la puerta Y331. Otra entrada de la puerta Y333 se conecta a la barra de informaciones intercambiadora LIME. Las salidas de las puertas Y331, 333, se conectan respectivamente a una entrada de una puerta 0 334 cuya salida se conecta a la entrada del registro de preparación de fases 335 que tiene su salida conectada a la entrada del registro de fases 336. La salida del registro de fases 336 se conecta a la entrada del decodificador de fases 337 cuya salida se conecta por la conexión 279 al circuito de direccionado 341 de la memoria de instrucciones 342 del bloque memoria de instrucciones 28. El bloque memoria de instrucciones 28 comprende una memoria de instrucciones 342 con su circuito de direccionado 341, un decodificador de órdenes 343, un decodificador de direcciones 344, una puerta Y 345, un circuito de control de imparidad 346. La salida de la memoria de instrucciones constituida por los 48 eb de las instrucciones se conecta, por una parte, a la línea de control LCE y, por otra a la entrada del decodificador de órdenes 343 y a la

5 entrada del decodificador de direcciones 344. El decodificador de órdenes 343 tiene cuatro salidas que corresponden cada una a una orden: TAN, OPE, AMT, AES que caracterizan una instrucción. El decodificador de direcciones 344 proporciona la salida a las direcciones AD1, AD2, AD3 contenidas en las instrucciones de órdenes OPE, AMT y AES; la salida del decodifica-  
10 dor de direcciones 344 constituye la barra de direcciones LAE. El circuito de control de imparidad 346 tiene su entrada conectada a la línea de control LCE y su salida está conectada al pupitre por la conexión 347. La puerta Y345 tiene una entrada conectada a la salida de la memoria de ins-  
15 trucciones 342 y recibe así los elementos binarios 21 a 36, y otra entrada conectada a la salida de la memoria de instrucciones 342 recibe así el elemento binario 45 que puede tomar el valor "1" únicamente para las ins-  
trucciones de orden AMT y AES; la salida de la puerta Y345 se conecta a la barra de informaciones intercambiadora LIME.

15 El módulo de reagrupamiento de las informaciones 274 está -  
constituido por cuatro puertas Y 351, 352, 353, 354 y por una puerta 0355; una entrada de cada una de las puertas Y se conecta a la barra de direc-  
ciones LAE y recibe así una dirección AD1; otra entrada de cada una de las  
20 puertas Y se conecta a la barra de informaciones intercambiadora LIME, -  
una tercera entrada de estas mismas puertas Y se conecta a la línea de -  
control LCE que proporciona un elemento binario 23 a 26 respectivamente a las puertas Y. La salida de cada una de las puertas Y se conecta respec-  
tivamente a una entrada de la puerta 0355 cuya salida se conecta a la bar-  
ra de ensayo de informaciones LTI. El módulo de reagrupamiento de las in-  
25 formaciones 274 asegura la selección de un sector de 4 eb entre cuatro sectores de la barra de informaciones intercambiadora LIME, para desviar este sector sobre la barra de ensayo de informaciones LTI con fines de ensayo, de análisis ó de comparación en el módulo bloque operador 272. Esto es particularmente interesante en la medida de que el contenido de  
30 una palabra de la memoria 298 del módulo memoria central 271 puede igual

mente enviarse a la barra de informaciones intercambiadora LIME por sectores de 4eb.

La figura 18 representa el módulo memoria de temporización y lógica de llamadas prioritarias 275, que comprende una puerta Y 360 que  
5 tiene una entrada conectada a la barra de informaciones intercambiadora LIME, y otra entrada conectada a la barra de direcciones LAE que le proporciona una dirección AD3; otra entrada se conecta a la salida del decodificador de órdenes 343 (figura 17) que proporciona la orden AES. La salida de la puerta Y360 se conecta a la entrada de un registro de direccionado 361 cuya salida se conecta a una entrada de una puerta 0362. Una  
10 puerta Y363 tiene una entrada conectada a la barra de informaciones intercambiadora LIME, y otra entrada conectada a la barra de direcciones LAE y recibe así una dirección AD3; la salida de la puerta Y363 se conecta a una entrada de una puerta 0 364 cuya salida se conecta a la entrada de una  
15 memoria de temporización 365. La puerta 0 362 recibe en una entrada las señales de reloj ti (figura 8) que están ligadas a las vías temporales de los multiplex de la central telefónica; la salida de la puerta 0362 se conecta al circuito de direccionado de la memoria de temporización 365. La memoria de temporización 365 tiene una capacidad de 32 palabras de 12 eb,  
20 comprendiendo cada palabra además un elemento binario denominado de desbordamiento. La salida m de la memoria de temporización se conecta a la entrada de un decontador 366 cuya salida se conecta a otra entrada de la puerta 0 364; la salida m está igualmente conectada a una entrada de una puerta Y367 cuya otra entrada se conecta a la barra de direcciones LAE y  
25 recibe así una dirección AD1. La salida desbordamiento de la memoria de temporización se conecta a una entrada de una puerta Y368 que recibe en otra entrada las señales de reloj ti de las vías temporales; la salida de la puerta Y368 se conecta a la entrada de un primer registro de llamadas prioritarias 369 cuya salida se conecta a una entrada de una puerta  
30 0370; un segundo registro de llamadas prioritarias 371 tiene su entrada

conectada a la salida de una puerta 0373 cuyas entradas están conectadas respectivamente por las conexiones 374, 375, 376, al módulo de intercambios unidades de selección 31 de la figura 19, al módulo de intercambio - entre las dos unidades de control 29 de la figura 20, y al módulo del intercambio red de conexión 30 de la figura 21; el segundo registro de llamadas prioritarias 271 recibe por tanto, por mediación de la puerta 0373, las llamadas prioritarias procedentes de los módulos 29, 30 y 31; si otros módulos de intercambios ó módulos periféricos debieran estar en el origen de llamadas prioritarias, serían igualmente conectados a la puerta 0373.

La salida del segundo registro de llamadas prioritarias 271 se conecta a otra entrada de la puerta 0370 cuya salida se conecta a una entrada de una puerta Y372 que tiene otra entrada conectada a la barra de direccionado LAE de la que recibe una dirección AD1. La inscripción del valor de la temporización en memoria se realiza a partir de la barra de informaciones intercambiadora LIME por la puerta Y363, estando entonces la memoria de temporización 365 en direccionado espacial a partir del registro de direccionado 361 y a través de la puerta 0362. La exploración cíclica de la memoria se realiza a continuación en direccionado temporal a partir de las señales de reloj ti. La palabra direccionada es ordenada en el decontador 366 donde es decrementada y después reinscrita en la memoria de temporización 365, a través de la puerta 0364, a la misma dirección. El valor de la palabra direccionada puede ser leído en la barra de informaciones intercambiadora LIME a partir de la puerta Y367. Cuando el deconteo de una palabra ha terminado, se genera una señal de desbordamiento que permite el ordenamiento en el primer registro de llamadas prioritarias - 369, de la dirección temporal de la palabra que ha desbordado. Esta dirección podrá ser leída en la barra de informaciones intercambiadora LIME a través de la puerta 0370 y la puerta Y372.

El segundo registro de llamadas prioritarias 371, puede memorizar ocho llamadas prioritarias, por ejemplo, y su lectura permite cono-

cer el origen de la llamada. Un programa de gestión de las llamadas prioritarias instaura una gerarquía en la urgencia de las tareas que el programa de intercambiador tiene que realizar; esto es indispensable, puesto que varias llamadas prioritarias pueden ser emitidas simultaneamente por varios módulos periféricos ó módulos de intercambios.

Ahora se van a describir las instrucciones utilizadas en el intercambiador, siendo estas instrucciones, como ya se ha indicado durante la descripción de la figura 14, en número de cuatro y caracterizadas cada una por una orden: TAN, OPE, AMT, AES; las instrucciones son definidas por 48 eb (elementos binarios), siendo definidas las órdenes por los eb 1, 2, 3, de cada instrucción. La figura 26 da el formato de las instrucciones del intercambiador.

1) TAN - Esta orden permite efectuar ó bien un análisis ó bien un ensayo según el valor de la carátula M del eb 4 de la instrucción; si éste valor es "0" se trata de un análisis y si este valor es "1" se trata de un ensayo.

El análisis que corresponde al caso en que el valor del eb 4 es "0", permite efectuar una comparación en 16 eb, por grupo de 4 eb, con una orden de prioridad. El acumulador A está cargado durante la instrucción anterior, por la barra de informaciones intercambiadora LIME, ó por la barra de ensayo de informaciones LTI, y el acumulador B está cargado por dos parámetros P1, P2, P3, P4 de la instrucción de orden TAN. Cada grupo de 4 eb es comparado respectivamente a P1, P2, P3, P4; en caso de igualdad hay salto de fase correspondiente SPH1, SPH2, SPH3, SPH4, con una prioridad que vá de SPH1 a SPH4. En caso de cuádruple desigualdad el salto de fase es SPH0. Los saltos de fase SPH1, SPH2, SPH3, SPH4 tienen un valor comprendido entre 0 y  $\pm 7$ ; el salto de fase SPH0 tiene un valor comprendido entre 0 y  $\pm 127$ .

El ensayo que corresponde al caso en que el valor del eb 4 es "1" es efectúado en 1, 2, 3 ó 4 eb. El acumulador A está cargado durante

la instrucción anterior por la barra de informaciones intercambiadora LIME ó por la barra de ensayo de informaciones LPI, pero en este caso se observan cuatro veces el mismo grupo de 4 eb. El acumulador B recibe directamente los parámetros P1 a P4 que tienen diferentes formas según que se trate de ensayar 1, 2, 3 ó 4 eb. Como para el análisis, la comparación entre el contenido de los dos acumuladores A y B provoca el salto de fase correspondiente SPH1, SPH2, SPH3 ó SPH4 dado por la instrucción; la primera comparación correcta determina el salto de fase en la orden de SPH1 a SPH4; en caso de comparación no correcta el salto de fase es SPH0.

10 eb 45, 46, 47 - Estos eb no son utilizados.

eb 48 - Elemento binario de imparidad.

2) OPE : Esta orden permite ó bien efectuar operaciones aritméticas ó lógicas en operandos ya presentes en los acumuladores ó bien llamar y ensayar ó analizar, en una sola fase una información presente en la barra de ensayo de informaciones LTI. La forma de operación, MO, es función del eb 4. Si su valor es "0" se trata de una operación lógica y su valor es "1" se trata de una operación aritmética.

15 eb 5 a8 - Referencia AD1- Se trata de una microinstrucción de 4 eb que permite transferir informaciones a ensayar de la barra de ensayo de informaciones LTI en el acumulador A.

20 eb 9 - Referencia A - Si su valor es "1" permite la transferencia, en el acumulador A de las informaciones presentes en la barra de informaciones intercambiadora LIME.

25 eb 10 a 14 - Referencia AD2. Se trata de una microinstrucción de 4 eb que proporciona la dirección fuente de datos a ensayar que son entonces proporcionados sobre la barra de ensayo de informaciones LTI.

eb 15 - Referencia B. Si su valor es "1" permite la transferencia del contenido del acumulador A en el acumulador B por mediación de la barra de informaciones intercambiadora LIME.

30 eb 16 - Referencia C. Si su valor es "1" permite la transferencia del re-

sultado del circuito de cálculo 310 (figura 16) en el acumulador C.

eb 17 a 20 - Referencia DEC. El código de estos 4 eb indica el tipo de de-  
calaje, izquierda ó derecha, a efectuar en el contenido del acumulador A;  
indican igualmente el valor de este decalaje; 1, 4, 8, 12 para un decalaje  
a la derecha, 1, 4, 8 para un decalaje a la izquierda.

5 eb 21 a 24 - Referencia CAL. El código de estos elementos binarios indica  
al circuito de cálculo 310 el tipo de operación a efectuar en el contenido  
de los acumuladores A y B. Estas operaciones son operaciones lógicas ó -  
aritméticas corrientes: comparación, adición, substracción, incremento -  
(+ 1) ó disminución (-1) en el contenido del acumulador A, unión, intersec-  
10 ción, exclusión, transferencia del contenido de uno de los acumuladores en  
otro: A en B, y A ó B en el acumulador C.

eb 25 - Referencia CE. Si su valor es "1" impone un "1" a la entrada del  
circuito de cálculo 310.

15 eb 26 - Referencia CS. Si su valor es "1" valida la salida retenida del  
circuito de cálculo 310; esta salida retenida es utilizada para permitir  
la elección del salto de fase.

eb 27 - Referencia CH. Si su valor es "1" este elemento binario permite ó  
bién un ensayo, si el elemento binario 22 tiene el valor "1", entre el con-  
tenido del acumulador A cargado por la barra de ensayo de informaciones -  
20 LTI y el valor del parámetro P definido por los elementos binarios eb 29  
a 32, ó bién un análisis, si eb 22 tiene el valor "0", entre el contenido  
del acumulador A y el valor del parámetro P. Si el eb 27 tiene el valor -  
"0", se trata de una comparación entre el contenido de los acumuladores A  
y B, y en ese caso los elementos binarios (eb) 29 a 32 no representan ya  
25 un parámetro, sinó un salto de fase.

eb 28 - Este elemento binario, si su valor es "1", impone un salto de fa-  
se incondicional dado por los eb 37 a 44. Este eb 28 tendrá por tanto el -  
valor "1" para todos los tipos de operaciones de orden OPE, con excepción  
de ensayo, análisis y comparación, para los que el salto de fase es fun-  
30 ción del resultado de la operación.

5 eb 29 a 32 - Referencia P/SPH2. Estos elementos binarios dan ó bien el valor de un parámetro P, si el elemento binario 27 tiene el valor "1", ó bien el valor de un salto de fase SPH2 si el elemento binario 27 tiene el valor "0", se trata entonces de una comparación entre los contenidos de los acumuladores A y B; en este caso SPH2 da el valor del salto de fase correspondiente si la comparación indica que el contenido del acumulador A es superior al contenido del acumulador B. El valor de salto de fase SPH2 está comprendido entre 0 y  $\pm 7$ .

10 eb 33 a 36 - Referencia SPH1 - Estos elementos binarios definen un salto de fase correspondiente ó bien a una igualdad entre los contenidos de los acumuladores A y B durante una comparación, ó bien a un ensayo positivo ó un análisis positivo en el caso en que el elemento binario 27 tenga el valor "1". El valor del salto de fase SPH1 está comprendido entre 0 y  $\pm 7$ .

15 eb 37 a 44 - Referencia SPH0. Estos elementos binarios definen un salto de fase cuyo valor está comprendido entre 0 y  $\pm 127$ . Este salto de fase tiene lugar en el caso en que no haya habido salto de fase SPH1, ó SPH2, es decir en el caso de ensayo negativo ó en el caso de una comparación que indique que el contenido del acumulador A es menor que el contenido del acumulador B. Este es igualmente el valor del salto de fase impuesto (eb 28 igual a "1") para cualquier operación aritmética ó lógica corriente.

20 eb 45 - Inutilizado.

25 eb 46 - Referencia CB. Este elemento binario permite intercambiar informaciones por mediación de la barra de intercambios LIE, entre módulos periféricos, ó módulos de intercambios y el dispositivo lógico de control 26 (figura 14) del intercambiador. Las informaciones llevadas por la barra de intercambios LIE son validadas en el sentido periféricas/dispositivo lógico de control si el valor de este elemento binario es "1", y son validadas en el sentido dispositivo lógico de control/periféricas si el valor de este elemento binario es "0".

30

eb 47 - Inutilizado

3) ANT Esta orden permite escribir ó leer una información (parámetro ó variable) en el módulo memoria central 271, y direccionar simultáneamente por la línea de direccionado LAD ó por una dirección AD1 proporcionada -  
5 por la barra de direccionado LAE, una dirección fuente para escritura en memoria, ó una dirección destino para lectura en memoria, de un módulo de intercambios ó de un módulo periférico.

eb 4 - Referencia EL. Si su valor es "1" permite la escritura de una pala  
bra en la memoria direccionada; si su valor es "0" permite la lectura de  
10 una palabra en la memoria direccionada.

eb 5 a 8 - Referencia AD1. Estos elementos binarios definen una dirección en un módulo periférico ó en un módulo de intercambios, ó incluso en el dispositivo lógico de control; combinados con los elementos binarios 21 a 36 del parámetro P, permiten validar una dirección fuente para escritura  
15 en una memoria, ó una dirección destino cuando se trata de leer en una memoria.

eb 9 - Referencia A. Si su valor es "1", este elemento binario permite la transferencia, en el acumulador A, de las informaciones llevadas por la barra de informaciones intercambiadora LIME.

eb 10 - Referencia PAG. Este elemento binario permite la paginación de la memoria 298 del módulo memoria central 271; si su valor es "1" permite -  
direccionar la memoria más allá de las 64 palabras direccionables por la instrucción de orden AMT. Si este elemento binario es validado, es decir  
20 si tiene el valor "1", la dirección de la memoria es una combinación del contenido de registro de direccionado memoria 292, cargado por una instrucción anterior, y elementos binarios 11 a 16, referencia ADMT, que definen una dirección de una palabra en una página de la memoria.

eb 11 a 16 - Referencia ADMT. Estos elementos binarios dan la dirección de una palabra de la memoria 298; la dirección es codificada en 6 elementos binarios, lo que permite direccionar una palabra entre 64; si el ele  
30

mento binario 10 tiene el valor "0" se trata de una palabra cuya dirección, es decir el número, está comprendido entre 0 y 63; si el elemento binario 10 tiene el valor "1" se trata de una palabra cuya dirección es dada por los elementos binarios 11 a 16 combinados con el contenido del registro de direccionado memoria 292 cargado por una instrucción anterior.

5 eb 17 a 20 - Referencia SCT. Estos elementos binarios permiten validar de 1 a 4 sectores de la palabra de dirección ADMT.

eb 21 a 36 ⊕ Referencia P. Se trata de un parámetro. Si el elemento binario 45 tiene el valor "1" el parámetro P es transferido en la barra de -

10 informaciones intercambiadora LIME para escribirse en memoria si el elemento binario 4 tiene el valor "1". Si el elemento binario 45 tiene el valor "0", los elementos binarios del parámetro son combinados con los de la dirección ADI para validar una dirección fuente si eb4 tiene el valor "1" ó una dirección destino si eb4 tiene el valor "0".

15 eb 37 a 44 - Referencia SPH. Estos elementos binarios definen un salto de fase a efectuar al final de la instrucción de orden AMT; el valor del salto de fase está comprendido entre 0 y  $\pm 127$ .

eb 45 - Referencia BUS. Si su valor es "1" este elemento binario permite la transferencia, en la barra de informaciones intercambiadora LIME, del

20 parámetro P.

eb 48 - Referencia CB. si su valor es "1" este elemento binario permite validar la barra de intercambios LIE en el sentido módulo periférico ó módulo de intercambios hacia el dispositivo lógico de control 26; estos se justifica en particular en el caso en que el elemento binario 4 tenga el

25 valor "1", lo que corresponde a la escritura en la memoria 298 de una información procedente de un módulo periférico ó de un módulo de intercambios. Si su valor es "0" este elemento binario 45 permite validar la barra de intercambios LIE en el sentido dispositivo lógico de control hacia un módulo periférico ó un módulo de intercambios; esto se justifica en -

30 particular si el elemento binario 4 tiene el valor "0" lo que correspon-

de a leer una información en la memoria 293 del módulo memoria central -  
271 de destino de un módulo periférico ó de un módulo de intercambios.  
eb 47 - Inutilizado.

5 4) AES. Esta órden permite transferir informaciones de una dirección fuen  
te, referencia AD1, hacia una dirección destino referencia AD3.

eb 4 - Inutilizado.

eb 5 a 8 - Referencia AD1. Estos elementos binarios, definen una direc-  
ción; combinados con los elementos binarios del parámetro P, permiten va-  
lidar una dirección fuente para las transferencias de las informaciones.

10 eb 9 - Referencia A. Permite, si su valor es "1", la transferencia en el  
acumulador A de las informaciones presentes en la barra de informaciones  
intercambiadora LIME.

eb 10 a 14 - Referencia AD2. Estos elementos binarios definen una direc-  
ción que proporciona una validación de dirección fuente de datos a ensa-  
15 yar.

eb 15 - Referencia B. Permite, si su valor es "1", la transferencia del  
acumulador B de las informaciones presentes en la barra de informaciones  
intercambiadora LIME.

eb 16 a 20 - Referencia AD3. Estos elementos binarios definen una direc-  
20 ción; combinados con los elementos binarios del parámetro P, permiten va-  
lidar una dirección destino para la transferencia de las informaciones.

eb 21 a 36 - Referencia P. Se trata de un parámetro que tiene dos utili-  
zaciones. Si el elemento binario 45 tiene el valor "1" el parámetro es -  
transferido sobre la barra de informaciones intercambiadora LIME para es-  
25 cribirse en una dirección destino validada por AD3; los elementos binarios  
presentes en la barra de informaciones intercambiadora LIME pueden com-  
binarse con los de AD3 para efectuar puestas a "0", para puestas a "1"  
de básculas ó para una inicialización completa del dispositivo lógico de  
control. Si el elemento binario 45 tiene el valor "0", los elementos bi-  
30 narios del parámetro se combinan con los de AD1 para validar direcciones

fuentes que son los orígenes de las informaciones a transferir.

eb 37 a 44 - Referencia SPH. Estos elementos binarios definen un salto de fase a efectuar al final de la instrucción de orden AES; el valor del salto de fase está comprendido entre 0 y  $\pm 127$ .

5 eb 45 - Referencia BUS. Si su valor es "1" este elemento binario permite la transferencia sobre la barra de informaciones intercambiadora LIME, del parámetro P.

10 eb 46 - Referencia CB. Si su valor es "1" este elemento binario permite validar la barra de intercambios LIE en el sentido módulo periférico ó - módulo de intercambios hacia el dispositivo lógico de control; si su valor es "0" la barra de intercambios LIE es validada en sentido contrario. Esto es particularmente interesante para reconciliar en el dispositivo - lógico de control, para probarlas por ejemplo, informaciones procedentes de los módulos de intercambios. Asimismo es posible escribir en módulo de 15 intercambios, informaciones que proceden de operaciones lógicas ó aritméticas efectuadas por el dispositivo lógico de control.

eb 47 - Inutilizado.

20 eb 48 - Para todas las instrucciones de orden TAN, OPE, AMT, AES descritas anteriormente el elemento 48, referencia IMP tiene el mismo significado; este es el elemento binario de imparidad. Si el número de "1" de la palabra instrucción es impar, su valor es "0"; si el número de "1" de la palabra instrucción es par, su valor es "1" a fin de restablecer la imparidad de la palabra instrucción.

25 La figura 19 representa el módulo de intercambios unidades de selección 31 de la figura 4. Este módulo asegura la emisión y la recepción de los mensajes entre las unidades de selección y la parte intercambiadora de una unidad de control. Un registro 381 tiene su entrada conectada a la salida de una puerta Y384 que tiene una entrada conectada a - la barra de intercambios LIE, otra entrada conectada a la barra de direcciones LAE de la que recibe una dirección AD1 y otra entrada conectada a 30

la línea de control LCE; la salida del registro 381 se conecta a la entrada de una puerta Y385 cuya otra entrada se conecta a la barra de direcciones LAE de la que recibe una dirección AD1 y otra entrada conectada a la línea de control LCE; la salida de la puerta Y385 se conecta a la barra -  
5 de intercambios LIE. La salida de registro 381 se conecta igualmente a la entrada de direccionado del multiplexador 382 y del demultiplexador 383. El multiplexador 382 tiene sus entradas conectadas a las unidades de selección por líneas de marcado LU1, LU3, LU5, LU7 que son líneas dobles. Como se ha dicho anteriormente, la central comprende 64 unidades de selección  
10 divididas en cuatro grupos; las líneas de marcado LU1, LU3, LU5, LU7 se conectan respectivamente a las unidades de selección 0 a 15, 16 a 31, 32 a 47, 48 a 63; la salida del multiplexador 382 se conecta por una conexión entrada a un dispositivo de detección de las llamadas 386 y a un dispositivo de detección de las faltas 387. El demultiplexador 383 tiene sus sa-  
15 lidas conectadas a líneas de marcado LU2, LU4, LU6, LU8 que son líneas dobles; estas líneas de marcado se conectan respectivamente a las unidades de selección 0 a 15, 16 a 31, 32 a 47, 48 a 63; la entrada del demultiplexador 383 se conecta a una conexión salida LS. La emisión de informaciones de destino de las unidades de selección de un grupo se realiza por -  
20 una línea de marcado LU2 por ejemplo, que es una línea doble, siendo enviada las informaciones simultáneamente sobre las dos líneas de la línea de marcado, y es el receptor de la unidad de selección concernida el que elige una línea. Las informaciones que proceden de una unidad de selección  
25 llegan por una línea de marcado LU1 por ejemplo, que es una línea doble, y es el módulo de intercambios unidad de selección quien elige una línea de la línea de marcado.

El registro 381, de una capacidad de dos elementos binarios, es cargado por la barra de intercambios LIE y direccionada el multiplexador 382 y el demultiplexador 383; el multiplexador selecciona una línea  
30 de marcado para desviarla sobre la conexión entrada LE; el demultiplexa-

5       dor selecciona una línea de marcado hacia la que desvia la conexión salida LS. Después de la carga inicial, el registro 381 es un contador que permite realizar una exploración temporal del multiplexador para la detección de las llamadas. El dispositivo de detección de las faltas 387 trata las faltas que aparecen en la conexión entrada LE y alerta, según el tipo de falta, al programa de instrucciones del intercambiador, conectándose su salida a la barra de ensayo de informaciones LTI.

10       La conexión entrada LE se conecta igualmente a un registro de mala imparidad a la recepción 402, a un registro de no confirmación de llamada 403 y a una entrada de una puerta Y405; la salida de la puerta Y405 se conecta a un registro no bien recibido 404; la salida del registro de mala imparidad a la recepción 402 se conecta a una entrada de una puerta 0407 y a una entrada de una puerta Y408; la salida del registro de no confirmación de llamadas se conecta a otra entrada de la puerta 0407 y a otra entrada de una puerta Y409; la salida de registro no bien recibido 404 se conecta a otra entrada de la puerta 0407 y a una entrada de una puerta Y410. La salida de la puerta 0407 se conecta por la conexión 374 a una entrada de la puerta 0373, figura 18. Una entrada de las puertas Y408, 409, 410 se conecta a la barra de direcciones LAE de la que las puertas Y reciben una dirección AD2; la salida de cada una de las puertas Y408, 409, 410 se conecta a la barra de ensayo de informaciones LTI.

15

20

25       La conexión entrada LE también se conecta a una entrada de una puerta Y412 cuya salida se conecta a una entrada de una puerta 0414; otras dos puertas Y411-413 tienen igualmente su salida conectada a una entrada de la puerta 0414 cuya salida se conecta por un cable 415 a una entrada de un registro contador 389.

30       Una memoria microprograma 388, que es una memoria viva, tiene una capacidad de 16 palabras de 16 elementos binarios, conteniendo cada palabra una orden y su tiempo de ejecución  $t_i$ ; la salida de la memoria microprograma se conecta a una conexión órdenes ORD a la que propor

ciona la órden correspondiente a la palabra lu. El registro contador 389 tiene su salida conectada al circuito direccionado de la memoria microprograma; este registro contador progresa una unidad después de la ejecución de cada órden; la entrada del registro contador se conecta a la salida de una puerta Y393 que tiene una entrada conectada a la barra de intercambios LIE, y otra entrada conectada a la barra de direcciones LAE que le proporciona una dirección AD3.

El registro contador 389 tiene una entrada de puesta a cero Z conectada a la conexión órdenes ORD del que recibe una órden de puesta a cero, órden que corresponde a la palabra 13 de la memoria microprograma; las órdenes de la memoria microprograma serán dadas más tarde.

Un primer comparador 391 y un segundo comparador 392 reciben cada uno en una entrada la señal de tiempo T1 a T5 y 01 a 05.

El primer comparador 391 tiene otra entrada conectada a la salida de la memoria microprograma, y proporciona a la salida, en una línea 394 y a partir de las señales de tiempo T1 a T5 y 01 a 05, señales de tiempo microprograma TMI en función de los tiempos programados en la memoria microprograma 388.

El segundo comparador 392 tiene otra entrada conectada a la salida de un registro tiempo de llamada 390, y proporciona a la salida, en una línea 395 y a partir de las señales de tiempo T1 a T5 y 01 a 05, señales de tiempo programa TPR en función de los tiempos cargados en el registro tiempo de llamada. La entrada del registro tiempo de llamada 390 se conecta a la salida de una puerta 0396 que tiene una entrada conectada a la salida de una puerta Y397 y otra entrada conectada a la salida de una puerta Y398. La puerta Y397 recibe en una entrada las señales de tiempo T1 a T5 y 01 a 05 y tiene una entrada conectada por la línea 389 a la salida del dispositivo de detección de las llamadas 386. La puerta Y398 tiene una entrada conectada a la barra de intercambios LIE y otra entrada conectada a la barra de direccionado LAE de la que recibe una -

dirección AD1. La salida del registro tiempos de llamada 390 se conecta a una entrada de una puerta Y400 que tiene otra entrada conectada a la barra de direcciones LAE de la que recibe una dirección AD1 y otra entrada conectada a la línea de control LCE; la salida de la puerta Y400 se conecta a la barra de intercambios LIE. La puerta Y405 tiene otra entrada conectada a la conexión ORD de la que recibe la orden correspondiente a la palabra 12 de la memoria microprograma. La puerta Y411 tiene una entrada conectada a la línea 399 que sale del dispositivo de detección de las llamadas 386, y otra entrada conectada a la conexión orden ORD de la que recibe las órdenes correspondientes a las palabras 9, 10, 11 de la memoria microprograma 388. La puerta Y412 tiene otra entrada conectada a la conexión entrada LE, como se ha dicho anteriormente, otra entrada conectada a la conexión órdenes ORD de la que recibe la orden correspondiente a la palabra 4 de la memoria microprograma, y otra entrada conectada por la línea 394 a la salida del primer comparador 391; la puerta Y413 tiene una entrada conectada a la conexión órdenes ORD de la que recibe la orden correspondiente a la palabra 5 de la memoria microprograma y otra entrada conectada por la línea 394 a la salida del primer comparador 391. Un registro tampón de intercambios 420 es un registro de 37 elementos binarios; tiene una entrada paralela conectada a la salida de una puerta Y421 que tiene una entrada conectada a la barra de intercambios LIE, otra entrada conectada a la barra de direcciones LAE de la que recibe una dirección AD1 y otra entrada conectada a la línea de control LCE; una salida paralela del registro tampón de intercambios 420 se conecta a una entrada de una puerta Y422 que tiene otra entrada conectada a la barra de direcciones LAE de la que recibe una dirección AD1 y otra entrada conectada a la línea de control LCE; una entrada serie del registro tampón de intercambios se conecta a la salida de una puerta Y423 que tiene una entrada conectada a la conexión entrada LE y otra entrada conectada a la conexión órdenes ORD de la que recibe órdenes correspondientes a las palabras 5 y

6 de la memoria microprograma 388; una salida serie del registro tampón de intercambios se conecta a una entrada de una puerta Y424 que tiene otra entrada conectada a la conexión órdenes ORD de la que recibe órdenes correspondientes a las palabras 7 y 8 de la memoria microprograma; una puerta Y425 tiene una entrada conectada por la línea 395 a la salida del segundo comparador 392 y otra entrada conectada a la conexión órdenes ORD de la que recibe órdenes correspondientes a las palabras 3 y 10 de la memoria microprograma; una puerta Y426 tiene una entrada conectada por la línea 394 a la salida del primer comparador 391 y otra entrada conectada a la conexión órdenes ORD de la que recibe órdenes correspondientes a las palabras 1 y 2 de la memoria microprograma. La salida de cada una de las puertas Y424, 425, 426 se conecta a una entrada respectiva de una puerta 0427 cuya salida se conecta por la conexión salida LS al demultiplexador 383.

El registro tampón de intercambios 420 tiene un circuito de dirección escritura 428 tanto para la escritura paralela como la escritura serie, y un circuito de dirección lectura 429 tanto para la lectura paralela como la lectura serie; los dos circuitos de direccionado se conectan a la línea de dirección LAD que proporciona las direcciones procedentes del módulo de direccionado directo e indirecto 270 de la figura 15. Estos dos circuitos de direccionado 428 y 429 permiten el direccionado por sector del registro tampón de intercambios.

Cada palabra de la memoria microprograma 388 comprende 16 elementos binarios; cada palabra está constituida como se indica a continuación:

elementos binarios 1 a 4 : definen una orden  
eb 5 - Referencia FPE; valida el final del procedimiento de intercambio  
eb 6 - Referencia ATR; valida la espera del recepción  
eb 7 a 16 - Referencia TMI; estos elementos binarios definen el tiempo concernido por la orden contenida en la palabra correspondiente. Los ele

mentos binarios 7 a 11 indican señales de tiempo  $\theta_5$  a  $\theta_1$ , los elementos binarios 12 a 16 indican señales de tiempo T5 a T1.

Las diferentes órdenes, codificadas en los elementos binarios 1 a 4 son las siguientes:

- 5 1) EPER 1 - Esta orden impone el envío sobre la conexión LS de una señal de imparidad en el tiempo definida por los elementos binarios 7 a 16 (referencia TMI). El primer comparador 391 efectúa la comparación de este tiempo con el tiempo correspondiente a las señales de tiempo  $T_i$ ,  $\theta_j$  y proporciona a la salida, en la línea 394, una señal que se aplica sobre
- 10 la puerta Y426 que recibe, de otro lado, la orden EPER 1; la puerta Y426 proporciona una señal que se aplica sobre la conexión salida LS a través de la puerta 0427.
- 2) EPER 2 - Esta orden indica "bién recibido" e impone el envío sobre la conexión LS de una señal de paridad buena. Después de la recepción de un
- 15 mensaje por la conexión entrada LE cuya paridad se verifica a la recepción el primer comparador 391 efectúa la comparación entre el tiempo dado por la palabra de orden EPER 2 y el tiempo correspondiente a las señales de tiempo  $T_i$ ,  $\theta_j$  y proporciona a la salida en la línea 394, una señal que se aplica sobre la puerta Y426 que es condicionada por la orden EPER 2 y proporciona una señal que se aplica sobre la conexión salida LS a través de
- 20 la puerta 0427.
- 3) EPER 3 - Esta orden corresponde al envío de una llamada. El registro tiempo de llamada 390 es cargado por la barra de intercambios LIE a través de la puerta Y398 y la puerta 0396. El segundo comparador 392 efectúa la
- 25 comparación entre el tiempo dado por los elementos binarios 7 a 16 de la palabra de orden EPER 3 y el tiempo de llamada cargado en el registro tiempo de llamada 390, correspondiendo, bién entendido, el tiempo de llamada al número de la unidad de selección que se desea llamar. El segundo comparador proporciona sobre la línea 395, una señal que se aplica a la
- 30 puerta Y425 que es condicionada por la orden EPER 3; la puerta Y425 pro-

porciona una señal que se aplica sobre la conexión salida LS a través de la puerta 0427.

5 4) SYN - Esta orden permite la espera de la coincidencia entre el tiempo dado por los elementos binarios 7 a 16 y el tiempo dado por las señales Ti y Oj; cuando el primer comparador 391 detecta la coincidencia proporciona una señal que se aplica a la puerta Y412 condicionada por la orden SYN y la señal transmitida por la conexión entrada LE. La puerta Y412 proporciona, a través de la puerta 0414, una señal en el cable 415 que se conecta a la entrada avance del registro contador 389; esta señal provoca un avance del registro contador para direccionar la secuencia siguiente en la memoria microprograma 388.

10 5) MAC 1 - Esta orden permite ordenar en el registro tampón de intercambios 420 una información aplicada en el multiplexador 382; a este efecto, la orden MAC 1 condiciona la puerta Y423 durante un tiempo definido por los elementos binarios 7 a 16 de ésta orden. En efecto el primer comparador 391 proporciona una señal que condiciona la puerta Y413 que recibe igualmente la orden MAC 1, y la señal proporcionada por el primer comparador por los elementos binarios 7 a 16 de la palabra de orden MAC 1; la puerta Y413 proporciona una señal que se aplica a través de la puerta 15 0414 a la entrada avance del registro contador 389, y hace avanzar el registro contador.

20 6) MAC 2 - Esta orden permite ordenar en el registro tampón de intercambio 420 una información aplicada al multiplexador 382. La orden MAC 2 condiciona la puerta Y423, pero contrariamente a la orden MAC 1 no provoca el avance del registro contador 389.

25 7) MAC 3 - Esta orden permite enviar el contenido del registro tampón de intercambios 420 sobre la conexión saliente LS, a través de la puerta Y424 y la puerta 0427, siendo condicionada la puerta Y424 por la orden MAC 3.

30 8) MAC 4 - Esta orden permite enviar el contenido del registro tampón de

intercambios 420 sobre la conexión saliente LS a través de la puerta Y424 y la puerta 0427, siendo condicionada la puerta Y424 por la orden MAC 4.

5 9) FIP 1 - Esta orden permite, si hay confirmación de llamada por el dispositivo de detección de las llamadas 386 hacer avanzar el registro contador 389. A este efecto, la puerta Y411 es condicionada por la orden FIP 1 y la señal proporcionada por el dispositivo de detección de las llamadas; la señal saliente de la puerta Y411 se aplica, a través de la puerta 0414, a la entrada avance registro de contador 389.

10 10) FIP 2 - Esta orden permite si hay confirmación de llamada por el dispositivo de detección, de las llamadas 386, hacer avanzar el registro contador 389, como se indica para la orden FIP 1, siendo entonces condicionada la puerta Y411 por la orden FIP 2. Además, esta orden provoca el envío de una señal sobre la conexión salida LS para emisión inmediata en línea; a este efecto, la puerta Y425 es condicionada por la orden FIP 2 y por la  
15 señal saliente del segundo comparador 392 que compara las señales de tiempo Ti y Tj al contenido del registro tiempo de llamada 390 cargado por el dispositivo de detección de las llamadas 386 a través de la puerta Y397 y la puerta 0396.

20 11) FIP 3 - Esta orden corresponde a un final de llamada en caso de respuesta. Esta orden hace avanzar el registro contador 389 si hay respuesta a una llamada. A este efecto la orden FIP 3 condiciona la puerta Y411 que es igualmente condicionada en caso de respuesta, por una señal emitida por el dispositivo de detección de las llamadas 386.

25 12) FIP 4 - Esta orden sirve para controlar que la señal, bien recibida, ha llegado al módulo de intercambios en respuesta a la emisión de un mensaje. Si esta señal no es recibida la puerta Y405 recibe la orden 12 y posiciona en "1" el registro 404.

13) FEB - Esta orden permite una puesta a cero del registro contador 389; se aplica a la entrada puesta a cero Z del registro contador.

30 1 El registro tampón de intercambios 420 está dividido en cua-

tro sectores: SC0 de ocho elementos binarios, SC1 de ocho elementos binarios, SC2 de dieciseis elementos binarios, SC3 de cinco elementos binarios, teniendo cada sector una atribución determinada; el sector SC0 indica el tipo y la función a cumplir, el sector SC1 indica una vía temporal y un multiplex saliente LRS, ó entrante LRE, de las unidades de selección el sector SC2 designa una unidad de selección y un equipo en la unidad de selección y el sector SC3 contiene un mensaje que se refiere a los puestos de operadoras.

Los tiempos de llamada y de respuesta son diferentes según que se trate del intercambiador de la unidad de control 4 ó de la unidad de control 5. Se designará el intercambiador de la unidad de control 4 por ECH 1 y el intercambiador de la unidad de control 5 por ECH 2. Un tiempo de llamada  $t_n$  corresponde a la unidad de selección  $n$ , que se designará - por  $US_n$ , de los grupos de unidades de selección. En cada tiempo de llamada  $t_n$  está dividido en cinco tiempos  $\theta_1$  .....  $\theta_5$ , que corresponden a:

$\theta_1$  - Llamada de una unidad de selección hacia el intercambiador ECH 1 (líneas de marcado LU 2, 4, 6, 8).

$\theta_2$  - Llamada del intercambiador ECH 1 hacia una unidad de selección (líneas de marcado LU 1, 3, 5, 7) ó llamada de una unidad de selección hacia los dos intercambiadores ECH 1 y ECH2 (líneas de marcado LU 2, 4, 6, 8 en cada módulo de intercambio).

$\theta_3$  - Respuesta del intercambiador ECH 1 a la unidad de selección (líneas de marcado LU 1, 3, 5, 7) ó respuesta de la unidad de selección al intercambiador ECH 1 (líneas de marcado LU 2, 4, 6, 8).

$\theta_4$  - Llamada de intercambiador ECH 2 hacia una unidad de selección (líneas de marcado LU 1, 3, 5, 7) ó llamada de una unidad de selección hacia el intercambiador ECH 2 (líneas de marcado LU 2, 4, 6, 8).

$\theta_5$  - Respuesta del intercambiador ECH 2 a la unidad de selección (líneas de marcado LU 1, 3, 5, 7) ó respuesta de la unidad de selección al intercambiador ECH 2 (líneas de marcado LU 2, 4, 6, 8).

El intercambio de informaciones entre un intercambiador y las unidades de selección se realiza de t16 61 a t23 65 para ECH 1, de t24 61 a t31 65 para ECH2; el elemento binario de imparidad es proporcionado en t23 63 para ECH 1 - y en t31 63 para ECH 2.

Ahora se va a indicar el desarrollo de un intercambio. A la emisión el dispositivo lógico de control 26 del intercambiador ECH 1 por ejemplo, verifica la disponibilidad del módulo de intercambio unidades de selección, y efectúa entonces las operaciones siguientes: carga de la memoria microprograma 388 que contiene entonces en forma de órdenes el proceso deseado a la emisión, carga del registro tampón de intercambios 420 por el mensaje a emitir, inicialización del número del grupo de unidades de selección concernido por el mensaje cargando el registro 321 por este número de grupo, inicialización del número de unidad de selección a llamar por carga del registro tiempo de llamada, inicialización del registro contador 389 para el disparo del proceso de intercambio.

En la recepción, el módulo de intercambios está entonces en posición espera de recepción de mensaje; a este efecto la memoria microprograma 388 está cargada por una primera microinstrucción de orden EIP 2 (espera de recepción). Desde el momento mismo de la recepción de la llamada de una unidad de selección, el módulo de intercambio se posiciona en recepción de mensaje.

La figura 20 representa el módulo de intercambio entre las dos unidades de control 29 de la figura 4. Este módulo asegura el intercambio de las informaciones entre una unidad de control denominada "maestra" y una unidad de control denominada "esclava"; hay por tanto un módulo de intercambios en cada unidad de control 4 y 5 puesto que estas unidades de control son idénticas y que cada una de ellas puede ser "maestra", siendo la otra "esclava". Estas informaciones se refieren esencialmente a la parte multirregistrador, y el módulo traductor 32 figura 4. Además, el mó

dulo de intercambio entre las dos unidades de controles 29 asegura igualmente el intercambio de informaciones entre la unidad de control a la que pertenece y el órgano de control 7 de la central (figura 1). En este módulo se encuentra, como en el módulo de intercambios unidades de selección representado en la figura 19, todo un conjunto de órganos destinados al control de proceso del módulo; estos órganos están por tanto designados por las mismas referencias que las utilizadas en la figura 19, puesto que tienen igual función. Se ve por tanto: una memoria microprograma 388, el registro contador 389, la puerta Y393 que tiene una entrada conectada a la barra de informaciones intercambiadora LIME y una entrada conectada a la barra de direcciones LAE; un primer comparador 391, un segundo comparador 392, un registro tiempos de llamada 390, una puerta 0396, dos puertas Y397, 398, una puerta Y400, un dispositivo de detección de las llamadas 386, un dispositivo de detección de las faltas 387, tres puertas Y411, 412, 413, una puerta 0414, un registro de mala imparidad a la recepción 402, un registro de no confirmación de llamada 403, un registro de no bien recibido 404, tres puertas Y408, 409, 410, una puerta 0407 cuya salida se conecta a la puerta 0373, figura 18, por la conexión 375, dos puertas Y405 406. Las órdenes de la memoria microprograma 388 son las mismas que las descritas anteriormente. Un primer desviador 440 recibe informaciones ya sea de otra unidad de control por las líneas de intercambios ELM 1 y ELM 2 ó bien del órgano de control 7 por las líneas de control LC1 y LC3, efectuándose la salida del primer desviador sobre la conexión entrante LE; un segundo desviador 441 envía informaciones ya sea a otra unidad de control por las líneas de intercambios ELM2 y ELM4 ó bien al órgano de control por las líneas de control LC 2 y LC 4; las informaciones son aplicadas a la entrada del segundo desviador por la conexión de salida LS. Cada desviador se conecta a la barra de direcciones LAE de la que recibe una dirección AD3; cada desviador es además gobernado por las órdenes 6, 1 ú 8 procedentes de la memoria microprograma 388, proporcionando la conexión

órdenes ORD respectivamente una orden, 6, 1, 8 a una entrada de una puerta 0442 cuya salida se conecta a una entrada de control de cada desviador. Un registro 443 de 8 elementos binarios tiene una línea de salida - AME en la que se encuentran señales AME 9 a AME 16; la entrada del registro 443 se conecta a la salida de una puerta Y444 que tiene una entrada -  
5 conectada a la barra de intercambios LIE y una entrada conectada a la barra de direcciones LAE de la que recibe una dirección AD3. Las señales de salida AME9 y AME16 sirven para gobernar la escritura ó la lectura del registro de entrada 445, de la memoria de intercambios 446, del registro de  
10 salida 447.

El registro de entrada 445 tiene su entrada conectada a la salida de una puerta 0448 cuya entrada se conecta a la salida de una puerta Y449 y cuya otra entrada se conecta a la salida de una puerta Y450. Una entrada a la puerta Y449 se conecta a la conexión entrada LE y otra entrada se conecta a la conexión órdenes ORD de la que recibe las órdenes 5 y  
15 6; una entrada de la puerta Y450 se conecta por un inversor 451 a la línea de orden ORD. La salida del registro de entrada 445 se conecta a una entrada de una puerta Y452 que tiene otra entrada conectada a la línea de salida AME de la que recibe una señal AME 9. La salida de la puerta Y452 y la salida de una puerta Y453 se conectan respectivamente a una entrada de una puerta 0454; una entrada de la puerta Y453 se conecta a la barra de intercambios LIE, otra entrada se conecta a la barra de direcciones -  
20 LAE de la que recibe una dirección AD1, y otra entrada se conecta a la línea de control LCE; finalmente una última entrada se conecta a la línea de salida AME de la que recibe una señal AME 15. La salida de la puerta 0454 se conecta a la entrada de la memoria de intercambios 446 de una capacidad de 16 palabras de 16 elementos binarios. El direccionado de la memoria de intercambios 446 se efectúa por un circuito que comprende una -  
25 puerta Y456, un registro contador 457, una puerta Y458, otra puerta Y459, una puerta 0460. Una entrada a la puerta Y456 se conecta a la barra de in  
30

tercambios LIE y otra entrada se conecta a la barra de direccionado LAE - por la que recibe una dirección AD3; una entrada avance del registro contador 457 se conecta por el cable 415 a la salida de la puerta 0414. Una entrada a la puerta Y458 se conecta por un inversor lógico 461 a una entrada de la puerta Y459 y a la línea de salida AME que proporciona la señal AME 14; otra entrada de la puerta Y459 se conecta a la línea de direccionado LAD procedente del módulo de direccionado directo e indirecto 270 de la figura 15. La salida de la memoria de intercambios 446 se conecta - por una parte a una puerta Y462 y por otra a una puerta Y463. Una entrada de la puerta Y462 se conecta a la línea de salida  $AME_2$  de la que recibe - una señal AME 16 y otra entrada se conecta a la barra de direcciones LAE de la que recibe una dirección AD1; una tercera entrada se conecta a la línea de control LCE; la salida de la puerta Y462 se conecta a la barra - de intercambios LIE. Una entrada de la puerta Y463 se conecta a la línea de salida AME de la que recibe una señal AME 10; la salida de la puerta Y463 se conecta a la entrada del registro 447 cuya salida se conecta a una entrada de una puerta Y464 que tiene otra entrada conectada a la línea de salida AME de la que recibe una señal AME 11; la salida de la puerta Y464 se conecta por el cable 465 a una entrada de la puerta Y450, lo que permite escribir en el registro de entrada 445 la información saliente del registro de salida 447.

Como en el módulo de intercambios unidades de selección de - la figura 19 se encuentra un circuito que comprende tres puertas Y424, - 425, 426, una puerta 0427 cuya salida se conecta por la conexión salida LS al segundo desviador 441; una entrada de la puerta Y424 se conecta a la salida de la puerta Y464; las otras entradas de las puertas Y se conectan igual de la misma manera que en la figura 19.

Como se ha indicado las unidades de control 4 y 5 dialogan entre sí por mediación de las líneas de intercambio ELM; este diálogo se efectúa en el tiempo, a instantes precisos de una trama. Así pues, la uni

dad de control 4 llama a la unidad de control 5 en el instante definido por to 02 y la unidad de control 5 responde en el instante to 03. La unidad de control 5 llama a la unidad de control 4 en el instante t16 02 y la unidad de control 4 responde en t16 03. Las informaciones son intercambiadas en la trama que sigue a la llamada de to a 01 a t31 02. Habiendo emitido la unidad de control una llamada y recibido una respuesta, se posiciona en emisión, lo que significa que el módulo de intercambio entre las dos unidades de control 29 emiten desde el momento mismo que hay desarrollo del microprograma contenido en la memoria microprograma 388 del módulo. Asimismo el módulo de la unidad de control una vez que ha recibido y tomado en cuenta una llamada se pone en posición de recepción y su memoria microprograma 388 proporciona el microprograma de recepción. En la emisión, el contenido de la memoria 446 es emitido sobre la conexión salida LS y después sobre la conexión de intercambios ELM2; en la recepción las informaciones llegan por la conexión de intercambios ELM1 y se envían a la memoria de intercambios 446 por la conexión entrada LE a través del registro de entrada 445.

Los intercambios con el órgano de control 7 por las líneas de control LC se realizan de la misma manera, pero los instantes de llamada y de respuesta son diferentes.

La figura 21 representa el módulo de intercambio red de conexión 30 de la figura 4. Este módulo asegura la transmisión de los intercambios entre la red de conexión 1 (figura 1) y la parte intercambiadora 9 de una unidad de control. El módulo de intercambios red de conexión comprende un registro 470 de una capacidad de 32 elementos binarios; el registro está dividido en cuatro sectores; la escritura en cada sector se realiza por mediación de una puerta Y471, 472, 473, 474 y la lectura de cada sector se realiza por mediación de una puerta Y475, 476, 477, 478.

Las puertas Y471, 472, 473, 474 tienen todas ellas una entrada conectada a la barra de intercambios LIE, una entrada conectada a la

5 barra de direcciones LAE y que recibe así una dirección AD1, otra entrada conectada a la línea de control LCE y que recibe así el elemento binario 27, y otra entrada conectada a la línea de direccionado LAD que proporciona a cada puerta Y una señal que corresponde al sector del registro conectado a la salida de la puerta Y correspondiente.

10 Asimismo, las puertas Y475, 476, 477, 478 tienen cada una una entrada conectada a un sector determinado del registro 470; tienen todas ellas una entrada conectada a la línea de control LCE y que recibe así el elemento binario 21, una entrada conectada a la barra de direcciones LAE y que recibe así una dirección AD1, una entrada conectada a la línea de -  
15 direccionado LAD que proporciona a cada puerta Y una señal correspondiente al sector al que se conecta. La salida de cada puerta Y475, 476, 477, 478 se conecta a la barra de intercambios LIE. El registro 470 tiene una entrada serie conectada a la salida de una puerta Y479 que tiene una entrada conectada a la línea de orden OLX 2; la salida serie del registro 470 se conecta a una entrada de una puerta Y480 cuya salida se conecta a la línea de orden OLX 1; Las dos líneas de órdenes OLX 1 y OLX 2 constituyen la línea de orden OLX de la figura 1; la línea de orden OLX 1 proporciona informaciones a la red de conexión 1 y la línea de orden OLX 2 lleva hacia  
20 el módulo de intercambio red de conexión las informaciones emitidas por la red de conexión. Un dispositivo de posicionamiento 482, que controla la emisión ó la recepción del registro 470, tiene una salida emisión conectada por el cable 483 a una entrada de la puerta Y480, y una salida recepción conectada por el cable 484 a una entrada de la puerta Y479; el dispositivo de posicionamiento 482 tiene una entrada conectada a la barra de -  
25 direcciones LAE y otra entrada conectada a la base de tiempos 6 de la que recibe las señales ti y 0j.

30 Un registro final de intercambios 487 tiene su salida conectada a la entrada de una puerta Y490 y su entrada está conectada a la línea de orden OLX 2; un registro de imparidad 488 tiene su salida conecta-

da a la entrada de una puerta Y491, y su entrada está conectada a la línea de orden OLX 2; un registro no bien recibido 489 tiene su salida conectada a la entrada de una puerta Y492, y su entrada está conectada a la línea de orden OLX 2. Otra entrada de cada una de las puertas Y490, 491, 492, se conecta a la barra de direcciones LAE de la que recibe una dirección AD2; la salida de cada una de las puertas Y490, 491, 492 se conecta a la barra de ensayo de informaciones LTI. La salida de cada uno de los registros 487, 488, 489 se conecta respectivamente a una entrada de una puerta 0493 cuya salida se conecta, por conexión 376, a una entrada de la puerta 0373 de la figura 18.

El registro 470 es por tanto accesible en paralelo tanto en entrada como en salida por la barra de intercambios LIE; cada sector corresponde a una función perfectamente determinada en lo que concierne a los intercambios con la red de conexión.

Un sector SC0 de 4 eb accesible por las puertas Y471, 475, está reservado al tipo de función.

Un sector SC1 de 12 eb accesible por las puertas Y472, 476 está reservado para el peticionario al número de unidad de selección, al número de vía temporal y a los números de los multiplex entrante y saliente que conectan la unidad de selección a la red de conexión.

Un sector SC2 de 12 eb accesible por las puertas Y473, 477 está reservado, para el demandado, al número de unidad de selección, al número de vía temporal y a los números de los multiplex entrante y saliente que conectan la unidad de selección a la red de conexión.

Un sector SC3 de 4 eb accesible por las puertas Y474, 478, está reservado a las faltas de conexión tras respuesta de la red de conexión.

La emisión de un mensaje hacia la red de conexión comprende en primer lugar la carga en paralelo del registro 470, siendo llevadas las informaciones que componen el mensaje por la barra de intercambios -

LIE y después la puerta Y480 es controlada en la emisión por el dispositivo de posicionamiento 482, siendo controlada la emisión en el tiempo definido por t15 05; el contenido del registro 470 es transmitido en serie sobre la línea de orden OLX 1; la emisión tiene lugar de t15 05 a t22 02, siendo emitido un elemento binario del registro 470 a cada tiempo 01 02

5       .... 05. Una báscula de imparidad permite controlar la imparidad del mensaje emitido sobre la línea de orden OLX 1; si la imparidad es mala, hay emisión de un elemento binario suplementario al final del mensaje para restablecer la buena paridad. La red de conexión controla igualmente la buena paridad del mensaje a la llegada; si esta paridad es correcta, la red de conexión reenvía por la línea de orden OLX 2 un elemento binario de buena recepción que viene a posicionar en "0" el registro no bien recibido 489; si la paridad no es correcta el registro no bien recibido es posicionado en uno y esta indicación es enviada sobre la barra de ensayo de

10       informaciones LTI a través de la puerta Y492; el bloque operador representado en la figura 16, toma esta indicación en consideración, indicación que significa que el mensaje ha sido mal recibido por la red de conexión, y que es preciso por tanto reenviarlo. El funcionamiento en recepción de un mensaje que procede de la red de conexión es el siguiente: en una primera fase el módulo de intercambio red de conexión es automáticamente posicionado en recepción desde el momento mismo del comienzo de la trama que sigue a aquella en la que ha sido emitido un mensaje hacia la red de conexión; para ello el dispositivo de posicionamiento 482 controla la puerta Y479 desde el momento mismo del comienzo de la trama. Cuando el mensaje

15       llega, procedente de la red de conexión, por la línea de orden OLX 2, es ordenado en el registro 470 durante la duración de recepción, es decir - del tiempo t15 05 al tiempo t22 02. Un control de imparidad es efectuado a la recepción del mensaje; si la imparidad es correcta el registro final de intercambio 487 proporciona al final de la recepción una señal de

20       final de intercambio de valor "1" y el registro de imparidad 488 proporcio-

25       -

30       -

na una señal de valor "0"; si la imparidad es mala el registro final de intercambio 487 proporciona una señal de valor "0" y el registro de imparidad 488 proporciona una señal de valor "1" y estas señales son transmitidas al bloque operador, a través de la barra de ensayo de informaciones -  
5 LTI, que controlará la renovación de la operación de intercambio, es decir la emisión del mensaje hacia la red de conexión. Cuando la recepción del mensaje que procede de la red de conexión es correcta, el contenido del registro 470 es, en una segunda fase, transferido sobre la barra de intercambios LIE y las informaciones son ordenadas en el módulo memoria central  
10 271 de la figura 15.

La figura 22 representa el módulo traductor 32 de la figura 4. Este módulo asegura el almacenamiento de las informaciones necesarias para la parte multirregistradora para el establecimiento y la ruptura de los diferentes tipos de comunicaciones llevadas por el canal telefónico. A este  
15 efecto, el módulo está esencialmente compuesto de memoria de traducción donde son registrados los datos, es decir las informaciones que se refieren a la red telefónica y a los abonados de la central. Para un abonado, estos datos son: su dirección de acoplamiento, es decir el número de la unidad de selección al que se acopla y el número de equipo en esta unidad  
20 de selección, y las diferentes discriminaciones que pueden concernirle, tales: como: transferido, no equipado, etc. Asimismo para un multiplex, estos datos son: el número de la unidad de selección y el número del equipo, en la unidad de selección, al que se conecta el multiplex. Alrededor de las memorias de traducción se encuentra una lógica de acceso que permite  
25 acceder a las informaciones ordenadas en las memorias de traducción, siendo a su vez accesible la lógica de acceso por el dispositivo lógico de control representado en la figura 14. Las memorias de traducción deben ser accesibles en lectura a fin de que las informaciones que allí están ordenadas puedan utilizarse por la parte multirregistradora; las memorias de  
30 traducción deben igualmente ser accesibles en escritura a fin de modificar

las informaciones que allí están ordenadas. En efecto, estas informaciones dependen de la implantación geográfica de la central telefónica y de las condiciones de explotación de la central; estas informaciones deben poder ser modificadas, a partir del centro de tratamiento de las informaciones CTI al que la central telefónica se conecta por mediación del órgano de control 7 de la figura 1, de modo a permitir cambios en la conducción de las conversaciones ó de las alteraciones temporales de las descripciones. El centro de tratamiento de las informaciones que posee una réplica exacta de las memorias de traducción está igualmente encargado de la carga y de la vigilancia de las memorias de traducción.

El módulo traductor representado esquemáticamente en la figura 22 está constituido por las memorias de traducción MT1 a MTn conectadas cada una a la barra de intercambios LIE, a la línea de control LCE y a la barra de direcciones LAE, a un circuito de sincronización 498 y a un circuito de selección de direccionado SAD, circuitos que están igualmente conectadas a la barra de intercambios LIE, a la línea de control LCE y a la barra de direccionado LAE. Una conexión de selección de zonas memorias 499 conecta el circuito de sincronización 498 a cada una de las memorias de traducción; una conexión de sincronización 500 conecta el circuito de sincronización a cada una de las memorias de traducción. Una conexión de selección de memoria 501, de n cables conecta el circuito de selección de direccionado SAD a las memorias de traducción, conectando cada uno de los cables 1 a n el circuito de selección de direccionado a una memoria de traducción, respectivamente MT1 a MTn. Una conexión 520 conecta el circuito de sincronización 498 al circuito de selección de direccionado SAD. El circuito de selección de direccionado SAD se conecta igualmente a las memorias de traducción MT1 a MTn por una conexión de direccionado geográfica SAG y por una conexión de direccionado funcional SAF.

La figura 23 representa una memoria de traducción y el circuito de sincronización 498 de la figura 22, y la figura 24 representa el -

circuito de direccionado SAD de la figura 22.

En la figura 23, una memoria de traducción comprende una memoria tampón de informaciones MTI y una memoria de circulación de informaciones MCI; la salida de la memoria tampón de informaciones MTI se conecta a una entrada de una puerta Y502 cuya salida se conecta a la entrada de la memoria de circulación de informaciones MCI; la salida de la memoria de circulación de informaciones MCI se conecta a una entrada de una puerta Y503 cuya salida se conecta a una entrada de una puerta Y504; la salida de la puerta Y504 se conecta a una entrada de una puerta 0506 cuya salida se conecta a la entrada de la memoria tampón de informaciones MTI. La puerta Y505 tiene una entrada conectada a la barra de intercambios LIE y otra entrada conectada a la barra de direcciones LAE, y otra entrada conectada a la línea de control LCE; la salida de la puerta Y505 se conecta a otra entrada de la puerta 0506. Una puerta Y507 tiene una entrada conectada a la barra de intercambios LIE, otra entrada conectada a la barra de direcciones LAE y otra entrada conectada a la línea de control LCE; la salida de la puerta Y507 se conecta a un contador 508 igualmente conectado a la barra de direcciones LAE y a la línea de control LCE; el contador 508 recibe igualmente la señal de reloj  $\omega$ ; la salida del contador 508 se conecta a un circuito de direccionado de la memoria tampón de informaciones MTI. La salida de la memoria tampón de informaciones MTI se conecta a una entrada de una puerta Y509 que tiene otra entrada conectada a la línea de control LCE y otra entrada conectada a la barra de direcciones LAE; la salida de la puerta Y509 se conecta a la barra de intercambios LIE. La salida de la memoria tampón de informaciones MTI se conecta igualmente a una entrada de un bloque comparador 510 constituido de 4 comparadores; el bloque comparador se conecta a la salida de una puerta Y511 que tiene una entrada conectada a la barra de intercambios LIE y otra entrada conectada a la barra de direcciones LAE; el bloque comparador 510 recibe de la puerta Y511 una señal de ocultamiento de modo que una comparación se efectúe

túe en uno, dos, tres ó cuatro comparadores según la señal de ocultamiento recibida. Otra entrada del bloque comparador se conecta a la salida de la memoria de circulación de informaciones MCI. La salida del bloque comparador se conecta a una entrada de una puerta Y512 otra de cuyas entradas se conecta, por la conexión de direccionado SAF, al circuito de selección de direccionado SAD; la salida de la puerta Y512 se conecta a una entrada de una puerta 0513 cuya otra entrada se conecta, por la conexión de direccionado geográfico SAG, al circuito de selección de direccionado SAD. La salida de la puerta 0513 se conecta a una entrada de una puerta Y514 -  
5 cuya otra entrada se conecta, por un cable de la conexión de memoria 501, al circuito de selección de direccionado SAD. La salida de la puerta Y514 se conecta a una entrada de la puerta Y504, a una entrada de la puerta - Y502 y a una entrada de la puerta Y503; la señal proporcionada por la puerta Y514 es denominada señal de coincidencia. La puerta Y518 tiene una entrada conectada al circuito de sincronización 498 por la conexión de sincronización 500 y otra entrada conectada por cableado a 2.047, siendo este número la dirección de la última palabra de la memoria de circulación de informaciones MCI; la salida de la puerta Y518 se conecta a la entrada de un contador de direcciones 519 cuya salida se conecta al circuito de  
10 direccionado de la memoria de circulación de informaciones MCI, recibiendo el contador de informaciones 519 una señal de reloj  $\omega/4$ . El circuito de sincronización 498, que es común a todas las memorias de traducción, comprende una puerta Y515 de tres entradas conectadas respectivamente a la barra de intercambios LIE, a la barra de direcciones LAE y a la línea de control LCE; la salida de la puerta Y515 se conecta a la entrada de un  
15 contador 516 que tiene una salida conectada a una entrada de un comparador 517 y una salida conectada, por la selección de conexión de zonas memoria 499, a la memoria de circulación de informaciones MCI, siendo igualmente utilizada la conexión de selección de zonas memorias 499 para conectar el contador 516 a todas las memorias de circulación de informaciones  
20  
25  
30

MCI de las memorias de traducción MT1 a MTn. La conexión 520 conecta igualmente el contador 516 al circuito de selección de direccionado SAD. Otra entrada del comparador 517, se conecta, por cableado, a 2.047. La conexión de sincronización 500 conecta a la salida del comparador 517 a todas las puertas Y518 de las memorias de traducción MT1 a MTn. La memoria también de informaciones MT1 tiene una capacidad de 16 palabras de 16 elementos binarios y la memoria de circulación de informaciones MCI tiene una capacidad de 2.048 palabras de 16 elementos binarios, estando numeradas las palabras de 0 a 2.047, y está dividida en cuatro zonas memoria de 512 palabras; cada memoria de circulación de informaciones MCI está especializada para uno ó varios tipos de traducciones dadas. La señal proporcionada por el contador 516, y transmitida por la conexión de selección de zonas memoria 499, permite seleccionar, en las memorias de circulación de informaciones MCI, una zona memoria, siendo la señal un número de la zona memoria. La conexión de sincronización 500 permite enviar a todas las memorias de circulación de informaciones MCI una señal de sincronización para sincronizar sus contadores de direccionado 519.

La figura 24 representa el circuito de selección de direccionado SAD común a todas las memorias de traducción. Una puerta Y530, con tres entradas conectadas respectivamente a la barra de intercambios LIE, a la barra de direccionado LAE y a la línea de control LCE, tiene su salida conectada a la entrada de un registro número de palabra RNM cuya salida se conecta a una entrada de un comparador 531; otra entrada del comparador 531 se conecta, por la conexión 520 a la salida del contador 516 (figura 23), y la salida del comparador se conecta a una entrada de una puerta Y533 cuya otra entrada se conecta a la barra de direccionado LAE; la salida de la puerta Y533 se conecta a una entrada de una puerta 0535. Una puerta Y534, con tres entradas conectadas respectivamente a la barra de intercambios LIE, a la barra de direcciones LAE y la línea de control LCE, tiene su salida conectada a la entrada de un registro de direccionado

geográfico RAG cuya salida se conecta a una entrada de un comparador 539. Una puerta Y532, con tres entradas conectadas respectivamente a la barra de intercambios LIE, a la barra de direcciones LAE y a la línea de control LCE, tiene su salida conectada a la entrada de un registro de direccionado funcional RAF cuya salida se conecta, por una parte, a una entrada de una puerta Y537 y, por otra a una entrada de un comparador 538. La puerta Y537 tiene dos entradas conectadas respectivamente a la barra de direcciones LAE y a la línea de control LCE; la salida de la puerta Y537 se conecta a la entrada de una memoria de selección de direccionado MES cuya salida se conecta a otra entrada del comparador 538. Un contador de direccionado - 536 tiene su salida conectada al circuito de direccionado de la memoria de selección de direccionado MES y a una entrada del comparador 539; el contador de direccionado recibe la señal de reloj h2. La salida del comparador 538 se conecta por la conexión de direccionado funcional SAF a una entrada de una puerta 0540; la salida del comparador 539 se conecta por la conexión de direccionado geográfico SAG a otra entrada de la puerta 0540 - cuya salida se conecta a una entrada de un contador de memorias de traducción 541 que recibe la señal de reloj  $\omega$  3 y cuya salida se conecta, por la conexión de selección de memoria 501, a la puerta Y514 (figura 23) de cada memoria de traducción. La capacidad de la memoria de selección de direccionado es de 256 palabras de 16 elementos binarios.

El registro número de palabra ENM es cargado por la barra de intercambios LIE y el número de palabra que proporciona es comparado, en el comparador 531, al número proporcionado por el contador 516 (figura 23) si la comparación es buena, el comparador 531 proporciona una señal de validación de selección de palabra al registro de direccionado geográfico RAG, a través de la puerta Y533 y la puerta 0535.

Una memoria de traducción, representada en la figura 23, es accesible ya sea en direccionado directo ó bien en direccionado indirecto. En direccionado directo, la primera palabra a reconocer es cargada en el

registro número de palabra RNM; la señal de selección de palabra proporcionada por el comparador 531 permite la carga del registro de direccionado geográfico RAG cuya salida es comparada, en el comparador 539, a la dirección proporcionada por el contador de direccionado 536. Si la comparación es buena, el comparador 539 proporciona una señal de selección geográfica que permite, a través de la puerta 0540, la salida de la señal del contador de memoria de traducción 541 que dirige una memoria de traducción. La señal de selección geográfica proporcionada sobre la conexión de direccionado geográfico SAG a la puerta 0513, figura 23, y asociada a la señal proporcionada por el contador de memoria de traducción 541, proporciona una señal de coincidencia, a la salida de la puerta Y514 (figura 23), de la memoria de traducción direccionada por la señal saliente del contador de memoria de traducción; la señal de coincidencia permite, en la memoria de traducción, la transferencia del contenido de la memoria de circulación de informaciones MCI en la memoria tampón de informaciones MTI que es entonces accesible a la salida por la barra de intercambios LIE. En direccionado indirecto, todavía denominado direccionado por el contenido, cada memoria de circulación de informaciones MCI del módulo de traducción está especializada para ser seleccionada por un direccionado funcional. A este efecto, el registro de direccionado funcional RAF está cargado, por la barra de intercambios LIE, por una señal que determina el tipo de función buscada. La señal saliente del registro de direccionado funcional RAF es comparada, en el comparador 538, con el contenido de cada palabra de la memoria de selección de direccionado MES; cuando hay concordancia entre la señal saliente del registro de direccionado funcional RAF y el contenido de una palabra de la memoria de selección de direccionado MES, el comparador 538 proporciona una señal sobre la conexión de direccionado funcional SAF, señal que es aplicada en todas las memorias de traducción MT1 a MTn. Después, se inscribe, en las memorias tampón de informaciones MTI, a partir de la barra de intercambios LIE, la ó las pa-

labras que se desea seleccionar y se efectúa una comparación, en cada memoria de traducción, entre el contenido de cada palabra de la memoria tampón de informaciones y cada palabra de la memoria de circulación de informaciones MCI que es direccionada por su contador de direcciones 519, (figura 23); la comparación es efectuada por el bloque comparador 510 sobre 1, 2, 3 ó 4 sectores de la palabra, siendo dado el número de sectores por la señal proporcionada por la puerta Y511. Cuando la comparación es positiva el bloque comparador 510 proporciona una señal que es transmitida, a través de la puerta Y512 y la puerta 0513 a la puerta Y514; solo la puerta Y514 de la memoria de traducción que es direccionada por el contador de memorias de traducción 541 (figura 24) proporciona una señal de coincidencia que permite la transferencia, en la memoria tampón de informaciones, de las palabras seleccionadas en la memoria de circulación de informaciones.

Los dos tipos de direccionado, directo e indirecto, permiten operaciones de lectura, ó de escritura, en una memoria de circulación de informaciones, por grupos de 1 a 16 palabras.

La figura 25 representa el módulo memoria auxiliar 34 del intercambiador. Este módulo permite, en caso de fallo del centro de tratamiento de las informaciones CTI, una memorización de las tasas relativas a los abonados de la central. El módulo memoria auxiliar comprende un bloque memoria constituido por tres memorias 550, 551, 552, y una intercara auxilio de tasación IST de una capacidad de una palabra de 16 elementos binarios. Las memorias 550, 551, 552 son del mismo tipo que la memoria 35 (figura 6a) y tienen cada una una capacidad de 4.096 palabras de 17 elementos binarios, de las que un elemento binario es de imparidad. La intercara auxilio de tasación IST asegura la intercara entre el bloque memoria y la barra de intercambios LIE. Una puerta Y553 tiene tres entradas conectadas respectivamente a la barra de intercambios LIE, a la barra de direcciones LAE y la línea de control LCE; la salida de la puerta Y553 se conecta a una entrada de cada una de las cuatro puertas Y554, 555, 556, 557 -

5 cuyas salidas están conectadas respectivamente a una entrada sector de -  
las memorias 550, 551, 552; otra entrada de cada una de las puertas Y554,  
555, 556, 557 se conecta a la salida de un registro de direccionado sector  
RAS que proporciona una señal a una ó varias de las puertas Y554 a 557, -  
10 permitiendo así la escritura de las memorias de 1, 2 ó 3 ó 4 sectores de  
la palabra conducida por la barra de intercambios LIE. El registro de di-  
recciones sector RAS tiene su entrada conectada a la salida de una puerta  
Y558 que tiene una entrada conectada a la barra de intercambios LIE y -  
otra entrada conectada a la barra de direcciones LAE. Un registro de direcc  
15 cionado memoria RAC, utilizado para direccionar las memorias tanto en la  
escritura como en la lectura, tiene su salida conectada al circuito de di-  
reccionado 559 de las memorias 550, 551, 552, y su entrada conectada a la  
salida de una puerta Y560 que tiene una entrada conectada a la barra de -  
intercambios LIE y otra entrada conectada a la barra de direcciones LAE.  
20 Las memorias 550, 551, 552 tienen igualmente una entrada "imparidad" que  
corresponde a un elemento binario de cada palabra; esta entrada "imparidad"  
se conecta a la salida de un generador de imparidad 561 cuya entrada se -  
conecta a la salida de la puerta Y553. El generador de imparidad permite,  
durante la escritura de una palabra en memoria, escribir, si ha lugar, un  
elemento binario de imparidad en el elemento binario 17 de la palabra.

Las memorias 550, 551, 552 tienen una salida "palabra" para  
16 eb, y una salida "imparidad" para el elemento binario de imparidad. La  
salida "palabra" es conectada a una entrada de una puerta Y562 que tiene  
25 dos entradas conectadas respectivamente a la línea de control LCE y a la  
barra de direcciones LAE; la salida de la puerta Y562 se conecta a la en-  
trada de la intercara auxilio de tasación IST, y a un controlador de impa-  
ridad 563 que está igualmente conectada a la salida "imparidad" de las me-  
morias 550, 551, 552; la salida del controlador de imparidad se conecta a  
una entrada de una puerta Y564 cuya otra entrada está conectada a la bar-  
30 ra de direcciones LAE; la salida de la puerta Y564 se conecta a la barra

de ensayo de informaciones LTI del intercambiador. En caso de mala impari-  
dad en la lectura de una palabra de las memorias 550 a 552, hay posiciona-  
miento en "1" de una báscula de falta en el controlador de imparidad, y la  
báscula puede ser leída enviando una dirección a la entrada de la puerta  
5 Y564 acoplada a la barra de direcciones LAE. A la salida de la intercara  
auxilio detasación IST, cada sector de 4 eb de una palabra se conecta a  
una entrada de una puerta Y565, 566, 567, 568, cuya otra entrada está conec-  
tada a la salida del registro de direccionado sector RAS que permite la  
lectura de 1, 2, 3 ó 4 sectores. La salida de cada una de las puertas -  
10 Y565, 566, 567, 568 se conecta a la barra de intercambios LIE.

Durante la descripción que precede, se ha indicado que algunos  
órganos se conectaban a un pupitre. Este pupitre es un órgano independien-  
te de las unidades de control 4 y 5, objeto de la invención, y en modo al-  
guno indispensable para el funcionamiento de las unidades de control. Es-  
15 te pupitre se utiliza para el mantenimiento y la visualización. Permite -  
controlar el funcionamiento de un módulo dado y se utiliza esencialmente  
para la puesta a punto durante la instalación de la central, el arreglo de  
averías ó el mantenimiento. Estas operaciones son facilitadas por la vi-  
sualización de un cierto número de informaciones y la posibilidad de in-  
20 tervenir manualmente en el funcionamiento de un módulo. Todas las funcio-  
nes realizadas por el pupitre, directamente acoplado a los módulos pueden  
ser efectúadas a distancia merced a un telepupitre gobernado por el centro  
de tratamiento de las informaciones por mediación del órgano de control -  
7.

25 Descrita suficientemente la naturaleza del invento, así como  
la manera de realizarlo en la práctica, debe hacerse constar que las dis-  
posiciones anteriormente indicadas son susceptibles de modificaciones de  
detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

5 1.- Perfeccionamientos en centrales de telecomunicación tempo-  
ral, que comprenden una red de conexiones, unidades de selección, una base  
de tiempos, un órgano de control conectado a un centro de tratamiento de  
informaciones, caracterizados porque comprenden al menos una unidad de con-  
10 trol constituida por una parte multirregistradora y por una parte inter-  
cambiadora conectada por una barra de intercambios a la parte multirregis-  
tradora que asegura el establecimiento y la ruptura de las comunicaciones  
asegurando la parte intercambiadora las conexiones entre la parte multir-  
15 registradora y la red de conexiones y las unidades de selección, conectán-  
dose la unidad de control a la red de conexiones por líneas de conexión y  
líneas de órdenes, a las unidades de selección por líneas de ensayo y por  
líneas de marcado y al órgano de control por líneas de control, substitu-  
yendo la unidad de control a los órganos especializados habitualmente uti-  
lizados en la central temporal.

2.- Perfeccionamientos según la reivindicación 1, caracteriza-  
dos porque comprenden dos unidades de control, siendo una principal y la  
otra esclava, conectándose las unidades de control entre sí por líneas de  
intercambios.

20 3.- Perfeccionamientos según una de las reivindicaciones 1 ó  
2, caracterizados porque la parte multirregistradora comprende una memoria  
macroprograma, y dos conjuntos multirregistradores, conectándose la memo-  
ria macroprograma a los dos conjuntos multirregistradores a su vez conec-  
tados por una barra de intercambios a la parte intercambiadora, contien-  
25 do la memoria macroprograma, macroinstrucciones de 48 elementos binarios  
cada una y de los que los 8 primeros elementos binarios constituyen una  
orden que define una macroinstrucción.

4.- Perfeccionamientos según la reivindicación 3, caracteriza-  
dos porque cada conjunto multirregistrador comprende un conjunto lógico -  
de control, un bloque memoria de registradores conectados a un bloque me-

5 memoria tampón, un módulo receptores de señalización, un módulo emisores de  
señalización, un módulo reloj y un módulo entrada/salida, conectándose -  
el conjunto lógico de control, el bloque memoria tampón, módulos recepto-  
res de señalización, módulo emisores de señalización, módulo entrada/sali-  
da, a una barra de informaciones multirregistradora, conectándose el módu-  
lo entrada/salida a la barra de intercambios, conectándose el conjunto -  
lógico de control a la memoria macroprograma, conectándose el módulo re-  
ceptores de señalización, a las unidades de selección por las líneas de  
10 ensayo, conectándose el módulo emisores de señalización a la red de cone-  
xiones por las líneas de conexión, conectándose el módulo de reloj a la  
base de tiempos y distribuyendo señales de reloj en el conjunto multirre-  
gistrador.

5.- Perfeccionamientos según una de las reivindicaciones 1 ó  
2, caracterizados porque la parte intercambiadora comprende un dispositi-  
vo lógico de control, un módulo de intercambio entre dos unidades de con-  
15 trol, un módulo de intercambio red de conexiones, un módulo de intercame-  
bio unidades de selección, un módulo traductor, un módulo mesa, un módulo  
memoria auxiliar, conectándose el dispositivo lógico de control y los mó-  
dulos, a una barra de intercambios que conecta la parte intercambiadora a  
20 la parte multirregistradora, conectándose el módulo de intercambio entre  
las dos unidades de control al órgano de control por las líneas de con-  
trol, conectándose el módulo de intercambio red de conexiones a la red de  
conexiones por las líneas de orden, y conectándose el módulo de intercam-  
bio unidades de selección a las unidades de selección por las líneas de  
25 marcado.

6.- Perfeccionamientos según las reivindicaciones 2 y 5, ca-  
racterizados porque los módulos de intercambio entre las dos unidades de  
control de las dos unidades de control, se conectan entre sí por las lí-  
neas de intercambios.

7.- Perfeccionamientos según la reivindicación 4, caracteriza

dos porque el conjunto lógico de control comprende un bloque de acceso conectado a la memoria macroprograma, una lógica de control y un bloque memoria de instrucciones, conectándose el bloque de acceso, la lógica de control y bloque memoria de instrucciones, a la barra de informaciones multirregistradora.

5

8.- Perfeccionamientos según la reivindicación 7, caracterizados porque el bloque de acceso se conecta a la barra de informaciones multirregistradora, a la lógica de control por una barra puntos memoria y por una línea de control a un circuito de direccionado de la memoria macroprograma, y porque el bloque de acceso recibe una orden de la lógica de control.

10

9.- Perfeccionamientos según la reivindicación 7, caracterizados porque la lógica de control comprende un módulo de direccionado y un módulo bloque operador, conectándose el módulo de direccionado a la memoria macroprograma de la que recibe, en una memoria de transcodificado, los elementos binarios 1 a 8 que definen las órdenes de las macroinstrucciones, a un circuito de direccionado de una memoria de instrucciones del bloque memoria de instrucciones, al módulo bloque operador, y a la barra de informaciones multirregistradora, conectándose el bloque operador a la barra de informaciones multirregistradora y a la memoria de instrucciones que contienen instrucciones de 48 elementos binarios, siendo las instrucciones de cinco tipos diferentes, que corresponden a cinco órdenes, dando los tres primeros elementos binarios de una instrucción, una orden, teniendo el bloque operador un circuito de intercara que recibe los elementos binarios de las instrucciones y que proporciona sobre una barra puntos memorias los elementos binarios 4 a 18 de las instrucciones, comprendiendo el bloque operador un circuito decodificado conectado al circuito de intercara del que recibe los tres primeros elementos binarios, y que proporciona en cinco salidas una orden diferente, teniendo el bloque operador un decodificador de direcciones conectado al circuito de intercara y que proporciona

15

20

25

30


na en una línea de control, direcciones dadas por las instrucciones.

5 10 15 20 25

10.- Perfeccionamientos según la reivindicación 4, caracterizados porque el bloque memoria de registrador memoriza las informaciones necesarias para el establecimiento y para la ruptura de las comunicaciones y comprende una intercara de entrada, una memoria con un circuito de direccionado, una intercara de salida, porque el bloque memoria tampón - comprende dos memorias tampón que aseguran cada una el tratamiento de las informaciones de las palabras de la memoria, conectándose las memorias - tampón a la entrada, a la intercara de salida, comprendiendo el bloque memoria tampón igualmente un circuito de lectura, un circuito de direccionado temporal, un circuito de direccionado espacial conectado a un circuito de direccionado memorias, conectándose las memorias tampón al circuito de lectura y a la barra de informaciones multirregistradora, teniendo el circuito de lectura una salida conectada a una entrada de la intercara de entrada, conectándose el circuito de direccionado temporal al conjunto lógico de control a una barra puntos memoria y por una línea de control y recibiendo del conjunto lógico de control una orden, conectándose igualmente el circuito de direccionado temporal a la barra de informaciones - multirregistradora, al circuito de direccionado memorias, al circuito de direccionado y a la intercara de salida, conectándose el circuito de direccionado espacial al circuito de lectura, a la lógica de control, por la barra puntos memoria y por la línea de control y recibiendo órdenes del conjunto lógico de control, conectándose el circuito de direccionado memoria a las memorias tampón.

30

11.- Perfeccionamientos según la reivindicación 4 caracterizados porque el módulo receptores de señalización recibe y memoriza las señalizaciones relativas a las líneas de abonados ó a circuitos, siendo - emitidas las señalizaciones por las unidades de selección sobre las líneas de ensayo, y porque confirma ó no un cambio de estado de las líneas de - abonados ó de los circuitos, conectándose el módulo receptores de señali-



zación al conjunto lógico de control por una barra puntos memoria y una línea de control, y a las líneas de ensayo por un multiplexador conectado a la salida por mediación de un registro de estado de líneas de ensayo, un registro tampón, una lógica de salida, a memorias de estado anterior y a memorias de estado confirmado, conectándose las memorias a la salida a la barra de informaciones multirregistradora, y porque el módulo emisor de señalización asegura la preparación y la emisión de mensajes de control de tonalidades y de señalizaciones hacia la red de conexiones, porque se conecta al conjunto lógico de control por la barra puntos memoria y la línea de control, y a la línea de conexión por dos lógicas de salida, y porque comprende dos memorias conectadas a la entrada, a la barra de informaciones multirregistradora y a la línea de control, y a la salida, a las lógicas de salida por mediación de dos registros.

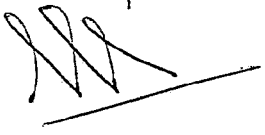
12.- Perfeccionamientos según la reivindicación 4, caracterizados porque el módulo entrada/salida asegura la interacción entre la parte multirregistradora y la parte intercambiadora de una unidad de control, comprendiendo el módulo entrada/salida al menos un bloque entrada/salida conectado al conjunto lógico de control por una barra puntos memoria y recibiendo de la lógica de control una orden de transferencia, conectándose el bloque entrada/salida a la parte intercambiadora por una barra de intercambios, una barra de direccionado, y una línea de control y comprendiendo una memoria conectada a la entrada y a la salida a la barra de informaciones multirregistradora y a la barra de intercambios.

13.- Perfeccionamientos según la reivindicación 5, caracterizados porque el dispositivo lógico de control comprende un módulo de direccionado directo e indirecto, un módulo memoria central, un módulo bloque operador, un módulo de tratamiento de las fases, un módulo de reagrupamiento de las informaciones, un módulo memoria de temporización y lógica de llamadas prioritarias y un bloque memoria de instrucciones conectado a una barra de informaciones intercambiadora, una línea de control y



una barra de direccionado que proceden del bloque memoria de instrucciones, estando conectados los módulos de direccionado directo e indirecto, memoria central, bloque operador, de tratamiento de las fases, de reagrupamiento de informaciones, memoria de temporización y lógica de llamadas prioritarias, módulo de intercambio entre las dos unidades de control, módulo de intercambio red de conexiones, módulo de intercambio unidades de selección, módulo traductor, módulo mesa y módulo memoria auxiliar, a la línea de control y a la barra de direccionado, conectándose los módulos de intercambio entre las dos porciones extremas de control, de intercambio red de conexiones, de intercambio unidades de selección, traductor, mesa, y memoria auxiliar, a una línea de direccionado procedente del módulo de direccionado directo e indirecto, y a una barra de ensayo de informaciones a la que están igualmente conectados los módulos bloque operador de reagrupamiento de las informaciones, memoria de temporización y lógica de llamadas prioritarias, teniendo el dispositivo lógico de control que comprende igualmente una puerta Y, una entrada conectada a la barra de informaciones intercambiadora y una entrada conectada a la salida de un inversor, una puerta Y conectada a la salida a la barra de informaciones intercambiadora y que tiene una entrada conectada a la barra de intercambios y otra entrada conectada a la línea de control, conectándose igualmente el inversor a la entrada, a la línea de control.


14.- Perfeccionamientos según la reivindicación 13, caracterizados porque el módulo de direccionado directo e indirecto, que direcciona el módulo memoria central, recibe a la entrada, para un direccionado directo, señales de la línea de control y una orden de escritura ó de lectura del bloque memoria de instrucciones, y recibe, para un direccionado indirecto, señales de la barra de informaciones intercambiadora de la barra de direcciones y de la línea de control, y porque una salida del módulo de direccionado directo e indirecto se conecta al módulo memoria central y porque otra salida constituye la línea de direccionado que propor-

30  


5 ciona direcciones constituidas por 6 elementos binarios, porque el módulo memoria central, que asegura la misión de tampón entre el módulo bloque operador, los diferentes módulos de intercambio y módulos periféricos, recibe informaciones de la barra de informaciones intercambiadora y proporciona informaciones sobre la barra de informaciones intercambiadora por mediación de un registro de salida paralela, porque el módulo bloque operador permite ensayar informaciones, efectuar decalajes e informaciones, efectuar operaciones lógicas y aritméticas y conseguir diferentes saltos de fase, y comprende un primer acumulador conectado a la entrada a la barra de informaciones intercambiadora, a la línea de control y a la barra de ensayo de las informaciones y conectado a la salida a una red de decalaje conectada a un circuito de cálculo, un segundo acumulador conectado a la entrada a la barra de informaciones intercambiadora y a la línea de control, y conectado a la salida del circuito de cálculo que tiene una salida conectada a un tercer acumulador y a un comparador igualmente conectado a la entrada al segundo acumulador, conectándose el comparador a un circuito de prioridad que proporciona, por mediación de cuatro puertas Y y de una puerta O, saltos de fase al módulo de tratamiento de las fases, conectándose el tercer acumulador a la salida, a la barra de informaciones intercambiadora.

15  
20  
25  
30

15.- Perfeccionamientos según la reivindicación 13, caracterizados porque el módulo de tratamiento de las fases comprende un circuito de cálculo conectado a la entrada al módulo bloque operador, un registro de preparación de fases conectado a la entrada a la barra de informaciones intercambiadora y a la barra de direcciones y a la salida del circuito de cálculo, un registro de fases y un decodificador de fases, conectándose igualmente el registro de fases a la salida a una entrada del circuito de cálculo, conectándose el decodificador de fases a la salida al bloque memoria de instrucciones, porque el bloque memoria de instrucciones comprende una memoria de instrucciones direccionada por el decodifi-



5      cador de fases, un decodificador de órdenes conectado a una salida de la memoria de instrucciones y que proporciona cuatro tipos de órdenes que - definen cada una una instrucción, un decodificador de direcciones conecta- do a una salida de la memoria de instrucciones y conectado a la salida a la barra de direcciones que procede por tanto del decodificador de direc- 5      ciones, constituyendo una salida de la memoria de instrucciones la línea de control, porque el módulo de reagrupamiento de las informaciones que desvia sobre la barra de ensayo de las informaciones, una informaciones - recibidas de la barra de informaciones intercambiadora sobre cuatro puer- 10      tas Y igualmente conectadas a la línea de control y a la barra de direc- ciones, conectándose las puertas Y a la salida a una puerta 0 cuya salida se conecta a la barra de ensayo de informaciones, y porque el módulo memo- 15      ria de temporización y lógicas de llamadas prioritarias comprende una me- moria de temporización que memoriza los valores de temporización a partir de la barra de informaciones intercambiadora, un primer registro de llama- 20      das prioritarias conectado a una salida de la memoria de temporización, - y un segundo registro de llamadas prioritarias conectado a la entrada al módulo de intercambios unidades de selección, al módulo de intercambios entre las dos unidades de control, y al módulo de intercambio red de cone- 25      xiones, conectándose los primer y segundo registros de llamadas priorita- rias a la salida a la barra de informaciones intercambiadora a través de una puerta 0 y una puerta Y que tiene una entrada conectada a la barra de direcciones.

25      16.- Perfeccionamientos según la reivindicación 5, caracteri- zados porque el módulo de intercambios unidades de selección que asegura la emisión y la recepción de los mensajes entre las unidades de selección y la parte intercambiadora de una unidad de control se conecta a la entra- da por un multiplexador y a la salida por un demultiplexador a las líneas de marcado, porque se conecta al dispositivo lógica de control por una - 30      barra de ensayo de informaciones, una barra de direccionado, una línea de

control, una línea de direccionado y una barra de intercambios, porque el módulo de intercambio entre las dos unidades de control que asegura el intercambio de las informaciones entre las dos unidades de control, se conecta a la entrada por un primer desviador y a la salida por un segundo desviador a líneas de intercambio que conectan entre sí los módulos de intercambio entre las dos unidades de control, porque se conecta al dispositivo lógico de control por la barra de ensayo de informaciones, la línea de control, la línea de direccionado y la barra de intercambios, y porque el módulo de intercambio red de conexiones que asegura la transmisión de los intercambios entre la red de conexión y la parte intercambiadora de una unidad de control comprende un registro que se conecta, para la recepción de un mensaje, a la entrada, a la línea de orden y a la salida, a una barra de intercambios, y que se conecta, para la emisión de un mensaje, a la entrada, a la barra de intercambios y a la salida, a la línea de orden, conectándose igualmente el módulo de intercambios red de conexiones, a la línea de control, a la barra de direccionado, y a la barra de ensayo de informaciones y a la línea de direccionado.

17.- Perfeccionamientos según la reivindicación 5, caracterizados porque el módulo traductor asegura el almacenamiento de las informaciones necesarias a la parte multirregistradora para el establecimiento y la ruptura de los diferentes tipos de comunicaciones llevadas por la central y porque comprende memorias de traducción, un circuito de sincronización, un circuito de selección de direccionado, y porque se conecta al dispositivo lógico de control por una barra de intercambios, una línea de control y a la barra de direccionado, y porque el módulo memoria auxiliar asegura la memorización de las tasas relativas a los abonados de la central y se conecta al dispositivo lógico de control por una barra de intercambios, una línea de control y una barra de direccionado.

18.- Perfeccionamientos en centrales de telecomunicación temporal; tal y como queda sustancialmente descrito en la presente Memoria e

ilustrado en los dibujos adjuntos.

Esta memoria consta de 119 hojas escritas a máquina por una sola cara.

22 JUL 1977

Madrid,

COMPAGNIE INDUSTRIELLE DES TELECO  
MUNICATIONS CIT-ALCATEL.

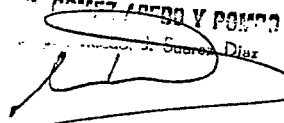
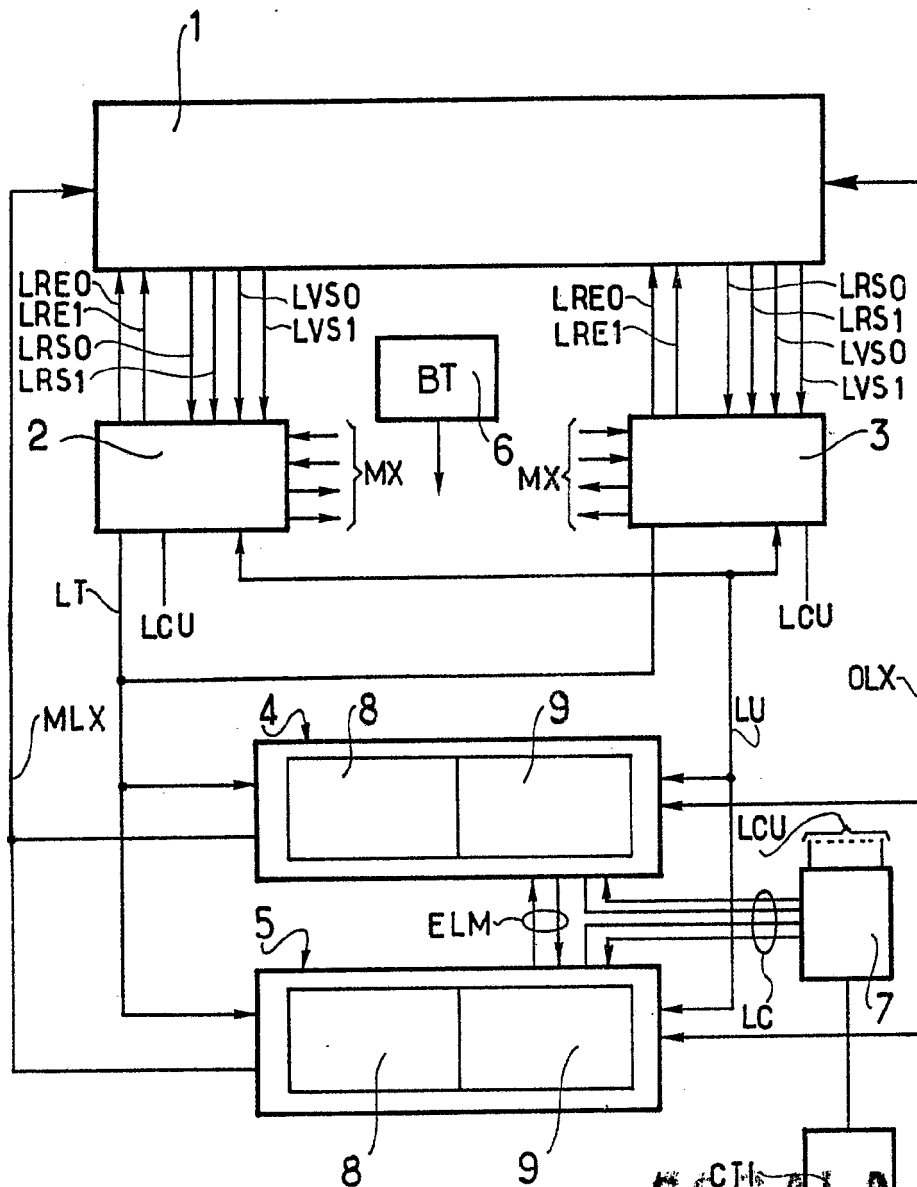
CONSEJERO Y PONTO  
Sucesor Díaz  




FIG.1



ESCUELA  
LA  
VARIABLE  
JUL 1977  
MADRID  
A. M. GONZÁLEZ Y PÉREZ  
C. B. PÉREZ Y SORIANO



FIG. 2

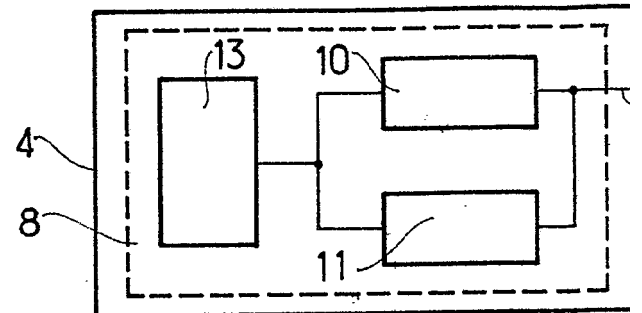
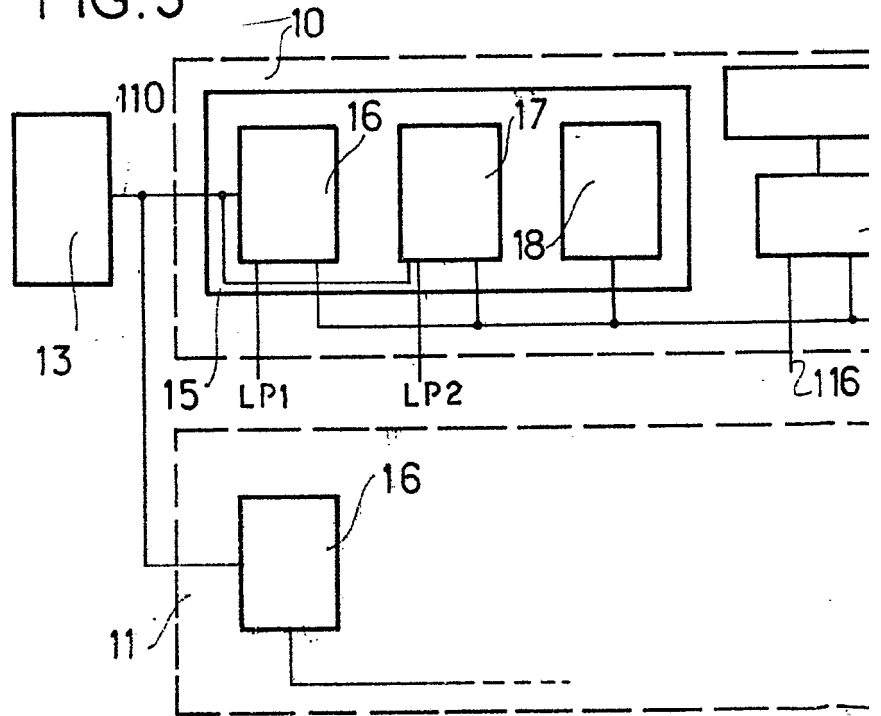
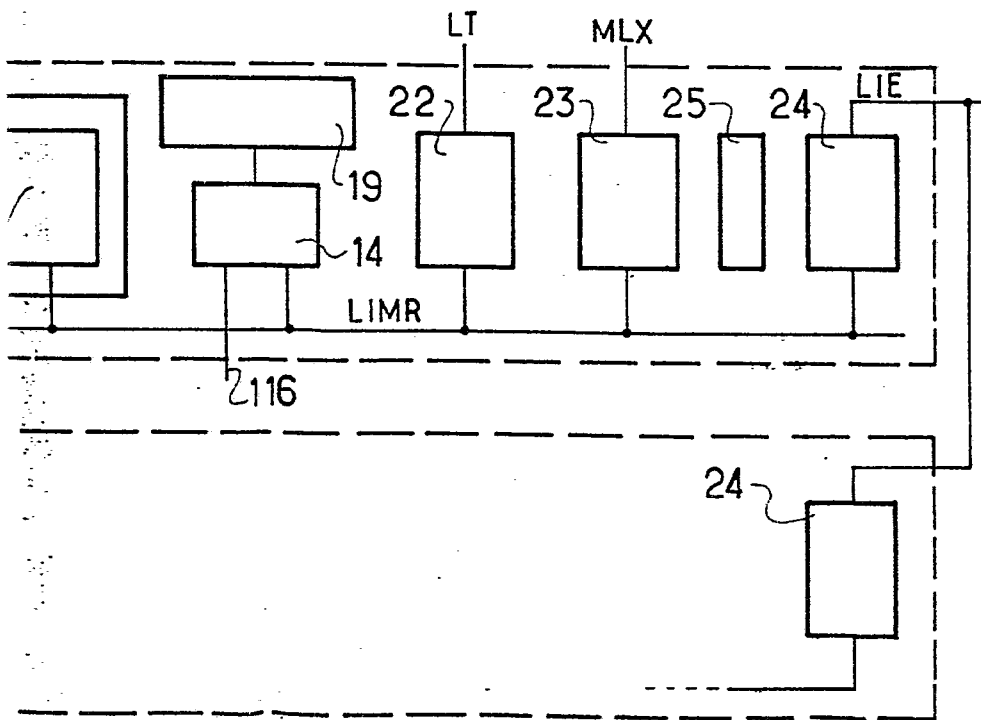
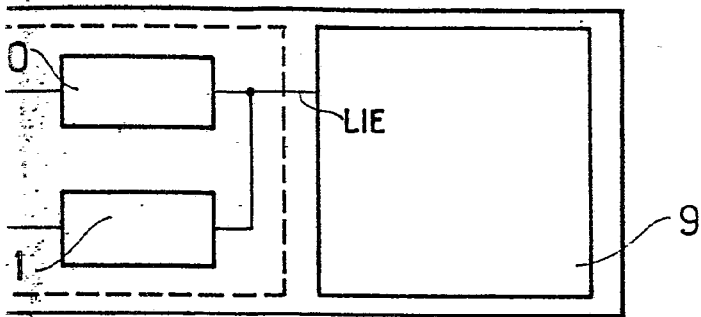


FIG. 3

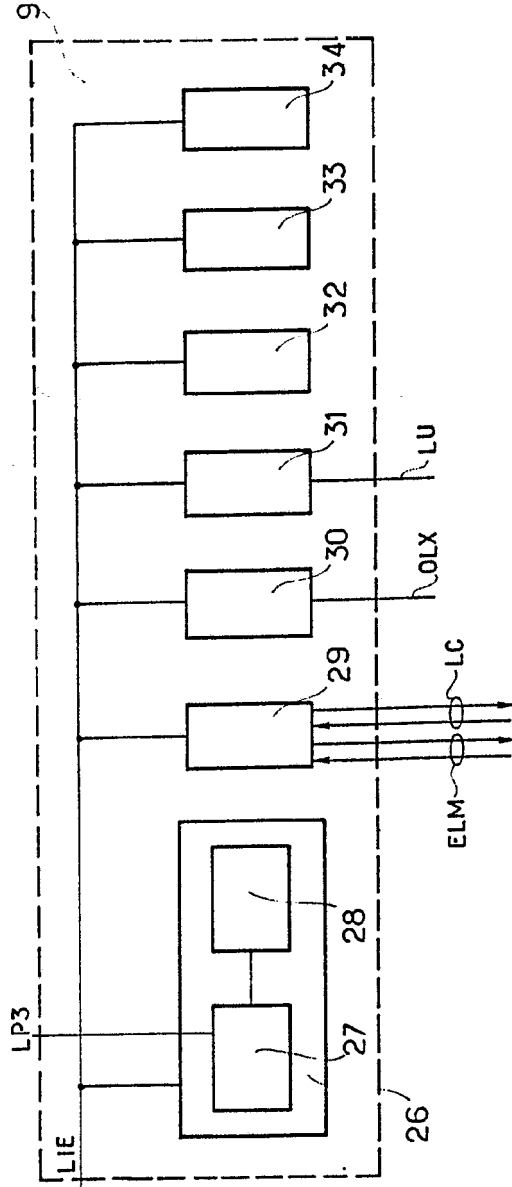




ESCALA  
VARIABLE

J. M. GARCÍA  
M. J. GARCÍA

FIG.4



ESCALA  
VARIABLE

Modelo 10-100-1971

*C.I.T.*

FIG.4

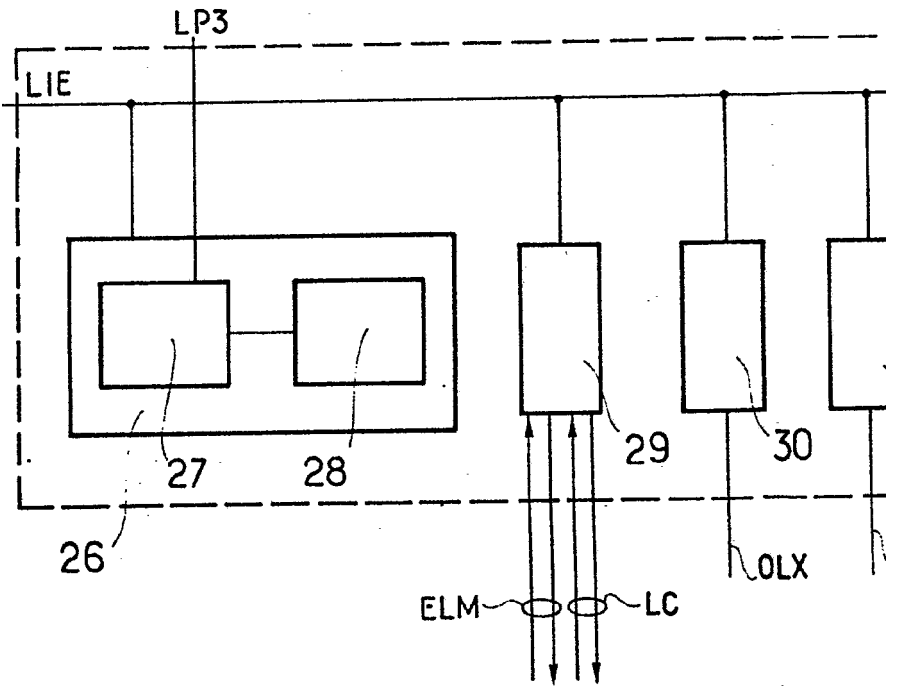
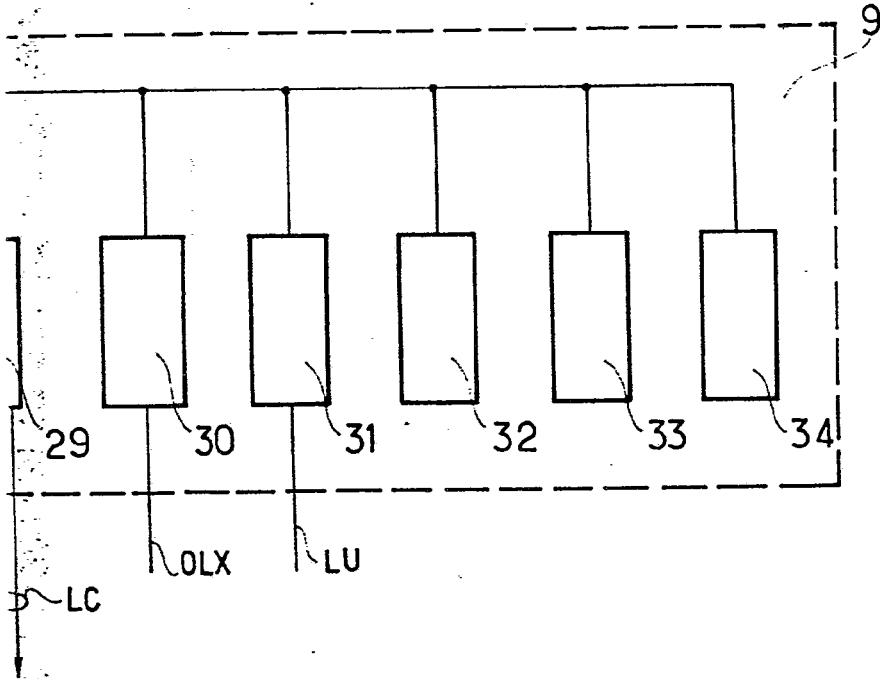


FIG.4

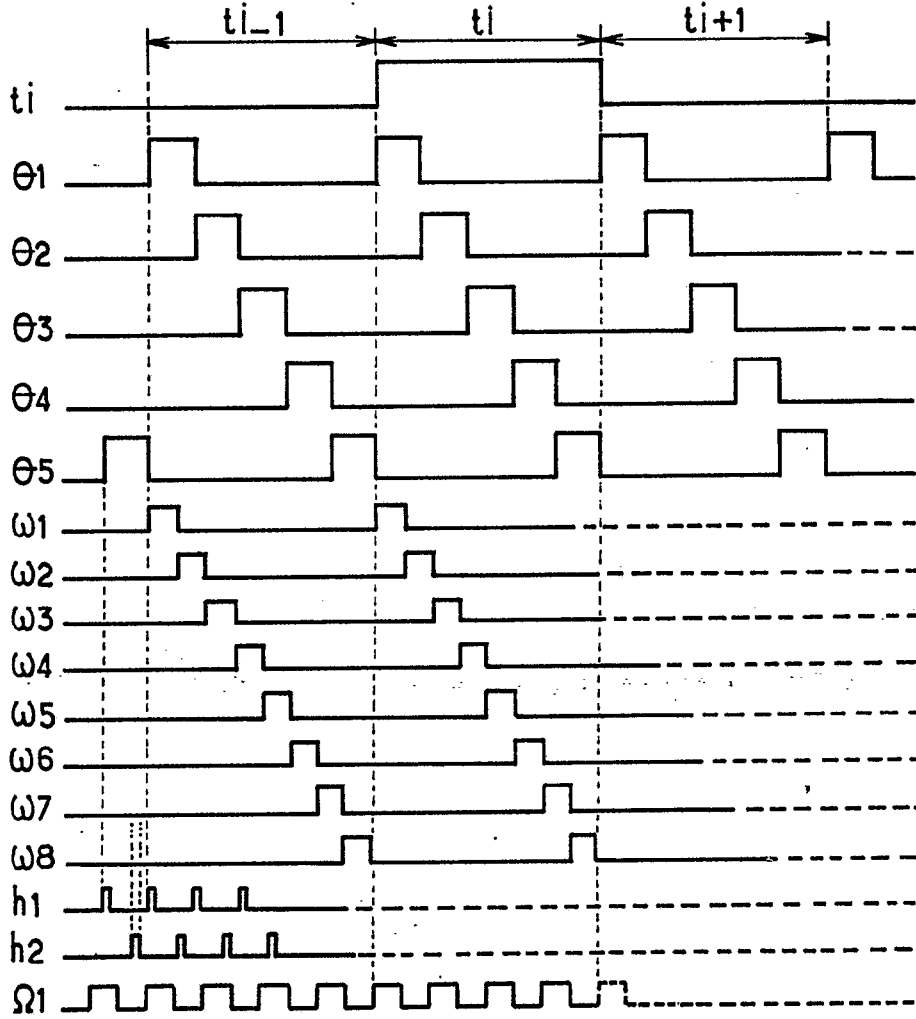


**ESCALA  
VARIABLE**

Madrid 22 JUL 1977

A handwritten signature or set of initials, possibly 'C. L.', is written over the printed text.

FIG.5a



ESCALA  
VARIABLE

Madrid 22 JUL 1977

A. M. GONZALEZ AGUIRRE Y PONS

By *[Signature]*

FIG.5b

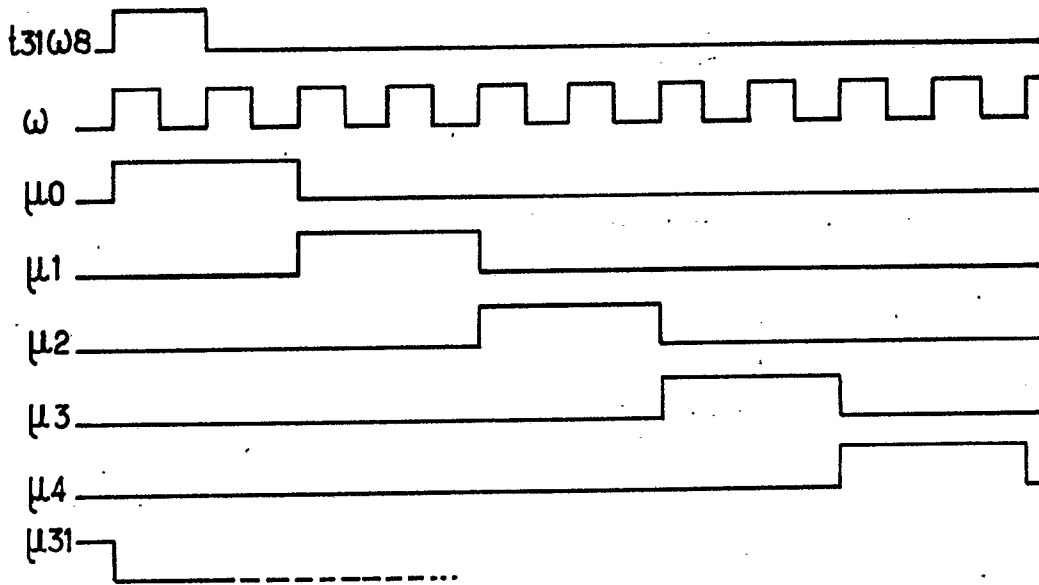
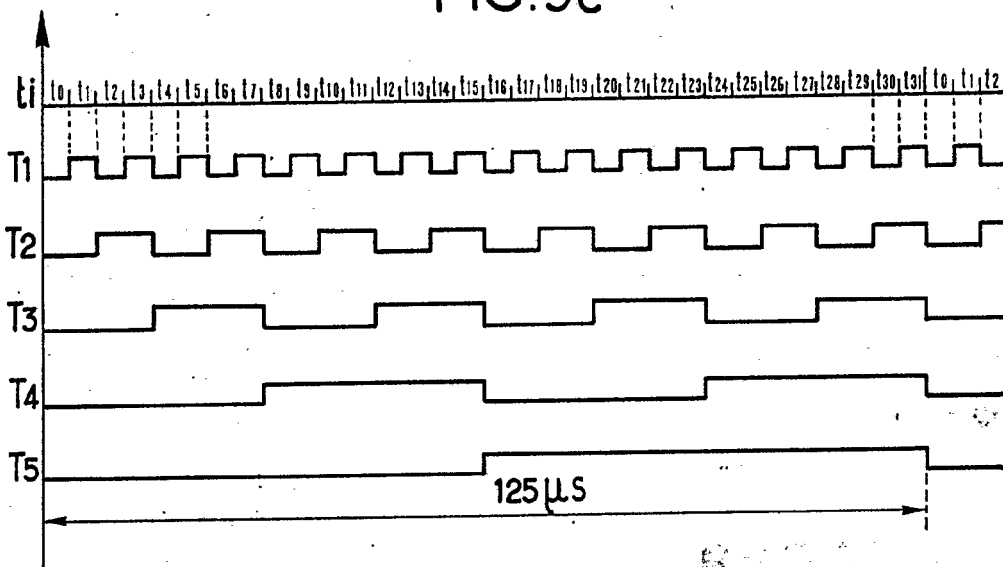
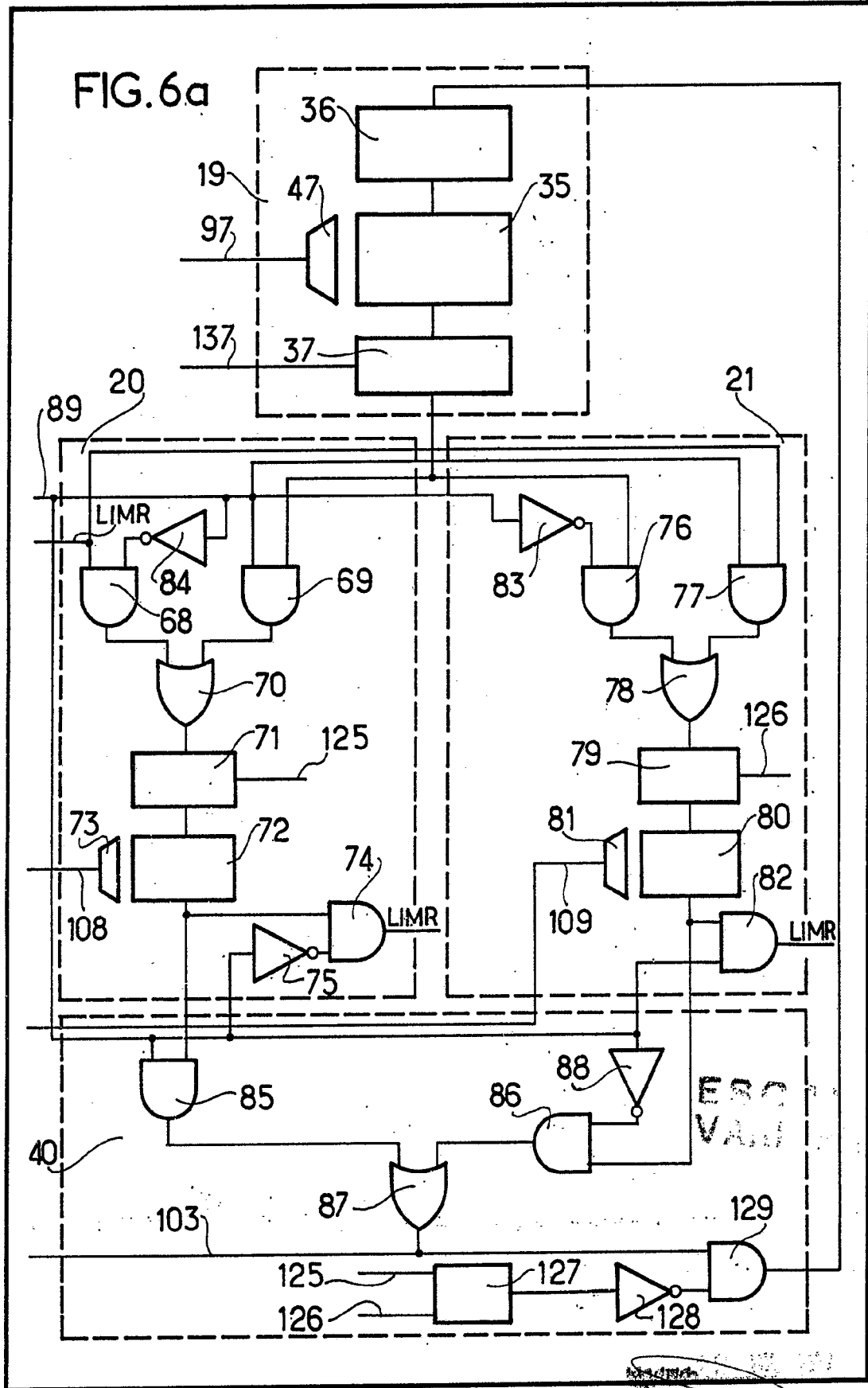
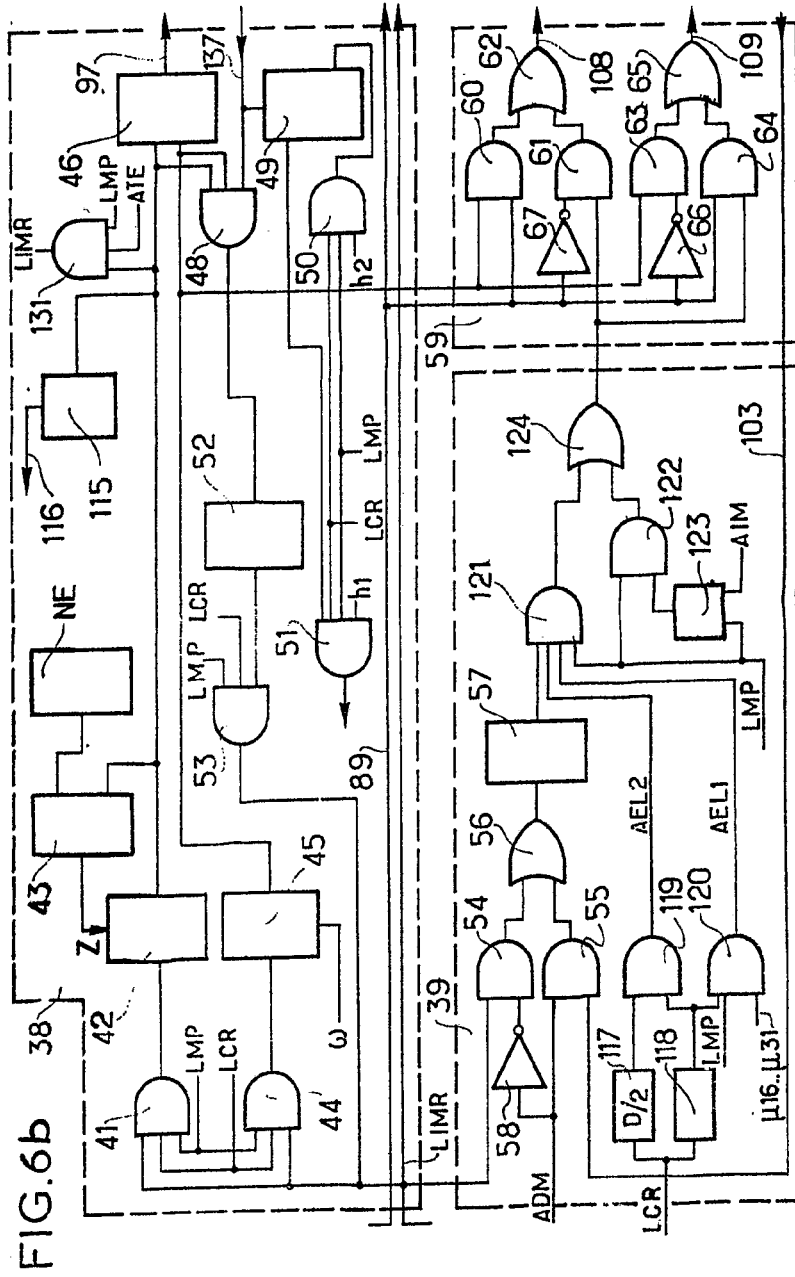


FIG.5c



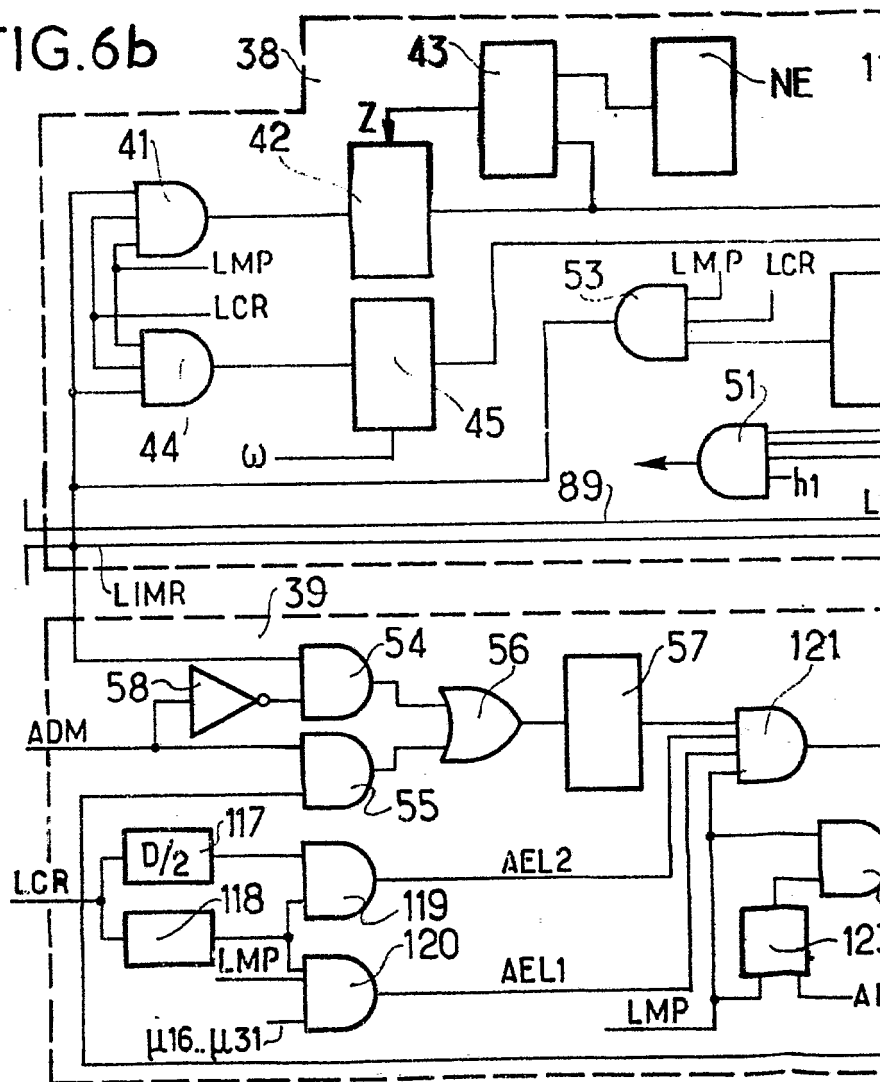


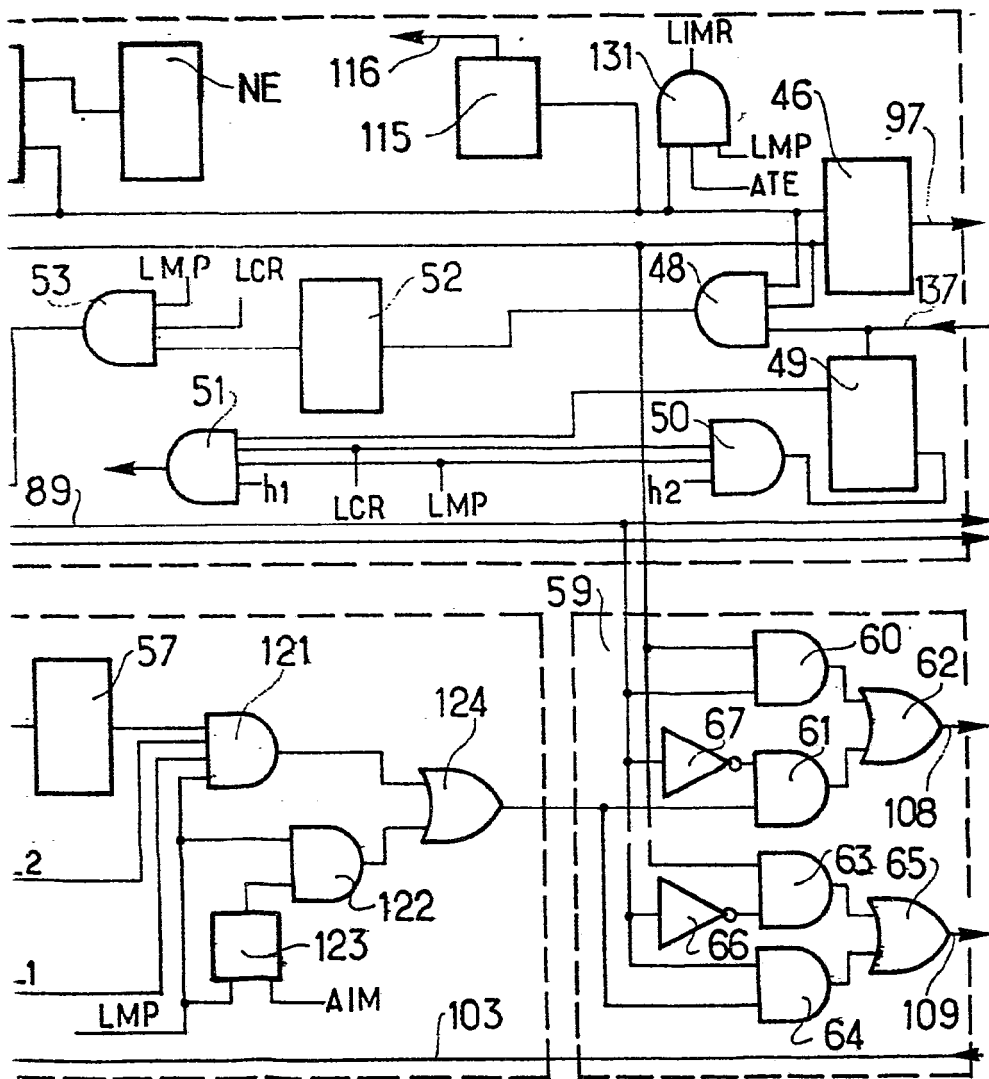


ESCALA  
VARIABLE

RESERVÉ  
A. M. BERNARDI & C. S.A.  
Calle de Euzkadi, 100  
48013 Leizor (Vizcaya)

FIG.6b





ESCALA  
VARIABLE

Madrid, 1977

J. M. GÓMEZ LÓPEZ Y COMPA  
& P. Fierro, J. Suarez, Char







ESCALA  
VARIAS

FIG. 8a

	4	8	12	16	20	24	28	32	36	40	44	48	
1	EMO	Ad.	P				SPH						
2	EMAS	Ad.	M	P	SPH								
3	EMASI	Ad.	M	P	SPH								
4	TEDEUM	1° Ad. So	1° Ad. D		2° Ad. So		2° Ad. D		SPH				
5	TFT	Ad. So	Ad. D		C	SPH							
6	BRAN	PH											
7	SAU	SPH											
8	REPO												
9	EFF												
10	PRISE	Enr. Rap. MR 1				Enr. Rap. MR 2							
11	OBTRA	Ad. Ta Obs.						SPH					
12	CONSIL 1	Ad. Sign.	P	Ad. Te		PTe		SPH 2		SPH 1			
13	CONSIL 2	Ad. Sign.	P	Ad. Te		PTe		SPH 2		SPH 1			
14	CONFES	Ad. Sign.	P	Ad. Te		PTe		SPH 2		SPH 1			
15	ATTES	Ad. Sign.	P	Ad. Te		PTe		SPH 2		SPH 1			
16	RMF	Ad. Sign.	C	Ad. Ins		SPH 2			SPH 1				
17	RSI	Ad. Sign.	P	SPH 2				SPH 1					
18	SIPO	Ad. Po	SPH 5		SPH 4	SPH 3	SPH 2		SPH 1				
19	TONAL	Ad.	F	Ton.			SPH						
20	TOTSI	Ad.	F	Ton.		PT	SPH 2		SPH 1				
21	TETON	Ad.	F	Ton.		P	Ad. M		SPH 2				
22	TORAZ	Ad.	F	Ton.		CTe		SPH					
23	TOTEM	Ad.	F	Ton.		PTe		Ad. Te		SPH 2			
24	TERNUC	Ad. Sec	M	Ad. RNC		SPH 2			SPH 1				
25	COSPA	Ad. Sec	P2	P1	SPH 3		SPH 2		SPH 1				
26	ANAS	Ad. Sec	P4	P3	P2	P1	SPH 5						
27	ASMA	Ad. Sec	M4	M3	M2	M1	SPH 5						
28	RAZ	1	1° Ad.	2° Ad.		3° Ad.		4° Ad.		C			
		2	1° Ad.	M1	2° Ad.		M2		C				
29	TUTUS	Ad. 1	M	Ad. 1/4		M1/P4	C	SPH 3		SPH 2			
30	TESTUS	Ad. 4	P	Ad. 1/4		M1/P4	C	SPH 3		SPH 2			

ESCALA  
VARIABLE

FIG. 8b

	4	8	12	16	20	24	28	32	36	40	44	48	
31	CHIPO	Ad.	Ad. CH	SPH 2			SPH 1						
32	TES	Ad. Sec	M	SPH 2			SPH 1						
33	ANS	Ad. Sec	P	SPH 2			SPH 1						
34	COMPS	Ad. Sec	P	SPH 3		SPH 2		SPH 1					
35	OMP	Ad. M	COP		P			SPH					
36	OMM	Ad. M1	COP	Ad. M2	SPH								
					SPH 3	SPH 2	SPH 1						
37	OMO	Ad. M	COP	Ad. 0	SPH								
					SPH 3	SPH 2	SPH 1						
38	OMS	Ad. M	COP	Ad. Sec	SPH								
					SPH 3	SPH 2	SPH 1						
39	OMSI	Ad. M	COP	Ad. Sec I	SPH								
					SPH 3	SPH 2	SPH 1						
40	OPAO	Ad. 0	COP	P	SPH								
					SPH 3	SPH 2	SPH 1						
41	OPOCO	Ad. 01	COP	Ad. 02	SPH								
					SPH 3	SPH 2	SPH 1						
42	OSO	Ad. 0	COP	Ad. Sec	SPH								
					SPH 3	SPH 2	SPH 1						
43	OSPA	Ad. Sec	COP	P	SPH								
					SPH 5		SPH 4						
					SPH 3	SPH 2	SPH 1						
44	OSS	Ad. Sec 1	COP	Ad. Sec 2	SPH								
					SPH 5		SPH 4						
					SPH 3	SPH 2	SPH 1						
45	OSS1	Ad. Sec	COP	Ad. Sec I	SPH								
					SPH 5		SPH 4						
					SPH 3	SPH 2	SPH 1						
46	OSIP	Ad. Sec I	COP	P	SPH								
					SPH 5		SPH 4						
					SPH 3	SPH 2	SPH 1						
47	OSIS	Ad. Sec I	COP	Ad. Sec	SPH								
					SPH 5		SPH 4						
					SPH 3	SPH 2	SPH 1						

FIG. 8c

	4	8	12	16	20	24	28	32	36	40	44	48
48	ASPRO	PH DEP SP			C	Ad. Te						
49	RETAN	P Ins.			Ad. Ins.					C		
50	ASPEC	Ad. TE		F			PH DEB SPE					
51	MEC	Ad.		Ad. 1		Ad. 2					P. Te	
52	MLD	Ad. 1		Ad. 2		Ad. 3					P. Te	
53	MLF	Ad. 4		Ad. 5		Ad. 6		Ad.				
54	TRENO	Ad. TE1		Ad. TE2		Ad. TE3					SPH	
55	TRETI	Ad.		Ad. TE1		Ad. TE3					SPH	
56	TRADIM	Ad. 1		Ad. 2		P			SPH			
57	RARE	Ad. 1		Ad. 2		Ad. 3		Ad. 4				
58	RADER	Ad. 1		Ad. 2		Ad. 3						
59	RAFIR	Ad. 4		Ad. 5		Ad. 6						
60	TINTER	M1	M2	M3	SPH 2			SPH 1				
61	AFICH	Ad. T.S.		MT	F	T	Ad. PO		Ad. Info			
62	AFORS	Ad. T.S.		MT	F	T	Ad. PO		Ad. Info			
63	AFINU	Ad. T.S.		MT	F	T	Ad. PO		Ad. Info			
64	INDER	Ad. Ind.		PH DEB Ta			Ad. G					
65	INDEX	Ad. Ind.		PH DEB Ta			Ad. G					
66	ETROS	Ad. 1		P1	Ad. 2		P2	Ad. 3		P3		
67	PIRSI	Ad.		Ad. P		SPH 2		SPH 1				
68	SIRAZ	Ad. Cor		CS	Ad. Te		SPH 2		SPH 1			
69	CHIMF	Ad. Cor		F	Ad. CH		SPH					
70	TRESI	Ad. Cor		PS	Ad. E		Ad. TE		SPH 3	SPH 2		
71	RETNR										C	

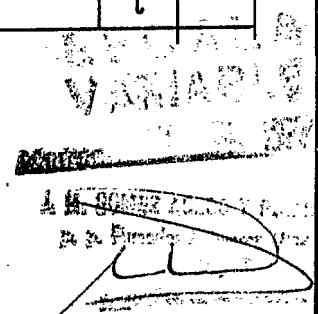

  
 A. M. GOMEZ



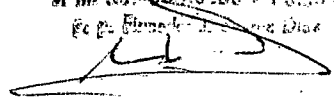
FIG.10

	4	8	12	16	20	24	28	32	36	40	44	48			
1	ANT	M	P4	P3	P2	P1	SPH4	SPH3	SPH2	SPH1	SPH0	R M S I M P			
2	POP	M C	AD1	AT		A B C	DEC	B U S	CAL	C C E S	S P H I	SPH2	SPH1	SPH0	R M S I M P
3	ADM	E L C	AD1	AT	ADME	SEC	V A C			P		SPH I	R M S I M P		
4	AIM	E L C	AD1	AT	B U S	B A U C T S B O		V A C		P		SPH I	R M S I M P		
5	ATE	E L C	T E S S O	V M A T	ADME	SEC	V A C	Ad TES	SEC	V E H 1	C A C H T 2	SPH I	R M S I M P		

ESCALA  
VARIABLE

22 JUL 1977

J. M. ...  
...  
...





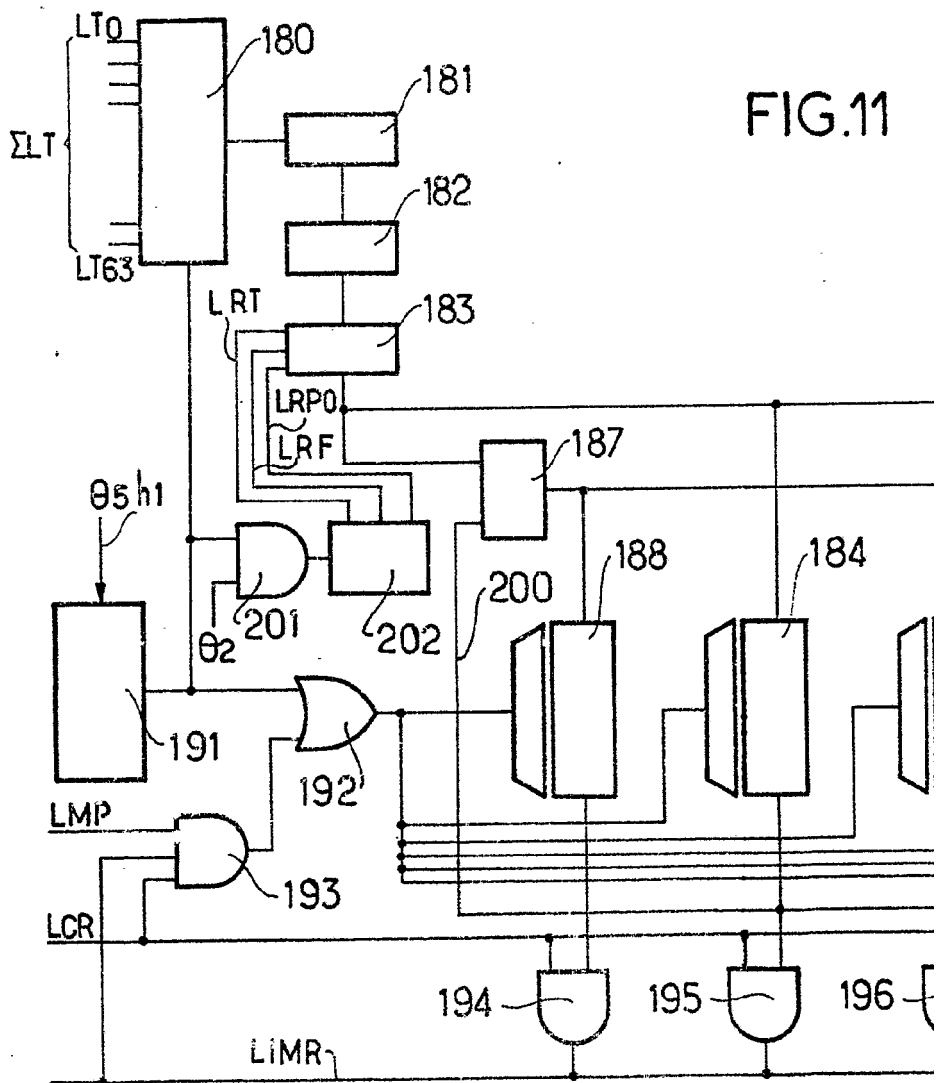
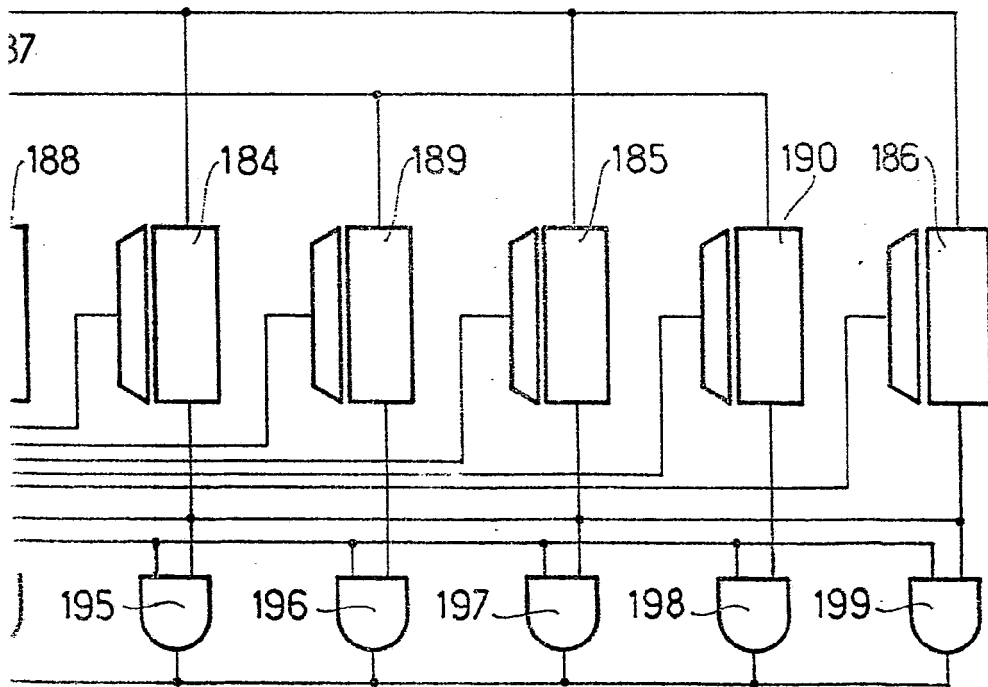
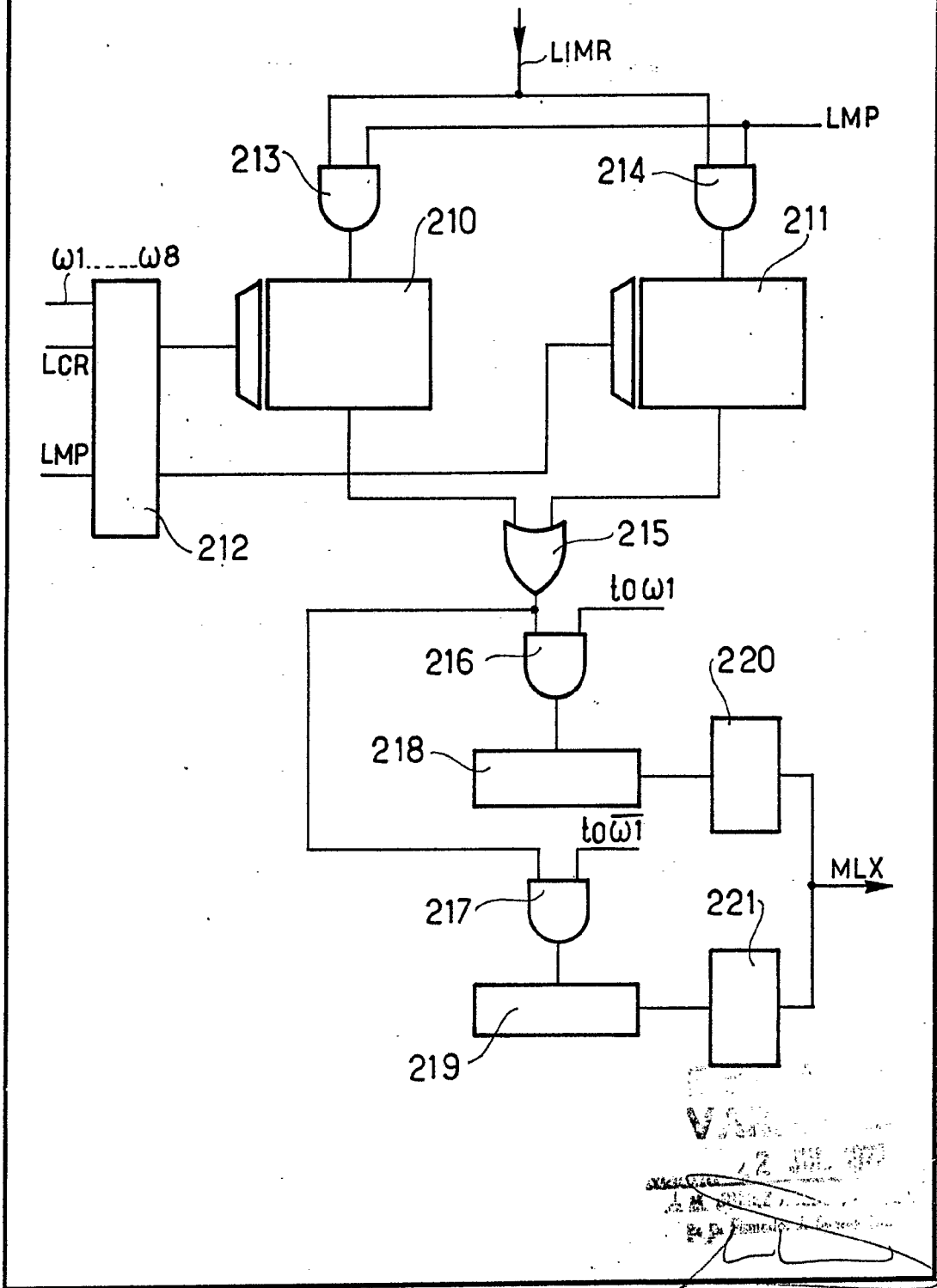


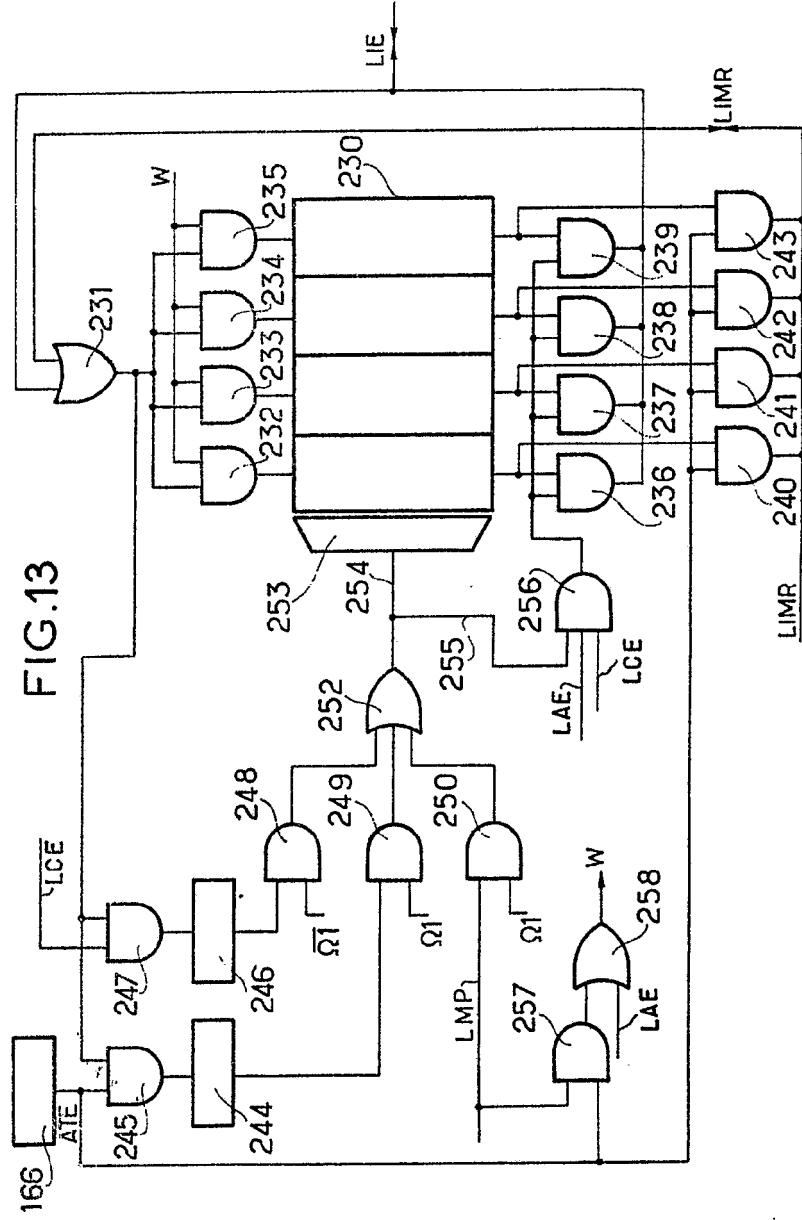
FIG.11



ESCALA  
VARIABLE  
29 JUL 1977  
M. SERRA  
A. Estrada y Suarez Diaz

FIG.12





**ESP. ALA  
VARIABLE**

Maurice  
P. P.

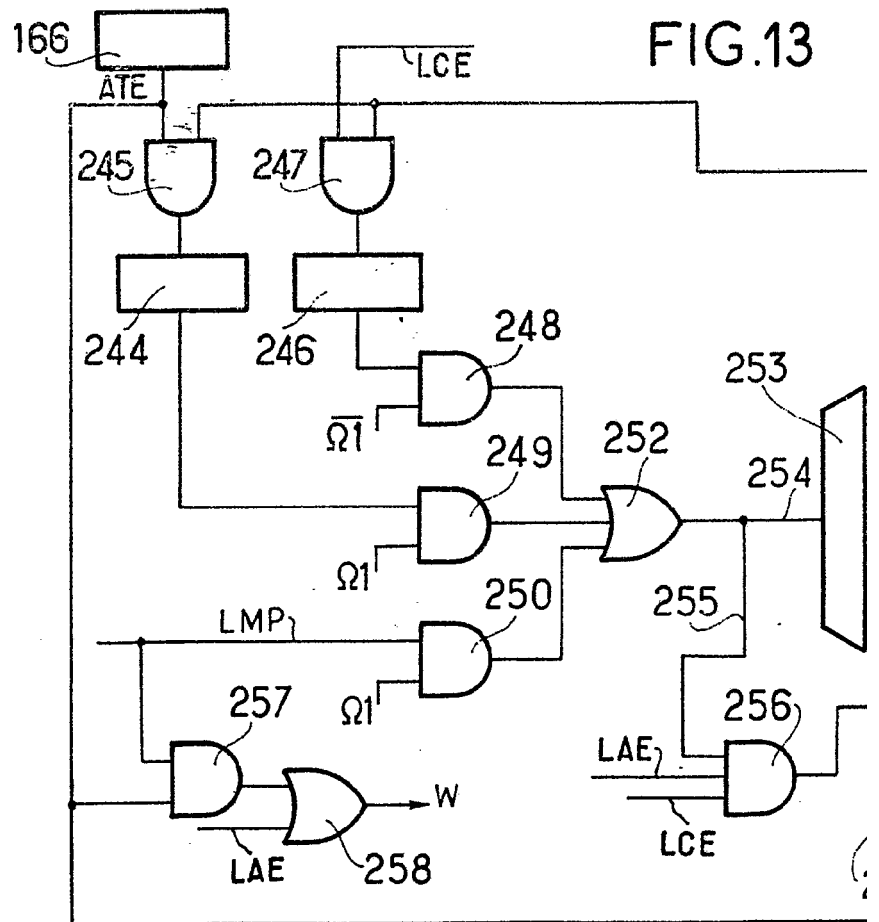
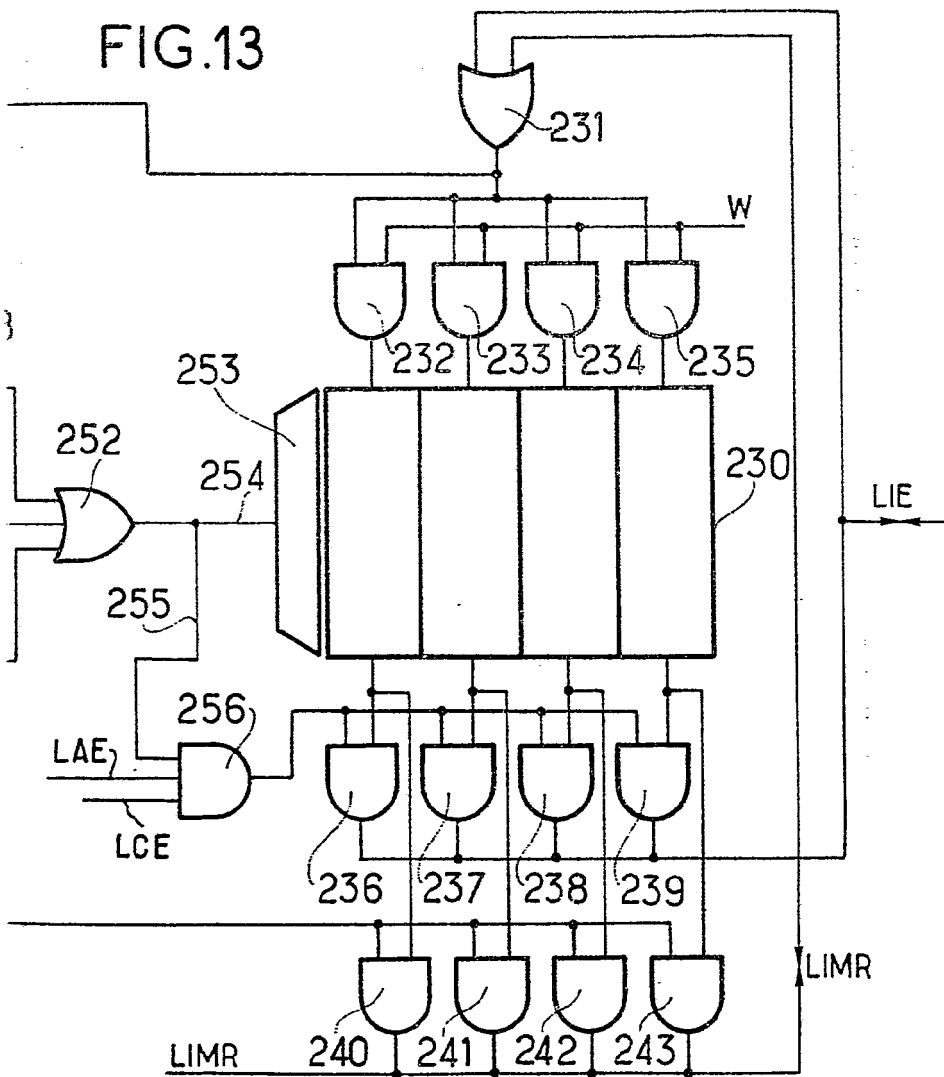


FIG.13



ESCALA  
VARIABLE

Madrid  
1971  
*[Handwritten signature]*



FIG.14

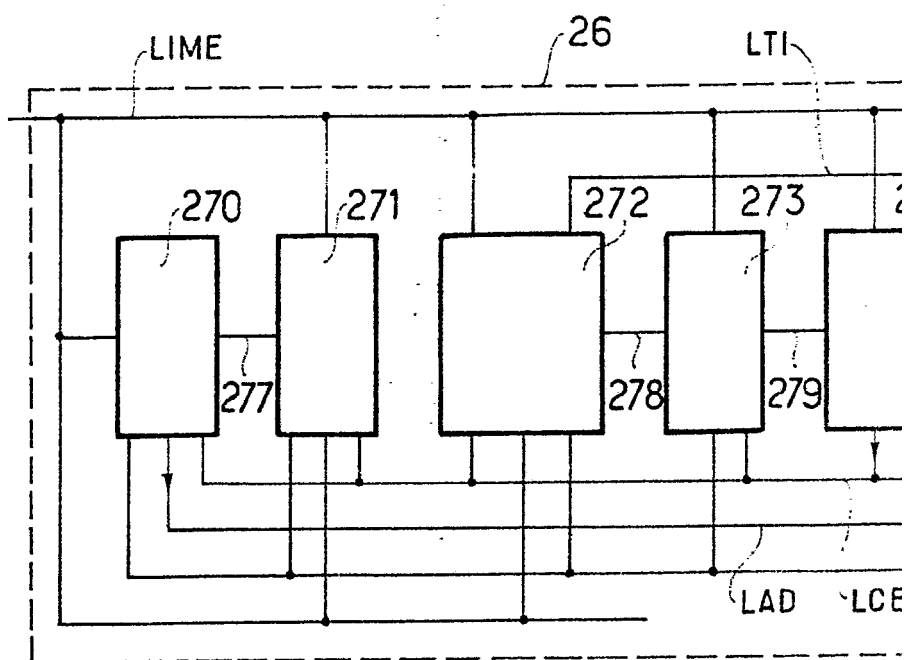
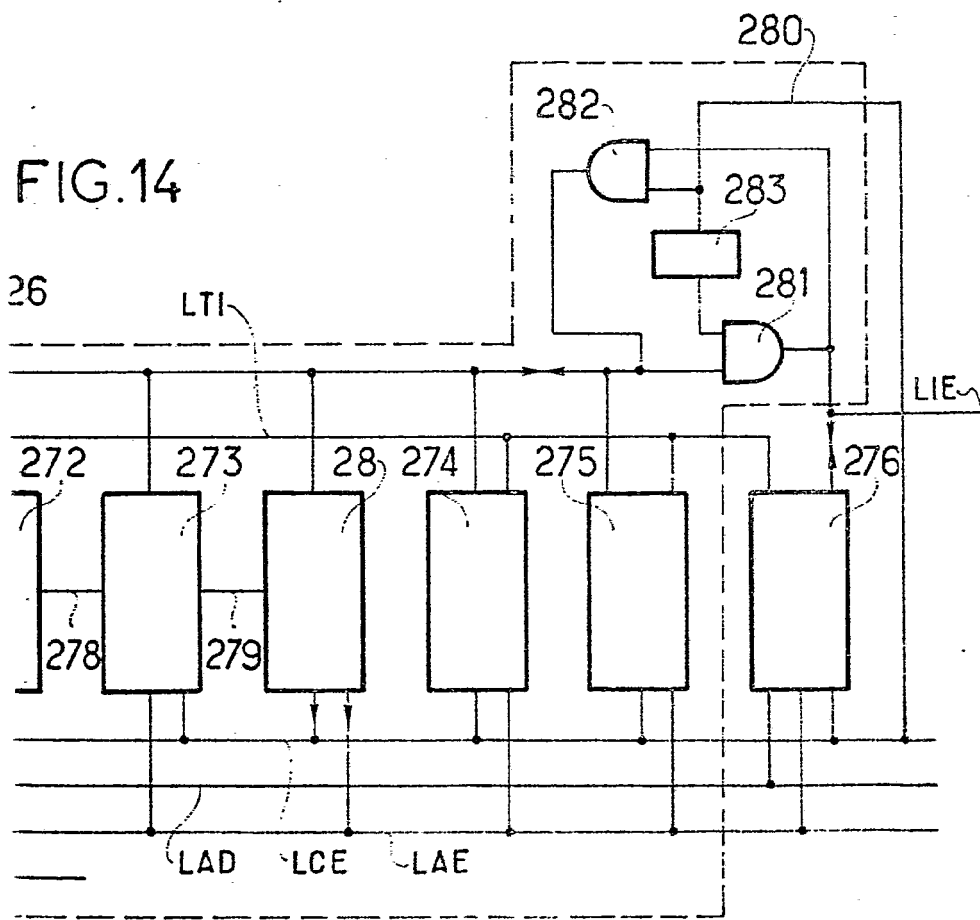


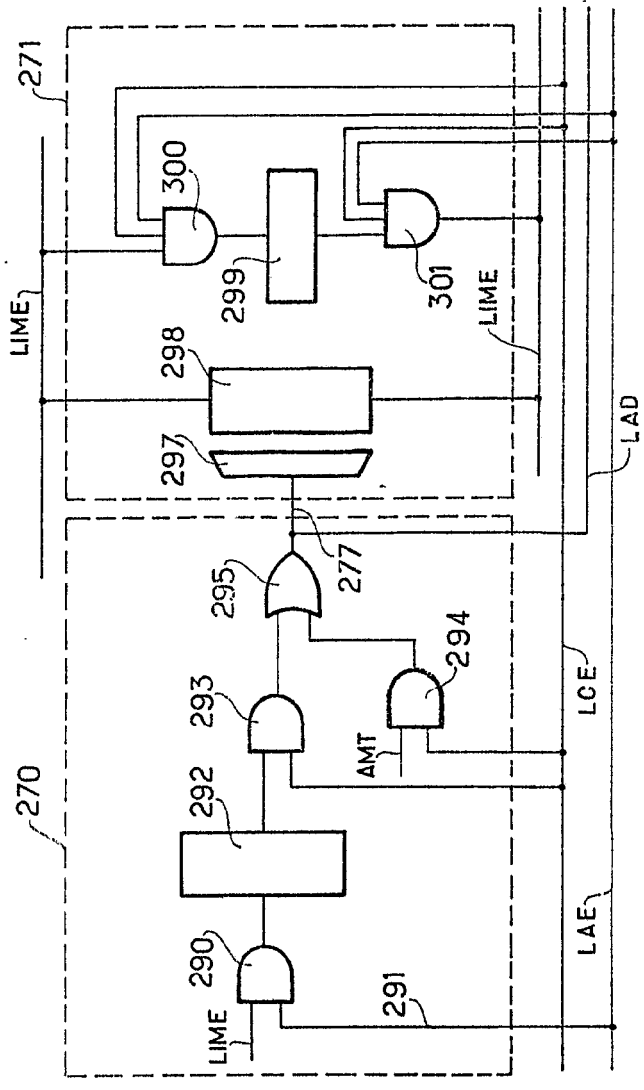
FIG.14



ESCALA  
VARIABLE

MADRID 1977  
El D. Firmado

FIG.15



REV. 01 A  
1977  
A. M. BARRAZ ARRIETA / P. BARRAZ  
P. BARRAZ

FIG.15

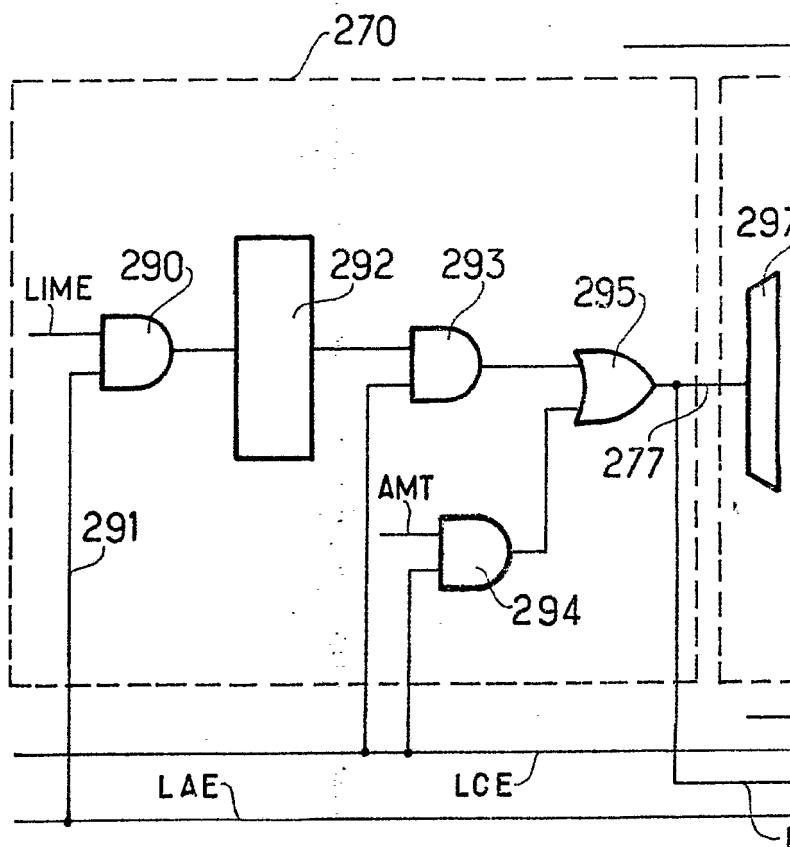
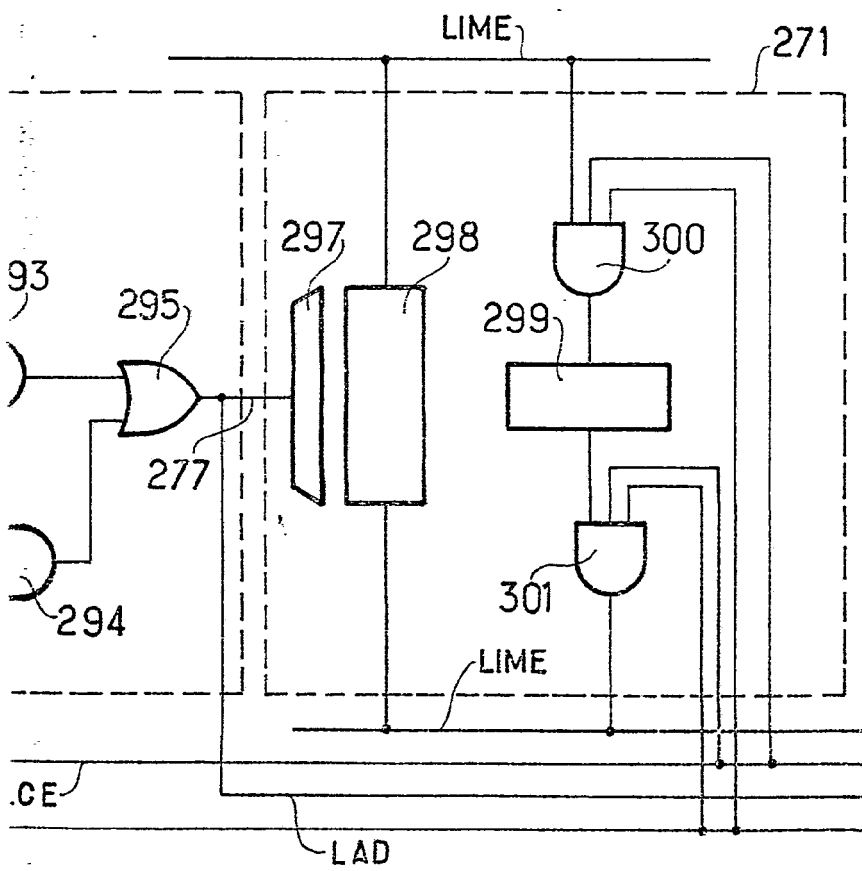


FIG.15



ESTADO  
A M. GOMEZ AGUIRRE Y CIA. S. DE C.V.  
P. O. Box 1000 - Guaymas, D.F.  
*[Signature]*

FIG.16

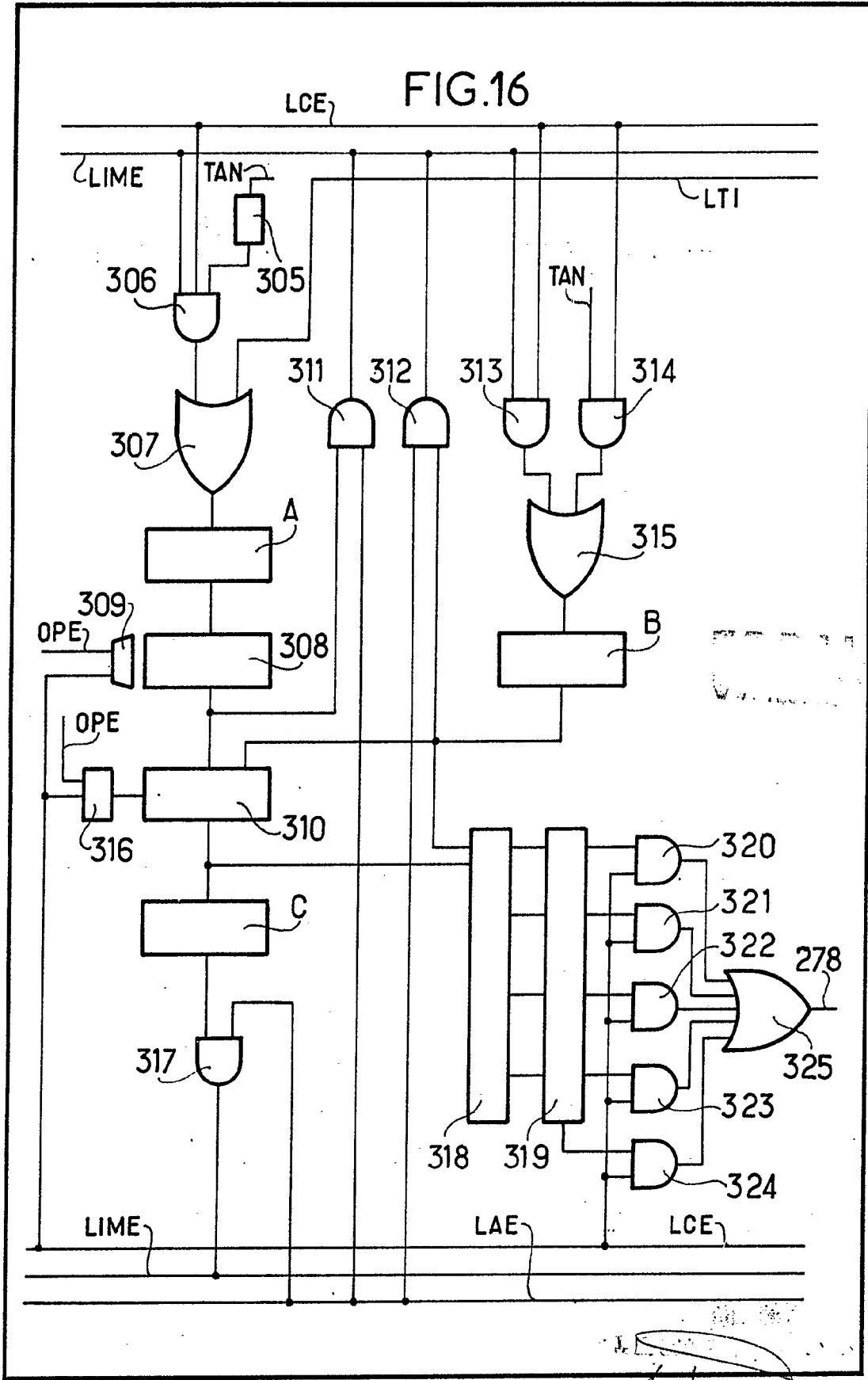
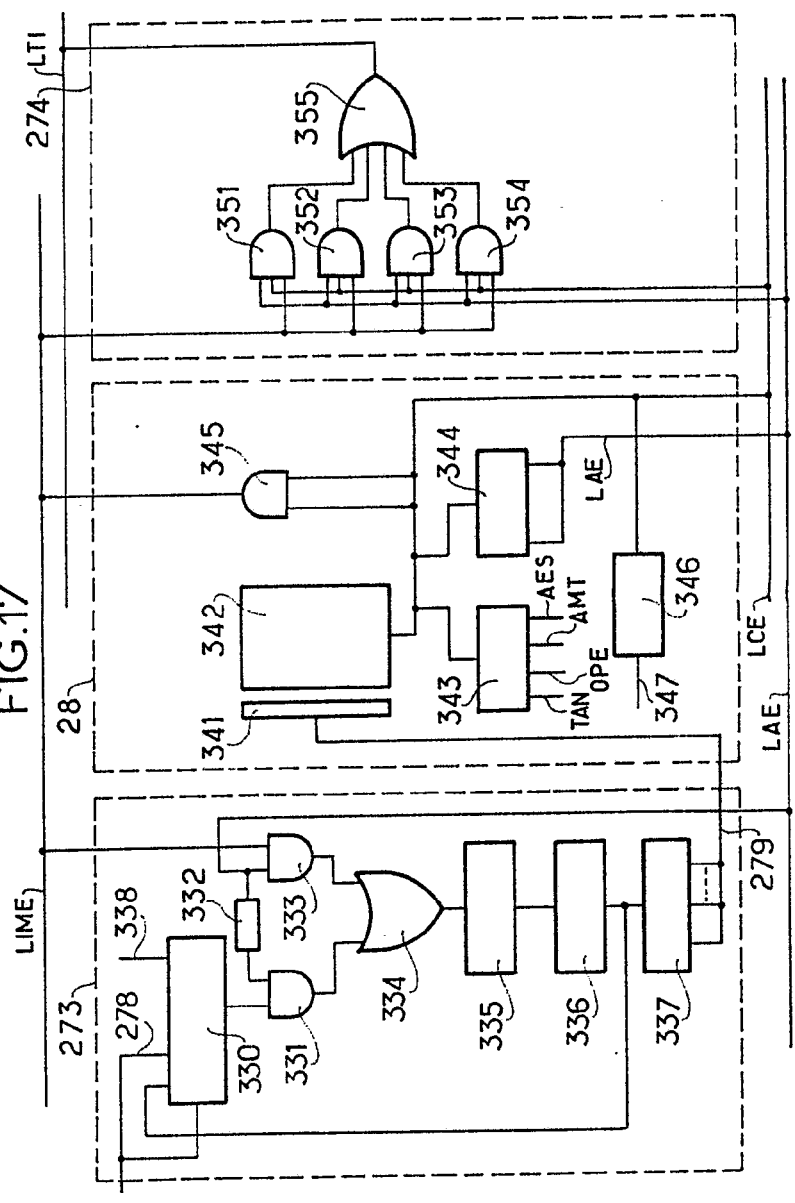


FIG.17

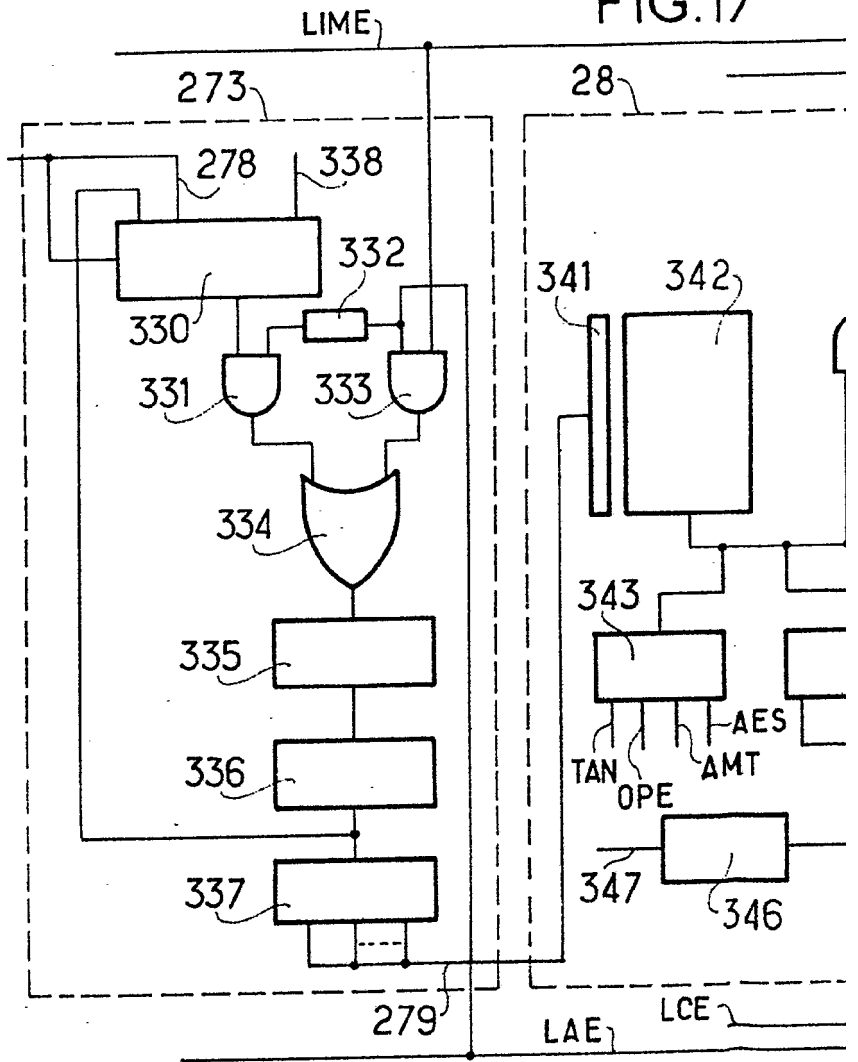


ESCALA  
VARIABLE

Moskwa 1977

1977

FIG.17







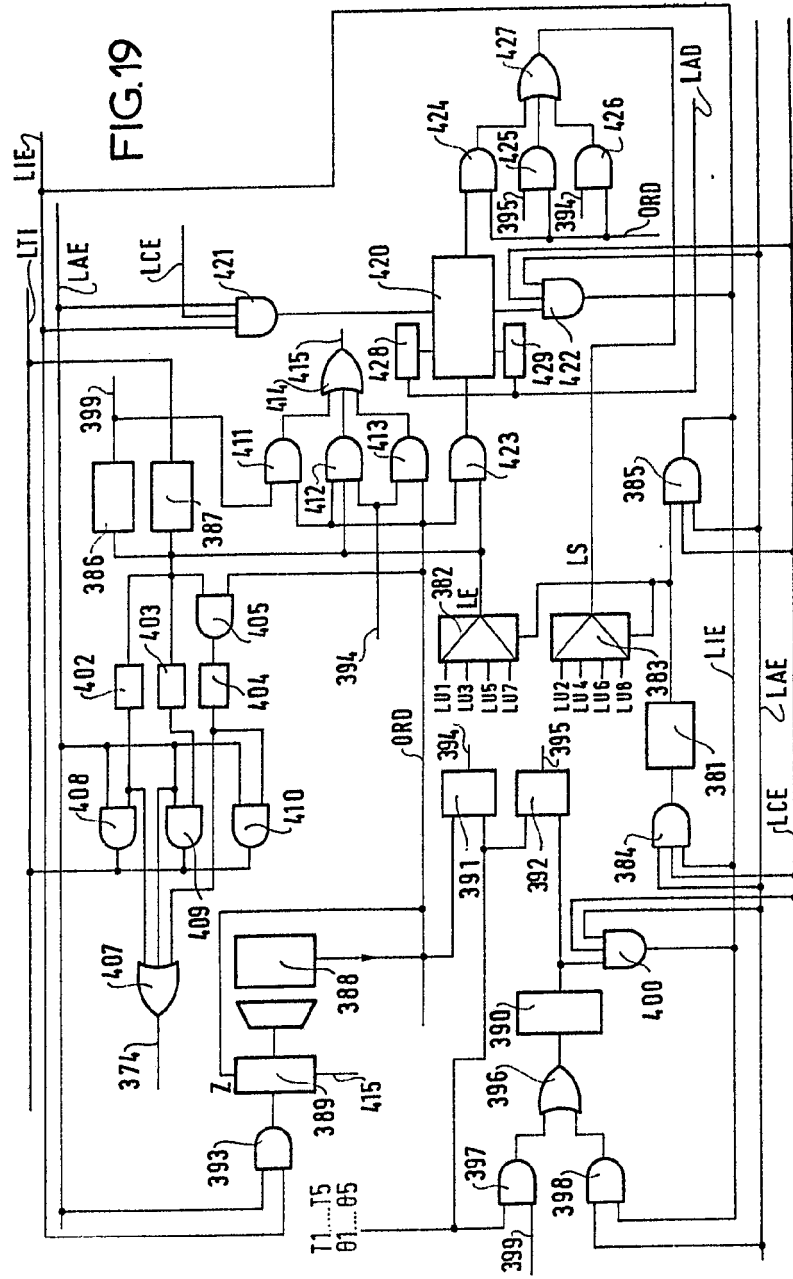
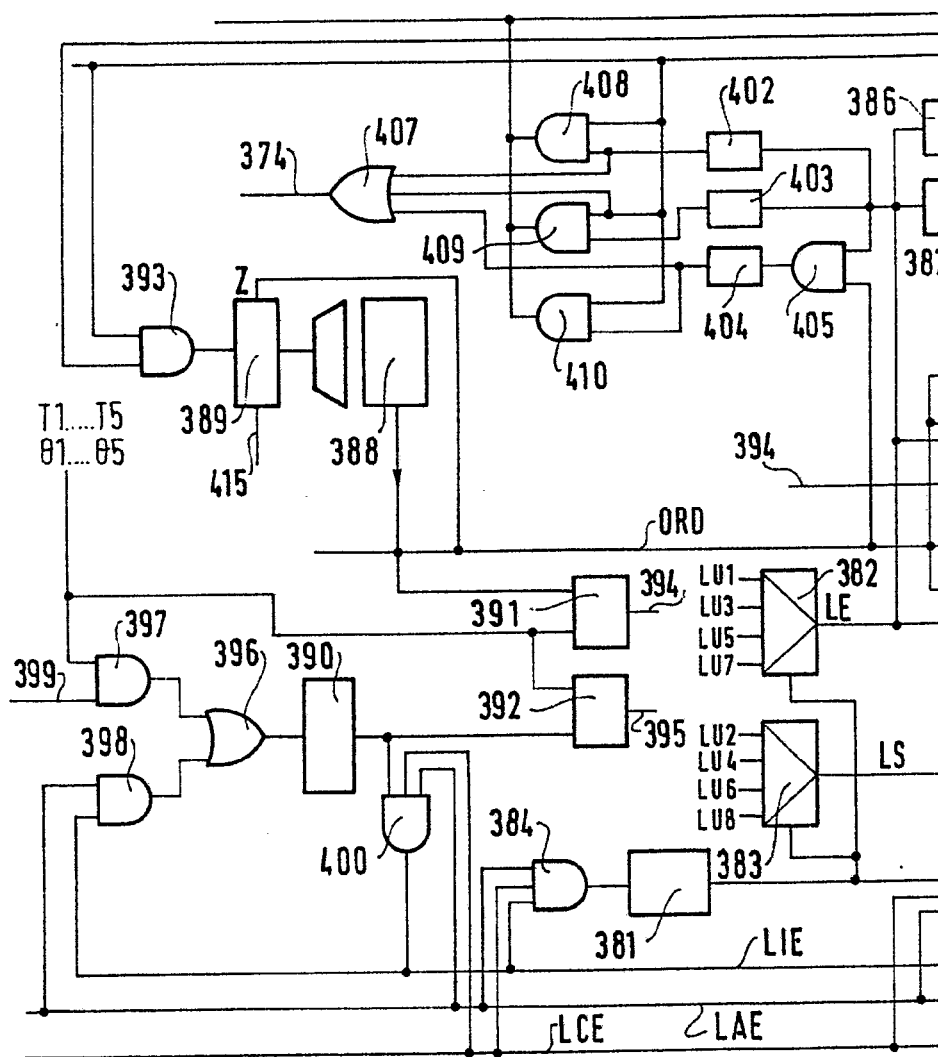


FIG. 19

ALCATEL TELECOMUNICATIONS S.A.  
S. A. TELECOMUNICACIONES Y EQUIPOS  
de Telefonos y Equipos - Hija



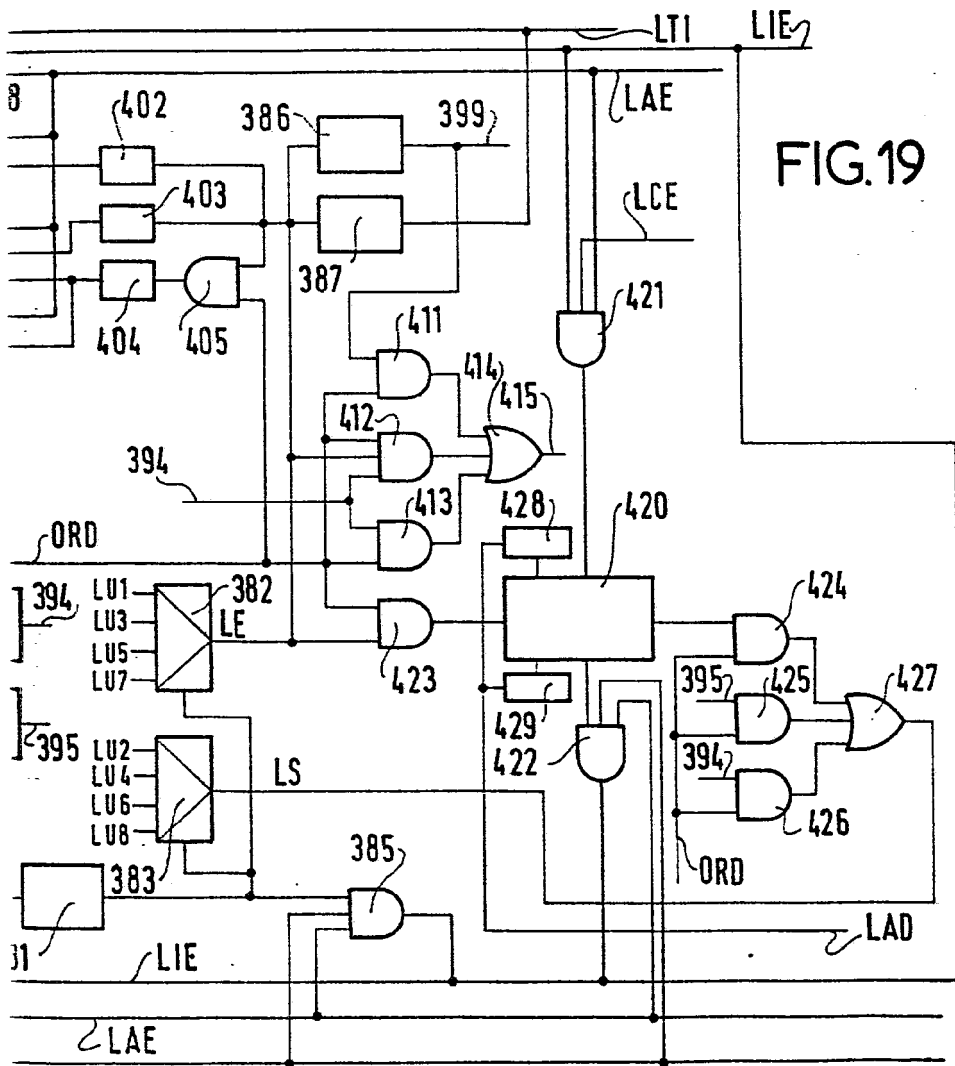
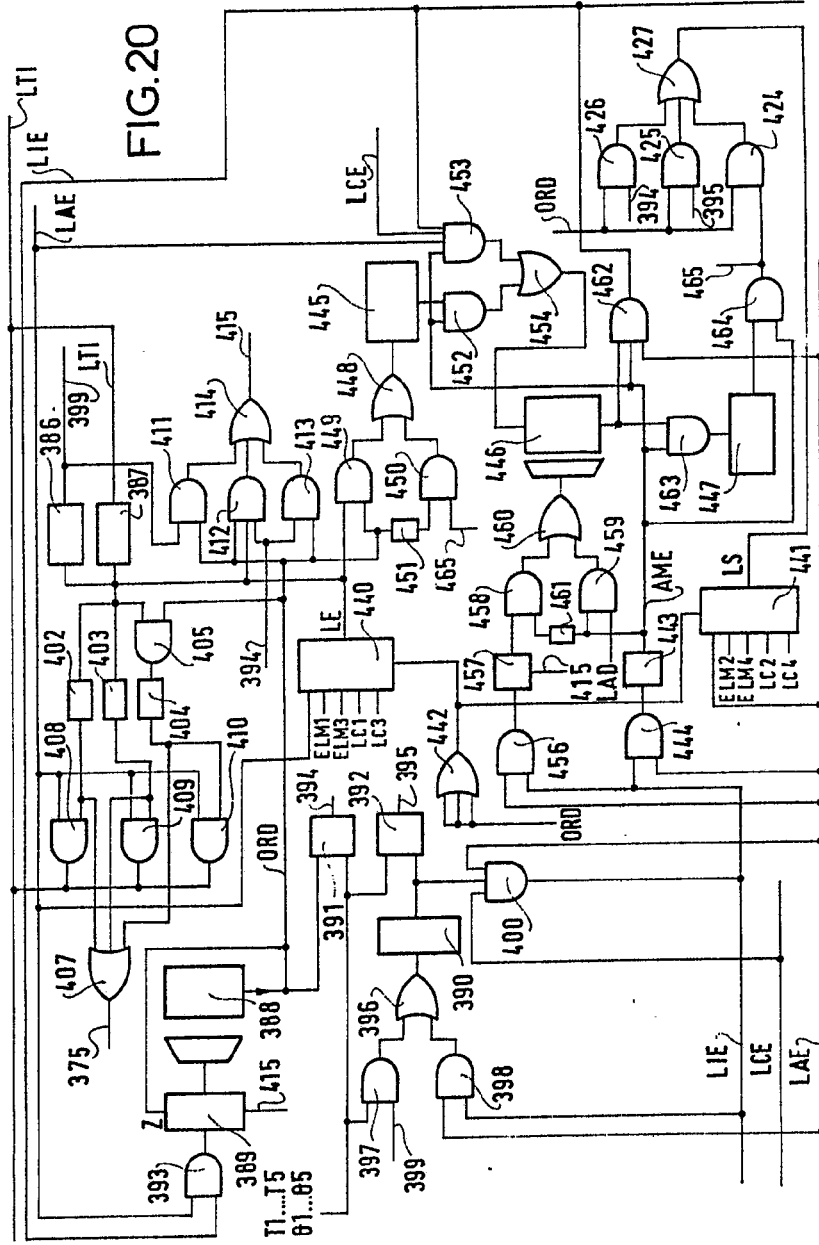


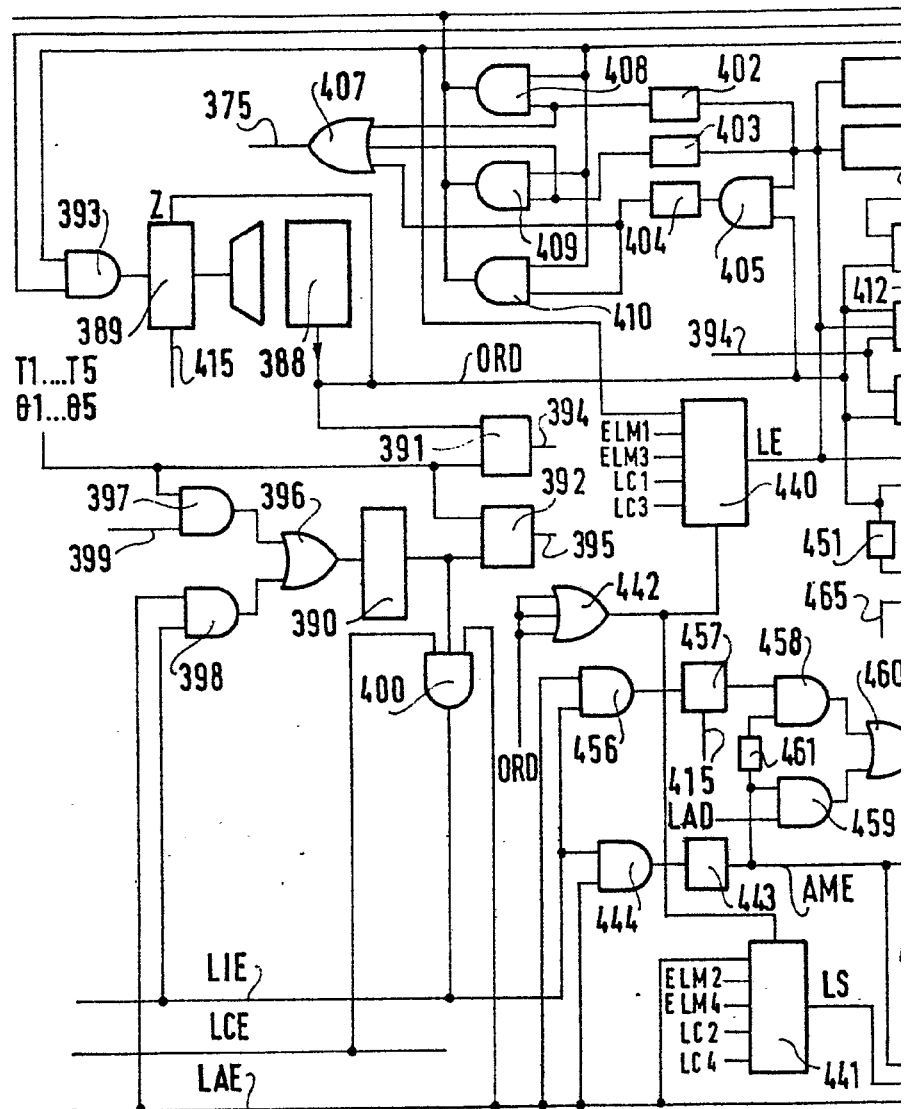
FIG.19

FOR ALA  
VARIABLE  
~~SECRET~~  
SECRET ACERO Y POMO  
Dr. Salvador J. Suarez Diaz



ESCALA  
VARIABLE

L. 1971  
*[Signature]*



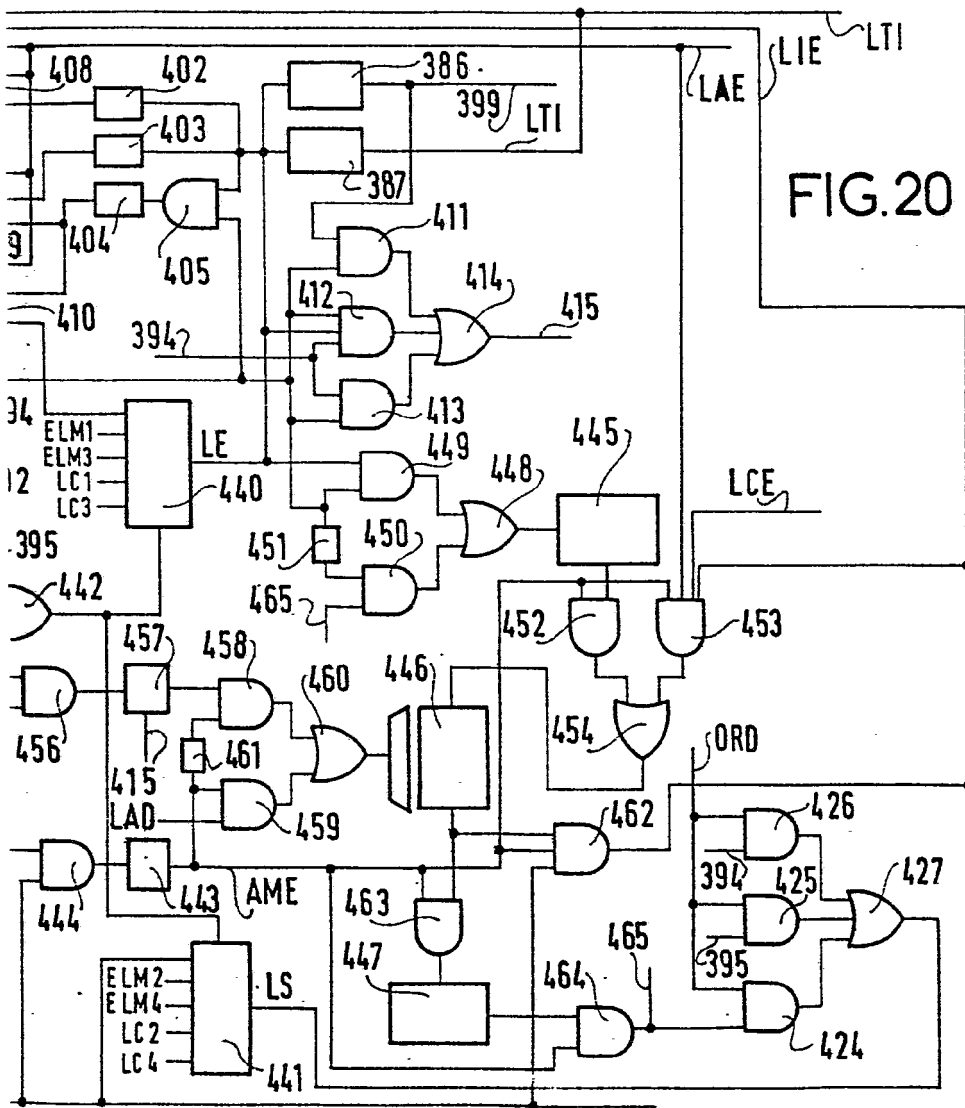


FIG.20

ESCALA  
VARIABLE

1977  
De los Elementos de la Escala Variable

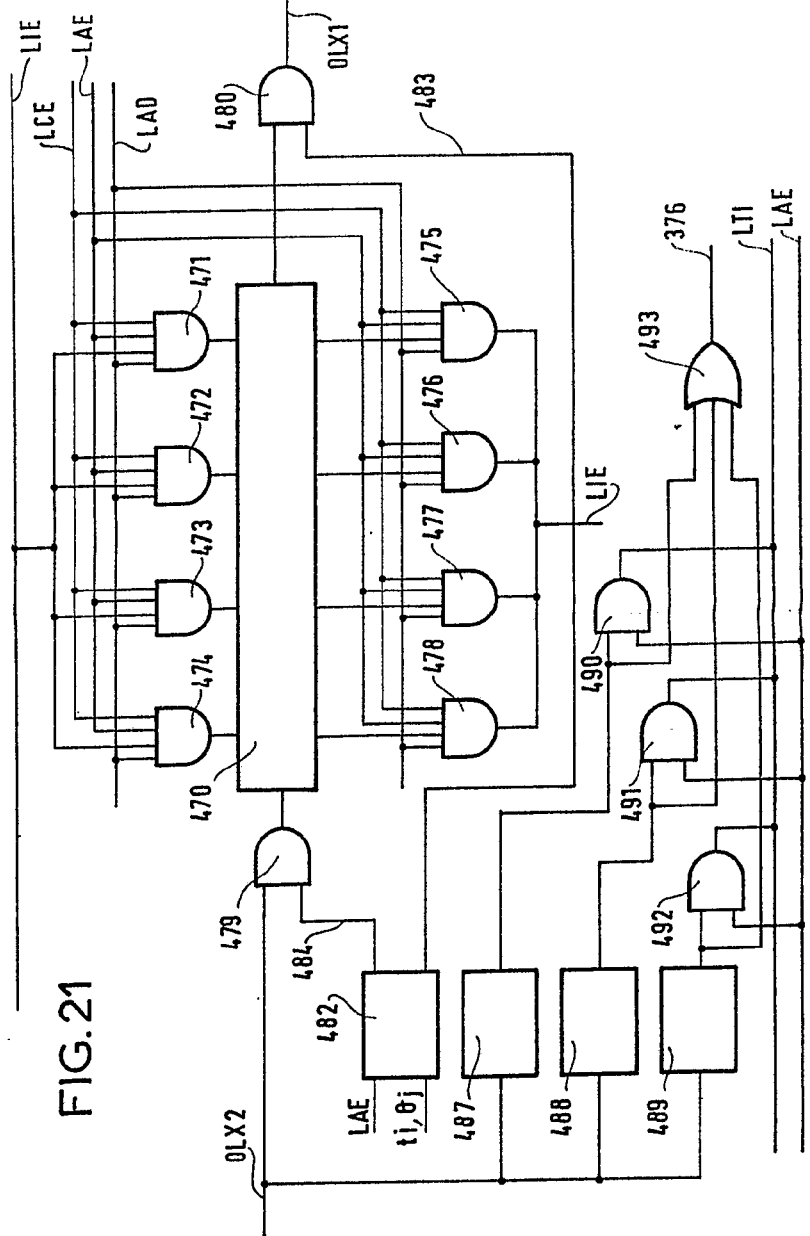
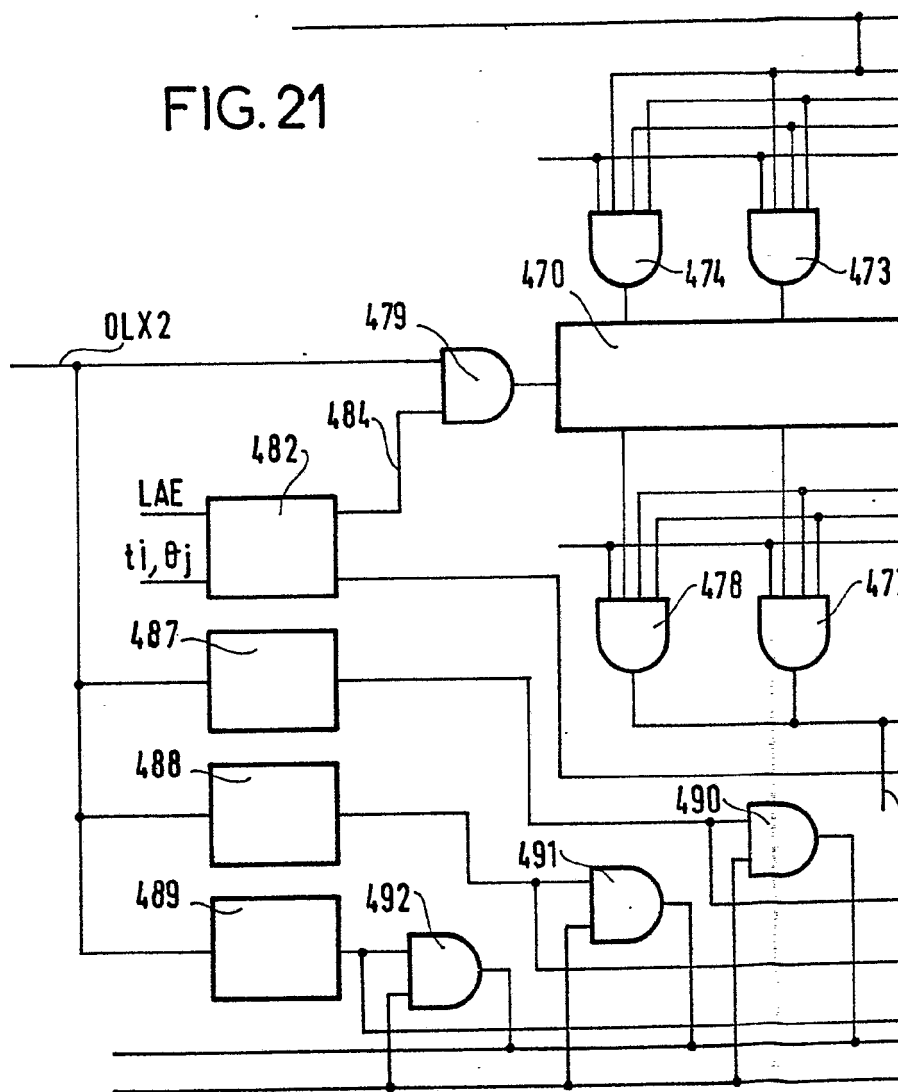
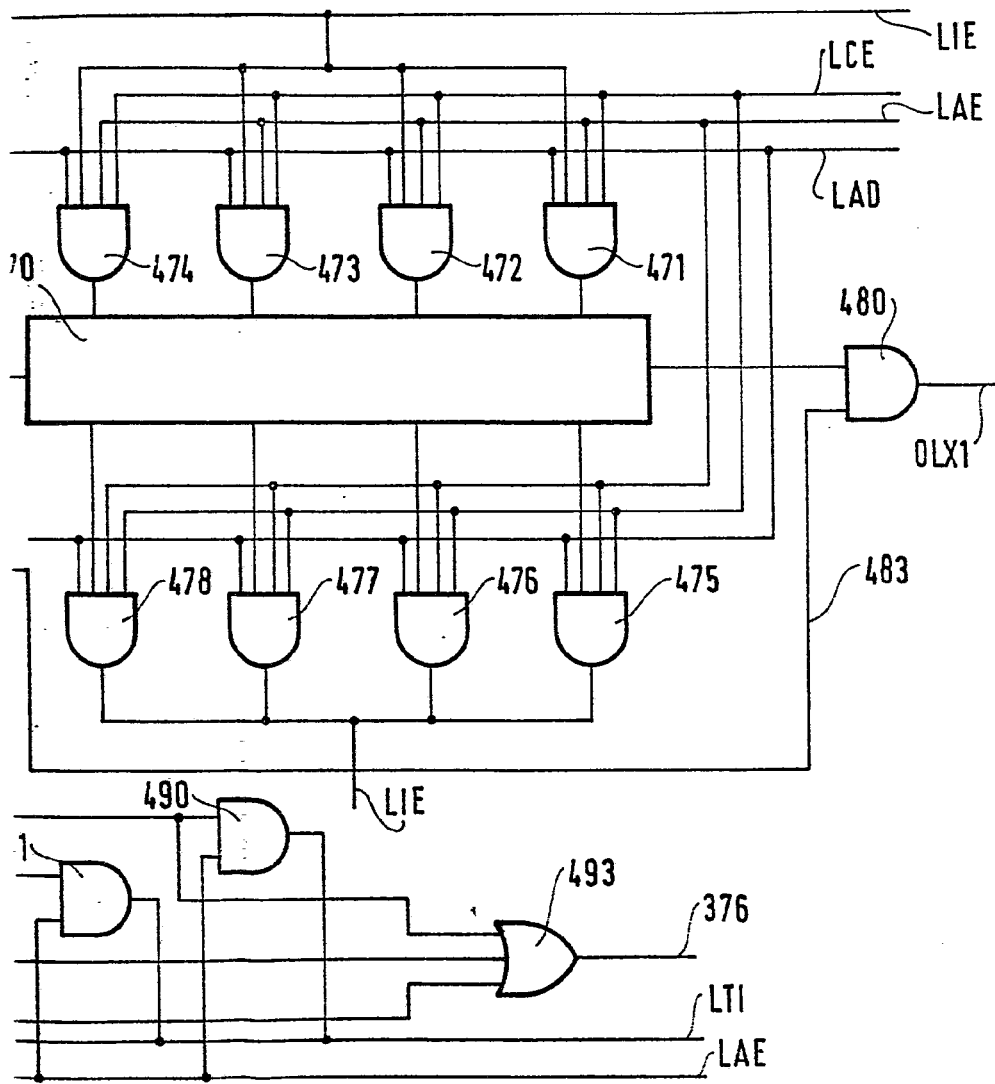


FIG. 21

ESPINA  
VICENTE  
1967

FIG. 21





ESCALA  
VARIABLE

1977  
*[Handwritten signature]*

FIG. 22

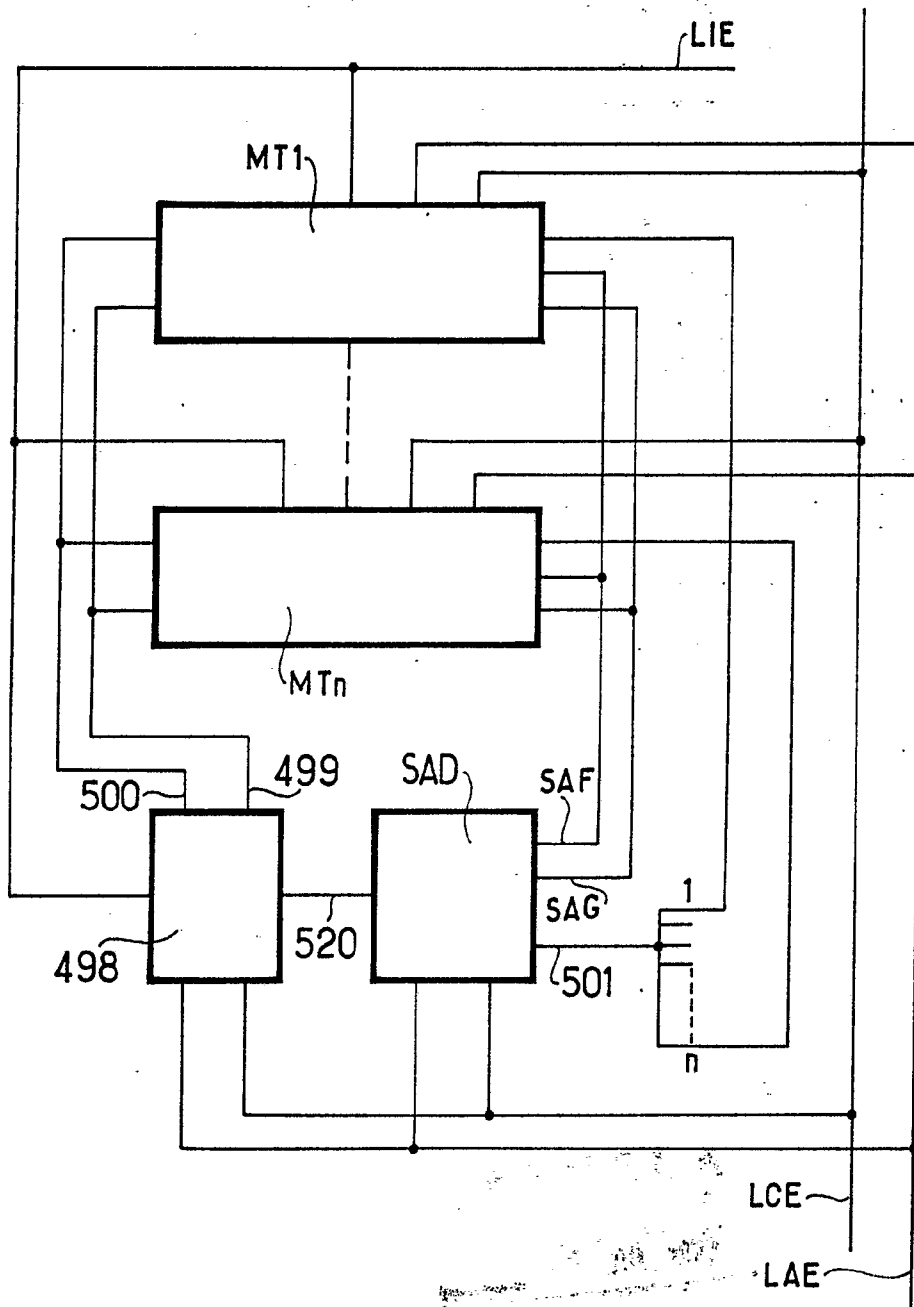




FIG. 23

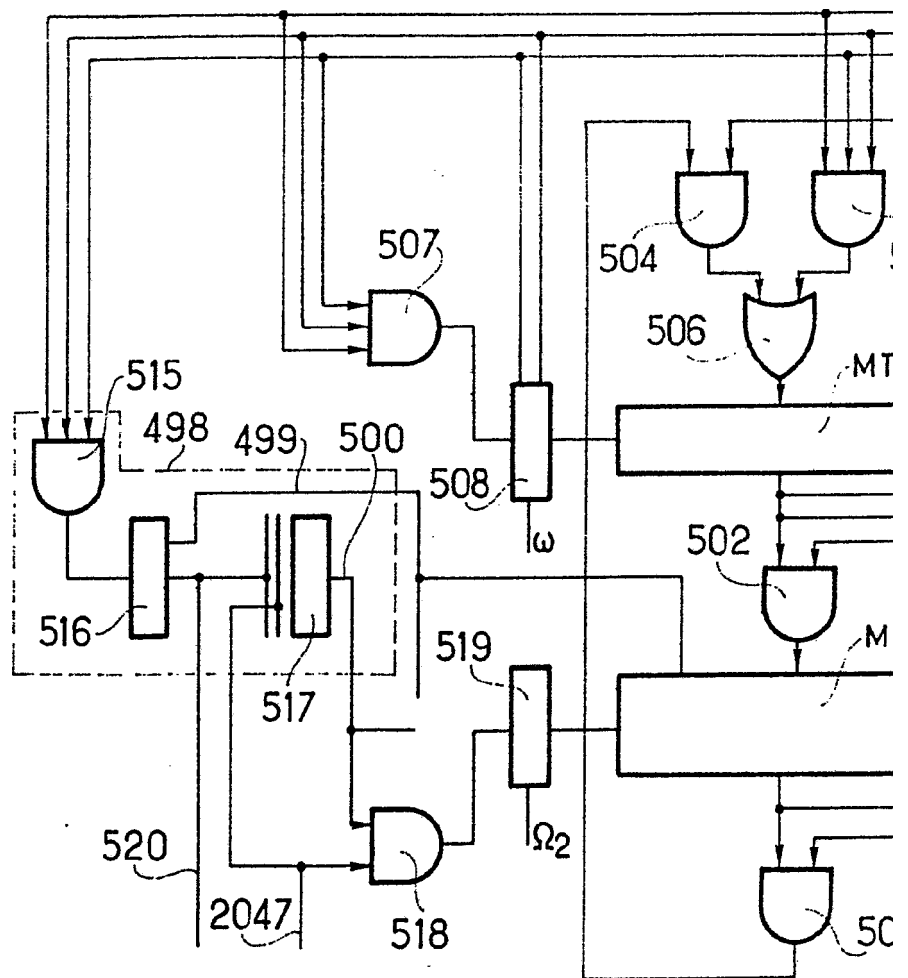
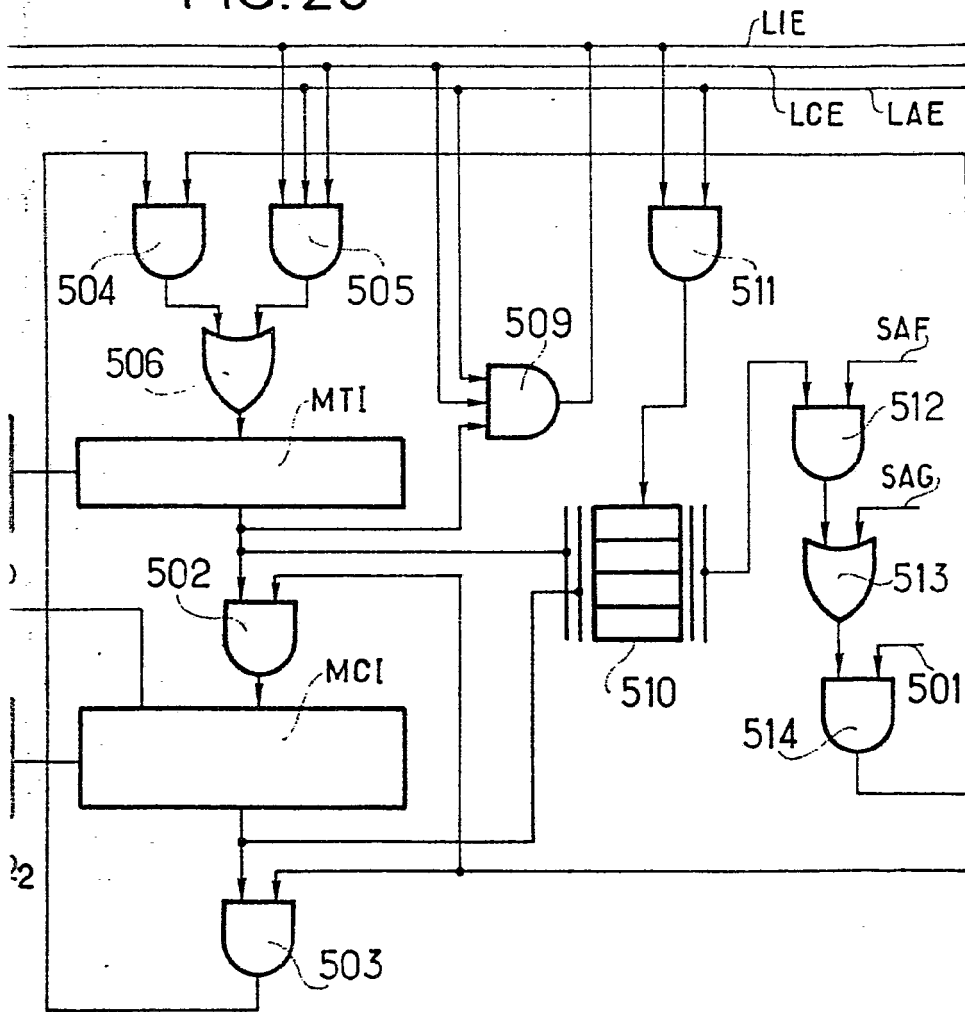
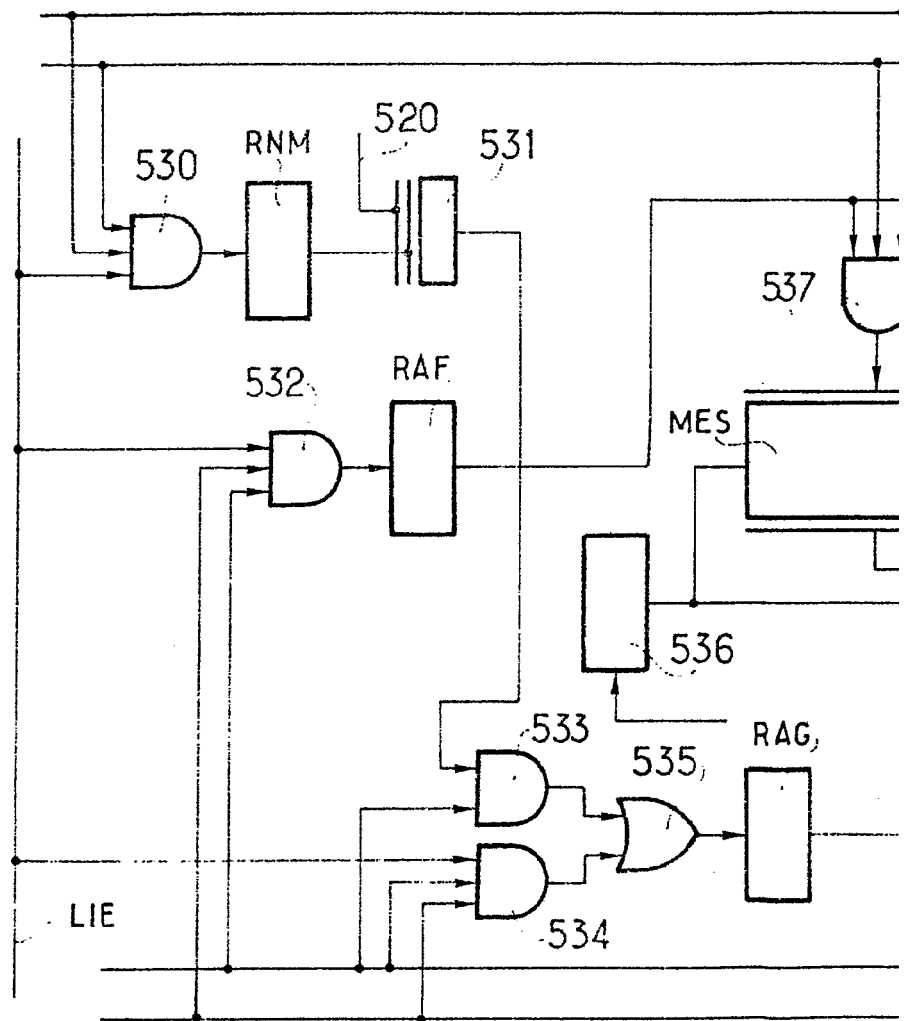


FIG. 23



ESPANOL  
MAY 1971  
L. E. ...  
*[Handwritten signature]*





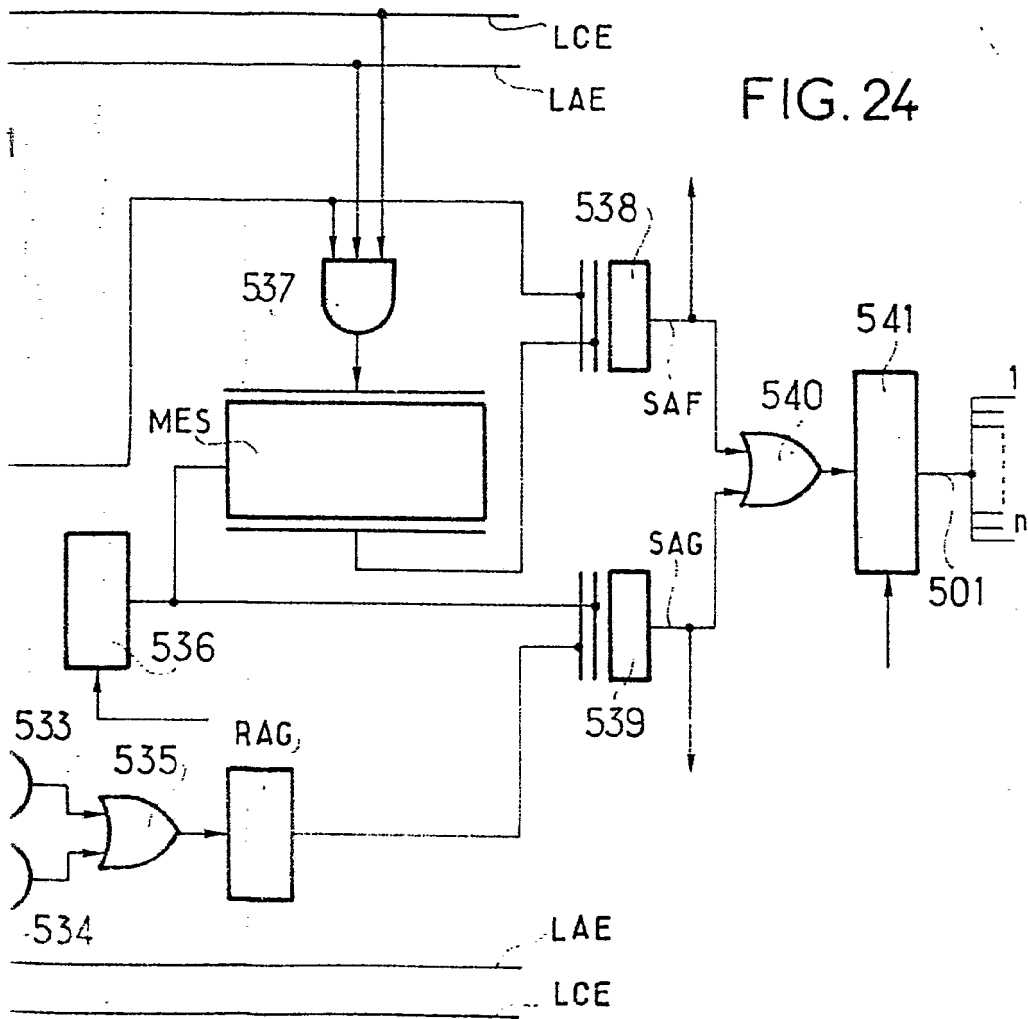


FIG. 24

REVISADO

1977

El Sr. Director General de Ediciones de la Universidad de Sevilla

De Esplendo: 2. 1. 1977

FIG. 25

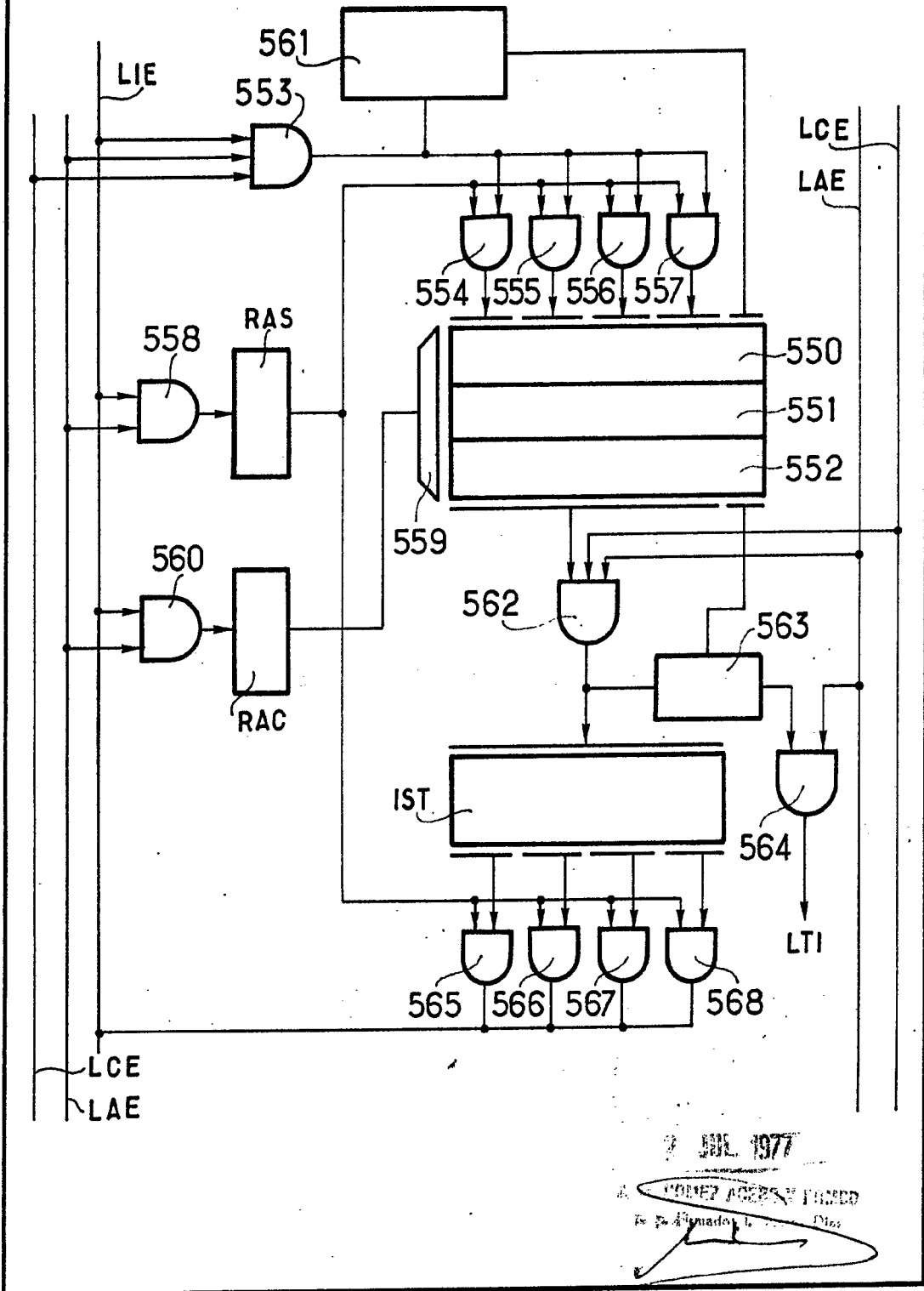


FIG.26

	4	8	12	16	20	24	28	32	36	40	44	48				
1	TAN	M	P4	P3	P2	P1	SPH4	SPH3	SPH2	SPH1	SPHO	IMP				
2	OPE	M	AD1	A	AD2	BC	DEC	CAL	C	C	S	P SPH2	SPH1	SPHO	CB	IMP
3	AMT	E	AD1	A	P A G	ADMT	SCT	P			SPH	B	C	B	IMP	
4	AES	AD1	A	AD2	B	AD3	P			SPH	B	C	B	IMP		

ESCALA  
VARIABLE

22 JUL 1977

F. Z. GARCIA  
de la Oficina de la...

