

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



10 ES	11 NUMERO 21 460.158	10 AI
	22 FECHA DE PRESENTACION 28-6-1977	

PATENTE DE INVENCION

30 PRIORIDADES: 31 NUMERO 701.265	32 FECHA 30-6-76	33 PAIS EE.UU.
---	---------------------	-------------------

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL H03C	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

54 TITULO DE LA INVENCION "UN DISPOSITIVO MODULADOR EN DELTA PERFECCIONADO"
--

71 SOLICITANTE (S) INTERNATIONAL BUSINESS MACHINES CORPORATION (IBM Docket RA9-75-008)

DOMICILIO DEL SOLICITANTE Armonk, N.Y. 10504, Estados Unidos de América
--

72 INVENTOR (ES) Gardner Dulany JONES
--

73 TITULAR (ES)

74 REPRESENTANTE DON ALBERTO DE ELZABURU MARQUEZ (P-66.015)
--

El invento se refiere a moduladores delta en general, y más particularmente a moduladores delta adecuados para tratar señales vocales y señales de equipos moduladores-desmoduladores de banda vocal (abreviadamente modem) y a un modulador delta ejecutado en técnica digital del tipo que es también adecuado para tratar según un principio de tiempo compartido una pluralidad de líneas analógicas que pueden requerir codificación delta indistintamente en modulación de bitio único o en modulación de bitios múltiples.

La modulación delta ha ofrecido históricamente una solución menos costosa que la modulación de impulsos codificados (modulación PCM) para cuantificar digitalmente señales analógicas. Esta ventaja existe principalmente en las diferencias de coste entre los filtros analógicos relativamente simples utilizados con modulación delta y los filtros de ancho de banda de Nyquist mas críticos requeridos para la modulación PCM. Cuando se aplica a la codificación de señales analógicas para transmisión digital sobre canales con niveles especificados de error potencialmente altos, la modulación delta ofrece quizás una ventaja más importante que la relativa al coste del codificador al ser menos sensible a errores de canal que la modulación PCM convencional. En la gama de frecuencias de codificación importante de 24 a 40 Kbits/seg, esta robustez hace de la modulación delta potencialmente la solución de codificación mas efectiva en cuanto a coste para canales en donde los campos de error pueden degradarse hasta 10^{-2} niveles. Podría encontrarse tal aplicación en sistemas de transmisión por satélite. en donde en condiciones de lluvia puede ex-

perimentarse un funcionamiento degradado con grados de error de canal altos.

5 Con el fin de conseguir una calidad vocal adecuada en la gama de codificación de 24 a 40 Kbits, un codificador delta, al igual que un sistema PCM, debe tener algunos medios de adaptación de su ganancia al nivel de la señal de entrada analógica a ser codificada. El diseño del método de adaptación o de compresión-expansión o algoritmo afecta grandemente a la sensibilidad de error del código

10 delta y determina qué tipos de señales pueden ser codificadas. La figura 1 ilustra un diagrama de bloques para un codificador delta convencional e incluye un comparador 1, un circuito 2 de retención que responde a un impulso de sincronismo de muestreo, un multiplicador 3 para multiplicar la salida del circuito 2 de retención por una señal Δ generada por un circuito 4 compresor-expansor que responde a la salida del circuito 2 de retención, y un filtro 5 de señal cuya salida es la representación cuantificada de la señal de entrada analógica. La función del circuito 4 de

15 algoritmo de compresión-expansión o adaptación es ajustar el tamaño del escalón de reacción de tal modo que el modulador proporciona la señal máxima para cuantificar la relación señal-ruido (SNR) para una gran variación en el valor eficaz de la señal. Un algoritmo de uso común (Patente

20 Norteamericana 3.699.566) realiza esta función aumentando el tamaño del escalón en una cantidad discreta al detectarse un estado de sobrecarga como evidente por una pauta en el código (es decir, una serie de N unos o N ceros) y disminuyendo el tamaño del escalón si no se ha producido sobrecarga dentro de un período de tiempo prescrito. En el des-

25

30

codificador el tamaño de escalón es aumentado o disminuido en conformidad a partir de la misma información contenida en el código. Tal algoritmo funciona actuando sobre la ganancia diferencial por cuanto el descodificador deduce información de cambio de ganancia del código recibido. No está disponible ninguna información en el descodificador referente al valor actual del tamaño de escalón en el codificador aparte de la relativa a la historia pasada de los cambios de ganancia que se han producido. Si se produce un error en la señal codificada digitalmente, puede dar lugar a un cálculo de tamaño de escalón erróneo en el descodificador. Tales errores originan distorsiones en la señal recibida y son más perjudiciales subjetivamente que el ruido de fondo aditivo que aparece en moduladores delta no adaptativos debido a errores de canal.

Cuando se produce un error en el valor de tamaño de escalón en el descodificador, existirá una desviación entre las ganancias del codificador y del descodificador hasta que entre en acción algún mecanismo para resincronizar los dos valores, puesto que no es transportada ninguna referencia de ganancia absoluta en la señal codificada transmitida. Los algoritmos de ganancia diferencial son adecuados para codificar señales vocales porque los espacios de envolvente sin señal en la forma de onda son suficientemente anchos y se producen con suficiente frecuencia para permitir que tanto el codificador como el descodificador alcancen su valor de ganancia máxima (mínimo tamaño de escalón) y de este modo se vuelvan a sincronizar. Puesto que las señales de Modem de banda vocal tienen envolventes constantes sin espacios de ausencia de señal, no pueden ser codificadas.

con codificadores que utilizan algoritmos de ganancia diferencial. Un único error de canal digital produciría un aumento suficientemente grande en la ganancia del descodificador para saturar la señal de salida del equipo Modem de recepción durante el resto de la transmisión sin medios directos de recuperación.

Esta expuesto por Betts en la página 547 de la publicación IEEE Transactions on Communication Technology, agosto, 1971, un modulador delta que supera los anteriores problemas. El modulador expuesto utiliza un algoritmo de compresión-expansión de ganancia directa. Es decir, la ganancia utilizada en la descodificación de la señal digital transmitida puede ser calculada directamente a partir de la cadena de bitios digitales. Esta técnica reduce la sensibilidad del proceso de codificación para errores de canal y como característica más importante el algoritmo permite la codificación de señales de envolvente constante tal como ocurre en el caso de señales de Modem. Sin embargo, el codificador diseñado no es adecuado para utilización en un ambiente de tiempo compartido en el cual son compartidos en el tiempo componentes comunes a través de un número sustancial de líneas.

RESUMEN DEL INVENTO

El invento contempla un modulador delta que utiliza un algoritmo directo de compresión-expansión de ganancia en el cual la ganancia a ser utilizada en la codificación y descodificación de las señales digitales es calculada directamente a partir de la corriente de bitios digitales. El algoritmo está ejecutado en forma digital y es adecuado en

la forma realizada para utilización según un principio de tiempo compartido entre una pluralidad de líneas, cada una de las cuales tiene señales de entrada analógicas. El modulador utiliza un algoritmo que puede codificar tanto señales vocales como señales procedentes de equipos Modem del tipo utilizado normalmente en canales telefónicos de ancho de banda vocal. El rendimiento de tales equipos Modem que funcionan mediante este modulador tipo dependerá de la frecuencia de muestreo utilizada. El algoritmo es adecuado también para codificación delta de bits múltiples para aplicaciones que requieren una resolución de señal más fina que la que puede obtenerse con modulación delta de bitio único convencional.

15

BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 es un diagrama de bloques de un modulador y desmodulador delta convencional de la técnica anterior.

20

La figura 2 es un diagrama de bloques de un modulador delta construido de acuerdo con el invento.

La figura 2A es un diagrama de bloques que ilustra una variante en el diagrama de bloques de la figura 2.

25

La figura 3 es un diagrama de bloques de un modulador delta construido de acuerdo con el invento para modular simultáneamente las señales analógicas presentes sobre una pluralidad de líneas según un principio de tiempo compartido.

30

La figura 3A es un diagrama de bloques que ilustra un codificador delta y un descodificador delta construi-

dos de acuerdo con la figura 3.

La figura 4 es un diagrama que ilustra el funcionamiento del codificador delta representado en la figura 3.

La figura 5 es un diagrama de bloques similar al de la figura 2 que representa las modificaciones requeridas en la figura 2 para tratar señales codificadas en modulación delta de bitios múltiples en contraste con señales codificadas en modulación delta de bitio único; y

La figura 6 es un diagrama que ilustra las modificaciones requeridas en el diagrama de bloques de la figura 3 para tratar señales de modulación delta codificadas de bitios múltiples.

DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

En la figura 2, están aplicadas una señal de entrada analógica, tal como una señal vocal o una señal de Modem sobre un conductor 10, y una señal de reacción sobre un conductor 11 procedente de un convertidor 12 de digital a analógico, a un circuito 14 sumador que proporciona una salida indicativa de la diferencia entre las señales presentes sobre los conductores 10 y 11. La salida del circuito 14 sumador está aplicada a un circuito 15 de cuantificación que es muestreado por un impulso de sincronismo de frecuencia FS. La salida del circuito 15 cuantificador constituye la señal de salida codificada del modulador delta y representa en formato digital de dos niveles la señal de entrada analógica presente sobre el conductor 10. Esta salida se denomina d_i en cualquier instante.

La salida d_i del circuito 15 está aplicada a un registro 16 de desplazamiento de un bitio que almacena en

cualquier instante el bitio anterior. La salida d_i y la salida d_{i-1} del registro 16 de desplazamiento están aplicadas a las dos entradas del circuito 17 "0" exclusivo cuya salida es igual al producto de las cantidades d_i y d_{i-1} . Esta salida de bitio único está aplicada a un circuito 18 sumador que recibe un valor de bitios múltiples denominado -Pr.

El valor Pr es una referencia seleccionada que determina la densidad de modulación en la señal de salida codificada.

La salida del circuito 18 sumador está aplicada a un sumador 19 que recibe en su otra entrada el contenido almacenado en un registro 20 que ha sido multiplicado en un circuito 21 multiplicador por un coeficiente β_1 . La salida en curso del sumador 19 será insertada en el registro 20 en el ciclo siguiente de funcionamiento si esa salida es positiva.

El contenido del registro 20 se denomina, por conveniencia, Δ_{m-1} , y la salida del sumador 19 se denomina Δ_m . Con el fin de evitar que el circuito tome nivel negativo, y no se recupere, la salida del sumador 19 está aplicada a través de una puerta 22 a la entrada del registro 20. La puerta 22,

en respuesta al bitio de signo del sumador 19, conmuta indistintamente la salida del sumador 19 o un valor Δ_{MIN} a la entrada del registro 20. El bitio de signo, cuando es negativo, hace que sea aplicado el valor Δ_{MIN} a la entrada del registro 20. Si el bitio de signo es positivo, el valor

Δ_m suministrado por el sumador 19 es aplicado a la entrada del registro 20. La salida de la puerta 22 está aplicada a una de las entradas del multiplicador 23 y es multiplicada por un factor β_2 de escala para proporcionar la salida Δ_m modificada por la constante β_2 .

El registro 20, el multiplicador 21 y el sumador

19 constituyen un filtro recursivo digital de primer orden. El sumador 19 suma la señal Δ_m digital de entrada a un valor Δ_{m-1} de salida de filtro anterior ponderado por un coeficiente β_1 el cual, en combinación con la frecuencia FS de muestreo, determina el ancho de banda del filtro. Un sumador 24, bajo control de la señal d_i procedente del cuantificador 15, forma la suma o diferencia de la salida Δ_m del multiplicador 23 y una señal S_{m-1} almacenada en un registro 25 que ha sido multiplicada por un coeficiente β_3 en un multiplicador 26. La salida del sumador 24 está aplicada al circuito 12 convertidor de digital a analógico anteriormente descrito. En este caso, como anteriormente, el registro 25, el multiplicador 26 y el sumador 24 componen un filtro recursivo digital de primer orden, cuyo ancho de banda está determinado por el coeficiente β_3 y la frecuencia de muestreo.

El algoritmo de adaptación o compresión-expansión consiste en controlar el tamaño Δ_m de escalón de tal modo que se mantenga una densidad media prescrita en la señal codificada. Esto se realiza multiplicando bitios adyacentes de la señal codificada ($d_i \times d_{i-1}$), sumando a este resultado un valor $-Pr$ de referencia y promediando la suma para proporcionar el tamaño Δ_m de escalón en la salida del multiplicador 23 después de ser afectado por el factor β_2 de ganancia como factor de escala. La base de la adaptación es mantener el valor medio de $d_i \times d_{i-1}$ igual a la referencia Pr prescrita. Esto puede realizarse en una amplia gama de niveles de entrada teniendo un factor β_2 de escala suficientemente alto. El algoritmo puede resumirse por una expresión matemática para el cálculo del tamaño Δ_m de esca-

lón y la señal S_m de reacción comentada en los párrafos anteriores. Estas relaciones se dan a continuación:

$$\Delta_m = \beta_2 (\beta_1 \Delta_{m-1} + d_i \times d_{i-1} - Pr)$$

$$S_m = \beta_3 S_{m-1} + (\text{SIGN } d_i) \beta_2 \Delta_{m-1}$$

Como se ha establecido anteriormente, el registro 20, el multiplicador 21 y el sumador 19 componen un primer filtro digital recursivo de primer orden. El registro 25, el multiplicador 26 y el sumador 24 componen también un filtro digital recursivo. Estos filtros incluyen multiplicadores tales como el 21 y el 26. La ejecución práctica de un multiplicador es sustancialmente más costosa que la de un sumador y los circuitos representados en la figura 2A pueden ser utilizados en lugar de los expuestos en la figura 2. El circuito ilustrado en la figura 2A no utiliza multiplicadores y realiza sustancialmente el mismo resultado con limitaciones poco importantes que se exponen posteriormente con la utilización de un registro de desplazamiento y una función de suma adicional. En aquellos casos en que está compartido en el tiempo un único sumador para proporcionar todas las demás sumas requeridas, el circuito ilustrado en la figura 2A proporciona ahorros de costo sustanciales. En la figura 2A están reproducidos el convertidor 12 de digital a analógico, el sumador 24, y el sumador 25 descrito anteriormente en relación con la figura 2 para ilustrar la relación de los componentes ilustrados en la figura 2A. El multiplicador 26 puede ser sustituido por un registro 27 de desplazamiento conectado a la salida del re-

gistro 25 y está diseñado para proporcionar un desplazamiento fijo con señal digital suministrada por el registro 25. La señal desplazada en el circuito 27 de desplazamiento es restada de la señal procedente del registro 25 en un sumador 28, cuya salida está aplicada a la entrada del sumador 24 descrito anteriormente en la figura 2. Con esta disposición el valor de S_{m-1} almacenado en el registro 25 es multiplicado en efecto por el coeficiente β_3 . Obviamente, la técnica impone algunos límites sobre los valores disponibles. Sin embargo, puede obtenerse un funcionamiento adecuado sin degradación en el rendimiento o con alteraciones poco importantes. El multiplicador 23 puede ser sustituido por un simple circuito de desplazamiento similar al ilustrado en la figura 2A en 27. Este realizará la misma función que el multiplicador 23 y proporciona el valor equivalente de la multiplicación por la constante β_2 .

La ejecución ilustrada en la figura 3 es una configuración de líneas múltiples en la cual el codificador está compartido en tiempo entre n líneas L_1 a L_n . El modificador realiza la misma función que la ilustrada en la figura 2 para cada una de las líneas. Sin embargo, es utilizada la modificación ilustrada en la figura 2A para los filtros recursivos descritos en la figura 2.

En la figura 3, las líneas L_1 a L_n portadoras de señales analógicas que pueden ser indistintamente señales vocales o señales de modem, están aplicadas a una pluralidad de circuitos 30-1 a 30-n de comparación, respectivamente. Los circuitos 30-1 a 30-n pueden ser idénticos a los circuitos incluidos en el bloque 31 de línea discontinua de la figura 2. Las salidas de estos circuitos son conectadas se-

lectiva y secuencialmente a la salida 32 por un conmutador 33. Está conectado un convertidor 34 de digital a analógico, similar al convertidor 12 de la figura 2, a las otras entradas de los circuitos 30-1 a 30-n de comparación. El valor adecuado para cada una de las n líneas residirá en el convertidor 34 de digital a analógico cuando esa línea es conectada a la salida 32 por el conmutador 33. El modo en que se realiza esto se pondrá de manifiesto a medida que continúe la descripción.

Está conectado un oscilador 35 a un contador 36. El contador 36 está ilustrado con siete salidas secuenciales sobre siete impulsos consecutivos del oscilador 35. La séptima salida secuencial del contador 36 está conectada a un segundo contador 37 que cuenta en secuencia hasta n y se repone. Las salidas del contador 37 están aplicadas al conmutador 33 y, como es bien conocido en la técnica, establece una conexión desde el circuito 30-1 de comparación, a través del conmutador, cuando el valor del contador está en algún valor predeterminado. En secuencia, a medida que el contador incrementa, debido al reciclado del contador 36, son conectados circuitos 30 sucesivos a través del conmutador 33 a la salida 32. La primera, tercera y quinta salidas del contador 36 están conectadas a través de una puerta "0" 38 y proporcionan una salida denominada "menos". La cuarta salida del contador 36 se denomina "más". Se describirá posteriormente la utilización de estas salidas. Adicionalmente, se describirá posteriormente la utilización de las otras salidas.

Los valores S_{m-1} , Δ_{m-1} y d_{i-1} descritos anteriormente con relación a las figuras 2 y 2A están almacenados

para cada una de las líneas en una memoria 39 de acceso aleatorio bajo control de la salida del contador 37 que constituye la dirección de la línea que está siendo atendida. Los valores de S_{m-1} , Δ_{m-1} y d_{i-1} son leídos de la memoria 39 en los registros 40, 41 y 42, respectivamente, al aparecer la salida k_0 del contador 36.

Como se ha establecido anteriormente, todas las funciones descritas en la figura 2 pueden ser ejecutadas, con las modificaciones ilustradas en la figura 2A, indistintamente con una adición o una substracción. En la modificación de tiempo compartido de líneas múltiples ilustrada en la figura 3, se utiliza esta técnica. Un único sumador 43 y un circuito 44 de control "sumar-restar" realizarán la totalidad de las adiciones y substracciones requeridas según un principio de tiempo compartido intercalado para cada línea y para las líneas sucesivas. Las salidas "más" y "menos" descritas anteriormente están aplicadas a los circuitos 44 de control "más", "menos", y la señal d_i de salida del conmutador 33 está aplicada a través de una puerta 45 selectora al producirse la salida k_2 del contador 36. La salida del circuito 43 sumador está insertada en un registro 46 A0, cuya salida está designada A0. Las dos entradas del sumador 43 están designadas B y A. Está conectado un circuito 47 de desplazamiento a la entrada B del sumador 43. Este circuito transmite cualquier entrada sin desplazamiento durante todos los períodos de tiempo excepto en k_1 , k_2 y k_3 . Durante estos tres períodos se efectúan tres desplazamientos m_1 , m_2 y m_3 diferentes, respectivamente, al producirse la señal de entrada o datos aplicados a la entrada del circuito 47 de desplazamiento. Estos tres desplazamientos corresponden

a los desplazamientos requeridos descritos anteriormente en relación con la figura 2A para efectuar la multiplicación por las constantes β_1 , β_2 y β_3 . Son utilizadas un par de puertas "0" 48 y 49 para combinar las diversas señales de entrada a las entradas A y B del sumador 43.

Una puerta 51 conecta la salida S_{m-1} del registro 40 a la puerta "0" 49 durante la salida k_1 del contador 36.

Una puerta 52 conecta la salida Δ_{m-1} del registro 41 al circuito "0" 49 durante las salidas k_2 y k_3 del contador 36.

Una puerta 53 conecta la salida A_0 del registro 46 al circuito "0" 49 durante la salida l_4 del contador 36. Una puerta 54 conecta la señal-Pr de referencia anteriormente descrita en relación con la descripción de la figura 2 al circuito "0" 49 durante la salida k_5 del contador 36. Una puerta

55 conecta la salida S_{m-1} del registro 40 al circuito "0" 48 durante la salida k_1 del contador 36. Una puerta 56 conecta la salida A_0 del registro 46 al circuito "0" 48 durante las salidas k_2 y 5 del contador 36. Una puerta 57 conecta la salida Δ_{m-1} del registro 41 al circuito "0" 48 durante la salida k_3 del contador 36. Una puerta 58 conecta la salida de un circuito 59 "0" exclusivo, que es idéntico en estructura y función al circuito 17 "0" exclusivo descrito anteriormente con relación a la descripción de la figura 2, al circuito "0" 48 durante la salida k_4 del contador 36.

El circuito 59 "0" exclusivo recibe la salida d_i sobre la salida 32 y la salida d_{i-1} del registro 42. De este modo, recibe exactamente las mismas entradas que el circuito 17 "0" exclusivo descrito anteriormente. La salida S_{m-1} del registro 40 está aplicada en el intervalo k_0 a un registro 60 de convertidor de digital a analógico que está conectado

El circuito 59 "0" exclusivo recibe la salida d_i sobre la salida 32 y la salida d_{i-1} del registro 42. De este modo, recibe exactamente las mismas entradas que el circuito 17 "0" exclusivo descrito anteriormente. La salida S_{m-1} del registro 40 está aplicada en el intervalo k_0 a un registro 60 de convertidor de digital a analógico que está conectado

al circuito 34 convertidor de digital a analógico que proporciona la entrada al circuito 30-1 a 30-n de comparación. En funcionamiento, cuando es calculado un nuevo valor S_{m-1} , es insertado en la memoria 39. La siguiente vez que la línea es atendida el valor calculado anteriormente es insertado en el registro 40. Este es transferido inmediatamente al registro 60 que comprende ahora el nuevo valor de S_m para controlar la primera entrada de los circuitos 30-1 a 30-n de comparación según un principio de tiempo compartido secuencial. Durante el ciclo es calculado un nuevo valor de S_{m-1} de acuerdo con los pasos ilustrados en la tabla de la figura 4. Después que han sido calculados esos nuevos valores son insertados en los registros 40, 41 y 42 bajo control de las salidas k2, k5 y k6 del contador 36. El nuevo valor de S_{m-1} residente en el registro 46 A0 es insertado en el registro 40 durante la salida k2 del contador 36 a través de una puerta 61. El nuevo valor de Δ_{m-1} residente en el registro 46 A0 es insertado en el registro 41 al producirse la salida k6 del contador 36 a través de una puerta 62, y el nuevo valor d_{i-1} es insertado en el registro 42 al producirse la salida k5 del contador 36 a través de una puerta 63 selectora. Al producirse la salida k6 del contador 36, la salida k6 aplicada a los controles de inscripción de la memoria 39 hace que los nuevos valores insertados anteriormente o concurrentemente en los registros 40, 41 y 42 sean insertados en las direcciones de memoria adecuadas seleccionadas por la salida del contador 37, y de este modo el contenido de la memoria para la línea identificada por la salida del contador 37 es actualizado en este intervalo en preparación para el siguiente servicio de esa

línea particular.

La tabla ilustrada en la figura 4 representa las entradas al sumador 43 durante los ciclos k_0 a k_6 de cómputo; las entradas a los circuitos 44 de control y al registro 47 de desplazamiento, la salida del registro 46 y los contenidos de los registros 40, 41, y 42 y 60 durante los mismos períodos de tiempo.

Durante el período k_0 son leídos de la memoria 39 e insertados en los registros 40, 41 y 42 los valores de S_{m-1} , Δ_{m-1} y d_{i-1} . Adicionalmente, es insertado el valor S_{m-1} en el registro 60 donde permanece durante el resto del ciclo k_0 a k_6 de tratamiento. Durante el período k_1 es aplicado el valor S_{m-1} a ambas entradas A y B del sumador 43. El valor S_{m-1} insertado en la entrada B a través de la puerta 51 y el circuito "0" 49 es desplazado en una cantidad M_1 fija y restado, bajo control de la salida k_1 a través del circuito "0" 43 y el circuito 44 de control, de la señal de entrada aplicada a la entrada A a través de la puerta 55 y el circuito "0" 48, proporcionando así el valor β_3 $x S_{m-1}$ descrito anteriormente en relación con la figura 2. Los resultados residen en el registro 46 y son insertados durante el período k_2 en la entrada A a través de la puerta 56 o la puerta 48. Durante el período k_2 es insertado el valor Δ_{m-1} procedente del registro 41 en la entrada B a través de la puerta 52 y el circuito "0" 49 y es desplazado en el registro 47 de desplazamiento durante el período k_2 en una cantidad M_3 y el valor de d_i presente entonces en la salida 32 determina el signo de la suma, proporcionando en el registro 46 de salida la cantidad $S_{m-1} + d_i x \Delta_{m1}$ $x \beta_2$. El valor d_i expuesto bajo la columna de salida en

el registro 46 es el valor de signo utilizado en el último término puesto que d_i es indistintamente + o -1 y determina la naturaleza de la suma realizada en este paso. Este valor es insertado en este instante en el registro 40 bajo control

5 de la salida k2 a través de la puerta 61 y es el valor totalmente equivalente al valor S_m descrito en la figura 2. Este comprenderá el valor subsiguiente S_{m-1} en el siguiente ciclo de funcionamiento. Durante el período k3 de tiempo es insertado el valor Δ_{m-1} del registro 41 en las entradas A

10 y B a través de las puertas 57 y 52. El valor insertado en la entrada B del sumador 43 es desplazado en M2 posiciones y se realiza una operación de resta bajo control de la salida k3 aplicada al circuito 44 de control a través de la

15 puerta "0" 38. Esta operación proporciona el valor $\beta_1 \times \Delta_{m-1}$. Durante el período k4 de tiempo está aplicada la salida $d_i \times d_{i-1}$ del circuito 59 "0" exclusivo a la entrada A a través de la puerta 58 y es aplicado el contenido del registro 46 A0 (los resultados del cálculo anterior)

20 a la entrada B a través de la puerta 53. En este intervalo tiene lugar una adición bajo control del circuito 44 y la salida k4 del contador 36. No tiene lugar desplazamiento durante este ciclo. Este ciclo proporciona un valor

25 $\beta_1 \times \Delta_{m-1} + d_i \times d_{i-1}$. Este valor que reside en la salida A0 del registro 46 es aplicado a la entrada A durante el período k5 de tiempo con la constante P_r . Tiene lugar una substracción bajo control de la salida k5 del contador

30 36 a través de la puerta "0" 38 y el circuito 44 de control. No tiene lugar en este intervalo ningún desplazamiento, y los resultados del cálculo proporcionan el valor Δ_m que es igual a $\beta_1 \times \Delta_{m-1} + d_i \times d_{i-1} - P_r$. Este valor es inser-

tado en el registro 41 bajo control de la salida k5 del contador 36 y es el valor equivalente total del valor Δ_m descrito en relación con la figura 2. Al mismo tiempo es aplicado el valor d_i presente en la salida 32 a través de la

5 puerta 63 bajo control de la salida k5 del contador 36 al registro 42 y comprende el valor d_{i-1} utilizado en el siguiente cálculo. El valor Δ_m insertado en el registro 41 comprende el valor Δ_{m-1} para el siguiente ciclo de funcionamiento para esta línea. Como se ha descrito anteriormente,

10 durante la salida k6 del contador 36 son inscritos en la memoria los valores anteriormente insertados en los registros 40, 41 y 42 en la dirección seleccionada por la salida en curso del contador 37.

Está incluido la figura 3A para ilustrar la realización representada en la figura 3 en un sistema completo que utiliza tanto un codificador como un descodificador.

15 El codificador incluye n líneas L_1 a L_n conectadas a n comparadores 30-1 a 30-n excitados por el convertidor 34 de digital a analógico que funciona con tiempo compartido entre

20 las líneas. El conmutador 33 selector y el contador 37 para accionar el conmutador 33 selector están ilustrados independientemente. Los circuitos restantes ilustrados en la figura 3 están incluidos en el bloque de tratamiento de reacción ilustrado en 65. La señal de salida presente en la salida 32 es conducida, a través de un canal de transmisión

25 digital, hasta un circuito desmodulador que es idéntico al módulo 65 de tratamiento de reacción incluido en el codificador. Un contador 37' idéntico al contador 37 excita un conmutador 33' selector idéntico al conmutador 33 selector

30 en el codificador. El conmutador 33' selector está conectado

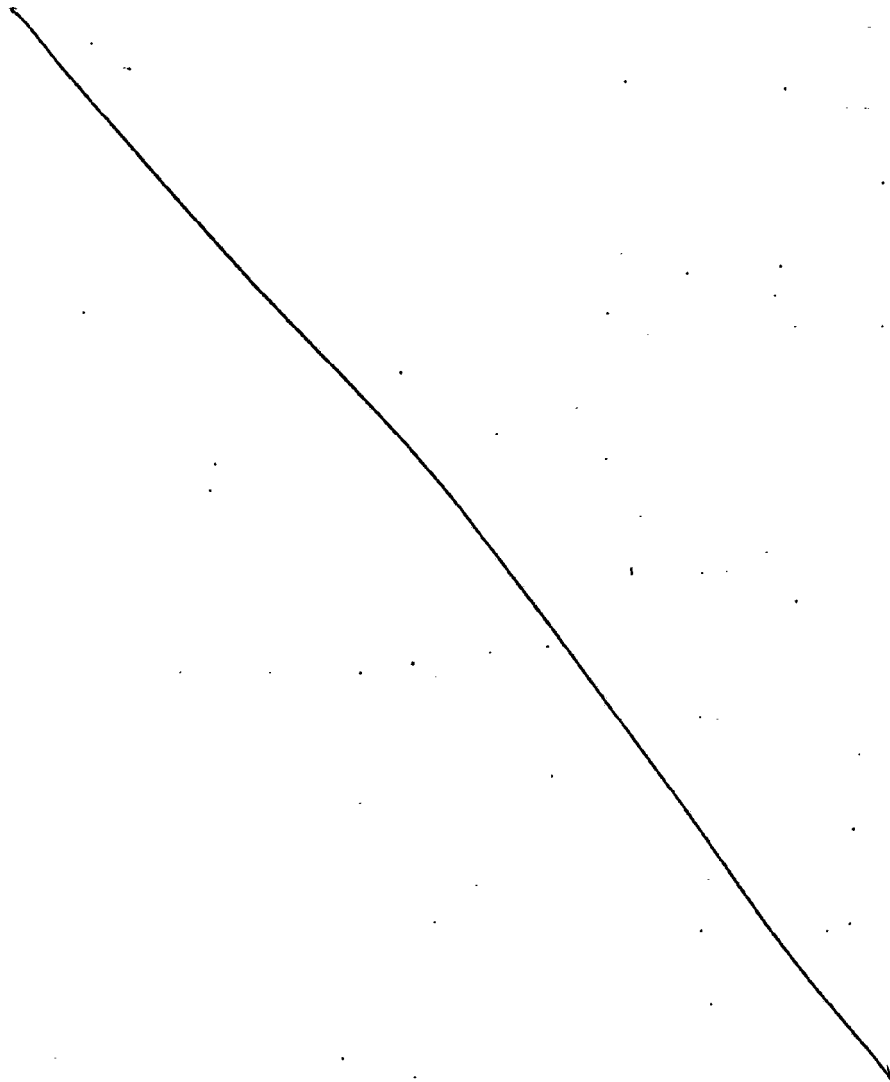
a n circuitos 66-1 a 66- n de muestreo y retención que excitan n líneas L_1 - L_n a través de n filtros 67-1 a 67- n de pasa-bajos.

5 El circuito ilustrado en la figura 5 es adecuado para proporcionar modulación delta de bitios múltiples de una señal de entrada analógica sobre una línea única. La figura 5 y la descripción subsiguiente de la codificación de bitios múltiples utiliza el ejemplo de un código de cuatro bitios. Es obvio que la técnica es aplicable a otros
10 códigos de nivel. El circuito es en muchos aspectos similar al circuito ilustrado en la figura 2 en la forma en que está modificado por la figura 2A. Por consiguiente, en interés de una mayor brevedad, aquellos circuitos que son idénticos en funcionamiento están identificados por las mismas cifras de referencia que se utilizan en las figuras 2 y 2A. En el
15 caso del filtro recursivo utilizado como variante en lugar del multiplicador 21, han sido marcadas con prima las cifras de referencia de modo que puedan ser distinguidas de las utilizadas en lugar del multiplicador 26, como se ilustra en
20 la figura 2A. La descripción que sigue está limitada a los cambios realizados en el circuito para adaptarse a la función de modulación delta de bitios múltiples en contraste con una función de modulación delta de bitio único. En la figura 5, la multiplicación realizada por el multiplicador 23 de
25 la figura 2 se realiza como se ha descrito anteriormente por un circuito 23' de desplazamiento que desplaza la salida de la puerta 22 en una cantidad adecuada para realizar la multiplicación por el factor β_2 constante. Esta salida es mantenida constante durante cuatro intervalos T de muestreo
30 sucesivos y se permite entonces que cambie nuevamente duran-

te los siguientes cuatro intervalos de muestreo. Esto es realizado por una puerta 70 y un contador 71. El contador 71 recicla sobre una base de cuatro cómputos, y de este modo se requieren para el reciclado del contador 71 cuatro ciclos de un oscilador 72 que suministra la frecuencia f_s de muestreo. La salida T1 del contador 71 está aplicada a la puerta 70, y de este modo se produce solamente una vez para cada cuatro ciclos del oscilador 72 el tratamiento a través de aquellos circuitos subsiguientes a la puerta 70, es decir el registro 16 de desplazamiento, la puerta 17 "0" exclusiva y los siguientes circuitos para generar el valor Δ_M . El valor Δ_M es multiplicado por las cantidades 1, 1/2, 1/4 y 1/8 en cada uno de los ciclos del contador 71, es decir en los ciclos T1, T2, T3 y T4, respectivamente. Esto se realiza proporcionando estas cantidades de referencia a través de un conmutador 73 de selección a un multiplicador 74 conectado a la salida del circuito 23' de desplazamiento. En sustitución del conmutador 73 de selección y el multiplicador 74, puede utilizarse un circuito de desplazamiento adicional que desplaza un valor de referencia en una cantidad seleccionada durante cada uno de los períodos T1, T2, T3 y T4 de tiempo. Esta técnica elimina la necesidad de un multiplicador y sustituye a la función de multiplicación con una función de adición, permitiendo así la utilización del circuito-ilustrado-en-la-figura-3 para la ejecución del circuito de la figura 5 según un principio de líneas múltiples. Esto se realiza de acuerdo con la tabla ilustrada en la figura 6. El formato utilizado en la figura 6 es idéntico al utilizado en la figura 4. Se requiere una modificación del contador 36 para proporcionar diez salidas k0 a k9 con el

fin de completar todos los cálculos en el intervalo asignado.
Los pasos k6 a k9 son idénticos a los pasos k3 a k6 en la
figura 4 y corresponden a los mismos.

- 5 Aun cuando el invento ha sido particularmente ex-
puesto y descrito con referencia a realizaciones preferidas
del mismo, se entenderá por los expertos en la técnica que
pueden hacerse diversos cambios en la forma y detalles del
mismo sin apartarse de la esencia y campo de aplicación
del invento.



REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5
10
15
20
25
30

1ª.- Un dispositivo modulador delta perfeccionado que comprende: primeros medios para comparar las amplitudes de una señal de entrada analógica y una señal de reacción analógica y proporcionar periódicamente una primera o una segunda tensión d_i de señal de salida en función de dicha comparación; segundos medios para formar el producto de la señal d_i de salida del período en curso y la señal de salida del período d_{i-1} anterior próximo; terceros medios para sumar el mencionado producto durante cada período con una señal de referencia digital; primeros medios de filtro recursivo digital que responden a la salida de dichos terceros medios para generar una señal Δ_m de control de ganancia; cuartos medios que responden a la salida de dichos primeros medios y a la salida de dichos primeros medios de filtro para generar una señal digital que es función de la mencionada señal de control de ganancia; un segundo filtro recursivo digital que responde a dichos cuartos medios para proporcionar una señal de reacción digital; y un convertidor de digital a analógico que responde a la mencionada salida del segundo filtro para proporcionar la mencionada señal de reacción analógica.

2ª.- Un dispositivo como se ha expuesto en la reivindicación 1ª, en el cual: dicho primer filtro recursivo digital incluye medios sumadores que tienen una salida,

una primera entrada conectada a dichos terceros medios y una segunda entrada, medios de puerta conectados a la mencionada salida de dichos medios sumadores y una fuente de señal para transmitir la salida del sumador cuando el signo de la salida del sumador es positivo y la señal de dicha fuente cuando es negativo, un registro conectado a la salida de los medios de puerta para almacenar una señal calculada en el período de funcionamiento anterior próximo, primeros medios multiplicadores para multiplicar el valor registrado por una constante β_1 y aplicar el valor modificado a la segunda entrada de los medios sumadores, y segundos medios multiplicadores para multiplicar la salida de los medios de puerta por una constante β_2 , y dicho segundo filtro recursivo digital incluye un registro conectado a la salida de dichos cuartos medios para almacenar una señal calculada en el período de funcionamiento anterior próximo; y un tercer multiplicador para multiplicar el valor registrado por una constante β_3 y suministrar los resultados de la multiplicación a los cuartos medios, cuya salida es suministrada a los mencionados medios de convertidor de digital a analógico.

3ª.- Un dispositivo como se ha expuesto en la reivindicación 2ª, en el cual dichos cuartos medios consisten en un sumador para formar la suma algébrica de las salidas del segundo y tercer multiplicadores y en el cual el estado de la salida de los primeros medios determina el signo de la salida del segundo multiplicador.


4ª.- Un dispositivo como se ha expuesto en la reivindicación 1ª, en el cual: dicho primer filtro recursivo digital incluye medios sumadores que tienen una salida,

una primera entrada conectada a dichos terceros medios y una segunda entrada, medios de puerta conectados a la mencionada salida de dichos medios sumadores y una fuente de señal para transmitir la salida del sumador cuando el signo de la salida del sumador es positivo y la señal de dicha fuente cuando es negativo, un primer registro conectado a la salida de los medios de puerta para almacenar una señal calculada en el período de funcionamiento próximo anterior, segundos medios de registro de desplazamiento conectados a la salida de dicho primer registro para desplazar la salida del mismo en una cantidad predeterminada, segundos medios sumadores para restar las salidas del primero y segundo registros y aplicar la diferencia a la segunda entrada de los primeros medios sumadores, y segundos medios de registro de desplazamiento para desplazar la salida de los medios de puerta en una cantidad predeterminada, y dicho segundo filtro recursivo digital incluye primeros medios de registro conectados a la salida de dichos cuartos medios para almacenar una señal calculada en el período de funcionamiento próximo anterior, segundos medios de registro de desplazamiento conectados a la salida de dichos primeros medios de registro para desplazar la salida de los mismos en una cantidad predeterminada, y medios sumadores para restar las salidas del primero y segundo registros y suministrar la diferencia a los cuartos medios cuya salida es suministrada al mencionado convertidor de digital a analógico.

5^a.- Un dispositivo como se ha expuesto en la reivindicación 4^a, en el cual dichos cuartos medios consisten en un sumador para formar la suma algébrica de las sa-

lidas de dichos segundos medios de desplazamiento y dichos segundos medios sumadores de filtro recursivo y en el cual el estado de la salida de los mencionados primeros medios determina el signo de la suma.

5 6^a.— Un dispositivo como se ha expuesto en la reivindicación 1^a, para modular concurrentemente y en un modo de división de tiempo una pluralidad de señales analógicas cada una de las cuales aparece sobre una línea de una pluralidad de líneas diferentes, y en el cual los segundos, 10 terceros y cuartos medios y los medios de filtro recursivo están constituidos por circuitos comunes utilizados recurrentemente, y que comprende: una pluralidad de primeros medios, unos para cada una de dichas líneas, para comparar la amplitud de la señal analógica presente en la línea y 15 una señal analógica de reacción procedente de una fuente común y para proporcionar periódicamente una primera o una segunda tensión d_i de señal de salida en función de dicha comparación; medios de conmutación para conectar dichos primeros medios en una secuencia de tiempo repetitiva a un 20 canal de salida; una memoria que incluye al menos un segmento de memoria direccionable para cada línea para almacenar parámetros que incluyen el estado de la señal d_{i-1} de salida durante el último período de tratamiento para la línea, una señal de reacción S_{m-1} y una señal Δ_{m-1} de control de ganancia ambas calculadas a partir de los dos estados próximos anteriores de la señal d de salida, una pluralidad de direcciones correspondientes al número de líneas que están siendo atendidas y en asociación con cada una de dichas direcciones una pluralidad de impulsos de control 25 de sincronismo el primero de los cuales establece acceso

30 

al conjunto de incidencias anteriores para la línea que está siendo atendida; medios para aplicar dichas señales de dirección al mencionado conmutador y medios de memoria; dicho convertidor de digital a analógico que convierte la señal S_{m-1} de reacción a que se ha establecido acceso en una señal analógica como dicha señal de fuente común aplicada a la mencionada pluralidad de primeros medios; medios de tratamiento bajo control de la mencionada pluralidad de impulsos de sincronismo de control para calcular nuevos valores para S_{m-1} , Δ_{m-1} y d_{i-1} tomando como base un algoritmo predeterminado, la salida d_i en curso y los valores anteriores de S_{m-1} , Δ_{m-1} y d_{i-1} ; y medios que responden al último de dicha pluralidad de impulsos de sincronismo de control para almacenar los mencionados valores calculados en la memoria en la dirección entonces indicada.

7^a.- Un dispositivo como se ha expuesto en la reivindicación 6^a, en el cual dichos medios de tratamiento bajo control de la mencionada pluralidad de impulsos de sincronismo de control incluyen: un sumador que tiene una primera y una segunda entradas y una salida, un registro de salida conectado a dicha salida de sumador, medios de control conectados al sumador y que responden a las señales de control para controlar la función del sumador, medios de registro de desplazamiento conectados a una de las entradas del sumador y que responden a señales de control para desplazar selectivamente las entradas de datos a los medios de desplazamiento y a la mencionada entrada del sumador en función de las señales de control aplicadas a los mismos; una primera pluralidad de puertas selectoras conectadas al registro de salida del sumador, asociado con los

5 datos almacenados en la memoria a que se ha establecido acceso para cada línea y a una señal de referencia y controladas por dicha pluralidad de impulsos de sincronismo de control para aplicar selectivamente las señales anteriores a la entrada del sumador a través del mecanismo de desplazamiento, medios de circuito que responden a la salida de los medios de conmutación y a la señal d_{i-1} a que se ha establecido acceso para proporcionar el producto de las

10 dos señales; una segunda pluralidad de puertas selectoras conectadas al registro de salida asociado con la salida del sumador y con el contenido a que se ha establecido acceso de la memoria y a la salida de los mencionados medios de circuito de multiplicación y controladas por la mencionada pluralidad de impulsos de sincronismo de control para aplicar

15 selectivamente los mencionados valores anteriores a la otra entrada del sumador con lo cual se ejecuta el mencionado algoritmo en el sumador bajo control del mecanismo de control y el mecanismo de desplazamiento y los impulsos de sincronismo de control procedentes de los medios de

20 sincronismo.

8ª.- Un dispositivo como se ha expuesto en la reivindicación 7ª, en el cual los mencionados medios de sincronismo proporcionan siete impulsos de sincronismo de control secuenciales de los cuales el primer impulso es

25 utilizado para establecer acceso a la memoria y proporcionar datos en la dirección entonces alcanzada por la mencionada dirección proporcionada por los medios de sincronismo, activando el segundo, tercero, cuarto, quinto y sexto impulsos de control dichas primera y segundas pluralidades de puertas selectoras y haciendo el séptimo impulso que

30

los valores calculados sean almacenados en la memoria en la posición de la cual fueron leídos los valores anteriores; y realizando dicho algoritmo los siguientes pasos en el mencionado sumador durante los intervalos de impulso de sincronismo de control comprendidos entre el segundo y el sexto; ambos inclusive,

~~5~~

24

Impulsos de Sincronismo de Control k	Entradas Primera	Entradas Segunda	Medios de Control $\frac{1}{2}$	Medios de desplazamiento	Salida AO
k2	S_{m-1}	S_{m-1}	(-)	m_1	$\beta_3 S_{m-1}$
k3	$\beta_3 S_{m-1}$	Δ_{m-1}	(+/-) d_i	m_3	$\beta_3 S_{m-1} + d_i$ $\Delta_{m-1} = S_m$
k4	Δ_{m-1}	Δ_{m-1}	(-)	m_2	$\beta_1 \Delta_{m-1}$
k5	$d_i x d_{i-1}$	$\beta_1 \Delta_{m-1}$	(+)	0	$\beta_1 \Delta_{m-1}$ $+ d_i x d_{i-1}$
k6	AO	Pr	(-)	0	$\beta_1 \Delta_{m-1}$ $+ d_i x d_{i-1} - Pr$ $= \Delta_n$

9a.- Un dispositivo como se ha expuesto en la reivindicación 1a, para proporcionar modulación delta de bitios múltiples, que comprende: medios de oscilador que funcionan a dicho régimen periódico para muestrear los mencionados primeros medios para efectuar la comparación periódica y para excitar medios contadores, incluyendo dichos medios contadores tantos pasos como la modulación de bitios múltiples; medios de puerta que responden a la primera salida de dicho contador para conectar la salida d_i a los segundos medios una vez por ciclo de funcionamiento de dichos medios contadores, respondiendo dichos segundos medios a la salida de los mencionados medios de puerta para formar el producto de la señal d_i de salida proporcionada por los medios de puerta y la señal d_{i-1} de salida del período próximo anterior; respondiendo dichos medios de registro de desplazamiento a la señal de control de ganancia procedente del primer filtro recursivo digital para desplazar la salida del mismo en una cantidad predeterminada; medios divisores que responden a la salida de dichos medios de registro de desplazamiento y a la salida del contador para proporcionar una salida unidad durante la primera salida de dicho contador y una fracción diferente de la misma durante los cómputos restantes de dicha salida de contador repetitiva; respondiendo dichos cuartos medios a la salida de dichos medios divisores y a los mencionados primeros medios para generar en cada período de funcionamiento del contador n señales digitales que son una función decreciente de la mencionada señal de control de ganancia; un segundo filtro recursivo digital que responde a la salida de dichos cuartos medios para proporcionar n señales digitales secuenciales

5

10

15

20

25

30

de reacción por ciclo de funcionamiento del contador; y un convertidor de digital a analógico que responde a la mencionada salida del segundo filtro digital que proporciona la mencionada señal analógica de reacción.

- 5 10ª.- Un dispositivo como se ha expuesto en la reivindicación 9ª, en el cual: dicho primer filtro recursivo digital incluye medios sumadores que tienen una salida, una primera entrada conectada a dichos terceros medios y una segunda entrada, medios de puerta conectados a la men-
- 10 cionada salida de dichos medios sumadores y una fuente de señal para transmitir la salida del sumador cuando el signo de la salida del sumador es positivo y la señal de dicha fuente cuando es negativo, un primer registro conectado a la salida de los medios de puerta para almacenar una señal
- 15 calculada en el período de funcionamiento próximo anterior, segundos medios de registro de desplazamiento conectados a la salida de dicho primer registro para desplazar la salida del mismo en una cantidad predeterminada, y segundos medios sumadores para restar las salidas del primero y segundo re-
- 20 gistros y aplicar la diferencia a la segunda entrada de los primeros medios sumadores, y dicho segundo filtro recursivo digital incluye primeros medios de registro conectados a la salida de dichos cuartos medios para almacenar una señal cal-
- 25 culada en el período de funcionamiento próximo anterior, segundos medios de registro de desplazamiento conectados a la salida de dichos primeros medios de registro para desplazar la salida de los mismos en una cantidad predeterminada, y medios sumadores para restar las salidas del primero y segundo registros y suministrar la diferencia a los cuartos
- 30 medios cuya salida es suministrada al mencionado convertidor

de digital a analógico.

11ª.-Un dispositivo modulador en delta perfeccionado.

5 Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de treinta y una hojas escritas a máquina por una sola de sus caras.

Madrid, 22 JUL 1977

P.A.

Alberto de Eizaburu
Per. P.A.



G.M.

FIG. 1

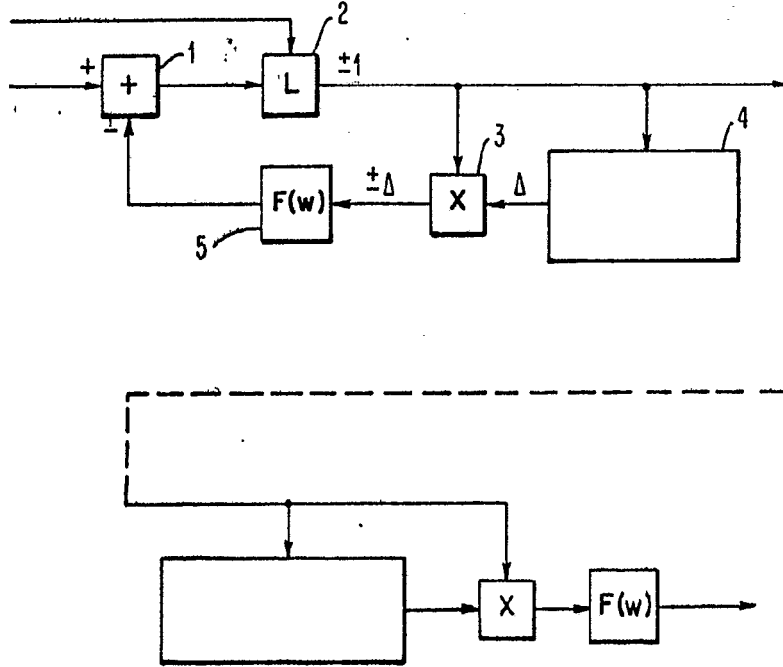
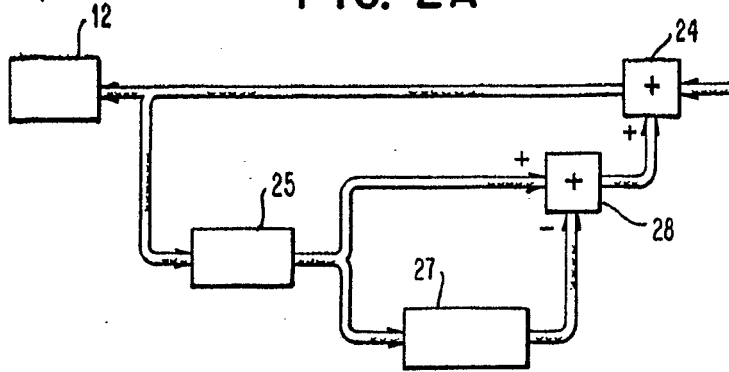


FIG. 2A



Alberto de Eizaburu
Per 1/VI

FIG. 2

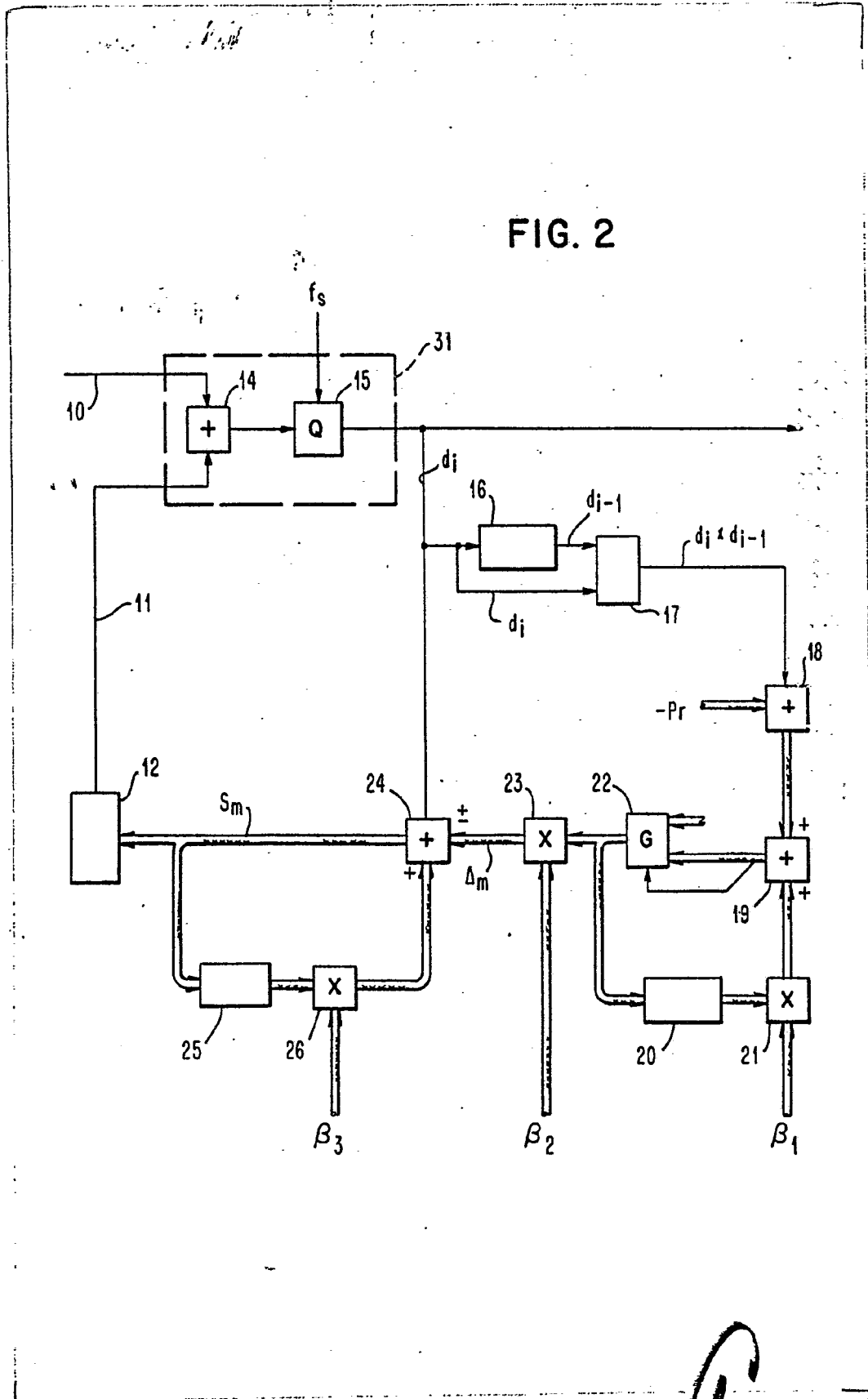
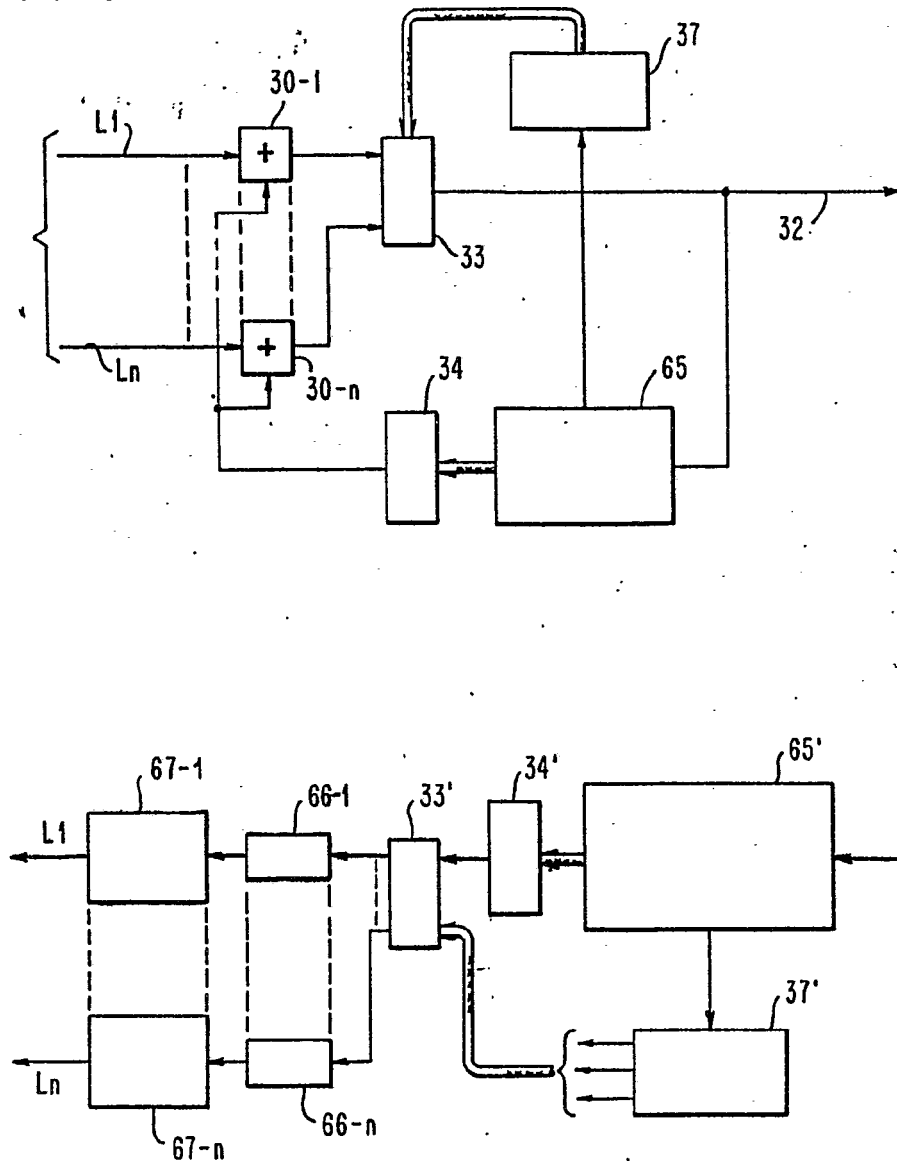


FIG. 3A



Alberto de Elizalde
für Feder

FIG. 4

k			44	47	A0 46	40	41	42	60
	A	B							
k ₀						S _{m-1}	Δ _{m-1}	d _{i-1}	S _{m-1}
k ₁	S _{m+1}	S _{m-1}	(-)	m ₁ (1/32)	β ₃ S _{m-1}	"	"	"	"
k ₂	β ₃ S _{m-1}	Δ _{m-1}	d _i	m ₃	β ₃ ·S _{m-1} +d _i Δ _{m-1} ·β ₂	S _m	"	"	"
k ₃	Δ _{m-1}	Δ _{m-1}	(-)	m ₂ (1/28)	β ₁ Δ _{m-1}	"	"	"	"
k ₄	d _i x d _{i-1}	β ₁ Δ _{m-1}	(+)	0	β ₁ Δ _{m-1} + d _i x d _{i-1}	"	"	"	"
k ₅	A0	Pr	(-)	0	β ₁ Δ _{m-1} + d _i x d _{i-1} - Pr	"	Δ _m	d _i	"
k ₆						"	"	"	"

FIG. 6

k					A0	S	Δ	d	
	A	B							
k ₀						S _{m-1}	Δ _{m-1}	d _{i-1}	S _{m-1}
k ₁	S _{m-1}	S _{m-1}	(-)	m ₁	β ₃ S _{m-1}	"	"	"	"
k ₂	A0	Δ _{m-1}	d _{0i}	m ₃	A0+d _{0i} Δ _{m-1} x β ₂	"	"	"	"
k ₃	A0	Δ _{m-1}	d _{1i}	1	A0+d _{1i} $\frac{\Delta_{m-1}}{2}$	"	"	"	"
k ₄	A0	Δ _{m-1}	d _{2i}	2	A0+d _{2i} $\frac{\Delta_{m-1}}{4}$	"	"	"	"
k ₅	A0	Δ _{m-1}	d _{3i}	3	A0+d _{3i} $\frac{\Delta_{m-1}}{8}$	S _m	"	"	"
k ₆									
k ₉									

Albert de Elzaburu
For Peder,

