



ESPAÑA

ES	11 21	NUMERO 459.911	A1
	22	FECHA DE PRESENTACION 18 Junio 1977	

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO P 26 27 339.2	18-6-76	Rep.Fed.Alemana

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL H03K16A04	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	---	--------------------------------------

54 TITULO DE LA INVENCION "PERFECCIONAMIENTOS INTRODUCIDOS EN UNA ETAPA DE POTENCIA EN PUSH-PULL INTEGRADA MONOLITICA Y BIPOLAR PARA SEÑALES DIGITALES"
--

71 SOLICITANTE (S) ITT INDUSTRIES INC (W. Hoehn-12)
--

DOMICILIO DEL SOLICITANTE 320 Park Avenue, Nueva York 10022, Estados Unidos de América

72 INVENTOR (ES) Wolfgang Hoehn

73 TITULAR (ES)

74 REPRESENTANTE ALBERTO DE ELZABURU MARQUEZ (P.- 66.269)
--

1 El presente invento se refiere a una etapa de potencia en push-pull integrada monolítica y bipolar para señales digitales que se utiliza normalmente, por ejemplo, en los denominados circuitos-TTL (ver revista técnica "La onda eléctrica" de Mayo de 1968, pp. 443 a 448, especialmente la Fig. 3 de la pág 444). Tales tipos de etapas de potencia en push-pull deben tener una baja impedancia de --
5 tal manera que puedan conectarse a resistencias de carga de valores ohmicos relativamente bajos. Además, se supone que tienen una tensión de saturación tan baja como sea posible con respecto al punto cero del circuito, de tal --
10 manera que otros circuitos lógicos que funcionen a la salida, puedan controlarse bien directamente o a través de una resistencia en serie. También, por el comportamiento conmutador de los dos transistores de la etapa de salida
15 en push-pull, no se producirán picos de corriente que, en equipos que utilizan circuitos integrados con tales etapas de salida en push-pull, pueden conducir a impulsos de ruido que afectan a otras partes del circuito a través de --
20 los terminales de la tensión de alimentación. Finalmente, la etapa de salida en push-pull, con vistas a su posible utilización múltiple en un solo circuito integrado, --
requerirá tan poca superficie de cristal como sea posible.

25 Los tipos convencionales de etapas de salida en push-pull satisfacen los cuatro requerimientos anteriores bien solamente en parte o no los satisfacen en absoluto, ni --
tampoco puede hablarse de una adaptación óptima de los requerimientos individuales entre sí. En particular, no se cumplen los requerimientos según los cuales no se deben --
30 producir picos de corriente durante la conmutación de los

1 dos transistores. Sin embargo este requerimiento es abso-
lutamente necesario en una aplicación práctica determina-
da de tales etapas de salida en push-pull, concretamente,
cuando se utilizan como la salida o etapas de potencia de
5 los divisores de frecuencia utilizados en órganos electró-
nicos, porque tales órganos incluyen unos voluminosos ca-
bleados de alimentación y control, de tal manera que los
picos de corriente de la tensión de alimentación produci-
rían graves perturbaciones en las partes controladas.

10 El presente invento, que se refiere a una etapa de -
salida en push-pull integrada monolítica y bipolar para -
señales digitales tiene por objetivo, según la reivindica-
ción 1, cumplir plenamente los requerimientos anteriores
en una combinación óptima. Esto se consigue según se des-
15 cribe en la parte de caracterización de la reivindicación
1. En la reivindicación 2 se describe una configuración
preferida del invento.

20 Describiremos seguidamente el presente invento con -
más detalle, refiriéndonos a las Figs. 1 y 2 de los dibu-
jos que se acompañan, en los cuales

La Fig. 1 muestra el circuito de un tipo de configu-
ración del invento, y

25 La Fig. 2 muestra esquemáticamente un plano horizon-
tal del transistor de emisor doble utilizado en el inven-
to.

30 En el circuito de la Fig. 1, la etapa de salida en -
push-pull consiste del primer transistor 1 cuyo colector
se aplica al polo + de la fuente de alimentación U_B , y --
del segundo transistor 2 cuyo emisor se aplica al punto -
cero del circuito y cuya base sirve como la entrada 4 para

1 la señal digital. El emisor del primer transistor 1 está
conectado al colector 33 del transistor emisor doble 3 que
también representa la salida 5 de la etapa de salida de -
potencia. El primer emisor 31 del transistor de emisor -
5 doble 3 está conectado al colector del segundo transistor
2 y a la base del primer transistor 1. El segundo emisor
32 del transistor de emisor doble 3 está conectado directa-
mente a la base 34 del mismo. El primer transistor 1, el
segundo transistor 2 y el transistor de emisor doble 3 --
10 son todos del mismo tipo de conductividad, concretamente,
transistores-npn en el ejemplo de la configuración muestra-
da en la Fig. 1.

La base del primer transistor 1, el colector del se-
gundo transistor 2 y el primer emisor 31 del transistor -
15 emisor doble 3 están conectados, a través de la vía colec-
tor-emisor del transistor de corriente constante 6 que --
sirve como un sustituto de resistencia y la base 34, al -
polo + de la tensión de alimentación U_B a la que, de la -
misma manera, también se aplican el segundo emisor 32 del
20 transistor de emisor doble 3 a través de la vía colector-
emisor del transistor de corriente constante 7 que sirve
igualmente como un sustituto de resistencia. Los dos - -
transistores de corriente constante 6, 7, junto con el -
transistor 8 cuyo colector está conectado a su base y a -
25 los electrodos base de los transistores de corriente cons-
tante 6, 7, y cuyo emisor se aplica al polo + de la ten-
sión de alimentación U_B , y con la resistencia 9 que conec-
ta la base y el colector del transistor de corriente cons-
tante 8 al punto cero del circuito, forman una fuente de
30 corriente constante de transistores 1, 2, 3 que, en el --

1 -ejemplo de la configuración mostrada en la Fig. 1, son --
transistores-pnp.

5 El área unión-pn-base-emisor del segundo emisor 32 del
transistor de doble emisor 3, según el invento, es al me-
nos doble pero, preferiblemente cuatro o cinco veces ma--
yor que la del primer transistor 31.

10 Este dimensionamiento del área, que es esencial en -
el invento, se muestra esquemáticamente en la Fig. 2. La
esquina superior del área rayada hacia la derecha repre--
senta la región del colector 33 del transistor de emisor
doble 3. El área rayada a espacio doble que se extiende
a la izquierda de la esquina superior representa la región
base del mismo 34. Las áreas de rayado estrecho que se -
extienden hacia la izquierda y en el borde superior repre-
15 sentan las regiones producidas a modo de difusión de emi-
sor. Las áreas correspondientes que caen directamente --
dentro de la región del colector 33 es la región de con--
tacto 331 del mismo que se produce por la metalización del
contacto correspondiente 332.

20 La región cuadrada que cae dentro de la región base
34 representa la primera región emisor 31 provista de una
metalización del correspondiente contacto 312, y la región
rectangular que cae a la derecha de la primera región emi-
sor 31 representa la segunda región emisor 32 que, a tra-
25 vés de la metalización del contacto 322 está en conexión
con la región base 34. Esta metalización del contacto 322
corresponde a la conexión entre la base 34 y el segundo -
emisor 32 en la Fig. 1. Como puede deducirse de la Fig.
2, el área unión-pn-base-emisor del segundo emisor 32 es
30 al menos doble, y más concretamente tres veces mayor que

1 - la del primer emisor 31.

La etapa de salida de potencia en push-pull del presente invento funciona como sigue:

5 Si se aplica una señal digital a la entrada 4 en el estado L correspondiente al potencial más bajo, tanto la base del primer transistor 1 como la base 34 del transistor de emisor doble 3 se alimentan con la corriente de base a través de los colectores de los transistores de corriente constante 6 ó 7, debido a que el segundo transistor 2 está bloqueado. En consecuencia, a través de la vía colector-emisor del primer transistor 1, pasa una corriente de salida a la resistencia de carga conectada a la salida 5, que puede extenderse desde la salida 5 a cualquier potencial arbitrario. En este estado del circuito, la vía base-emisor del primer transistor 1 no debe cortocircuitarse por el transistor parcial 31, 33, 34 del transistor de emisor doble 3, que funciona inversamente en este caso. -

10 Esto se consigue porque la ganancia de corriente inversa del transistor parcial 31, 33, 34 que normalmente, sin el segundo emisor 32 designado de acuerdo con el invento, es del orden de la unidad (1), se reduce fuertemente en el área unión-pn-base-emisor del segundo emisor 32 aumenta respecto a la del primer emisor 31, y se conecta a la base 34.

25 En el caso de un área unión-pn-base-emisor cuatro veces mayor existirá al principio una reducción de la ganancia de corriente inversa de alrededor de 0,25. Sin embargo, además de ello, por el requerido aumento de toda el área unión-pn-base colector del transistor de emisor do-

30 ble 3, todavía se reduce más, de tal manera que aparecerá

1 una reducción real de alrededor de 0,1, esto es, el 90% -
de la corriente suministrada por el colector del transis-
tor de corriente constante 6 será utilizada como la corrien-
te de base del primer transistor 1.

5 Si la señal digital a la entrada 4 cambia de su esta-
do L al estado H que corresponde a un potencial elevado y,
consecuentemente, también cambia la señal a la salida 5 -
al correspondiente estado L, el segundo transistor 2 es -
llevado a la saturación, de tal manera que el transistor
10 de emisor doble 3 vuelve de su funcionamiento inverso que
existía en el estado L de la señal digital al funcionamien-
to normal. Sin embargo, y a causa de ello, el primer tran-
sistor 1 se bloquea, y la corriente de carga pasará a tra-
vés de la conexión serie consistente en la vía colector-
15 -emisor del transistor parcial 31, 33, 34 del transistor
de emisor doble 3 y de la vía colector-emisor del segundo
transistor 2. Por el bloqueo mencionado anteriormente del
primer transistor 1 durante este estado de funcionamiento,
la etapa de salida de potencia en push-pull, está protegi-
da de los transistores 1 y 2 que se hacen simultáneamente
20 conductivos durante la fase de transición mientras cambian
del estado H al estado L y viceversa, de tal manera que no
aparecen los picos de corriente mencionados anteriormente.

25 Además, del transistor de doble emisor 3 situado en-
tre los transistores 1 y 2, se obtendrá la deseada resis-
tencia de baja impedancia de salida de unos 200 ohmios. -
El área de superficie de cristal requerida por la etapa -
de salida de potencia es, además, suficientemente pequeña,
de tal manera que pueden utilizarse varias etapas de po-
30 tencia en un solo circuito integrado, tal como en los di-

1

visores de frecuencia integrados para órganos electróni--
cos. La etapa de salida de potencia en push-pull del in-
vento puede tambien utilizarse para la amplificación de --
las señales de baja frecuencia del tipo que aparecen, por
ejemplo, en los amplificadores de audio.

5

Ha de quedar entendido que la anterior descripción --
de una forma determinada del invento se hace a modo de --
ejemplo y no debe considerarse como limitación de su al--
cance.

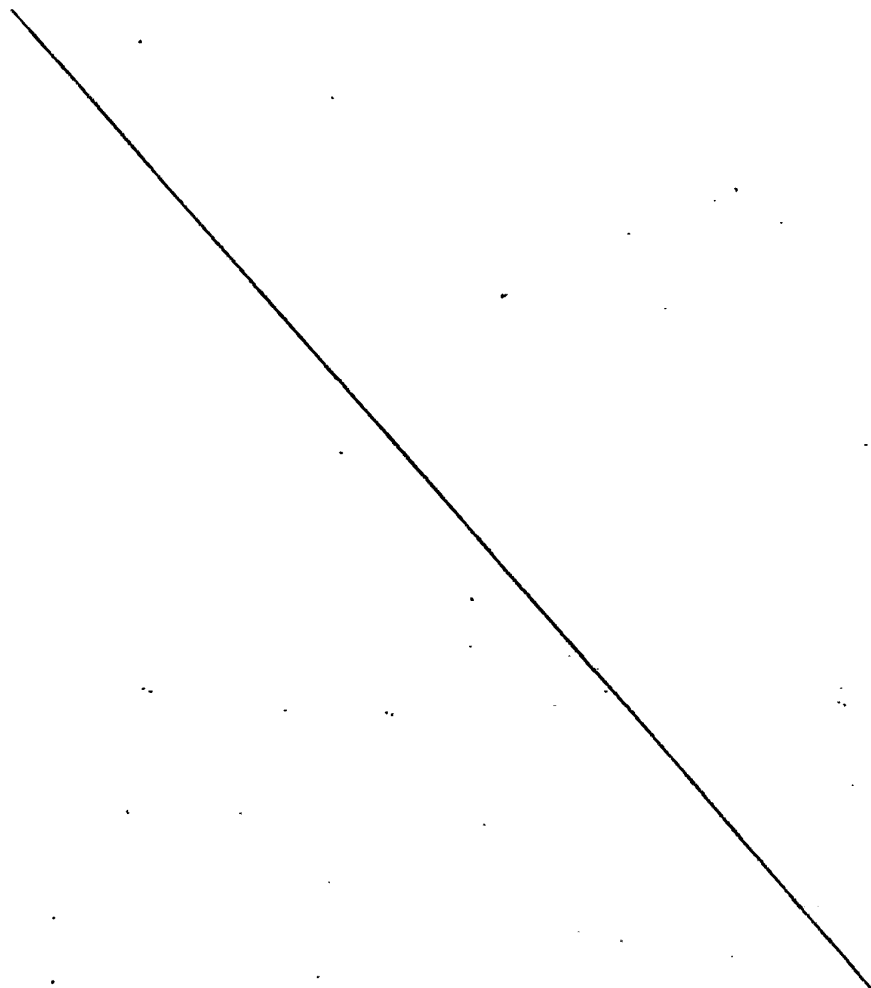
10

15

20

25

30



REIVINDICACIONES

1

5

10

15

20

25

30

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se reconocen en las reivindicaciones siguientes:

1ª.- Perfeccionamientos introducidos en una etapa de potencia en push-pull integrada monolítica bipolar para señales digitales, que utiliza un primero y un segundo transistor del mismo tipo de conductividad, y dispuestos con sus vías colector-emisor de tal manera entre los terminales conductor de tensión de la fuente de alimentación y el punto cero del circuito, que el colector del primer transistor corresponde al terminal conductor de tensión, y el emisor del segundo transistor corresponde al punto cero del circuito, así como que el emisor del primer transistor y el colector del segundo transistor están conectados uno al otro a través de un componente electrónico cuyo terminal sirve como la salida de la etapa de potencia, y que además están controlados a través de sus electrodos base, caracterizados porque como componente electrónico (dispositivo) se utiliza un transistor de emisor doble del mismo tipo de conductividad que los dos transistores, cuyo colector forma la salida de la etapa de potencia, y está conectado al emisor del primer transistor y cuyo pri

1 mer emisor está conectado al colector del segundo transis
tor así como a la base del primer transistor, porque la -
base del transistor de emisor doble y la base del primer
5 transistor, cada uno a través de una resistencia, o cada
uno a través de un generador de corriente constante están
conectados al terminal conductor de tensión (+) del gene-
rador de la tensión de alimentación (U_p), porque la base
del segundo transistor forma la entrada para la señal di-
10 gital, y porque el área unión-pn-base-emisor del segundo
emisor del transistor de emisor doble está, al menos, do-
blada, pero, preferiblemente, cuatro a cinco veces mayor
que la de su primer emisor.

2ª.- Perfeccionamientos según la reivindicación 1ª,
relacionados con una etapa de potencia que se utiliza co-
15 mo etapa de salida de divisores de frecuencia integrados
para elementos electrónicos.

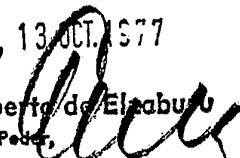
3ª.- "PERFECCIONAMIENTOS INTRODUCIDOS EN UNA ETAPA -
DE POTENCIA EN PUSH-PULL INTEGRADA MONOLITICA Y BIPOLAR -
20 PARA SEÑALES DIGITALES".

Tal y como se ha descrito en la Memoria que antecede,
representado en los dibujos que se acompañan y para los fi
nes que se han especificado.

Esta Memoria consta de nueve hojas escritas a máquina
por una sola cara.

25

Madrid, 13 OCT. 1977

P.A. Alberto de Elcabo
Por Poder,


30

ARS/.

08107

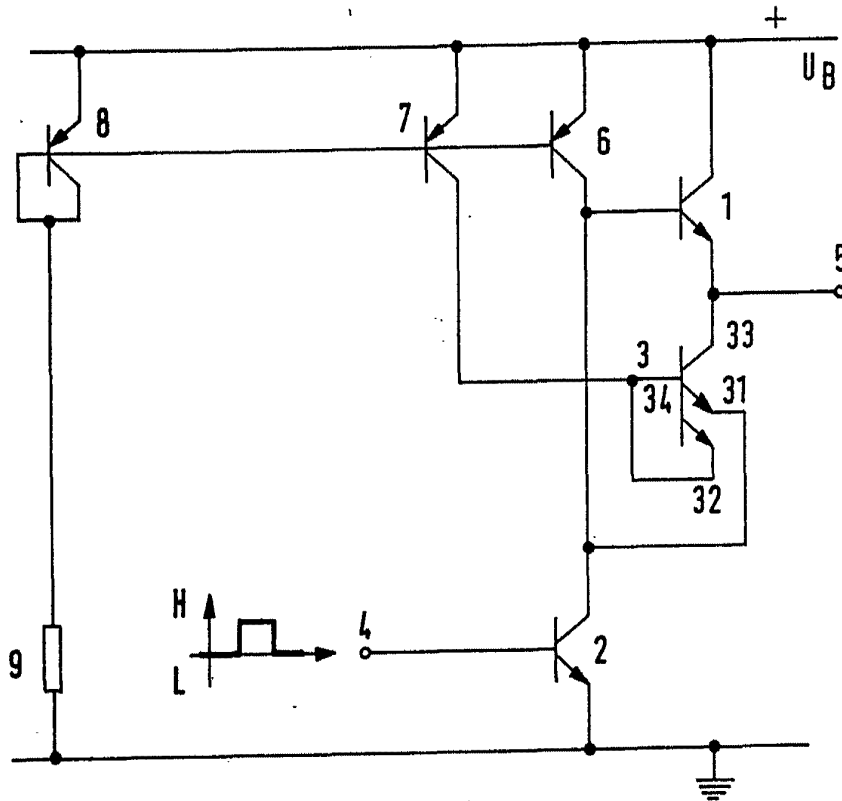
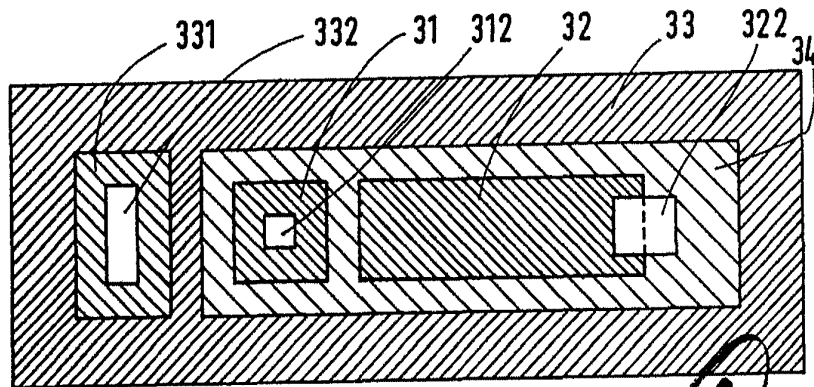



FIG. 1

FIG. 2



Alberto de Elzaburu
Por hacer