



(19) ES	(11) NÚMERO 459632	(10) A1
(21)	(22) FECHA DE PRESENTACION	

PATENTE DE INVENCION

(30) PRIORIDADES:		
(31) NÚMERO 76 17745	(32) FECHA 11. Junio. 76	(33) PAIS Francia
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL H04M, H04Q	(62) PATENTE DE LA QUE ES DIVISIONARIA
(64) TITULO DE LA INVENCION "UN DISPOSITIVO DE PRESENTACION PARA PROBAR LAS UNIDADES DE UNA CENTRAL MIC (MODULACION POR IMPULSOS CODIFICADOS)".		
(71) SOLICITANTE (S) STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE Madrid, calle de Ramirez de Prado, No 5.		
(72) INVENTOR (ES) Yves Michel Battenr Alain Georges Daniel Duranceau		
(73) TITULAR (ES)		
(74) REPRESENTANTE D. Manuel Gómez Santamaría.		

El presente invento se refiere a un dispositivo de presentación para probar las unidades de una central MIC (modulación por impulsos codificados) y, en general, las unidades de un sistema digital.

5 Una central telefónica MIC (modulación por impulsos codificados) está constituida por un gran número de unidades asociadas entre sí a fin de obtener un funcionamiento correcto. Para comprobar dicho funcionamiento se requieren operaciones de comprobación, siendo fácil comprobar
10 las ventajas de poder representar los estados lógicos de puntos específicos de las diferentes unidades.

El objetivo del presente invento es precisamente un dispositivo de presentación de estado lógico.

15 El dispositivo presenta la ventaja particular de poder seleccionar, por una sencilla conmutación, las unidades cuyos estados lógicos se desea comprobar mediante presentación.

El dispositivo presenta también la ventaja de utilizar las señales de reloj ya disponibles en las unidades a ser comprobadas.
20

El dispositivo, conectado a unidades que funcionan sobre una base de tiempo compartido con un período de repetición T dividido en n aberturas de tiempo t , cada una de las cuales corresponde al procesamiento de una fila
25 de la memoria, está caracterizado especialmente porque contiene una sección centralizada conectada, a través de N cables, a N interfaces de acceso localizados en las N unidades a ser comprobadas, permitiendo cada uno de los N interfaces reunir los estados lógicos de p puntos en la unidad asociada.
30

Otras características y ventajas del invento aparecerán en la descripción que sigue de una configuración del mismo, junto con los dibujos que se acompañan, en los cuales:

5 La figura 1 muestra una representación general del dispositivo del invento

La figura 2 representa varias señales de reloj

La figura 3 muestra un diagrama esquemático de uno de los interfaces de acceso de las unidades a ser probadas;

10

La figura 4 muestra el diagrama esquemático de la parte centralizada del dispositivo del invento.

La figura 1 muestra la representación general del dispositivo de pantalla del invento. Contiene una parte centralizada A que está conectada a $N=8$ unidades de la central U(0) a U(7) a través de $N=8$ interfaces de acceso I(0) a I(7) y $N=8$ cables C(0) a C(7). Los 8 interfaces de acceso son idénticos entre sí y están montados sobre un tarjeta situada en un lugar de la unidad a ser probada. Estos interfaces se utilizan para la recogida de los estados lógicos de un conjunto de $p=128$ puntos por unidad, y adaptarlos para la transmisión a la estación centralizada A. Las unidades U(0) a U(7) pueden ser idénticas o diferentes, independientemente una de otra o interconectadas. La sección centralizada A contiene un interface de transmisión 1, un circuito de control 2 de los datos a ser representados, y un cuadro y panel de selección 3 que contiene $p=128$ lámparas y conmutadores de selección que se utilizan para la selección de entre las unidades U(0) a U(7) aquella cuyos estados lógicos han de representarse. Un reloj H controla la operación

15

20

25

30

de la sección centralizãda A. A fin de poder representar los estados lógicos de dos unidades de una central simultáneamente, el dispositivo del invento puede estar duplicado (sección centralizada B), controladas ambas secciones centralizadas A y B por el mismo reloj H.

Para un mejor entendimiento del funcionamiento del dispositivo del invento, se muestra en la figura 2 las señales de reloj de la central. El período $T=125 \mu s$ de la señal T_0 corresponde al período de repetición, o cuadro, de las muestras de conversación. Un número $n=256$ de muestras se multiplexan en tiempo dentro de un cuadro T , estando presente cada muestra durante una abertura de tiempo $t=488 \text{ ns}$, que corresponde al período de la señal T_8 . Cada abertura de tiempo t se divide en ocho tiempos elementales correspondientes a las señales $A_1, A_2, B_1, B_2, C_1, C_2, D_1, D_2$. En la descripción que sigue, las señales de reloj invertidas respecto a las señales mostradas en la figura 2, serán identificadas mediante un segmento encima de la referencia. Esto es, la inversa de la señal T_0 se escribirá $\overline{T_0}$.

La figura 3 muestra un diagrama de uno de los interface de acceso $I(0)$ a $I(7)$. Está controlado por el reloj local de la unidad asociada e incluye un multiplexor 4 con $p=128$ entradas que reciben los estados lógicos de los puntos a ser representados. Estas entradas están divididas en $q=16$ grupos $G(0)$ a $G(15)$ de $r=8$ entradas cada uno ($p=q \cdot r$). Un contador binario de cuatro bits 5, incrementado por la señal de reloj $\overline{T_0}$, direcciona el multiplexor 4 que envía sucesivamente por las salidas los estados lógicos de los diez y seis grupos $G(0)$ a $G(15)$. De esta manera, cada grupo de ocho entradas está conectado a las ocho salidas del multiplexor

durante un tiempo $T=k25 \mu s$. Un registro 6 almacena los ocho estados lógicos enviados por el multiplexor 4 bajo el control de una señal STR que corresponde a una señal de reloj dada de entre las señales de reloj A1 a D1. Estos ocho estados se almacenan, bajo el control de la señal de reloj D2, en un segundo registro 7 desde el que se envían a la sección centralizada del dispositivo del invento. Así, durante un cuadro T, el estado lógico de ocho puntos dados se muestra $n=256$ veces en sucesión, a la cadencia de una muestra por período $t=488 ns$. Esta cadencia tiene especial ventaja dado que las diferentes unidades de la central trabajan sobre una base de tiempo compartido a $n=256$ operaciones diferentes, a la cadencia de una abertura de tiempo t por operación. A menudo contienen una memoria de lectura-excritura de $n=256$ filas, asociada cada una con una operación dada, lo que nos permite así conocer el estado lógico de los diferentes puntos de cualquier fila. La transmisión a la unidad centralizada del dispositivo del invento se realiza por medio de ocho transmisores de línea E(0) a E(7) y ocho cables pareados. Se recibe una señal de selección de unidad SEL, particular a cada interface, desde la sección centralizada del dispositivo a través de un par y un receptor de línea 9. Controla los ocho transmisores de línea E(0) a E(7) para inhibir su funcionamiento (salida de impedancia elevada) cuando el interface de acceso en cuestión no es seleccionado para su presentación.

Una señal de sincronización SYN, cuya función la explicaremos después, se genera en las salidas del contador 5 por medio de una puerta NOR 10, un flip-flop 11 controlado por la señal de reloj D2, un transmisor de línea 12

controlado por la señal de selección de unidad SEL y un par
trenzado. De esta manera, cada $q=16$ cuadros T, la señal SYN
cambia al nivel lógico 1 en los que dura un cuadro (corres-
pondiendo un cuadro al código 0000 en la salida del conta-
5 dor 5).

La figura 4 es un diagrama de la sección cen-
tralizada del dispositivo de representación del invento.
Está controlado por le reloj local H. El interface de trans-
misión 1 contiene ocho receptores de línea R(0) a R(7), es-
10 tando conectado cada uno de ellos, mediante ocho pares
trenzados en paralelo, a ocho transmisores de línea corres-
pondientes de los ocho interfaces de acceso I(0) a I(7).
Así, por ejemplo, el receptor de línea R(0) está conectado
a los ocho transmisores de línea E(0) de los ocho interfaces
15 de acceso I(0) a I(7). Un registro 13 almacena, cada perío-
do t, los ocho estados lógicos recibidos bajo el control de
la señal de reloj D1. Un receptor de línea 14 está conecta-
do, por medio de ocho pares trenzados conectados en parale-
lo, a los ocho transmisores de línea 12 de los ocho interfa-
20 ces de acceso I(0) a I(7). Un registro 15 almacena, cada
período t, el estado lógico de la señal de sincronización
recibida SYN, bajo el control de la señal de reloj D1. El
interface de transmisión 1 contiene también ocho transmi-
sores de línea S(0) a S(7) que están conectados respectiva-
25 mente, por medio de ocho pares trenzados, al receptor de lí-
nea 9 de cada uno de los ocho interfaces de acceso I(0) a
I(7). Estos transmisores de línea envían las señales de se-
lección de unidad SEL por medio de un decodificador 16 si-
tuado en el circuito de control 2 y un conmutador selector
30 de unidad de ocho posiciones 17 situado en el panel 3. De

esta manera, el interface de transmisión 1 enviará una señal de selección de unidad SEL de nivel lógico 1 al interface de acceso seleccionado, y recibirá los estados lógicos recogidos por este mismo interface.

5 El circuito de control 2 contiene un contador binario de cuatro bits 18 que está incrementado por la señal de reloj $\overline{T0}$. Las salidas están conectadas a las entradas de un decodificador 19 que tiene diez y seis salidas. Las diez y seis salidas controlan respectivamente diez y seis registros 10 RG(0) a RG(15) que tiene cada uno ocho entradas conectadas todas a las ocho salidas del registro 13. De esta manera, los estados lógicos de los diez y seis grupos G(0) a G(15) de entradas del interface de acceso seleccionado se almacenan respectivamente en los diez y seis registros RG(0) a RG 15 (15). La selección de una de las salidas del decodificador 19 se obtiene solamente cuando una señal de autorización AUT recibida en una entrada F, está en el nivel lógico 1. La señal de autorización AUT se produce mediante una puerta AND 20 una de cuyas entradas recibe la señal de reloj B2 20 y cuya otra entrada está conectada a la salida de un comparador lógico 21. Este comparador recibe en ocho entradas las señales de reloj T0 a T7, y en otras ocho entradas el código de una fila elegida de entre doscientas cincuenta y seis filas existentes. Este código se suministra por un selector de fila 22 situado en la pantalla y panel de selección 25 3. El comparador 21 envía una señal lógica de nivel 1 ST cuando los códigos son iguales. Así, el estado lógico de los p=128 puntos lógicos asociados con la fila seleccionada en la unidad seleccionada se almacenarán en los registros RG(0) 30 a RG(15). Estos estados serán representados en el panel 3

por medio de $p=128$ lámparas $L(0)$ a $L(127)$. Los datos de salida de cada registro $RG(0)$ a $RG(15)$ se modificarán cada $q=16$ cuadros $T=125 \mu s$, esto es, cada 2 ms.

5 Considerando los cambios de tiempo del orden de dos períodos t introducidos entre la escritura de los datos en el registro 7 de los interfaces de acceso $I(0)$ a $I(7)$ y la escritura de estos datos en uno de los registros $RG(0)$ a $RG(15)$ del circuito de control 2 de la sección centralizada A, las señales enviadas por el reloj local H se retrasarán en dos períodos t respecto a las señales enviadas por 10 el reloj local de las unidades a ser probadas. Así, quedarán representados en el panel 3 los estados lógicos asociados con la fila seleccionada por el operador.

A fin de sincronizar el contador 5 del inter-
15 face de acceso seleccionado y el contador 18 de la sección centralizada, una señal RAZ repone el contador 18 a cero cada 2 ms. Esta señal se suministra por una puerta AND 23 una de cuyas entradas recibe la señal de sincronización SYN y la otra está conectada a la salida de una puerta AND 24
20 que recibe las señales de reloj $\overline{T0}$ y $T1$.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance. Concretamente, en lugar de enviar a la sección centralizada del dispositivo los estados lógicos asociados con todas las filas, y seleccionar una fila en el nivel de la sección
25 centralizada, esta selección podría también realizarse justo a nivel de los interfaces de acceso, y se podría transmitir entonces a la sección centralizada solamente los estados lógicos asociados con la fila seleccionada.
30

El presente invento corresponde a una solicitud de patente formulada en Francia el día 11 de Junio de 1976, señalada con el Nº 76 17745 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

5

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un dispositivo de presentación para probar las unidades de una central MIC (modulación por impulsos codificados), funcionando dichas unidades sobre una base de tiempo compartido con un período de repetición T dividido en n aberturas de tiempo t , cada una de las cuales co-
10 rresponde al proceso de una fila de la memoria, caracterizado porque contiene una sección centralizada conectada, a través de N cables, a N interfaces de acceso localizados en las N unidades a ser probadas, permitiendo cada uno de los N interfaces la recogida de los estados lógicos de
15 p puntos de la unidad asociada.

 2.- Un dispositivo, según el punto 1, caracterizado porque los N interfaces de acceso son idénticos e incluyen primeros elementos para reunir los estados lógicos de p puntos por grupos de r puntos, reuniéndose los
20 estados lógicos de cada grupo n veces en sucesión, a fin de obtener los estados lógicos asociados con cada una de las n filas.

 3.- Un dispositivo, según el punto 2, caracterizado porque los primeros elementos para reunir los
25 estados lógicos de p puntos incluyen:

- un multiplexor con r salidas y p entradas divididas en q grupos de r entradas ($p=q.r$), siendo direccionado dicho multiplexor por un primer contador con q posiciones, incrementado por las señales de reloj de período T ;
- 30 - un registro de r bits que almacena, bajo el control de las

mCe

señales de reloj de período t , los estados lógicos de las r salidas de dicho multiplexor.

4.- Un dispositivo, según cualquiera de las reivindicaciones anteriores, caracterizado porque la sección centralizada incluye segundos elementos para almacenar los estados lógicos de p puntos asociados con una fila dada de una unidad dada, y terceros elementos para representar estos estados lógicos.

5.- Un dispositivo, según el punto 4, caracterizado porque los mencionados segundos elementos incluyen:

- q registros de r -bits controlados respectivamente por las q salidas de un primer decodificador direccionado por un segundo contador con q posiciones incrementado bajo el control de las señales de reloj de período T ;
- un comparador que recibe, por una parte, las direcciones de las n filas de la memoria y, por otra parte, la dirección de la fila a ser seleccionada, y envía una señal de nivel 1 ST cuando las dos direcciones son iguales, lo que tiene el efecto de autorizar la operación del mencionado primer decodificador;
- un segundo decodificador que recibe la dirección decodificada de la unidad seleccionada y envía al interface de acceso correspondiente una señal de selección de nivel 1, SEL.

6.- Un dispositivo, según el punto 5, caracterizado porque el segundo contador con q posiciones se repone a cero por medio de una señal de sincronización SYN de período $q.T$ recibida desde el interface de acceso seleccionado.

7.- Un dispositivo, según el punto 6, caracterizado porque la mencionada señal de sincronismo SYN se genera a partir del estado lógico de las salidas del primer

m/e

contador de los interfaces de acceso.

8.- Un dispositivo de presentación para probar las unidades de una central MIC (modulación por impulsos codificados).

5

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

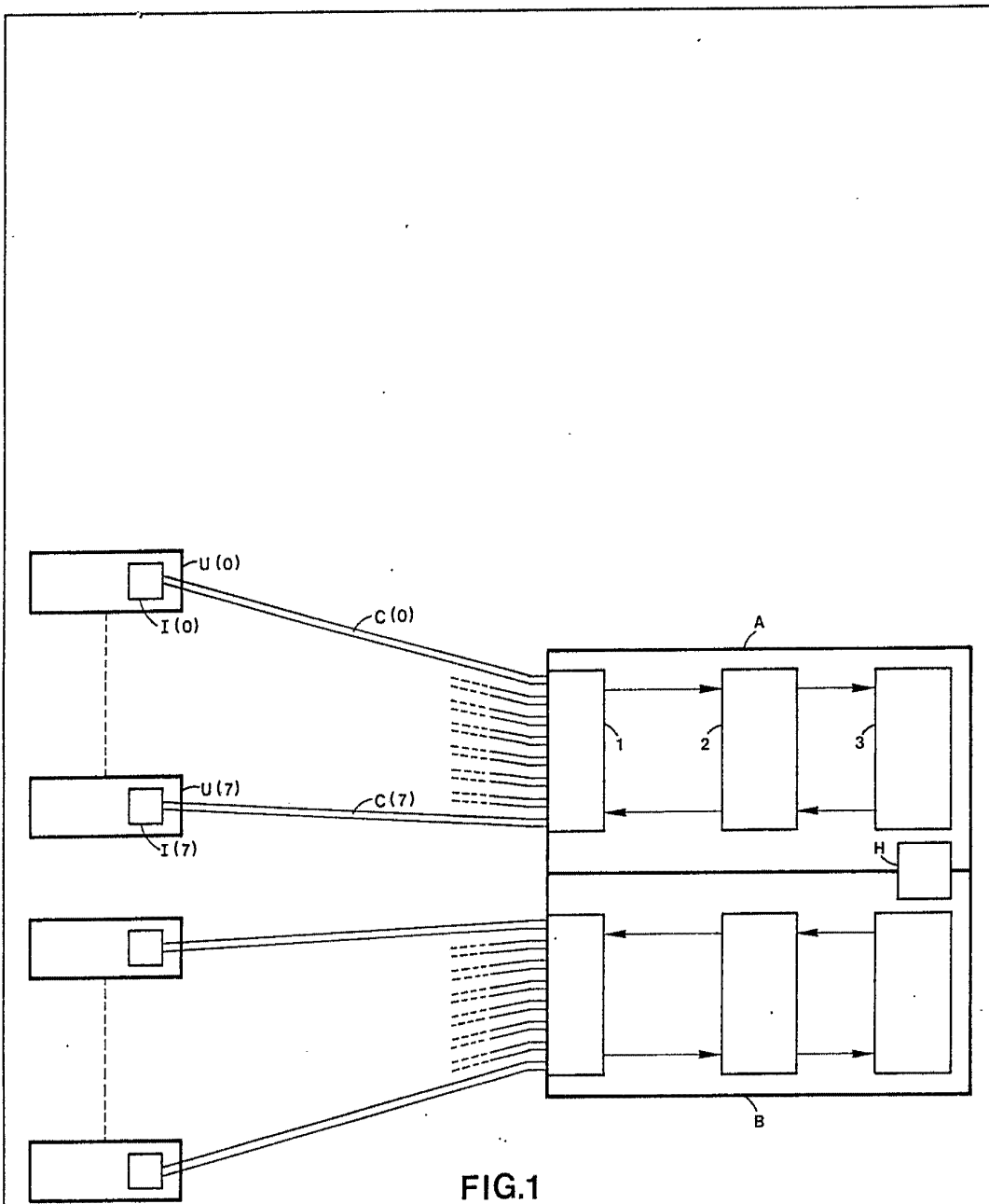
Esta memoria consta de once hojas escritas por una sola cara.

Madrid, 8 JUN. 1976



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

MGE



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

4/2

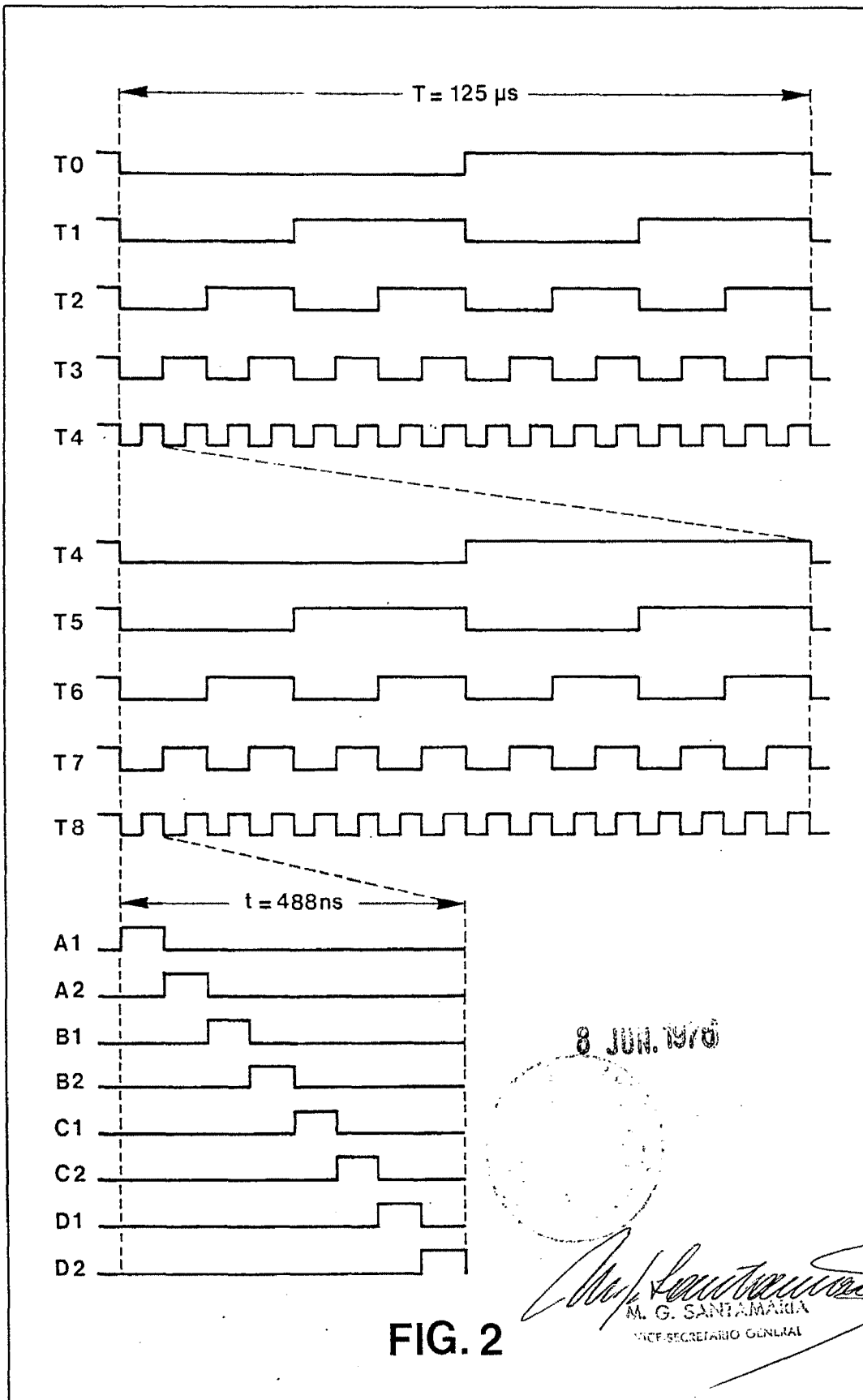


FIG. 2

8 JUN. 1978

M. G. Santamaría
M. G. SANTAMARÍA
VICE SECRETARIO GENERAL

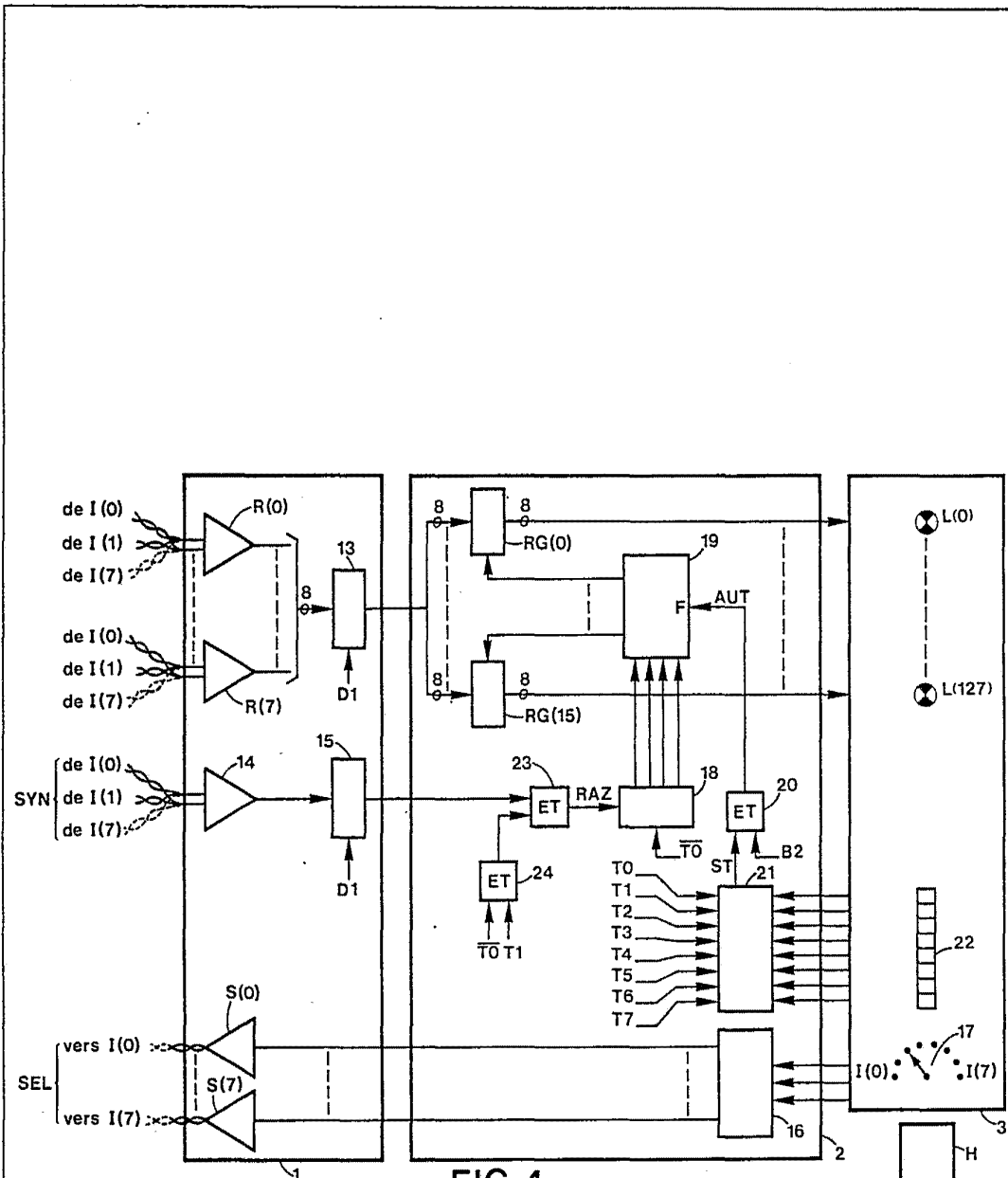


FIG. 4

8 1000



[Handwritten signature]