

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

- 6 FEB. 1978

CONCEDIDA

(11) ES	(12) NUMERO	(13) A1
(21)	459378	
(22)	FECHA DE PRESENTACION	

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO	(32) FECHA	(33) PAIS
22849/76	2. Junio. 76	Gran Bretaña

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04B	

(64) TITULO DE LA INVENCION
"UN DISPOSITIVO DE DETECCION DE ERROR PARA SISTEMAS DE TRANSMISION DIGITAL".

(71) SOLICITANTE (S)
STANDARD ELECTRICA, S.A.

DOMICILIO DEL SOLICITANTE
Madrid, calle de Ramirez de Prado, nº 5.

(72) INVENTOR (ES)
Anthony Jessop

(73) TITULAR (ES)

(74) REPRESENTANTE
D. Eugenio Barroso Espinosa de los Monteros.

El presente invento se refiere a un dispositivo de detección de error para sistemas de transmisión digital, particularmente aplicable a sistemas en los que las señales de línea están ya dispuestas en o pueden transformarse en un formato resultante en el que pueden determinarse las
5 señales de disparidad acumulada constante.

El término "disparidad acumulada constante" se utiliza para significar que, durante un período de tiempo dado (de duración suficiente) la relación de dígitos de valores diferentes es tal que las señales tienen un contenido
10 d.c. sustancialmente constante, que puede ser cero en algunos casos. Una manera de conseguir que las señales de disparidad acumulada sean cero es contar con señales MIC (modulación por impulsos codificados) codificadas en binario y mezcladas
15 aleatoriamente en un transmisor y recuperadas en el receptor. Las señales verdaderamente aleatorias no tienen contenido d.c. Las señales pseudoaleatorias puede hacerse que tengan, para fines prácticos, un contenido d.c. despreciable. Lo mismo ocurre con las señales codificadas en binario mezcladas
20 que se trasladan subsecuentemente a señales codificadas en ternario.

El presente invento se refiere a un dispositivo de detección de error para un sistema de transmisión por línea digital por el que se transmiten señales de disparidad acumulada constante, que incluye un transmisor para
25 modificar las señales de línea a intervalos a fin de introducir en las señales de línea señales de control cuyos valores digitales reflejen la paridad de sucesos de la señal digital predeterminados en los intervalos que preceden inmediatamente, teniendo las señales de control mismas valores
30

que mantengan la disparidad acumulada constante total de las señales transmitidas, elementos en un punto posterior del sistema para contar los sucesos de señal digital predeterminados en las señales transmitidas y elementos para determinar un cambio en el contenido d.c. de la salida de los elementos contadores.

En una configuración del invento el elemento de modificación comprende otro elemento para insertar dígitos adicionales de comprobación de paridad en las señales de línea.

En otra configuración del invento, en dónde las señales de línea están en la forma de grupos de dígitos en código, el elemento de modificación comprende otro elemento para modificar o sustituir grupos en código seleccionados y proporcionar grupos en código diferentes, para indicar condiciones de paridad predeterminadas.

Las distintas configuraciones del invento aparecerán con más detalle en la descripción que sigue, junto con los dibujos que se acompañan en dónde:

La fig. 1 ilustra en forma de diagrama bloque un elemento para modificar las señales digitales codificadas en binario, según el presente invento, y

La fig. 2 ilustra un elemento para contar los sucesos de señales digitales predeterminados y determinar un cambio en el contenido d.c. de las señales contadas.

En el dispositivo de la fig. 1 las señales de datos codificadas en binario se aplican a un circuito mezclador 1 que está controlado por un reloj de entrada que tiene una frecuencia f . La salida del circuito mezclador es una señal binario pseudo-aleatoria que tiene, en la práctica, una

disparidad acumulada cero. -Esto es, el contenido d.c. de las
 señales binarias es prácticamente nulo, aunque para cualquier
 período de tiempo dado puede existir un exceso de MARCAS (O
 ESPACIOS), pero en un período subsecuente este exceso será
 5 direccionado por un exceso en el contador-equilibrador de
 ESPACIOS (O MARCAS). El reloj de entrada se aplica también
 a un circuito contador divisor 3, donde la frecuencia f se
 divide por m , que por ejemplo tiene el valor 4. La salida
 del contador 3 determina el reloj de "escritura" y se uti-
 10 liza para escribir las señales binarias mezcladas en un al-
 macenaje de m (esto es 4) bits 2. Un oscilador controlado a
 tensión está previsto para oscilar a una frecuencia de
 ($f \frac{n+1}{n}$), en donde n es el número de dígitos que aparecen en
 15 cada dígito de orden 101 en las señales de línea transmiti-
 das será un dígito de paridad. Nótese que el valor más ele-
 vado de n corresponde al más bajo de la cadencia de error
 detectable. La salida del VCO se aplica a través de la puer-
 ta NAND 8 a un contador de reloj de "lectura" 4 que también
 20 divide su entrada por m . El reloj de lectura se utiliza para
 leer el contenido del almacenaje 2, que se realiza a una
 cadencia ligeramente superior que las operaciones de escri-
 tura. La salida del VCO se aplica también a un circuito di-
 vide-por- $(n+1)$ 7, cuya salida se utiliza para inhibir la en-
 25 trada del VCO al contador 4 a través de la puerta 8. Así la
 frecuencia de entrada principal al contador 4 es f . Ambas
 salidas de los contadores 3 y 4 se aplican también a un com-
 parador de fase 5 cuya salida se utiliza como una señal de
 control para el VCO 6.

30

Como consecuencia de la ligera diferencia en-

tre las cadencias de los relojes de escritura y lectura, la salida del almacenaje 2 es 100 dígitos en, aproximadamente 99 aberturas de tiempo de dígito, con respecto a los datos de entrada mezclados. En la abertura de tiempo de orden 101 no se lee nada, porque se inhibe el impulso del reloj de lectura de orden 101 por la salida del circuito 7. Durante la lectura normal del almacenaje 2, los dígitos leídos se pasan a través de la puerta 9 a la etapa de salida del transmisor 14 y a la derivación 13 a través de la puerta 12. La puerta 12 recibe también la salida del VCO y así 13 actúa como un contador de paridad de etapa única para dígitos binarios de un valor determinado. Después de haberse leído 100 dígitos del almacenaje 2, la puerta 9 se desactiva por la salida del circuito 7 y se activa la puerta 11, pasando la salida del circuito 7 a través del inversor 10 para este fin. La condición del conjunto 13 durante la abertura de tiempo de orden 101 pasa a través de la puerta 11 al circuito de salida 14 y forma el bit de comprobación de paridad.

En un punto subsecuente del sistema, por ejemplo en un repetidor, las señales de línea recibidas se aplican a un conjunto 21 (figura 2) a través de 22, que recibe también un reloj a la cadencia del dígito de línea recibido. La salida del conjunto 21 se aplica, a través de un filtro 23, a un detector de nivel 24. En su forma más sencilla, el filtro 23 es un filtro paso bajo y el detector 24 es un comparador de tensión con un nivel de referencia a mitad de camino entre los niveles lógicos UNO (o ALTO) y CERO (o BAJO). Sin embargo, este método implica problemas de desviación de d.c. y un método alternativo es hacer del filtro 23 un fil-

tro paso-banda con una característica tal que los cambios en el nivel d.c. producen impulsos alternativos positivos y negativos respecto a un nivel de tensión medio acoplado a.c. Suponiendo que no existan errores en las señales de línea recibidas, la salida del conjunto 21 será una señal d.c. de estado de régimen después de la recepción de cada dígito de paridad. Sin embargo, si tiene lugar un error único o un número impar de errores en los dígitos de línea recibidos, la salida del conjunto cambiará después de que se reciba el siguiente dígito de comprobación de paridad. De la misma manera, si los dígitos de datos son correctos pero el dígito de comprobación de paridad es erróneo, cambiará la salida del conjunto. De este modo, cada error único ó número impar de errores provoca un cambio en el nivel d.c. en la salida del conjunto.

Siempre que los datos de entrada sean apropiadamente pseudo-aleatorios, este cambio en el nivel d.c. causado por los errores será distinguible a la salida del filtro 23. Una vez que ha tenido lugar un error y el conjunto ha invertido su estado cuando se ha recibido el dígito de comprobación de paridad, el conjunto continuará listo para responder, pero de un modo inverso, para todos los dígitos correctos recibidos subsecuentemente. De esta manera, el nivel d.c. cambiado después de un error se convertirá ahora en la nueva señal d.c. de estado de régimen. Si tiene lugar un error subsecuente tendrá lugar otro cambio en el nivel d.c. en dirección opuesta. La ventaja de esto está en que no se requiere información de cuadro, no se requiere codificación de línea específica y se mantiene en un mínimo la cantidad de circuitería requerida en un repetidor. En el extremo re-

ceptor del sistema puede extraerse el bit de paridad sumado por un proceso que es el inverso del utilizado para introducirlo en el transmisor, esto es, utilizando un almacenaje elástico con relojes de escritura y lectura independientes.

5 Lo anterior supone que los dígitos de paridad sucesivos tienen el mismo valor en tanto no aparezca ningún error. Si, por ejemplo, el valor del dígito de comprobación de paridad está preparado para cambiar cada 100 dígitos, entonces en lugar de buscar un cambio en el contenido d.c. de
10 la salida del conjunto, se indica un error por una inversión de fase en la salida alterna del conjunto.

Nos hemos referido al caso en el que las señales codificadas en binario se mezclan y se trasladan a grupos codificados en ternario. El objeto de esto es que
15 ciertos grupos binarios de dígitos pueden trasladarse a dos grupos de código alternativo de disparidad opuesta, estando determinada la elección por la disparidad acumulada de las señales precedentes. Tal sistema ya ha sido descrito en la Patente española nº 361.709. Aplicando el presente
20 invento a un tal sistema, no es siempre necesario introducir un dígito o grupo de dígitos extra de comprobación de paridad. Por ejemplo, si pueden trasladarse un grupo determinado de cuatro dígitos binarios a grupos ternarios de bien +00 ó -00, existe la posibilidad de realizar una tercera
25 elección de translación de 000. Entonces los grupos ternarios pueden utilizarse como un grupo de comprobación de paridad como sigue:

	+00	Paridad par (o impar)
	-00	
30	000	Paridad impar (o par)

Tales translaciones se obtienen fácilmente si la translación de binario a ternario se consigue utilizando una ROM (memoria de lectura solamente), ya que todo lo que se necesita es una ligera modificación en el programa ROM.

5 En el repetidor se requiere un contador para contar los sucesos de señal, esto es, contar MARCAS positivas o negativas opuestas a los ESPACIOS de polaridad cero.

Sin embargo, los ESPACIOS podrían contarse como opuestos a las marcas. En el receptor se realiza la retrans-
10 lación de una manera normal, trasladándose los tres grupos ternarios alternativos en el mismo grupo binario.

En la práctica puede ser aconsejable utilizar un código de línea de transmisión en donde los grupos de seis dígitos binarios se han trasladado a grupos de cuatro
15 dígitos ternarios. El invento es aún aplicable a tales códigos de línea.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su al-
20 cance.


El presente invento corresponde a una solicitud de patente formulada en Gran Bretaña el día 2 de Junio de 1976, señalada con el nº 22849/76 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.
25

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un dispositivo de detección de error para sistemas de transmisión digital por los que se transmiten señales de disparidad acumulada constante, que incluye un transmisor para modificar las señales de línea a intervalos, para introducir en las señales de línea otras señales de con
10 trol cuyos valores digitales reflejan la paridad de sucesos de señal digital predeterminados en los intervalos inmediatamente anteriores, teniendo las señales de control mismas, valores que mantienen la disparidad acumulada constante total de las señales transmitidas, elementos en un punto pos-
15 terior del sistema para contar los sucesos de señal digital predeterminados en las señales transmitidas y elementos para determinar un cambio en el contenido d.c. de la salida de los elementos contadores.


 ; 2.- Un dispositivo, según el punto 1, en donde
20 las señales de disparidad acumulada constante son señales de datos codificados en binario que han sido mezcladas para formar una señal binaria pseudo-aleatoria de frecuencia f que tiene una disparidad acumulada prácticamente cero, los elementos de modificación en el transmisor incluyen elementos
25 para entrar las señales binarias mezcladas en un almacenaje de N bits, elementos para extraer las señales acumuladas a una frecuencia $f \left(\frac{n+1}{n} \right)$ donde n es el número de dígitos que tienen lugar entre comprobaciones de paridad, elementos para insertar en cada $(n+1)$ posición de dígito en las señales
30 extraídas, un dígito de comprobación de paridad.



3.- Un dispositivo, según el punto 2, en donde los elementos para contar los sucesos de señales digitales en un punto posterior del sistema comprenden un dispositivo biestable temporizado al que se aplican las señales, estando
5 el reloj a la frecuencia de la señal aplicada, comprendiendo los elementos para determinar un cambio en el contenido d.c. de la salida de los elementos contadores un filtro paso bajo cuya salida se aplica a un circuito detector.

4.- Un dispositivo, según el punto 2, en el
10 que los elementos para contar los sucesos de las señales digitales en el punto posterior del sistema comprenden un dispositivo biestable temporizable al que se aplican las señales, estando el reloj a la frecuencia de la señal aplicada, comprendiendo los elementos para determinar un cambio en el
15 contenido d.c. de la salida de los elementos contadores un filtro paso-banda con una característica tal que los cambios en el nivel d.c. de la entrada del filtro producen impulsos alternativos positivos y negativos con respecto a un nivel de tensión medio a.c.

20 5.- Un dispositivo, según el punto 1, en donde las señales de disparidad acumulada constante son grupos de señales binarias trasladadas a grupos codificados en ternario, algunos de los cuales pueden ser de dos grupos en código alternativos de disparidad opuesta, estando determinada
25 la elección por la disparidad acumulada de las señales ternarias precedentes, incluyendo los elementos para modificar en el transmisor otros elementos para trasladar algunos de los grupos seleccionados en grupos ternarios de todos los ESPACIOS de polaridad cero para indicar una paridad de un
30 significado determinado.



6.- Un dispositivo, según el punto 5, en donde los elementos contadores de los sucesos de la señal digital en el punto posterior del sistema comprenden elementos para contar todas las MARCAS ternarias que tengan polaridad bien
5 positiva o negativa, o alternativamente, elementos para contar todos los ESPACIOS ternarios que tengan polaridad cero.

7.- Un dispositivo, según el punto 6, en donde de la salida de los elementos contadores se aplica a un filtro paso-bajo cuya salida se aplica a un circuito detector.

10 8.- Un dispositivo, según el punto 6, en donde la salida de los elementos contadores se aplica a un filtro paso-banda con una característica tal que los cambios en el nivel d.c. de la entrada del filtro producen impulsos alternativamente positivos y negativos con respecto a un
15 nivel de tensión medio acoplado a.c.

9.- Un dispositivo de detección de error para sistemas de transmisión digital.



Handwritten signature or initials.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de once hojas escritas
5 por una sola cara.

Madrid, L_1 JUN. 1976



Eugenio Barroso
EUGENIO BARROSO
Secretario General

APG

Hoja número

STANDARD ELECTRONICA, S. A.

