



19 ES	11	NUMERO	10 A1
	21		
	22	FECHA DE PRESENTACION	
			24-5-77

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
Ser. 689.510	24 de Mayo de 1976	Norteamerica.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04L; H04R	

54 TITULO DE LA INVENCION
Perfeccionamientos en redes de conmutación.

71 SOLICITANTE (ES)
WESTERN ELECTRIC COMPANY, INCORPORATED, entidad norteamericana.

DOMICILIO DEL SOLICITANTE
residente en 195 Broadway, New York, New York 10007, EE.UU. de A.

72 INVENTOR (ES)
Carl Christensen, Arthur Dickson Hause, Henry Stanton McDonald

73 TITULAR (ES)

74 REPRESENTANTE
D. Jose Miguel Gomez-Acebo y Pombo.

Este invento se refiere a una red de conmutación para establecer de una forma selectiva interconexiones entre unidades de línea en el margen de la red; la red comprende una pluralidad de etapas; una de las etapas se conecta como una etapa intermedia (primera etapa) entre por lo menos otras dos de las etapas en las interconexiones de los trayectos de llamadas de la red entre pares de las unidades de línea y se dividen en una pluralidad de bloques, de conmutación de los trayectos de señales.

5.

10.

Las redes de conmutación de comunicaciones tienen normalmente un solo dispositivo procesador de llamada para controlar toda la red. Dicho dispositivo puede comprender procesadores de funcionamiento y espera y puede comprender también procesadores múltiples que cooperan para efectuar diferentes partes o fases de una función de proceso de llamada. El fallo de un procesador puede producir una gran perturbación de llamadas en la red en el tiempo corto pero definido necesario para detectar el fallo y para trasladarlo a una máquina de espera o reserva.

15.

20.

Cuanto mayor sea la red, tanto mayor será el tiempo de recuperación y tanto más extensa será la perturbación de las llamadas. Además, los diseñadores de sistemas de conmutación tratan normalmente de predecir el alcance de desarrollo del sistema de instalación y proporcionar, para una central dada, el tipo de procesador que cabe anticipar como necesario cuando la central

25.

alcance su máximo tamaño. Dicha práctica de diseño incurre necesariamente en un elevado costo inicial para una pequeña central con un potencial de desarrollo importante. Los problemas se resuelven en una red de conmutación de acuerdo con el invento cuya red comprende además una pluralidad de procesadores de señal

30.

en número igual al número de bloques de la etapa intermedia; una

- circuiteria para acoplar cada uno de los procesadores a un bloque correspondiente diferente de la etapa intermedia, para controlar a través de la circuiteria el trayecto de llamadas que se acopla a través de dicho bloque, y a través de una parte predeterminada
5. de cada una de las otras etapas de la red acopladas entre dicho bloque y el margen de la red. El presente invento divide la red de conmutación en divisiones plurales de margen con margen, controladas cada una por un procesador separado acoplado a un bloque separado de una etapa de la red. Los procesadores se comunican
10. entre sí a través de la red para controlar las llamadas entre divisiones.
- En una modalidad, la etapa acoplada al procesador es una etapa intermedia de una pluralidad de etapas de conmutación de trayectos de señales.
15. Una característica del invento es que por lo menos un bloque de división adicional y su procesador correspondiente se ponen a parte como equipo de espera por lo que, en caso de averia, v.g., en un procesador de división en activo, se pueda instruir rápidamente al equipo de repuesto para que reemplace al
20. equipo averiado con respecto a por lo menos los accesos del margen de la red de la división servida por el procesador defectuoso.
- Otra característica del invento es que en una modalidad las funciones de traslación, exploración y servicio, que pueden
25. realizarse convenientemente por separado se separan del procesador de división y se realizan por procesadores separados que se comunican a través de la red de conmutación de llamadas con los procesadores de división y con circuitos acoplados a los accesos de los márgenes de la red.
30. El invento se comprenderá de una forma más completa

y se podrán obtener sus diversas características, objetos y ventajas, considerando la descripción detallada, que sigue conjuntamente con las reivindicaciones adjuntas y el dibujo adjunto, en el que:

5. La figura 1 es un diagrama de conjuntos y líneas simplificado de un sistema de conmutación local multiplex de división de tiempo según el presente invento.

10. La figura 2, es un diagrama de conjuntos y líneas más detallado de una modalidad de la red de conmutación para el sistema de la figura 1.

La figura 3, es un diagrama de una etapa de conmutación de división de espacio que es útil en la red de las figuras 1 y 2.

15. La figura 4, es un diagrama de una etapa de conmutación de intercambio de segmentos de tiempo útil en la red de las figuras 1 y 2.

La figura 5, es un diagrama de conjuntos simplificados de un procesador útil en la red de la figura 2.

20. Las figuras 6 y 8, son diagramas de base de fases de tiempo que ilustran el funcionamiento de la red de las figuras 1 y 2; y

La figura 7, es un diagrama simplificado que ilustra un aspecto de la readaptación de un trayecto de red desde una división a otra.

25. En la figura 1, los aparatos distantes de abonados se conectan a unidades de interfase de líneas (LIU) en una central. En el dibujo solamente se ilustran dos de dichos aparatos de abonados 10 y 11. Las unidades de interfase se agrupan en bloques de unidades de interfase respectivas (IUB),
30. cada una de las cuales funciona por un control de conjuntos

- de unidades de interfase (IUBC) representado esquemáticamente como un rectángulo en el extremo de la derecha de cada IUB. Por conveniencia de ilustración, solamente se ilustran dos conjuntos de unidades de interfase 12 y 13 en la figura 1. Una forma de unidad de interfase de línea con agrupamiento correspondiente en conjuntos, cada uno controlado por un IUBC, los LIU y su uso en un sistema de conmutación de división de tiempo se ha publicado en un artículo de H.S. McDonald en la publicación de Proceedings of the International Switching Symposium de 1.974, titulado " An Experimental Digital Local System", páginas 212/1 -212/5.
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- En resumen, con respecto al IUB, cada LIU coopera convenientemente con un aparato de abonado analógico, y un circuito cerrado que conecta dicho aparato con el LIU en la central. Cada LIU comprende un códec analógico/digital, así como puertas que funcionan por el IUBC para multiplexar las salidas de los diversos LIU en el IUB en una pista multiplex de división de tiempo, como las pistas 16 y 17 de la figura 1. La salida de cada LIU, multiplexada, comprende en instantes diferentes representaciones digitales de señales de voz y señales de supervisión de baja frecuencia, así como información digital relativa a los estados de la línea telefónica y otros puntos del circuito en el LIU. De un modo similar, las señales de control se reciben en el LIU para controlar puntos diferentes del circuito en el LIU. Cada IUBC recibe también de las fuentes de alimentación de la central, energía de servicio y señales de cronometración; una fuente de alimentación de señal de llamada proporciona una señal de llamada a las unidades de interfase de líneas respectivas. Las fuentes de alimentación se describen después. El IUBC funciona como una memoria

- de control para sus LIU con el fin de acoplarlos a la pista de división de tiempo en los segmentos de tiempo correctos para comunicaciones de voz y control y mantiene señales de control correspondientes para dichos fines. El término "memoria de control" se emplea en la presente memoria en sí y los circuitos lógicos que cooperan con la memoria para efectuar el control en secuencia. Con éste fin, el IUBC recibe la información de control necesaria por medio de un canal de señales de control, que se describirá más adelante con relación a la figura 6. De este modo, el IUBC hace funcionar a sus LIU en parte como multiplexador/desmultiplexador (muxdem) para asignación de segmentos de tiempo. Funcionan también en parte como una etapa de concentración/expansión porque normalmente hay disponibles menos segmentos de tiempo en la pista de división de tiempo que LIU en el IUB.

- Una red de conmutación plegada 23 se ilustra como un conjunto que tiene parcialmente una configuración rectangular y parcialmente una configuración de sección decreciente en el extremo de la izquierda de la representación esquemática. Esta representación simboliza una etapa de red intermedia o central y por lo menos una etapa adicional que realiza convenientemente funciones adicionales de concentración y expansión. Aunque se ilustra por separado en la figura 1, los IUB con sus codex y funciones muxdem de conmutación de tiempo comprenden también otra etapa, o margen de la red, con un LIU en cada acceso duplex del margen de la red. Esta disposición general es la llamada red plegada con todas las conexiones del margen de la red a lo largo del lado de la izquierda en los LIU según se ilustra en la figura 1. Un trayecto desde el margen hasta el centro queda automáticamente equipado por un trayecto de retorno desde

- el centro hasta el margen. Este efecto de duplicación se incorpora en el diseño de conmutación en el sentido de que una sola memoria controla los trayectos a través de un conmutador de llegada y su contrapartida de salida. Un trayecto entre dos accesos de margen de la red, v.g., dos LIU, conocido también como puntos de interfase, comienza en un acceso, pasa a través de la red hasta un conmutador de etapa central, y pasa a través de la red de nuevo al otro acceso. De éste modo, la representación de red duplicada en la figura 1, hasta el punto descrito, corresponde a una red sin duplicar de cinco etapas. Dichas cinco etapas comprenden una etapa de margen de la izquierda, una etapa de concentración adicional de la izquierda, la etapa intermedia, una etapa de expansión de la derecha, y una etapa de margen de la derecha. El nombre, etapa "intermedia" se emplea en la presente memoria aunque en el formato duplicado de la figura 1 dicha etapa se encuentra en el lado de la derecha de la red duplicada según se ilustra. La red se ha limitado a las etapas indicadas para los fines de descripción del presente invento. No obstante, se comprenderá que se pueden proporcionar etapas adicionales para aumentar el número de líneas a las que puede dar servicio el sistema de conmutación descrito de acuerdo con técnicas de diseño de redes conocidas.

- Aunque los IUB 12 y 13 se ilustran acoplados al resto de la red de conmutación ilustrada por medio de pistas multiplex de división de tiempo bidireccionales simples 16 y 17, respectivamente, existen convenientemente dos de dichas pistas disponibles en los LIU, según indican esquemáticamente las líneas diagonales cortas 26 y 27, respectivamente. Las dos pistas para cada IUB se llaman a veces pistas A y B. Estas pistas de división de tiempo adicionales quedan disponibles a los LIU respectivos

en la modalidad variante, según especifica un procesador de control común, que se describirá, cuando proporciona la información necesaria para una conexión de un LIU a la red. Las pistas alternas permiten dirigir el tráfico de cada LIU a una u otra de dos redes de conmutación plegadas duplicadas, llamadas a veces redes A y B. La red A 23 es la única ilustrada de un modo específico en la figura 1. La etapa intermedia mencionada de la red 23 se sitúa convenientemente en el "doblez" en la red plegada y proporciona una avenida de acceso para una unidad de proceso de llamada 28. Dicha unidad funciona a través de la red para controlar el funcionamiento de la red. Las conexiones múltiples de circuito 29 entre la red 23 y la unidad de proceso de llamadas 28 representan esquemáticamente vías individuales de una pluralidad de procesadores de la unidad 28 que se extienden hasta los bloques respectivos de la etapa intermedia de la red 23, según se describirá e ilustrará de un modo adicional con respecto a la figura 2. Las fuentes de alimentación de la central comprenden una fuente de alimentación 19, una fuente de cronometración 20, y una fuente de señales de llamada 21. Las salidas de la fuente de alimentación 19 y la fuente de cronometración 20 se proporcionan por circuitos de distribución separados, representados esquemáticamente por el circuito simple 18, a los diversos IUBC la red de conmutación plegada 23, y las diversas partes de la unidad de procesos de llamadas 28. El reloj 20 proporciona varias señales periódicas a cadencias diferentes y para utilizarse en parte diferentes del sistema, muchas de cuyas señales se mencionarán más adelante. Las técnicas para desarrollar y distribuir cada una de las señales de cronometración son conocidas por los expertos en la materia y no se describen en

la presente memoria con detalle. De un modo similar, la salida de la fuente de señal de llamada 21 se extiende por un circuito de distribución 22 a unidades de interfase de líneas individuales a través de las cuales la alimentación de la señal de llamada a líneas individuales de abonados se controla en cada uno de los LIU por señales iniciadas desde la unidad de proceso de proceso de llamada 28 y acopladas a través de la red de acuerdo con un plan de control que se expondrá más adelante. Se utilizan fuentes de alimentación de la central duplicadas, no ilustradas, para la red de conmutación duplicada, o red B, que tampoco se ilustra. La fuente de cronometración duplicada se sincroniza con la fuente ilustrada 20, y la fuente de alimentación duplicada funciona convenientemente en base de reserva con respecto a la unidad de proceso de llamada 28. En la figura 2, la red de conmutación y la unidad de proceso de llamada se ilustran con algun mayor detalle, En particular, la etapa de margen de la red 30, la etapa adicional 31, y la etapa intermedia 32 de la red de conmutación de división de tiempo plegada general se indican de un modo específico. Los conjuntos de la unidad de interfase con sus IUBC respectivos comprenden la etapa marginal de la red 30. Dichos IUB se agrupan entre si y cada grupo tiene sus accesos digitales conectados por pistas de división de tiempo o enlaces, a accesos laterales de margenes de la red de un conjunto diferente o la etapa adicional 31 de la red general. La capacidad plena de lado marginal de la red de un conjunto de etapa adicional no es necesaria por parte de los IUB y se puede emplear para unidades de interfase de línea auxiliar, no ilustradas, para la central, o para otras funciones de conmutación de comunicaciones según se describirá más adelante.

La etapa adicional 31 es convenientemente un conmutador multiplexado por tiempo y comprende una pluralidad de conjuntos de conmutación de trayectos de llamada. Tres de dichos conjuntos 33, 34 y 37, se indican específicamente en la figura

5. 2. Cada uno de dichos conjuntos comprenden una pluralidad de conmutadores para interconectar cualquier acceso de lado marginal de la red duplex a cualquiera de los accesos de lado marginal intermedio los cuales, a su vez se enlazan a la etapa intermedia. 32. Cada uno de dichos conmutadores en un conjunto de
10. la etapa adicional 31 comprende un multiplexador, un desmultiplexador y una memoria de control para controlar ambos elementos, todo ello según se ilustra con más detalle en la figura 3.

15. Refiriéndonos a la figura 3, dos de los conmutadores mencionados de un conjunto de etapa adicional, v.g., 33 se ilustra de un modo específico. Uno de dichos conmutadores comprende un multiplexador 38, un desmultiplexador 39 y una memoria de control 40, el otro conmutador comprende de un modo similar un multiplexador 41, un desmultiplexador 42 y una memoria de control 43. Los multiplexadores y desmultiplexadores
20. son dispositivos de conmutación selectores cíclicos de tipo conocido. Por ejemplo, el multiplexador 38 combina señales de circuitos de entrada plurales en un solo circuito de salida de dos conductores, unidireccional, representado esquemáticamente por el circuito 46, en una secuencia de tiempo determinada por la memoria de control 40. El desmultiplexador 39 realiza de un modo similar una función inversa distribuyendo señales de secuencia de tiempo desde un solo circuito de entrada de dos conductores unidireccionales 47 a circuitos respectivos de su pluralidad de circuitos de salida de dos conductores
- 25.
- 30.

- unidireccionales. Una salida de la memoria de control 40, en la misma forma de cada segmento de tiempo en un conductor de cada una de las dos vías multiconductoras 48 y 49 al multiplexador 38 y desmultiplexador 39, hace funcionar circuitos puertas correspondientes en el multiplexador y desmultiplexador de modo que se establece un trayecto de comunicaciones duplex a legible en cualquier segmento de tiempo entre el enlace de cuatro conductores representados por los circuitos 46 y 47 y cualquier acceso de lado marginal de la red de la combinación multiplexador-desmultiplexador. Se emplea vías separadas 48 y 49 puesto que en la etapa 41 las operaciones de conmutación reales en un multiplexador 38 y desmultiplexador 39 se desplaza ligeramente por circuitos de retardo, (no ilustrados) para hacer coincidir retardador de señal de segmentos de tiempo correspondientes a través de la red. Cada par correspondiente de un circuito de entrada al multiplexador 38 y un circuito de salida desde el desmultiplexador 39, comprende una pista multiplex de división de tiempo de cuatro conductores, v.g., 16, que se extiende hasta uno de los IUB en la etapa marginal de la red 30 o a otro equipo apropiado.
- Además, los circuitos correspondientes de cada pista en cada conmutador se enlazan entre si de modo que el enlace de cuatro conductores en el lado de etapa intermedia del conmutador tenga acceso a través de su conmutador a cualquier acceso de lado marginal de la red del conjunto que contienen el conmutador. Con éste fin, los enlaces de dos conductores, por ejemplo 50 y 51, se interconectan con entradas correspondientes de multiplexadores 38 y 41. De igual manera, los enlaces de dos conductores 52 y 53 interconectan salidas correspondientes de los desmultiplexadores 39 y 42.
- En cada una de las memorias de control, como son

5. las memorias 40 y 43, se proporcionan una memoria de acceso alea-
torio 56 que tiene un lugar de palabra por cada segmento de
tiempo de un encuadre de muestra. Cada uno de dichos lugares
almacena el nombre del par de puertas, una en cada multiplexa-
dor 38 y desmultiplexador 39, que en adelante se llamarán puer-
ta muxdem, que funcionan en el segmento de tiempo correspon-
diente sincronizadas por señales de cronometración de la fuente
de cronometración 20 de la figura 1. Cada memoria de control
comprende también un circuito de recepción 57 que recibe señales
10. del circuito de dos conductores 47 y comprende un circuito lógico
para reconocer el nombre, v.g., designación digital, de la memoria
de control 40 que aparece en los segmentos de tiempo de canales
de control, según se describirá más adelante. El circuito 57 con-
vierte también convenientemente las señales seriales de bitios
15. recibidos en un formador paralelo de bitios y acopla las asocia-
das con el nombre de la memoria reconocida a un controlador 58.

Dichas señales recibidas identifican el lugar de la
palabra del segmento de tiempo de la memoria 56 si comprenden
un código de operación que dirige al controlador 58 para que
20. lea o escriba dicho lugar. Además, las señales recibidas com-
prenden, en el caso de una operación de escritura o anotación
el nombre del par de fuerzas muxdem que se activan en dichos
segmentos de tiempo.

El controlador 58 coordina la escritura y lectura de
25. la memoria 56 en respuesta a la información alimentada desde
el circuito de recepción 57. Además, el controlador 58 descodi-
fica las señales de lectura de la memoria 56 para alimentar una
señal de control apropiada en el conducto correcto en cada una
de las vías 48 y 49 para hacer funcionar los circuitos muxdem.
30. Además, el controlador 58 hace que una lectura de la memoria

se envíe a una parte apropiada de la unidad de proceso de llamada 28 por medio de un circuito de transmisión 59. Dicha lectura puede ser requerida, por ejemplo de acuerdo con un procedimiento de auditoria de mantenimiento de la unidad de proceso para verificar el contenido de un lugar particular en la memoria 56.

5. El circuito de transmisión 59 ensambla la información recibida del controlador 58 para transmisión al circuito 46. Se realiza una translación de formato paralelo a serial cuando el circuito de transmisión 59 de salida a las señales de información en los segmentos de tiempo de control correctos bajo control del funcionamiento cronometrado del controlador 58.

10. Volviendo a la figura 2, la etapa intermedia 32 de la red comprende una pluralidad de conjuntos de intercambiadores de segmentos de tiempo. Los detalles de uno de dichos intercambiadores se describirán e ilustrarán con respecto a la figura 4. Cada intercambiador de segmento de tiempo (TSI) se dispone convenientemente con entradas multiplex de una pluralidad de enlaces que se extienden desde la etapa adicional 31. Uno de dichos enlaces está previsto desde un conmutador correspondiente de cada uno de los conjuntos de conmutación de la etapa 31. Solamente se ilustran en realidad algunos de dichos enlaces para evitar el complicar indebidamente el dibujo. Por ejemplo, se ilustran tres de dichos enlaces 60, 61 y 62 que se extienden desde conjuntos de conmutación 33, 34 y 37, respectivamente, a un solo intercambiador de segmentos de tiempo 63 en la etapa intermedia 32. El enlace 60 se ilustra también, mediante el empleo de dobles caracteres de referencia, correspondiendo al par de circuitos 46, 47 expuestos anteriormente con relación a un conmutador en la figura 3.

15.

20.

25.

30.

- Por conveniencia de ilustración, los tres enlaces 60,61, y 62 se ilustran en el dibujo fusionado en una vía 66. Se proporcionan representaciones de enlaces similares para un intercambiador de segmentos de tiempo adicional 67 en el mismo conjunto de la etapa 32 con el intercambiador 63 y para dos intercambiadores de segmento de tiempo 68 y 69 para otro conjunto de la etapa 32. Por lo tanto, es evidente que cada conjunto intercambiador de segmentos de tiempo comprende una pluralidad de intercambiadores de segmento de tiempo. Aquellos factores como el número de intercambiadores por conjunto de etapa 32, el número de enlaces permitidos por intercambiador, el número de conjuntos en la etapa 31, y el número de etapas en la red general, están determinados por parámetros tales como el número de líneas a las que se ha de prestar servicio, la probabilidad de bloqueo deseada, y la tecnología empleada para ejecutar los diversos circuitos. Estas consideraciones son consideraciones de redes conocidas y no son necesarias para comprender el invento. También es posible que una red bloquee la etapa 32 para incluir un conjunto de conmutadores en lugar de los TSI, o aun que dicho conjunto contenga una red de etapas múltiples de conmutadores. La elección entre TSI y conmutadores para una aplicación particular depende de factores tales como tamaño de la división, tamaño de la red, tamaño del conmutador y comportamiento de bloqueo de la red.
- Cada intercambiador de segmentos de tiempo tiene también una conexión de señal de información a través de un acceso de entrada/salida (i/o) de su procesador correspondiente. Dos de dichos procesadores 70 y 71 se ilustran específicamente en el dibujo y son dos de los procesadores que pueden componer la unidad de proceso de llamada 28 de la figura 1. Una vía 72
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

5. comprende un conjunto de circuitos que se extienden desde un acceso de i/o del procesador 70 a todos los intercambiadores de segmentos de tiempo del conjunto incluyendo los intercambiadores 63 y 67. Una línea corta 73 conectada al procesador 70 representa esquemáticamente una vía similar que se extiende desde el procesador 70 a un conjunto correspondiente de intercambiadores de segmentos de tiempo en la red duplicada B mencionada anteriormente con relación a la figura 1.

10. Cada combinación de bloque intercambiador de segmentos de tiempo en la etapa intermedia 32 y su procesador de división correspondiente se indica en la presente memoria como "sección de control de división". Así, el procesador 70 y el bloque intercambiador 63,67 comprenden la sección de control de división 76. De un modo similar, el procesador 71 y el bloque intercambiador 68,69 comprende la sección de control de división 77. El procesador de una sección de control de división controla el funcionamiento del bloque intercambiador en la misma sección, y controla también el resto de una división del resto de la red que se extiende hasta el margen de la red en una forma que se describirá más adelante.

20. Se ejerce control con respecto al bloque intercambiador por medio de conexiones directas a memorias de control de los intercambiadores respectivos, según se ilustra en la figura 4. El control se ejerce sobre los conmutadores de la etapa adicional 31 que se conectan directamente por enlaces a los intercambiadores del conjunto, v.g., 63, 67, comunicando con las memorias de control respectivas, también conectadas directamente, de aquellos conmutadores en el canal de control mencionado que comprenden dos segmentos de tiempo por cuadro de muestras. Dichos segmentos de tiempo

25.

30.

- del canal de control son alcanzados por la sección 76, por el procesador 70 a través de la vía 72 y uno de los intercambiadores 63,67 correspondiente. En dicho canal, el trayecto de control se extiende a lo largo de uno de los enlaces correspondientes por ejemplo 46,47, en una vía de enlace, por ejemplo la vía 66, a la memoria de control del conmutador controlado. Como los circuitos de la red más allá de los accesos del lado marginal, accesos exteriores, de la etapa adicional 31 pueden alcanzados desde divisiones diferentes, según resultará evidente por la descripción anterior de las figuras 2 y 3, el control de los circuitos de la red, solamente los IUBC en la modalidad ilustrativa, más allá de dichos accesos hacia el margen de la red se asignan a procesadores de división particulares. Dicha asignación se efectúa, por ejemplo, por medio de dispositivos de traslación de números de software (juego flexible) apropiado que comprenden un nombre codificado binario asociado con números de equipo de la red proporcionados a procesadores de división en el curso del proceso de la llamada y que identifica la división en la cual se sitúa el equipo numerado.
5. Cada procesador de división funciona como una unidad de proceso de llamada para su división de una manera similar a la seguida por aquellas unidades de proceso en redes de conmutación de comunicaciones conocidas. Con dicho fin, la memoria del procesador (no ilustrada por separado en la figura 2, comprende ciertas tablas de tipos conocidos que son útiles para describir el presente invento. Una de dichas tablas es una descripción de divisiones de la red que nombra a accesos de lados marginales de la red en la etapa 31, conmutadores muxdem controlados en la etapa 31, y los TSI controlados en la etapa 32. Dicha lista es útil para verificar la precisión de otras listas y ta
- 10.
- 15.
- 20.
- 25.
- 30.

blas en la memoria del procesador.

- Otra tabla contiene un mapa de enlaces que nombra los enlaces pertenecientes a esta división y que une las etapas 31 y 32, y otros enlaces que se unen a los accesos de lados marginales de la red pertenecientes a esta división. Por cada uno de dichos enlaces, hay 64 subentradas, una por cada segmento de tiempo, en un sistema ilustrativo de 64 segmentos de tiempo por encuadre. Cada una de estas entradas muestra el estado (ocupado o desocupado), en dicho segmento de tiempo. Las últimas dos entradas de segmento de tiempo por cada enlace están permanentemente ocupadas porque se dedican para uso de los canales de control. Otra lista se alcanza por nombres de IUB asignados a esta división y nombra los accesos de lados marginales de la red de la etapa 31 a los que se unen los IUB.
5. Existen también una lista de trayectos de canales de control que muestra conexiones de la red para aquellos trayectos comprendidos entre los TSI controlados en la etapa 32 y los IUB controlados en la etapa 30. Otra lista se alcanza por nombres de procesadores de exploración, llamados también en adelante procesadores de exploración y exploradores, asignados a esta división, y dá como entrada principal los accesos de lados marginales de la red a los cuales se unen los procesadores de exploración, y una subentrada por cada procesador de exploración contiene una tabla de correspondencia entre los segmentos de tiempo de los procesadores de exploración y los IUB conectados (listados por nombres de acceso). Asimismo, por cada procesador de exploración existe una entrada o anotación que relaciona el segmento de tiempo sobre el cual el procesador de división puede comunicar con el procesador de exploración a través de su canal de comunicación entre procesadores. Otra lista
10. alcanzada por nombres de procesadores de servicio proporciona
- 15.
- 20.
- 25.
- 30.

su número de etapa y conexiones de accesos de lados marginales de la red y proporciona los segmentos de tiempo que se han de utilizar en el canal de comunicación entre procesadores. Cada

entrada o anotación de procesador de servicio en esta última

5. lista tiene también una tabla de asignaciones que proporciona información como es la asignación de recursos de procesador de servicio interno (procesos) a los segmentos de tiempo del acceso del procesador de servicio. Otra lista alcanzada por nombres de otras divisiones da lugar a los segmentos de tiempo
10. correspondientes para comunicación con el procesador de división de cada división por el canal de comunicación entre procesadores. Una entrada o anotación similar proporciona el segmento de tiempo entre procesadores para comunicación con el procesador de traslación 87 y de igual modo existen entradas o
15. anotaciones para otros procesadores con los cuales deba comunicarse esta división.

Además de las listas de recursos anteriores pertenecientes a cada división, cada procesador de división tiene memoria a parte para registros de llamada, v.g., registros de llamadas en el procesos de establecimiento.

20.

La lista de recursos para el procesador de división 70 comprende, a título ilustrativo, los TSI 63,67; los conmutadores en los conjuntos 33, 34 y 37, conectados directamente (por enlaces en las etapas 31 y 32) a dichos TSI, parte de los IUB v.g., 12 y 13 conectados a cada uno de dichos conjuntos; el procesador de exploración 82; el procesador de servicio 86.

25.

La lista similar para el procesador de división 71 comprende cada título ilustrativo, los TSI 68,69; los conmutadores en los conjuntos 33,34 y 37 conectados directamente (por enlaces entre las etapas 31 y 32) a dichos TSI; otra parte de los IUB

30.

- conectados a cada uno de dichos conjuntos; el procesador de exploración 83, y el procesador de servicio 85. En cada lista de recurso, los nombres de los IUB y los conmutadores comprenden convenientemente identificación de la fase dentro de un segmento de tiempo de canal de control durante el cual el canal de control para los elementos nombrados deberá alcanzarse en el TSI apropiado de la etapa 32 según se describirá más adelante. Dichos nombres indican también el número de TSI que se ha de utilizar y si está comprendida la red A o la red B.
- 5.
10. Por lo menos una sección de control de división de refuerzos 78 se utiliza en la red, y comprenden los mismos elementos que las otras secciones de control de división como las secciones 76 y 77. La sección de repuestos 78 se conecta también de la misma manera que las otras secciones a su propio conjunto de conmutadores en los diversos conjuntos de la etapa adicional 31, según representa esquemáticamente la vía parcial 79 que se extiende desde los accesos de la sección de refuerzos 78 hacia la etapa adicional 31. La sección de repuestos 78 difiere de las otras secciones de control de división de la red en el sentido de que el área de la memoria procesador de la sección de repuestos, empleada para la parte de la lista de recursos del equipo dedicada al equipo asignado para traslaciones de software (juego flexible) está vacante pendiente de la suposición por parte de la sección de repuesto de un estado de la sección en activo. Dicha área de la memoria comprende solamente nombres de equipo conectado directamente, v.g., los TSI y los muxdems de la etapa 31, en otras palabras, cuando una sección de repuestos se dirige para asumir control de una división de la red desde una sección en activo que hubiera controlado hasta este punto dicha sección, la información que define la división de
- 15.
- 20.
- 25.
- 30.

la sección de control de la división de control previo desde transferirse a la sección de control de división de repuesto.

5. La transferencia de la información que define la división y la comunicación entre procesadores que conduce a la misma se ven afectadas por medio de un canal de comunicación disponible a los diversos procesadores de división de una manera que se describirá más adelante. No obstante, actualmente se indica que dicho canal de comunicación se efectúa convenientemente por medio de un acceso de I/O duplex de cada procesador y un circuito que se extiende desde dicho acceso hasta un acceso de lado marginal de alguna etapa de la red de conmutación. En la modalidad ilustrativa, los circuitos 75,80, y 81 indicados por líneas más anchas que lo normal, establece conexión desde los procesadores efectivos de las secciones de control de división 76-78 a accesos duplex de lado marginal de los conjuntos en la etapa 31. El circuito 81 para la sección de repuesto 78 se supone, en la modalidad ilustrativa, conectado de un modo similar a uno de los conjuntos que no está ilustrado de un modo específico en la etapa adicional 31.
- 10.
- 15.
20. Los procesadores de división, v.g., los procesadores 70 y 71, pueden ser de cualquier tipo apropiado para realizar los tipos de funciones de control de la red de comunicación de división de tiempo cuyas funciones de tipos conocidos por la tecnología. El presente invento no comprende detalles de dichos procesadores y de sus funciones de control básicas, pero
25. se exponen en la presente memoria a título ilustrativo en el grado necesario para ilustrar la forma de operación del presente invento, Por ejemplo, cada procesador se denomina a veces como ordenador para distinguirlo del procesador general en
30. el cual se emplea. Dicho procesador funciona como un miniordenador

dor ejecutando rutinas de control de la red de acuerdo con una variedad de instrucciones lógicas y aritméticas conocidas. Según se ilustra en la figura 5, dicho procesador comprende normalmente una vía 133 para proporcionar una interfase cronometrada entre un microordenador 130 con su memoria de acceso aleatorio 131 y las diversas memorias adicionales 134 y unidades de interfase de entrada/salida 135 para interfasar la vía con tipos diferentes de unidades periféricas. Una de dichas unidades de interfase de I/O 135 comprende un circuito lógico para controlar el acceso paralelo de bits a la vía entre una pluralidad de dichas unidades. Una de dichas unidades proporciona convenientemente la interfase de acceso de I/O para un conjunto de los PSI en la red A ilustrada por medio de la vía 72; otra de dichas unidades de línea realiza la misma operación para un conjunto en la red B duplicada por medio de la vía 73, y una tercera dá servicio a los canales de comunicación entre procesadores en el circuito 75. También se indican en la figura 5 dos circuitos lógicos 64 y 65 de cualquier tipo apropiado conocido en la tecnología para acoplar el procesador de funcionamiento asincrónico con el resto de la red de conmutación dividida. Se conocen técnicas perfectamente para el acoplamiento indicado y para efectuar comunicación entre una primera máquina y una pluralidad de máquinas adicionales por medio de un vía de tiempo compartido, v.g., la vía 72 ó el circuito 75 en la sección de control de división 76 de la figura 2. Por lo tanto, la descripción presente de los circuitos lógicos 64 y 65 se di deña principalmente para exponer el carácter de la comunicación entre máquinas en la modalidad ilustrativa y para indicar los instantes en que se efectua dicha comunicación. La relación de dichos instantes con la base del tiempo del sistema se ex-

pondrá con relación a las figuras 6 y 8.

5. Por lo tanto, el circuito lógico 64 es un circuito lógico de vía de TSI que comprende convenientemente registradores tampón (no ilustrado por separado) en los cuales el procesador carga una conversación para acceso de la memoria de control de un TSI o los segmentos de tiempo del canal de control de la red de dicho TSI. Esta carga, y el empleo ulterior de cualquier información de respuesta, en los registradores se maneja por parte del procesador en instantes apropiados en su secuencia de funcionamiento.
10. La recepción del mensaje o conversación en una memoria de control de TSI particular y la provisión de cualquier respuesta por parte de dicha memoria se manejan por parte del TSI durante los segmentos de tiempo del canal de control puesto que el TSI no realiza entonces funciones de conmutación de llamada. El mensaje mencionado comprende campos que identifican circunstancias como la relativa a cual de los TSI se tiene que tener acceso y si la memoria de control o el canal de control se han de alcanzar. En el caso de que se alcance la memoria de control, existen campos
15. adicionales en el mensaje que indican si se busca una operación de lectura o de escritura de la memoria y que designan la localización de la memoria (v.g., segmentos de tiempo y lugar de fase) que se ha de alcanzar; existe un campo de datos para suministrar datos que se han de escribir en el lugar
20. localizado para una operación de escritura o para recibir datos del lugar localizado para una operación de lectura. Cuando se trata de acceso de canal de control, existe un campo adicional (más allá del nombre de TSI y de los campos de lecturas/escrituras) que designa cual de los accesos del TSI se ha
25. de utilizar y un campo de datos para suministrar un mensaje
- 30.

ya expuesto para una memoria de control de TSI) a las memorias de control del equipo controlado en otras etapas de la red o para recibir dicho mensaje auxiliar de memorias interrogadas hasta ese punto.

5. El circuito lógico de canales de comunicación entre procesadores 65 comprende registradores tampón y su circuitería lógica conocida en la tecnología para realizar conversiones de formatos de datos entre el formato paralelo de bitios del procesador y el formato en serie de bitios de la red. Dicho
10. circuito lógico proporciona también acoplamiento en el procesador de la división en instantes apropiados en la secuencia de operación del procesador y con la red durante los segmentos de tiempo de los canales de comunicación que están asignados (en una forma que se describirá más adelante) para comunicación
15. con otros de los procesadores respectivos en el sistema. Para evitar bloqueo de comunicación entre procesadores, se utilizan conjuntos separados de dicho registradores convenientemente en cada circuito 65 para los canales entre procesadores respectivos. En la práctica, el procesador de división proporciona
20. a su circuito 65 el mensaje que se ha de transmitir, una designación del segmento de tiempo del canal de comunicación al procesador que ha de recibir el mensaje, y una señal inicial. El circuito 65 envía entonces el mensaje en segmentos de bytes de segmentos de tiempo apropiados, según se expondrá más adelante con relación a la figura 8. De un modo similar, para
25. recepción del mensaje el circuito 65 almacena los bytes de la pluralidad de mensajes e indica al procesador de división que se ha recibido un mensaje en un cierto segmento de tiempo de canal de comunicación.
30. Según se sabe bien, se emplean dos procesadores con-

venientemente en una disposición de funcionamiento-reserva para cada procesador de división y comparte una memoria común. No obstante, a título de ilustración solamente se indica un solo procesador para cada división en la solicitud presente.

5. Aunque un procesador del tipo indicado puede manejar todas las funciones de proceso de señales de llamada para una división de la red ilustrativa, se ha averiguado que es convenientemente separar ciertas funciones de bajo nivel para que la operación general de la red sea más flexible. Estas funciones para la modalidad ilustrada son aquellas que se deben realizar ciclicamente y, por lo tanto, pueden consumir un tiempo sustancial de la máquina. Separándolas en otras máquinas se emplean más máquinas de tamaño y costo menor individuales y todo el sistema resulta más flexible.
10. Una de las funciones separadas para la modalidad ilustrada es un explorador, indicado como SCAN, para cada división y dos de dichos exploradores de división 82 y 83 se ilustran acoplados a los accesos de lados marginales de la red de los bloques de etapas adicionales 33 y 34. Un explorador de repuesto 84 se acopla de un modo similar al bloque 37. Los exploradores de división 82 y 83 funcionan exclusivamente con las divisiones controladas por las secciones de control de división 76 y 77, respectivamente. Los exploradores se conectan a través de la red, entrayectos de espacio de tiempo controlados por sus secciones de control de división respectiva, para detectar cambios en el estado del gancho de conmutación en las unidades de interfase de línea en los IUB asignados para control a la misma división que el explorador. De igual modo, los exploradores indican cambios de estados al procesador de división por medio de canales de
- 15.
- 20.
- 25.
- 3 C.

comunicación entre procesadores a través de la red 23.

5. El procesador de exploración se cronometra (por circuitos no ilustrados) en sincronismo con una secuencia de exploración de LIU predeterminada; cuando se explora dicho LIU, el procesador compara la información recibida con la palabra de exploración procedente del ciclo de exploración precedente. Si existe una coincidencia, no se realiza acción adicional con respecto a dicho LIU. Si ha existido un cambio, el procesador de exploración compone un mensaje de información de estado antiguo y nuevo, el número de segmento de tiempo en cuestión y el número de encuadre de muestra en cuestión (se verá después que el número de encuadre indica el número de LIU) y envía dicho mensaje al procesador de división de la misma división a través de su canal de comunicación entre procesadores. Además, el procesador de exploración vuelve a anotar la información de estado antiguo con la información nueva cambiada. El procesador de exploración funciona también según ordene su procesador de división, para emplear el canal inverso del explorador (la dirección inversa de comunicación en el segmento de tiempo de exploración que se describirá más adelante) a la unidad de interfase de línea para ordenar que la unidad se cambie al estado de servicio. Un LIU en el estado de servicio puede proporcionar un procesador de servicio, que después se acopla al LIU con señales de información apropiadas de servicio y estado.
- 10.
- 15.
- 20.
- 25.

30. Otras de las funciones que se separa del procesador de división es la de proporcionar funciones de circuito de servicio. Estas funciones se realizan normalmente por una pluralidad de procesadores de servicio, indicados de otro modo como SERV en la figura 2, por cada división. Para evitar el complicar

indebidamente el dibujo, se ilustran dos procesadores de servicio de división 85 y 86 y un procesador de servicio de repuesto 94, y se conectan a los conjuntos 34,33 y 37, respectivamente. Dicho procesador de servicio funciona generalmente para cualquiera de un gran grupo de circuitos y se conecta para funcionar con circuitos individuales según orden de su procesador de división. El trayecto para proporcionar el servicio se establece por el procesador de división cuando es de necesidad.

5.

10.

15.

20.

25.

30.

Un procesador de servicio, v.g., 86 se conecta por un canal de comunicación entre procesadores bidireccional a través de la red a un procesador de división al cual se ha asignado. El procesador de servicio recibe ordenes de su procesador de división y informa de los resultados. Además, el procesador de servicio proporciona diversos tonos a un LIU con el cual se conecta y recibe señales del canal de conversación desde el LIU según se ha expuesto anteriormente. Además de las señales del canal de conversación, cuando un LIU conectado se encuentra en su estado de servicio, el procesador de servicio recibe información de estado del gancho de conmutación y otro estado del LIU en un canal auxiliar del canal de conversación de LIU (empleando un noveno bitio ocasional del dato). Por este medio el procesador de servicio se puede analizar respecto al estado del aparato del abonado en caso de que el estado cambie durante la realización de la función de servicio apropiado.

Para realizar las funciones de servicio, el procesador de servicio coopera convenientemente con un filtro digital de tiempo compartido. En esta cooperación, el procesador de servicio recibe una orden de un procesador de división que dirige el funcionamiento de una función de servicio particular en un segmento de tiempo particular, a veces llamada canal pro

- cesador de servicio. El procesador de servicio se dirige a su propia memoria en una base de búsqueda en la tabla para trasladar la orden a un conjunto de datos que define ciertos lugares de palabra en la memoria de control de filtro digital de tiempo compartido, cuyos lugares contienen la secuencia correcta de información v.g., los coeficientes de filtro correcto y las conexiones en los intervalos de tiempo apropiados para realizar la función de servicio dirigida. Se pueden realizar muchas funciones diferentes de examen de señal y generación de señal por medio de un filtro digital de tiempo compartido. Las funciones de examen de principal interés en este caso comprenden examinar una señal del canal de conversación recibida para una cierta característica de la señal, por ejemplo microtelefono descolgado en presencia de una señal de llamada o de marcar un número por pulsadores. Las funciones de generación de principal interés comprende la generación de tono del disco combinador, tono de ocupado, tono de llamada y tono de llamada audible que se alimentan en el canal de conversación al LIU conectado.
- Otra función adicional que se separa convenientemente de los procesadores de división es la función de proporcionar un dispositivo de traslación, y esta función se realiza por un procesador de traslación 87 que se acopla al lado marginal de la red del conjunto 37 en la etapa 31. Las funciones proporcionadas por el procesador 87 son similares a las conocidas por la tecnología. Solamente unas cuantas traslaciones mencionan en la presente memoria que son útiles para describir las operaciones ilustrativas del sistema dividido en consideración. Por ejemplo, el procesador de traslación recibe, a través de la red en un canal de comunicación entre procesadores para uno de los procesadores de división, un mensaje que identifica el número
- 5.
 - 10.
 - 15.
 - 20.
 - 25.
 - 30.

de la guía telefónica de algunos LIU, o de otro equipo, conectado en el margen o cerca del margen de la red. En respuesta a dicho mensaje, el procesador de traslación 87 proporciona una señal de retorno que indica el número de equipo correspondiente al número de la guía recibido, al par que proporciona otra información pertinente que utiliza el procesador de división y que comprende, por ejemplo, la clase de servicio que se ha de proporcionar y el nombre de la división de la red que controla el equipo en cuestión. El procesador de traslación comprende convenientemente un duplicado de la lista de recursos de cada procesador de división en activo y de repuesto.

En el caso de cada uno de los procesadores de exploración, servicio y traslación mencionados, cada uno comprende convenientemente un procesador disponible en mercado del tipo indicado anteriormente para el procesador de división, v.g., en la figura 5. Las funciones realizadas por cada uno de dichos procesadores son de tipo conocido en la tecnología y se describen también para los procesadores de exploración y servicio en el artículo mencionado de McDonald. La diferencia principal entre procesadores indicados en la presente memoria y los conocidos por la tecnología, es que los procesadores indicados en la presente memoria se comunican entre sí y con circuitos de la red controlados a través de una red de conmutación de llamadas dividida en lugar de hacerlo a través de una red de llamadas monolítica en una red separada entre procesadores.

El procesador de traslación emplea un circuito lógico de canal de comunicación entre procesadores como el circuito 65 de la figura 5. Los procesadores de exploración y servicio exigen cada uno una versión de canal simple de circuitos 65

- désignada para funcionar sobre un segmento de tiempo simple entre el acceso de la red del procesador. Además, los procesadores de exploración y servicio deben interfasar cada uno bytes simples entre sus accesos de red respectivos y una unidad de líneas en paralelos separadas de sus ordenadores respectivos, v.g., exploración y "bytes de canales de inversión" para el procesador de exploración y datos que fluyen al equipo de filtro digital de tiempo compartido y desde dicho equipo del procesador de servicio durante el segmento del tiempo del canal de conversación y su noveno canal auxiliar de tiempo de bitios.
5. La última interfase para el procesador de exploración está prevista básicamente por el tipo normal de memoria de exploración y circuitos lógico que emplea el ordenador del procesador para acceso al canal de comunicación entre procesadores.
10. Dicha interfase para el procesador de servicio es básicamente el filtro digital de tiempo compartido ya descrito.
- 15.

La figura 4, es un diagrama de un dispositivo de intercambio de segmentos de tiempo apropiado para intercambiadores como el intercambiador 63 de la figura 2. El intercambiador de la figura 4 es una representación sin plegar más detallada de una parte de la etapa de la red plegada 32 representada en la figura 2. para indicar de un modo más claro la relación entre el intercambiador de la figura 4 y los circuitos de las figuras 2 y 5, los elementos de circuito que son iguales o similares a los empleados a los de las figuras 2 y 5 se indican por los mismos caracteres de referencia.

20.

25.

En la izquierda de la figura 4 se indican los trayectos de la señal de entrada de los enlaces desde la etapa de la red adicional 31 hasta el intercambiador de segmentos de tiempo ilustrados y dos de dichos trayectos 60 IN y 62 IN acoplan

30.

- señales de datos de entrada de bitios en serie a los registradores de corrimiento 88 y 89, respectivamente. De un modo similar, en la derecha de la figura 4, se ilustran los trayectos de salida de los enlaces a la etapa 31 como trayectos 60 OUT y 62 OUT para enviar salidas de datos de bitios en serie de dos registradores de corrimiento adicionales 90 y 91, respectivamente, a la etapa 31. Las señales de cronometración de corrimiento con ritmo de bitios se alimentan desde la fuente de cronometración 20 en la figura 1 a los registradores de corrimiento 88 y 89 por medio de un conductor 92 y a los registradores de corrimiento 90 y 91 por medio de un conductor 93.
- En la parte superior de la figura 4, una via bidireccional de bitios en paralelo, que comprende prolongaciones unidireccionales de una via de entrada de TSI 108 y una via de salida 120, proporciona comunicaci3n de bitios en paralelo (a trav3s del circuito l3gico 64 de la figura 5) al acceso y desde el acceso de I/O del procesador de divisi3n 70 para comunicaci3n en segmentos de tiempo del canal de control con memorias de control en otras etapas de la red a trav3s de la divisi3n. En la parte inferior de la figura 4, una via de bitios en paralelo 96 suministra se~ales de localizaci3n desde el mismo acceso de I/O del procesador de divisi3n 70; una via de bitios en paralelo de escritura 97 w suministra datos desde el mismo acceso de I/O del procesador 70 para escribir en la memoria de control 98 en localizaciones indicadas en la via 96 mientras que una via de bitios en paralelo de lectura 97 r transmite lectura de la memoria al procesador 70 para fines de verificaci3n del contenido de la memoria. Las vias 96, 97 r, 97 w, 108 y 120 forman parte de la via 72, segun se ilustra en la figura 5. Las vias de bitios en paralelo separadas 99 y

- 100 se extienden desde la memoria de control 98 hasta las entradas de señal de localización de memorias tampón de acceso aleatorio (RAM) 101 y 102, respectivamente. Dicha memoria RAM se carga en bitios en paralelo en la secuencia de segmento de tiempo y fase y se descarga en bitios en paralelo en la secuencia de segmento de tiempo y de información de fase intercambiadores, según se describirá con más detalle más adelante. Una de dichas memorias RAM se carga en la forma expuesta, mientras que la otra se descarga y viciversa.
- 5.
10. Los registradores de corrimiento de entrada 88 y 89 se cargan continuamente en bitios en serie desde sus circuitos de entrada respectivos al régimen de los bitios del dato en dichos circuitos de entrada. Al final de cada segmento de tiempo de llegada, un impulso de cronometación TS (IN) al ritmo de los segmentos de tiempo de entrada del TSI procedente de la fuente de cronometación de la central 20 hace que el contenido del registrador de corrimiento se traslade a registradores tampón 104 y 105 acoplados a los registradores de corrimiento 88 y 89 en la figura 4. Los registradores de corrimiento quedan entonces libre para recibir datos de entrada adicionales en el segmento de tiempo siguiente. Los registradores tampón 104 y 105 se descargan en bitios en paralelo por medio de conjuntos respectivos de puerta Y cronometradas, estando cada conjunto representado esquemáticamente por una sola puerta, como son las puerta Y 106 y 107. Para un intercambiador que tenga n registradores de corrimiento de entrada, los conjuntos de puerta del grupo que comprenden las puertas 106 y 107 se activan por cronometación en n diferentes fases de cada segmento de tiempo para multiplexar el contenido de los registradores tampón respectivos 104, 105 a la vía de entrada del intercambiador de segmen
- 15.
- 20.
- 25.
- 30.

tos de tiempo 108 para alimentarse a una de las memorias RAM 101 o 102, o al procesador de división 70. El empleo de registradores también 104 y 105 permite la descarga de n fases en la vía 108 sin interrumpir el flujo de la señal en los registradores 88 y 89.

5. Las señales de cronometración de n fases se derivan convenientemente de las señales de cronometración del ritmo de bitios en el conductor 92 por un circuito 123 que elige n impulsos por segmento de tiempo desde el conductor 92 para deslizar un n contador 126. Dicho contador se repone periódicamente por acción de las señales de ritmo de encuadres de entrada del TSI procedente del reloj de la central 20, y la salida del contador se traslada por un descodificador 127 a un formato activo de uno de n conductores para utilizarse en la vía 109 y hacer

10. funcionar los conjuntos de puertas 106, 107 en secuencia un circuito lógico similar 128 deriva n fase de señales de cronometración de las señales del conductor 93. El circuito lógico 128 se sincroniza por medio de las señales de ritmo de encuadre de salida del TSI procedentes del reloj 20; Las señales de ritmo

15. de encuadre mencionadas alimentadas al contador 126 del circuito lógico 128, respectivamente, se desplazan convenientemente en fase entre sí en magnitud suficiente para asegurar que exista una diferencia de fase de encuadre integral entre las señales transmitidas y recibidas en los LIU en la etapa 30. Las señales procedentes del circuito lógico 128 se utilizan para activar regis-

20. tradores tampones 110 y 111 para cargarse desde la vía de salida 120 a los registradores de corrimiento 90 y 91. Después que se han cargado los registradores también de salida 110, 111, un impulso de TS (OUT) en el conductor 113 procedente del reloj

25. de la central 20 activa la transferencia de los datos de los re-

30.

gistradores tampones a los registradores de corrimiento de salida 90 y 91, y los registradores de corrimiento comienza a transmitir los nuevos datos de salida a la etapa 31.

- Resultará evidente a los expertos en la materia que
5. existen otros métodos por los cuales los datos de la red se pueden transferir desde los registradores de corrimiento de entrada a la memoria tampón RAM y desde la memoria tampón RAM a los registradores de corrimiento de salida, de un modo diferente al empleo de registradores tampones intermedios 104, 105, 10. y 110, 111. Por ejemplo, los registradores de corrimiento de entrada y de salida podrían prolongarse por números diferentes de bits adicionales para compensar las magnitudes diferentes de tiempo y que lleva el transferir un byte de entrada de registradores de corrimiento diferentes a una memoria RAM, 15. o transferir un byte de salida de una memoria RAM a los registradores de corrimiento diferentes en las n fases de un segmento de tiempo. Dichos tiempos de transferencia diferentes surgen del empleo de fases de cronometración diferentes para acoplar señales desde los distintos registradores de corrimiento 20. a las memorias RAM para evitar interferencia. Otro diseño que podría emplearse consistiría en subdividir cada memoria tampón RAM en n piezas de igual tamaño, organizadas de modo que cada registrador de corrimiento de entrada se conectará simplemente a una de dichas piezas; en el diseño, los registradores tam- 25. pón acoplados a registradores de corrimiento de entrada podrían eliminarse, porque todos los datos de entrada en un segmento de tiempo podrían transferir simultáneamente desde cada registrador de corrimiento a su pieza correspondiente de la memoria tampón RAM de recepción.

30. Las señales en la vía de entrada multiplexada 108 se

- acoplan en bitios en paraldo a las memorias RAM 101 y 102 en encuadres de muestra de señales de llamada alternas. Las señales de cronometración de baja frecuencia procedente del reloj de la central 20, y que tiene lugar a la mitad del ritmo de
5. encuadre de muestra de salida del PSI, se acoplan directamente para activar la carga de la memoria RAM 102 y se acoplan a traves de un inversor 116 para activar la carga de la memoria RAM 101. Este dispositivo efectua la carga de las memorias RAM 101 y 102 alternativamente desde encuadres de muestra de se-
10. cuencia. Las señales en la via 108 quedan disponibles durante los dos segmentos de tiempo finales de cada encuadre de muestra al procesador de división según se ha descrito anteriormente. Como estos dos segmentos de tiempo son el canal de control, no se asignan a llamadas de abonados.
15. La memoria 98 funciona en sincronización con las se- ñales de cronometración de segmentos de tiempo de n fases procedentes de la via 109, para suministrar señales de localiza- ción de carga a las memorias RAM 101 y 102 por medio de vias 99 y 100, respectivamente. La memoria 98 funciona, de un modo
20. similar, en sincronización con las señales de cronometración de n fases procedentes del circuito lógico 128 para suministrar señales de localización de descarga. Cada una de estas vias 99 y 100 proporciona de una forma alternativa, pero en secuencia opuesta a las memorias RAM respectivas, un primer conjunto
25. de localizaciones para cargar sus lugares de RAM y un segundo conjunto de localizaciones para descargar la memoria de RAM, El primer conjunto localizada los lugares de la memoria RAM en secuencia para la carga desde los registradores de corri- miento de entrada 88,89 en una secuencia cíclica en la n fases
30. cada segmento de tiempo hasta que un encuadre de muestra comple

- to de las señales procedentes de la vía de entrada 108 se ha cargado en el orden recibido. El segundo conjunto de localizaciones, aplicado en el encuadre de muestras siguientes, activa la descarga de la memoria RAM a la vía de salida 120 en la secuencia de segmento de tiempo y segmento de tiempo-fase de las localizaciones específicas por la memoria de control 98 en la dirección del procesador periférico. La memoria de control 98 proporciona los dos conjuntos de localizaciones de una forma alternativa a cada una de las vías 99 y 100, y las señales de cronometración de ritmo de semienquadre permiten que las memorias RAM se cargen alternativamente de la vía 108 cuando reciben el primer conjunto de localizaciones.
- Los conjuntos de puertas Y representadas esquemáticamente por las puertas 108 y 109, se activan en fases opuestas para intercalār encuadres de muestras de señales procedentes de las memorias RAM 101 y 102 a una vía de salida o vía desmultiplexadora 120 del intercambiador de segmentos de tiempo. Las señales de cronometración de régimen de semienquadre se alimentan directamente a la puerta 118, por lo que la memoria RAM 101 se descarga al mismo tiempo que se carga la memoria RAM 102. De un modo similar, dichas señales de cronometración se alimentan a través del inversor 101 a la puerta 119 para descargar la memoria RAM 102 mientras que se carga la memoria RAM 101. Las operaciones de descarga efectuadas por las puertas 118 y 119 tienen lugar en todos los segmentos de tiempo excepto en los dos últimos, que es el canal de control de cada encuadre de muestra, y, durante dichos dos segmentos de tiempo, la vía de desmultiplexación 120 queda disponible para recibir señales del procesador de división. Durante estos segmentos de tiempo del canal de control, las puertas 118 y 119 se inhiben por una señal periódica en un conductor 112 procedente del reloj de la central
- 5.
 - 10.
 - 15.
 - 20.
 - 25.
 - 30.

20. Las n fases de las señales de cronometración de segmentos de tiempo procedentes del circuito lógico 128 activan los registradores tampón de salida respectivos v.g., 110 y 111, para cargar en la misma secuencia cíclica en la cual se descargan sus registradores de entrada correspondiente 104 y 105 en cada segmento de tiempo. El reloj de corrimiento de régimen de bitios en el conductor 93 activa los registradores de corrimiento 90, 91 de una forma continua, para acoplar el contenido de los registradores de corrimiento en bitios en serie a los trayectos de salida del intercambiador de segmentos de tiempo respectivos 60 OUT y 62 OUT.

Para emplear la operación preferible de los LIU, es necesario que los encuadre de tiempo de entrada y de salida se pongan en línea en los accesos de los márgenes de la red, v.g., en los LIU. Por lo tanto, para compensar las diversas demoras de transmisión en la red el encuadre de tiempo entrante y saliente, representado por las señales de reposición de encuadre mencionadas por el contador 126 del circuito 128, se desplazan en los TSI de la etapa intermedia. En particular, el encuadre de salida carga el encuadre de entrada por el retardo de la red de ida y vuelta (excluyendo el TSI). La duración de este retardo puede ser sustancial en una red de gran tamaño, v.g., tres segmentos de tiempo (de 64). El empleo de registradores tampón en los registradores de corrimiento de entrada y salida de los TSI exige realmente que las señales de reposición de encuadre de entrada y salida, que sincronizan la carga y descarga de n fases de las memorias RAM, estén separados 5 segmentos de tiempo para conseguir la dirección de tres segmentos de tiempo a través del TSI. Así, cuando las señales para el segmento de tiempo 63 (empleando notación decimal en una serie que comien

za con el número cero) se leen de una memoria RAM, v.g., 102 a las memorias tampones 110,111, las señales del segmento de tiempo 62 se desplazan de los registradores de corrimiento 90 y 91. Como se necesita un conductor de tres segmentos de tiempo a través del TSI, las señales para el segmento de tiempo 59 se deben desplazar en registradores de entrada 88 y 89. Esto significa que las señales para el segmento de tiempo 58 se escriban desde los tampones de entrada 104,105, en la memoria RAM 101. De éste modo, la diferencial a través de las memorias RAM es de $63-58 = 5$ segmentos de tiempo de diferencia entre las señales de reposición encuadre de entrada y salida para obtener un efecto de dirección de tres segmentos de tiempo a través del TSI.

Los conmutadores entre las funciones de escritura y lectura en las memorias RAM tiene lugar convenientemente al final de cada encuadre, v.g., al final del segmento del tiempo 63 en la salida de la memoria RAM (segmentos de tiempo 62 en los registradores de corrimiento de salida 90,91) porque la memoria RAM que está dando entonces salida está exenta de lectura y puede comenzar la recarga. No obstante, las señales de segmentos de tiempo siguientes que tiene disponible para carga son las señales del segmento de tiempo 59 en la entrada de la memoria RAM. Por consiguiente, las señales para los segmentos de tiempo de entrada de la memoria RAM 59 a 63 se cargan en una memoria RAM diferente de la memoria en la cual se están cargando las señales para los segmentos de tiempo cero a 58 del mismo encuadre; las señales de los segmentos de tiempo 59 a 63 llegarán al margen de la red después de dos encuadres de retardo, con respecto a sus entradas en el margen de la red de origen, en lugar del único encuadre de retardo experimentado

- por el resto del encuadre. Dicha referencia en el retardo de encuadre no tiene consecuencia alguna sobre las señales acústicas ordinarias. Tampoco afecta a las señales del canal de control (segmentos de tiempo 62 y 63) que pasan entre una etapa de la red y un procesador de división en el centro de la red, y por lo tanto, dejan a un lado las memorias RAM. La diferencia en los retardos de encuadre suponen una diferencia si los contajes de encuadre son importantes, como en los canales de comunicación entre procesadores, que se describirán más adelante, por lo que un procesador de división que realice una investigación de trayectos para establecer tales canales, debe excluir el empleo de los cinco últimos segmentos de tiempo de un encuadre.

- El evitar que los dos segmentos de tiempo últimos mencionados (canal de control) por encuadre se asignen a conexiones de llamada es una operación que se maneja convenientemente marcándolos como ocupados en el mapa de enlace del procesador de división. De otro modo, las memorias RAM se cargan regularmente, según se ha descrito, como si no existiera desplazamiento de fase de encuadres de entrada/salida. Se descargan de un modo similar excepto para la inhibición en los segmentos de tiempo 62 y 63 con el fin de evitar interferencias con las señales de canal de control en la vía 114.

- Se podrá ver por lo expuesto anteriormente que el intercambiador de la figura 4, realiza una conmutación de tiempo y de espacio. O sea, el intercambio de señales entre segmentos de tiempo es una función de conmutación de tiempo. No obstante, el intercambio de señales entre fases de un segmento de tiempo (el orden en el cual se cargan y descargan los registradores de corrimiento) permiten que una señal procedente de un enlace 60

salga por el enlace 62, y que sea una función de conmutación de espacio. Además, la combinación de funciones en la etapa de la red permite distribuir fácilmente una sola señal entrante a una pluralidad de canales de salida.

5. En las figuras 6 y 8 son diagramas de base de tiempos que ilustran formas diferentes de comunicación en la red de comunicación de división de tiempo del presente invento. Una escala de tiempos a través de la parte superior del diagrama en la figura 6 representa 256 intervalos de encuadre de muestra en
10. secuencia en un intervalo mayor, o superencuadre, designado como encuadre de estado. Solamente se necesitan 240 intervalos de encuadre de estado para la modalidad ilustrativa presente. Un encuadre de muestra es el intervalo de tiempo cíclico para comunicación de una sola muestra de modulación de código de impulsos
15. diferenciales (DPCM) de una señal de llamada por cada una de una pluralidad predeterminada de llamadas en segmentos de tiempo diferentes del encuadre. A título ilustrativo, cada muestra de segmento de tiempo comprende tiempos de 9 bits que pueden incluir información de DPCM de codificación binaria respecto
20. a la amplitud de una señal de llamada o que pueden comprender otra información de control que se describirá más adelante. Existe convenientemente 64 segmentos de tiempo por encuadre de muestra, y el ritmo o cadencia de los encuadre de muestra suele ser algo mayor que el ritmo o cadencia Nyquist para la señal
25. analógica, v.g, al menos doble de la frecuencia de la señal de llamada superior que se ha de transmitir.

Cada tiempo de encuadre de muestra comprende ciertos intervalos de segmentos de tiempo que se indican a fines de control. Uno de estos fines es el empleo de un segmento de tiempo de exploración. Así, para cualquier conjunto de unidad de in

30.

terfase dada de v.g., 240, LIU servidos por una pista de división de tiempo, existen 240 encuadres de muestra empleados en un encuadre de estado puesto que la información de estado por cada LIU de un IUB se transmite en el segmento de tiempo de exploración de un encuadre de muestra diferente de un encuadre de estado. Otros ciertos segmentos de tiempo de cada encuadre de muestra se utilizan para otros fines de señal de llamada conocidos. la figura 6 ilustra dichos otros fines que son útiles en una consideración de la operación de la red dividida del presente invento. Con éste fin, la escala de tiempo de un encuadre de muestra en la figura 6, se expande para mostrar varios empleos de los segmentos de tiempo.

La utilización principal de los segmentos de tiempo en un encuadre de muestra es, lógicamente, para la transmisión de señales de datos que representan digitalmente muestras de señales de llamada analógicas. Solamente un segmento de tiempo de señal de dato se ilustra en la figura 6 por conveniencia de ilustración, pero se comprenderá que se utilizan muchos otros segmentos de tiempo de un modo similar en cada encuadre de muestra. Los tiempos de 9 bits de un segmento de tiempo se indican a través de la parte inferior de la casilla utilizada para representar un segmento de tiempo de dato. Cualquier segmento de tiempo de dato asignado a una conexión de llamada particular retendrá normalmente dicha asignación en lo que dure la conexión de la llamada.

En la figura 6 se ilustra también un segmento de tiempo de exploración, y cada aparición de dicho segmento de tiempo de exploración en un encuadre de estado se utiliza por parte de un LIU diferente según se ha indicado anteriormente. En el segmento de tiempo de exploración, la dirección de transmisión

5. directo, v.g., la dirección de transmisión de un LIU a su procesador de exploración, se utiliza según se ha mencionado para transmitir información de estado respecto al LIU. La dirección de transmisión inversa, v.g., desde el procesador de exploración hasta el LIU, se utiliza para transmitir señales de control desde el procesador de exploración al LIU para reponer los estados de diversos circuitos en el LIU.

10. El canal de control mencionado anteriormente comprende dos segmentos de tiempo, v.g., 62 y 63 en decimal, 76 y 77 en octal, cerca del final de cada encuadre de muestra. Dicho canal se emplea para comunicación entre un procesador de división y memorias de control controladas por el mismo en las etapas de la red 30 y 31. En la transmisión del procesador de división a una memoria de control, el procesador transmite un código de localización que identifica la memoria de control particular que ha de responder, un código de operación que define la forma de respuesta, un mensaje de dato que comprende una localización dentro de la memoria de control que se ha de ver afectada, y cualquier dato que se haya de almacenar en dicha localización de la memoria. El código de localización que indica una memoria de control exige solamente un solo bitio en la modalidad ilustrativa de la figura 2, porque una vez que se ha establecido un trayecto de circuito a cualquier memoria dada a través de la red, existen como máximo tan solo dos memorias de control que pueden recibir el código, v.g., las memorias acopladas a dicho trayecto particular en las etapas 30 y 31. En transmisiones de cada memoria de control al procesador de división, la información transmitida comprende el nombre de la memoria de control de transmisión su lugar en la memoria interna que es la fuente del dato transmitido, y dicho dato procedente de la memoria de

15.

20.

25.

30.

control. Como el canal de control entre un procesador de división y un IUBC se conmuta a través de la etapa adicional 31, es necesario que dicho canal de control se conmute a un IUB particular antes de que se pueda utilizar el canal. Si la concentración en la etapa 31 es suficientemente baja 2:1 o menos en la red descrita, existe entonces un número suficiente de enlace entre las etapas 31 y 32 (empleando la red A y la redB) que dichos canales de control pueden establecer sobre una base semi permanente, por lo que no es necesario después conmutar dichos canales para comunicación con los IUBC diferentes. Por otro lado, si se emplea una relación de concentración mayor en la etapa 31, es entonces necesario tener la seguridad de que exista el canal deseado antes de que cualquier IUBC particular lo ordene. Por lo tanto, en lo que sigue, siempre que se afirme que un procesador de división emite una orden a un IUBC, supondremos que se ha establecido el canal de control apropiado, bien en una base semipermanente o en una base conmutada según se necesita, según exija el caso.

Se proporciona un canal de comunicación para comunicar entre varios de los procesadores de división y otros procesadores que componen el control común para la red ilustrada. Este canal se ejecuta, a título ilustrativo, por cada par de procesadores que deben comunicar, eligiendo un conjunto de enlaces que constituyen un trayecto de conductores a través de la red entre los procesadores, y dedicando un segmento de tiempo disponible en cada uno de dichos enlaces para utilizarse en el canal entre los procesadores. Por ejemplo, los enlaces a circuito 75, 60, 62 y 80, constituyen un trayecto entre los procesadores 70 y 71, y los enlaces 75, 70 y 74 constituyen un trayecto entre el procesador de división 70 y un procesador de exploración 82.

- Este último trayecto podría completarse si se dispusiera de un primer segmento de tiempo en los enlaces 75 y 60 entre el procesador 70 y el intercambiador 73, y si hubiera disponible un segundo segmento de tiempo en los enlaces 60 y 74 entre el intercambiador 63 y el procesador de exploración 82. En cualquier enlace elegido, ocho apariciones en secuencia del segmento de tiempo dedicado constituyen ocho intervalos de bytes de mensaje de un mensaje de canal de comunicación según se ilustra en la figura 8. Las apariciones sucesivas de dicho intervalo de mensaje se dedican indefinidamente para utilizarse por parte de un solo par de procesadores, aunque el segmento de tiempo empleado se haya asignado a una llamada de duración indefinida entre dos abonados. El empleo de encuadre de mensaje de 8 bytes es para comodidad de empleo por los procesadores utilizados en la modalidad ilustrativa y que funcionan normalmente sobre una base de 8 bytes. Un mensaje particular comienza en cualquier número de encuadres de muestra que sea un múltiplo de 8 y se extiende después 7 bytes adicionales.

- Aunque una red de conmutación dividida realiza prácticamente todas las operaciones de otra red de conmutación, solamente se necesitan describir unas cuantas para ilustrar el funcionamiento y potencial de la red dividida. Estas operaciones ilustrativas comprenden una para establecer una conexión de llamada entre dos aparatos de abonados una para tomar dicha conexión de llamada, y una para sustituir una sección de control de respuesta 78 por una de las otras secciones de control como ocurriría en caso de que se produjera avería en un procesador de división. Para todas estas operaciones es necesario tener establecidos trayectos de comunicación entre procesadores por la red, para conseguir los cambios necesarios en

- las mismas durante el funcionamiento de la red. Se conocen diversos procedimientos de iniciación para sistemas de procesadores múltiples. En la modalidad ilustrativa, el procedimiento de iniciación actualmente preferido es el de hacer que los procesadores de división funcionen de un modo autónomo cuando se conectan para obtener del procesador de traslación 7 una asignación de trabajo o un procesador de división de respuesta y, si es un procesador activo, para obtener la lista de recursos (equipo controlado, v.g., los IUB, procesadores de exploración y procesadores de servicio) que constituyen la división y para obtener la lista de accesos de la red y segmentos de tiempo a través de los cuales establece después los canales de comunicación a otros procesadores de todas las clases en el sistema.

- En el recurso de establecer cualquier trayecto de comunicación un procesador de división debe determinar un trayecto de tiempo-espacio disponible a través de subdivisión de la red, de una manera conocida para las redes multiplex de división de tiempo. Una de dichas técnicas comprende referencia a un mapa de enlaces y de utilización de accesos en una memoria de procesador de división para identificar un trayecto disponible. Después, el procesador de división hace que cada parte del centro al margen de la red de un trayecto así identificado se establezca por comunicación a memorias de control apropiadas en el canal de control mencionado a través de uno de sus intercambiadores de segmentos de tiempo con acceso al trayecto elegido. En primer lugar, el procesador comunica directamente con la memoria de control de su intercambiador de segmento de tiempo elegido para establecer localizaciones correctas de lugar de segmentos de tiempo y fases en la memoria de control del TSI para acoplar señales desde el enlace de entrada deseado al enlace de salida

- deseado. Después, se emplea el canal de control, en la fase de salida del intercambiador correcto para alcanzar los enlaces de salida deseados, para transmitir un mensaje localizado en la memoria de control, v.g., la memoria 40, del conmutador en
5. la etapa 31 que se enlaza al registrador de corrimiento de salida elegido del intercambiador de segmentos de tiempo. Este mensaje identifica el segmento de tiempo que se ha de utilizar para la conexión de llamada y las puertas particulares que han de entrar en acción en dicho segmento de tiempo en el multiplexador
10. 38 y el desmultiplexador 39 de dicho conmutador. Después, el procesador de división utiliza de nuevo el canal de control y localiza un mensaje para el IUBC del IUB en la etapa 30, o sea en el margen de la red del trayecto de llamada elegido y dirige dicho IUBC para conectar un LIU particular a la pista
15. de división de tiempo 17 en un segmento de tiempo de llamada designado. Como es lógico, esta última etapa en el proceso de establecer un trayecto de llamada no es necesaria si el trayecto se ha de extender hasta uno de los procesadores de exploración o de traslación conectado a los accesos laterales marginales
20. de la etapa 31. No obstante, cuando se trata de un procesador de servicio (que se recordará comprende un filtro digital de tiempo compartido) del procesador de división debe dirigir el procesador de servicio para conectar uno determinado de los canales de proceso de servicio en un cierto segmento de tiempo
25. en el acceso de la red empleado por el procesador de servicio.

ESTABLECIMIENTO DE LA CONEXION DE LLAMADA

- Suponiendo el procedimiento anterior para establecer un trayecto en una división de la red, lo que sigue es una exposición de las etapas seguidas en la red dividida para esta-
30. blecer una conexión de llamada cuando el aparato de un abonado,

10 en la figura 1, se descuelga. Como los procedimientos de establecimiento de llamada básicos son conocidos en la tecnología, el ejemplo en este caso supone una llamada entre abonados en diferentes divisiones.

5. 1. Cuando el abonado que llama descuelga el microteléfono el cambio en el estado de su línea se registra en su LIU, y el estado cambiado así registrado se transmite durante el segmento de tiempo de exploración de encuadre de muestra correspondiente expuesto con relación a la figura 6, v.g., al procesador de exploración 82.
10. 2. El procesador de exploración 82 registra el cambio de estado y envía un mensaje al procesador de división 70 sobre el canal de comunicación entre procesadores de 8 bytes empleado entre estos dos procesadores. El mensaje comprende para
15. el LIU su segmento de tiempo y un número de encuadre indicando por lo tanto indirectamente el número de IUB y el número de LIU, respectivamente; el procesador de división invierte el número de segmento de tiempo a un número de acceso de la etapa 31. Dicho mensaje comprende también para el LIU el estado antiguo el
20. nuevo estado, y una cantidad limitada de información de traslación como el hecho de que la línea en cuestión tenga un servicio de disco selector rotario o de pulsadores.
3. Si la información de traslación limitada es insuficiente, v.g., si el LIU realmente dá servicio a una línea
25. de dos abonados en lugar de una línea de un solo abonado, el procesador de división interroga al procesador de traslación 87 para obtener más información. Si la información de traslación limitada es suficiente, el procesador 70 determina y establece un trayecto entre el LIU que origina la llamada y un
30. canal del procesador de servicio 86. El procesador 70 dirige

- también al procesador de servicio 86, sobre su canal de comunicación, que funciona para proporcionar en dicho canal de servicio el segmento de tiempo apropiado. Por ejemplo, el procesador 70 dirige inicialmente al procesador de servicio para que inicie para dicho canal una rutina de servicio con el fin de suministrar tono libre al LIU y para recoger dígitos marcados. El procesador de servicio, de acuerdo con dicha rutina, elimina automáticamente el tono libre al recibir el primer dígito marcado. Además, el procesador 70 dirige al procesador de exploración para que ordene al LIU que conmute al estado de servicio y active por lo tanto el canal auxiliar de control multiplexado en el tiempo del noveno bitio del canal de voz empleado entre el procesador de servicio y el LIU. En dicho canal auxiliar el LIU proporciona un bitio de información de estado de línea para permitir que el procesador de servicio reciba la información del estado del microteléfono, proporcionando también de otro modo al explorador, de modo que el procesador de servicio note y responda a una operación inconclusa v.g., que el abonado cuelga antes de completar la información de marcar el número.

4. El procesador de servicio 86 utiliza el canal de comunicación al procesador de división 70 para enviar dígitos marcados recogidos a dicho procesador bien de una forma individual o por grupos para análisis lícitos.

5. El procesador 70 determina el final de una secuencia de marcar, termina la rutina iniciada anteriormente en el procesador de servicio 86 por un mensaje en el canal de comunicación y transmite la información marcada sobre su canal de comunicación al procesador de traslación 87 con un código de operación que pide traslación de la información marcada.

5. 6. En respuesta a los dígitos marcados, el procesador de traslación 87 devuelve en el mismo canal de comunicación una secuencia de código digital que define las características de servicio, incluyendo indentificación de división, o para el equipo del acceso de la red indicado por los dígitos marcados recibidos, v.g, el LIU llamado.

10. 7. Si el procesador 70 reconoce del informe de traslación que el LIU llamado se encuentra en la misma división que el LIU de donde procede la llamada, procede a identificar un trayecto de tiempo -espacio libre al LIU llamada y procede con las etapas necesarias para establecer una conexión de llamada entre los LIU de una manera conocida.

15. 8. Si el procesador 70 reconoce del informe de traslación que el LIU llamado se encuentra en una división diferente v.g., la controlada por el procesador 71, el procesador 70 determina, de acuerdo con técnicas de búsqueda de trayectos de la tecnología anterior, diversos trayectos posibles entre su procesador de servicio 86 y dicho acceso del lado marginal de la red al que se une el IUB que contiene el LIU llamado, 20. con la exigencia adicional de que cada trayecto previamente establecido entre el LIU de donde procede la llamada y el procesador de servicio 86 (también se podría conectar el LIU llamado y el procesador de servicio a través de un TSl diferente. No obstante, dicha conexión complicaría el establecimiento 25. ulterior de conexión entre el LIU llamada y el LIU de donde procede la llamada, y con poca ventaja, porque el comportamiento de bloqueo de la red para la red descrita es satisfactorio aún cuando el trayecto encontrado se limita a un solo TSl.

30. 9. El procesador 70 envía un mensaje de solicitud en su canal de comunicación de 8 bytes al procesador 71 que

- identifica el LIU llamado y los diversos segmentos de tiempo en el lado del margen de la red de la etapa 31 que están disponibles en conmutadores controlados por el procesador 70 para alcanzar el LIU llamado. Si existen más de dos segmentos de tiempo que se adapten en un mensaje de 8 bytes, el exceso se mantiene hasta que se recibe una respuesta al primer mensaje. El mismo mensaje contiene también un código de operación que exige al procesador 71 que efectúe las determinaciones siguientes:.
- 5.
10. a. ¿Está el LIU llamado disponible u ocupado?
 b. ¿ Se puede hacer una conexión al LIU llamado a través de un segmento de tiempo que equipare la información de segmento de tiempo suministrada por el procesador 70?
15. 10. El curso de cumplir con la exigencia anterior, el procesador 71 responde al procesador 70 con uno de los mensajes de respuesta de código de operación siguiente:
- a. El LIU llamado está ocupado;
 b. El LIU llamado está libre, pero no existen segmentos de tiempo disponible que se equiparen con los de la lista; o
20. c. El LIU llamado está libre, y el segmento de tiempo siguiente en las etapas 30 y 31 se ha establecido para llamada.
25. 11. El mensaje de respuesta (a) ó (b) es recibido por el procesador 70, envía otro mensaje de solicitud (si existen más segmentos de tiempo libres a intentar) o instruye al procesador de servicio 86 para que envíe tono de ocupado al LIU de donde procede la llamada y verifique el LIU para hallar un estado de microteléfono colgado. De éste modo se termina el proceso del invento de llamada.
30. 12. Si el procesador 70 recibe el mensaje de respuesta

(c), establece el resto del trayecto entre el procesador de servicio 86 y el LIU llamado, cuyo trayecto se elige para que coincida con el segmento de tiempo elegido en el acceso del lado marginal de la red del IUB llamado.

5. 13. El procesador 70 dirige al procesador de servicio 86 para que inicie el tono de llamada en el LIU llamado y verifique el estado de microteléfono del LIU. El procesador 70 dirige también al procesador de servicio 86 para que envíe un tono audible al LIU que efectúa la llamada y para que continúe verificando el LIU con el fin de hallar el cambio de estado a microteléfono colgado (aborto de la llamada).

10. 14. Cuando el LIU llamado se descuelga en respuesta a la llamada (o si se cuelga antes), el procesador de servicio 86 termina la llamada al LIU llamado y envía un informe correspondiente al procesador 70.

15. 15. El procesador 70 devuelve un mensaje al procesador de servicio 86 para terminar la señal de llamada audible al LIU que origina la llamada.

20. 16. Suponiendo que la terminación de la señal de llamada se deba a la respuesta del LIU llamado, el procesador 70, conecta el LIU que origina la llamada al LIU llamado para volver a anotar el dato apropiado en los lugares de la memoria de control apropiada en el TSI a través del cual pasan los trayectos del LIU a servicio.

25. 17. Procesador 70 libera los dos semitrayectos entre el procesador de servicio 86 y el TSI, marca los enlaces apropiados en la etapa 32 (libre) en su mapa de estado de enlaces, y marca el procesador de servicio correspondiente 86 en "libre" en la lista de recursos de procesador de división.

30. 18. La información que se ha de emplear para factura-

5. ción se proporciona a los instrumentos de contabilidad de mensajes asociados, no ilustrados; y el LIU que inicia la llamada y el LIU llamado quedan de nuevo bajo la única supervisión de los procesadores de exploración de sus divisiones respectivas.

TOMA DE UNA CONEXION DE LLAMADA

Lo que sigue es una exposición de la secuencia de etapas que se han de seguir en la red de conmutación dividida para tomar una conexión de llamada existente:

10. 1. Cuando uno u otro de los LIU, origen de la llamada o llamado, registra un estado de microtelefono colgado de su abonado, dicho acontecimiento es detectado por el procesador de exploración de la división correspondiente que informa al procesador de división apropiado. Supongamos que cuelga primero
15. el LIU llamado.
20. 2. El procesador 71, controla la división del LIU llamado, y determina desde su propia memoria de llamada que una parte de la conexión de llamada estaba bajo control del procesador de división 70 y envía un mensaje a dicho procesador indicando el estado colgado del LIU llamado.
25. 3. En un intervalo de retardo apropiado, el LIU origen de la llamada deberá colgarse y su procesador de exploración 82 informa entonces el hecho al procesador 70 que, a su vez informa el hecho al procesador 71.
30. 4. En éste instante, los procesadores 70 y 71 toman las partes del trayecto en conversación bajo sus propios controles respectivos y limpian los registros del trayecto de sus mapas de sus partes de división respectivas de la red. El procesador 70, que controla la división del IU origen de la llamada, proporciona un conjunto apropiado de información de

facturación.

TRANSFERENCIA DE CONTROL ENTRE SECCIONES DE CONTROL
DE DIVISION

5. Con anterioridad se ha indicado que un fallo de un procesador o de otra sección de control de división, puede iniciar una rutina en la cual una sección de control de repues-
to reemplaza a la sección de control defectuosa. Como es ló-
gico, si un ordenador en un procesador falla, su ordenador
de repuesto, que comparte la misma memoria, deberá entrar en
10. acción automáticamente. Si se produce avería de una vía en
el acceso de I/O del procesador, el procesador puede funcio-
nar aún sin dicho acceso particular, pero sus capacidades se
reducen y deberá iniciarse una rutina de mantenimiento para
conmutar las secciones de control de división y facilitar di-
15. cha rutina. No obstante, si por cualquier caso catastrófico
se abrieran los circuitos de la totalidad de las vías 72 y
73, incluyendo quizás el circuito 79, entrarían en acción
alarmas en los procesadores de exploración servicio y trasla-
ción cuando dejan de recibir respuestas apropiadas a los in-
20. formes, como es normal en sistemas de interconexión de ordena-
dores y procedimientos de mantenimiento. Por consiguiente, se
iniciaría un mantenimiento realizado por personal o manteni-
miento mecánico. Si se adopta un procedimiento mecánico, se
dispone de una cierta variedad de dichos procedimientos cono-
25. cidos por la tecnología. Por ejemplo otro procesador de divi-
sión en activo se excita por una alarma para identificar por
la alarma el procesador de división que ha quedado fuera de
servicio. Dicho procesador de identificación informa entonces
indicando su propio nombre al procesador de traslación 87
30. junto con el nombre de su canal de comunicación en el cual se

ha hallado la avería. Suponiendo todavía un grave contrat tiempo, el procesador de traslación 87 identifica los circuitos de división más allá de la etapa 31 controlados por el procesador de división averiado, identifica una sección de control de división de repuesto, y envía mensajes de lista de recursos a la sección de control de división de repuesto que define la división donde había fallado el procesador e identifica los procesadores de exploración y servicio que se han de utilizar de modo que el dispositivo de repuesto pueda comenzar a manejar llamadas. Los establecimientos y terminaciones de llamada en progreso en el momento de la avería se pierden en caso de dicha avería grave.

No obstante, un caso más normal es el de un circuito v.g., uno de un par duplicado de procesadores de división, que falla y reduce pero no destruye la capacidad de un procesador de división para manejar llamadas. En dicho caso, las rutinas de mantenimiento indican la avería e inician una toma similar, pero más gradual, por la sección de control de división de repuesto según se indica en las etapas siguientes:

1. Supongamos que la sección de control averiada comprende el procesador 70. Su rutina de interrupción para mantenimiento hace que detenga temporalmente la operación de llamadas y envíe una orden a su procesador de exploración 82 para que detenga los mensajes de exploración.

2. El procesador 70 envía también un mensaje a un procesador de traslación 87 que advierte que se ha detenido la operación y pide que una sección de control de repuesto se haga cargo del proceso en el resto de la división del procesador 70.

3. El procesador de traslación 87 capta una sección

de control de repuesto y la dirige para que inicie la operación como sección en activo. El procesador de la sección de repuesto interroga al procesador de traslación 87 para identificar un procesador de servicio disponible, v.g., 94.

5. El procesador de la sección de repuesto establece un canal de comunicación con el procesador de servicio de repuesto 94.

10. 5. El procesador de la sección de repuesto devuelve entonces un mensaje al procesador 70, confirmando que se han establecido nuevas conexiones para el servicio de llamadas, y el procesador 70 devuelve un mensaje adicional al procesador de la sección de repuesto dirigiendo la conexión por el repuesto de un canal de comunicación al procesador de exploración 82 del procesador averiado 70.

15. 6. El procesador de la sección de repuesto establece la conexión indicada con el procesador de exploración 82.

20. 7. El procesador 70 transmite al procesador de repuesto la identificación de los IUB controlados, hasta ese momento, por el procesador 70, y el estado relativo a la ocupación de segmento de tiempo de los enlaces de IUB correspondientes a la etapa 31, así como cualquier otra información pertinente. De éste modo se establece parcialmente el mapa de enlaces de divisiones y la información de lista de recursos en el procesador de repuesto.

25. 8. El procesador de la sección de repuesto conecta los canales de control a los IUB identificados en la etapa 7 y ordena entonces al procesador de exploración 82 que reanude la transmisión de mensajes de modo que el procesador de la sección de repuesto puede comenzar a captar nuevas llamadas.

30. 9. El procesador 70 transmite mensajes a todas las demás

5 divisiones indicando que cualquiera de los futuros mensajes entre divisiones destinados al procesador 70, deben ir al procesador de la sección de repuesto. (Esto supone que al establecerse una llamada, un procesador de división incluye en su mapa de división el nombre de cualquier otro procesador de división comprendido en la llamada de modo que éste último procesador pueda ser informado después, sin referencia adicional al procesador de traslación 87, cuando se haya tomado la llamada).

10. 10. El procesador 70 desconecta sus trayectos de canales de control a sus IUB, y desconecta sus trayectos de canales de comunicación con otros procesadores de división, excepto el procesador de repuesto, para reducir la posibilidad de que se introduzcan accidentalmente señales no pertinentes en el proceso de llamadas activas antes de reparar la sección de control de división desactivada.

20. 11. El procesador 70 reanuda el proceso sacando las filas de espera que pudiera haber recibido mensajes durante la iniciación de la transferencia de la sección de control de división. No obstante, el procesador 70 tiene entradas procedentes tan solo de su propio procesador de servicio 86 y de la sección de control de repuesto 78, por lo que el procesador 70 se limita a: (a) acabar el establecimiento de llamadas cuyo establecimiento estuviera en progreso y (b) tomar llamadas requeridas por el procesador de la sección de repuesto 78.

25. 12. El procesador de repuesto recibe mensaje del procesador de exploración y mensajes de otros procesadores de división. Si dichos mensajes pudieran referirse a llamadas ya en progreso antes de desactivarse la sección de control 76, v.g., al procesador de la sección de repuesto no tiene información de registro de llamada de respecto al LIU en cuestión, el pro

30.

- cesador de respuesto adopta tales mensajes y puede referirse a llamadas controladas por el procesador 70 y transmite la nueva información a dicho procesador. Si el procesador 70 termina, por referencia a su registro de llamadas que puede utilizar la nueva información para procesar llamadas antiguas, lo realiza. De otro modo contesta al procesador de repuesto que el mensaje no se refiere a una llamada de la que tenga noticias, y el procesador de la sección de repuesto se hace responsable del mensaje.
- 5.
10. 13. Si el procesador 70 completa un establecimiento de llamada o finalización de la misma después que ha comenzado a funcionar el procesador de repuesto, o si el procesador 70 requiere de un modo similar acceso a un IUBC o exige asignación o desasignación de un segmento de tiempo de enlace de IUB
15. envía una solicitud apropiada al procesador de repuesto puesto que este último procesador se ha hecho cargo en su aspecto de control.
20. 14. Cuando el procesador 70 ha quedado libre de todas las conexiones de llamadas, v.g., se ha hecho cargo de todas las conexiones de llamadas a través de su bloque intercambiador de segmentos de tiempo, el procesador de la sección de respuesto llevará toda la carga de la división. El procesador 70 detecta el estado de limpieza total en su registro de llamadas, se hace cargo de sus conexiones de canales de comunicación al procesador de servicio 86, advierte al procesador de traslación 87 de los cambios, notifica al procesador de repuesto y desconecta su canal con el procesador de repuesto, y realiza programas de pruebas y mantenimiento y pide reparación manual.
- 25.
30. La operación de transferencia de la sección de control

de división anterior puede exigir una longitud de tiempo no ordenada si algunas llamadas controladas por la sección de control desactivada durante un tiempo relativamente largo. (la mayor parte de la transferencia tiene lugar normalmente en unos cuantos minutos puesto que el promedio de las llamadas no suele durar más de varios minutos. Como es lógico, las llamadas largas simplemente se conmutarían con una breve interrupción. No obstante, un procedimiento a introducir después de la etapa número 13 del procedimiento de transferencia de la sección de control y representado en el diagrama de la figura 7, permite un cambio de servicio ininterrumpido, como sigue, en caso de dicha llamada de larga duración:

13A. Supongamos que un segmento de tiempo TS1 en un acceso de la red, se conecta a través del bloque de conmutación 34, un intercambiador en la sección de control de división de tapa intermedia 76, y el conjunto de conmutación 37 a un segmento de tiempo TS2 en otro acceso de la red. El procesador de la sección de repuesto determina partiendo de la información de su propio mapa de enlaces si existe una posible conexión que emplee los mismos segmentos de tiempo TS1 y TS2 a través de un intercambiador de segmentos de tiempo en la sección de control de repuesto 78 de la etapa intermedia.

13B. Si no es así, abandona esta secuencia de cambio ininterrumpida y salta a la fase nº 13E. Si existe una posible conexión, el procesador de la sección de repuesto 78 coloca el intercambiador de segmentos de tiempo indicado de dicha sección en los segmentos de tiempo apropiados para este trayecto.

13C. El procesador de la sección de repuesto establece entonces los elementos de conmutación adicionales correspondientes en los conjuntos 34 y 37 de modo que haya en existencia

dos trayectos equivalentes para las señales en los segmentos de tiempo TS1 y TS2 en los accesos de la red indicado.

5. 13D. El procesador de la sección de repuesto advierte entonces al procesador 70 de la sección de control de división 76 el cual, a su vez, se hace cargo de uno de los dos trayectos, completando de éste modo la transferencia de la llamada en curso sin interrupción.

10. 13E. El procesador de la sección de repuesto vuelve a la fase 13A si existieran más llamadas de gran duración que se hubieran de cambiar.

15. Es posible que se traduzcan fallos en los procesadores de exploración, servicio o traslación de bajo nivel. En este último procesador, un defecto autodetectado iniciaría a un conmutador a un estado de reserva (no ilustrado) en los mismos canales de comunicaciones del modo normal relativo a transferencias de estado activo-reserva. Para manejar fallos detectados desde el exterior, v.g. los detectados por un procesador de división en comunicación con el procesador de traslación en activo, el procesador de división simplemente hace
20. funcionar una alarma para iniciar reparaciones manuales y comunica después con la unidad de traslación de reserva en la etapa correspondiente 31 en el acceso del lado marginal en la otra de las redes A y B.

25. Si se produce una avería en el procesador de exploración o servicio autodetectada, su rutina de interrupción envía a su procesador de división un informe de la avería. Dicho procesador interroga al procesador de traslación 87 para localizar un repuesto y conecta al mismo un nuevo canal de comunicación como lo haría para un procedimiento de establecimiento de conexión de llamada regular. Se consigue un resultado
30.

similar si el defecto se detecta primero en el procesador de división detectando un fallo que corresponda a un régimen de error indebidamente elevado en los mensajes.

5. Es evidente que como una unidad de un equipo de acceso de la red, v.g., un LIU, y su explorador, funcionan normalmente bajo control del mismo procesador de división, al menos la parte origen de la llamada de cualquier trayecto de llamada se controla por dicho procesador. Esta forma de enfocar la operación de la red tiende a limitar los fallos a una sola división.

10. Se puede "desarrollar" el sistema de conmutación descrito en una considerable gama de tamaños de una manera relativamente eficaz pero sin exigir cambios en los enlaces existentes entre etapas, añadiendo simplemente enlaces correspondientes al equipo añadido. Para este plan de desarrollo, el sistema comienza con un pequeño número de secciones de control de división (cada una totalmente equipada con TSI) IUB, procesadores de servicio, procesadores de exploración y el complemento pleno de conjuntos de conmutación de etapa adicional;

15. no obstante, estos últimos conjuntos han de estar tan solo parcialmente equipados con conmutadores muxdem.

20. En la configuración de sistema inicial, los elementos conectados a los accesos de lado marginal de la red se dividen lo más uniformemente posible entre los conjuntos de conmutación de la etapa 31, y los conjuntos de conmutación se equipan con suficientes conmutadores muxdem para conectar cada conjunto de conmutación en una red A o B a cada TSI en cada división de la misma de las redes duplicadas A y B. Durante el desarrollo inicial del sistema de conmutación, se

25. añaden IUB para hacerse cargo del desarrollo adicional el

30.

- número de líneas, haciéndose adiciones uniformemente a los conjuntos de la etapa 31, y se añaden procesadores de exploración y servicio según sea necesario hasta que se llenan las divisiones activas existentes, en el sentido de manejar el número máximo de diseño de líneas o el tráfico máximo de diseño. Entonces se produce un ciclo de desarrollo adicional como sigue:
5. 1. Se añade una sección de control de división totalmente equipada con dispositivos TSI.
 10. 2. Se añaden conmutadores, si fuera necesario a cada etapa 31 en el conjunto de conmutación para conectar todos los nuevos TSI de división a los conjuntos de conmutación existentes.
 15. 3. Se añaden dispositivos IUB, uno cada vez, según lo exija el desarrollo de los LIU, hasta que se ha añadido un IUB a cada conjunto de conmutación de la etapa 31. Entonces se añade de un modo similar un segundo IUB a cada conjunto de conmutación, y así sucesivamente, hasta que la nueva división se ha cargado completamente con los dispositivos IUB,
 20. según se ha descrito anteriormente.
 4. Se añaden procesadores de exploración y procesadores de servicio, según sea necesario por la nueva división, para manejar las nuevas líneas y el tráfico extra.
 25. 5. El procesador de traslación 87 tiene también almacenamiento desarrollable para manejar entradas o anotaciones de tablas de traslación adicionales exigidas por el equipo añadido. Inicialmente, las entradas de las tablas existentes se suplementan para mostrar el aumento de unidades de equipo y sus características. Según se efectúan las fases de desarrollo subsiguientes, se hace ediciones precisas al tamaño de la
 - 30.

memoria de traslación.

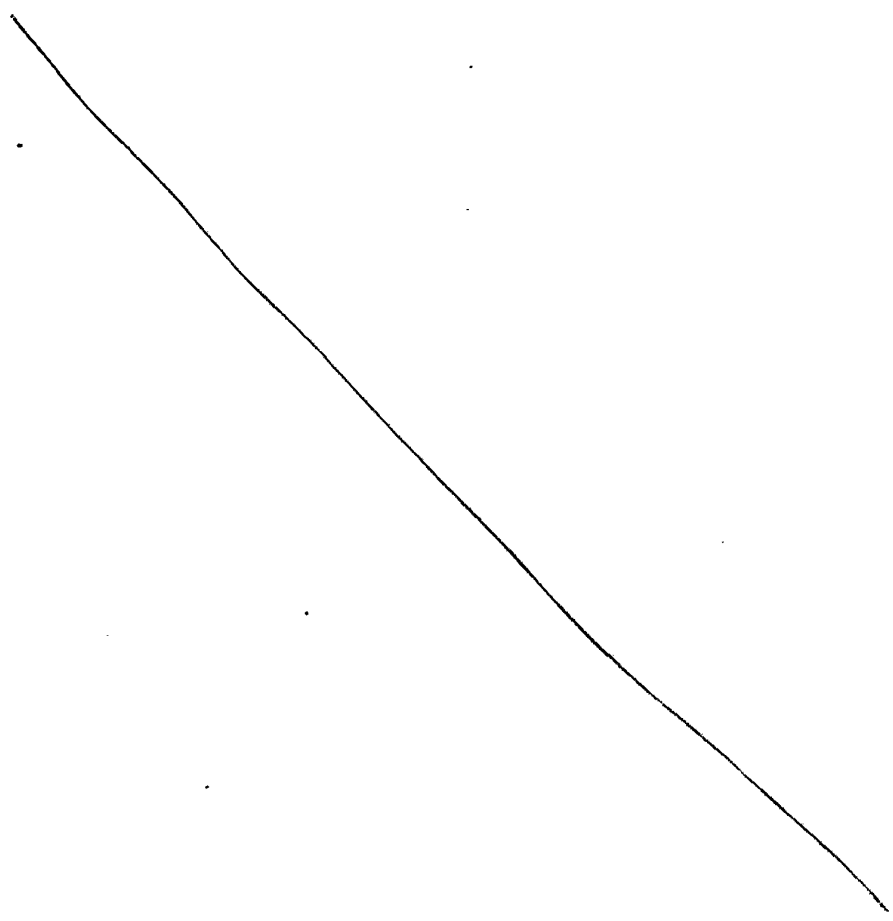
5. 6. Se llevan a cabo nuevos ciclos de desarrollo, v.g., la adición de nuevas divisiones, según se ha descrito en las etapas 1-5 hasta que se han llenado los conjuntos de conmutación de la etapa 31. Por ejemplo, supongamos un tamaño máximo de conjunto de conmutación en la etapa 31 de 64 accesos de lado marginal de la red y 32 accesos de lado de TSI, y supongamos además cuatro conmutadores de TSI (cada uno con 8 registradores de entrada y 8 registradores de salida de
10. corrimiento) en cada sección de control de división de cada una de las redes A y B. Cada división puede manejar entonces 15.000 líneas y su tráfico correspondiente. Esto permitiría siete secciones de control activas y una sección de control de división de repuesto en tamaño máximo. Así, el sistema
15. ilustrativo se puede desarrollar hasta aproximadamente 105.000 LIU antes de que los conjuntos muxdem de la etapa 31 lleguen a ser demasiados grandes y los números de los bloquecitos hagan que los costos de instalación comiencen a superar la economía que supone la red dividida. En este punto, cualquier
20. desarrollo adicional exige reinstalar la red y posiblemente una etapa de red adicional, Ello implica un procedimiento más complejo, pero cuyo procedimiento se conoce perfectamente en la tecnología.

25. Una posible variación de diseño de la red, que permitiría la construcción de una red algo mayor, es la de abandonar la exigencia de que cada conjunto de conmutación de la etapa 31 se conecta a cada TSI en cada división. Dicho esquema de enlaces entre etapas podría diseñarse de acuerdo con la patente de D.W.Hagelbarger 3.701.112, titulada "Diseños de Conjuntos
30. Incompletos Equilibrados para Enlaces de Circuitos que inter-

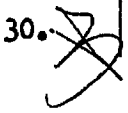
conectan etapas de la Red de Conmutación."

5. Aunque el presente invento se ha descrito con relación a una aplicación particular del mismo, se comprenderá que se pueden incluir dentro del espíritu y alcance del invento aplicaciones, modificaciones y modalidades adicionales que resulten evidentes a los expertos en la materia.

10. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.




REIVINDICACIONES

5. 1.- Perfeccionamientos en redes de conmutación, para establecer de una forma selectiva interconexiones entre unidades de líneas en el margen de la red, cuya red comprende: una pluralidad de etapas; estando una de las etapas conectada como etapa intermedia, primera etapa, entre por lo menos otras dos de las etapas en las interconexiones de los trayectos de llamada de la red entre pares de las unidades de líneas y que se divide en conjuntos de conmutación de los trayectos de señales plurales; caracterizados porque la red comprende además: una pluralidad de procesadores de señales en número igual al número de conjuntos de la etapa intermedia; circuitería para acoplar cada uno de los procesadores a un conjunto correspondiente diferente de la etapa intermedia para ejercer control a través del acoplamiento del trayecto de llamada de la circuitería, a través de dicho conjunto y a través de una parte predeterminada de cada una de las otras etapas de la red acopladas entre dicho conjunto y el margen de la red.
- 10.
- 15.
20. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque una segunda etapa, de las etapas, se conecta a las unidades de línea, una tercera de las etapas se acopla entre la segunda etapa y la etapa intermedia; la tercera de las etapas comprende: una pluralidad de conjuntos de conmutadores; una primera circuitería para acoplar por lo menos un conmutador diferente de cada conjunto de la tercera etapa a cada uno de los conjuntos de la etapa intermedia; y una segunda circuitería en cada conjunto de conmutación de la tercera etapa para interconectar los conmutadores de dicho conjunto de la tercera etapa en el lado marginal de la red de la tercera etapa, de modo que cualquier punto
- 25.
30. 

deinterfase en este último lado sea accesible a través de uno de los conmutadores de dicho conjunto desde cualquier punto de interfase de los medios de acoplamiento en el lado de dicho conjunto de conmutación de la etapa intermedia.


5. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque la red tiene medios para acoplar un punto de interfase de entrada/salida de cada uno de los procesadores a un punto de interfase del lado marginal de la red de una de la pluralidad de etapas de la red, distinta a la etapa intermedia, por lo que se pueden establecer de una forma selectiva trayectos de comunicación conmutables entre los procesadores a través de la red.

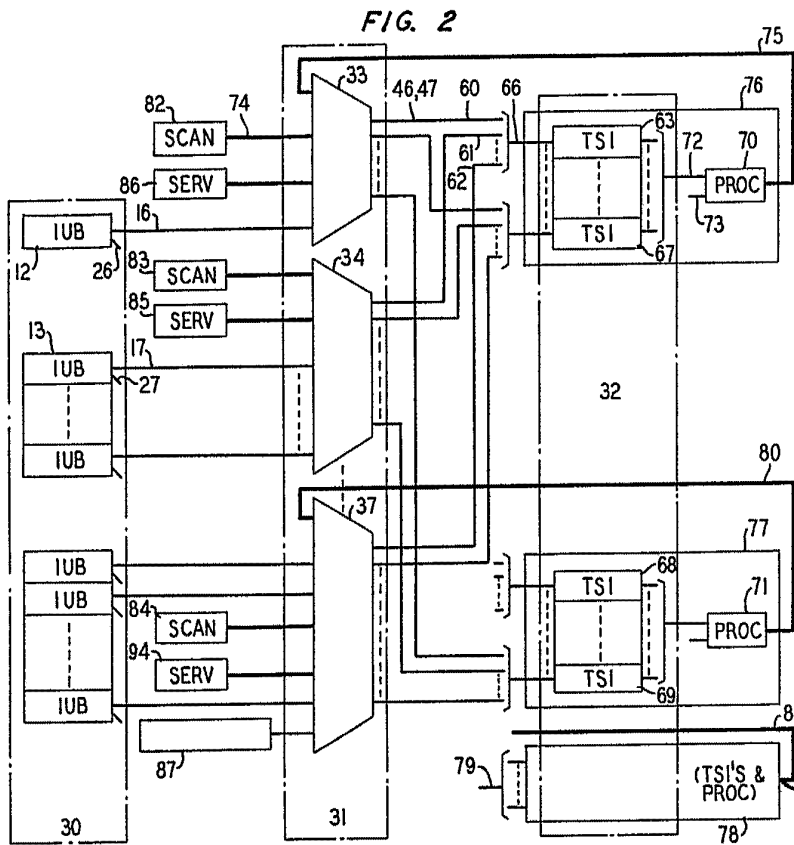
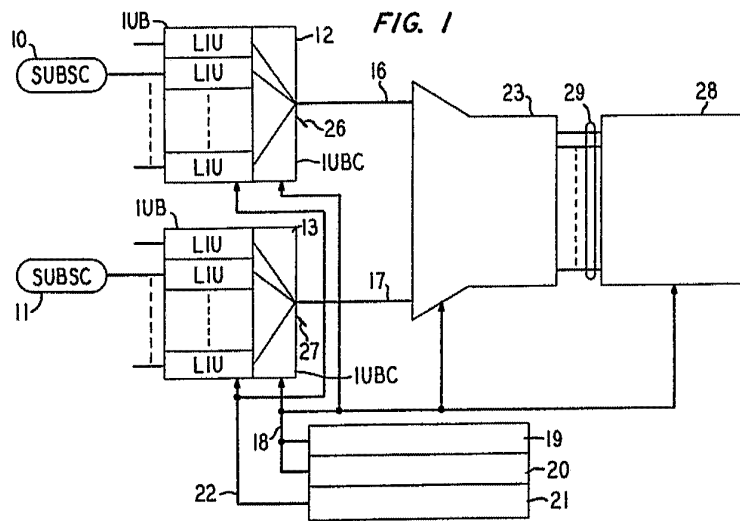
10. 4.- Perfeccionamientos según la reivindicación 2, caracterizados porque la red comprende un multiplexor para multiplexar señales de una pluralidad de conexiones de entrada en el lado de la etapa marginal de la red de conmutación en una conexión de salida común en el lado de la etapa intermedia del conmutador en diferentes segmentos de tiempo; un desmultiplexor para desmultiplexar señales de segmentos de tiempo diferentes de una entrada común en el lado de la etapa intermedia del conmutador a salidas diferentes en el lado de la etapa marginal del conmutador; y circuitería de control para controlar conexiones del multiplexador y desmultiplexador en diferentes segmentos de tiempo; y porque la circuitería de control comprende: una memoria de control; circuitería de escritura para escribir en la memoria de control, en respuesta a señales dirigidas al conmutador desde un procesador de control correspondiente en la entrada común del desmultiplexador; y circuitería de lectura para leer desde la memoria de control, bien desde lugares de palabras en secuencia de la misma, para controlar el multiplexador y desmultiplexador, o
- 15.
- 20.
- 25.
30. 

desde lugares de palabras elegibles de la misma, a la salida común del multiplexador en respuesta a la interrogación procedente del procesador de control correspondiente por medio de la entrada común al desmultiplexador.

5. 5.- Perfeccionamientos según la reivindicación 1, caracterizados porque cuando la red es una red de conmutación multiplex de división de tiempo con interconexiones de trayectos de llamada reconfigurables en una pluralidad de segmentos de tiempo de encuadres de tiempo cíclicos; la etapa intermedia comprende: por lo
10. menos un dispositivo de intercambio de segmentos de tiempo en cada uno de los conjuntos de la etapa intermedia; medios para acoplar el dispositivo de intercambio para ser controlado desde el procesador que se acopla a dicho conjunto; y medios para acopiar señales entre el procesador mencionado en último lugar y la pluralidad de etapas a través del dispositivo de intercambio.

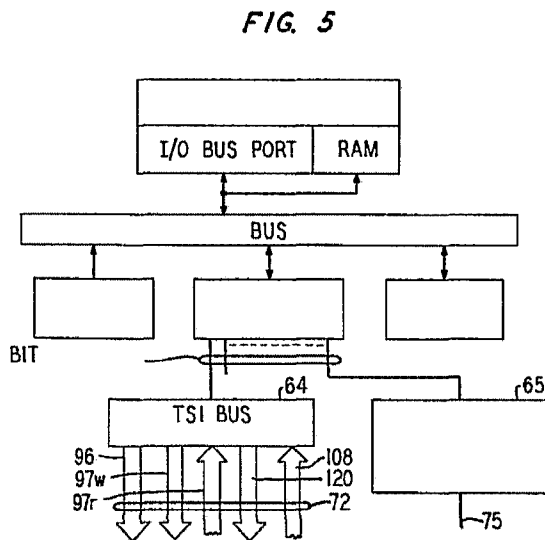
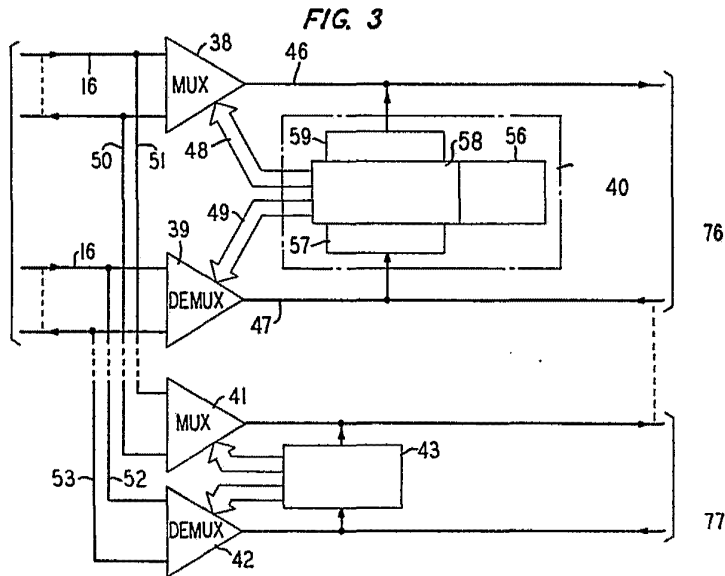
15. 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque un conjunto de conmutación de repuesto acoplado y un procesador correspondiente se utilizan para la etapa intermedia pero no están asignados para controlar una parte predeterminada de la red entre dicho conjunto y el margen de la red.

20. 7.- Perfeccionamientos según la reivindicación 1, caracterizados porque cuando la tercera etapa comprende una pluralidad de conjuntos de etapas, cada conjunto comprende: una pluralidad de conmutadores en cada uno de los conjuntos; medios para acoplar un conmutador diferente de dicho conjunto a un punto de interfase de cada uno de los conjuntos de una etapa, y medios en cada uno de los conmutadores, y controlables por el procesador de señales para el conjunto de una etapa al que se acopla el conmutador, con el fin de acoplar dicho conjunto de una etapa a través del
25. conmutador a uno elegible de la pluralidad de puntos de interfase
30. 



28 JUN 1977

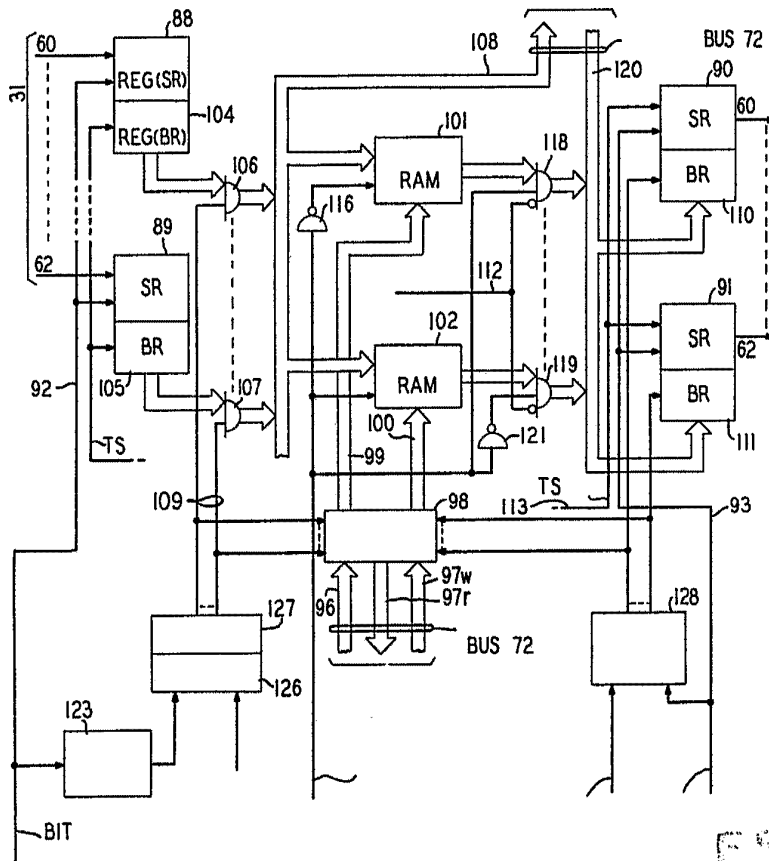
(TSI'S & PROC)



JUN 1977

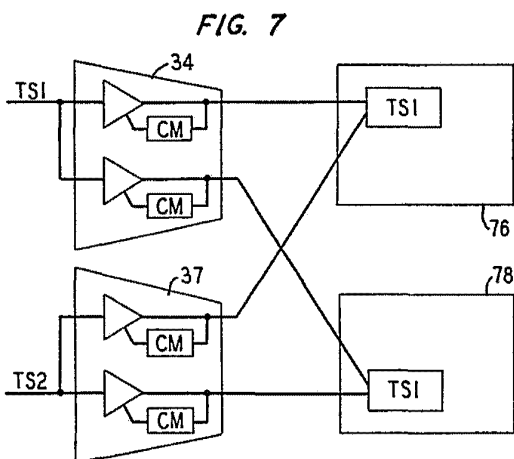
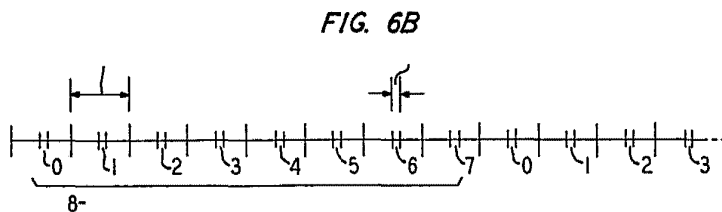
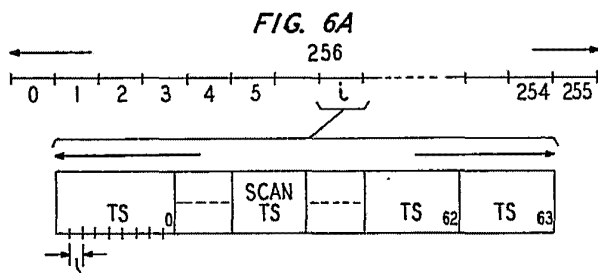
By: *[Signature]*

FIG. 4



ESPECIAL
VARIABLE
MAY 1977

J. M. ...
p. p. Firmado: J. ...



**ESCALA
VARIABLE**

Madrid JUN 1977

J. M. GOMEZ REYES Y POMO
P. P. Firmado: J. Gomez Diaz