

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

10 ES	11 NUMERO	10 A 1
	21 458.900	
	22 FECHA DE PRESENTACION	

PATENTE DE INVENCION

30 PRIORIDADES: 31 NUMERO	32 FECHA	33 PAIS
76 14933	18.Mayo.1976	Francia

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

64 TITULO DE LA INVENCION
"UN DISPOSITIVO PARA FACILITAR EL MANTENIMIENTO Y DIAGNOSIS DE LOS SISTEMAS CON MULTIPROCESADORES"

71 SOLICITANTE (S)
STANDARD ELECTRICA, S.A.

DOMICILIO DEL SOLICITANTE
Madrid, calle de Ramirez de Prado, nº 5

72 INVENTOR (ES)
Michel André Longatte Jean-Paul Nicolle Xavier Yves Charles Penet

73 TITULAR (ES)
STANDARD ELECTRICA, S.A.

74 REPRESENTANTE
D. Eugenio Barroso Espinosa de los Monteros

El presente invento se refiere a un dispositivo para facilitar el mantenimiento y diagnosis de los sistemas con multiprocesadores que incluye, por lo menos, dos computadores trabajando sobre una base de tiempo compartido. El invento tiene aplicación, más concretamente, en el mantenimiento y diagnosis de las unidades utilizadas en el enlace entre computadores.

Un sistema de control que incluye por lo menos dos computadores de programa almacenado y de carga compartida ya ha sido descrito, por ejemplo, en la patente española nº 349.576 titulada "Sistema automático de conmutación de telecomunicación y de tratamiento de información". Otra descripción de un tal sistema puede encontrarse también en la "Revista de Telecomunicaciones" nº 47/3-1972, páginas 158 a 162 y el nº 48/3-1973, páginas 239 a 250. Según el principio de duplicidad activa del sistema de control descrito en los artículos mencionados anteriormente, cada uno de, por lo menos, dos computadores, procesa una parte de la carga del sistema controlado que, en estas circunstancias, es una red de conmutación. Esta técnica ofrece, en particular, las siguientes ventajas. Un sistema duplicado de control proporciona una confiabilidad mucho más elevada que un sistema computador sencillo. Además, ofrece una mejor reacción a los errores de programación, debido al hecho de que los dos computadores procesan sucesos periféricos diferentes, reduciendo grandemente la posibilidad de un fallo simultáneo. Finalmente, ofrece la posibilidad de una excelente capacidad para procesar las sobrecargas. Una de las principales características de un tal sistema de control es que un computador puede hacerse cargo de la carga del otro computa-

dor cuando éste falle. En este sentido, sin detrimento del sistema controlado, el computador en servicio debe estar actualizado en cuanto al proceso realizado por el otro computador antes del fallo de éste. Por lo tanto, los computadores del sistema de control intercambian mensajes de datos referentes a cualquier modificación realizada por ellos al sistema controlado. Tambien es necesario, para cada uno de los computadores, estar informado a cerca del estado de los otros computadores de tal manera que conozca si ha de seguir en carga compartida o ha de hacerse cargo de toda la carga.

Por las razones indicadas, se asocia un módulo de supervisión con cada computador. Este módulo de supervisión incluye, por una parte, una unidad de estado que almacena ciertos datos referentes al estado del computador con el que está asociado dicho módulo de supervisión así como el estado del otro computador y, por otra parte, una unidad de enlace inter-procesador que consiste principalmente de un registro capaz de almacenar los mensajes de datos generados por el computador asociado. Dos módulos de supervisión se intercomunican a través de los dispositivos de enlace que transmiten los mencionados mensajes de datos y los datos de estado de un computador al otro.

Bajo un funcionamiento normal, los computadores funcionan lo más independientemente posible, esto es, comunican con los otros solamente las anomalías, para comprobar que los circuitos que enlazan los ordenadores hacen posible que uno de ellos se haga cargo de la carga del otro. Tan pronto como tiene lugar un fallo, los computadores se hacen independientes: el computador defectuoso se desconecta de la red y de los otros computadores. El mismo

carga entonces los programas de prueba que ejecutará a fin de determinar el origen o causa del fallo. Sin embargo, aunque en la mayoría de los casos de fallo se identifica fácilmente el computador defectuoso (que es normalmente el que detecta el fallo), esto no es del todo cierto cuando el fallo tiene lugar en el enlace inter-procesador. En este caso, lo mejor es primero determinar qué computador es el origen del fallo e identificar la parte defectuosa en dicho computador.

10                   Consecuentemente, un objetivo del presente invento es un dispositivo de enlace inter-procesador que, asociado con el módulo de supervisión de un computador permite que las señales transmitidas por el computador sean comprobadas.

15                   Otro objetivo del presente invento es un proceso que, utilizando el mencionado dispositivo de enlace, permite la identificación del computador defectuoso cuando se ha detectado un fallo en el nivel del enlace inter-procesador.

20                   Otro objetivo del presente invento es un proceso y un dispositivo que, asociado con un computador que ha sido encontrado defectuoso, permite que el mismo se haga funcionalmente independiente del otro, facilitando así las operaciones de mantenimiento realizadas en el enlace inter-procesador.

25                   Según una característica del invento, en un sistema de control que tiene, por lo menos, dos computadores de programa almacenado y carga compartida, conteniendo cada uno un módulo de supervisión, estando acoplados los  
30                   módulos de supervisión de los dos computadores mediante dos

dispositivos de enlace a fin de transmitir los mensajes de datos y los datos de estado, existen elementos para realimentar las señales transmitidas por cada dispositivo de enlace en un bucle de control; existen tambien elementos para inhibir, a una señal de prueba, todos los receptores de las señales que llegan de otro computador y elementos para aceptar bien las señales realimentadas cuando el computador está en el modo de prueba, o las señales de salida de dichos receptores cuando dicho computador está bajo funcionamiento normal.

Otros objetivos, características y ventajas de este invento aparecerán en la descripción que sigue de una configuración particular, junto con los dibujos que se acompañan en los cuales:

- la figura 1 es un diagrama bloque de un sistema de control con dos computadores acoplados por su dispositivo de enlace;
- la figura 2 muestra el dispositivo de enlace de cada computador de acuerdo con los principios del invento;
- las figuras 3 y 4 son cartas de flujo que muestran las diferentes operaciones a ser realizadas en cada computador de acuerdo con el proceso del invento.

La figura 1 es un diagrama simplificado de un sistema de control con dos computadores de programa almacenado A y B que funcionan de acuerdo con el principio de carga compartida. Cada uno de los computadores A y B incluye una unidad de proceso central 1A y 1B, asociada con una memoria 2A y 2B, respectivamente. Además, un módulo de supervisión 3A ó 3B está asociado con cada unidad de proceso central, y las dos unidades de proceso centrales 1A y 1B están interconectadas por medio de los dispositivos de enlace

4A y 4B. Como se ha mencionado anteriormente, el módulo de supervisión asociado con un computador contiene una unidad de estado que almacena los datos referentes al estado de dicho computador y una unidad de enlace interprocesador que  
5 almacena los mensajes de datos que se transmiten al otro computador a través de dichos dispositivos de enlace.

Estos mensajes de datos consisten de cuatro palabras de datos capaces de informar al otro computador a cerca de las operaciones de proceso en curso. Así, cada computador conoce no solamente los cambios que haya iniciado en el sistema  
10 sino también los que haya iniciado el otro computador. Los mensajes de datos contienen datos redundantes que permiten que el computador que recibe compruebe la calidad de la transmisión. En la aplicación descrita aquí como un ejemplo,  
15 un mensaje consiste de cuatro palabras que se transmiten sucesivamente y la última palabra es un código de las tres palabras precedentes. Los datos se intercambian entre los dispositivos de enlace 4A y 4B en el modo requisición-respuesta, por tantos hilos de conexión como señales hayan  
20 de transmitirse. Para mayor simplicidad puede suponerse que cada módulo de supervisión envía las señales de requisición tales como RQA ó RQB al otro módulo de control a través de dichos dispositivos de enlace y reciben de él las señales de datos tales como DATA ó DATB. Las señales de requisición o datos se transmiten por medio de los circuitos transmisores que son una parte del dispositivo de enlace  
25 asociado con un computador y son recibidos por medio de los circuitos receptores que son una parte del dispositivo de enlace del otro computador.

30 Ahora, si se observa un error en la trans-

misión de las señales entre los dispositivos de enlace, este error puede deberse a un fallo, bien en el transmisor o en el lado de receptor. También es cuestión de determinar cual computador es el que ha funcionado mal, haciéndolo ejecutar el programa de pruebas, de tal manera que puede estar desconectado. El invento hace esto posible utilizando una configuración tal como la mostrada en la figura 2. Ya que el sistema de control es simétrico, por cada señal transmitida por el computador A y recibida por el computador B, existe una señal equivalente correspondiente transmitida por el computador B y recibida por el computador A. Por esta razón, se muestran en la figura 2 una señal de requisición RQA y una señal de datos DATA que llegan del computador A, así como las señales equivalentes RQB y DATB que llegan del computador B. Cada señal transmitida por el dispositivo de enlace de un computador se aplica no solamente a un circuito receptor en el dispositivo de enlace del otro computador, sino también a un circuito receptor adicional localizado en el dispositivo de enlace del computador transmisor. Así, la señal RQA transmitida por un circuito transmisor se aplica a un circuito receptor, que es una parte del dispositivo de enlace 4B del computador B, así como al circuito receptor 51 que es una parte del dispositivo de enlace 4A del computador A. La salida del circuito receptor 51 se aplica a una puerta-AND 53 que también recibe una señal de activación TSTA. Una puerta-OR recibe tanto la señal de salida de la puerta 53 como la señal de salida de un circuito receptor 52 al que se aplica una señal de requisición RQB, que llega desde el dispositivo de enlace 4B. La salida de la puerta 54 representa bien la señal RQA cuando

la puerta-AND 53 está activada, o la señal RQB. La misma configuración de circuito se utiliza para la señal de requisición RQB o las señales de datos DATA y DATB. Sin embargo nótese que cuando la salida de los circuitos receptores tales como 51 y 57 está activada por la señal TSTA, los circuitos receptores tales como 52 y 57 deben inhibirse. Esto se consigue por la señal RPDA en el dispositivo de enlace 4A y por la señal RPDB en el dispositivo de enlace 4B. Así, cuando las señales TSTA y RPDA están presentes, el computador A es funcionalmente independiente del computador B; y la salida del módulo de supervisión 3A se realimenta en un bucle cerrado.

Son evidentes las ventajas de tal dispositivo para la realimentación de señales desde la salida del dispositivo de enlace de un computador. La primera ventaja es que el computador mismo puede probar sus propios circuitos, especialmente aquellos implicados en un enlace interprocesador; esto facilita las operaciones de depuración del computador así como la comprobación de las tarjetas de circuito después de su fabricación. Otra ventaja que se deriva de la primera es un más sencillo mantenimiento del computador que constituye una parte del sistema de control multiprocesador. Por último, una ventaja especialmente interesante es la velocidad con la que puede realizarse un diagnóstico en un sistema de control por multiprocesador cuando se detecta un fallo en el enlace interprocesador. En la descripción que sigue, puede verse como se hace uso de los principios del invento para determinar al computador defectuoso. Cuando un fallo afecta a ambos computadores A y B, esto es, a sus secciones de enlace, puede detectarse bien por el

computador defectuoso o por el que está funcionando correctamente, pero que recibe datos que contienen un error. Este es el caso, por ejemplo, de un error detectado en la decodificación de los mencionados mensajes de datos. Cuando se

5 detecta un error por un computador, éste inicia la ejecución por su propia unidad de proceso central y por el proceso central del otro computador de los programas específicos que permitirán determinar el procesador que ha causado el error y permitirá tomar las medidas necesarias. Supongamos

10 que el computador A detecta un error durante la ejecución de una instrucción que implique al computador B (por ejemplo, durante la ejecución de una instrucción de transferencia de mensajes de datos desde el computador B al A). Esto se anotará mediante: ERA = 1 y ERB = 0 . El computador A realiza entonces un procedimiento de prueba, esto es, ejecuta

15 un programa específico. Envía una señal al computador B de tal manera que éste también ejecute un procedimiento de prueba. Esta señal se denomina primera interrupción para la señal de prueba. A la recepción de esta primera señal

20 de interrupción, el computador B inicia la operación de transferencia de un mensaje de datos. Esto significa que el computador B cargará cuatro palabras que forman un mensaje en los registros existentes para este fin en la unidad de enlace de este computador. Cuando han sido cargados los registros,

25 se envía una señal de interrupción especial al computador A y se leen las cuatro palabras sucesivamente por el computador A. Cuando se han transmitido las cuatro palabras se envía una nueva señal de interrupción al computador A por el computador B que ejecuta entonces una instrucción de realimentación, esto es, activa las salidas de los circuitos

30



mitida desde el computador A al B, el computador A detiene al B, y en el caso opuesto, el computador A se detiene por sí mismo;

- para el caso en que  $ERA = \underline{0}$ ;

5        .si  $ERB = \underline{1}$  la decisión final se toma por el computador B,

      .si  $ERB = \underline{0}$ , indica que no existe error.

Examinemos ahora el caso del computador B;

- si el flip-flop de diagnóstico DIAGA está en estado  $\underline{1}$ , el computador B realiza solo la carga del sistema de conmutación;

10 - si el flip-flop de diagnóstico DIAGB está en estado  $\underline{1}$  se detiene el computador;

- si ninguno de los flip-flops DIAGA ó DIAGB está en estado  $\underline{1}$ , el computador B examina el estado de las variables ERA y ERB,

15 - si  $ERA = \underline{1}$ , la decisión final la toma el computador A;

- si  $ERB = \underline{1}$  y se ha detectado un error en una señal transmitida desde el computador B al A el computador B detiene al A, y en el caso opuesto, el computador B se detiene por sí mismo;

20 - si  $ERB = \underline{0}$ , indica que no existe error.

En el análisis realizado por los computadores A y B, se considera imposible una situación en la que ambos flip-flops de diagnóstico DIAGA y DIAGB estén en el estado  $\underline{1}$ . En efecto, tan pronto como se detecta un error

25 por un computador, éste ejecuta las pruebas y diagnósticos que implican también al otro computador a fin de determinar la causa. De esta manera, la aparición simultánea de un error en cada computador a nivel del enlace interprocesador es extremadamente improbable.

figuras 3 y 4 muestran la secuencia de las diferentes operaciones mencionadas anteriormente. Estas operaciones se realizan simultáneamente en cada procesador y requieren muy poco tiempo. Por otra parte, al final de estas operaciones, el sistema puede controlar de nuevo la red, bien en configuración dual si no se encuentra un fallo permanente, o en configuración sencilla cuando un computador ha resultado defectuoso.

El examen de la figura 2 revela que cuando se cierra en bucle un dispositivo de enlace, los circuitos receptores tales como 52 y 57 no son probados. Ello es porque se realiza una operación de transferencia de mensajes antes de ejecutar en cada computador una instrucción de realimentación. Puede determinarse de los resultados de esta operación de transferencia si el error detectado concierne a una señal transmitida desde el computador A al B o viceversa. Esta información, además de los resultados de las pruebas después de la puesta en bucle, determinan, si es necesario, si el fallo se refiere a un circuito receptor del dispositivo de enlace 4A o del dispositivo de enlace 4B, como se muestra en la figura 4.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Francia el día 18 de Mayo de 1976, señalada con el Nº 76 14933 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

## -----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sea objeto de esta patente de veinte años son los siguientes:

5                   1.- Un dispositivo para facilitar el mantenimiento y diagnóstico de los sistemas con multiprocesadores, incluidos en un sistema de control, con dos computadores de programa almacenado y carga compartida, estando asociado cada computador con un módulo de supervisión que incluye, por  
10 lo menos, una unidad de estado y una unidad de enlace interprocesador, y estando los módulos de supervisión de los dos computadores por medio de dos dispositivos de enlace que están interconectados por tantas líneas de transmisión como señales hayan de ser transmitidas, caracterizado porque, en  
15 cada dispositivo de enlace, existen elementos para realimentar las señales transmitidas por el propio dispositivo de enlace; existen elementos para inhibir a una primera señal de prueba todos los receptores de un dispositivo de enlace que recibe las señales que llegan desde el otro dispositivo  
20 de enlace; y existen también elementos para aceptar bien las señales de salida de los mencionados receptores bajo funcionamiento normal con dos computadores, o las señales de realimentación cuando está presente una segunda señal de prueba.

25                   2.- Un dispositivo, según el punto 1, que permite la realización de un diagnóstico cuando se ha detectado un fallo en el enlace interprocesador para identificar el computador defectuoso, estando caracterizado dicho proceso porque:

30 - cada computador almacena en su unidad de estado los datos

*mge*

- error y la identidad del computador que detectó dicho error;
- el computador que detectó el error envía una primera interrupción por la señal de prueba al otro computador;
  - este otro computador, a la recepción de la primera señal
- 5 de interrupción, inicia una operación de transferencia de un mensaje de datos, consistiendo dicho mensaje en un cierto número de palabras almacenadas en la unidad de enlace y que se transmiten sucesivamente;
- al final de la mencionada operación de transferencia del
- 10 mensaje de datos, el otro computador envía al computador que detectó el error una segunda interrupción por la señal de prueba y genera las señales de prueba primera y segunda para inhibir sus receptores y poner en bucle la salida de sus transmisores respectivamente;
- el computador que detectó el error genera también las se-
- 15 ñales de prueba primera y segunda para inhibir sus receptores y poner en bucle la salida de sus transmisores respectivamente;
- ambos computadores ejecutan cierto número de pruebas que
- 20 consisten en la transmisión de señales por medio de los transmisores en bucle y en la comparación de las señales recibidas con las transmitidas así como la situación de un flip-flop de diagnóstico en un estado predeterminado si se detecta un error durante las mencionadas pruebas;
- al final de dichas pruebas, cada computador suprime las
- 25 señales de prueba primera y segunda a la recepción de una tercera interrupción por la señal de prueba enviada por el segundo computador;
- si dicho flip-flop de diagnóstico del computador que detec-
- 30 tó el error está en el mencionado estado predeterminado, es-

me

te computador se detiene y el control lo proporciona el otro solo;

- si el mencionado flip-flop de diagnóstico del otro computador está en el estado predeterminado, este computador se detiene y el que detectó el error proporciona sólo el control;
- si el mencionado flip-flop de diagnóstico de ambos computadores no está en la posición predeterminada, el computador que detectó el error detiene al otro computador si el error se detectó en una señal transmitida del primero al segundo computador, o se detiene él mismo si el error se detectó en una señal transmitida desde el segundo al primer computador.

3.- Un dispositivo para facilitar el mantenimiento y diagnóstico de los sistemas con multiprocesadores.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de catorce hojas escritas por una sola cara.

Madrid, 18 AGO. 1977



*M. G. Santamaría*

M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

ME

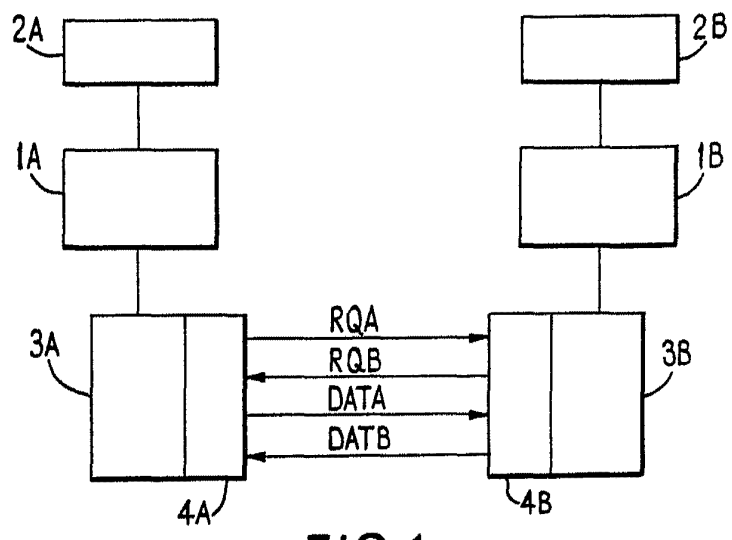


FIG. 1

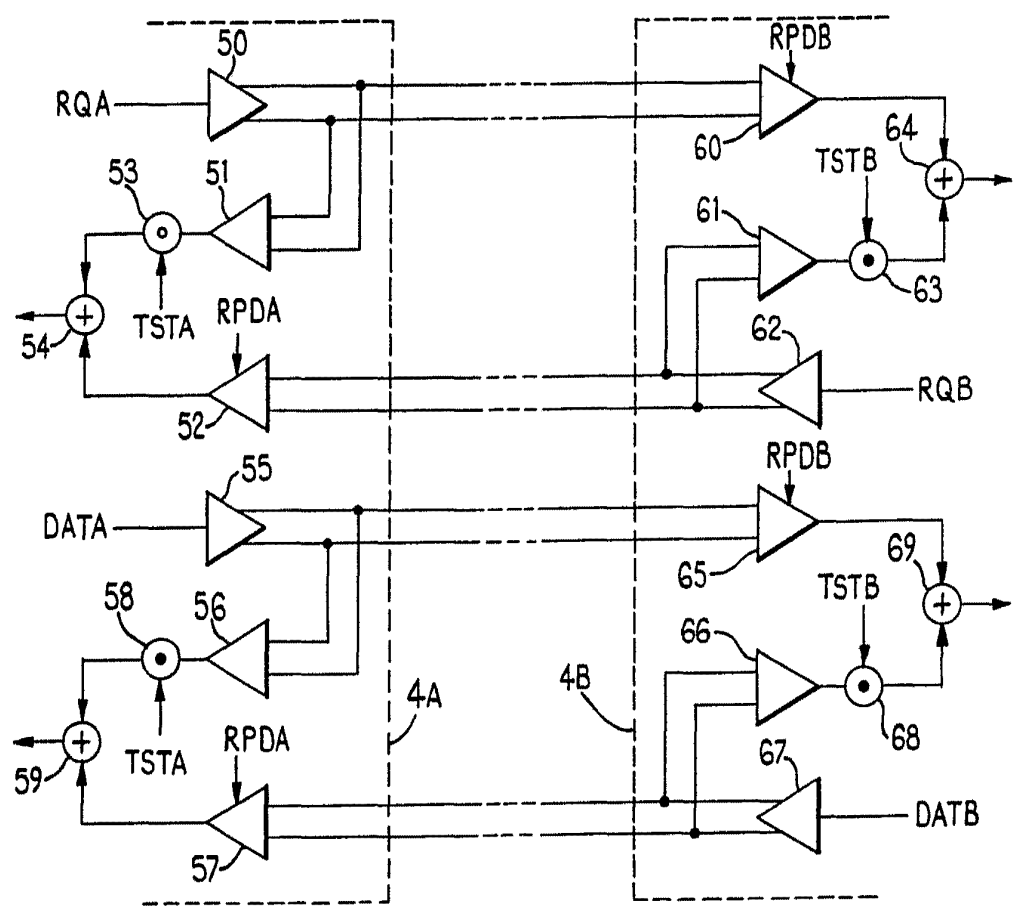


FIG. 2

*[Handwritten Signature]*  
 MICROELECTRONICS

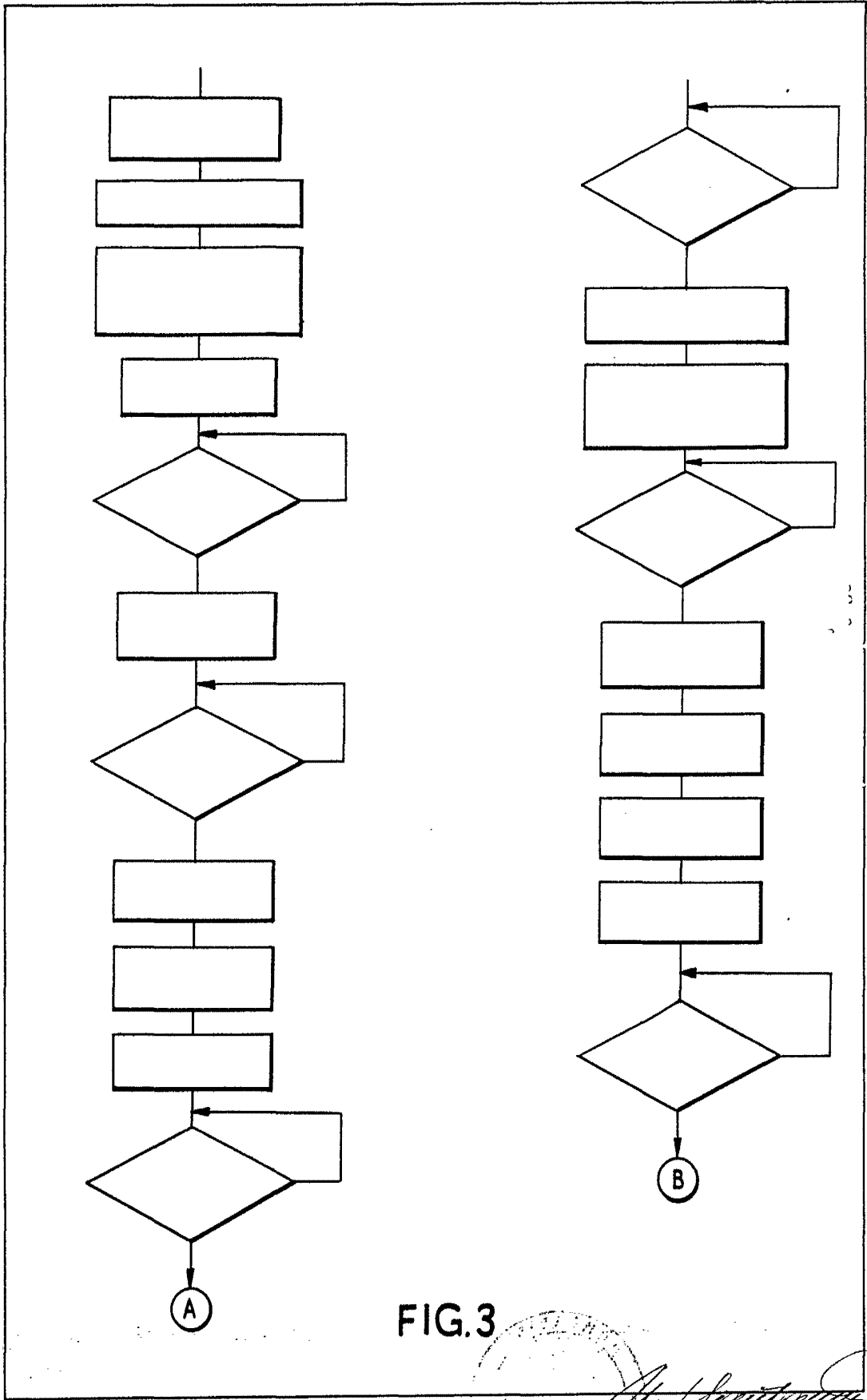


FIG. 3

*M. G. S...*  
 M. G. S...  
 VICE-SECRETARY

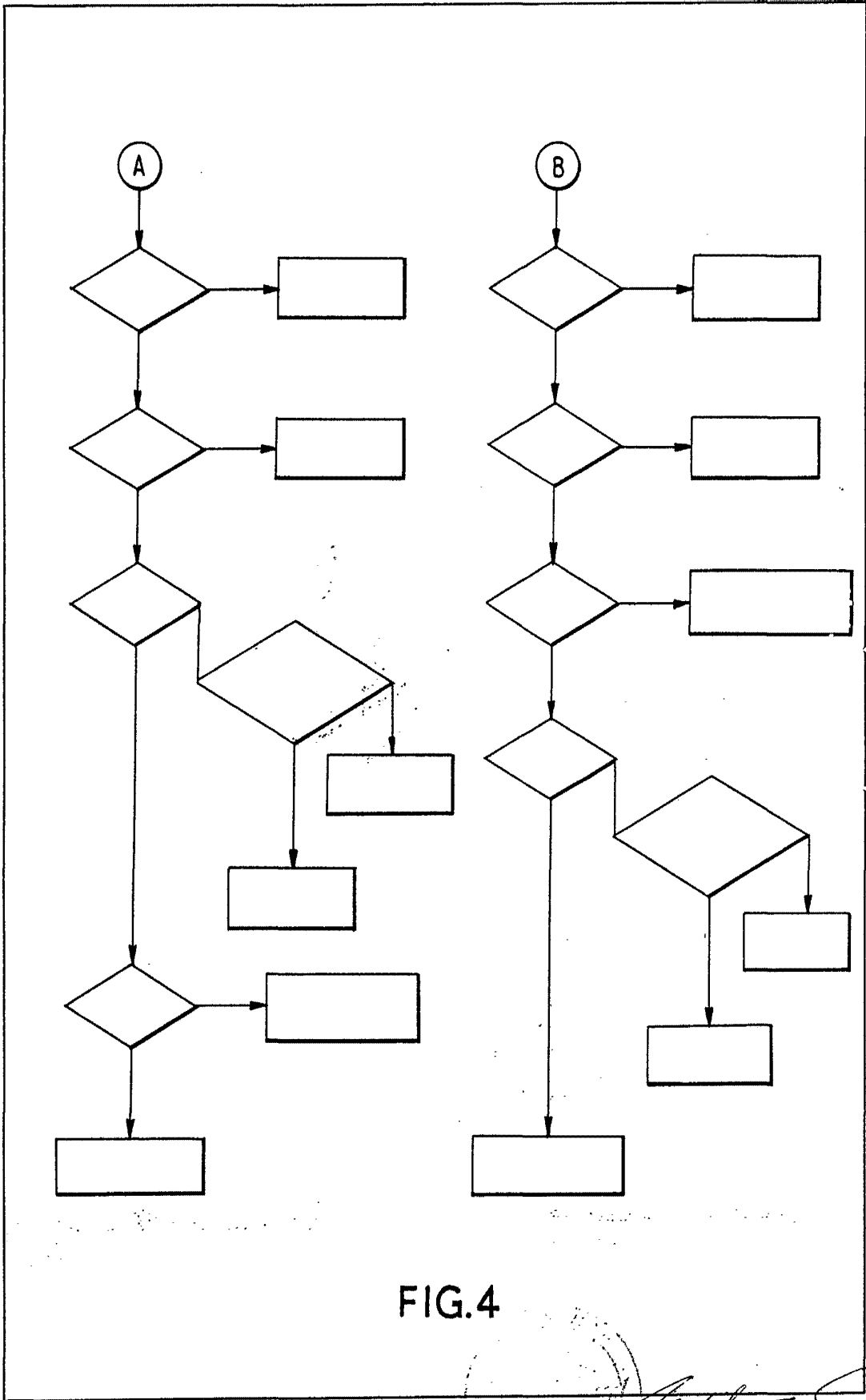


FIG. 4

*M. G. Santalucia*  
 M. G. SANTALUCIA  
 VICE-SECRETARY GENERAL