



19	ES	11	NUMERO	10	A1
		21	45 8627		
		22	FECHA DE PRESENTACION		

PATENTE DE INVENCION

30 PRIORIDADES:			32 FECHA			33 PAIS		
31 NUMERO			11/Mayo.76			Holanda		
76 04987								
47 FECHA DE PUBLICIDAD		31 CLASIFICACION INTERNACIONAL			32 PATENTE DE LA QUE ES DIVISIONARIA			
		G 01 R						
54 TITULO DE LA INVENCION								
" UN EQUIPO DE EVALUACION DE SENAL OPTICA LUMINISCENTE O MAGNETICA "								
71 SOLICITANTE (S)								
STANDARD ELECTRICA, S.A.								
DOMICILIO DEL SOLICITANTE								
Madrid, calle de Ramirez de Prado, nº 5.								
72 INVENTOR (ES)								
Lucian Hector Elias Van Heddegem.								
73 TITULAR (ES)								
STANDARD ELECTRICA, S.A.								
74 REPRESENTANTE								
D. Manuel Gómez Santamaría.								

El presente invento se refiere a un equipo de evaluación de señal óptica, luminiscente o magnética, para evaluar una señal de entrada, transmitida de una entrada a una salida del equipo, con la ayuda de elementos detectores de pico y elementos comparadores.

Tal equipo ya es conocido por la Patente norteamericana nº 3.875.419, en donde forma parte de un sistema de reconocimiento de código de barras. Este equipo ya conocido comprende también una red de ajuste de umbral, impidiéndose la aparición de una señal de salida a la salida, cuando la señal de entrada no exceda el valor del umbral ajustable. Sin embargo no se describen elementos que puedan realizar un ajuste automático del umbral tomando en cuenta las variaciones de amplitud entre las señales de entrada y el ruido de fondo y que pueden encontrarse, por ejemplo, en la lectura de un código de barras sobre un sobre. Por supuesto que, la amplitud de tales señales depende entonces de un gran número de parámetros muy variables, tales como la naturaleza del sobre y la tinta utilizada para codificar las barras en la envolvente, y puede variar, por ejemplo, de 1 a 100.

Para resolver este problema, se puede evaluar una versión retrásada de la señal de entrada en función de un umbral variable, siendo este último función de la misma señal de entrada. Sin embargo, para algunas aplicaciones puede no ser deseable un dispositivo que proporciona un retardo suficientemente grande correspondiente a la duración de la señal de entrada por ejemplo, por demasiado caro. Puede concebirse un retardo más pequeño correspondiente solamente a una parte inicial de la señal, pero entonces se reducirá

grándemente la inmunidad al ruido, dado que esta parte puede contener una gran cantidad de información espúrea.

Por lo tanto, un objetivo del presente invento es proporcionar un equipo de evaluación de señal del tipo anterior, pero que supone esté adaptado para tener en cuenta las grandes variaciones de amplitud entre las señales de entrada no necesite la utilización de un circuito de retardo.

Este objetivo se consigue, según el presente invento, por el hecho de que los elementos detectores de pico incluyen un primer circuito detector de pico para detectar y registrar un primer valor de pico de una primera porción de dicha señal, y un segundo circuito detector de pico para detectar y registrar un segundo valor de pico de una segunda porción de dicha señal, y porque dichos elementos de comparador están acoplados a los circuitos detectores de pico primero y segundo y pueden comparar continuamente dichos valores de pico primero y segundo para comprobar si estos valores satisfacen una relación predeterminada y evaluar dicha señal en función del resultado de esta comprobación.

De acuerdo con otra característica del presente invento, en el presente equipo de evaluación de señal, dichas porciones primera y segunda comienzan ambas al principio de la mencionada señal.

Cuando una señal de entrada se evalúa continuamente, como ocurre, por ejemplo para una señal de entrada resultante de la lectura de un código de barras sobre una envolvente, la relación predeterminada mencionada anteriormente a ser continuamente comprobada puede consistir, por

ejemplo, en comprobar que la relación del segundo valor de pico que justo se ha registrado o que ha sido registrado previamente y el primer valor de pico que ha sido registrado al comienzo de la señal es mayor o menor que un valor predeterminado. Procediendo de esta manera, la señal para la que se encuentra la relación no satisfecha, puede considerarse como una señal espúrea. Sin embargo, aún cuando una porción de esta señal contenga información espúrea que no satisfaga la relación predeterminada mencionada anteriormente, esto no será detectado si la amplitud de esta porción es menor que un segundo valor de pico registrado previamente. Por supuesto que, según la característica anterior, el segundo valor de pico registrado y no el valor de pico instantáneo se compara continuamente con el primer valor de pico.

Como consecuencia, otro objetivo del presente invento es proporcionar un equipo de evaluación de señal del tipo anterior, pero que no presente la última desventaja mencionada.

Según el presente invento, este objetivo se consigue por el hecho de que aquel incluye además un circuito de umbral variable acoplado al circuito detector de pico segundo o primero y que puede establecer un umbral variable que es función de una fracción predeterminada de dicho segundo o primer valor de pico, impidiéndose que las porciones de dicha señal de entrada por debajo del umbral aparezcan a la salida del equipo.

Según otra configuración del invento, el presente equipo para evaluar la señal está adaptado para evaluar una señal resultante de la lectura de un código de barra sobre un soporte e incluye: un primer circuito de-

tector de pico para detectar y registrar un primer valor de pico de una primera porción de la señal, comenzando esta primera porción con la señal; un segundo circuito detector de pico para detectar y registrar un segundo valor de pico de una segunda porción de la señal; elementos de comparación acoplados a los circuitos detectores primero y segundo que pueden comparar continuamente los mencionados valores de pico primero y segundo a fin de comprobar si una fracción Predeterminada del segundo valor de pico es mayor o menor que el primer valor de pico evaluar así dicha señal en función del resultado de esta comprobación, y un circuito de umbral variable acoplado al segundo circuito detector de pico que puede establecer un umbral variable que es igual a dicha fracción predeterminada del segundo valor de pico impidiéndose que la porción de dicha señal por debajo de dicho umbral aparezca a la salida del equipo.

Los objetivos anteriores y otras características del equipo, así como el invento mismo, aparecerán con más detalles en la descripción que sigue de una confirmación del invento, junto con los dibujos que se acompañan, en los cuales:

La fig. 1 es un diagrama bloque de un equipo de evaluación de señal y, más concretamente, de un lector de código de barra electro-óptico, según el invento.

Las figs. 2 a 4 representan las partes del circuito II, III y IV de la fig. 1 con más detalle;

Las figs. 5 a 7 son diagramas de los impulsos que aparecen en varios puntos del equipo correspondientes a las figs. 2 a 4.

Refiriéndonos a la fig. 1, el lector de có-

digo de barra electroóptico mostrado en la misma incluye una fuente de alimentación 1 para alimentar un conjunto de emisión de luz ultravioleta 2 utilizadas para excitar un código de barra fluoreste 4 codificada en el área de un sobre 3. Este código de barra 4 comprende un conjunto de barras de código de las que sólo se muestran tres en la figura. El equipo de transporte 5 está adaptado para realizar un movimiento del sobre 3 a través del área iluminada por las lámparas 2. La luz emitida por el código de barra fluorescente 4 y por el resto de la envolvente se enfoca mediante unas lentes de objetivo 6 en una guía de luz 7 que canaliza la luz de tal manera que incida sobre un foto-diodo 8.

La respuesta del foto-diodo 8 a la señal de luz incidente, modulada por los elementos de código individuales del código de barra 4, es de la forma de una señal de corriente analógica que se aplica a un convertidor de corriente-a-tensión y a un circuito amplificador 9. Este circuito funciona para convertir la señal de corriente en su entrada en una señal de tensión correspondiente  $V_{s1}$  con la apropiada amplificación.

La señal de tensión amplificada  $V_{s1}$  a la salida del circuito 9 se aplica, por una parte, a un amplificador sumador 10 y, por otra, a través de una etapa intermedia 11, y como una señal  $V_{s2}$ , a los circuitos detectores de pico 12, 13 y 14 que están controlados por las señales de autorización de lectura RA1 y RA2 generadas por un circuito de autorización de lectura 15 después de que un fotodiodo 16 hay detectado la presencia de una envolvente 3 a ser leída. El circuito detector de pico 13 está controlado,

además, por la salida del lector VPO en el que aparece una señal de inhibición tan pronto como se haya leído el primer elemento de código del código de barra 4.

La función del circuito detector de pico o circuito de muestra-y-retención 12 es proporcionar una señal de salida Vbg cuya amplitud es una medida de la energía luminosa reflejada o emitida por el resto del área iluminada de la envolvente cuya papel contiene generalmente material fluorescente, mientras que el detector de pico 13 genera una señal de salida Vpt cuya amplitud se refiere a la suma de la energía luminosa emitida por el primer elemento de código del código de barra 4 o por cualquier superficie en el área iluminada que simule tal primer elementos de código y de la energía luminosa emitida por el fondo iluminado del sobre. Tan pronto como se ha leído el primer elemento de código del código de barra 4, se inhibe el funcionamiento del circuito detector de pico 13 por la señal de inhibición que aparece entonces a la salida VPO del lector.

La función del circuito detector de pico 14 es generar una señal de salida Vmt cuya amplitud es función de la suma de la cantidad máxima de luz emitida por cualquiera de los elementos de código del código de barra 4 y por el fondo iluminado del sobre.

Las señales de salida Vpt y Vbg se memorizan en los circuitos detectores de pico 13 y 12 respectivamente, y se aplican a un circuito restador 17 que resta la señal de salida Vpt de la señal de salida Vbg, y proporciona una señal de salida -Vp cuya amplitud es una medida de la energía luminosa emitida por el primer elemento de código de barra o por cualquier parte del área iluminada que simule

tal elemento de código. De la misma manera, las señales de salida  $V_{mt}$  y  $V_{bg}$ , memorizadas en el circuito de pico 14 y en el circuito detector de pico 12, se aplican respectivamente a un circuito restador 18 que averigua la diferencia de las señales  $V_{bg}$  y  $V_{mt}$  y proporciona una señal de salida  $-V_m$  cuya amplitud es una medida de la energía luminosa emitida por el elemento de código que emite la cantidad máxima de energía luminosa.

Las señales de salida  $-V_p$  y  $-V_m$  de los circuitos restadores 17 y 18 se aplican respectivamente a un circuito comparador 19 en donde se comparan continuamente. En efecto, la señal de salida  $-V_p$  se compara continuamente con una fracción predeterminada de la señal de salida  $-V_m$  para comprobar si o no la relación de las señales de salida  $V_m$  y  $V_p$  excede un valor predeterminado  $n$ . En el caso positivo, la señal  $V_{sl}$  se considera errónea y, por lo tanto, se genera una así denominada señal de salida de rechazo de ruido  $N$  cuando la amplitud de la señal de salida  $V_m$  es mayor que un múltiplo predeterminado  $n$  de la amplitud de la señal de salida  $V_p$ . La señal de salida de rechazo de ruido  $N$  se aplica a un circuito de control 20 quien, en respuesta a la misma, proporciona una señal de salida de rechazo de ruido  $NROP$  que indica que toda la información leída hasta entonces debe ser cancelada.

Para el primer elemento del código de barra o información espúrea que simule la lectura de tal elemento de código,  $V_p$  es igual a  $V_m$  de tal manera que no se generan señales de salida  $N$  ni  $NROP$ . Sin embargo, si se lee en primer lugar una tal información espúrea se detectará en la siguiente lectura del primer elemento de código de barra con la

condición de que la señal de salida  $V_m$  producida a la lectura del último elemento sea mayor que el múltiplo  $n$  mencionado anteriormente de la señal de salida  $V_p$  que resulta de la lectura de la información espúrea. Como consecuencia, es imperativo realizar una elección apropiada de este factor  $n$ , y en un caso práctico, se ha elegido como igual a 10.

Aunque el multicircuito descrito anteriormente puede detectar el último error mencionado, es incapaz de detectar, por ejemplo, la información espúrea que se lee en un sobre después de haberse leído correctamente, por lo menos, un elemento de código de barra, esto es, no haya dado lugar a una señal de rechazo, y cuando esta información espúrea da lugar a una señal tal que la amplitud memorizada en el circuito detector de pico 14 no se haya excedido. Por supuesto que, solamente el último valor memorizado y no la amplitud de la información espúrea se compara con la registrada en el circuito detector de pico 13. Por esta razón se han tomado otras medidas que describiremos después.

Antes de ello, nótese que la señal de salida  $-V_m$  del circuito restador 18 también se aplica a un circuito de control 21 que proporciona una señal de salida  $V_{fet}$  utilizada para controlar los dispositivos de efecto de campo incluidos en un circuito de AGC, 23.

Volviendo al amplificador sumador 10, este no solamente se alimenta por la señal de salida  $V_{s1}$  del circuito amplificador 9, sino también por las señales de salida  $V_{bg}$  y  $-V_m$  del circuito detector de pico 12 y del circuito restador 18, respectivamente. El propósito de este amplificador sumador es restar continuamente un umbral varia-

ble igual a la suma del valor de fondo  $V_{bg}$  y una fracción predeterminada ( $1/m$ ) del valor  $V_m$ , de la amplitud de la señal de salida  $V_{sl}$ . De este modo, tan pronto como se ha establecido este umbral, toda señal espúrea que tenga una

5 amplitud por debajo de este umbral desaparecerá en el limitador de precisión 22 que sigue al amplificador sumador 10. En este limitador de precisión 22, se recorta parte de la señal de salida del amplificador sumador y desde este, se aplica a un control de ganancia automático o circuito AGC,

10 23, que incluye dispositivos de efecto de campo (no mostrados) controlados por la señal de salida  $V_{fet}$  del circuito de control 21.

La señal de salida del circuito AGC se aplica a un circuito diferenciador y amplificador 24 en donde

15 estas señales se diferencian en primer lugar y luego se amplifican antes de ser aplicadas al multicircuito comparador 25. El propósito de este multicircuito comparador 25 es proporcionar los trenes de impulsos de salida  $V_{d1}$  y  $V_{d2}$  correspondientes a las porciones positiva y negativa de las

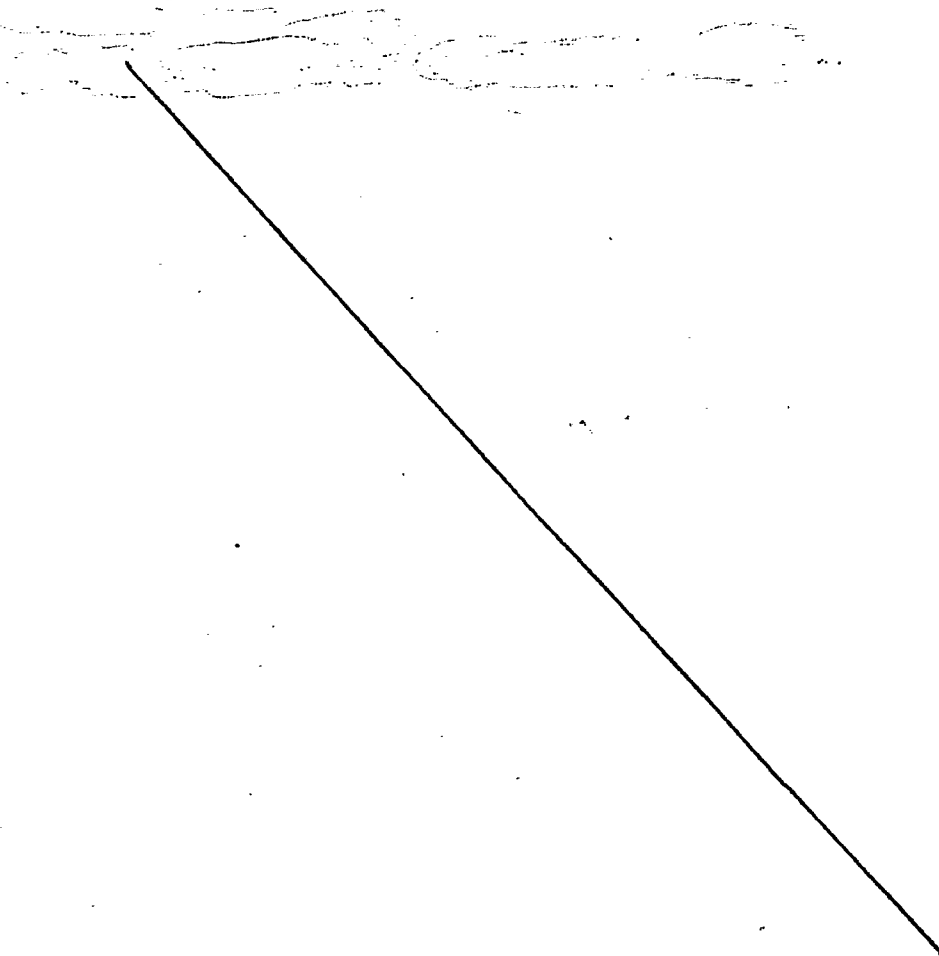
20 señales diferenciadas aplicadas al mismo, así como el tren de impulsos de salida  $V_{d'1}$  cuyos impulsos son más alargados que los de  $V_{d1}$ . Los trenes de impulsos de salida  $V_{d1}$ ,  $V_{d'1}$  y  $V_{d2}$  se aplican al circuito de control 20 junto con la señal de salida N del circuito comparador 19 y la señal de autorización de lectura  $RA_0$  proporcionada por el circuito de autorización de lectura 15. El propósito del circuito de control

25 20 es proporcionar un tren de impulsos de salida de datos DO o un impulso de salida de rechazo de ruido en su salida NROP y generar un impulso de inhibición en su salida VPO

30 después de haberse leído el primer elemento del código de

barra. Como ya se ha mencionado, este circuito de inhibición controla el circuito detector de pico 13.

Nos referiremos ahora a las figs. 2 a 4 que muestran las partes II, III y IV del lector de código de barra electro-óptico de la figura 1 con más detalle. Se representan los amplificadores operacionales por triángulos y sus entradas de no-inversión y de inversión se indican por un signo más o un signo menos, respectivamente. Los circuitos ya mostrados en la fig. 1 incluyen los siguientes elementos que están interconectados de la manera mostrada:



Circuito	Amplificadores Operacionales	Resistencias	Condensadores	Diodos	Fet	Otros element-
9	30-33	34-47	48-51			
10	60	61-65	66	67		
11	70	71				
12	80-81	82-85	86-270	87-88	89	
13	90-92	93-104	105-106	107-111	112-114	
15	120-123	124-138	140-143			
17	150	151-154	155			
18	160	161-164	165			
19	170	171-174				
20	180-183	184-188	189-192	193		194-196
21	200	201-204, 206	205	207		
22	210	211-213		214-215		
23	220	221-233	224		225-226	
24	230	231-233	234-235			
25	240	241-243	244			
26	250-251	252-263	264	265		

Refiriéndonos al multicircuito de control  
 20 que se muestra en la fig. 4, nótese que los circuitos 180  
 a 183 son circuitos monoestables, mientras que los circuitos  
 194 y 195 son circuitos biestables y que 196 es una puerta-  
 5 -NAND. El elemento 193 es un diodo Zener.

Los circuitos monoestables 180 a 183 son  
 todos del mismo tipo y se disparan a su condición inesta-  
 ble cuando la señal aplicada a su entrada-1 cambia de 0  
 (0 voltios) a 1 (+5 voltios). Los circuitos biestables 194  
 10 y 195 son normalmente de un tipo en el que, en la condición  
 en que la salida-0 está activada y la salida-1 desactivada  
 y bascula hasta que su entrada-1 se desactiva.

Diferentes circuitos de este tipo se des-  
 criben en el libro "Amplificadores Operacionales" por Tobey  
 15 Graeme y Huelsman (Burr-Brown) publicado por la Mc Graw-Hill  
 en 1971 y en la segunda edición del libro "Aplicaciones  
 Lineales" publicado por Semiconductor National en Agosto de  
 1973.

Cuando nos refiramos a estos libros, lo  
 20 haremos como sigue:

- para el primer libro, por ejemplo BB, página x, fig y
- para el segundo libro, por ejemplo, página AN20-5, fig. 2

El funcionamiento detallado del lector de  
 código de barras lo describiremos seguidamente con más de-  
 25 talle.

Inicialmente, los transistores de efecto  
 de campo 89 (fig. 3) del detector de pico o circuito de  
 muestra-y-retención 12; el 112 a 114 del circuito detector  
 de pico 13 y los no mostrados del circuito detector de pico  
 30 14 conducen de tal manera que el circuito de muestra-y-

retención 12 se-activa, mientras que los circuitos detectores de pico 13 y 14 se inhiben. La luz emitida por las lámparas ultravioletas 2 (fig. 1) no influyen en el fotodiodo 8 (fig. 2) del circuito 9. Por el contrario, la fotocélula 16 (fig. 4) del circuito 15 se supone que recibe la luz de una fuente de luz adyacente (no mostrada).

En primer lugar describiremos con detalle el funcionamiento del circuito 15 (fig. 4). Cuando un sobre 3 (fig. 1) que transporta un código de barras fluorescente 4 a una distancia predeterminada de su borde delantero, pasa por la foto-célula 16, se impide que lo alcance la luz desde la fuente mencionada últimamente, mientras que la luz ultra-violeta emitida por las lámparas 2 ilumina el fondo del sobre. La luz emitida por este sobre se concentra mediante las lentes de objetivo 6 (fig. 1) y se canaliza por la guía de luz 7 (fig. 1) para excitar un fotodiodo 8 (fig. 2). Se supone que la velocidad a la que se desplaza el sobre es igual a 4 m/seg. y que el código de barras está aproximadamente a 5 mm del borde delantero del sobre y comprende, por ejemplo, cuatro barras, como se muestra en la fig. 1 que están separadas 3 mm una de la otra.

Debido a que se impide la llegada de la luz de la fotocélula 16 (fig. 4) aumenta la resistencia de la misma, de tal manera que aparece una señal de tensión negativa a la salida del amplificador operacional 120 (AN20-3 fig. 4). La anchura de banda de este amplificador operacional 120 está limitada por el condensador 140, que elimina así el efecto de las señales espúreas de alta frecuencia. Por ejemplo, la señal de salida negativa varía entre unos +15 Volts y unos 0 Volts.

Esta señal de salida negativa se aplica a la entrada menos del amplificador operacional 121 que forma parte de un circuito integrador (BB, pág. 212, fig. 6.11) también incluido en el circuito 15. Este circuito integrador  
5 invierte y aumenta la pendiente del borde negativo de la señal aplicada al mismo y proporciona así una señal que tiene un borde delantero positivo con una pendiente aumentada que varía entre unos -15 Volts y +15 Volts. La última señal se aplica a la entrada menos del amplificador opera-  
10 cional 122 cuya entrada más está a tierra y que proporciona un primer impulso de autorización de lectura negativo RAL que varía entre unos +15 Volts y -15 Volts. El borde negativo de este impulso tiene lugar en el momento en que la señal de entrada excede el valor de cero Volts., de tal manera que  
15 este impulso se retrasa respecto al momento en el que se oscurece el fotodiodo 16. Se han elegido los elementos del circuito de tal manera que este retardo sea igual a unos 0,6 milisegundos.

El primer impulso de autorización de lectura  
20 RAL se aplica a los cátodos de los diodos 88 y 111 (fig. 3) que forman parte de los circuito detectores de pico 12 y 13 respectivamente. Estos diodos se hacen así conductivos ya que sus ánodos están conectados a tierra a través de la resistencia 85 y el diodo 87 a través de la resistencia 104,  
25 respectivamente. Como consecuencia, los transistores de efecto de campo 89 y 113 están bloqueados, y lo mismo ocurre para el transistor de efecto de campo (no mostrado) que está incluido en el circuito detector de pico 14 y que es homólogo del transistor 113. Debido a que estos FET están bloqueados  
30 el circuito de muestra-y-retención 12 también está bloqueado

mientras que los circuitos detectores de pico 13 y 14 están listos para funcionar.

El primer impulso de autorización de lectura negativo RA1 (fig. 4) está además retrasado en unos 0,3 milisegundos por el circuito RC 132, 142, proporcionando asú un segundo impulso de autorización de lectura negativo RA2 que bloquea el transistor de efecto de campo 112 que forma parte del circuito detector de pico 13 y el transistor de efecto de campo homólogo (no mostrado) incluido en el circuito detector de pico 14. Por supuesto que, el diodo 110 se hace conductivo debido a que su ánodo está conectado a tierra a través de la resistencia 103.

El impulso de autorización de lectura negativo RA1 está también retrasado en unos 0,6 milisegundos por el circuito RC 134, 143 y se aplica entonces, a través de la resistencia 135, a la entrada de un detector de nivel de tensión con histéresis que incluye un amplificador operacional 123. En su salida, este amplificador proporciona un impulso positivo RA0 que varía entre 0 Volts y +5 Volts, y que tiene lugar unos 1,20 milisegundos después de haberse oscurecido la fotocélula, esto es, justo antes del primer elemento de código de barras que es de unos 5 mm, correspondiente a 1,25 milisegundos, del borde delantero del sobre a ser leído. Esta señal controla los circuitos biestables 194 y 195 y los circuitos monoestables 180 y 181, que forman parte del circuito de control 20 (fig. 4).

Explicaremos después la razón por la que se hacen conductivos los FET, tales como 106 y 105, de cada uno de los circuitos del detector de pico 13 y 14.

proporcionado por el circuito de retardo 134, 143 para impedir que las señales espúreas aparezcan en las salidas DO, NROP y SPO del lector.

Volviendo al fotodiodo 8 (fig. 2), cuando  
5 el sobre que se desplaza 3 se ilumina por las lámparas de  
emisión de luz ultravioleta 2, se genera una señal luminosa  
compuesta que comprende una señal luminosa de fondo modula-  
da por las señales de luz, que corresponde cada una a un ele-  
mento del código de barras. Cuando esta señal luminosa inci-  
10 de sobre el fotodiodo 8, éste genera una señal de corriente  
eléctrica compuesta que es directamente proporcional a  
esta señal luminosa. Esta señal de corriente se aplica al  
convertidor corriente-a-tensión (BB páginas 232-233 fig. 6.32  
AN 20-5) que incluye el amplificador operacional 30 y que  
15 proporciona una señal de salida de tensión positiva  $V_s$  que  
es directamente proporcional a la corriente que pasa a tra-  
vés del fotodiodo. Esta señal de salida compuesta que puede  
variar entre algunos y varios cientos de multivoltios, tiene  
la forma de un pedestal, que corresponde a los elementos  
20 del código de barras. Estas redes de resistencia-condensa-  
dor 34, 48 y 35, 49 limitan la anchura de banda de esta se-  
ñal de salida. La última señal  $V_s$  se aplica a la entrada  
menos del amplificador operacional inversor 31 (AN 20-1)  
que proporciona una señal negativa y amplificada en su sali-  
25 da. Nuevamente la anchura de banda de esta señal está limi-  
tada por la red de resistencia-condensador 37,50.

La última señal de salida mencionada se  
aplica a la entrada más del seguidor de tensión, que incluye  
el amplificador operacional de no-inversión 32 (BB 430-431;  
30 AN 20-2, fig. 2) que aísla la fuente de señal de corriente

8 de la salida del cable (no mostrado) que se supone que interconecta la salida del amplificador operacional 32 y la resistencia ajustable 42 conectada a la entrada menos del amplificador operacional 33. El circuito de realimentación negativa del último amplificador 33 incluye las resistencias conectadas en serie y dependientes de la luz 46 y 47. El propósito de estas resistencias, que están iluminadas por las lámparas de emisión luminosa ultra-violeta 2 (fig. 1), es compensar el envejecimiento de dichas lámparas. Por supuesto que, cuando debido al envejecimiento la intensidad de luz disminuye en las resistencias 46 y 47, disminuyen sus valores de resistencia y, por lo tanto, también aumenta la ganancia del amplificador operacional 33. La señal positiva que aparece en la salida del amplificador operacional 33, que también constituye la salida del circuito 9, se aplica, por una parte, a la entrada menos del amplificador operacional sumador 60 incluido en el circuito 10 y, por otra parte, a través del amplificador intermedio de ganancia unitaria de no-inversión 70 (AN 20.2 fig. 3) que forma parte del circuito 11 simultáneamente con los circuitos 12, 13 y 14 (fig. 3). El amplificador 70 tiene una elevada impedancia de entrada. Las señales de salida positivas de los amplificadores operacionales 33 y 70 están indicadas por  $V_{s1}$  y  $V_{s2}$ .

25 En tanto que las señales RA1 y RA2 estén desactivadas, esto es, durante 0,9 milisegundos, la señal de salida  $V_{s2}$  no tiene efecto sobre los circuitos detectores de pico 13 y 14 (AN31-12) ya que están bloqueados los FET tales como 112, 113 incluidos en el circuito 13. Por el contrario, la señal de salida  $V_{s2}$  aplicada al detector de

30

pico o circuito de muestra-y-retención 12 es primero retrasada por el circuito RC 82, 270 a fin de atenuar los posibles picos en la porción de pedestal de la señal Vs2 e impedir que estos picos sean simulados en el fondo del sobre. El

5 circuito de muestra-y-retención 12, que presenta alguna ; similitud con el mostrado en BB, página 351, fig. 2, muestrea entonces la porción de pedestal de la señal Vs2 en el condensador 86, en tanto que el FET 89 conduzca, esto es, hasta que se genere la señal de autorización de lectura negativa

10 RAL. La señal de salida del amplificador operacional 81 incluido en el circuito detector de pico 12, está indicada por Vbg, porque es una medida del fondo del sobre iluminado. Esta señal Vbg no tiene influencia sobre las condiciones de las salidas DO, NROP y VPO (fig. 4) del lector.

15 En el momento en que se genera la señal de autorización de lectura negativa RAL, se bloquea el FET del circuito detector de pico 12, mientras que también se bloquea el FET 113 del circuito detector de pico 13 (fig. 4) a fin de quitar el potencial de tierra de la entrada más del amplificador operacional 91 que forma parte de este circuito

20 detector. Lo mismo ocurre en el circuito detector de pico 14 (fig. 4). De esta manera, ambos circuitos detectores 13 y 14 están preparados para funcionar.

En el momento en que se genera la señal de

25 autorización de lectura negativa RA2, esto es, 0,3 milisegundos después de RAL, se bloquea el FET 112 del circuito detector de pico 13 (fig. 4) a fin de quitar el potencial de tierra de la entrada más del amplificador operacional 90. Lo mismo ocurre para el detector de pico 14. De esta

30 manera, los circuitos detectores de pico 13 y 14 están

listos para funcionar.

El FET 113 del circuito 13 está bloqueado antes del FET 112 porque, cuando el FET 112 debería bloquearse antes del FET 113 el amplificador operacional 90 se haría conductivo antes que el amplificador operacional 91 y, como consecuencia, aparecerían transitorios en la salida del amplificador operacional 91 y, por lo tanto, también en la salida de datos D0 del lector.

A partir del momento en que se genera la señal de autorización de lectura RA2 la porción de pedestal de la señal Vs2 se aplica a los circuitos detectores de pico 13 y 14 y se registra en los condensadores, tales como 106 y el circuito 13. Sin embargo esto no tiene especial efecto.

En el momento en que se genera la señal de autorización de lectura positiva RA0, esto es, 1,20 milisegundos después de que se haya oscurecido la fotocélula 16, las entradas-0 de los circuitos biestables 194 y 195 (fig. 4) se activan de tal manera que estos circuitos se preparan para funcionar, así como los circuitos monoestables 180 y 181 (fig. 4).

Un intervalo de tiempo igual a 1,25 milisegundos después de que la fotocélula 16 se haya oscurecido, las diferentes señales del código de barras que forman parte de la señal de entrada Vs2 y que están moduladas en el pedestal correspondiente al fondo del sobre, se aplican sucesivamente a los circuitos detectores de pico 13 y 14.

La amplitud de la primera de estas señales del código de barras se registra en los condensadores, tal como el 106 de los circuitos detectores de pico 13 y 14 que, en correspondencia generan una señal positiva en su

salida.

Estas señales de salida se indican, respectivamente, por  $V_{pt}$  y  $V_{mt}$ .

Como explicaremos después, el primer elemento del código de barras da lugar a una señal de datos correspondiente en la salida DO (fig. 4) y a una señal de control VPO en la salida del mismo nombre (fig. 4). Esta última señal bloquea el FET 114 que forma parte del circuito detector de pico 13, de tal manera que solamente la amplitud de la primera señal del código de barras puede registrarse en el circuito detector de pico 13.

Por el contrario, ya que el circuito detector de pico 14 no incluye un FET, que sea el análogo del FET 114, la amplitud de la señal del código de barras que tenga la amplitud máxima entre todas las señales de dicho código, se registrará en su condensador. Sin embargo está claro que, para la primera señal del código de barras, las amplitudes de  $V_{pt}$  y  $V_{mt}$  son iguales.

Las señales  $V_{bg}$  y  $V_{pt}$  que aparecen en la salida de los circuitos detectores 12 y 13 se aplican, respectivamente, a las entradas más y menos del amplificador operacional diferencia 150 (AN 20-3) que forma parte del circuito restador 17 (fig. 3), mientras que la señal  $V_{mt}$  que aparece en la salida del circuito detector de pico 14 y la señal  $V_{bg}$  se aplican a las entradas menos y más del amplificador operacional diferencia 160 (AN 20-3) incluido en el circuito restador 18. Las señales que aparecen en las salidas de los circuitos restadores 17 y 18 se indican por  $-V_p$  y  $-V_m$  que son iguales a la diferencia de  $V_{bg}$  y  $V_{pt}$  y de  $V_{bg}$  y  $V_{mt}$ , respectivamente.

La señal de salida  $-V_m$  se aplica a través del diodo 206 y la resistencia variable 201 a la entrada menos del amplificador operacional diferencia 200 que forma parte del circuito de control 21 (fig. 3) y que proporciona a su salida una señal de control  $V_{fet}$  que es proporcional a la diferencia entre la tensión de referencia aplicada a la entrada más de este amplificador y una fracción de la señal de salida  $-V_m$  y que, por lo tanto, es proporcional también a  $V_m$ . La utilización de la señal de control  $V_{fet}$  la explicaremos más adelante.

Las señales de salida  $-V_p$  y  $-V_m$  se aplican a las entradas más y menos del comparador 19 que incluye el amplificador operacional 170 de la manera mostrada. Este amplificador proporciona a su salida una señal de error  $N$  solamente cuando la amplitud de la señal  $V_p$  es menor que una fracción predeterminada  $V_m/n$  de la señal  $V_m$ , siendo  $n$ , por ejemplo, igual a 10. Esta fracción está determinada por el valor de las resistencias 171 y 172. La utilización de la señal de salida de error  $N$  también la explicaremos más adelante.

Ya que  $V_m = V_p$  para la primera señal del código de datos, está claro que la salida del circuito comparador 19 permanece desactivada para esta señal.

Las señales  $-V_m$  y  $V_{bg}$  se aplican a las entradas menos y más del amplificador operacional 60 (fig.2) que forma parte del circuito amplificador sumador 10.

La señal negativa  $V_{s3}$  aparece en la salida del amplificador 60 tiene una amplitud igual a  $V_{s1} - \frac{V_m}{m} - V_{bg}$ , en donde  $V_{bg} + \frac{V_m}{m}$  se considera como una señal de umbral y  $m$  es la relación apropiadamente elegida, por

ejemplo, igual a  $m=10$ , de la resistencia, con valores de las resistencias 63 (47 kilo-ohmios) y 61 (4,7 kilo-ohmios), el valor de la resistencia 65 de (4,7 kilo-ohmios) es aproximadamente igual a  $\frac{m}{1+m}$  veces el valor (4,3 kilo-ohmios) de la resistencia 64.

Restando un valor de umbral  $V_{bg} + \frac{V_m}{m}$  de la señal  $V_{s1}$ , toda la información espúrea con amplitud por debajo de este umbral será recortada de la señal de salida negativa  $V_{s3}$  en el limitador de precisión 22 conectado a la salida del amplificador operacional 10. Este circuito limitador de precisión 22 (BB, página 246, fig. 7.12) incluye el amplificador operacional 210 y realiza una aproximación del comportamiento del diodo ideal. La limitación se realiza a cero volts. La señal resultante se indica por  $V_{s4}$ .

Sin embargo, debe tenerse en cuenta que la información espúrea generada, por ejemplo, mediante la lectura de una parte que simula el primer elemento del código de barras no se evitará que aparezca a la salida del lector, porque cuando aparece esta primera información, todavía no se ha determinado la amplitud máxima para eliminar tal información espúrea se hace uso de la señal mencionada anteriormente  $N$ , como explicaremos después.

Nótese además que tan pronto como se activa la salida del circuito detector de pico 14, esto es, después de la aparición de  $RA2$ , la salida del amplificador sumador 10 se activa, de tal manera que aparece una señal en su salida. Esta señal sin embargo, no alcanza la salida de datos  $DO$  del lector, dado que funcionan los circuitos monoestables 180, 181 y, por lo tanto, también se inhibe debido a los circuitos monoestables 182 y 183 (que tienen

la salida DO) en tanto esté desactivada la señal RAo. Esta es la razón por la que se ha introducido el retardo 134, 143 y por la que se genera RAo después de RA2.

La señal de salida positiva que aparece en el punto de unión del diodo 215 y la resistencia 213 del circuito de AGC, 23, que es del tipo descrito en el artículo "El FET controlado op-amp permite un ancho margen dinámico" de H.E. Satana, publicado en Electronics del 4 de Abril de 1974, página 122. Este circuito de AGC incluye el amplificador operacional 220 y los FET 225 y 226, es un amplificador controlado a tensión que funciona sobre un amplio margen de la tensión de la señal de entrada. Los FET 225 y 226, que funcionan como resistencias controladas a tensión, están cableados en una configuración puente. Se evita la no-linealidad de su resistencia inherente limitando el margen de tensión de la fuente de cada FET, sin importar como de grande sea la tensión de la señal. El FET 226 está controlado por la señal de salida mencionada anteriormente  $V_{fet}$  proporcionada por el circuito de control 21 (fig. 3) de tal manera que el amplificador 220 proporciona una amplificación sustancialmente lineal que varía entre 1, cuando  $V_m$  es igual a -7,5 Volts, y 5, cuando  $V_m$  es mínima (algunos multivoltios). La tensión de control  $V_{fet}$  se ajusta por medio de los potenciómetros 201 y 203, (fig. 3), impidiendo el diodo 207 que las tensiones  $V_m$  menores que -7,5 Volts tengan efecto sobre  $V_{fet}$ .

La señal modulada negativa a la salida del circuito de AGC 23, que tiene una señal del código de barras negativa para cada barra del código leída, se aplica al circuito diferenciador 24 (AN20-3, fig. 6, BB página 219,

fig. 6.17), que incluye el amplificador operacional 230. La señal invertida y diferenciada que aparece a la salida de este diferenciador se aplica, para una posterior amplificación, a otro amplificador operacional 240. La señal a la salida de este amplificador 240 tiene, para cada señal del código de barras, una porción de señal positiva seguida de una porción de señal negativa.

Esta señal de salida se aplica a los comparadores de tensión o detectores de nivel con histeresis que forman parte del circuito comparador 25 (fig. 1) e incluyen los amplificadores operacionales 250 y 251 (fig. 2). Estos detectores de nivel que se utilizan para disminuir el ruido son de una configuración bien conocida, siendo los amplificadores operacionales 250 y 251 del tipo LM311 descritos en la página 3,12 del libro "Circuitos Integrados Lineales" publicado por el National Semiconductor en Agosto de 1972. El detector que incluye el amplificador operacional 250 transforma las porciones conductivas positiva y negativa de cada señal aplicada al mismo en impulsos negativos que coinciden sustancialmente con las porciones positivas. Por el contrario, el detector de nivel que incluye el amplificador operacional 251 transforma estas porciones positiva y negativa aplicadas al mismo, en impulsos que coinciden sustancialmente con estas porciones negativas. Ambos de estos impulsos negativos varían entre +5 volts y 0 volts. Los trenes de impulsos así generados a la salida del amplificador operacional 250 y 251 están indicados por Vd1 y Vd2 (fig. 5) respectivamente. Los bordes traseros positivos de los impulsos del tren de impulsos de salida Vd1 están además retrasados por el circuito de retardo que incluye las

resistencias 262, 263 el condensador 264 y el diodo 265.

El tren de impulsos de salida, con los impulsos negativos así aumentados, se indica por Vd'1 (fig. 5).

De lo anterior se deduce que cuando se aplica una señal positiva al circuito diferenciador 24, el circuito comparador 25 proporciona dos impulsos negativos inmediatamente consecutivos en sus salidas Vd1 y Vd2. Por el contrario, si se aplica por ejemplo, una señal espúrea negativa al circuito diferenciador 24, el circuito comparador 25 proporciona dos impulsos negativos inmediatamente consecutivos en sus salidas Vd2 y Vd1, esto es, en orden inverso. Para impedir que tales señales espúreas sean identificadas como señales de datos, se procede como sigue.

Los trenes de impulsos Vd1, Vd2 y Vd'1 se aplican a los circuitos monoestables 180 a 183 cada uno de los cuales tiene dos pares de entradas A1, A2 y B1, B2 y un par de salidas Q1,  $\overline{Q1}$  a Q4,  $\overline{Q4}$ , respectivamente. Estos circuitos monoestables tienen una constante de tiempo igual a  $3/4 T$ ,  $3/4 T$ , 5 microsegundos y 10 microsegundos, respectivamente; siendo T el período de los impulsos sucesivos de los trenes de impulsos Vd1 y Vd2 e igual a unos 750 microsegundos. Estos circuitos monoestables 180 y 183 son del tipo en que se disparan a su posición inestable cuando las condiciones de disparo, que pueden representarse por las funciones de Boolean  $S = \overline{Q1.Vd1.RA0}$ ;  $S2 = \overline{Q2.Vd2.RA0}$ ;  $S3 = \overline{Q2.Q3}$ ;  $S4 = \overline{Vd'1.Q1.Q3}$  cambian de 0 (0 Volts) a 1 (+5 Volts).

Cuando se considera un impulso de entrada negativo del tren de impulsos Vd1 aplicado al circuito monoestable 180, un impulso negativo de duración  $3/4 T$  y cuyo borde delantero de este impulso de entrada aparece a la salida  $\overline{Q1}$

de este circuito monoestable 180. Por supuesto que, en ese momento, se satisface la condición de disparo anterior S1, ya que  $\overline{Q1} \cong 1$ ,  $Vd1 \cong 0$  y  $RAo \cong 1$ . El impulso negativo  $\overline{Q1}$  indica que ha tenido lugar un impulso negativo en el tren de impulsos Vd1.

5

De la misma manera, cuando se considera un impulso de entrada negativo del tren de impulsos Vd2 aplicado al circuito monoestable 181, un impulso negativo de duración  $3/4 T$  y cuyo borde delantero coincide con el borde delantero de este impulso de entrada aparece en la salida  $\overline{Q2}$  de este circuito. Por supuesto que, en ese momento se satisface la condición de disparo S2, dado que  $\overline{Q2} \cong 1$ ,  $Vd2 \cong 0$  y  $RAo \cong 1$ . El impulso negativo  $\overline{Q2}$  indica que ha tenido lugar un impulso negativo en el tren de impulsos Vd2.

10

15

Como consecuencia del funcionamiento del circuito monoestable 181, la condición de disparo S3 cambia de 0 a 1 de tal manera que el circuito monoestable 182 se dispara a su condición inestable en donde permanece durante un intervalo de 5 microsegundos. El impulso de salida positivo Q3 aparece en la salida del mismo nombre de 182 indica también que ha tenido lugar un impulso negativo en el tren de impulsos Vd2.

20

25

Para comprobar la sucesión de dos impulsos de Vd1 y Vd2 será suficiente comprobar la coincidencia de Q1 y Q3. Sin embargo, por otras razones, se comprueba la coincidencia de  $\overline{Vd'1} \cdot \overline{Q1}$  y Q3 (condición S4) o de  $\overline{Vd'1} + Q1$  y Q3.

30

En el caso normal mostrado en la Fig. 5, se satisface la condición S4, dado que  $\overline{Vd'1} = 1$  y  $Q1 \cong 1$  en el momento en que  $Q3 \cong 1$ . El empleo de  $Vd'1$  se necesita espe-

cialmente para la primera señal, porque cuando se aplica una tal primera señal al circuito de AGC, su porción delantera se amplifica con el valor máximo (5) de tal manera que puede considerarse alargada esta primera señal. La señal así  
 5 alargada puede ser tan larga que después de haberse aplicado al circuito diferenciador 24 y al circuito 25, ya haya finalizado el impulso antes de aparecer el impulso Q3, como se muestra en la fig. 6, de tal manera que sea imposible detectar esta primera señal comprobando la coincidencia de  
 10 Q1 y Q3. Sin embargo, en este caso, la condición S4 también se satisface porque  $\overline{Vd'1} = 1$  y  $Q1 = 0$  en el momento en que  $Q3 \equiv 1$ .

Finalmente, también se satisface la condición S4 cuando  $\overline{Vd'1} = 0$  y  $Q1 \equiv 1$  en el momento en que  $Q3 \equiv 1$ . Esto ocurre cuando la diferenciación y subsecuente formación  
 15 de impulsos que conduce a los impulsos Vd1 y Vd2 y que son tan cortos y a tal distancia uno del otro que aún no ha terminado el impulso alargado Vd'1 antes de que aparezca el impulso Q3, como se muestra en la fig. 7.

Si debido a un error se aplica una señal espúrea negativa como la mencionada anteriormente al circuito  
 20 diferenciador 24, aparecen dos impulsos negativos consecutivos en los trenes de impulsos Vd2 y Vd1. De la misma manera que la descrita anteriormente, los circuitos monoestables 180 y 181 se dispararán por el segundo y el primero de es-  
 25 tos impulsos, respectivamente, mientras que el circuito monoestable 182 proporcionará un impulso de salida positivo Q3 cuyo borde delantero coincide sustancialmente con el primero de estos impulsos. Ya que la duración del último impulso Q3 es muy pequeña, se terminará antes de que aparezca el  
 30 segundo impulso negativo y, por lo tanto, no se disparará

el circuito monoestable 183. Consecuentemente, no se generarán impulsos de salida de datos en la salida de datos DO de este circuito monoestable.

5       Está claro que, de la misma manera, también se eliminan impulsos espúreos separados que podrían aparecer en los trenes de impulsos Vd1 y Vd2.

10       Cada impulso de salida que aparece en la salida Q4 o DO del circuito monoestable 183 es un impulso de salida de datos. Cuando se dispara este circuito monoestable 183, la primera vez, el circuito biestable 194, que estaba previamente preparado para entrar en funcionamiento por el impulso de autorización de lectura RAo, se dispara a su condición-1 debido a que su entrada-1 está desactivada. En esta condición, su salida-1 está activada y su salida-0  
15       está desactivada, de tal manera que la puerta-NAND 196 está autorizada y, a través de la salida VPO, se aplica una señal de inhibición al circuito detector de pico 13 en donde el FET 114 está bloqueado a través del amplificador 92 y el diodo 109. Como ya se ha mencionado anteriormente, este  
20       circuito detector de pico 13 registra normalmente la amplitud Vp de la primera señal de barra del código y se bloquea por la primera señal de salida DO.

25       Como también se ha mencionado, puede ocurrir que una información espúrea del sobre simule el primer elemento del código de barras. Esta señal se registra en los circuitos 13 y 14 justo entre una primera señal normal.

30       Después de esto, cuando se lee el auténtico primer elemento del código de barras, el circuito detector de pico 14 registra la amplitud Vm de la señal del código de barras correspondiente en la condición en que esta ampli-

tud es mayor que la de la señal espúrea. Suponiendo que la amplitud  $\frac{V_m}{n}$  es mayor que  $V_p$ , aparece una señal positiva N a la salida del circuito comparador 19 (fig. 3) para indicar que la relación de  $V_m$  y  $V_p$  es mayor que la relación máxima predeterminada n, como se ha descrito anteriormente. Esta señal de salida N se aplica a la puerta-NAND ya autorizada 196 (fig. 4) a través de la resistencia 188. Como consecuencia, la salida de la última puerta se desactiva debido a lo cual el circuito biestable 195 se dispara a su condición-1 en donde su salida NROP está activada, indicando así que toda información que se ha leído hasta entonces es errónea y debe ser cancelada.

Nótese que, en lugar de comenzar la operación de los circuitos detectores de pico 13 y 14 simultáneamente sería posible comenzar la del circuito 14 después de la del circuito 13 y establecer temporalmente un umbral igual a una fracción del valor de pico  $V_{pt}$  registrado en el circuito 13 hasta que se haya registrado el valor de pico  $V_{mt}$  en el circuito 14.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Holanda el día 11 de Mayo de 1976 señalada con el Nº 76 04987 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

## -----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5                   1.- Un equipo de evaluación de señal óptica, luminiscente o magnética para evaluar una señal de entrada, transmitida desde una entrada a una salida del equipo, con la ayuda de detectores de pico y comparadores, caracterizado porque dichos detectores de pico incluyen un primer circuito  
10 detector de pico (13) para detectar y registrar un primer valor de pico (Vpt) de una primera porción de dicha señal y un segundo circuito detector de pico (14) para detectar y registrar un segundo valor de pico (Vmt) de una segunda porción de dicha señal, y porque dichos comparadores (17-  
15 20) están acoplados a los circuitos detectores de pico primero (13) y segundo (14) y pueden comparar continuamente dichos valores de pico primero (Vpt) y segundo (Vmt) para comprobar si estos valores satisfacen una relación prede-  
terminada y evaluar dicha señal en función del resultado  
20 de esta comprobación.

                  2.- Un equipo de evaluación de señal óptica, luminiscente o magnética según el punto 1, caracterizado porque las porciones primera y segunda mencionadas comienzan ambas al principio de dicha señal.

25                   3.- Un equipo de evaluación de señal óptica, luminiscente o magnética, según el punto 1, caracterizado porque incluye además, un circuito de umbral variable (10, 22) acoplado al circuito detector de pico segundo (14) y primero (13) y que pueden establecer un umbral variable que es una fun-  
30 ción de una fracción predeterminada del valor de pico segun-

*mte*

do (Vmt) o primero (Vpt), impidiéndose que las porciones de la señal de entrada por debajo de dicho umbral aparezcan a la salida del equipo.

4.- Un equipo de evaluación de señal óptica  
 5 luminiscente o magnética, según el punto 1, caracterizado porque dicha señal de entrada (Vsl) está proporcionada por elementos de lectura cuando se lee un código de barras codificado sobre un área de un objeto, comprendiendo dicha  
 10 señal de entrada una porción de pedestal relacionada con el fondo de dicha área y un conjunto de partes de señal sobrepuestas a dicha primera porción de pedestal y relacionadas con las barras del código de dicho código de barras, y porque el equipo incluye además un tercer detector de pico (12) que puede conectarse a los elementos de lectura durante un  
 15 intervalo de tiempo que precede al intervalo de tiempo durante el que se leen dichas barras del código, y para registrar el tercer valor de pico (Vbg) así detectado de la mencionada porción de pedestal.

5.- Un equipo de evaluación de señal óptica,  
 20 luminiscente o magnética, según el punto 4, caracterizado porque los elementos de comparación (17-20) incluyen un primer circuito restador (17) que tiene las entradas conectadas a las salidas de los circuitos detectores de pico segundo (14) y tercero (12), y un circuito de comparación (19) cuyas  
 25 entradas están acopladas a las salidas de los circuitos restadores primero (17) y segundo (18), estando dispuesto dicho circuito de comparación (19) de tal manera que genera una señal de indicación de error (n) cuando una primera fracción  $\frac{1}{n}$  de la señal (Vm) que aparece a la salida del segundo circuito  
 30 restador (18) sea mayor que la señal (Vp) que aparece a la

*mce*

salida del primer circuito restador (17), indicando dicha señal de error que no se ha satisfecho la mencionada relación predeterminada.

5 6.- Un equipo de evaluación de señal óptica  
luminiscente o magnética según los puntos 3 y 5, caracteri-  
zado porque las entradas del circuito de umbral variable  
(10, 22) están acopladas a la salida de los elementos de  
lectura que proporcionan la señal de entrada ( $V_{s1}$ ), a la  
salida del segundo circuito restador (18) y a la salida  
10 del tercer circuito detector de pico ( $V_{bg}$ ) y establece un  
umbral igual a la suma de una segunda fracción  $\frac{1}{m}$  de dicho  
segundo valor de pico ( $V_m$ ) y del tercer valor de pico ( $V_{bg}$ ).

7.- Un equipo de evaluación de señal óptica  
luminiscente o magnética, según el punto 6, caracterizado  
15 porque el circuito de umbral variable (10, 22) incluye un  
amplificador operacional sumador (105) cuya salida está  
conectada a un circuito limitador (22), teniendo dicho  
amplificador operacional sumador una entrada de inversión  
que está conectada a las salidas de los elementos de lectura  
20 que proporcionan una señal de entrada ( $V_{s1}$ ) y de un segundo  
circuito restador (18) a través de una primera (61) y una  
segunda (63) resistencia, respectivamente, y que tiene una  
entrada de no-inversión que está conectada a la salida del  
tercer detector de pico (12) a través de una tercera resis-  
25 tencia (64) y a tierra a través de una cuarta resistencia  
(65), siendo la relación de las resistencias segunda (63)  
y primera (61) prácticamente igual a  $m$ , y la relación de  
las resistencias cuarta (65) y tercera (64) prácticamente  
igual a  $\frac{m}{1+m}$  en donde  $\frac{1}{m}$  es la mencionada segunda fracción.

30

8.- Un equipo de evaluación de señal óptica

ME

luminiscente ó magnética según los puntos 3 y 5, caracterizado porque la salida del circuito de umbral variable (10,22) está acoplado a la entrada de señal de un circuito de control automático de ganancia (23), cuya entrada de control está  
5 acoplada a la salida del segundo circuito restador (18) y de tal manera que la ganancia de una señal aplicada a dicha entrada de señal varía de tal manera que sea inversamente proporcional al segundo valor de pico ( $V_m$ ).

9.- Un equipo de evaluación de señal óptica  
10 luminiscente ó magnética, según el punto 1, caracterizado porque incluye un circuito diferenciador (24) con una entrada acoplada a la salida del circuito de umbral variable (10, 22) y una salida acoplada a las entradas de un primero y un segundo circuito formador de impulsos (25),  
15 estando adaptado dicho primer circuito formador de impulsos para transformar cada señal de entrada de una polaridad, proporcionada por el circuito diferenciador, en un primer impulso ( $V_{d1}$ ), y estando adaptado el segundo circuito formador de impulsos para transformar cada señal de entrada  
20 de polaridad opuesta, por el circuito diferenciador, en un segundo impulso ( $V_{d2}$ ), y un multicircuito lógico para comprobar el orden en el que aparecen los impulsos de salida primero y segundo, proporcionando dicho multicircuito lógico una señal de salida (D0) solamente cuando este orden es  
25 correcto.

10.- Un equipo de evaluación de señal óptica, luminiscente o magnética, según el punto 9, caracterizado porque el multicircuito lógico incluye elementos (182) para generar un tercer impulso (Q3) que indique la aparición de  
30 dicho segundo impulso de salida, elementos (180) que generan

*M.E*

un cuarto impulso ( $Q_1$ ) cuyo borde delantero coincide con el del primer impulso ( $Vd_1$ ) y que tiene una longitud predeterminada, elementos (262-265) que generan un quinto impulso ( $\overline{Vd}'_1$ ) cuyo borde delantero coincide con el del primer impulso ( $Vd_1$ ) pero que tiene una duración mayor que la del primer impulso, y elementos para calcular la función de Boolean ( $\overline{Vd}'_1 + Q_1$ ). $Q_3$ , en donde  $Q_3$ ,  $Q_1$  y  $\overline{Vd}'_1$  son los impulsos tercero, cuarto y quinto, respectivamente, y para proporcionar dicha señal de salida (D0) que puede ser representada por dicha función de Boolean.

11.- Un equipo de evaluación de señal óptica luminiscente o magnética.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de treinta y cuatro hojas escritas por una sola cara.

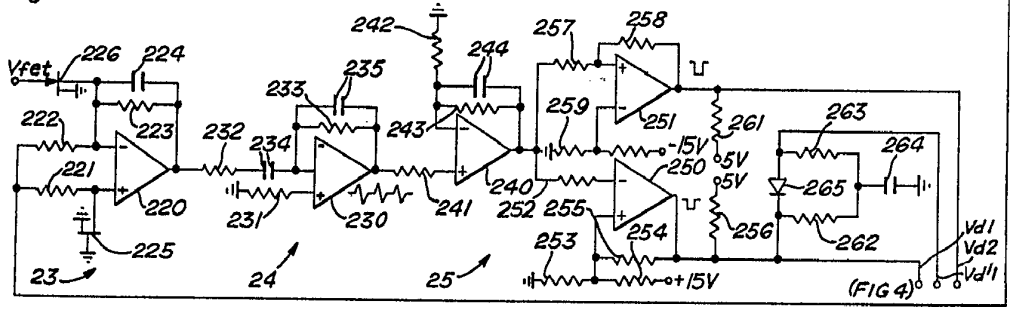
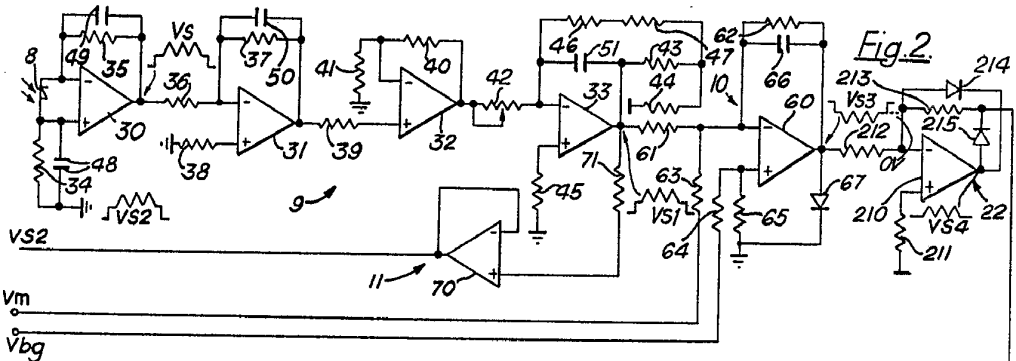
Madrid, 31 OCT, 1977.



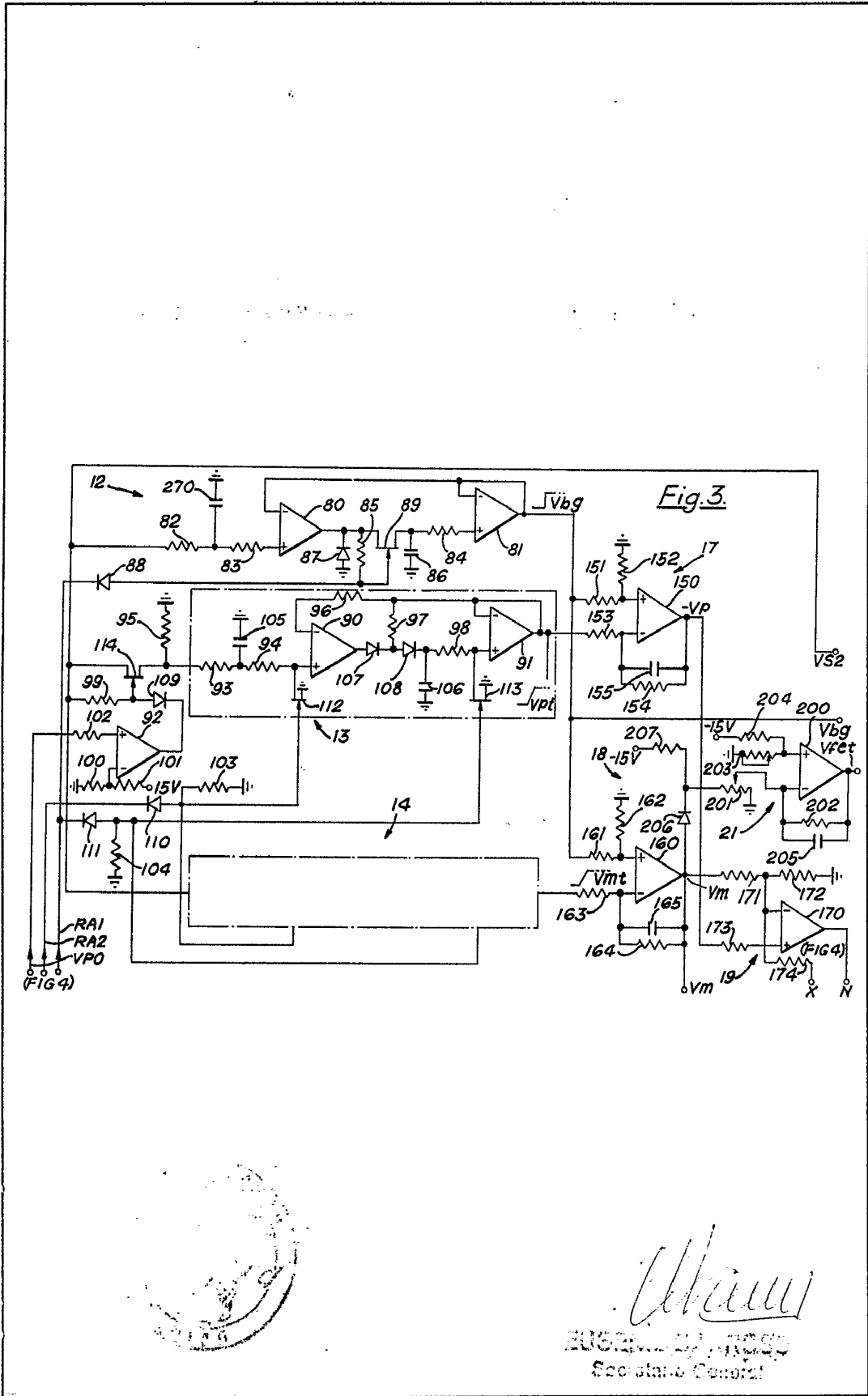
*M. G. Santamaría*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL

*m/g*

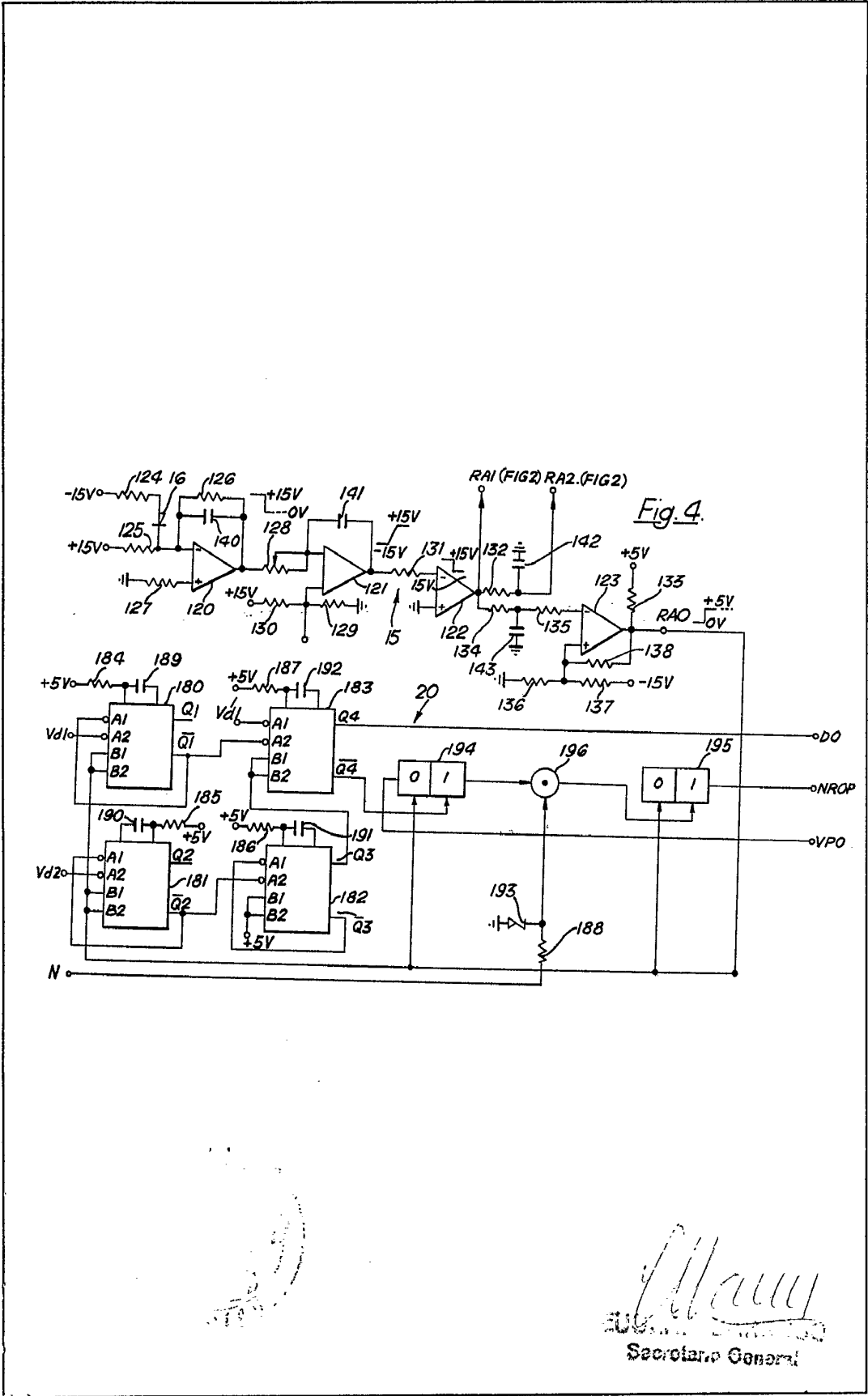




*W. H. ...*  
EUGENE ...  
Secretary



*U. Thun*  
SECRETARY-GENERAL  
United Nations  
Secretariat-General



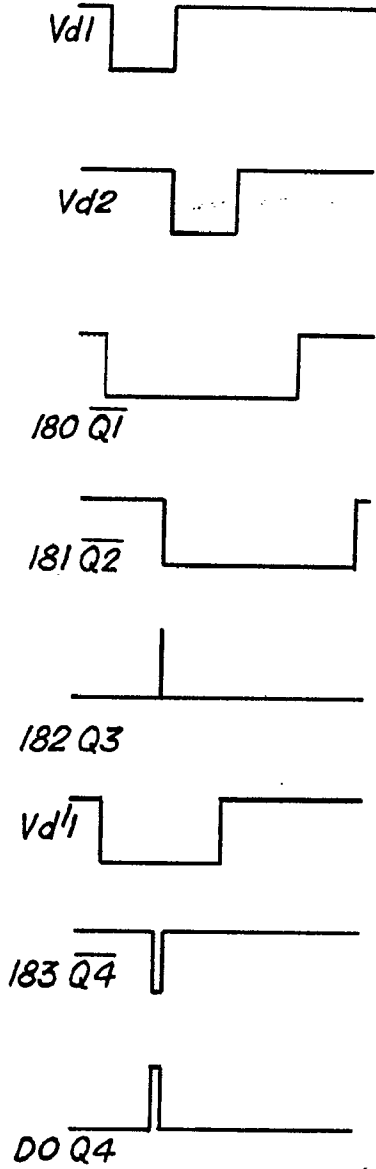
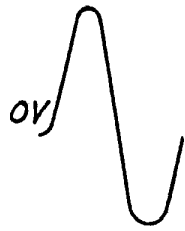


Fig. 5.

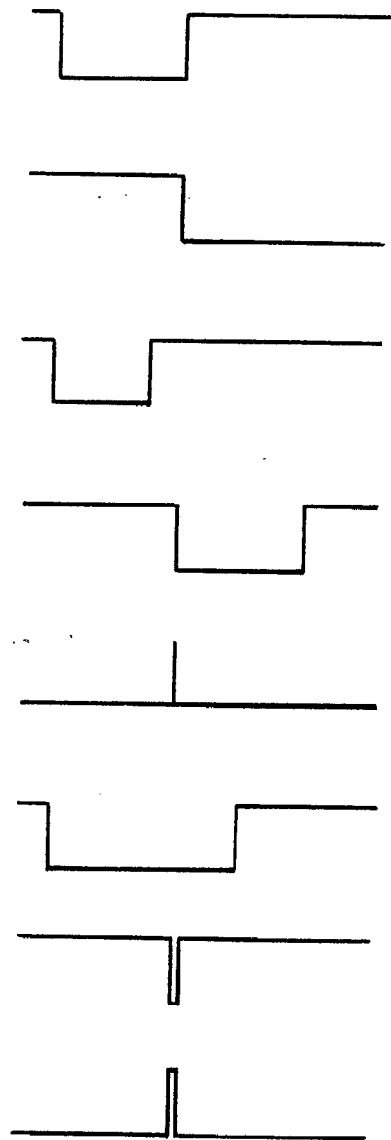


Fig. 6: (Haw)

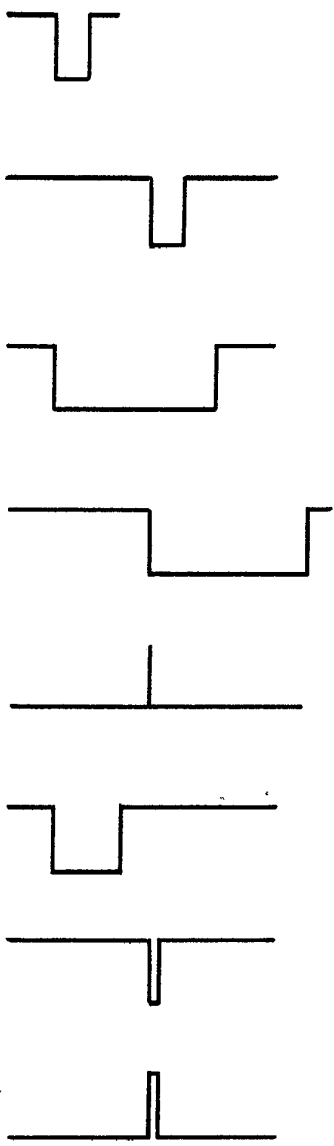


Fig. 7.

*W. H. H. H.*