

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

ES	11	NUMERO	A1
	21	458.328	
	22	FECHA DE PRESENTACION	
		29-4-1977	

PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	681.955		30-4-76		EE.UU.

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			G 11 C		

54	TITULO DE LA INVENCION
	"UN SISTEMA DE DIRECCIONAMIENTO DE MEMORIA DE CONTROL PERFECCIONADA"

71	SOLICITANTE (S)
	INTERNATIONAL BUSINESS MACHINES CORPORATION (BC 9-76-002)

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, Estados Unidos de América

72	INVENTOR (ES)
	William Eduard TUTT y Virgil Dean WYATT

73	TITULAR (ES)

74	REPRESENTANTE
	DON ALBERTO DE ELZABURU MARQUEZ (P-64.554)

1 Este invento se refiere en general a circuitos
de control de memoria de control constituidos por módulos
múltiples que funcionan de un modo continuo solapado, en -
donde los módulos son operados cíclicamente en una secuen-
5 cia fija.

Este invento se refiere en particular a nuevos
medios de generación de siguiente dirección y tratamiento
para una memoria de control que utiliza módulos intercala-
dos en tiempo.

10 ANTECEDENTES DEL INVENTO

La técnica anterior describe memorias princi-
pales intercaladas para escribir y buscar datos e instruc-
ciones con el fin de hacer disminuir el tiempo de acceso a
la memoria principal a un submúltiplo del tiempo de acceso
15 para cualquier módulo único.

El presente invento utiliza también una plura-
lidad de módulos de memoria para obtener una disminución en
el tiempo de acceso para una memoria de control. Sin embar-
go, más allá de este punto terminan las similitudes entre
20 la memoria de control objeto del invento y la memoria prin-
cipal intercalada convencional.

El direccionamiento o acceso para memorias prin-
cipales de la técnica anterior bien sean intercaladas o no,
es generado normalmente por un contador de instrucciones en
el sistema que funciona bajo control de un macroprograma.
25 Esta técnica de direccionamiento no es utilizada en el caso
del presente invento y está sustituida por una nueva técni-
ca de direccionamiento.

Las memorias de control de la técnica anterior
30 tienen generalmente una gran proporción de su capacidad dedi-

1 cada al requerimiento de direccionamiento siguiente. Como resultado, es utilizado un alto porcentaje de la capacidad de memoria de las memorias de control de la técnica anterior por los campos de direccionamiento siguiente.

5 También, la dimensión del campo de dirección siguiente en la memoria de control convencional limita la dimensión de la memoria de control. Este margen de limitación es ampliado grandemente por el presente invento.

10 La Patente Norteamericana 3.391.394 a favor de Ottaway y otros constituye la técnica anterior conocida más pertinente. Describe una memoria de control intercalada y no solapada compuesta por un único módulo ROS que contiene unidades direccionables llamadas palabras de memoria. Cada palabra de memoria contiene tres micropalabras
15 que son leídas de la memoria ROS como un grupo en paralelo. Pero solamente una de las tres micropalabras contenidas en una palabra de memoria de lectura de salida es seleccionada por el registro ROS para ejecución subsiguiente. La micropalabra seleccionada tiene un campo de dirección siguiente
20 te que selecciona la siguiente palabra de memoria para lectura ROS y una de sus tres micropalabras para ejecución. De este modo, durante cada ciclo de lectura de registro ROS solamente está disponible para ejecución una de las tres micropalabras de lectura. En el presente invento solamente
25 se lee una micropalabra durante cada ciclo, y cada micropalabra leída de cualquier módulo ROS está disponible para ejecución. Por tanto, están disponibles unidades direccionables ROS más pequeñas con el presente invento en comparación con el sistema de módulos ROS de la patente anterior,
30 con un aumento resultante en la velocidad de ejecu--

1 ción de micropalabra.

La Patente 3.391.394 proporciona también micro-
instrucciones USE que utilizan bitios de datos obtenidos del
canal de datos para modificar la dirección para la siguien-
5 te palabra de Memoria ROS. El presente invento amplía la
técnica de microinstrucciones USE ilustrando sobre su nueva
realización en un entorno de funcionamiento intercalado y
solapado de módulos ROS plurales.

RESUMEN DEL INVENTO

10 El presente invento crea una singular disposi-
ción de direccionamiento para una memoria de control compues-
ta por módulos múltiples que funciona de un modo solapado en
tiempo para obtener una utilización muy eficiente de la ca-
pacidad de almacenamiento en los módulos de memoria de con-
15 trol, que están intercalados para mejorar el tiempo de acce-
so y para ampliar la direccionabilidad o accesibilidad. El
inventor pone en ejecución un "formato normal" para palabras
de control de microinstrucción (es decir, micropalabras) en
donde está dispuesto un campo modificador de dirección si-
20 guiente en vez de un campo completo de dirección siguiente.
El campo modificador utiliza solamente una fracción (es de-
cir $1/M$) del número de bitios requeridos en una dirección
completa, en donde M es el número de módulos intercalados
en la memoria de control. El tamaño (en número de bitios)
25 del campo "modificador de dirección siguiente" puede ser re-
presentado por la expresión " $F = A/M$ " en donde F es el núme-
ro de bitios en el campo de dirección modificador de direc-
ción siguiente y A es el número de bitios requeridos en una
dirección de memoria de control completa para direccionar cual-
30 quier micropalabra en el mismo módulo.

1 Una consecuencia de la reducción del número de
bitios de direccionamiento siguiente en micropalabras norma
les es que el tamaño total de la memoria de control ya no
está limitado por el número de bitios de dirección siguien
5 te por palabra de control, sino que se convierte en una fun
ción del número de bitios en la palabra de control completa
y del número de módulos.

 Adicionalmente, el campo modificador de direc
ción siguiente en la micropalabra "normal" se combina de mo
10 dos diferentes con una dirección siguiente de micropalabra
previamente generada, con el fin de generar la siguiente di
rección para establecer acceso a la siguiente micropalabra
en el mismo módulo de memoria de control del cual fué leído
el campo modificador. Los diferentes modos implican dife
15 rentes justificaciones (es decir, alineaciones) del campo
modificador de micropalabra en curso con la dirección si
guiente de registro ROS previamente generada. Es decir, ca
da módulo utiliza una justificación particular que es dife
rente de la justificación utilizada por cada uno de los otros
20 módulos.

 La dirección de iniciación en cualquier módulo
especificado para microprogramas en la memoria de control se
obtiene mediante un tipo convencional de bifurcación incondi
cional, excepto en que la dirección objetivo debe estar con
25 tenida en el mismo módulo; la siguiente dirección de micro
palabra contiene la dirección completa que se necesita para
establecer acceso directamente a cualquier palabra en el mis
mo módulo de memoria de control. Después de ello, se utili
za la singular técnica de direccionamiento siguiente modifi
30 cada "normal" más eficiente para ahorrar espacio de memoria

1 de control, puesto que solamente un porcentaje relativamen-
te pequeño de cada micropalabra "normal" se dedica a la fun-
ción de direccionamiento siguiente.

5 La eficiencia de espacio derivada de este modo
de direccionamiento "normal" permite una reducción en el ta-
maño de la palabra de control, lo que da lugar a memorias
de control convencional más pequeñas y más eficientes. Por
ejemplo, en una memoria de control convencional que utiliza
10 palabras de 16 bitios y que requiere una dirección de 12 bi-
tios, el 75% de la capacidad de memoria de control es utili-
zado por requerimientos de direccionamiento siguiente, y so-
lamente está disponible el 25% para control de canal de da-
tos. Con este invento, solamente se utilizan cuatro bitios
en la palabra normal y 16 bitios para requerimientos de di-
15 reccionamiento siguiente, reduciendo este encabezamiento has-
ta aproximadamente el 25%, y dejando aproximadamente el 75%
de la capacidad para control de canal de datos, lo cual cons-
tituye una mejora de casi un 300% en el rendimiento de fun-
ción de control de la memoria de control.

20 Además, es inaceptable un factor de encabezamien-
to del 75%. Por tanto, no son prácticas las palabras de con-
trol de 16 bitios en memorias que tienen 2^{12} palabras de con-
trol que requieren campos de dirección siguiente convencio-
nales de 12 bitios. El resultado es que este invento hace
25 práctica la utilización de una palabra de control de 16 bitios,
por ejemplo, en un módulo de 10^{12} palabras. Proporciona un
aumento en la eficiencia de la memoria de control, para un
conjunto dado de funciones de control, más allá de lo espera-
do del aumento de velocidad de módulos intercalados.

30 Es creado por este invento un tercer tipo de -

1 direccionamiento de palabra de control para permitir selec-
tivamente el control de bifurcación condicional de micropro-
grama por parte de bitios insertados de canal de datos o mi-
croprograma. Es creada por este invento una realización sin-
5 gular de micropalabra "use" para obtener tal bifurcación con-
vencional.

Por consiguiente, un objeto principal de este
invento es obtener un funcionamiento de memoria de control
de alta velocidad con módulos físicos de memoria de control
10 de baja velocidad, que pueden estar montados indistintamen-
te en circuitos de memoria de control con posibilidad de es-
critura, (memoria WCS) o en circuitos de memoria de control
fija o de lectura solamente (memoria ROS).

Otro objeto de este invento es crear una memo-
15 ria de control con un tipo singular de direccionamiento si-
guiente que reduce la cantidad de memoria de control dedica-
da a requerimientos de direccionamiento siguiente, y al mis-
mo tiempo aumenta el tamaño máximo direccionable de la memo-
ria de control.

20 Un objeto adicional de este invento es crear
una memoria de control que tiene módulos de memoria de con-
trol múltiples que funcionan de un modo intercalado y sola-
pado y que utiliza operaciones singulares de direccionamien-
to siguiente.

25 Otro objeto de este invento es crear una memo-
ria de control en la cual se obtiene una gama completa de
direccionamiento de memoria de control con una forma singu-
lar de campos modificadores de dirección siguiente en micro-
palabras de modo normal; esto permite que la siguiente direc-
30 ción generada establezca acceso a una palabra de control en

1 cualquier lugar en cualquier módulo de la memoria de control cuando la memoria de control ha sido anteriormente operada cíclicamente una vez a través de cada uno de sus módulos.

5 Un objeto adicional de este invento es crear una técnica de direccionamiento de memoria de control de gama completa utilizando justificación alternada cuando se combinan los campos modificadores de dirección siguiente en las micropalabras normales con la dirección total obtenida
10 últimamente, en donde el grado de justificación está determinado por el módulo que contenía la micropalabra que tiene el campo modificador en curso. De este modo, el grado de justificación es diferente para los diferentes módulos, pero se utiliza la misma justificación para todas las micropalabras normales contenidas en el mismo módulo.
15

Otro objeto de este invento es crear una técnica de modificación de dirección utilizando un número mínimo de bits modificadores de dirección siguiente en micropalabras normales para direccionamiento a través de la gama
20 total de direcciones de la memoria de control.

Aún otro objeto de este invento es crear en una realización preferida un campo modificador de dirección siguiente de cuatro bits en micropalabras normales para modificar una dirección de memoria de control completa de
25 doce bits.

Un objeto adicional de este invento es hacer máximo el rendimiento y hacer mínimo el coste para la construcción de una memoria de control de alta velocidad creando una disposición intercalada y solapada de módulos de memoria de control de bajo coste y de velocidad relativamente
30

1 baja.

5 Otro objeto de este invento es crear una memoria de control de módulos múltiples intercalados y solapados en la cual el tamaño de micropalabra máximo de la memoria de control puede aumentarse sin aumentar el tamaño de la dirección de micropalabra aumentando el número de módulos intercalados en el tiempo en la memoria de control. Adicionalmente, se disminuye el tamaño del campo modificador de dirección siguiente a medida que aumenta el número de módulos.

10 Un objeto adicional de este invento es crear una memoria de control intercalada que hace posible la realización de una función "ejecutar" para seleccionar registros de fines generales designados por macroinstrucciones.

15 Otros objetos, características y ventajas del presente invento se pondrán más de manifiesto a la luz de la siguiente descripción detallada de una realización preferida del mismo, como se ilustra en los dibujos.

BREVE DESCRIPCION DE LOS DIBUJOS

20 La figura 1 es un diagrama de tiempos que representa las relaciones de sincronismo solapadas e intercaladas en el funcionamiento de una memoria de control que tiene tres módulos ROS en una realización preferida.

25 La figura 2 ilustra un canal de datos utilizado en la realización preferida.

 La figura 3 es un diagrama de bloques global de la memoria de control y sus circuitos de control utilizados en la realización preferida.

30 Las figuras 3A, 3B, 3C, 3D y 3E ilustran con detalle la memoria de control preferida y sus circuitos de con

1 trol para proporcionar señales de control que intervienen
en el funcionamiento del canal de datos representado en la
figura 2.

5 Las figuras 4A, 4B y 4C son representaciones
lógicas del modo de direccionamiento siguiente "normal" uti-
lizado en la realización preferida.

10 La figura 5 proporciona una representación ló-
gica del modo de direccionamiento siguiente de bifurcación
condicional puesto en ejecución por micropalabras "utilizar"
en la realización preferida.

Las figuras 6 a 9 ilustran formatos para varios
tipos diferentes de micropalabras utilizadas en la realiza-
ción preferida.

15 La figura 10 ilustra parte de un formato de
macroinstrucción bien conocido para la designación de regis-
tros para fines generales.

La figura 11 representa el soporte de circui-
tos utilizados en el invento para seleccionar registros de
fines generales bajo control de microrutina.

20 DESCRIPCION DETALLADA DE LA REALIZACION PREFERIDA

Módulos ROS Múltiples

25 La figura 3B ilustra tres módulos 30, 31 y 32
que forman parte de la memoria de control que se encuentra
en la realización preferida. Cada uno de estos módulos es
una entidad de circuito independiente del tipo convencional
de memoria fija (memoria ROS), que podrían ser en su lugar
módulos de memoria de control con posibilidad de escritura
excepto en lo que se refiere a factores de coste y tiempo
de acceso. Estos tres módulos están designados X ROS, Y ROS
30 y Z ROS, respectivamente.

1 La figura 3E ilustra el contenido del módulo
X ROS 30. Da salida a una micropalabra de 16 bitios duran-
te cada ciclo X del sistema de sincronismo o de reloj repre-
sentado en la figura 3. El módulo Y ROS 31 y el módulo Z
5 ROS 32 son estructuralmente idénticos al módulo X ROS ilus-
trado en la figura 3E. El módulo X ROS 30 contiene un con-
junto X ROS, que puede ser un módulo ROS convencional, con
una entrada de dirección proporcionada por la línea designa-
da "dirección siguiente X (bitios 0-11)". Esta dirección
10 de 12 bitios es suministrada al final de un ciclo X. Duran-
te los dos ciclos siguientes del generador de sincronismo
(ciclo Y y ciclo Z), la línea de selección de módulo X ROS
está activa, de modo que el conjunto selecciona (es decir,
establece acceso a) la micropalabra ROS situada en la últi-
15 ma dirección siguiente X recibida que se encuentra normal-
mente en el registro 24. La micropalabra seleccionada es
entonces proporcionada sobre las líneas 0-15 de salida del
conjunto X ROS a entradas correspondientes de activación de
circuitos 60 a 75 de retención de salida de conjunto X ROS
20 representados en la figura 3E; y anteriormente durante este
acceso a micropalabra, la línea de reposición de circuito
de retención X es activada por impulso para reponer los cir-
cuitos de retención. Durante el siguiente ciclo X, los cir-
cuitos 60-75 de retención dan salida a la micropalabra de
25 conjunto X-ROS en curso, durante cuyo ciclo es ejecutada.
Simultáneamente con la ejecución de la palabra durante este
ciclo X, es generada la siguiente dirección para el módulo
X ROS por el generador representado en la figura 3A. De es-
te modo, es mantenida la memorización transitoria por los
30 circuitos 60-75 de salida durante el ciclo X en curso para

1 permitir la generación de la nueva dirección. Este sincro-
nismo solapado está ilustrado en la figura 1 en relación con
los sistemas de sincronismo en los módulos Y ROS y Z ROS,
que son idénticos al sistema de sincronismo del módulo X ROS
5 excepto en que las operaciones del módulo X ROS tienen lugar
un ciclo después que en el módulo X ROS y las operaciones
del módulo Z ROS tienen lugar dos ciclos después que en el
módulo X ROS, como se ilustra en la figura 1.

Circuitos de Control de Memoria de Control- General (figura
10 3)

La figura 3 representa la disposición diagramá-
tica general de la realización. El generador de sincronis-
mo excita el circuito de la realización con una secuencia
de tres ciclos (ciclo X, ciclo Y y ciclo Z) que se repiten
15 continuamente, como se representa en la figura 1. La reali-
zación comprende un generador de dirección siguiente ROS -
(representado con detalle en la figura 3A) que genera una
dirección siguiente ROS durante cada ciclo ROS, como se ve
en la figura 1; proporciona cada una de las direcciones si-
20 guientes ROS como salida, que es la entrada de un selector
de palabra ROS en curso (representado con detalle en la fi-
gura 3B) que utiliza cada dirección siguiente recibida para
seleccionar (es decir, para establecer acceso a) una micro-
palabra procedente de cada uno de los tres módulos ROS X, Y
25 y Z. Las selecciones de micropalabra se solapan durante ca-
da dos ciclos que siguen al ciclo de generación de dirección.
El selector da salida a cada micropalabra seleccionada hacia
circuitos descodificadores de micropalabra (representados -
con detalle en la figura 3C). Muchas de las salidas de des-
30 codificador son entradas de realimentación al generador de

1 dirección siguiente ROS. También en la figura 3, circuitos
de selección de fuente "utilizar" (representados con deta-
lle en la figura 3D) se hacen cargo de la ejecución de las
micropalabras "utilizar" en el sistema de módulos ROS inter-
5 calados. Los circuitos de selección de fuente "utilizar"
reciben salidas especiales de los circuitos descodificadores
de micropalabra y entradas especiales de realimentación
al generador de dirección siguiente ROS.

Generador de Dirección Siguiete ROS (figura 3A)

10 La figura 3A ilustra circuitos utilizados para
generar las direcciones ROS de 12 bits. Estos circuitos
se hacen cargo de diferentes modos de direccionamiento: (1)
direccionamiento normal, (2) bifurcación incondicional, y
(3) bifurcación condicional.

15 El modo de direccionamiento normal utiliza el
campo modificador de dirección siguiente compacto en micro-
palabras "normales". Los circuitos de soporte del modo nor-
mal representados en la figura 3A utilizan un circuito 22
para combinar en función lógica "0" exclusiva la salida de
20 una de las puertas "Y" 11, 12 o 13 con la salida de una de
las puertas "Y" 14, 15 ó 16. Es decir, las puertas "Y" en
cada uno de estos dos grupos activadas por el mismo ciclo
de sincronismo (X, Y o Z) están aplicadas como entradas,
respectivamente, a entradas 22a y 22b del circuito 22 "0"
25 exclusivo para generar la dirección siguiente ROS a la cual
se da salida por parte del circuito "0" 23.

30 El modo de direccionamiento de bifurcación in-
condicional es soportado por la puerta "Y" 21 representada
en la figura 3A para dar salida a una dirección siguiente
ROS del circuito 23 "0".

1 El modo de direccionamiento de bifurcación con
dicional es realizado por una micropalabra "Utilizar" (re-
presentada en la figura 7), que activa la salida de la puer-
ta "Y" 10 o una de las puertas "Y" 11, 12 o 13 para su apli-
5 cación a la entrada 22b del circuito 22 "0" exclusivo y la
salida de las puertas "Y" 17 y 90 a la otra entrada 22d.

Selector de Palabra en Curso ROS (figura 3B)

10 La figura 3B representa los circuitos que esta-
blecen acceso a cada micropalabra, utilizando la salida del
generador de dirección siguiente de módulo ROS representado
en la figura 3A, que es cargada en un registro correspon-
diente de los registros 24, 25 o 26 de dirección siguiente,
como se determina por el ciclo que está activo de los tres
15 ciclos de sincronismo en un instante particular. Una vez
cargados, estos registros continúan dando salida a sus bi-
tios de dirección siguiente durante los dos ciclos de sin-
cronismo siguientes al módulo 30, 31 o 32 ROS respectivo,
el cual realiza entonces la selección de micropalabra del
modo convencional. En el tercer ciclo después de haber si-
20 do cargada (es decir el siguiente ciclo activo para el mis-
mo módulo ROS), la palabra de módulo ROS seleccionada es ex-
pedida a una puerta "Y" 36, 37 o 38 respectiva que tienen
sus salidas combinadas en un circuito "0" 39 que proporcio-
na la micropalabra seleccionada sobre la línea 16 de la lí-
25 nea 41 general. También, están dispuestas algunas de las
líneas en la línea 41 general como salidas 42 y 43 que pro-
porcionan campos seleccionados en la micropalabra seleccio-
nada.

Circuitos Descodificadores de Micropalabra ROS (figura 3C)

30 El descodificador 400 representado en la figura

1 3C recibe y descodifica cada micropalabra que procede de la
figura 3B. Las líneas 401a a 401n de salida de descodifi-
cador proporcionan señales a los datos de la figura 2 para
ejecutar micropalabras normales leídas del contenido de las
5 memorias X ROS, Y ROS y Z ROS. Los circuitos representados
en la figura 3C exteriores al descodificador 400 proporcio-
nan descodificación y control adicional que se necesita para
soportar la ejecución de modos de direccionamiento de bifur-
cación incondicional y condicional.

10 FUNCIONAMIENTO DE LOS MODOS DE DIRECCIONAMIENTO SIGUIENTE

Modo de Direccionamiento Siguiente Normal

La figura 7 ilustra un formato para una micro-
palabra de 16 bitios que contiene un campo modificador de di-
rección siguiente de 4 bitios que puede ser utilizado en to-
15 das las micropalabras de modo normal almacenadas en cualquie-
ra de las memorias ROS X, Y o Z (30, 31 o 32 en la figura
3B). En el formato, los bitios 4-7 contienen el campo modi-
ficador de dirección siguiente de cuatro bitios. Los bitios
0-3 contienen un código de operación para la micropalabra, y
20 los bitios 8-15 pueden contener cualquier tipo de campos re-
queridos para el funcionamiento de memoria de control normal.
Las operaciones realizadas sobre el siguiente campo 4-7 modi-
ficador de dirección siguiente están controladas por los cir-
cuitos ilustrados en la figura 3A que generan la dirección
25 de 12 bitios requerida para establecer acceso a la siguiente
micropalabra en la memoria de control representada en la fi-
gura 3B. Como se ha mencionado anteriormente, es generada
la dirección siguiente de modo normal combinando la salida
de una de las puertas "Y" 11, 12 o 13 con una salida de una
30 de las puertas "Y" 14, 15 o 16 en el circuito 22 "0" exclusivo

1 representado en la figura 3A durante un ciclo de sincronis-
mo relacionado. Esta operación de combinación se explica
ahora con relación a las figuras 4A, 4B y 4C para las tres
memorias ROS diferentes. La operación de combinación puede
5 comprenderse en términos de "justificar" (es decir, alinear)
el campo modificador de dirección de cuatro bits con rela-
ción a una de tres posiciones A, B y C diferentes en la di-
rección de microinstrucción de 12 bits completa expedida
anteriormente durante el último ciclo de sincronismo por el
10 circuito "0" 23 de la figura 3A y normalmente almacenada en
uno de los registros 24, 25 o 26 de la figura 3B. La ante-
rior dirección siguiente está disponible sobre la barra co-
lectora o línea general 27, 28 o 29 de la figura 3B, cuyas
líneas están dispuestas respectivamente como entradas a las
15 puertas 12, 13 y 11 de la figura 3A. De este modo, se deri-
va la anterior dirección siguiente Z de la figura 4A de la
línea general 29 de la figura 3B, y similarmente se derivan
respectivamente las anteriores direcciones siguientes X e Y
de las figuras 4B y 4C de las líneas 27 y 28 de la figura
20 3B. El campo modificador de dirección siguiente representa-
do en cada una de las figuras 4A, 4B y 4C se deriva de las
líneas 43 de la figura 3B que son suministradas como entra-
da a cada una de las puertas 14, 15 y 16 de la figura 3A.
Se observa que la justificación del campo modificador de di-
25 rección siguiente difiere en cada una de las figuras 4A, B
y C, en donde está justificado en la posición C en la figura
4A, (es decir los bits 8-11 procedentes de la puerta 16),
en la posición B en la figura 4B (es decir los bits 4-7
procedentes de la puerta 15) y en la posición A en la figura
30 C (es decir, los bits 0-3 procedentes de la puerta 14). De

1 este modo, la justificación está controlada por los diferen
tes conjuntos de cuatro líneas paralelas procedentes de las
respectivas puertas "Y" 14, 15 y 16 que establecen conexión
a las correspondientes posiciones de bitio en el circuito
5 22 "0" exclusivo.

El resultado de la operación lógica "0" exclu
siva por parte del circuito 22 está representado en la figu
ra 4A por la dirección siguiente X, en la figura 4B por la
dirección siguiente Y, y en la figura 4C por la dirección
10 siguiente Z.

Se ve así en las figuras 4A, B y C que las mo
dificaciones de dirección difieren para las tres memorias
ROS, debido a las diferentes justificaciones requeridas. De
este modo, en la figura 4A la modificación de dirección pa
ra la memoria ROS X opera solamente sobre el extremo de or
den inferior de las direcciones siguientes X, y permite así
15 que los accesos de la memoria X ROS estén separados en in
tervalos mínimos de una micropalabra. Sin embargo, se ve
en la figura 4B que las direcciones siguientes Y están modi
ficadas solamente en su campo B central, lo que permite que
20 los accesos de la memoria Y ROS tengan un incremento de se
paración mínima equivalente a un intervalo de 16 palabras.
En un sentido similar, la dirección siguiente Z está modifi
cada solamente en su campo A de orden superior, de modo que
25 los accesos a la memoria Z ROS tienen un incremento de sepa
ración mínima de 256 intervalos de palabra.

Las tres justificaciones A, B y C diferentes
cubren el campo completo de dirección de 12 bitios para di
reccionamiento de memoria ROS. Es evidente que durante tres
30 ciclos secuenciales cualesquiera del generador de impulsos

1 de sincronismo de memoria ROS, se cubre el espacio completo
 de direccionamiento de 12 bits, de modo que la dirección
 siguiente ROS total puede ser modificada para establecer -
 acceso a cualquier micropalabra en cualquiera de los tres
 5 módulos ROS. La operación secuencial de direccionamiento es
 realizada por un microprogramador escribiendo microcódigo,
 y las direcciones absolutas de micropalabra en los módulos
 ROS pueden realizarse indistintamente por un operador huma-
 no o con la ayuda de un programa "assembler".

10 La relación entre los ciclos de sincronismo y
 la dirección siguiente de módulo ROS generada anteriormente
 en combinación con el campo modificador de dirección de mi-
 cropalabra en curso para proporcionar la dirección siguien-
 te ROS generada en curso, está representada en la siguiente
 15 tabla I:

TABLA I

GENERACION (GEN.) DE DIRECCION SIGUIENTE (D.S.)

20	<u>CICLO DE</u> <u>SINCRONISMO</u>	<u>D.S. GENERADA</u> <u>ANTERIORMENTE</u>	<u>D.S. GENERADA</u> <u>EN CURSO</u>	<u>DIRECCION DE MI-</u> <u>CROPALABRA EJECUTADA</u>
	1	Z	X(1)	
	2	X(1)	Y(1)	
	3	Y(1)	Z(1)	
	4	Z(1)	X(2)	X(1)
25	5	X(2)	Y(2)	Z(1)
	6	Y(2)	Z(2)	Z(1)

Modo de Direccionamiento Siguiete por Bifurcación Incondicional

Siempre que el sistema ROS arranca inicialmente, se requiere una dirección de 12 bitios para especificar la palabra de arranque en la memoria de control. Esta está determinada por una micropalabra de bifurcación incondicional del tipo ilustrado en la figura 6, y contiene una dirección ROS completa de 12 bitios. En la figura 3A, la puerta "Y" 21 proporciona la dirección ROS de 12 bitios al circuito "O" 23 siempre que sea indicada una micropalabra de bifurcación incondicional sobre la línea 45 de la figura 3C a la entrada de la puerta "Y" 21. La otra entrada a la puerta 21 está dispuesta sobre la línea general 42 a partir de la micropalabra seleccionada de la figura 3B, para proporcionar el campo de dirección ROS de 12 bitios contenido en la micropalabra de bifurcación incondicional.

Modo de Direccionamiento siguiente por Bifurcación Condicional

La figura 5 ilustra el modo de funcionamiento de bifurcación condicional. Este modo de funcionamiento genera una dirección siguiente ROS, en la cual la parte de orden inferior de la dirección siguiente generada está controlada por datos procedentes de cualquiera de cuatro registros seleccionables en el circuito "O" exclusivo del canal de datos que pueden enmascarse con bitios correspondientes que proceden indistintamente de dos puntos: a) la dirección siguiente ROS anterior, o b) datos de microprograma en un registro de máscaras. Una parte de orden superior de la dirección siguiente ROS generada es tomada directamente de los bitios correspondientes contenidos en: c) la dirección

1 siguiente ROS anterior, o d) el registro de máscara. La
elección entre a y c o b y d está determinada por el estado
de un circuito de retención de máscara sincronizado. Un cam
5 po intermedio en la dirección siguiente ROS generada está
controlado por el estado de un circuito de retención de mar
ca indicadora y el circuito de retención preparado.

Todas estas operaciones están controladas por
la micropalabra "utilizar". El formato de micropalabra -
"utilizar" está ilustrado en la figura 8.

10 La ejecución de la micropalabra "utilizar" es-
tá controlada por los circuitos representados en la figura
3D; por las puertas 10, 17 y 90 de la figura 3A; y por la
mayor parte de los circuitos exteriores al descodificador
de micropalabra de la figura 3C. Los bitios de canal de -
15 datos utilizados por una instrucción "utilizar" están selec-
cionados por los circuitos de la figura 3D, que reciben en
tradas de control de la figura 3C y entradas de datos de la
figura 2. Los bitios de canal de datos seleccionados son
transmitidos desde los circuitos de la figura 3D a la puer-
20 ta 17 de la figura 3A.

La secuencia más bien compleja de operaciones
ejecutables por una micropalabra "utilizar" para generar la
dirección siguiente ROS está ilustrada en el ejemplo repre-
sentado en la figura 5. Comienza con la dirección siguien-
25 te X anterior generada durante el último ciclo de sincronis-
mo y finaliza con la generación de la dirección siguiente
Y durante el ciclo de sincronismo en curso.

Los bitios particulares en el canal de datos
son seleccionados por el campo de fuente de origen (SRCE)
30 y el código OP representado en la figura 8. El campo de -

1 origen especifica uno de cuatro lugares en el canal de da-
tos de los cuales pueden ser seleccionados bitios mediante
una micropalabra "utilizar". Estos cuatro lugares están
representados en la figura 2 y son los siguientes: el regis-
5 tro de estado, el registro OP, el registro de línea gene-
ral, o los bitios exteriores. El campo de origen es una di-
rección de dos bitios que es descodificada por un descodi-
ficador 100 representado en la figura 3C.

10 Sin embargo, solamente son utilizados por una
micropalabra "utilizar" la mitad de los 16 bitios de canal
de datos en la fuente seleccionada. El código OP de la mi-
cropalabra "utilizar" designa qué mitad es seleccionada in-
dicando si es la correspondiente a los 8 bitios de orden
superior (HI) o la correspondiente a los 8 bitios de orden
15 inferior (LO). Estas son las dos micropalabras "utilizar"
diferentes, que solamente se distinguen por sus códigos OP,
en las cuales una selecciona la batería de bitios de orden
superior de la fuente de origen designada y la otra selec-
ciona la batería de bitios de orden inferior de la fuente
20 de origen designada.

La selección de una mitad de los bitios de -
fuente de canal de datos se debe a la situación pragmática
de tener una micropalabra de 16 bitios, (un canal de datos
de ancho igual a 16 bitios en la figura 2) y a la necesi-
25 dad de alojar un campo de máscara de datos en la micropala-
bra "utilizar" que tiene sus otros 8 bitios ocupados por
otros campos. Por tanto, solamente puede alojarse una má-
scara de datos de 8 bitios en la micropalabra "utilizar" de
16 bitios.

30 Los circuitos de selección de fuente "utilizar"

1 representados en la figura 3D controlan la operación de selección de canal de datos de 8 bitios. Estos circuitos reciben las líneas 94, 95, 96 y 97 de control de descodificador procedentes del descodificador 100 de fuente "utilizar"
5 de la figura 3C para seleccionar la fuente de canal de datos. Reciben también la línea 91 de batería de bitios de orden superior y la línea 92 de batería de orden inferior proporcionadas por el descodificador de micropalabra representado en la figura 3C para indicar cual de los dos tipos
10 de micropalabras "utilizar" está siendo ejecutada. Las entradas de canal de datos dispuestas en el circuito de la figura 3D reciben las líneas de señal de salida correspondientemente numeradas procedentes de la figura 2.

15 El campo de máscara de datos ocupa las posiciones de bitio de 8 a 15 en la micropalabra "utilizar" (vease la figura 8), y se utiliza como máscara sobre los ocho bitios de datos seleccionados de uno de los cuatro lugares del canal de datos.

20 Como se representa en la figura 5, el campo 47 de máscara está combinado en función lógica "Y" con los bitios 46 de fuente seleccionada que proceden de la figura 3D. La puerta "Y" 17 de la figura 3A recibe estas señales sobre las líneas 46 y 47 y proporciona el campo 17 de fuente de máscara representado en la figura 5. El campo 17a de
25 fuente de máscara es entonces combinado en función lógica 0-exclusiva con los 8 bitios de orden inferior de la dirección siguiente X generada anteriormente durante un ciclo de sincronismo X, o alternativamente con los 8 bitios de orden inferior contenido en el registro de máscara de bifurcación,
30 dependiendo del estado de un circuito 82 de retención prepa

1 rado de máscara. De este modo, la dirección siguiente Y
que está siendo generada durante un ciclo de sincronismo Y
puede ser generada a partir de una de dos direcciones bási-
cas de 12 bitios, siendo una de ellas la dirección siguien-
5 te X anterior y siendo la otra, como alternativa, el conte-
nido de 12 bitios del registro de máscara. El circuito 22
"0" exclusivo representado en la figura 3A genera la direc-
ción siguiente Y. Sus 8 bitios de orden inferior en las po-
siciones de bitio 4-11 y su campo intermedio en el bitio 3
10 son proporcionados por los circuitos "Y" 17 y 90 conectados
a la entrada 22a del circuito 22 "0" exclusivo y su otra en-
trada 22b recibe un campo de 12 bitios procedente indistin-
tamente de la puerta "Y" 10 o una de las puertas "Y" 11, 12
o 13. La puerta 10 da salida al registro de máscara si es-
15 tá habilitada por el hecho de que esté activado el circuito
de retención preparado de máscara. Pero si el circuito de
retención preparado de máscara está desactivado, la puerta
12 está habilitada durante el ciclo Y para seleccionar la
dirección siguiente X anterior. Los bitios 0-2 de orden su-
20 perior en el campo de 12 bitios seleccionado aplicados a la
entrada 22b son transmitidos sin modificar a través del cir-
cuito 22 "0" exclusivo porque no están siendo aplicados a la
otra entrada 22a bitios correspondientes de orden superior,
y por tanto forman parte de la dirección siguiente "Y" emiti-
25 da. El campo intermedio en el bitio 3 es generado en el cir-
cuito 22 bajo control de la puerta "Y" 90 que está siendo
controlada por los bitios 6 y 7 del campo de función en la
micropalabra "utilizar" de la figura 8. Estos bitios de fun-
ción están aplicados como entrada a un descodificador 101 de
30 marca indicadora "utilizar" representado en la figura 3C,

1 que proporciona salidas 1, 2 y 3 dependiendo de la codifi-
cación de los bits 6 y 7. F = 1 indica una señal de prue-
ba que es suministrada como entrada a la puerta 90 de la fi-
gura 3A. Un circuito 102 de retención de marca indicadora
5 representado en la figura 3C proporciona también una entra-
da a la puerta 90 de la figura 3A para condicionar la puer-
ta cuando el circuito de retención está activado. Este cir-
cuito de retención es activado por una señal F = 2 proce-
dente del descodificador 101, y es desactivado por una se-
10 ñal F = 3 procedente del descodificador 101. Los estados
de activación, reposición y prueba del circuito 102 de re-
tención de marca indicadora están controlados por diferen-
tes micropalabras contenidos en un microprograma.

El registro 81 de máscara de bifurcación repre-
15 sentado en la figura 3C es cargado por una micropalabra de
máscara de bifurcación representada en la figura 9. La eje-
cución de la instrucción de máscara de bifurcación no sola-
mente carga el registro 81 de máscara de bifurcación, sino
que también activa el circuito 82 de retención preparado
20 de máscara, que es repuesto por la ejecución de una micro-
palabra "utilizar" siguiente. Consiguientemente, la opera-
ción de carga del registro 81 de máscara de bifurcación so-
lamente puede ser utilizada una vez por una micropalabra
"utilizar". Por consiguiente, el registro debe ser cargado
25 explícitamente por cada micropalabra "utilizar" que intenta
utilizar el registro de máscara de bifurcación.

CONTROL DE SELECCION DE REGISTRO

Muchas macroinstrucciones utilizadas normalmen-
te por programadores de computadora designan uno o más re-
30 gistros para fines generales (registros GPR). La figura 9

1 es un ejemplo de una macroinstrucción que designa dos regis-
 tros R1 y R2 del tipo GPR. Siempre que se ejecuta tal ma-
 croinstrucción, la máquina debe identificar y utilizar cada
 registro GPR designado del modo que se requiere por la ma-
 5 croinstrucción.

La memoria de control de módulos intercalados
 descrita en esta memoria proporciona un soporte singular pa-
 ra la designación GPR por parte de macroinstrucciones. El
 canal de datos representados en la figura 2 tiene un bloque
 10 190 que contiene 4 niveles, cada uno de los cuales tiene -
 ocho registros GPR que pueden ser designados en macroinstruc-
 ciones por un campo de tres bitios. La interpretación del
 código de operación de la macroinstrucción por un micropro-
 grama determinará cual de los campos de tres bitios (si exis-
 15 ten) es utilizado para el registro R1 y cual otro campo de
 tres bitios (si lo hay) es utilizado para el registro R2.
 Tal microprograma llamará a la microrrutina representada a
 modo de ejemplo en la siguiente Tabla II.

TABLA II

<u>CICLO DE SINCRONISMO</u>	<u>MICROPALABRA</u>
X (1)	Máscara 010 de bifurcación
Y (1)	UTILIZAR R1
Z (1)	Bifurcar a UNC
X (2)	Máscara 010 de bifurcación (para si- 25 guiente microrrutina)
Y (2)	Leer registro GPR R1
Z (2)	Bifurcar a micropalabra objetivo en la siguiente microrrutina (o si es desig- nado el registro R2)
Z (2)	Utilizar R2

1	<u>CICLO DE SINCRONISMO</u>	<u>MICROPALABRA</u>
	X (3)	Bifurcar a UNC
	Y (3)	(Cualquier micropalabra para la si- guiente microrrutina)
5	Z (3)	(Bifurcar a micropalabra objetivo en la siguiente microrrutina).

Esta microrrutina está soportada por circuitos representados en las figuras 2 y 11. En la figura 11, los registros GPR están contenidos en el bloque 190, que está dividido en cuatro niveles LVL 1 a LVL 4 cada uno de los cuales contiene ocho registros GPR, designados 0 a 7. Una dirección de 5 bits designa cualquiera de los 32 registros GPR contenidos en el bloque 190, en cuya dirección dos bits designan uno de los cuatro niveles y los tres bits restantes designan uno de los ocho registros GPR en el nivel designado. La dirección de bloque GPR de cinco bits ingresa en un registro 193 de dirección de bloque (es decir STA-1) para una designación de registro R1, o bien en un registro 194 de dirección de bloque (es decir, STA-2) para una designación de registro R2 en una macroinstrucción.

La microrrutina de selección de registro GPR de la tabla II funciona del modo siguiente en el conjunto de módulos intercalados en el tiempo, de este invento, donde se supone que el primer ciclo es un ciclo X (1). El ciclo X (1) ejecuta una micropalabra de máscara de bifurcación y ajusta el registro de máscara de bifurcación a la dirección 010, (la dirección de la micropalabra de lectura para el primer registro GPR en el nivel 0,) que es utilizada como dirección básica para todos los registros GPR en cual-

1 quier nivel. El ciclo Y (1) ejecuta una instrucción UTILI-
ZAR como se ha descrito anteriormente, en la cual la batería
de bitios de orden superior en el registro OP de la figura
2 es designada como fuente que contiene la designación R1 en
5 sus posiciones 5, 6, 7 de bitio, y la máscara de datos se-
lecciona solamente estas posiciones de bitios.

La salida de dirección de nivel del circuito "0"
55 y la salida de dirección del registro GPR están concate-
nadas sobre la línea general 256 y son dejadas pasar en for-
10 ma discriminada como entrada al registro 193 o 194 seleccio-
nado por el bitio 3 de la micropalabra "leer registro GPR".
El descodificador 192 de dirección de bloque de registros
en la figura 2 descodifica entonces esta dirección y selec-
ciona el registro GPR requerido.

15 Durante el ciclo Z (1) se ejecuta una micropala-
bra de bifurcación incondicional, de modo que durante el ci-
clo Z (2) puede ejecutarse la micropalabra objetivo de bifur-
cación. Si la macroinstrucción en curso designa un registro
R2, su rutina objetivo será similar a la rutina para selec-
20 cionar el registro GPR designado por R1.

Durante el ciclo X (2), puede ejecutarse la pri-
mera micropalabra para la siguiente microrrutina. Si la si-
guiente rutina selecciona el registro R2, el ciclo X (2) pue-
de ejecutar nuevamente la micropalabra de máscara de bifur-
25 cación.

Durante el ciclo Y (2), es ejecutada la micropala-
bra "leer GPR". En esta ejecución se utilizan los circui-
tos representados en las figuras 11 y 2.

30 La figura 11 ilustra el funcionamiento de la mi-
cropalabra "Leer GPR". Sus bitios 0-7 corresponden a la des

1 cripcción anterior para una micropalabra de modo de direccio
namiento normal. El bitio 8 puesto a 0 para indicar que la
micropalabra está prevista para leer un registro GPR. El
bitio 9 es un campo de función (FN) que controla el origen
5 de la dirección de nivel. Si el bitio 9 es puesto a 1, la
dirección de nivel se deduce del campo 14, 15 de nivel en
curso en un registro 251 de nivel a través de la puerta "Y"
252 habilitada. Pero si el bitio 9 está puesto a 0, la di-
rección de nivel se deduce, por el contrario, de los bitios
10 14, 15 de la micropalabra "Leer Registro GPR". La direc-
ción de nivel seleccionado de dos bitios está concatenada
con la dirección de registro GPR de tres bitios obtenida
de la salida de micropalabra de la figura 3C en la línea
general 256 y es hecha pasar en forma discriminada, al re-
15 gistro 193 o 194 de dirección de bloque como se determina
por el estado del bitio 3 del código OP en la micropalabra
Leer Registro GPR, y aparece como salida del mismo regis-
tro para establecer acceso al registro GPR contenido en el
bloque.

20 Aun cuando el invento ha sido expuesto y descri-
to con respecto a una realización preferida del mismo, se
entenderá por los expertos en la técnica que pueden reali-
zarse diversos cambios y omisiones en la forma y detalles
del invento sin apartarse del espíritu ni del alcance del
25 mismo, que ha de quedar limitado solamente como se expone
en las reivindicaciones siguientes.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30


1ª.- Un sistema de direccionamiento de memoria de control perfeccionado, que comprende: una pluralidad de módulos de memoria, un generador de impulsos de sincronismo que da salida a una secuencia de ciclos para dichos módulos de memoria, recibiendo cada uno de los módulos un ciclo de sincronismo diferente, medios generadores de dirección siguiente para generar direcciones de palabra siguiente para los respectivos módulos de memoria a partir de bits modificadores de dirección siguiente recibidos de una palabra de acceso en curso, medios selectores de palabra para seleccionar la palabra en el módulo direccionado por la dirección de palabra siguiente que aparece en la salida de los medios generadores de dirección siguiente, y medios de reacción para disponer cualquier campo modificador de dirección siguiente en la palabra seleccionada por los medios selectores de palabra para los medios generadores de dirección siguiente.

2ª.- Un sistema de direccionamiento de memoria de control como se ha definido en la reivindicación 1ª, comprendiendo el sistema de direccionamiento medios para generar señales modificadoras a partir de campos modificadores de di-

1 rección siguiente derivados de micropalabras contenidas en
dichos módulos y para proporcionar estas señales sobre lí-
neas de señal modificadora, medios para alinear las señales
generadas para cada módulo con campos respectivamente dife-
5 rentes en una dirección de memoria de control, medios para
combinar las señales modificadoras recibidas de los medios
de alineación para cada módulo con una señal de dirección
de memoria de control para una micropalabra últimamente di-
reccionada en la memoria de control, siendo la salida de
10 los medios combinadores la dirección de memoria de control
para seleccionar la siguiente micropalabra del módulo del
cual fue derivada la señal modificadora.

3^a.- Un sistema de direccionamiento de control
como se ha definido en la reivindicación 2^a, en el cual di-
15 chos medios combinadores consisten en un circuito "0" exclu-
sivo.


4^a.- Un sistema de direccionamiento de memo-
ria de control como se ha definido en la reivindicación 2^a,
en el cual es proporcionado un conjunto diferente de líneas
20 de señal modificadora por los medios generadores de señal
modificadora para cada módulo en relación con un conjunto
particular de líneas de dirección portadoras de posiciones
de bitio de una dirección de memoria de control, proporci-
nando los conjuntos diferentes de líneas de señal modifica-
25 dora para los diferentes módulos una alineación diferente
para cada uno de los bitios modificadores de módulo con la
dirección de la memoria de control, los medios combinadores
tienen un conjunto de entradas conectadas a las líneas de
señal modificadora de cada módulo y otro conjunto de entra-
30 das conectadas a las líneas de dirección, y están previstos



1 medios para intercalar en el tiempo las señales modificadas
ras en las líneas de señal modificadora conectadas a los
medios combinadores.

5 5^a.- Un sistema de direccionamiento de memoria de control como se ha definido en la reivindicación 1^a,
que comprende adicionalmente un circuito de retención de
marca indicadora cuyo estado puede ser establecido por un
descodificador de campo de marca indicadora que recibe un
campo de marca indicadora en una micropalabra "utilizar"
10 para proporcionar una señal de activación de circuito de
retención de marca indicadora, medios de puerta de origen
para seleccionar posiciones de bitio de origen en una vía
de datos, primeros medios de puerta "Y" que reciben las po
siciones de bitio de origen seleccionadas de los medios de
15 puerta de origen y una señal "utilizar" procedente de un
descodificador de micropalabra, segundos medios de puerta
"Y" que reciben una señal de prueba procedente del descodi
ficador de campo de marca indicadora, y la señal de activa
ción de circuito de retención de marca indicadora y una se
20 ñal "utilizar" procedente del descodificador de micropala
bra, medios para combinar la salida de los primeros medios
de puerta "Y" con posiciones de bitio predeterminadas en la
dirección siguiente, y para combinar la salida de los segun
dos medios de puerta con al menos otra posición de bitio en
25 la dirección siguiente, para generar una nueva dirección si
guiente en el mismo módulo.


30 6^a.- Un sistema de direccionamiento de memo
ria de control como se ha definido en las reivindicaciones
2^a y 5^a, que comprende adicionalmente un registro de másc
ra para recibir datos programados, un circuito de retención



1 activado por máscara cuyo estado puede ser establecido por
una señal de máscara de bifurcación procedente del descodi-
ficador de micropalabra, terceros medios de puerta "Y" para
recibir la salida del registro de máscara y una señal proce-
5 dente del circuito de retención activado por máscara para
proporcionar la señal de registro de máscara a los medios
combinadores cuando está activado el circuito de retención
activado por máscara, y medios para inhabilitar la direc-
ción siguiente para los medios combinadores.

10 7^a.- Un sistema de direccionamiento de memoria
de control como se ha definido en la reivindicación 1^a, que
comprende adicionalmente una vía de datos que tiene un blo-
que de registros, y medios descodificadores de dirección de
registro para seleccionar un registro en el bloque, un re-
15 gistro de dirección de bloque conectado al descodificador
de dirección de registro para almacenar la dirección de un
registro a ser seleccionado en el bloque, un descodificador
de micropalabra que tiene una salida de micropalabra de re-
gistro de lectura, medios para transferir una dirección de
20 registro desde una micropalabra de registro de lectura al
registro de dirección de bloque en respuesta a una señal pre-
sente sobre la salida de micropalabra de registro de lectura
del descodificador, con lo cual es seleccionado del bloque
de registros el registro direccionado.

25 8^a.- Un sistema de direccionamiento de memoria
de control como se ha definido en la reivindicación 7^a, que
comprende adicionalmente un registro de nivel que tiene un
campo de nivel en curso para direccionar un grupo de regis-
tros en el bloque de registro, y medios para controlar la
30 transmisión del campo de nivel desde el registro de nivel a



1 las posiciones de bitio de orden superior en el registro
de dirección de bloque, con lo cual el registro de direc-
ción de bloque direcciona tanto un grupo seleccionado de
registros en el bloque como un registro particular en el
5 grupo seleccionado.

9ª.- Un sistema de direccionamiento de memoria
de control como se ha definido en la reivindicación 8ª,
que comprende adicionalmente medios para percibir un campo
de función en una micropalabra de registro de lectura des-
10 codificada para indicar la selección del campo de nivel en
curso en el registro de nivel o bien de un campo de nivel
en curso en la micropalabra de registro de lectura, y me-
dios para controlar la transmisión del campo de nivel indi-
cado por los medios de percepción al registro de dirección
15 de bloque.

10ª.- Un sistema de direccionamiento de memoria
de control perfeccionado.

Tal y como se ha descrito en la Memoria que ar-
tecede, representado en los dibujos que se acompañan y para
20 los fines que se han especificado.

Esta Memoria consta de treinta y tres hojas es-
critas a máquina por una sola cara.

Madrid, 11.9.55

P.A.

Alberto de Elzaburu
Por Poder

25

30

Pen

FIG. 1

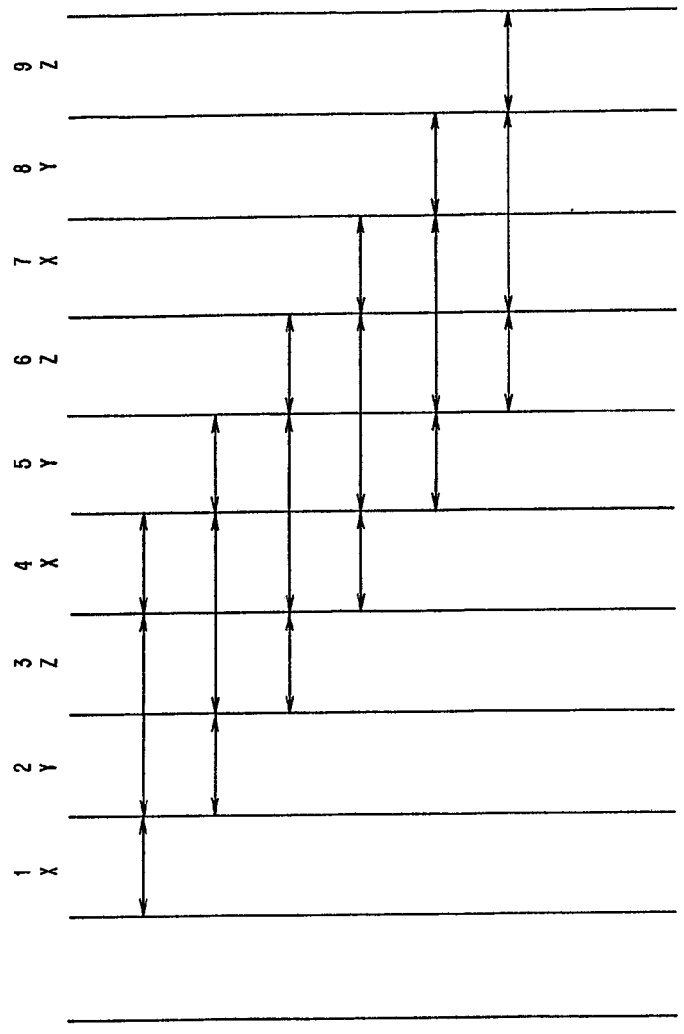


FIG. 1

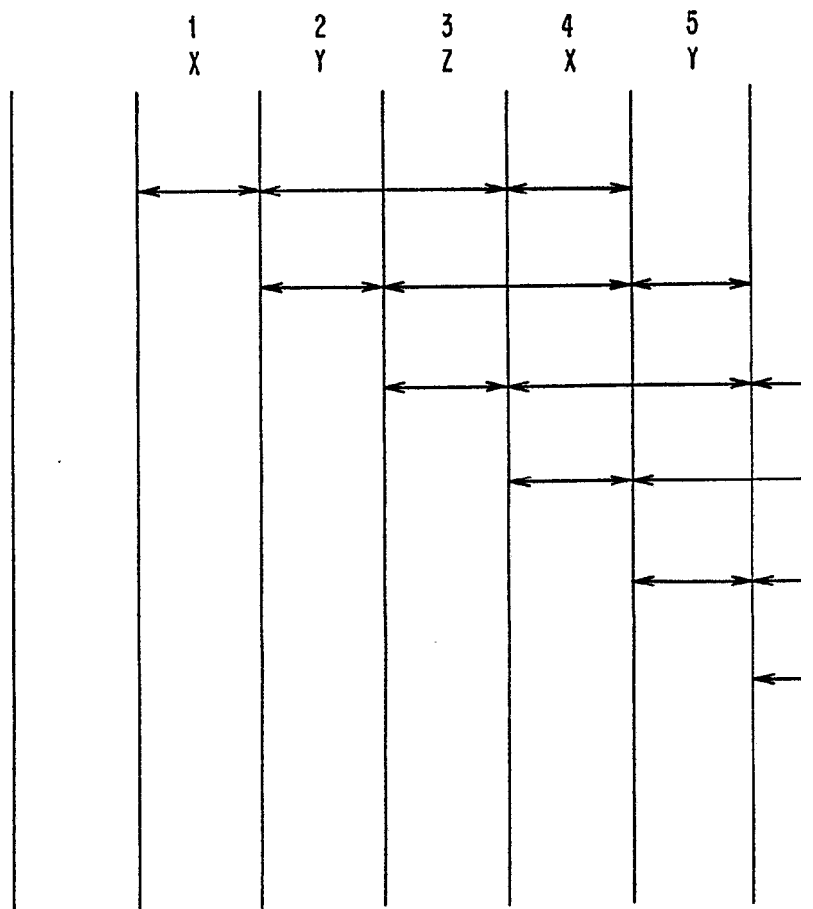
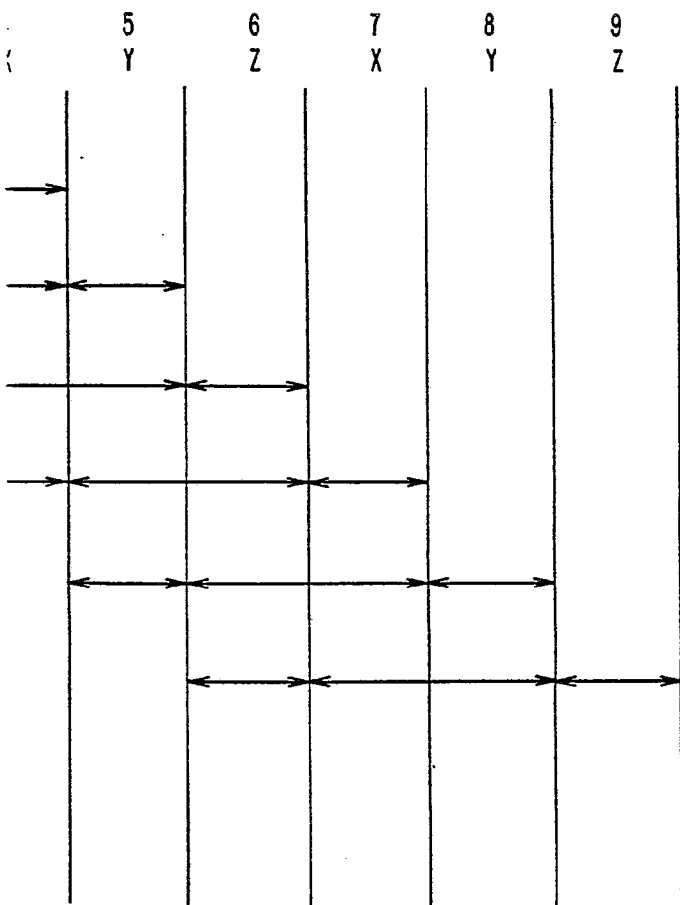


FIG. 1



Alberto de Elcabe
Por Favor

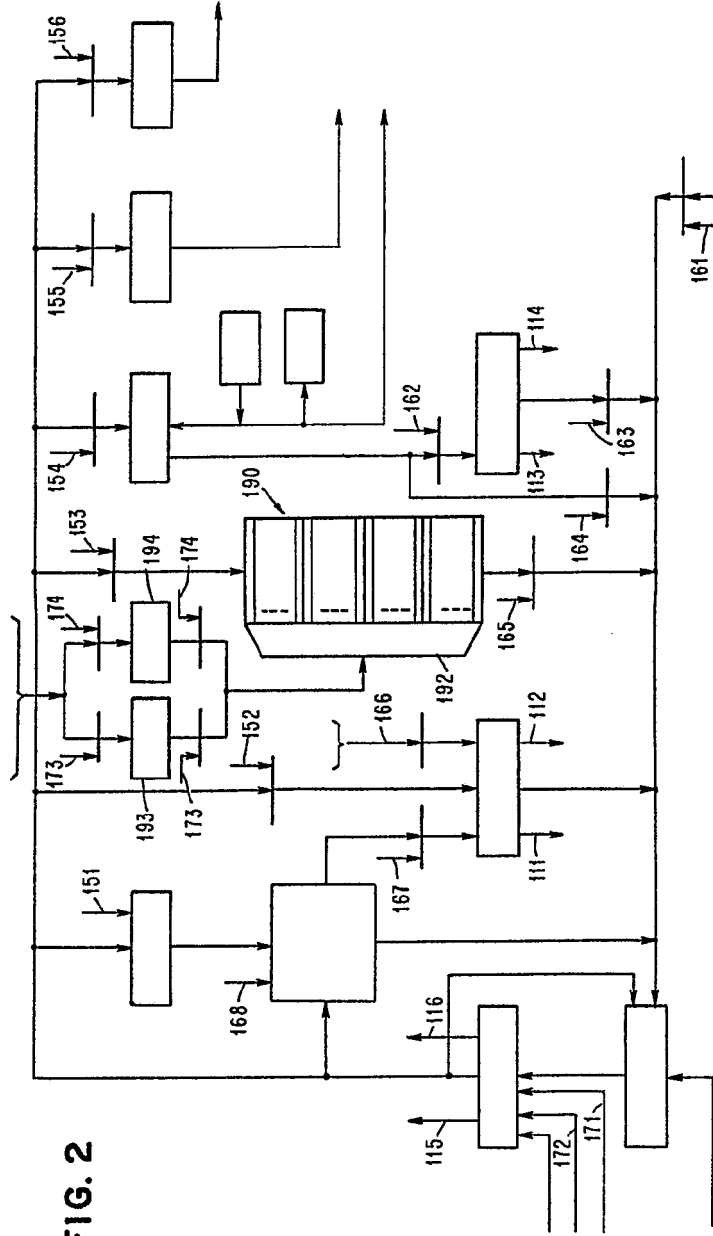
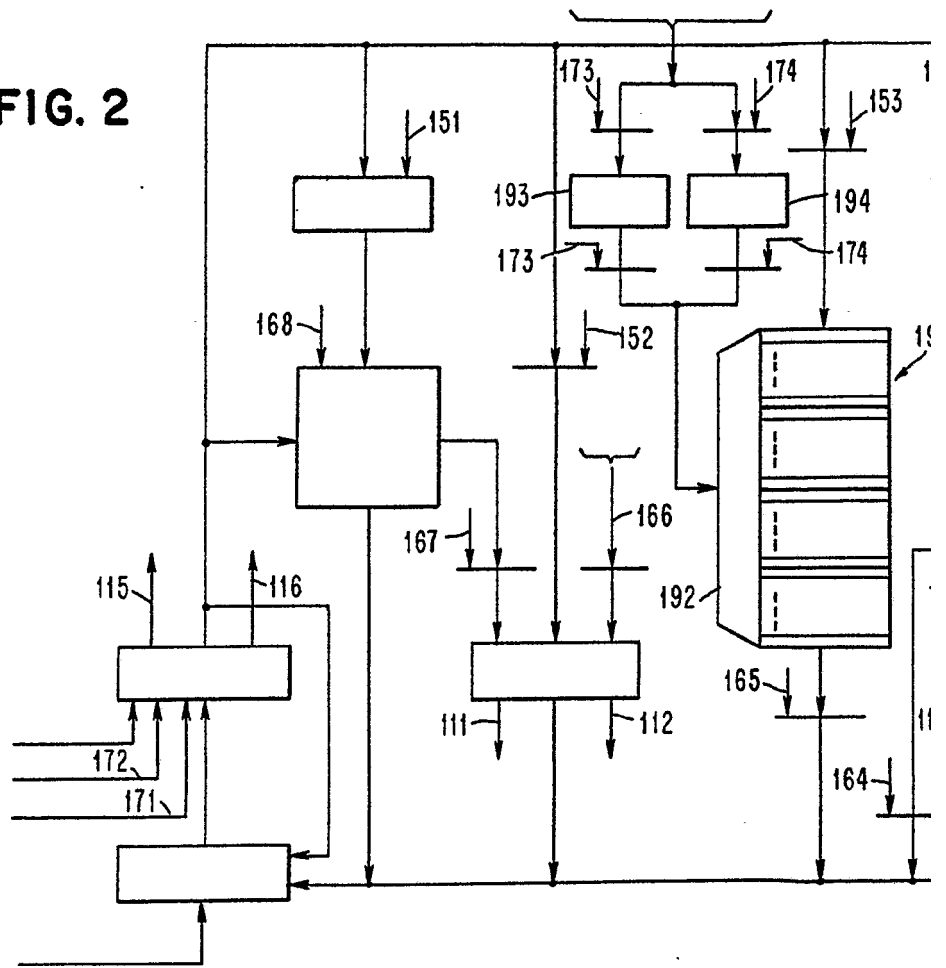
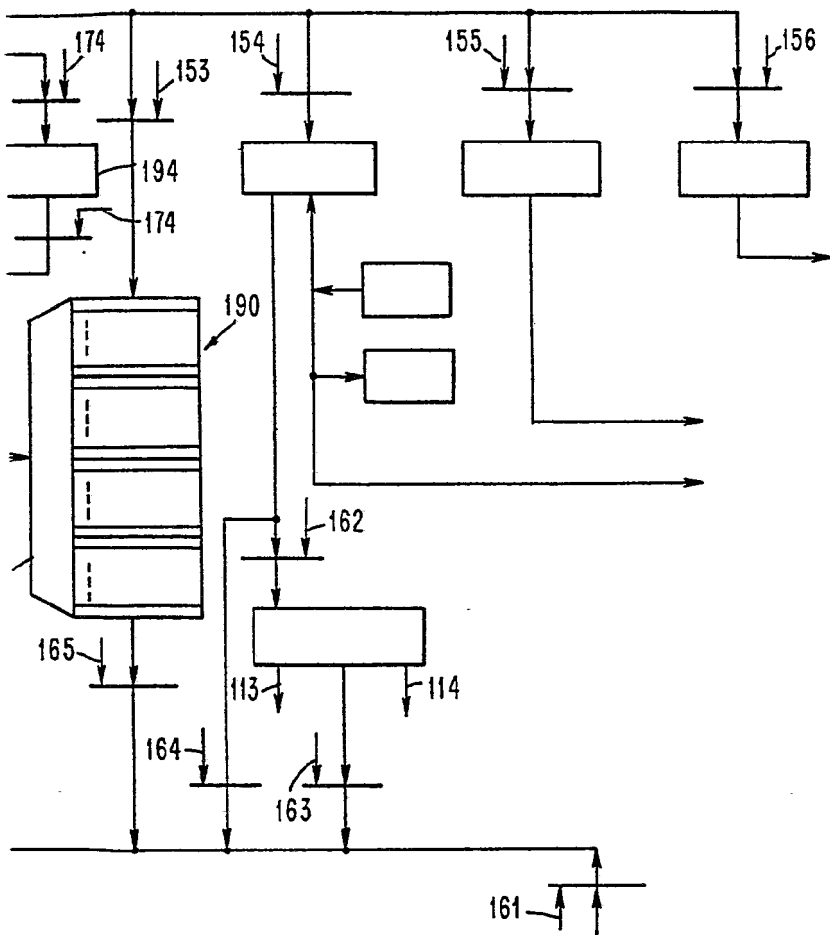


FIG. 2

FIG. 2





Alberto de Lizaburo
Por Poder



FIG. 3

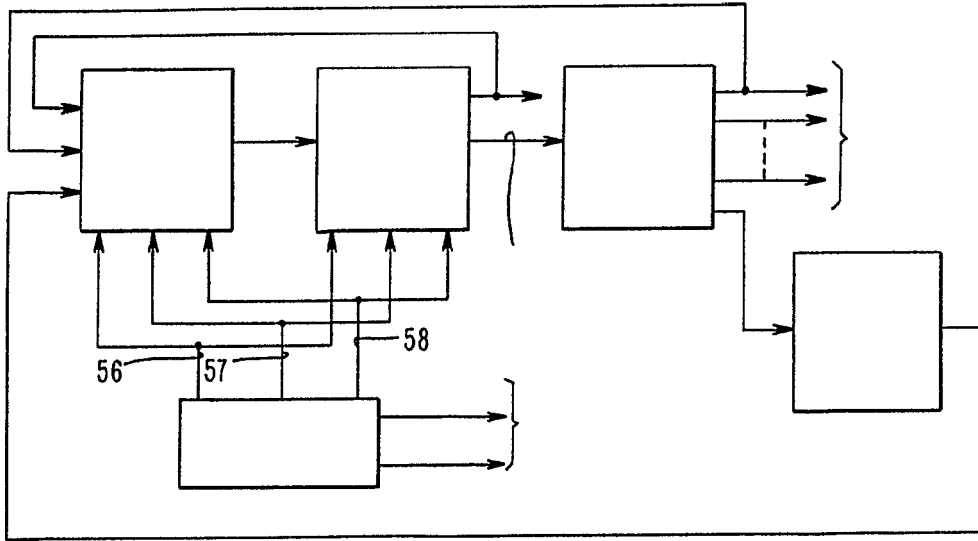
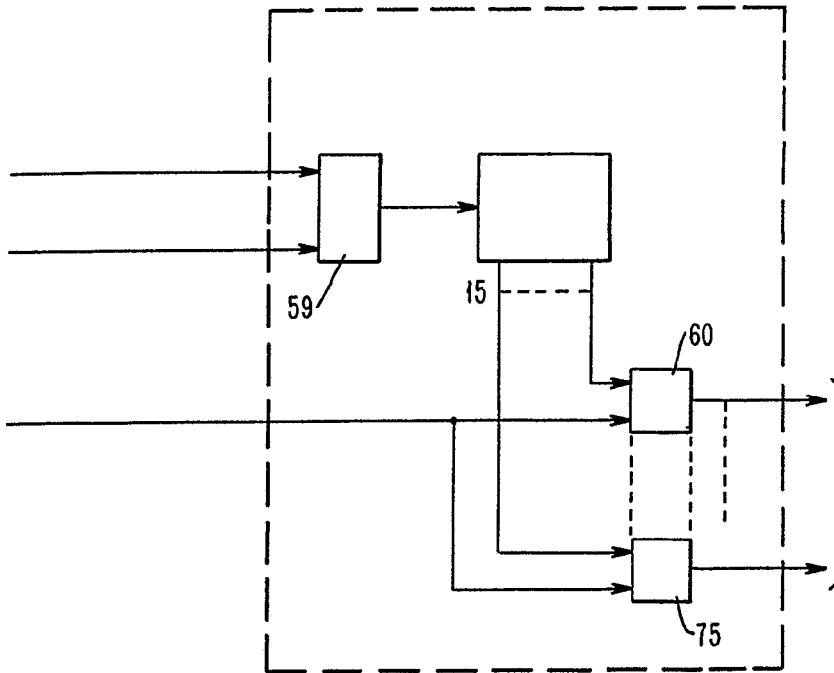
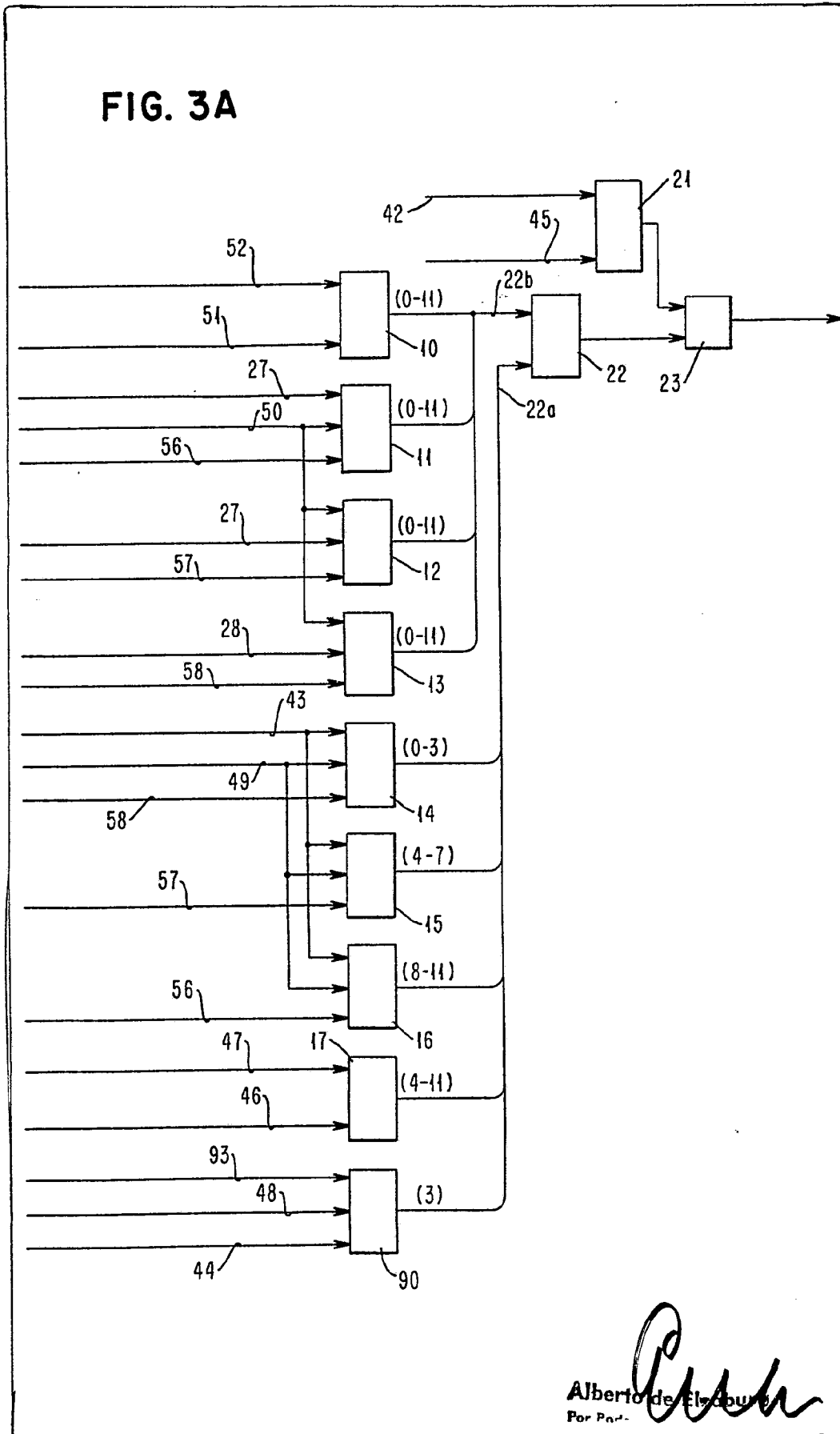


FIG. 3E



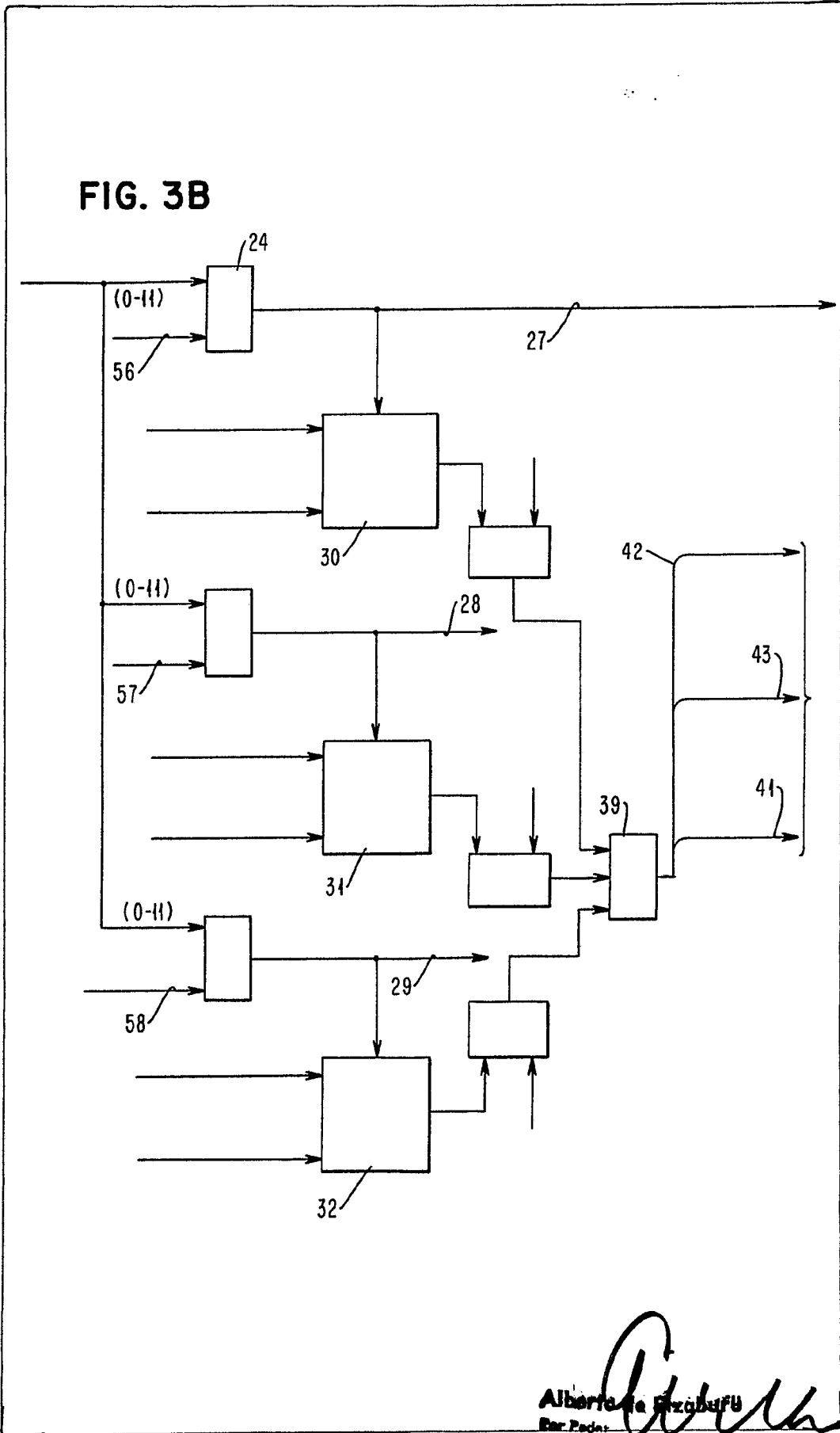
Alberto de Ezaburu
For Power

FIG. 3A



Alberto de Elzabur
Por Por-

FIG. 3B



Alberto de Pazóufu
Per. Fedat.

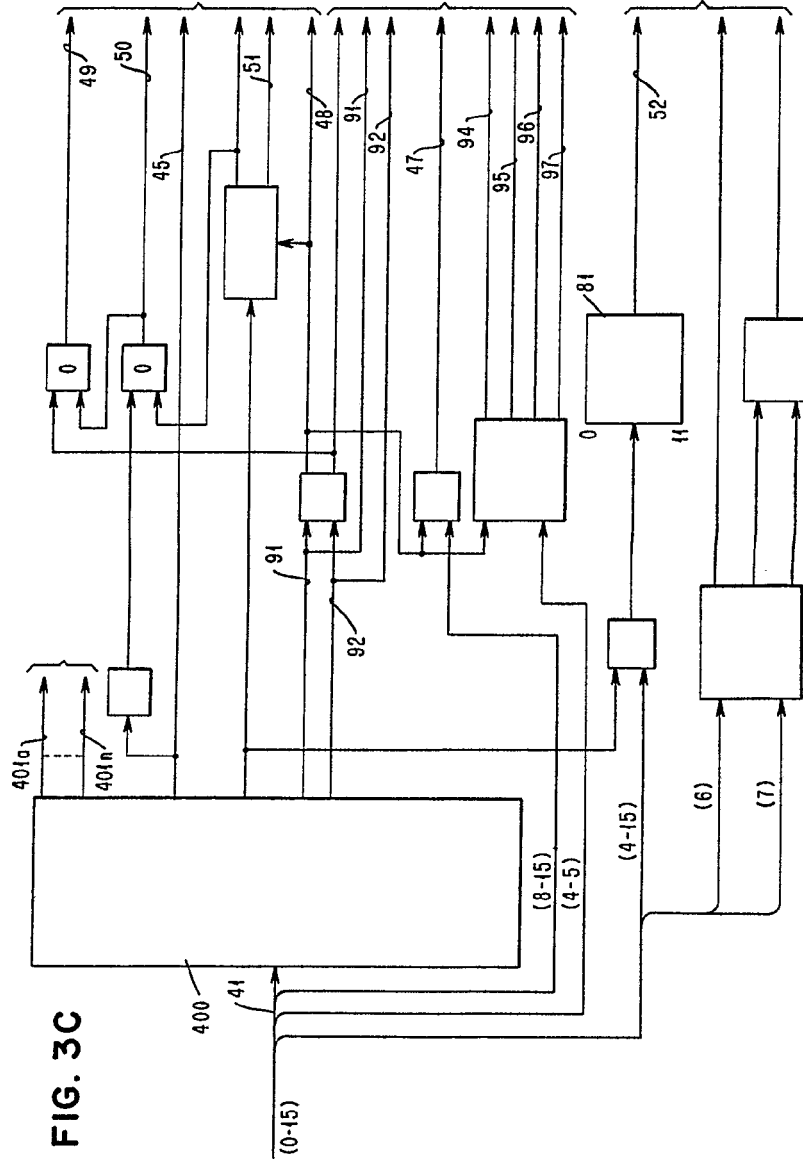
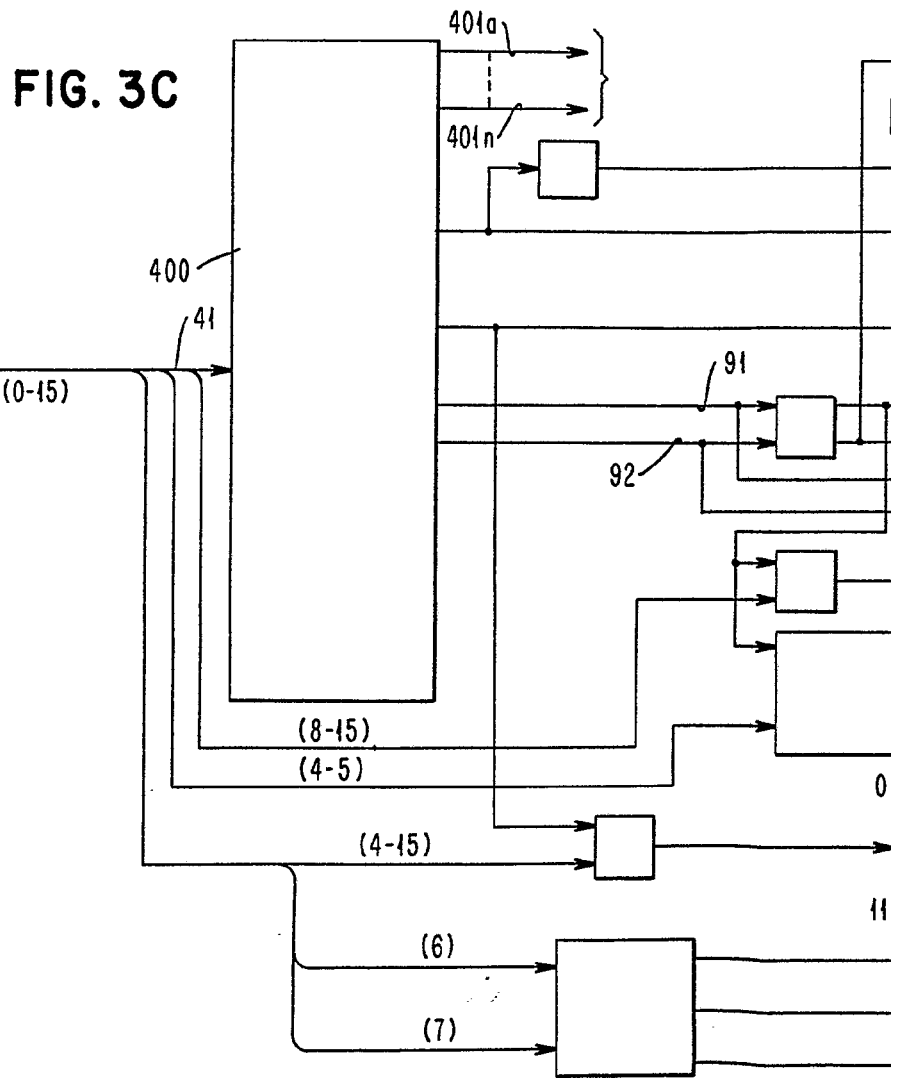
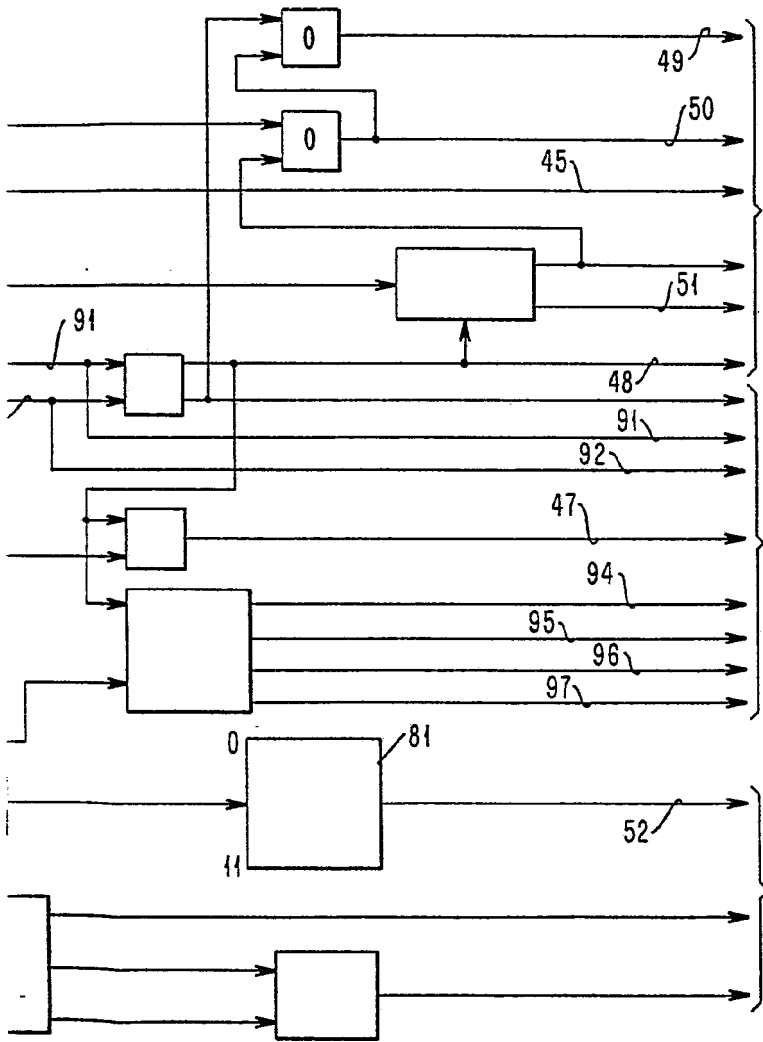


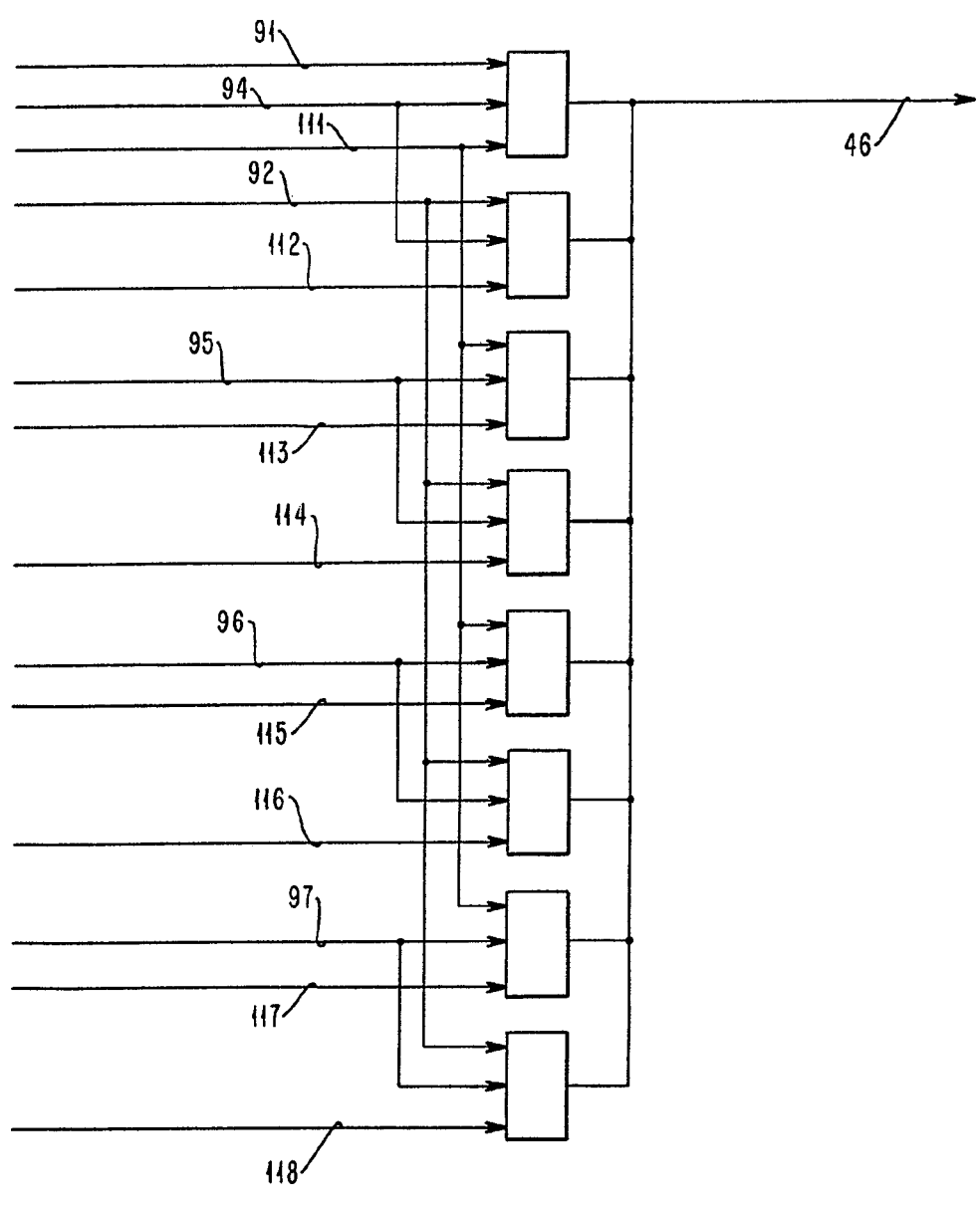
FIG. 3C





Alberto de Ezkurru
Por Poder

FIG. 3D



Alberto de Ekaturu
Per Podar,

FIG. 4A

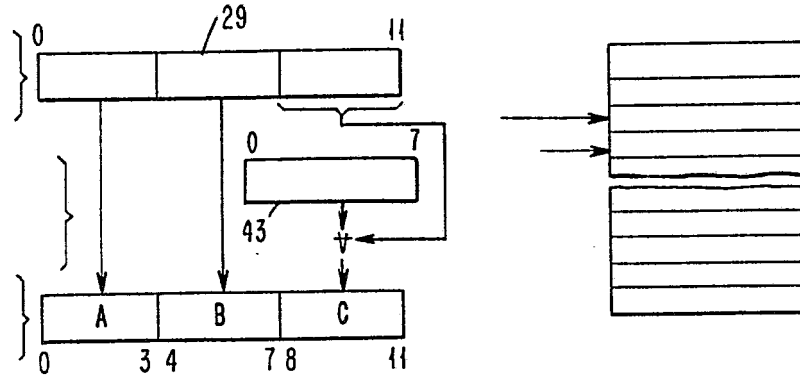


FIG. 4B

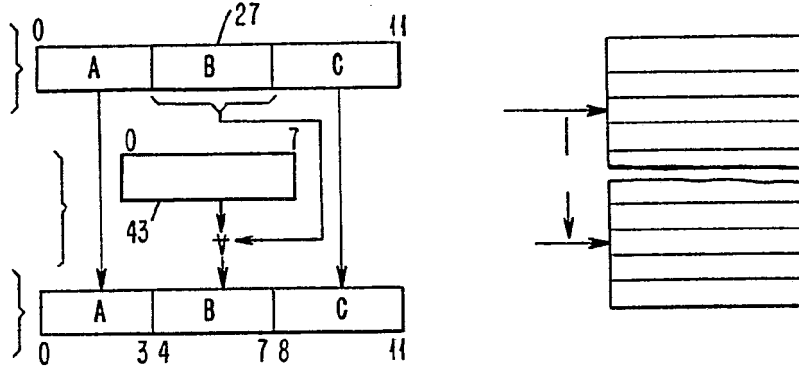
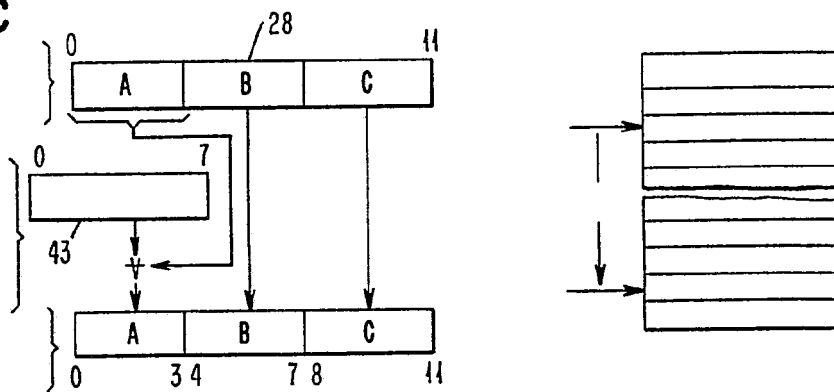
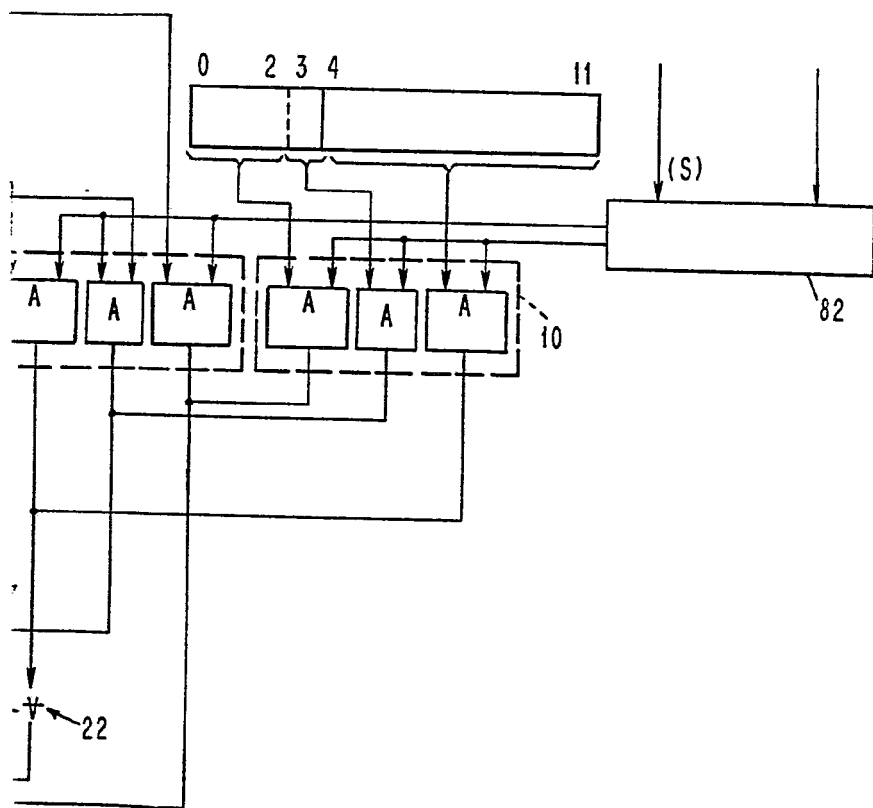


FIG. 4C



Albert de Siqueira
For Poder.



Alberto Eizaburo
Für Pöder,

FIG. 6

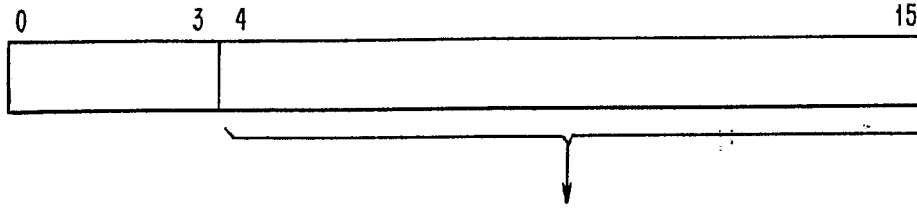


FIG. 7

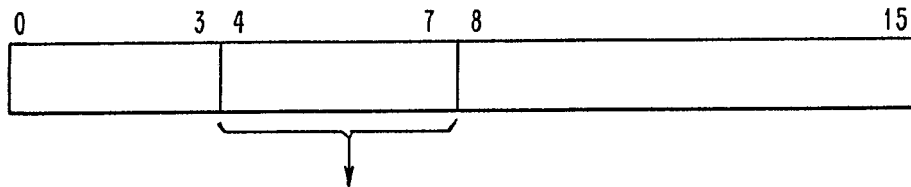


FIG. 8

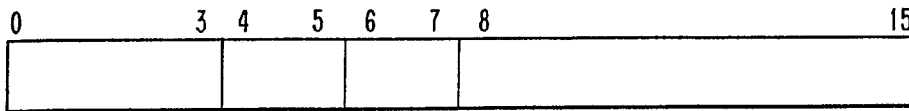


FIG. 9

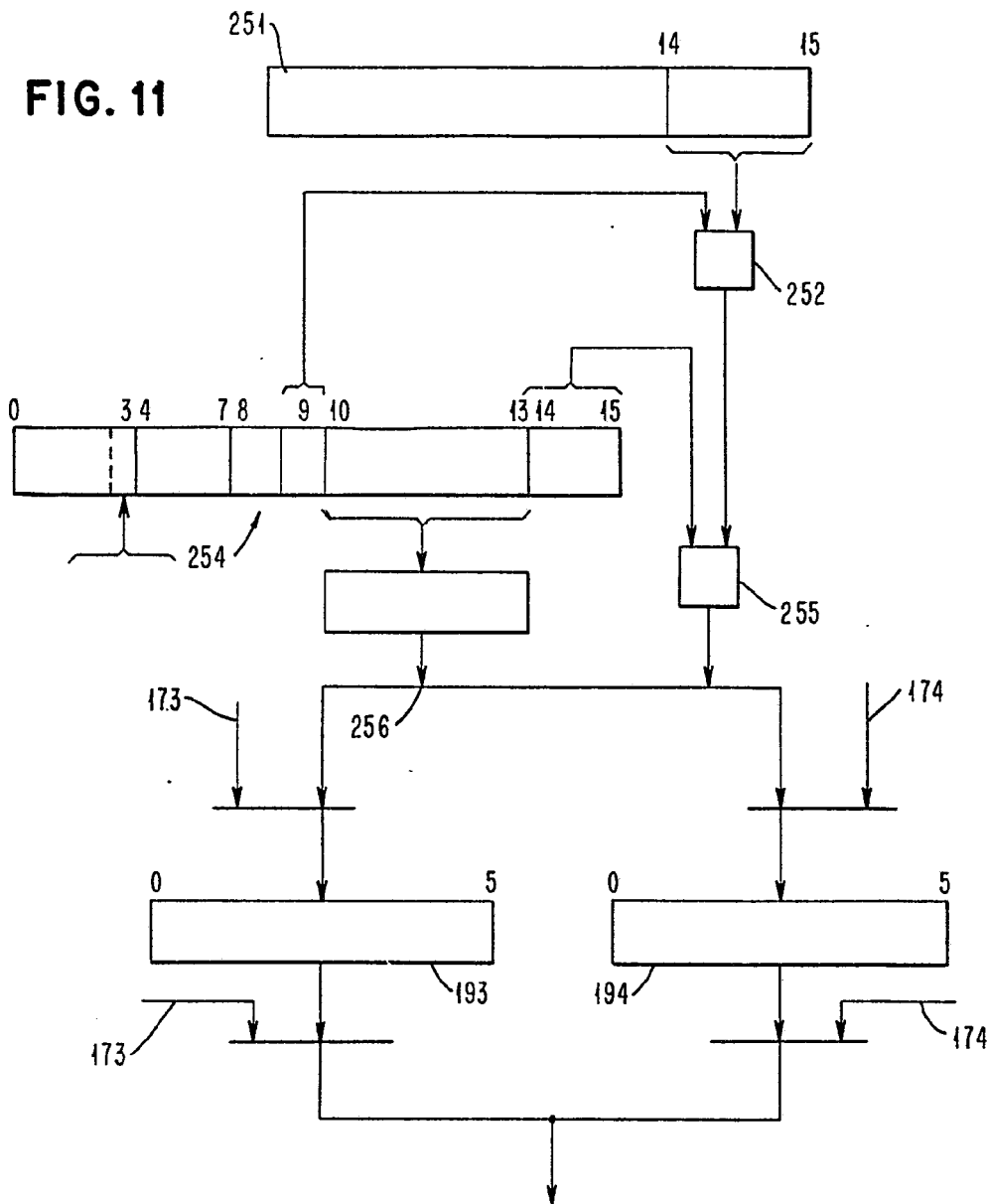


Alberto de ...
Per Poder,

FIG. 10



FIG. 11



Alberto de Eizaburu
Per Fodas