



ESPAÑA

19 ES	11	NUMERO	10 A 1
	21	458.324	
	22	FECHA DE PRESENTACION	
		29-4-1977	

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
681.982	30-4-76	E.U.A.
681.984	30-4-76	"
681.985	30-4-76	"
682.221	30-4-76	"
682.226	30-4-76	"

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL G 06 F: G 11 C	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

64 TITULO DE LA INVENCION

"UNA DISPOSICION DE ACCESO A ALMACENAJE PARA LA MEMORIA PRINCIPAL DE UN SISTEMA DE TRATAMIENTO DE DATOS QUE TIENE POR LO MENOS UN ORDENADOR"

71 SOLICITANTE (S)

INTERNATIONAL BUSINESS MACHINES CORPORATION (BC 9-76-006)

DOMICILIO DEL SOLICITANTE

Armonk, N.Y. 10504, Estados Unidos de América

72 INVENTOR (ES)

Richard Eugene Birney, Michael Ian Davis, Lynn Allan Graybiel, Robert Allen Hood, Samuel Kahn, Thomas Steven Mc Dermott, William Steese Osborne y Larry Edward Wise

73 TITULAR (ES)

74 REPRESENTANTE

DON ALBERTO DE ELZABURU MARQUEZ (P-64.620)

1 La presente invención se refiere en general al control del tipo de acceso sobre la accesibilidad (o posibilidad de acceso) de la memoria principal en un sistema de tratamiento de datos.

5 En particular, la invención se refiere a un sistema de obtención de acceso controlado por registros de claves, en el cual distintas secciones de registro de claves corresponden a diferentes posibilidades de acceso disponibles en el sistema, en el cual cada accesibilidad o  
10 posibilidad es capaz de obtener acceso a una área de almacenaje de la memoria principal con hasta una gama completa de direcciones de acceso programables. Además, la invención se refiere a las distintas posibilidades de acceso a diferentes tipos de accesos de memoria identificados por máquina.  
15 Toda clave de acceso "cargada" o introducida en una sección de registro de claves, una vez seleccionada, se convierte en la parte de orden superior de una dirección de acceso lógica de máquina para todos los accesos a memoria del tipo afín de acceso identificado por máquina. Esta parte  
20 de orden superior, por consiguiente, define una parte de la memoria principal en la que todos los accesos del tipo correspondiente o afín identificado por máquina están restringidos; por lo tanto, esta parte de almacenaje o memoria se halla automáticamente protegida contra tipos diferentes  
25 de acceso a la memoria, que usen una clave distinta. Estas partes de acceso limitado o restringido de la memoria principal pueden ser fijas o desplazables (recolocables), y pueden ser físicamente seleccionables para acceso estén o no en contigüidad.

30 I. Estado de la técnica ya conocida

1 Desde hace largo tiempo se vienen usando claves  
de protección, asignables a bloques, en sistemas de trata-  
miento de datos comercialmente obtenibles como, por ejem-  
5 plo, las máquinas IBM S/360 y S/370. Ahora bien, estas cla-  
ves de protección ya conocidas no permiten la obtención in-  
dependiente de acceso a la memoria principal para programas  
concurrentes. Por el contrario, estas claves ya conocidas  
dividen o reparten un único margen o intervalo de obtención  
10 de acceso, proporcionado por la memoria principal del sis-  
tema, entre los programas concurrentes, asignando para ello  
a cada programa una parte del intervalo de acceso. La clave  
asignada en su vocablo de estado de programa (PSW) hacía  
que todos los accesos por parte del programa estuviesen en  
15 aquella parte del intervalo de obtención de acceso, a la  
memoria principal, identificada con la misma clave. Además,  
los controles de claves de protección ya conocidos no pro-  
porcionaban distintas claves para diferentes tipos de acce-  
sos dentro de un mismo programa.

20 La integridad de las operaciones de sistema usan-  
do este método de protección por claves ya conocido se re-  
suelve de por sí en la integridad del proceso de asignación  
de claves. Para programas concurrentemente cargados o intro-  
ducidos, toda duplicación no coordinada de asignaciones de  
clave entre los vocablos de estado de programa (PSW), o de  
25 asignaciones de clave entre los bloques, podría conducir a  
fallos en el funcionamiento del sistema, al permitir que un  
acceso destinado a un determinado programa se produjese en  
un subintervalo de acceso utilizado en ese momento por otro  
programa, porque a cada programa se le permite su inscrip-  
30 ción con un pleno intervalo de posibilidades de acceso, que

1 podría superponerse a las posibilidades de acceso del sub-  
intervalo que en ese momento se estuviese utilizando por  
otros programas concurrentemente introducidos.

5 La patente de EE.UU. 3.828.327 (de Berglund y  
col.) describe un método de control de almacenaje ya cono-  
cido, que no hace uso de claves de acceso. Utiliza los di-  
ferentes modos de sistema como, por ejemplo, los modos de  
interrupción de ordenador, el modo de I/O, etc., para con-  
10 trolar si se va a usar o no la traducción o "traslación"  
de direcciones de acceso. Asimismo, un bitio de orden alto,  
que no forma parte de una dirección de acceso programable,  
es controlado por una interrupción de operación de I/O  
cuando está a punto de sobrepasar su espacio de memoria  
15 programable no trasladable, de modo que los accesos de I/O  
pueden aparecer en el espacio de memoria alterno.

Otro método ya conocido de control de almacenaje  
o memoria, que no hace uso de claves de acceso, es el des-  
crito en la patente de EE.UU. 3.854.126. Hace uso de dife-  
rentes modos de ordenador, esto es, de los modos de "super-  
20 visor", "usuario", "kernal", para seleccionar un juego o  
grupo de registros correspondiente, y cada grupo tiene una  
pareja de subgrupos: esto es, un subgrupo de datos y un  
subgrupo de instrucciones. Una pluralidad físicamente con-  
tigua de 64 bloques de baterías de bitios de la memoria fí-  
25 sica se asigna al contenido de cada registro de acceso de  
página de un grupo o juego, definiendo una página de longi-  
tud variable. Esto es, cada modo de ordenador tiene una pa-  
reja de subgrupos dedicada; y en una pareja seleccionada  
por el modo, un determinado subgrupo tiene asignada una par-  
30 te de la memoria para instrucciones, y el otro subgrupo tie-

1 ne asignada otra parte de la memoria para datos. La parte  
de orden alto de una dirección de acceso lógica programada  
identifica un registro requerido en el grupo o juego selec-  
5 cionado, y el contenido del registro seleccionado identifi-  
ca un grupo asignado de bloques físicamente contiguos que  
constituyen una página de longitud variable. Una parte in-  
termedia de la dirección de acceso lógica proporciona una  
dirección de acceso de desplazamiento de bloques dentro de  
10 los bloques físicamente contiguos que constituyen la pági-  
na, seleccionando un bloque particular que ha de contener  
la dirección de acceso solicitada. La parte de orden bajo  
de la dirección de acceso lógica proporciona un desplaza-  
miento de vocablos dentro del bloque seleccionado, para ob-  
tener acceso a la información deseada.

## 15 II. Resumen de la invención

La presente invención proporciona una pluralidad  
de secciones de registro de claves para contener claves de  
acceso. Algunas de estas secciones de registro están previs-  
tas en un registro de claves de acceso (AKR) contenido en  
20 un ordenador. Otras secciones de registro de claves van pro-  
vistas de unos subcanales de I/O respectivos que tienen co-  
nexión con los canales del ordenador.

La invención relaciona las secciones de registro  
de claves con unos tipos, identificados por máquina, de  
25 accesos de almacenaje disponibles en la memoria principal.  
Entre estos distintos tipos de acceso identificados por má-  
quina se incluyen, por ejemplo, los de búsqueda de instruc-  
ción, búsqueda de operando de "fuente", extracción (para al-  
macenaje) de operando de salida, y búsqueda de operando de  
30 salida. Como a estos dos últimos tipos se obtiene acceso en

1 general más eficazmente en la misma área de memoria, pue-  
den combinarse en un solo tipo de acceso de búsqueda y ex-  
tracción de operando de depósito. Estos tipos de acceso pue-  
den ser percibidos por los circuitos usuales que se hallan  
5 en un ordenador.

La invención proporciona unos circuitos que rela-  
cionan las secciones de registro de claves con los circui-  
tos que perciben o detectan los diferentes tipos de acceso  
identificados por máquina. En una de las secciones de re-  
10 gistro, su clave asignada se pone en salida por efecto de  
una señal procedente de los controles de búsqueda de ins-  
trucciones del ordenador o unidad central de tratamiento  
(CPU). En otras secciones de registro, sus claves asigna-  
das se ponen selectivamente en salida por efecto de unas  
15 señales, que vienen de los circuitos de ejecución de ins-  
trucciones que perciben distintos tipos de peticiones de  
acceso de operando, tales como la señal de petición de bús-  
queda de operando de fuente, una señal de petición de ex-  
tracción para almacenaje de operando de salida, una señal  
de petición de búsqueda de operando de salida, etc. Otras  
20 secciones más de registro de claves tienen sus claves se-  
lectivamente puestas en salida por unas señales de petición  
de acceso de almacenaje de I/O procedentes de los mandos u  
órdenes de subcanal.

25 Además, los sucesos que interrumpen operaciones  
programadas normales, sean de un ordenador, canal o subca-  
nal, pueden ser habilitados o facultados también por esta  
invención para tener posibilidades de acceso respectivamen-  
te independientes o por separado, siempre que haga falta.  
30 Por ejemplo, al almacenaje o a la recuperación de sucesos,

1 información o programas requeridos por los sucesos, o por  
sus resultados, relacionados con una operación de ordena-  
dor o de subcanal, puede dárseles una área singular y re-  
servada en la memoria principal, que no pueda ser pertur-  
5 bada por otras operaciones del sistema. Los sucesos de or-  
denador se definen para generar interrupciones internas.  
Los sucesos de subcanal se definen para generar interrupcio-  
nes externas. Así, las rutinas de programa de manipulación  
de interrupciones pueden ser cada una almacenada y traída  
10 de una área especial, protegida en cuanto a acceso, de la  
memoria.

Esta invención abarca la provisión, en una máqui-  
na, de la disponibilidad de posibilidades de acceso espe-  
ciales para cada tipo de acceso a almacenaje que pueda pre-  
15 verse para una máquina. Por lo tanto también abarca, siem-  
pre que haga falta, la provisión de una accesibilidad es-  
pecial para operandos indirectamente seleccionados para  
acceso, y les permite la subagrupación, de igual modo, con  
arreglo a sus relaciones de fuente y salida. Es más, la  
20 invención es capaz de habilitar un sistema que proporcione  
accesibilidad por separado, dentro de su subsistema de me-  
moria principal, entre sus distintos ordenadores y entre  
sus diferentes canales y subcanales.

La invención es capaz de proveer los medios o  
25 facilidades de equipo físico para proporcionar todas las po-  
sibilidades de acceso por separado, antes descritas, en un  
sistema de tratamiento de datos. No obstante, una vez pro-  
porcionados estos medios de equipo físico en un sistema, es-  
ta invención deja a los usuarios del sistema la elección  
30 final de definir las posibilidades de acceso por separado.

1 Es muy importante entender que esta invención no obliga a  
una accesibilidad por separado en los distintos tipos de  
acceso a la memoria. Esto es, al usuario se deja la elec-  
ción final de asignar valores específicos de clave para  
5 los respectivos tipos de acceso, cuando esta invención se  
instala en un sistema. Por tanto, los valores de clave y  
sus asignaciones de bloque se dejan para el último momento,  
en el que se van a imponer en un sistema sus aplicaciones  
específicas, momento en el cual cada usuario y el sistema  
10 pueden decidir cómo ha de dividirse la accesibilidad entre  
los distintos tipos de acceso que se vayan a usar, o bien,  
en el caso de que algunos de los tipos de acceso, o todos  
ellos, haya de tener la misma accesibilidad, se les asig-  
nan uno o más valores de clave comunes. Las posibilidades  
15 de acceso proporcionadas por esta invención pueden modifi-  
carse fácilmente, siempre que haga falta, de un programa  
para otro. Naturalmente, a los programas que se ejecuten  
concurrentemente se les darán en general posibilidades de  
acceso por separado, al dárseles valores de clave de bús-  
queda de instrucciones por separado, para reforzar la in-  
20 tegridad de su ejecución. Asimismo, a los componentes de  
base de datos de la memoria principal se les darán también  
a menudo posibilidades de acceso por separado, para mante-  
ner su integridad, asignándoseles para ello un valor de  
25 clave de operando de fuente.

La presente invención apoya una pluralidad de  
claves de acceso, capaces de seleccionar para acceso unas  
porciones asignadas de la memoria principal, en las que  
cada porción de memoria accesible por clave pueda tener una  
30 accesibilidad no conflictiva al programa completo. (La acce-  
sibilidad al programa completo se define como gama de di-

1 recciones de acceso de programa disponibles a partir del  
número de posiciones de bitio en una dirección de acceso  
especificada por el programa). Las diferentes porciones de  
memoria accesibles por clave pueden situarse en cualquier  
5 lugar de la memoria principal, y cada porción accesible  
por clave puede ser alineada con una área física totalmen-  
te separada de todas las demás porciones accesibles por  
clave, o bien parcialmente superpuesta a una o más porcio-  
nes distintas, accesibles por clave. El tamaño de la memc-  
10 ria principal puede ser muchas veces mayor que cualquier  
posibilidad de acceso a programa individual. Una vez he-  
cha la asignación a áreas físicas por separado, la selec-  
ción para acceso por claves es no conflictiva. Una vez  
asignada a áreas físicas superpuestas, la información es  
15 compartida entre las claves de acceso que tengan la asig-  
nación superpuesta, y no es conflictiva si es accesible  
para exclusiva lectura.

Por todo ello, es objeto principal de esta inven-  
ción un subsistema de control de accesibilidad para siste-  
20 mas de tratamiento de datos, que permite una singular sepa-  
ración de las posibilidades de acceso entre distintas fun-  
ciones de tratamiento de datos que puedan usar concurrente-  
mente una memoria física común.

Otro objeto de esta invención es el de proporció-  
25 nar accesibilidad por separado entre distintas funciones  
de tratamiento de datos que puedan usar concurrentemente una  
memoria física común.

Otro objeto de esta invención reside en un sub-  
sistema de control de accesibilidad que puede ser utilizado  
30 para proporcionar una separación física total de direccio-  
nes de acceso entre funciones de usuario, ya sean de pro-

1 grama o de datos, sin exigir que el usuario ejerza un control sobre el intervalo de obtención de acceso usado cuando se estén desarrollando programas para el sistema.

5 Otro objeto más de esta invención reside en un subsistema de control de accesibilidad que permite la rápida generación de direcciones de acceso de memoria, no intercalando para ello operaciones laboriosas en el proceso de generación de las direcciones de acceso. La operación de selección de claves proporcionada por este invento para  
10 obtener la separación de direcciones de acceso es superponible con respecto a las operaciones usuales de generación de direcciones de acceso requeridas también en el sistema. Por lo tanto, la adición de este invento a un sistema de tratamiento de datos no aumenta el tiempo de acceso a la  
15 memoria por encima de lo que este tiempo de acceso sería sin esta invención, cuando el tamaño de una memoria principal se aumenta apreciablemente.

Otro objeto de esta invención reside en un subsistema de control de accesibilidad en el que se prevén medios de control especiales para permitir a un programa supervisor obtener acceso a áreas protegidas por clave de un  
20 programa de usuario en situaciones concretas y específicas, o al área de almacenaje de datos, protegida por clave, de un programa interrumpido, sin necesidad de complicadas operaciones de carga o introducción de claves.  
25

Estos y otros objetos, rasgos característicos y ventajas de la invención pueden apreciarse y comprenderse de modo más completo mediante el estudio de la siguiente descripción detallada, en asociación con los dibujos adjuntos.

### III. BREVE DESCRIPCION DE LOS DIBUJOS

30

La figura 1A-1 ilustra en general un concepto de

1 registro del tipo de acceso, en el que una petición de al-  
macenaje, para un tipo de acceso de almacenaje o memoria  
identificado por máquina, selecciona una clave de acceso  
5 activa (AAK) para controlar el acceso físico a una memoria  
principal.

La figura 1A-2 ilustra en general un concepto de  
traductor de claves de acceso, en el que se genera un acce-  
so físico a memoria principal, a partir de una dirección de  
acceso lógica de entrada compuesta de una AAK generada por  
10 máquina y de una dirección de acceso aparente de programa.

La figura 1B ilustra esquemáticamente una plura-  
lidad de tipos de acceso de almacenaje, identificables por  
máquina, que pueden realizarse conforme a la invención.

La figura 1C es una representación física de un  
15 sistema de tratamiento de datos que contiene una memoria  
principal física, singular y expansible o ampliable, que  
puede hacerse funcionar con uno o más tipos de protección  
de accesibilidad.

La figura 1D ilustra conceptualmente la forma pre-  
20 ferida de realización descrita en la presente Memoria des-  
criptiva.

La figura 2A es una representación esquemática  
de unos espacios de acceso controlado obtenibles en la for-  
ma de realización detallada, durante el funcionamiento de  
25 un ordenador y su dispositivo periférico o de entrada/sali-  
da (I/O).

La figura 2B ilustra el control de espacios de  
acceso para operaciones de I/O, en la forma detallada de  
realización del invento que ejecuta una instrucción de ope-  
30 rar I/O.

1           La figura 3A representa un subcanal o subgrupo N  
de I/O que recibe una clave de acceso (esto es, la clave  
CS) con cada orden de subcanal (esto es, DCB), y proporcio-  
na la clave de selección de acceso para cada acceso de da-  
5       tos a la memoria, para poner en ejecución la orden.

La figura 3B ilustra las partes pertinentes de  
un canal de I/O que conecta una pluralidad de subcanales  
a un circuito selector de prioridad de almacenaje.

10           La figura 3C ilustra un circuito selector de  
prioridad de almacenaje, que recibe peticiones de acceso  
de almacenaje y sus claves de selección de acceso respec-  
tivas, desde un ordenador y sus uno o más canales, con el  
fin de seleccionar cada clave activa de acceso (AAK) y una  
15       dirección de acceso derivada de programa asociado, que se  
transfieren a un traductor o trasladador para la genera-  
ción de acceso físico, y luego a la memoria principal pa-  
ra obtener acceso a la información.

20           La figura 3D es una forma preferida de realiza-  
ción de un circuito selector de claves activas de acceso  
(AAK), que contiene las características de igualar espacios  
de operando (EOS).

La figura 4 muestra las partes interiores de un  
ordenador que soportan el control de claves de acceso.

25           La figura 5 ilustra el formato para el contenido  
del registro de claves de acceso (AKR) del ordenador, usa-  
do en la forma de realización detallada.

La figura 6 muestra el formato del contenido de  
cada registro de segmentación hallado en la forma de reali-  
zación detallada.

30           La figura 7 es un esquema de detalle de los con-

1 troles de puerta de entrada y puerta de salida para una po-  
sición de bitio en el registro de claves de acceso (AKR).

La figura 8A ilustra esquemáticamente el funcio-  
namiento de la instrucción de carga o entrega de registros  
5 de segmentación, en la que uno o más registros de segmenta-  
ción designados pueden ser cargados desde, o almacenados en,  
la memoria principal.

La figura 8B ilustra esquemáticamente el funcio-  
namiento de la instrucción de memoria, de carga o entrega  
10 de AKR, en la cual el AKR puede ser cargado desde, o des-  
cargado en, un vocablo de la memoria principal.

La figura 8C ilustra esquemáticamente la instruc-  
ción de registro, de carga o entrega de AKR, que es capaz  
de cargar o almacenar (descargar) el contenido del AKR, des-  
15 de o en un registro de uso general (GPR).

Las figuras 9A y 9B ilustran con detalle una for-  
ma preferida de realización del traductor representado en  
la fig. 1C, que traduce una dirección de acceso lógica de  
máquina, de 19 bitios, en una dirección de acceso física  
20 de 24 bitios para obtener acceso a la memoria principal o  
al sistema.

Las figuras 9C, 9D-1, 9D-2, 9E, 9F-1 y 9F-2 ilus-  
tran con detalle unos circuitos que se encuentran dentro de  
los recuadros indicados en las figs. 9A y 9B.

25 La figura 9G ilustra el funcionamiento de los cir-  
cuitos de anticipación indicados en la fig. 9C, en la selec-  
ción de una de las unidades de almacenaje o memoria inte-  
rior, exterior o asíncrona, y la interpretación de la direc-  
ción de acceso física de 24 bitios por parte de la unidad  
30 seleccionada durante el ciclo de acceso.

1           La figura 10 ilustra un circuito de control de  
modos de ordenador, utilizado en la forma de realización  
detallada para la selección por ordenador, sea del modo de  
protección de almacenaje sin traducción, sea del modo de  
5           protección de almacenaje de o con traducción.

          La figura 11 ilustra los circuitos de control de  
protección utilizados durante el modo operativo de ordena-  
dor sin traducción.

          La figura 12 ilustra un formato para una instruc-  
10          ción del tipo de memoria a memoria, que puede ponerse en  
ejecución en un ordenador dotado de la presente invención.

          La figura 13A ilustra los componentes de formato  
pertinentes de una instrucción de habilitar/inhabilitar,  
para activar o inhibir los modos especiales de accesibili-  
15          dad del ordenador, tales como los de control de accesibili-  
dad para proteger almacenaje sin traducción (SPO), proteger  
almacenaje con traducción (TR) e igualar espacios de operan-  
dos (EOS).

          La figura 13B ilustra una secuencia de estados  
20          para un registro de claves de acceso, en la que el estado  
de EOS se lleva a efecto al ocurrir una interrupción.

          La figura 14 ilustra la circuitería para realizar  
o poner en práctica un modo alternativo de proteger traducción  
para un ordenador, que representa una variante o alternati-  
25          va del modo de proteger traducción de AKR explicado en rela-  
ción con la fig. 1A.

          La figura 15 ilustra un método alternativo de traduc-  
ción de claves de acceso que puede usarse en un ordenador  
como variante de la disposición de traducción de varios pa-  
30          quetes o grupos ilustrada en la fig. 1A.

1 La figura 16 ilustra una selección de acceso a BSM en paralelo con varias claves de acceso activas, en un ambiente de tratamiento múltiple.

5 La figura 17 ilustra unos controles de ordenador para realizar prácticamente la instrucción de carga o entrega de registros de segmentación, indicada en la fig. 8A.

La figura 18 ilustra unas operaciones de cargar y almacenar, en condiciones de interrupción de clase.

#### IV. INTRODUCCION A LA FORMA DE REALIZACION PREFERIDA

10 La fig. 1A ilustra el concepto general de la invención, usado en la forma preferida de realización que se ilustra conceptualmente en la fig. 1D. La fig. 1A tiene un circuito 20 de selección de claves de acceso que tiene relación con un tipo particular de petición de acceso de almacenaje (señalada por cualquiera de las líneas 21, 22, 23, 24 o 25) a una (correspondiente) de las secciones 31, 32, 33, 34 o 35 de registro de claves, que respectivamente contienen una clave de CS, de IS, de OP1, de OP2 y de OP3. La clave relacionada con cada una de estas líneas se hace salir como clave activa de acceso (AAK) por los circuitos 20 de selección de AAK. La clave activa de acceso controla la obtención de acceso a la memoria principal del sistema durante el siguiente acceso a la memoria, esto es, la búsqueda (toma) o el almacenaje (entrega) de datos en dicha memoria. En esta operación de obtener acceso, la AAK proporciona la parte de orden superior de la dirección lógica de acceso usada por la máquina para obtener acceso a la memoria.

25 Las líneas 21, 22, 23, 24 y 25 de petición de acceso señalan cada una un tipo distinto de petición de acceso, que se deriva de los canales y ordenadores (unida-

30

1 des programadas de tratamiento) capaces de obtener acceso  
a la misma memoria principal. Estas líneas de petición es-  
tán respectivamente indicadas en la fig. 1A como de acceso  
de I/O, búsqueda de I, acceso de OP1, acceso de OP2 y acce-  
5 so de OP3. Si en cualquier momento dado aparece sólo una  
señal de petición de acceso, esta señal de petición de acce-  
so pone entonces en salida inmediatamente su correspondien-  
te sección de registro de claves de acceso, dando la AAK.  
Si aparecen varias señales de petición de acceso simultánea-  
10 mente, unos circuitos de prioridad contenidos en los circui-  
tos 20 de selección de AAK determinan entonces el orden por  
el cual cada una de las peticiones de acceso simultáneas  
pone en salida, como AAK, su clave de acceso respectiva. En-  
tre señales simultáneas de petición se prevé cierto orden  
15 de prioridad, tal como el de atender o conceder una peti-  
ción de acceso directo de I/O ("robando ciclo") antes que  
poner en salida la clave de ocupación o "robo" de ciclo  
(CS). En segundo lugar se atiende o concede la petición de  
búsqueda de entrada (búsqueda de I), para poner en salida  
20 la clave de IS como AAK. En tercer lugar se atiende la pe-  
tición de acceso de OP1, para poner en salida la clave de  
OP1 como AAK; y en cuarto y quinto lugar se atienden las  
peticiones de acceso de OP2 y OP3, para poner en salida,  
como AAK, la clave de OP2 o la de OP3, respectivamente.

25 Como puede verse por todo ello, la invención abar-  
ca una relación particular entre tipos de peticiones de  
acceso y secciones particulares de registro de claves.

Las secciones de claves de acceso en un ordenador  
están agrupadas en un registro de claves de acceso (AKR),  
30 que contiene: la sección de registro de claves de IS (ISK),

1 que se refiere a cada petición de búsqueda de instruccio-  
nes para controlar la obtención de acceso de cada instruc-  
ción, y las secciones de registro de claves de OP1 (OP1K)  
a OP3 (OP3K) inclusive, relacionadas con diferentes tipos  
5 de accesos de operando requeridos para la ejecución de las  
instrucciones.

Además, cada subcanal de I/O tiene su respectiva  
sección de registro de claves de CS (CSK). También pueden  
varios subcanales de I/O pedir simultáneamente acceso a la  
10 memoria principal. Por tanto, se prevén unos circuitos de  
selección de prioridad de CSK para presentar estas claves  
de CS (CSK) en un orden sucesivo prefijado cuando las peti-  
ciones de ellas aparezcan simultáneamente.

Asimismo, si varios ordenadores tienen acceso  
15 a la misma memoria principal, se habilitan unos circuitos  
de orden de prioridad para seleccionar un orden entre las  
respectivas salidas de AAK de los ordenadores. La fig. 1A  
ilustra un sistema de ordenadores y canales de AAK en el  
que se usa un subgrupo de los tipos de peticiones de acce-  
20 so de almacenaje de los que se dispone, por construcción,  
en el proyecto de un sistema de tratamiento de datos. La  
fig. 1B indica un mayor número de diferentes tipos de acce-  
so de almacenaje. En todo sistema particular de tratamiento  
de datos, esta invención limita los tipos de acceso de al-  
25 macenaje, reduciéndolos a los que son identificables por  
la máquina. Esto es, dentro de la máquina se requiere una  
circuitería capaz de detectar cada uno de los distintos ti-  
pos de peticiones de acceso de almacenaje en el instante en  
que se está haciendo cada petición de acceso. En la fig. 1B  
30 hay designados más tipos de acceso que los que se usan en

1 la fig. 1A. En la fig. 1B hay diez tipos de acceso de alma-  
cenaje clasificados en tres categorías de acceso: 1) acce-  
so de instrucciones; 2) acceso de operandos; y 3) la cate-  
goría de accesos relacionada con los sucesos del ordenador.  
5 Cada canal contiene un número K de subcanales, y cada sub-  
canal tiene tres categorías de acceso de almacenaje: 1)  
acceso de órdenes de mando; 2) acceso de datos de I/O; y  
3) la categoría de accesos relacionada con los sucesos de  
I/O.

10 Cada categoría de acceso proporciona por lo me-  
nos un tipo de acceso de almacenaje.

En una máquina dada, los únicos tipos de acceso  
de almacenaje que pueden usarse son los manifestados en  
el proyecto o diseño de la máquina por una señal de iden-  
tificación: por ejemplo, una señal de petición de almace-  
15 naje. Así, la categoría de acceso de instrucciones es iden-  
tificada por la máquina por medio de una señal de petición  
de búsqueda de instrucción. La categoría de acceso de ope-  
randos puede ser identificada por la máquina mediante seis  
20 tipos distintos de acceso de operando en la fig. 1B; éstos  
se hallan subclasificados en tipos de acceso de operando  
directos e indirectos, de los cuales la subcategoría de  
acceso directo incluye accesos de direcciones de acceso  
directamente generadas o provenientes de la instrucción, en-  
25 tanto que la subcategoría de acceso indirecto incluye ope-  
randos situados en direcciones de acceso generadas indirec-  
tamente desde la dirección de acceso de operando existente  
en una instrucción. Cada subclase o subcategoría tiene tres  
tipos diferentes de acceso de operando, que pueden ser iden-  
30 tificados por la máquina en forma de señal de petición, de

1 búsqueda de fuente, señal de petición de almacenaje para  
evacuación y señal de petición de búsqueda para evacuación.  
Cada uno de estos seis tipos de operando pueden ser incor-  
porados en el proyecto de una máquina, y sus señales de  
5 identificación por la máquina son determinables en general  
desde el código de operación de cada instrucción y sus cam-  
pos ocupados por operandos. El tipo de operando de búsqe-  
da de fuente tiene aplicación a los datos que se usan como  
fuente de una ejecución de instrucción; no se ha de cambiar,  
10 sino sólo usarse para generar los resultados de la ejecu-  
ción de la instrucción. En cambio, el tipo de operando de  
almacenaje en depósito se refiere a un acceso que guarda o  
almacena los resultados de la ejecución de una instrucción.  
El tipo de operando de búsqueda en depósito es resultado de  
15 la ejecución de una instrucción anterior, resultado al que  
se va a obtener acceso como fuente de la ejecución de la  
instrucción en curso. En muchos sistemas de calculadora o  
computadora, según se ha visto, es más eficaz incorporar el  
tipo de operando de almacenaje en depósito y el tipo de ope-  
20 rando de búsqueda en depósito en un solo tipo de operando,  
de almacenaje/búsqueda en depósito.

Los accesos de suceso de ordenador son producidos  
por la aparición de sucesos internos en el ordenador, tales  
como los de error de datos, fallo de la máquina, excepción  
25 en la obtención de acceso, etc., entre los que se incluye  
una larga lista de sucesos ya conocidos que originan inte-  
rrupciones usuales en el ordenador, esto es, interrupciones  
internas. Por ejemplo, en la categoría de accesos casuales  
de ordenador se incluye el acceso a un área de memoria prin-  
30 cipal que contenga un manipulador de interrupciones y otros

1 programas para manipular las señales relacionadas con interrupciones, así como para almacenar los datos relacionados con la interrupción, tales como los datos de anotación de salida.

5 De igual modo, cada canal tiene una pluralidad de subcanales que ejecutan una pluralidad de distintos tipos de accesos. Así, cada subcanal está clasificado como de una categoría de acceso de datos de I/O (de periféricos) capaz de tener un tipo de acceso de búsqueda de I/O y un tipo de acceso de almacenaje de I/O. Algunas concepciones constructivas de máquina encuentran eficaz combinar en un solo tipo de acceso, que es el tipo de acceso de búsqueda/almacenaje de I/O (de periféricos). El tipo de acceso casual o de suceso de subcanal viene señalado por unas interrupciones exteriores al ordenador, esto es, interrupciones exteriores. Suelen usarse muchos tipos distintos de interrupciones exteriores, tales como la interrupción de final de dispositivo, la interrupción de fallo de dispositivo, la interrupción de error de datos de I/O, etc.

20 En resumen, la presente invención abarca también el objetivo de proporcionar capacidad o posibilidades, en una máquina, para obtener una accesibilidad en la memoria principal por separado para cada uno de los distintos tipos de accesos de almacenaje indicados en la fig. 1B, entre los que se incluyen los ocho tipos de acceso de almacenaje distintos disponibles para cada ordenador, y los cuatro tipos de acceso de almacenaje diferentes disponibles para cada subcanal. Esta posibilidad de accesibilidad por separado se habilita por medio de una sección de registro de claves por separado para cada uno de los tipos de acceso de almacenaje

25

30

1        respectivos proyectados en una máquina. Ahora bien, la forma de realización representada en la fig. 1A sólo hace uso de cuatro tipos de acceso de ordenador diferentes, representados en el ejemplo ilustrado de AKR que tiene cuatro secciones de registro diferentes. El número de secciones de registro de claves contenidas en el AKR puede ampliarse o expandirse al número, cualquiera que sea, de tipos de acceso que se necesiten en la concepción constructiva o realización de una máquina.

5

10                Así, cualquiera que sea el número de secciones de registro de claves previstas en el sistema, los circuitos de selección de AAK casan o hacen concordar cada tipo de acceso identificado por máquina con una sección correspondiente de registro de AKR o una sección de registro de CS, poniendo en salida la sección de registro seleccionada cuando se concede la respectiva petición de acceso, de modo que el contenido de la sección de registro seleccionada se convierte en la clave activa de acceso (AAK) que la máquina usa como componente de obtención de acceso, para controlar la accesibilidad para ese acceso particular de memoria. La componente de obtención o dirección de acceso proporcionada por la AAK puede tener: 1) sea una relación directa de acceso físico en la que la AAK está concatenada con la dirección de acceso de programa, proporcionando conjuntamente una dirección de acceso física en la memoria principal; 2) sea una relación fija de acceso de almacenaje predeterminada en la memoria principal, tal como se representa en la forma de realización de la fig. 11; 3) sea una relación de acceso cambiante de sitio para las áreas de almacenaje identificadas por clave, al tiempo de requerir un establecimiento

15

20

25

30

1 to de secuencia de direcciones de acceso de programa dentro  
de cada área, como en la fig. 15; ó 4) sea una relación de  
acceso cambiabile de sitio, más flexible, con cambiabilidad  
de sitio dentro de las áreas identificadas por clave, tal  
5 como la representada en la forma de realización de la fig.  
1A.

La dirección de acceso de entrada a la memoria principal, proporcionada por la máquina en la fig. 1A, es la combinación de la AAK y la dirección de acceso aparente del programa. La dirección de acceso aparente del programa es la que se le aparece a la máquina desde un programa que se esté ejecutando, tal como la dirección de acceso de búsqueda de instrucción contenida en el registro de acceso de instrucciones (IAR), y las direcciones de acceso de operando contenidas en las instrucciones del programa. Al inscribirse un programa, éste solo manipula direcciones de acceso aparentes de programa. El programador de aplicaciones es conocedor de operaciones de AAK sólo hasta el punto de que se dedica a agrupar sus datos de operando separadamente del programa. El programador del sistema especificará en general las áreas de acceso casuales o de sucesos del ordenador y el contenido de las mismas, y el programador de I/O, especificará en general las áreas de acceso casuales y de órdenes de I/O, y su contenido. En la fig. 1A, el componente de AAK ocupa un número K de posiciones de bitio en la parte de orden jerárquico superior de la dirección de acceso de entrada combinada, y la dirección de acceso aparente de programa ocupa 16 posiciones de bitio, dando un total de  $16+K$  posiciones de bitio en la dirección de acceso de entrada de la máquina.

10  
15  
20  
25  
30

1           En la fig. 1A, la dirección de acceso de entrada,  
que incluye el campo de AAK, es una dirección de acceso ló-  
gica de máquina que requiere traducción para obtener acceso  
a un lugar deseado del sistema de tratamiento de datos. Por  
5           otra parte, en la fig. 11 la invención abarca el uso de la  
AAK, por ejemplo, como restricción directamente utilizable  
en la dirección de acceso física, que no se traduce.

#### IV. A. Traductor de varios grupos o paquetes

10           El traductor o trasladador de la fig. 1A tiene  
una pluralidad de grupos o paquetes de registro de segmenta-  
ción,  $0 \dots 2^K$ . Cada sección de registro de claves de acceso,  
del ordenador o del subcanal, contiene por lo menos una cla-  
ve de K bitios, de un valor capaz de obtener acceso a uno  
cualquiera de los ocho grupos. Unos medios 40 de acceso a  
15           grupo reciben la AAK y descodifican la dirección de acceso  
del grupo, para seleccionar el grupo requerido. A continua-  
ción, la componente aparente de programa de la dirección de  
acceso, con sus posiciones de bitios  $0 \dots P$  de orden supe-  
rior, selecciona un registro de segmentación (SR) dentro del  
20           grupo seleccionado. El contenido de las posiciones de bitio  
 $0 \dots 12$  del SR seleccionado comprende un número de bloque  
asignado, que proporciona las posiciones de bitio  $0 \dots 12$  de  
la dirección de acceso física de un bloque físico particular  
de la memoria principal, al cual se tiene entonces acceso.

25           Las restantes posiciones de bitio  $13 \dots 23$  de la  
dirección de acceso física de veinticuatro bitios proporci-  
onan el desplazamiento D de grupos de bitios dentro del blo-  
que físico seleccionado, y son las mismas del desplazamien-  
to D de grupos de bitios de la dirección de acceso de entra-  
30           da, determinado por sus bitios de orden inferior (PH)  $\dots 15$ .

1 El acceso al bloque físico particular está también contro-  
lado por unos bitios denotativos contenidos en los restan-  
tes lugares de bitios 13...15 del SR seleccionado. El forma-  
to para cualquier registro de segmentación (SR) se represen-  
5 ta con mayor detalle en la fig. 6, en la cual la posición  
13 del bitio de validez (V) indica si el contenido del nú-  
mero de bloque es válido. Si no lo es (esto es, si  $V = 0$ ),  
el contenido del SR seleccionado no puede usarse para gene-  
rar una dirección de acceso física, generándose una inte-  
10 rrupción de excepción de acceso. La posición de bitio 14  
denotativo indica si el contenido del bloque seleccionado  
para acceso puede o no tomarse como de exclusiva lectura.  
Si el bitio 14 está puesto a 1, no se permite acceso de ins-  
cripción al bloque, y se permiten accesos de sólo búsqueda.  
15 El bitio 15 no se usa. El segundo vocablo, compuesto de los  
bitios 16...31, está reservado y tampoco se usa a los fines  
de la presente invención.

#### IV. B. Memoria principal extensible

La fig. 1C ilustra una configuración de sistema  
20 de tratamiento de datos dotado de una memoria principal ex-  
tensible o ampliable, nueva en su género, para tratar las  
direcciones de acceso traducidas. La memoria principal mí-  
nima contiene un "almacén" o unidad de memoria interior 51  
que contiene hasta 64K grupos de bitios (bytes) de almace-  
25 naje. La primera ampliación es la adición de un "almacén"  
o unidad de memoria exterior 52 que puede añadir otros 64K  
grupos de bitios de almacenaje, para ampliar la memoria  
principal a 128K grupos de bitios. A continuación puede  
agregarse un "almacén" o unidad de memoria asíncrona 53 ex-  
30 tensible, para ampliar la memoria principal a un máximo de

1 16.777.216 grupos de bitios (esto es,  $2^{24}$ ).

Un dispositivo traductor 59 proporciona la traducción de acceso, y contiene enlaces que habilitan las conexiones ampliables de la memoria exterior 52 y de la memoria asíncrona 53 a la configuración de memoria principal.

Una barra colectora 56A de memoria principal conecta un ordenador o unidad de tratamiento 54 y un canal 55 de I/O a la configuración de memoria principal, a través de un circuito 55 de selección de prioridad de memoria o almacenaje. La barra colectora 56A de memoria principal está también conectada al traductor 59 y a la memoria parcial interior 51.

Unas líneas 54A de señales secuenciales de memoria interior conectan la memoria interior 51 directamente al circuito selector 56 de prioridad de memoria, para transferir unas señales de ciclo de memoria interior (ISC), cuando representan una dirección de acceso física de 16 bitios, no traducida, generada por el ordenador al funcionar en el modo de "sin traducir". Cuando el ordenador está en el modo de "traducir", la señal de ISC deriva sus cinco bitios de orden superior tomándolos del traductor, que comprende una señal de selección de ficha o tarjeta (que selecciona una ficha particular tomándola de hasta cuatro fichas, constitutivas de la memoria parcial interior) y unos campos de CSY y CSX (que seleccionan en la ficha elegida una particular formación o lista de 4.096 bitios). Los cinco bitios de orden superior presentes en las líneas 00...04 de barra colectora de acceso se transfieren desde el traductor al ordenador, para su uso por el ordenador durante un ciclo de memoria interior (ISC). Los bitios 13...22 vienen proporció

1 nados por el registro de acceso a la memoria (SAR) del or-  
denador, con el fin de seleccionar la particular posición  
de vocablo en la formación o lista, y el bitio 23 restante  
selecciona un grupo particular de bitios del vocablo cuando  
5 se requiere una operación de inscribir. El acceso a grupos  
de bitios obtenido por el bitio 23 se usa sólo para opera-  
ciones de inscribir, puesto que las operaciones de leer se  
seleccionan para acceso a base de vocablos (un vocablo com-  
prende dos grupos de bitios). Durante una función de inscri-  
10 bir, el último bitio 23, de obtención de acceso, se pone a  
0 o a 1 para seleccionar el grupo de bitios de la izquierda  
o de la derecha, respectivamente, de un vocablo.

Cuando el ordenador opera sólo con la memoria par-  
cial interior (esto es, sin tener añadida la memoria exte-  
15 rior o la memoria asíncrona del sistema), el ordenador se  
dirige para acceso solamente a la memoria interior, con di-  
recciones de acceso físicas de 16 bitios, directamente pro-  
porcionadas en la barra colectora 54A desde el SAR. Las di-  
recciones de acceso de 16 bitios proporcionadas por el orde-  
20 nador se amplían hasta el límite físico de la memoria inte-  
rior (esto es, hasta 64K). Con las direcciones de acceso fi-  
sicas de 16 bitios se usan unas claves de protección, en  
este sistema de configuración mínima, de acuerdo con los  
circuitos de protección sin traducción representados en la  
25 fig. 11.

Las claves de protección hacen uso de la capacidad  
de accesibilidad por separado proporcionada por las seccio-  
nes de registro de claves de acceso para los distintos ti-  
pos de acceso a la memoria. Las combinaciones de los circui-  
30 tos de AAK con las claves de protección constituyen asimis-

1 mo un rasgo característico de la invención descrita en es-  
ta Memoria. Así, la característica inventiva, en su senti-  
do más lato, de los circuitos de claves activas de acceso  
5 (AAK) para ofrecer la capacidad de una accesibilidad por  
separado por el tipo de acceso a memoria es combinable se-  
paradamente con las claves de protección no cambiables de  
sitio, o con las claves de acceso cambiables de sitio.

Si se desea tener la posibilidad de recolocación  
o cambio de sitio, lo que permite ampliar la memoria prin-  
10 cipal más allá de los límites de los 64K de la unidad de  
almacenaje o memoria parcial interior, el traductor necesi-  
ta entonces ser agregado como se ilustra en la fig. 10. Lue-  
go, puede añadirse la unidad de memoria parcial exterior,  
y conectarse al traductor por medio de la barra colectora  
15 58 de señales de secuencia de almacenaje o memoria exte-  
rior, para obtener los controles de ciclo de memoria exte-  
rior (OSC) indicados en la fig. 9G.

El traductor o trasladador permite también una  
ampliación adicional de la memoria principal, más allá del  
20 límite de 128K de las unidades de memoria interior y exte-  
rior, permitiendo para ello la adición de una unidad de al-  
macenaje o memoria asíncrona. La unidad de memoria asíncro-  
na hace uso de la dirección de acceso traducida de 24 bi-  
tios de distinta manera que la memoria exterior, como se  
25 ilustra por medio del ciclo de memoria asíncrona (ASC) de  
la fig. 9G. Con el ASC se usan las posiciones de bitio  
0...6, y estas posiciones de bitio contendrán por lo menos  
un bitio 1, porque se invierten más de dieciséis bitios pa-  
ra representar un número superior a 128K. El uso de las po-  
30 siciones de bitio 0...6 distingue el ASC del OSC, que no

1 utiliza las posiciones de bitio 0...6; el OSC usa solamen-  
te los bitios 7...23. Estas características de las posicio-  
nes de bitio 0...6 se usan para activar un par de bitios  
de anticipación indicados en la fig. 9G, cuyos circuitos  
5 y funcionamiento se describen más adelante con mayor deta-  
lle, en relación con las figs. 9A y 9B.

El traductor tiene, con el enlace de barra colec-  
tora de la memoria principal, una conexión por medio de la  
cual recibe del ordenador las direcciones lógicas de acce-  
so, entre las cuales se incluye la clave activa de acceso  
10 (AAK) para la traducción. El traductor tiene también unos  
enlaces conectados a las unidades de memoria exterior y de  
memoria asíncrona.

#### IV.C. Control de espacios en la forma de realización pre-

##### 15 ferida

La fig. 2A es un esquema que representa diferen-  
tes tipos de acceso a memoria, controlados por los distin-  
tos tipos de instrucciones de ordenador y órdenes de mando  
de canal, en relación con los espacios de datos correspon-  
dientes usados en la forma de realización detallada. La  
20 fig. 2A incluye sólo un subgrupo de los tipos de acceso  
ilustrados en la fig. 1B. Así, en la fig. 2A, se hace una  
búsqueda de instrucción en el espacio de acceso de instruc-  
ción 60, usando la ISK. En la figura 2A se ilustran dos ti-  
pos distintos de acceso de operando, definidos por los es-  
pacios de datos 61 y 62 que respectivamente hacen uso de  
25 las secciones de registro de OP1K y OP2K en un registro de  
claves de acceso (AKR).

#### IV. C.1. Control de espacios de ordenador

30 La fig. 2A ilustra la obtención de acceso a memo-

1 ria que se tiene con distintos tipos de instrucciones de or-  
denador. Una instrucción de memoria a memoria va a buscar  
datos en el espacio 61 de datos de OP1K o en el espacio 62  
de datos de OP2K y guarda sus resultados en el espacio 62  
5 de datos de OP2K. Una instrucción intermedia de almacenaje  
o memoria obtiene sus datos del espacio 60 de datos de ISK,  
y guarda o almacena sus resultados en el espacio 62 de datos  
de OP2K o en un registro de uso general (GPR). Una instruc-  
ción del tipo de registro a memoria traslada datos de un  
10 GPR 63 a un espacio 62 de datos de OP2K; en tanto que una  
instrucción de memoria a registro va a buscar datos del es-  
pacio 62 de datos de OP2K y los guarda en un GPR 63. Una  
instrucción de bifurcación va a buscar, también del espa-  
cio 60 de acceso de ISK, una instrucción de bifurcar un ob-  
15 jetivo.

#### IV.C.2. Control de espacios de subcanal de I/O

En la fig. 2A se muestran dos tipos distintos de  
órdenes de subcanal de I/O. Uno de estos tipos, correspon-  
diente a una orden de I/O denominada de control directo de  
20 programa (DPC), proporciona una operación de I/O síncronica  
con el programa principal (es decir, el programa principal  
no prosigue hasta que se ha terminado la operación de I/O),  
en la que tanto la orden de I/O como el acceso a los datos  
están en el espacio 62 de acceso de OP2K.

25 El otro tipo de orden de I/O proporciona el tipo  
asíncrono normal de operaciones de I/O, conocido en general  
con la denominación de operaciones de I/O con "robo" u ocu-  
pación de ciclo (CS). En este segundo tipo, el programa de  
I/O mismo (esto es, las órdenes de mando de canal) debe es-  
30 tar situado en el espacio de acceso 64 de clave=0 de la fig.

1 2A, en tanto que los accesos de datos efectuados por el  
programa de canal están controlados por unas claves espe-  
cificadas en las órdenes de canal respectivas, de modo que  
5 cada orden (esto es, cada DCB) tiene capacidad para defi-  
nir un espacio de acceso 65...66 diferente. Esto es, cada  
dispositivo de I/O tiene su propio programa de subcanal,  
en el que cada orden de mando es capaz de depositar un va-  
lor de clave diferente en una sección de registro de cla-  
ves de acceso de cada subcanal, de manera que es posible  
10 que cada subcanal obtenga acceso a un espacio de acceso  
distinto en cada orden de mando. Así, cada canal tiene po-  
der o capacidad para cambiar o conmutar fácilmente su espa-  
cio de datos, al que ha de tener acceso, siempre que se ne-  
cesite.

15 La fig. 2B ilustra con mayor detalle la manera  
en que las operaciones de I/O son capaces de controlar sus  
claves de acceso con el fin de definir diferentes espacios  
de datos en la memoria principal.

20 En la fig. 2B se tiene, en la memoria principal,  
una instrucción de operar I/O, para iniciar una operación  
de I/O, y, por tanto, la instrucción de operar I/O se en-  
cuentra en el espacio de datos de ISK. La parte de OP de  
la instrucción indica que se trata de una instrucción de  
operar I/O; y el campo R2 designa un registro cuyo conteni-  
25 do se combina con el campo de acceso, ADDR, generando una  
dirección de acceso que, directa o indirectamente, coloca  
un IDC B (bloque de control indirecto de dispositivo) en el  
espacio de acceso de OP2K. Si se usa un acceso indirecto,  
la propia dirección de acceso indirecto reside en el espa-  
30 cio de OP2K. La dirección de acceso de IDC B es directa o in

1 directa según el ajuste o situación del bitio de I en la instrucción de operar I/O. Así, la instrucción de operar I/O está en el espacio de acceso de ISK, y el IDCB está en el espacio de acceso de OP2K.

5 El ICDB puede ser de dos tipos distintos: 1) del tipo CS, o 2) del tipo DPC. El campo de código de orden (CMD) del bloque IDCB identifica si se va a iniciar una operación de "robo" de ciclo (CS) o una operación de control directo de programa (DPC).

10 Si el IDCB es del tipo DPC, su segundo vocablo contiene unos datos inmediatos que o se transfieren al dispositivo seleccionado para acceso o se reciben de él, según el campo de orden indique que se trata de una operación de leer I/O o de inscribir en I/O.

15 Si el campo de CMD indica que el IDCB es del tipo CS, el segundo vocablo del IDCB contiene la dirección de acceso del programa de subcanal para el dispositivo seleccionado para acceso por el campo DA del IDCB. La primera orden del canal (esto es, el vocablo de control del canal), denominada de bloque 0 de control de dispositivo (DCB-0), está situada en la dirección de acceso contenida en el IDCB. Un campo del DCB-0, denominado dirección de acceso en cadena, localiza el vocablo de control del siguiente subcanal, denominado DCB-1, que contiene también una dirección de acceso de en cadena que localiza el siguiente DCB, y así sucesivamente, hasta que se indica el último DCB.

25 El programa entero de canales, por lo tanto, se halla situado o localizado en el espacio de acceso de clave = 0, en la forma de realización detallada.

30

1           Ahora bien, cada DCB, en su lugar de vocablo ini-  
cial EA, contiene un campo de clave, que es la clave de  
acceso para los datos seleccionados para acceso por ese  
particular DCB. Por ejemplo, el DCB-0 tiene un campo de  
5           clave, designado de clave de DCB-0, que identifica el es-  
pacio de acceso para un bloque contiguo de direcciones ló-  
gicas de acceso que comienza en la dirección de acceso de  
datos del campo de DCB-0 situado en EA+14. La clave de  
DCB-0 puede tener un valor cualquiera de clave. De igual  
10          modo, el siguiente vocablo de control DCB-1 contiene una  
clave de DCB-1, capaz de tener un valor cualquiera de cla-  
ve para definir el espacio de acceso para los datos selec-  
cionados para acceso dentro del DCB-1. Por tanto, el valor  
de clave del DCB-1 puede ser "distinto del valor de clave  
15          del DCB-0, y así sucesivamente.

          Por lo tanto, como puede verse, esta invención  
proporciona una enorme flexibilidad en el control de espa-  
cios de acceso durante el funcionamiento de los dispositi-  
vos de I/O en el sistema. Con claves de protección en el  
20          modo de "sin traducción", es posible usar distintos valo-  
res de clave en los DCB (bloques de control de dispositivo)  
con el fin de obtener una protección especial para los acce-  
sos de datos de I/O.

          Además, si en el sistema se está usando el modo  
25          de "traducción", todas las direcciones de acceso de datos  
de I/O son traducidas por el traductor o trasladador, por  
ejemplo, de la fig. 1D, para cada acceso, de la misma ma-  
nera que se traducen las direcciones de acceso de ordena-  
dor.

30                La fig. 3A ilustra el equipo físico para contro-

1 lar las operaciones de clave de DCB. Cada subcanal de I/O  
contiene un controlador o regulador, a modo de pequeño or-  
denador, para controlar las operaciones de un dispositivo  
de I/O conectado, que puede ser de cualquier tipo. Este re-  
5 gulador a modo de ordenador controla la manipulación de la  
clave de DCB por parte del subcanal de I/O particular. La  
clave de DCB es recibida en un registro 301 de claves de  
DCB, contenido en el regulador de subcanal, desde la barra  
colectora de datos de I/O que viene del canal, mientras a  
10 cada DCB se está teniendo acceso en el espacio de acceso  
de clave = 0.

A un canal individual van conectados en general,  
de manera usual, varios subcanales. Todo subcanal es capaz  
de comunicar con el canal mediante señales usuales de "en-  
15 terado" proporcionadas o cruzadas entre los subcanales y  
su canal. Esto da por resultado una captura de escrutinio  
por parte del subcanal que pide servicio de canal. Tras la  
captura de escrutinio, la barra colectora de datos de canal  
transmite señales de control y datos entre el subcanal y  
20 la memoria principal. Así, una señal, enviada por los con-  
troles 310 de captura de escrutinio, a los controles 311  
de ROS de subcanal da lugar a que los vocablos de ROS re-  
queridos pasen como entrada a un registro 313 de datos de  
ROS, con el fin de obtener las operaciones de subcanal ne-  
25 cesarias. Una de las operaciones de subcanal es una búsque-  
da de DCB del siguiente campo de dirección de acceso del  
DCB en curso que viene del espacio de acceso de clave = 0.  
El campo de búsqueda de DCB en un vocablo de ROS es detec-  
30 tado por un descodificador 314 de ROS, que entonces propor-  
ciona una señal de control de búsqueda de DCB que actúa las

1 puertas y o de coincidencia 315(0), 315(1) y 315(2) que  
dan entrada al registro 301 de claves de DCB, el cual for-  
ma parte de un grupo o paquete de registros que recibe el  
DCB entero. Terminada la búsqueda del DCB, el DCB se guar-  
5 da o almacena en el subcanal, se desactiva la señal de bús-  
queda de DCB y se activa una señal de ausencia de control  
de búsqueda de DCB, que condiciona los circuitos y o de  
coincidencia 316(0), 316(1), 316(2) de registro de claves  
de DCB, dando salida a la clave de DCB que, de ese modo,  
10 es proporcionada como clave de CS para las operaciones de  
acceso de datos de DCB. La clave de CS es transmitida por  
la barra colectora de códigos de condición al canal de la  
fig. 3B. El canal luego transmite la clave de CS a la ba-  
rra colectora de claves de CS que va conectada al circuito  
15 de selección de prioridad de almacenaje de la fig. 3C.

#### IV.C.3. Circuito de selección de prioridad de almacenaje

En la fig. 3C, la clave de CS presente en la ba-  
rra colectora de canal se lleva a un circuito 331 de selec-  
ción de canal que recibe las barras colectoras de canal  
20 procedentes de todos los canales conectados al ordenador,  
y da prioridad a una de las claves de CS procedente de uno  
de los canales.

Cada regulador de subcanal de la fig. 3B tiene  
también una pluralidad de líneas de control que comprenden  
25 una barra colectora de control y una barra colectora de  
acceso de I/O. La barra colectora de acceso de I/O comuni-  
ca la dirección de acceso de datos derivada del DCB. La ba-  
rra colectora de control de I/O incluye una línea de llega-  
da de petición de CS, que señala el momento en que hay una  
30 dirección de acceso en la barra colectora de acceso de I/O.

1 El circuito 56 de control de prioridad de alma-  
cenaje recibe las líneas de petición de ciclo CS proceden-  
tes de cada uno de los diversos canales 1...P conectados  
a un ordenador. El circuito 332 selecciona, en un momento  
5 dado cualquiera, una clave de CS particular, que luego es  
suministrada al circuito 331 de selección de canal, que  
transfiere la clave de CS del subcanal seleccionado a los  
circuitos 333 de selección de AAK, los cuales reciben tam-  
bién las claves de acceso de ordenador procedentes de las  
10 barras colectoras de AKR de ordenador. Bajo el control del  
circuito 332 de ciclo de prioridad de almacenaje, los cir-  
cuitos 333 de selección de AAK eligen una de las claves  
de acceso, que han recibido de una en una, como AAK del  
sistema. La fig. 3D ilustra una forma detallada de circui-  
to 333 selector de AAK.  
15

#### IV. D. Forma preferida de realización del ordenador

Las barras colectoras de AKR del ordenador van  
conectadas a las salidas del registro de claves de acceso  
(AKR) en la fig. 4, que ilustra con detalle las partes per-  
20 tinentes del ordenador del sistema, que puedan tener que  
ver con las claves de CS para un acceso de almacenaje. En  
la fig. 3C, el circuito 332 de ciclo de prioridad de alma-  
cenaje o memoria (que puede ser un circuito usual de prio-  
ridad) determina el orden en que se conceden los accesos  
entre las peticiones competidoras, y por lo tanto el orden  
25 en que las claves de acceso respectivamente admitidas como  
entrada se convierten en salida de AAK, de los circuitos  
de selección de AAK de la fig. 3D.

La fig. 4 ilustra los controles del ordenador  
30 que hacen funcionar el AKR de éste. Así, el contenido del

1 AKR es cargado o introducido desde la barra colectora de  
caminos de datos del ordenador en unos controles de puesta  
de entrada (IG), y las respectivas claves de acceso son da-  
das como salida a la barra colectora de caminos de datos  
5 del ordenador por unos controles de puesta de salida (OG),  
Las señales de control de IG y OG son generadas por el des-  
codificador de ROS del ordenador. El contenido del AKR es  
dado como salida continuamente a las barras colectoras de  
AKR, la barra colectora de ISK, la de OP2K, la de OPIK y  
10 la de EOS, del ordenador, que se dan como entrada a los  
circuitos 333 de selección de AAK de la fig. 3C, ilustra-  
dos con detalle en la fig. 3D. Los circuitos de selección  
de AAK efectúan la selección entre estas tres claves de  
ordenador, en unión de toda clave de CS que se presente,  
15 para determinar cuál de ellas, en particular, se va a con-  
vertir en la AAK.

La fig. 7 ilustra con detalle la circuitería de  
control de AAK, representando los circuitos de puesta en  
entrada y en salida con una sola posición de bitio en el  
20 AKR. Cada una de las demás posiciones de bitio del AKR tie-  
ne unos circuitos de control similares.

Por lo tanto, como puede verse en la fig. 4, el  
descodificador 405 de ROS del ordenador tiene unas líneas  
de salida que se activan por efecto de la presencia de unos  
25 vocablos de ROS particulares en el registro 406 de datos  
de ROS, para controlar la puesta en entrada y en salida  
de las secciones de registro AKR, y de las ISK, OPIK y OP2K,  
así como de otras operaciones de ordenador.

#### IV.D.1. \_ Registro de última AAK \_

30 El ordenador de la fig. 4 contiene también un re-

1 gistro de última clave activa de acceso, al que se da en-  
trada por medio de una puerta de admisión o de entrada 407  
de AAK, la cual recibe la salida de barra colectora de AAK  
procedente de la fig. 3D y recibe otra entrada que es la  
5 señal invertida procedente de un circuito de enganche o ce-  
rrojo 401 de errores de ordenador. La salida de la IG 407  
de AAK se da como entrada a un registro 408 de última AAK,  
durante un ciclo de almacenaje de ordenador que viene de  
la fig. 17. El registro 408 funciona almacenando cada AAK  
10 puesta en la barra colectora de AAK desde el AKR del orde-  
nador, siempre y cuando el cerrojo 401 de errores indique,  
por una línea de inhabilitación de error, que no hay error  
alguno.

Ahora bien, al aparecer en el ordenador un error  
15 de verificación de máquina (MCK) o de verificación de pro-  
grama (PCK), se activa el cerrojo 401 de errores. Esto pro-  
duce una desactivación de la IG 407 de AAK, al caer la se-  
ñal de inhabilitación o negación de error, lo que exige la  
retención de la última AAK del ordenador (esto es, de la  
20 LKSA) existente en el instante del error, hasta que se re-  
pone el cerrojo 401. Las entradas de señal de verificación  
de máquina (MCK) y de verificación de programa (PCK) se lle-  
van a un descodificador 402 de acceso forzado (excepto du-  
rante un ciclo de segmentación), para forzar un acceso de  
25 ROS al control 403 de ROS, que hace que se inicie un progra-  
ma particular de diagnóstico, con el fin de hacer frente a  
la condición de error, sea por reensayo de la función erró-  
nea hasta que se corrige, sea por ejecución de una operación  
de anotación de salida cuando el error, según lo determina-  
do, va a ser permanente. El registro 408 de última AAK, de  
30

1     ese modo, mantiene la LKSA para proporcionar la accesibi-  
    lidad últimamente usada mientras en el ordenador se dan con-  
    diciones operativas de recuperación de error, de modo que,  
    después de despejada la condición de error, el sistema es  
5     capaz de volver a la accesibilidad normal últimamente usa-  
    da.

    Una de las operaciones finales de diagnóstico,  
    que aparecen antes de que se pueda cambiar cualquier esta-  
    do de ordenador, es la de almacenar el estado entero del  
10    ordenador en un bloque de estado de nivel (LSB) de la memo-  
    ria principal, incluido el contenido del AKR. Luego, una  
    señal de puesta en salida del registro de última AAK (se-  
    ñal OG AAKR) da como salida el contenido de LKSA del regis-  
    tro de última AAK, poniéndolo en el camino de datos del or-  
15    denador, y simultáneamente aparece una señal de puesta en  
    entrada de OPIK (IG OPIK), que pone la LKSA en la sección  
    de registro de OPIK del AKR para las operaciones de diag-  
    nóstico o de recuperación de error. (véase el apartado  
    IV.H.3. de la presente Memoria). Una vez terminada la recu-  
20    peración respecto del error (despejado éste), se vuelve a  
    cargar el último valor normal del AKR, tomándolo del LSB  
    que hay en la memoria, para las operaciones normales de cap-  
    tación.

#### IV. D.2. Instrucciones de carga/entrega de AKR

25         Las figs. 8B y 8C ilustran las instrucciones pa-  
    ra controlar: 1) la carga o introducción de claves de acce-  
    so en el AKR, sea desde un vocablo contenido en la memoria  
    principal, sea desde un registro de uso general (GPR) de-  
    signado; o bien 2) el almacenaje o entrega de claves de  
30    acceso desde el AKR, sea en un vocablo de la memoria prin-

1 cipal, sea en un GPR designado. La figura 8B ilustra la  
operación de instrucción de memoria, para carga o entrega  
de AKR. Esta sola instrucción es capaz de controlar sea la  
5 carga del AKR desde la memoria principal, sea la entrega  
o el almacenaje del contenido del AKR en la memoria prin-  
cipal.

La fig. 8B ilustra el formato de 16 bitios de la  
instrucción de memoria para carga o entrega de AKR, desig-  
nada por su código de OP de cinco bitios y su campo modifi-  
10 cador, de tres bitios en las posiciones de bitio 13...15.  
El campo de K, en las posiciones de bitio 5...7, seleccio-  
na para acceso una parte o la totalidad del AKR al que se  
va a dar paso de entrada o de salida. Por ejemplo, los va-  
lores de K de 0, 1, 2 o 3 designan respectivamente la sec-  
15 ción de registro de ISK, la sección de registro de CP2K,  
la sección de registro de OPLK o el AKR entero, que se va  
a usar por parte de la instrucción. Se genera una direc-  
ción lógica de acceso de memoria principal, usando para  
ello el campo de RB en las posiciones de bitio 8 y 9 que  
20 designan un registro de base, y los bitios 10 y 11 de modo  
de acceso (AM) que designan si un vocablo es un campo ane-  
xionado como apéndice a una instrucción que contiene un  
campo de acceso, donde el contenido del campo de AM y del  
registro RB se combinan para generar la dirección de acce-  
25 so efectiva, en la memoria principal, del vocablo que se  
va a cargar o a entregar para almacenaje en virtud de la  
ejecución de la instrucción. El bitio X de la posición de  
bitio 12 designa si la operación de instrucción es de carga  
o es de entrega o almacenaje. Si X está puesto a "0", el con-  
30 tenido del vocablo seleccionado para acceso se guarda en la

1 porción del AKR designada por el campo de K. Si el bitio X está puesto a "1", la porción del AKR designada se almacena entonces en el vocablo al que se ha tenido acceso.

5 De igual modo, la fig. 8C describe las operaciones para la instrucción de registro para carga o entrega de AKR, que es similar a la instrucción de memoria para AKR de la fig. 8B, con la salvedad de que en la ejecución de la instrucción de registro el vocablo de memoria principal está sustituido por uno de GPR (registro de uso general). Así, en la fig. 8C, el campo de R, en las posiciones 10 de bitio 8...10, designa un GPR particular que, o bien carga, o bien entrega, una o más claves en las partes designadas del AKR.

15 Estas operaciones respectivas se ejecutan en el ordenador por medio de unas señales presentes en las líneas de salida, respectivamente designadas IG y OG, del descodificador 405 de ROS del ordenador, de la fig. 4, que activan unas señales en el camino de datos del ordenador con el fin de ejecutar las operaciones descritas en relación con la 20 fig. 8B.

#### IV.E. Forma preferida de realización de traductor

25 Las figs. 9A y 9B ilustran con detalle la circuitería del traductor o trasladador 9 de la fig. 10, que efectúa las operaciones de traducción para traslado o recolocación descritas para la fig. 1A. Esta circuitería de traductor de recolocación es capaz de ampliar la accesibilidad física desde 64K (esto es,  $2^{16}$ ) grupos de bitios a 16 millones ( $2^{24}$ ) de grupos de bitios, que es la ampliación de una memoria interior que contiene 64K grupos de bitios.

30 El traductor aumenta la accesibilidad de la memo-

1       ria principal, mediante interpretación de la AAK y la di-  
rección de acceso aparente de programa, de 16 bitios, que  
vienen, sea de un ordenador, sea de un subcanal, como di-  
rección de entrada lógica al traductor, que la traduce o  
5       convierte en una dirección de acceso física de 24 bitios  
que tiene acceso a las memorias parciales interior, exte-  
rior o asíncrona.

La traducción permite una asignación dinámica  
de almacenaje físico a espacios de acceso lógico, y el re-  
10       parto de la memoria física entre los espacios de acceso ló-  
gico. Existen ocho juegos o grupos de 32 registros de seg-  
mentación (SR), para los ocho valores respectivos disponi-  
bles para las claves de acceso, dando un total de 256 re-  
registros de segmentación. Una vez cargados, cada paquete o  
15       grupo de SR es capaz de contener un mapa completo de un es-  
pacio de memoria o almacenaje que tiene hasta 64K grupos  
de bitios, que pueden estar esparcidas en bloques de 2K  
grupos de bitios de memoria física. Un grupo de SR puede  
obtener acceso a un espacio que tenga menos de 64K grupos  
20       de bitios, sin más que activar el bitio de invalidez en  
uno o más de sus SR, de modo que sólo los SR que tengan sus  
bitios de invalidez desactivados son los que designan los  
bloques de 2K que comprenden o constituyen el espacio se-  
leccionable para acceso, identificado por una clave de  
25       acceso asignada.

Para cada clave de acceso se prevé un grupo apar-  
te de registros de segmentación (SR), con el fin de permi-  
tir la conmutación rápida de espacios de acceso lógico sin  
necesidad de economizar y restablecer el mapa de memoria de  
30       espacios de acceso del sistema.

1 El traductor de recolocación de las figs. 9A y  
9B soporta una ampliación de la memoria principal, por me-  
dio de una memoria exterior de hasta 64K grupos de bitios  
5 (esto es, 64KB) por incrementos de fichas de 16KB, desig-  
nadas como fichas quinta a octava inclusive para la memo-  
ria exterior. La memoria interior contendrá las fichas pri-  
mera a cuarta inclusive, cada una de ellas, igualmente,  
de una capacidad de almacenaje de 16KB. Los incrementos de  
almacenaje o memoria que exceden de la capacidad de 128KB  
10 de las memorias interior y exterior exigen la adición de  
la unidad de almacenaje o memoria asíncrona de la fig. 10,  
que proporciona direcciones de acceso por encima de los  
128KB y pueden llegar hasta un máximo de 16 millones de  
grupos de bitios de memoria física.

15 La máxima accesibilidad estática de la máquina,  
disponible para todos los programas concurrentes cuando  
todos los registros de segmentación estén cargados con  
distintas direcciones de acceso de bloque físico, es de  
2<sup>19</sup>K grupos de bitios, y viene determinada por la direc-  
20 ción de acceso de entrada, de 19 bitios, vista en la fig.  
1A, cuando la AAK de tres bitios va como apéndice de la  
dirección de acceso aparente de programa, de 16 bitios,  
dando así la dirección de acceso lógica de entrada de má-  
quina, de 19 bitios, que va al traductor. Un solo programa  
25 puede tener una accesibilidad que va desde uno a tres espa-  
cios de acceso diferentes, definidos en las tres secciones  
del AKR: por ejemplo, ISK, OPIK y OP2K, para una accesibi-  
lidad estática total que va desde 64K a 192K grupos de bi-  
tios.

30 Así, para una memoria principal física que tenga

1       entre 512K y 16M (16 millones) de grupos de bitios, es po-  
sible seleccionar para acceso sólo hasta 512K grupos de bi-  
tios en una operación de carga dada cualquiera de los re-  
gistros de segmentación; esto es lo que se define como  
5       accesibilidad máxima estática de la máquina. Por lo tanto,  
la selección para acceso sobrepasando el máximo estático  
de 512K grupos de bitios exige una recarga de los regis-  
tros de segmentación, por parte de los medios de programa-  
ción para obtener accesibilidad a otras áreas de la memo-  
10       ria principal que puedan cargarse o estar cargadas.

La accesibilidad estática puede extenderse o ampliarse fácilmente mediante el recurso de añadir más bitios al tamaño de la clave de acceso que hay en el AKR y en los circuitos asociados, con el fin de soportar un número correspondientemente mayor de grupos o paquetes de re-  
15       gistros de segmentación.

Una vez instalado un traductor en el sistema, como se indica en la fig. 1A, su uso viene controlado por un bitio 14 del vocablo de estado del ordenador (PSW) que está controlado por unas líneas de salida del descodificador de ROS del ordenador (véase la fig. 4), bajo el control de la instrucción de habilitar/inhabilitar ilustrada en la  
20       fig. 13A. El bitio 14 de la instrucción de habilitar/inhabilitar indica si el traductor está o no seleccionado en el sistema, y el bitio 7 indica si va a estar habilitado (en acción) o inhabilitado (fuera de acción). El circuito de la fig. 10 controla si el traductor está habilitado o no.  
25       Si el traductor no está habilitado, y si el bitio de SP está en la instrucción ilustrada en la fig. 13A, se usa el  
30       circuito de control de protección de memoria no traducible,

1 ilustrado en la fig. 11. Cuando se necesite sólo una pequeña  
la accesibilidad, y el tratamiento más rápido posible, puede  
de inhabilitarse (dejarse fuera de acción) el traductor.

Las figs. 9A y 9B ilustran con detalle los circuitos,  
5 barras colectoras y líneas de enlace contenidos en el traductor 59 del sistema de la fig. 1C, como sigue:

IV.E.1. Enlace de ordenador y traductor

1) Barra colectora 901 de acceso a memoria. Tiene 15 líneas que conectan al traductor la dirección de  
10 acceso lógica de programa contenida en el registro de acceso a la memoria (SAR) del ordenador. Tras la traducción de la dirección de acceso, los cinco bits más significativos traducidos se devuelven al ordenador para uso en la obtención de acceso a la memoria interna 51, según necesidades. Los diez bits menos significativos (bits de campo D) no necesitan traducción.

2) Barra colectora 902 de datos de memoria para almacenaje. Incluye 16 líneas de datos más dos líneas de  
20 paridad. Transfiere los datos de memoria y el contenido de los registros de segmentación desde el ordenador al traductor.

3) Barra colectora 903 de datos de memoria de almacenaje. Incluye 16 líneas de datos más dos líneas de paridad. Transfiere los datos de memoria desde el traductor  
25 y el contenido de los registros de segmentación (SR) al ordenador.

4) Barra colectora de claves activas de acceso. Estas tres líneas transfieren la AAK desde el circuito selector de prioridad de almacenaje o memoria de la fig. 3C  
30 al traductor, para seleccionar el grupo particular de SR

1 en el traductor.

5) OP 0 de inscribir en memoria. Línea sola que viene del ordenador y señala al traductor que en la memoria va a producirse una operación de inscribir en la batería de bitios de más a la izquierda del vocablo de datos en curso que, en un momento dado, esté en la barra colectora 902 de datos de memoria para almacenaje. Esta línea está controlada por el estado de cero del bitio 23 de orden más bajo contenido en la dirección de acceso física de 24 bitios.

6) OP 1 de inscribir en memoria. Línea sola que viene del ordenador al traductor para señalar que se va a efectuar una operación de inscribir en la memoria, en la batería de bitios de más a la derecha del vocablo en curso, presente en la barra colectora de datos de memoria para almacenaje. Esta señal está controlada por el estado de uno, también del bitio 23 de orden más bajo contenido en la dirección de acceso física de 24 bitios.

7) Habilitar traductor. Línea sola que transmite una señal del ordenador al traductor, con el fin de habilitar el traductor para desempeñar sus funciones de traducción. Está controlada por la instrucción de habilitar/inhabilitar.

8) Petición de almacenaje al traductor. Esta línea, sola o individual, comunica una señal del ordenador que pide al traductor que traduzca la dirección de acceso lógica que hay en la barra colectora de acceso de memoria. Automáticamente se corre o salta un microciclo (220 nanosegundos) para dejar que el traductor tenga acceso al registro de segmentación apropiado, obtenga la dirección física de

1 acceso y determine si ha de hacerse referencia a la memoria interior, la exterior o la asíncrona.

5 9) Impulsos de sincronismo A, B, C y D. Estas cuatro líneas transmiten unos impulsos de regulación de tiempo del ordenador, de 55 nanosegundos, que proporcionan sincronismo entre el ordenador y el traductor.

10 10) Dar paso al SAR del traductor. Esta línea señala que el traductor ha colocado los cinco bitios más significativos de la dirección de acceso física de almacenaje traducida, en la barra colectora de acceso a la memoria, 55 nanosegundos después de activada esta señal. Indica al ordenador que ha de dar paso a los bitios de barra de acceso 00...04 de la dirección de acceso traducida, hasta la unidad de memoria interior.

15 11) Ciclo de memoria interior. Esta línea proporciona una señal, generada en el traductor, que indica al ordenador que suministre señales de establecimiento de secuencia de almacenaje a la memoria interior 51, con cada nueva dirección de acceso física. Si se va a usar un ciclo de memoria exterior o de asíncrona (OSC o ASC), esta línea se hace inactiva, de modo que no resulta seleccionada la memoria interior.

20 12) Memoria de traductor ocupada. Esta línea lleva una señal generada por el traductor, la cual indica al ordenador que detenga su "reloj". Esta línea se activa solamente por referencias a la unidad de memoria asíncrona 53. Una vez que el traductor ha obtenido la respuesta apropiada de la unidad de memoria asíncrona 53, esta línea se desactiva, y el reloj empieza a contar otra vez, hasta completar el ciclo de almacenaje o memoria. Esta detención

25

30

1 del reloj de memoria por efecto de una operación de la uni-  
dad de memoria asíncrona es lo que hace asincrónico el fun-  
cionamiento de la misma, y su ciclo de acceso más largo  
5 que el ciclo de acceso de una u otra de las unidades de me-  
moria interior o exterior, 51 o 52.

13) Traductor instalado. Esta línea lleva una se-  
ñal de generador de traductor, que informa al ordenador  
de que el traductor 59 ha sido instalado en el sistema.

10 14) Acceso de memoria al traductor no válido  
(ISA de traductor). Esta línea lleva al ordenador una se-  
ñal, generada por el traductor, informándole de que la di-  
rección de acceso lógica enviada al traductor no es válida,  
y entonces aparece una verificación de programa (PCK).

15 15) Verificación de protección de traductor. Es-  
ta línea lleva al ordenador una señal, generada en el tra-  
ductor, indicándole que se ha intentado inscribir el esta-  
do del problema en la memoria, en un bloque cuyos regis-  
tros de segmentación tienen puesto a "1" su bitio 14 de ex-  
clusiva lectura, lo que indica que se permite el estado de  
20 exclusiva lectura.

16) Ciclo de estado supervisorio o "robo" de ci-  
clo. Esta línea lleva al traductor una señal generada en  
el ordenador, para que aquél no haga caso del bitio 14 de  
exclusiva lectura presente en el registro de segmentación  
25 seleccionado para acceso, porque la petición en curso, de  
acceso a la memoria, ha sido hecha, sea por el supervisor,  
sea por un subcanal de I/O.

17) Secuencia de fin de ciclo. Esta línea lleva  
una señal generada en el ordenador, que informa al traduc-  
tor de que está terminando su ciclo de almacenaje o memo-  
30

1 ria.

5 18) Ciclo de registros de segmentación. Esta línea lleva una señal generada en el ordenador, que avisa al traductor de que van a ser activados los registros de segmentación (SR). Se usan también las líneas de OP 0 de inscribir en memoria y OP 1 de inscribir en memoria para indicar si el ciclo es de leer o de inscribir, como parte de una instrucción de SR de entrega o de una instrucción de SR de carga, respectivamente.

10 IV.E.2. Enlace de traductor y memoria parcial exterior

El enlace del traductor (XLATOR) con la unidad de almacenaje o memoria exterior se detalla en la fig. 9B, e incluye las líneas siguientes:

15 1) Líneas de selección de fichas. Estas cuatro líneas están respectivamente indicadas o identificadas como líneas CARD SEL de 80K, 96K, 112K y 128K, para seleccionar una ficha de 16K grupos de bitios en la memoria exterior.

20 2) Líneas TCSX y TCSY. Estas seis líneas señalan las coordenadas X e Y de la ficha seleccionada, para elegir una formación o lista particular de la ficha.

25 3) Líneas de inscribir grupos de bitios 0 y 1. Estas líneas son de envío de impulsos de muestreo de inscribir a las cuatro fichas de la memoria exterior, para inscribir un grupo de bitios.

30 El traductor, al obtener la dirección física de acceso desde el registro de segmentación apropiado, determina si hay que hacer referencia a la unidad de memoria interior, la exterior, o la asíncrona, y pondrá en secuencia las líneas IF de enlace del traductor con la memoria

1 exterior sólo si viene indicado un ciclo de memoria ex-  
terior. Los puentes instalados con los controles de memo-  
ria exterior en la fig. 9B indican cuál o cuales de las  
5 cuatro fichas están instaladas en la unidad de memoria ex-  
terior.

IV.E.3. Enlace de traductor y memoria asíncrona.

Las líneas de enlace del traductor (XLATOR) con  
la memoria asíncrona, indicadas en las figs. 9A y 9B, son  
las siguientes:

10 1) Salida de datos y paridad de la memoria asín-  
crona. Estas 16 líneas de datos y dos líneas de paridad  
constituyen la barra colectora de datos de almacenaje que  
va a la unidad de memoria asíncrona.

15 2) Llegada de datos y paridad de la memoria asín-  
crona. Estas 16 líneas de datos y dos líneas de paridad  
constituyen la barra colectora de almacenaje de datos que  
va desde la unidad de memoria asíncrona al ordenador y al  
canal.

20 3) Salida de SAR superior de la memoria asíncro-  
na. Estas 13 líneas llevan los 13 bitios más significati-  
vos de la dirección física de acceso, que constituyen la  
dirección de acceso de bloque en la unidad de memoria asín-  
crona. Comprenden los bitios 0...12. de SAR superior indi-  
cados en el ciclo de memoria asíncrona de la fig. 9G.

25 4) Salida de SAR inferior de la memoria asíncro-  
na. Estas diez líneas llevan los diez bitios menos signifi-  
cativos 13...22 del ciclo de memoria asíncrona (ASC), pero  
no el bitio 23 del ASC de la fig. 9G. Los bitios 13...22  
se dirigen para acceso a un vocablo contenido en el bloque  
30 de selección.

1                   5) Inscribir grupo de bitios 0. Esta línea lleva  
la posición 23 de bitio más bajo (de menor valor significa-  
tivo) de la dirección física de acceso, para indicar si el  
grupo de bitios de más a la izquierda, del vocablo selec-  
5                   cionado para acceso, va a ser una operación de almacenar  
durante el ciclo de memoria asíncrona.

                  6) Inscribir grupo de bitios 1. Esta línea infor-  
ma a la memoria asíncrona de que el grupo de bitios de más  
a la derecha en el vocablo en curso seleccionado para acce-  
10                  so va a tener una operación de almacenar durante el ciclo  
de memoria asíncrona.

                  7) Salida de selección de memoria asíncrona. Es-  
ta línea indica al módulo de memoria seleccionado para  
acceso que empiece un ciclo de almacenaje. Esta línea de  
15                  salida de selección se activa tan sólo durante un ciclo de  
memoria asíncrona, y cuando el traductor no ha detectado  
ninguna dirección lógica de acceso de instrucción ni ningun-  
a verificación de protección.

                  8) Reloj de enlace, y reloj de enlace a 90°. Es-  
20                  tos dos ciclos de reloj identificados tienen un período  
de 440 nanosegundos con un ciclo de trabajo del 50%. Estos  
ciclos de reloj están desfasados entre sí 90°, y están ac-  
tivos únicamente mientras está activa la línea de salida  
de selección. Estos ciclos de reloj pueden ser usados por  
25                  la unidad de memoria asíncrona para regulación de tiempo o  
sincronismo dentro de la unidad, para resolver rivalidad  
de renuevo, para retener o bloquear datos y para generar  
respuestas en los instantes apropiados.

                  9) Llegada de respuesta. Esta línea recibe una  
30                  señal, procedente de la unidad de memoria asíncrona, de que

1 el lugar seleccionado para acceso está instalado.

5 10) Impulso de habilitación de inscribir. Esta línea se activa durante la parte última de un ciclo de inscribir que va al módulo de memoria asíncrona seleccionado, después de recibida por el traductor la señal de llegada de respuesta. La línea de impulso de habilitación de inscribir se activa sólo mientras está activada la línea de salida de selección.

10 11). Final de ciclo normal de la memoria asíncrona. Esta línea proporciona un impulso de muestreo si la línea de llegada de respuesta recibe señal de la memoria asíncrona. La memoria asíncrona seleccionada lo usa como acuse de recibo, para efectuar la reposición de cualquier circuito de cerrojo activado durante el ciclo y para prevenir la reselección durante el mismo ciclo, durante la caída de la señal de salida de selección.

15

#### IV.E.4. Selección de registros de segmentación

20 Los circuitos de control de registros de segmentación se ilustran con detalle en la fig. 9C. Un registro de segmentación (SR) se selecciona mediante un método de reducción. Primero se selecciona en todos los grupos o paquetes la posición de registro requerida, obteniendo acceso para ello a todos los registros con los bitios 0...4 de orden superior de la dirección lógica de acceso aparente del programa, de modo que el registro seleccionado de cada grupo o paquete está en las salidas de los ocho grupos o paquetes. Luego se usan los bitios de AAK para seleccionar grupo entre los registros seleccionados que se están tomando como salida de las ocho grupos, para reducir la selección al registro particular requerido. Esto se hace aplicando prime

25

30

1 ro el estado del bitio 2 de AAK entre los SR seleccionados,  
para reducir la selección a cuatro de estos SR, sean de las  
pilas pares o de las impares. Las líneas de bitio 1 de AAK  
real o positiva (T) y complementaria o negativa (C) se apli  
5 can entonces para seleccionar uno de dos grupos de salidas  
de paquete, que serán las salidas de los paquetes 0,1 y 4,5,  
o bien de los paquetes 2,3 y 6,7. (La coma (,) significa  
disyuntiva ("o") entre sus números de paquete, en esta no-  
tación. Así, se dará salida a un par de registros, que se-  
10 rán de los paquetes 0,1 y 4,5 si el bitio 1 de AAK tiene  
el estado de "0", o bien el par será de los paquetes 2,3  
y 6,7 si el bitio 1 de AAK tiene el estado de "1". El par  
resultante se reduce aún más, a un solo registro, mediante  
el estado del bitio de selección alto-bajo de SR (bitio 0  
15 de AAK) aplicado al concentrador o "embudo" 921 de dos  
vías de la fig. 9A, que elige entre el par de paquetes o  
grupos seleccionado, dando salida a uno solo de los paque-  
tes o grupos, que es el que da el registro restante selec-  
cionado, el cual es el registro requerido.

20 IV.E.5. Controles de carga/entrega de registros de segmen-  
tación

La fig. 8A ilustra el funcionamiento de las ins-  
trucciones de carga/entrega de los registros de segmenta-  
ción (SR). La fig. 17 ilustra los controles de almacenaje  
25 o memoria del ordenador y las figs. 9A y 9B contienen los  
controles de traductor pertinentes, usados en la ejecución  
de estas instrucciones.

En la fig. 8A, la instrucción de carga de SR con-  
trola la activación de una dirección de acceso física de  
30 bloque en un SR seleccionado de un vocablo al que se ha te-

1 nido acceso en la memoria principal. La instrucción de entrega o almacenaje de SR controla la acción de copiar el contenido de un SR seleccionado, almacenándolo en un vocablo al que se ha tenido acceso en la memoria principal.

5 El formato de 16 bitios de cada instrucción de carga o entrega de registro de segmentación está designado por un código de OP de cinco bitios y por un campo modificador de tres bitios, en las posiciones de bitio 6...4 y 13...15, respectivamente.

10 El bitio X de la posición de bitio 12 de la instrucción de SR designa si la operación de la instrucción es de carga o de entrega. Si X se pone a "0", el contenido del vocablo seleccionado para acceso en la memoria se carga o introduce en el registro de segmentación seleccionado. Si el bitio X se pone a "1", el contenido del registro de segmentación seleccionado es, entonces, el que se entrega o almacena en el vocablo seleccionado para acceso.

15 El campo R de las posiciones de bitio 5...7 se dirige para acceso a un registro de uso general (GPR) que contiene la dirección de acceso del registro de segmentación seleccionado para carga o para entrega. En el GPR, el campo de claves que hay en las posiciones de bitio 5...7 es un número de grupo o paquete, que designa o identifica el grupo seleccionado, y las posiciones de bitio 0...4 del GPR contienen un número de registro de segmentación, que 20 identifica el SR seleccionado que se va a cargar, o se va a entregar.

25 El vocablo seleccionado para acceso en la memoria principal se localiza mediante una dirección de acceso lógica generada usando el campo de RB en las posiciones de bitio 30

1      tio 8 y 9 que designan un registro de base; y el campo de  
modo de acceso (AM), de los bitios 10 y 11, designa si la  
instrucción va a ir seguida de un vocablo de AM. El conteni-  
do del vocablo de AM (si lo hay) y del registro de RB se  
5      combinan, generando la dirección de acceso efectiva (esto  
es, la aparente del programa) del vocablo de memoria prin-  
cipal que va a ser, sea cargado, sea entregado o almacena-  
do, mediante la ejecución de la instrucción. Si el sistema  
está en el modo de traducir, la dirección de acceso efecti-  
10     va se da como entrada al traductor en las figs. 9A y 9B, en  
unión de la AAK, constituyendo una dirección de acceso lógi-  
ca de entrada de máquina. El traductor pone en salida la  
dirección de acceso física de 24 bitios, para obtener acce-  
so al vocablo de memoria seleccionado para acceso. Así, es  
15     posible que el SR que va a ser cargado tenga su contenido  
usado en una operación de traducción, antes de que la ins-  
trucción de carga de SR cambie su contenido trasladándolo  
a una dirección de acceso física de bloque diferente.

Si el ordenador no está en el modo de traducción,  
20     la dirección de acceso efectiva generada es la dirección de  
acceso física en la memoria principal.

Los bitios 13 y 14 del vocablo seleccionado para  
acceso en la memoria principal contienen los puntos de acti-  
vación del bitio V de validez y del bitio R de exclusiva  
25     lectura que se van a cargar o introducir en el SR con el fin  
de controlar su funcionamiento siempre que se usen para una  
traducción solicitada.

La fig. 17 ilustra los mandos o controles de memo-  
ria del ordenador usados para ejecutar las instrucciones de  
30     carga y entrega en los registros de segmentación. Estos con-

1 troles del ordenador generan un ciclo de registro de segmentación que es utilizado por el traductor en las figs. 9A y 9B para efectuar una carga o entrega en SR. Una instrucción de carga o entrega de registro de segmentación ob

5 tiene acceso a un microcódigo del ordenador, que genera una señal de petición de registro de segmentación seguida de una señal de petición de ordenador para un ciclo de almacenaje o memoria. La primera señal activa un cerrojo 481 de "sigue petición de SR", en la fig. 17, recibándose una

10 señal de SR por medio de una puerta y o de coincidencia 482 mientras se halla condicionada por la salida real o positiva (T) del cerrojo 481. Por la activación de la puerta y o de coincidencia 482 se activa, durante un ciclo, un cerrojo de fase de SR (PH), para activar la puerta y o de

15 coincidencia 484 cuando está instalado el traductor. La salida de la puerta de coincidencia 484 activa a su vez un cerrojo 486 de petición de SR, para indicar que hay un registro de segmentación que necesita ser seleccionado para acceso. La salida real (T) del cerrojo 486 habilita entonces

20 una puerta de coincidencia 488 dando un ciclo de SR, siempre que no exista petición alguna de ciclo de CS, ya que los ciclos de CS tienen máxima prioridad. El ciclo de SR va en segundo lugar, en cuanto a máxima prioridad, y un ciclo normal de almacenaje o memoria de ordenador es el último en prioridad (el de prioridad "más baja"), debido a

25 la acción de una puerta y o de coincidencia 493 que genera una señal de ciclo de memoria de ordenador por la línea 494, sólo cuando no se la da como entrada señal alguna de petición de SR procedente de la salida de complemento (C) del cerrojo 486. La otra entrada de la puerta de coinciden-

30

1    cia 493 está conectada a la salida real (T) del cerrojo  
490 de ciclo de ordenador.

5            Cuando la puerta y o de coincidencia 488 está ha-  
bilitada por la salida real (T) del cerrojo 486 durante la  
ejecución de una instrucción de carga o entrega de SR, su  
otra entrada está recibiendo la señal de salida real o po-  
sitiva (T) procedente del cerrojo 490 de ciclo de ordena-  
dor, que se activa siempre que hay una petición de ciclo  
de almacenaje o memoria por parte del ordenador. Así, el  
10   cerrojo 490 es activado por una salida procedente de un  
circuito y o de coincidencia 491 que tiene una de sus en-  
tradas condicionada por una señal de ausencia de ciclo de  
"robo" u ocupación de ciclos, que aparece mientras no hay  
pendiente petición alguna de acceso a memoria de I/O. La  
15   otra entrada de la puerta y o de coincidencia 491 está con-  
dicionada por la salida real (T) de un cerrojo 492 de peti-  
ción de almacenaje de ordenador, que se activa siempre que  
hay una petición de ordenador para un ciclo de almacenaje  
o memoria.

20            Durante la existencia de la señal de ciclo de SR  
en la línea 923, el SR que se va a elegir es seleccionado  
para acceso por la dirección de acceso en curso, en un mo-  
mento dado, en el SAR del ordenador. La operación de selec-  
ción de SR se produce entonces de la manera descrita al  
25   analizar el traductor, bajo el epígrafe aquí titulado "Se-  
lección de registros de segmentación".

30            Como antes se ha dicho, el que se produzca una  
operación de carga o de entrega (almacenaje) depende de  
la activación del bitio X de la instrucción; para hacer es-  
to, el bitio X elige una microrrutina de carga o de entre-

1 ga, tomándola de la ROS del ordenador. Para una carga de  
SR, la microrrutina generará primero una petición de memo-  
ria de ordenador, durante la cual se va a buscar el voca-  
blo de instrucción de SR elegido para acceso en la memoria  
5 principal, y se pone en el SDR del ordenador. La microrru-  
tina emite luego la señal de petición de L/S SR, seguida  
de otra petición de ordenador para un ciclo de almacenaje,  
que hace que el circuito de la fig. 17 funcione como más  
arriba se ha explicado, generando un ciclo de SR que selec-  
10 ciona el SR y hace que el contenido del SDR se traslade al  
SR seleccionado.

La instrucción de entrega de SR opera de modo si-  
milar, pero con una secuencia de microrrutina inversa. Es-  
to es, primero activa el circuito de la fig. 17 generando  
15 un ciclo de SR durante el cual se elige el SR y se trasla-  
da su contenido al SDR. A continuación, la microrrutina  
emite una petición de memoria de ordenador normal, que ha-  
ce que el contenido del SDR se traslade al lugar seleccio-  
nado para acceso en la memoria principal.

#### 20 IV.E.6. Controles de unidad de traductor por anticipado

La operación de traducción de direcciones de acce-  
so hace uso de un ciclo de reloj de ordenador, de tiempo  
de acceso, para seleccionar y tomar por lectura el conteni-  
do de un registro de segmentación (SR), al generarse la  
25 parte de acceso del bloque de la dirección física de acce-  
so, partiendo de los bitios 0...4 de la dirección de acce-  
so lógica. Si no fuese por la característica de anticipa-  
ción, se necesitaría otro ciclo de tiempo de acceso del  
reloj del ordenador para descodificar la dirección de acce-  
30 so de bloque leída, con el fin de seleccionar la barra co-

1 lectora de enlace a aquella de las unidades de memoria re-  
querida: esto es, la memoria interior, la exterior o la  
asíncrona, a la cual debe transmitirse la dirección de  
acceso física de bloque. La característica de anticipación  
5 elimina la necesidad de disponer de un tiempo adicional,  
cualquiera que éste sea, para seleccionar la barra colec-  
tora de enlace requerida, y elimina la necesidad de desco-  
dificar la dirección de acceso de bloque tomada por lectu-  
ra, para determinar la unidad de memoria requerida. Por  
10 tanto, reduce el tiempo de acceso traducido, en un ciclo  
de reloj del ordenador. Durante la operación de traducción,  
los bitios D de las posiciones 5...15 de la dirección de  
acceso lógica se están poniendo continuamente en la barra  
colectora de la memoria principal, procedentes del SAR del  
15 ordenador, y por tanto estos bitios D no suman tiempo al-  
guno adicional a la operación de traducción; se aplican  
simultáneamente a las tres unidades de memoria.

La característica de anticipación proporciona  
dos posiciones de bitio, designadas como de bitios de anti-  
20 cipación, con cada registro de segmentación (SR) de cada  
uno de los ocho grupos o paquetes de la fig. 9A. Cada SR  
está construido como se ilustra en la fig. 6. Los dos bi-  
tios de anticipación son generados y puestos en un SR en  
el momento en que se carga o introduce un número de bloque  
25 en el registro de segmentación por parte de los controles  
de memoria del ordenador ilustrados en la fig. 17, que de-  
sempeñan o ponen en ejecución las operaciones indicadas  
en la fig. 8A. Los bitios de anticipación indican cuál de  
las unidades de memoria (interior, exterior o asíncrona)  
30 contiene el bloque correspondiente al número de bloque que

1 hay en el SR. Después de activados los bitios de anticipación y cargados los SR, los bitios de anticipación se usan, con cada acceso de memoria traducido, para permitir que la unidad de memoria requerida quede determinada y seleccionada en paralelo con la traducción a equipo físico de la dirección de acceso lógica de entrada. El número de bloque puede ser leído, pero no los bitios de anticipación, por un programa que use una instrucción de entrega o almacenaje de SR.

5  
10 Los bitios de anticipación están codificados de la manera indicada en la fig. 9G. El bitio de anticipación de la izquierda se pone a "1" si el bloque asignado está en la unidad de memoria interior. Si el bitio de la izquierda se pone a "0", el bloque asignado está en una u otra de las unidades de memoria, exterior o asíncrona. El punto o nivel de activación del bitio de anticipación de la derecha indica si es la unidad de memoria exterior o la asíncrona la que contiene el bloque. Si el bitio de la derecha es un "0", el bloque está en la unidad de memoria asíncrona.

15  
20 Los bitios de anticipación son usados sólo por el equipo físico, pero no son vistos por el programador ni por el usuario del sistema. Existen sólo con el fin de acelerar el acceso a la memoria, y no forman parte de la operación de traducción.

25  
30 El equipo físico para poner en acción los bitios de anticipación se halla representado en la fig. 9C, Incluye unos descodificadores 901 y 902 que reciben ambos la porción de orden superior del número de bloque asignado que se está cargando o introduciendo en un SR por efecto de la

1 ejecución de una instrucción de registro de segmentación,  
de la manera descrita para la fig. 8A. El SR seleccionado  
está en una de las pilas 0...7 de la fig. 9C. El número de  
5 bloque viene proporcionado por la instrucción de carga del  
registro de segmentación, que tiene acceso al número de  
bloque asignado de programa desde el vocablo de almacena-  
je en memoria principal seleccionado para acceso por la  
instrucción, número de bloque que se pone en el SDR en la  
10 fig. 4. El ordenador proporciona luego el número de blo-  
que asignado, desde el SDR a la barra colectora de ordena-  
dor, que en la fig. 3C se conecta a la barra colectora de  
datos de memoria para almacenaje, en la fig. 9A, que es  
la que proporciona la entrada de SR para carga en cual-  
quier registro de segmentación seleccionado para acceso  
15 en los grupos 0...7. El camino o trayecto de carga de SR  
se ilustra con detalle en la fig. 9C, en la que las lí-  
neas 00...07 de entrada de SR se usan para generar las se-  
ñales de bitio de anticipación. Las líneas 00...06 van co-  
nectadas a la entrada del descodificador 902 de "todos  
20 ceros", y las líneas 00...07 están conectadas a la entra-  
da del descodificador 901 de "todos ceros". Cada descodi-  
ficador de "todos ceros" dará como salida una señal de  
anticipación de estado lógico "1" si lo que recibe son  
todos ceros, y pone en la salida una señal de estado de  
25 "0" si alguna de las entradas está a "1". Así, si el des-  
codificador 901 detecta que todos son ceros en las posi-  
ciones de bitio 00...07, pone como salida un bitio "1" en  
la posición de bitio de anticipación de más a la izquier-  
da para el SR seleccionado para acceso en las pilas; pero  
30 si alguno de los bitios de entrada 00...07 contiene un "1"

1 el bitio de anticipación de más a la izquierda se pone en-  
tonces a "0". El descodificador 901 indica si el bloque  
físico cuya dirección de acceso se está cargando o intro-  
duciendo está situado o no en la unidad de memoria inte-  
5 rior, lo que determina si se va a proporcionar una señal  
de ISC (ciclo de memoria interior).

Si el descodificador 902 detecta todos ceros  
en las posiciones de bitio 00...06 de entrada de SR, es el  
bitio de anticipación de más a la derecha el que entonces  
10 se pone a "1". La base lógica es que si el bitio de anti-  
cipación de la izquierda indica que la unidad de memoria  
interior no es la pertinente, y si los bitios 00...06 son  
todos ceros, el descodificador 902 indica entonces si  
existe o no un bitio "1" en la posición de bitio 07 de la  
15 dirección física de acceso que se va a cargar, lo que in-  
dica si el bloque asignado está en la unidad de memoria  
exterior, o está en la unidad de memoria asíncrona.

Por consiguiente, todo SR que se esté cargando  
tiene sus bitios de anticipación activados de modo que  
20 indica la particular unidad de memoria que contiene el  
bloque asignado.

La operación de carga de SR tiene lugar durante  
un ciclo de SR, señalado en la línea 923 que va al concen-  
trador o "embudo" 922 de la fig. 9A desde los controles  
25 básicos indicados con detalle en la figura 9D-2.

La dirección de acceso del grupo o paquete es  
dada como entrada al concentrador 922 en las líneas 05...  
07 de la barra colectora 901 de acceso a memoria, de la  
fig. 9A. La dirección de acceso del registro de segmenta-  
30 ción (SR) viene dada en las líneas 00...04 de la barra co

1 lectora 901 de acceso a memoria, por medio del registro de  
fase (PH), a los grupos 0...7 de SR de la fig. 9A. Estas  
señales de acceso son puestas en las líneas 00...07 de la  
5 barra 901 de acceso de memoria procedente de la figura 3C,  
que recibe la barra de acceso de memoria desde el SAR de  
la fig. 4. El SAR recibe su contenido desde el GPR selec-  
cionado por la instrucción de carga de SR en la fig. 8A,  
en la que los bitios 0...7 de GPR son los bitios de acceso  
de SR presentes en las líneas 00...07 de la barra colecto-  
10 ra 901. (El GPR, o registro de uso general, es selecciona-  
do en el grupo 431 de niveles de la fig. 4 por una direc-  
ción de acceso de grupo de niveles desarrollada a partir  
del campo de GPR contenido en la instrucción de carga de  
SR).

15 El concentrador 922, entonces, da salida a la di-  
rección de acceso del SR seleccionado, por sus líneas de  
salida, bitio 2 de AAK, bitio 1 de AAK y línea 935 de se-  
lección alta-baja de SR. La línea 935 proporciona una en-  
trada a los controles básicos de la fig. 9B. Estos circui-  
20 tos se representan con detalle en la fig. 9D-2, que genera  
las señales presentes en las líneas 932 y 933, las cuales  
van conectadas a los grupos 0...7 de registros de segmen-  
tación como bitio del orden más bajo de la dirección de  
acceso del grupo, el cual corresponde también a la forma  
25 real y complementaria de la señal presente en la línea 07  
de la barra 901 de acceso de memoria. Las señales presen-  
tes en las líneas de bitio 1 de AAK corresponden a la forma  
real y de complemento de las señales presentes en la línea  
06 de barra colectora; y la señal presente en la línea de  
30 bitio 2 de AAK corresponde a la señal presente en la línea

1 05 de barra colectora.

En un acceso a la memoria, en el modo de traducción, es elegido un registro de un grupo por el mismo método de selección por concentración descrito en el apartado titulado "Selección de registros de segmentación". Los SR seleccionados por este método de concentración tienen cada uno sus dos bitios de anticipación tomados por lectura al mismo tiempo que se toman por lectura sus otros 16 bitios. Los bitios de anticipación usan el concentrador 931 separado, porque opera más deprisa que el concentrador 921, más ancho, el cual selecciona los bitios de acceso de bloque para el mismo SR. La salida del concentrador 931 es una, seleccionada, de las tres líneas de salida que señalan un ciclo de memoria elegido: un ISC, un OSC o un ASC. El ordenador utiliza las líneas 54A de señal de ISC que vienen del ordenador, por medio de los circuitos 56 de selección de prioridad de almacenaje, a la unidad de memoria interior 51 de la fig. 10. Como las líneas 54A existen, tenga o no traductor el sistema, la línea de control de ciclo de memoria interior (ISC) del concentrador 931 está conectada al ordenador, para poner en actividad una operación de acceso de ISC. Las líneas de ciclo de memoria exterior (OSC) y ciclo de memoria asíncrona (ASC) van a las figs. 9E y 9F-1, respectivamente, para controlar la selección de direcciones de acceso en sus respectivas unidades.

#### IV.F. Característica de igualar espacios de operando

Se prevé una característica denominada de igualar espacios de operando (EOS), que proporciona un estado o condición que se pone en el AKR con el fin de controlar una condición especial de accesibilidad, en la cual todas las

1      búsquedas de operando son forzadas a aparecer dentro del  
espacio de acceso de OP2K, y el espacio de acceso defini-  
do por la clave de acceso de OPlK no se tiene en cuenta,  
aun cuando no varíe la clave en la sección de registro de  
5      OPlK del AKR.

El estado de EOS del sistema se habilita por me-  
dio de la instrucción de habilitar representada en la fig.  
13A, al activarse su bitio 13 de EOS. Al ejecutarse esta  
instrucción, el bitio de EOS activado hace que se active  
10      de modo correspondiente la sección de registro de EOS del  
AKR respectivo, al darle entrada desde el descodificador  
de ROS del ordenador de la fig. 4. Cuando el estado de EOS  
está activado, no se modifica ninguno de los puntos o nive-  
les de activación de clave en el AKR. Ahora bien, el espa-  
15      cio de acceso definido en la sección de OPlK no será selec-  
cionado para acceso mientras en el AKR esté activado el  
estado de EOS. La disposición de equipo físico en la fig.  
3D da realidad a la característica de EOS, ya que en ella  
la activación de la línea de EOS procedente del AKR obli-  
20      ga a la AAK a dar salida a la clave OP2K siempre que haya  
una petición de acceso para un operando, sea el OP1 o el  
OP2, producida por la ejecución de una instrucción en el  
ordenador.

Siempre que el estado de EOS sea inhabilitado o  
25      puesto fuera de acción por la ejecución de una instrucción  
de inhabilitar que tenga desactivado su bitio 13 de EOS,  
el valor de clave presente en la sección de registro de  
OPlK vuelve a hacerse operativo, y es seleccionado para  
acceso por cualquier petición de operando OP1.

30      IV.G. Administración de los espacios de acceso mediante  
activaciones de clave en el AKR

1            Cuando la característica de EOS está inhabilitada o fuera de acción, la función de las tres claves de acceso presentes en el AKR es como sigue:

5            Cada clave de acceso cargada en el AKR define un espacio (de direcciones de acceso) al cual puede obtenerse acceso. Cada espacio de acceso es un intervalo de almacenaje o memoria, lógicamente continuo, accesible por medio de la dirección de acceso lógica efectiva sin intervención de ninguna función de administración de recursos programada.

10          Cada espacio de acceso lógico contiene hasta 64K grupos de bitios. Todas las búsquedas de instrucciones se producirán dentro del espacio de acceso definido por la ISK. Todas las lecturas concernientes al operando 1 de datos (según lo definido en la arquitectura de instrucciones de memoria

15          a memoria) se producirán en el espacio de acceso definido por la OP1K (clave de operando 1). (Por definición de la arquitectura, no se produce inscripción alguna para el operando 1). De igual modo, todas las lecturas y las inscripciones concernientes al operando 2 de datos (según lo definido en cada arquitectura de instrucción) se producirá

20          en el espacio de acceso definido por la OP2K.

            Por ejemplo, si  $ISK=OP1K=OP2K$ , la máquina ejecutará con todos los accesos de memoria comprendidos en el espacio lógico de acceso, de 64K grupos de bitios, en la

25          misma dirección de acceso. Si ISK no es igual a OP1K, pero  $OP1K=OP2K$ , la máquina operará con búsquedas de instrucciones que aparezcan en el espacio de acceso de ISK y los accesos de datos que aparezcan en el espacio de acceso de OP2K. Si  $ISK \neq OP1K \neq OP2K$ , la búsqueda de instrucciones se produce

30          entonces en el espacio de acceso de ISK, cada búsqueda de

1 operando 1 se produce en el espacio de OP1K y cada búsqueda  
o entrega de operando 2 se produce en el espacio de  
acceso de OP2K, siendo diferentes los tres espacios. El  
organigrama o esquema de circulación de datos para las  
5 clases de instrucciones en que los tres espacios de acceso  
son diferentes se ilustra en la fig. 2A.

Los valores de las claves contenidas en el AKR sólo pueden ponerse o activarse cuando el ordenador esté en el modo supervisor, esto es, cuando las instrucciones de carga de AKR estén en privilegio.

10

#### IV.H. Carga de AKR en condiciones de interrupción

15 Cuando en el ordenador se producen interrupciones, los valores de las claves de acceso contenidas en el AKR se activan con antelación respecto de los espacios de acceso que puedan ser necesitados por el soporte de programación que manipula la interrupción. En el sistema hay una pluralidad de tipos distintos de interrupción, cada uno de los cuales puede tener su soporte de programación especial, que puede requerir una particular carga o introducción de claves de acceso. Entre las interrupciones de ordenador se incluyen las interrupciones de llamada de supervisor, interrupciones de dispositivo de I/O, interrupciones de verificación de programa o verificación de máquina, interrupciones de seguimiento o rutina de vigilancia de  
20 programa, interrupciones de pupitre e interrupciones de aviso térmico, de corriente. Estas interrupciones de ordenador se denominan a veces interrupciones de clase.

25

Se supone que todas las rutinas de interrupción residen en el espacio de acceso que tiene clave=0; por lo tanto, la ISK debe cargarse con 0 al ocurrir una interrupción

30

1 ción. Como los datos de operando necesarios para manipular  
o tratar una interrupción específica pueden residir en otro  
espacio de acceso, la clave de acceso relativa a los datos  
particulares de la interrupción pueden estar cargados, o  
5 cargarse, en la sección de registro de OPlK. El instante en  
que se activa la clave de OPlK es cuando se produce una in-  
terrupción de clase (esto es, entradas al circuito 402 de  
acceso forzado, de la fig. 4), con antelación respecto a la  
realización de un traslado de memoria a memoria de la in-  
10 formación correspondiente, desde el espacio de acceso de  
interrupción (esto es, el espacio de OPlK) al espacio de  
acceso de OP2K que tiene la clave=0. Por ejemplo, al ocu-  
rrir una interrupción de clase, se guarda o almacena un blo-  
que de estado de nivel (LSB) en el espacio de OP2K que tie-  
15 ne clave=0 (esto es, el OP2K=0), usando búsquedas de datos  
procedentes del espacio de OPlK. El contenido del AKR se  
guarda también en el LSB, en el caso de una instrucción de  
entrega de AKR.

Otras circunstancias en las que todos los valores  
de clave contenidos en el AKR se ponen a cero son: la repo-  
20 sición del sistema, y la carga inicial del programa, duran-  
te las cuales las características de EOS, el traductor y la  
protección de almacenaje están todos inhabilitados o fuera  
de acción.

#### 25 IV.H.1. Interrupción de llamada de supervisor (SVC)

En las operaciones de interrupción de SVC que se  
estudian más adelante se supone que los programas de super-  
visor están en el espacio de acceso de clave=0, y que el  
programa del usuario está en algún otro espacio de acceso,  
30 esto es, clave $\neq$ 0. Se supone también que se requiere una

1 comunicación de datos entre el usuario y el supervisor. Los  
datos deben ser obtenidos del espacio de acceso del usua-  
rio, llevados al espacio de acceso del supervisor y devuel-  
tos o transferidos de nuevo al espacio de acceso del usua-  
5 rio.

La fig. 13B ilustra las operaciones de carga pa-  
ra el AKR en una condición de interrupción por llamada de  
supervisor (SVC). Se supone, durante el estado inicial del  
usuario, que cada una de las tres claves de usuario está  
10 puesta a un valor de clave de 2, y que el campo de EOS es-  
tá puesto a cero. Al ejecutarse una instrucción de llamada  
de supervisor en el ordenador de la fig. 4, un circuito de  
acceso forzado hace que se vaya a buscar y se ejecute una  
secuencia de vocablos de ROS, lo que hace que el ordenador  
15 se ponga en estado supervisorio. Asimismo se almacena un  
LSB, se da salida al contenido de la OP2K, pasándolo al  
contenido de la OPIK, dándose accesibilidad al espacio de  
acceso que tiene los datos implicados en la generación de  
la interrupción, y la línea de puesta en salida de cero  
20 (OG 0) que viene del descodificador de ROS del ordenador  
se activa, pasando al camino de datos del ordenador y reci-  
biendo entrada en las posiciones de OP2K e ISK del AKR.

Los datos se pasan del área de usuario al área de  
supervisor, y luego se ejecuta la instrucción de habilitar  
25 (fig. 13A) con su bitio 13 activado, para dar el estado de  
EOS indicado con el N° 4 en la fig. 13B. Esto hace que to-  
dos los accesos a la memoria se produzcan en el espacio de  
acceso que tiene la clave 0 mientras el programa de super-  
visor se está ejecutando en el estado de EOS, sin perderse  
30 la accesibilidad al espacio de acceso de OPIK.

1 Siempre que el supervisor desee transferir información al área de OPIK, el ordenador emite una instrucción de inhabilitar que tiene por efecto reponer la sección de EOS del AKR; y esto restablece la accesibilidad al espacio  
5 de OPIK. Luego se obtiene el estado indicado con el número 6 en la fig. 13B, intercambiando los campos de OPIK y OP2K para que el supervisor obtenga accesibilidad de entrega al área de OPIK. El supervisor puede entonces pasar los datos desde el área de supervisor al área de usuario. Luego se  
10 devuelve el AKR al estado de usuario (nº 7 en la fig. 13B) mediante carga del estado inicial del AKR desde el LSB.

La fig. 18 ilustra las operaciones que se producen siempre que se emite una instrucción de SVC. Estas operaciones incluyen las de guardar el contenido antiguo y cargar un nuevo contenido en el AKR, como sigue, correspondiéndose los párrafos numerados con los caminos o trayectos designados con un número dentro de un círculo en la figura 18. La ejecución de la instrucción de SVC por parte del ordenador se efectúa del siguiente modo:

20 1) Al principio de la ejecución de la instrucción de SVC, se da paso al contenido del AKR hasta el registro de áreas de trabajo (WAR), por medio de la barra colectora de trayecto de datos de ordenador, mediante activación de la señal OG AKR y de la señal IG WAR desde el descodificador de ROS. Esta operación viene indicada por el traslado del contenido del AKR al TEMPA en la fig. 18, suponiéndose que las claves OPIK, OP2K e ISK se han puesto cada una al valor de clave=3.

25 2) Se da salida a OP2K y se da entrada a OPIK.

30 3) Se pone OP2K=ISK=0.

1                   4) El contenido del registrador de estado de nivel (LSR) se guarda o almacena en el registro transitorio (TEMPB').

5                   5) En el LSR' se habilita su bitio de estado supervisor, se inhabilita su bitio de protección (máscara) de resumen y se inhabilita su bitio de rutina de vigilancia.

10                   6) El registro de acceso de instrucciones (IAR) se incrementa luego en dos, lo que hace que el IAR se dirija al lugar inmediato de almacenaje, donde se sitúa el comienzo de los datos o un "señalador" de los datos.

15                   7) La detección del SVC por parte del ordenador hace que se vaya a buscar el lugar de acceso de almacenaje 0010 en el espacio de acceso de clave=0. Este espacio está previamente definido, incluyendo una dirección de acceso (esto es, un señalador) a un bloque de almacenaje de nivel (LSB), contenida también en el espacio de acceso de clave=0.

20                   8) El señalador de LSB, que está en el lugar 0010, se traslada al SAR de la fig. 4.

                  9) En el lugar de almacenaje del LSB seleccionado para acceso por el SAR, los registros 0...7 IAR, TEMPA, TEMPB y de uso general se entregan o almacenan en el bloque de estado de nivel (LSB).

25                   10) El número de SVC (que identifica el tipo particular de instrucción de SVC) se copia o traslada al R1 desde la instrucción de SVC contenida en el espacio de acceso 3.

30                   11) El contenido del lugar de almacenaje 0012 se traslada al IAR.

1                   12) Empieza la ejecución de la rutina de supervisor a la que se ha tenido acceso desde el lugar 0012. Esta es la rutina pedida por el número 2 de SVC.

5                   El estado resultante de carga de AKR, al principio de la rutina de SVC, es:

OP1K	OP2K	ISK	
OP2K'	0	0	(Nota: OP2K' es el contenido anterior de OP2K)

10                   Las demás interrupciones de clase tendrán un tipo de operación similar como se indica a continuación, con el estado resultante de carga del AKR:

IV.H.2. Interrupción de dispositivo

- 15                   1) Reponer rutina de vigilancia, inhabilitar EOS y activar estados de supervisor.
- 2) Poner ISK=OP1K=OP2K=0
- 3) Poner la dirección de acceso de un bloque de datos de dispositivo en el registro 1.
- 4) Poner en el registro 7 el vocablo ID de interrupción recibido del dispositivo de I/O interruptor.

20                   El estado de carga de AKR resultante es:

OP1K	OP2K	ISK
0	0	0

IV.H.3. Interrupciones de verificación de máquina y de verificación de programa o excepción de "software"

- 25                   1) Reponer rutina de vigilancia, inhabilitar máscara de resumen, inhabilitar EOS y activar o fijar estados de supervisor. Almacenar LSB en espacio de acceso de clave=  
=0

- 30                   2) Poner ISK=OP2K=0
- 3) Almacenar en OP1K la LKSA

- 1 4) Almacenar el contenido del SAR en el registro  
7 (salvo la rutina de vigilancia).

El estado de carga de AKR resultante es:

5 OPIK OP2K ISK  
LKSA 0 0 (Nota: LKSA es la última clave  
que había en el registro  
408 de la fig. 4 al ocu-  
rrir la interrupción)

10 IV. H.4. Interrupción de pupitre e interrupción de aviso  
término de alimentación

1) Reponer rutina de vigilancia, inhabilitar más-  
cara de resumen, inhabilitar EOS y activar estados de super-  
visor.

- 15 2) Almacenar LSB usando la clave de acceso 0.  
3) Activar o poner ISK=OPIK=OP2K=0

El estado de carga de AKR resultante es:

OPIK OP2K ISK  
0 0 0

20 IV. H.5. Interrupciones de rutina de vigilancia

1) Reponer rutina de vigilancia, inhabilitar más-  
cara de resumen, inhabilitar EOS y activar estados de super-  
visor. Almacenar LSB en espacio de acceso de clave=0

- 2) Transferir ISK a la OPIK  
3) Poner OP2K=ISK=0

25 El estado de carga de AKR resultante es:

OPIK OP2K ISK  
ISK' 0 0 (Nota: ISK' es la ISK en el instante  
de la interrupción).

30 V. CIRCUITOS DE PROTECCION DE MEMORIA SIN TRADUCCION

Los circuitos de control de la protección de al-

1 macenaje o memoria sin traducción (NTS), ilustrados en la  
fig. 11, se usan cuando el traductor de recolocación re-  
presentado en las figs. 9A y 9B no está habilitado, o no  
está instalado en el sistema. Esta invención proporciona  
5 una relación de compatibilidad ascendente entre la caracte-  
rística de protección de claves de acceso con traductor  
y la característica de protección de memoria no traducible  
o trasladable. Esto es, los programas y los datos usados  
en un sistema que opere con la característica de protec-  
10 ción de NTS (memoria sin traducción) pueden usarse sin cam-  
bio en una máquina que tenga el traductor de recolocación.  
Esta relación de "migración" o paso de uno al otro de los  
dos tipos de circuitos de protección es muy importante pa-  
ra los usuarios del sistema que deseen empezar con un sis-  
15 tema de almacenaje o memoria relativamente pequeño, poco  
costoso, y pasar luego a un sistema mayor, de memoria am-  
pliada.

Una vez instalado el traductor de recolocación,  
cuando se habilita la protección de NTS se inhabilita o  
20 deja fuera de acción el traductor de recolocación. El es-  
tado de la característica de protección de NTS viene con-  
trolado por las instrucciones de habilitar e inhabilitar  
indicadas en la fig. 13A.

Los circuitos de protección de NTS proveen con-  
25 tra todo acceso no deseado a un lugar de la memoria prin-  
cipal, sea por parte de un ordenador, sea por la de una  
operación de I/O que utilice una dirección de acceso no  
traducida. Con la característica de protección de NTS, la  
memoria principal se divide en 2K bloques de 2048 grupos  
30 de bitios. Cada bloque de la memoria principal está provis-

1 to de un registro de claves de almacenaje o memoria, dis-  
puesto en un paquete 401 en la fig. 11. Cada registro está  
asociado a un determinado bloque de la unidad de memoria  
interior, seleccionado por los cinco bitios de orden supe-  
5 rior de una dirección de acceso física de 16 bitios, que  
es la dirección de acceso aparente del programa, directa-  
mente generada por un programa puesto en ejecución en un  
sistema. Con la característica de protección de NTS, la di-  
rección de acceso aparente del programa es la dirección fi-  
10 sica de acceso; pero, cuando el traductor está habilitado,  
la dirección de acceso aparente de programa forma parte de  
una dirección de acceso lógica de entrada. Cada registro  
tiene por lo menos tres posiciones de bitio para una clave  
de memoria asignada, y un bitio R de exclusiva lectura; y  
15 puede tener también un bitio V de validez (no indicado en  
la figura). La clave de almacenaje de tres bitios tiene las  
posiciones de bitio 0, 1 y 2, que pueden ser cargadas por  
medio de instrucciones usuales de carga de claves de alma-  
cenaje o memoria, por ejemplo, como en el sistema IBM 360.

20 Una parte de comparador de la operación del cir-  
cuito de protección de NTS es similar a la operación del  
circuito de protección de claves de memoria empleada en sis-  
temas usuales, tales como los IBM S/360 o S/370. Ahora bien,  
las demás partes cooperativas de la característica de pro-  
25 tección de NTS proporcionan una disposición con arreglo al  
presente invento, incluida su combinación con los singula-  
res circuitos 333 de selección de AAK, de la fig. 3D.

La operación de comparador hace uso de los bitios  
0...4 de orden superior de la dirección de acceso física de  
30 16 bitios para orientar o modificar por índice el registro

1 de grupo o paquete asociado al bloque de memoria interior.  
Se tiene así acceso a la clave de memoria que hay en el re-  
gistro indicado. Luego se compara la AAK con la clave de  
5 memoria seleccionada del paquete, en el circuito comparador  
de igualdad 402 de la figura 11. Si dan igual en la compara-  
ción, se permite el acceso, siempre y cuando la caracterís-  
tica de protección de NTS esté habilitada y el acceso sea  
una búsqueda o sea un bitio de inscribir y de exclusiva lec-  
tura que esté desactivado. Por consiguiente, la caracterís-  
10 tica de protección de NTS da protección de tipo de acceso:  
por ejemplo, es capaz de dar protección por separado para  
espacios de acceso de OP1K, OP2K, ISK en un ambiente sin  
traducción.

Otras características singulares adicionales de  
15 los circuitos de protección de NTS están en su control de  
las áreas de memoria compartidas, definidas por un valor  
de clave particular, y de los accesos por parte de los sub-  
canales de I/O. El usuario tiene acceso a las áreas de cla-  
ve particulares definidas para el usuario en el AKR del or-  
denador, y todos los usuarios pueden emplear la clave=7 en  
20 cualquier sección de registro del AKR, para definir una  
área común de acceso compartida por los usuarios. El circui-  
to 405 controla los accesos a las áreas compartidas.

El control, singular y único en su género, de  
25 acceso de operación de I/O en el modo de protección de NTS  
viene proporcionado por unos circuitos 404 y 405, que per-  
miten que se haga cualquier petición de acceso de ciclo "ro-  
bado" o de ocupación de I/O, en el área de clave definida  
en su AKR, o en el área de memoria común de clave=7, sin  
30 que el bitio de exclusiva lectura del registro de claves de

1 memoria al que se ha tenido acceso inhiba ningún acceso de  
"robo" de ciclo de I/O. Así, se permite un acceso de ins-  
cripción de I/O, sea cual fuere el punto o condición de ac-  
5 tivación del bitio de exclusiva lectura contenido en el re-  
gistro seleccionado en el paquete 401.

Si el ordenador se halla en el estado superviso-  
rio, esto es, el bitio 8 está activado en el LSR de la fig.  
4, se soslayan los controles de protección de claves de me-  
10 moria, y se permiten todos los accesos a cualquier bloque  
de la memoria principal.

En resumen, el control de espacios de acceso pro-  
porcionado por el AKR se usa si está habilitada la caracte-  
rística de protección de NTS, o bien si se emplea la caracte-  
rística de traductor discrecional. Por lo tanto, la AAK  
15 será una clave de CS o una clave del AKR seleccionada me-  
diante ejecución de cada instrucción de ordenador según lo  
determinado por el tipo de operando que se esté buscando o  
por la instrucción que se esté buscando.

Cuando la característica de protección de NTS es-  
20 tá habilitada, es preciso que sean ciertas una o más de las  
condiciones siguientes, para autorizar un intento de alma-  
cenaje de acceso.

1) La máquina se halla en el estado supervisorio.  
2) La clave de memoria del bloque de acceso es 7.  
25 Si se trata de un intento de almacenaje de inscripción, el  
bitio de exclusiva lectura debe estar inactivo (por ejemplo,  
ser cero).

3) La clave de memoria del bloque de acceso debe  
ser igual a la AAK. Si se intenta efectuar un almacenaje  
30 de inscripción, el bitio de exclusiva lectura debe estar

1. inactivo.

Si no se obtiene ninguna de las condiciones 1), 2) o 3) arriba indicadas, la salida del inversor 407 de la fig. 11 proporciona una señal de supresión de acceso a la memoria, que genera una interrupción de verificación de programa (PCK) que active el bitio correspondiente en el registro de vocablos de estado del ordenador.

Por lo tanto, el estado supervisorio tiene libre acceso a la totalidad de la memoria principal. Se permite un acceso a un área de almacenaje que tenga una clave de protección de memoria igual a 7, sean cuales fueren el valor de la AAK o los valores contenidos en el AKR cuando el sistema no se halle en el estado supervisorio, siempre y cuando no se fuerce el bitio de exclusiva lectura para el bloque seleccionado para acceso.

Por lo tanto, es evidente que dentro de cualquier área individual accesible o seleccionable para acceso, definida por una clave de acceso, algunos bloques de esa área pueden mantenerse en un estado de exclusiva lectura mientras otros bloques del área pueden hacerse accesibles para inscripción, mediante activación o no del bitio de exclusiva lectura para los bloques contenidos en el área accesible. El bitio de exclusiva lectura puede ser activado por el programa supervisorio que carga los registros de grupo.

Durante la carga inicial del programa (IPL), la característica de protección de NTS y la característica de traducción están ambas inhabilitadas, de modo que en la memoria principal pueden efectuarse inscripciones, en cualquier lugar, durante el procedimiento inicial de carga. Al terminarse con éxito la IPL, es posible habilitar una u otra

1 de las características de protección citadas, y la máquina  
entra en el estado supervisorio poniéndose a cero todas  
las claves de acceso contenidas en el AKR.

5 Además de las características de AAK común entre  
la de protección de NTS y la característica de traducción,  
éstas tienen cierto número de rasgos característicos dese-  
mejantes, tales como los siguientes:

10 1) Con la característica de protección de NTS,  
el estado supervisorio permitirá acceso a la totalidad de  
la memoria principal, sean cuales fueren las claves de me-  
moria. En un sistema de traductor, el estado supervisorio  
sólo puede tener acceso al área de memoria definida por  
la AAK.

15 2) La memoria total definida por las claves de  
acceso de un sistema con protección de NTS es igual o me-  
nor que 64K grupos de bitios. La memoria estática total de-  
finible por las claves de acceso en un sistema de traductor  
puede ser hasta de 512K grupos de bitios en un momento dado  
cualquiera.

20 3) En un sistema de traductor, el espacio de  
acceso definido por las claves de acceso empieza en la di-  
rección de acceso lógica cero. En un sistema con protección  
de NTS, el espacio de acceso definido por las claves de  
acceso empezará en varios linderos de 2K grupos de bitios,  
25 pero la clave de acceso sigue proporcionando un control del  
tipo de acceso.

30 4) Las instrucciones usadas para carga y entrega  
de los registros de claves de memoria (SKR) del ordenador  
son distintas de las instrucciones usadas para la carga y  
entrega de registros de segmentación (SR) en el traductor.

1                   5) Un dispositivo de I/O, en un sistema con tra-  
ductor habilitado, no es capaz de recibir verificaciones  
de protección; en cambio, un dispositivo de I/O en un sis-  
tema con protección de NTS habilitada puede recibir una ve-  
5                   rificación de protección para un acceso, en una dirección  
de acceso que no esté en el área definida por la clave de  
CS, o el área de clave=7.

                  6) Debido a la flexibilidad de la característica  
de transformación o traslación de direcciones de acceso del  
10 traductor, ciertas traslaciones de espacio de direcciones  
de acceso lógicas a físicas son difíciles de emular en el  
modo de protección de NTS: por ejemplo, una área común ex-  
clusiva a sólo dos claves de acceso.

#### VI. Variante del modo de protección por traducción

15                   La fig. 14 ilustra unos circuitos de control pa-  
ra un modo alternativo de protección por traducción (APM) uti-  
lizable en un sistema de tratamiento de datos. El modo APM  
constituye una variante o alternativa con respecto al modo  
de traducción anteriormente descrito, que usa el AKR de  
20 varias secciones de la fig. 1D. Este modo alternativo no pro-  
porciona la accesibilidad de ordenador controlada, del tipo  
de acceso de memoria, obtenida con la fig. 1D, sino que per-  
mite una accesibilidad por separado para los accesos de I/O  
a la memoria. El modo alternativo sí que proporciona una discri-  
25 minación de AAK de accesibilidad para el ordenador entre  
sus diferentes programas y datos que poseen distintas cla-  
ves de acceso de usuario, en tanto que permiten también la  
interacción del usuario con operaciones supervisorias de  
programa, siempre que sea necesario, sin tener que cambiar  
30 el contenido de un registro de claves de usuario (UKR) 460.

1                   En la fig. 14 hay sólo una única clave de acceso  
que puede cargarse o introducirse en el registro UKR 460  
del ordenador, de modo que todos los accesos a memoria pa-  
ra ejecutar programas y datos de usuario deben hacerse den-  
5                   tro de la accesibilidad única definida por el valor de cla-  
ve de usuario que hay en el UKR 460, que es un valor de cla-  
ve distinto de cero, puesto que el valor de clave cero es-  
tá reservado para el área de memoria que contiene los pro-  
gramas y datos de supervisión del sistema. Los accesos de  
10                  I/O están controlados por la clave de CS, introducible por  
medio de un subcanal en un registro 465 de claves de CS.

                  El modo APM viene controlado para un ordenador  
por una posición de bitio A que hay en el registro de esta-  
do de nivel (LSR) 470. Cuando está en activo el estado de  
15                  supervisión, se activa el bitio S; y cuando se halla en ac-  
tivo el modo APM, es el bitio A el que está activado.

                  Cuando están activados ambos bitios S y A, se pro-  
porciona un primer tipo de funcionamiento del ordenador,  
en el cual se habilita la interacción para un programa de  
20                  supervisor (contenido en el área de clave=0), con el área  
de clave de usuario en curso en un momento dado (identifi-  
cada por la clave de usuario en curso contenida en el  
UKR 460). Esto es, se permite la ejecución del programa su-  
pervisorio a partir del área de clave=0 y de los operandos  
25                  de acceso contenidos en el área de clave de acceso del usua-  
rio. Ahora bien, el supervisor no es capaz de obtener acce-  
so a otros lugares de la memoria principal definidos por  
otros valores de clave. Esta interacción de supervisor con  
accesibilidad restringida, por ejemplo, faculta a sus pro-  
30                  gramas de manipulación de interrupciones para obtener acce-

1 so a un programa y datos de usuario interrumpidos en un mo-  
mento dado sin riesgo de que el programa de supervisor per-  
turbe la integridad de áreas no pertinentes o afectadas de  
la memoria principal, si algo va mal en la operación de su-  
5 pervisor. Tampoco se permite nunca, a ningún programa de  
usuario en ejecución, el acceso al área de memoria de super-  
visor, porque todo programa de usuario sólo tiene accesibi-  
lidad al área propia del usuario, identificada por la cla-  
ve del usuario.

10 Un segundo tipo de operación de ordenador es el  
que tiene lugar cuando el bitio de supervisor S está en ac-  
tivo y el bitio A de APM está desactivado. Entonces es el  
programa supervisorio el que puede operar desde el área de  
clave=0 sin perturbar la clave de usuario en curso, conte-  
15 nida en el UKR 460. En este caso, todas las búsquedas de I  
y todos los accesos de operando sólo pueden hacerse en el  
área de clave=0, no permitiéndose interacción alguna del  
supervisor con ninguna área de usuario. Esto es, el super-  
visor no tiene entonces acceso al área de clave de usuario  
20 identificada por el contenido del UKR 460 en un momento da-  
do, ni a ninguna otra área de claves. Este tipo especial de  
funcionamiento del sistema elimina la necesidad de cargar  
y recargar el valor de clave=0 en el UKR 460.

25 Un tercer tipo de operación de ordenador es el  
que se prevé cuando el bitio S de supervisor está desactiva-  
do, independientemente del estado del bitio A de APM. En es-  
te caso, todas las búsquedas de instrucción y todos los  
accesos de operando sólo pueden estar en el área de clave  
del usuario. Esto es, no se permite acceso alguno al área  
30 de clave=0 de la memoria principal.

1 El modo APM viene controlado, en el ordenador,  
por el equipo físico representado en la fig. 14. Hay una  
puerta y o de coincidencia 462 que se habilita mediante  
activación de ambos bitios S y A en el LSR 470, con el fin  
5 de obtener el primer tipo de operación de ordenador arriba  
definido. Luego se activa la puerta 462, por medio de cada  
petición de búsqueda de I desde el ordenador de la fig. 4,  
obteniéndose una salida a través del circuito O o disyun-  
tivo 466 y de un inversor 476 con el fin de inhabilitar  
10 el circuito y o de coincidencia 461 durante la operación  
de búsqueda de instrucción. Mientras el circuito y o de  
coincidencia 461 está inhabilitado, da una señal de sali-  
da de "todos ceros", representando la clave=0 para la ba-  
rra colectora de AAK. Así, sólo se permite la búsqueda de  
15 I en el área de clave=0 del supervisor.

Cuando no hay petición de búsqueda de I (tal co-  
mo sucede entre peticiones de búsqueda de I), la puerta  
y o de coincidencia 462 no se activa, y el inversor 467  
da una señal habilitadora a la puerta y o de coincidencia  
20 461, para hacer salir la clave de acceso de usuario del  
UKR 460 a la barra colectora de AAK, de modo que una ins-  
trucción de programa supervisorio que ejecute búsquedas  
es capaz de obtener acceso a operandos contenidos en el  
área de claves de usuario que se esté seleccionando para  
25 acceso por medio de la clave contenida en el UKR 460.

Si el bitio A del APM está desactivado mientras  
el bitio S de supervisor está activado en el LSR, la puer-  
ta y o de coincidencia 464 se halla continuamente habili-  
tada, para inhabilitar continuamente la puerta y o de coin-  
30 cidencia 461 por medio del inversor 467, de modo que la

1 puerta 461 da continuamente como salida la clave=0 a la  
barra colectora de AAK. Esto proporciona el segundo tipo  
de operación de ordenador arriba descrito, en el que sólo  
5 el programa de supervisor puede operar con todos los ope-  
randos y las búsquedas de I restringidos al área de cla-  
ve=0, sea cual fuere la clave de usuario contenida en el  
AKR 460.

10 Si el bitio S está desactivado en el LSR 470,  
las puertas y o de coincidencia 462 y 464 están continua-  
mente inhabilitadas, de modo que el inversor 467 proporcio-  
na una salida habilitadora continua a la puerta y o de  
coincidencia 461, que entonces deja pasar continuamente la  
clave de acceso de usuario a la barra colectora de AAK. Es-  
to proporciona el tercer tipo de operación de ordenador  
15 arriba definido, y hace que todos los accesos a la memoria,  
tanto para el ordenador como para los I/O estén en el área  
de memoria principal seleccionada para acceso por la cla-  
ve de usuario contenida en el UKR 460. El supervisor no  
puede funcionar hasta que se active el bitio S.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Una disposición de acceso a almacenaje para la memoria principal de un sistema de tratamiento de datos que tiene por lo menos un ordenador, disposición que comprende: unos medios detectores de acceso a almacenaje, en cada ordenador, para percibir o detectar cada tipo de acceso de petición de almacenaje identificable por máquina, que incluyen medios de detectar peticiones de acceso de instrucción para generar una señal de tipo de acceso de instrucción, y medios de detectar peticiones de acceso de operando para generar por lo menos un tipo de señal de acceso de operando; una pluralidad de secciones de registro de claves, respectivamente correspondientes a los tipos de acceso de peticiones de almacenaje identificables por máquina; unos medios de selección de claves activados por cada tipo de acceso percibido por los medios detectores de acceso a almacenaje, para poner en salida una sección de registro de claves correspondiente, con lo cual el contenido puesto en salida de la sección de registro de claves correspondiente contiene una clave para obtener acceso a una área de almacenaje correspondiente de la memoria principal, que contiene la información requerida por la petición de almacenaje correspondiente.


1                   2ª.- La disposición de acceso a almacenaje de la  
reivindicación 1ª, en la que los medios detectores de peti-  
ciones de acceso de operando incluyen: unos medios para de-  
5                   tectar varios tipos de acceso de operandos, y unos medios  
para generar las respectivas señales de tipo de acceso de  
operando, para indicar los respectivos tipos de acceso de  
operandos detectados o percibidos por dichos medios detec-  
tores de tipo de acceso de operandos; una sección de regis-  
tro de claves correspondiente a cada tipo de acceso respec-  
10                   tivo de operandos; recibiendo los medios de selección de  
claves por lo menos algunas de las señales de tipo de acce-  
so de operandos y seleccionando una sección de registro  
de claves que corresponda al tipo de acceso de operandos  
percibido por los medios detectores.

15                   3ª.- La disposición de acceso a almacenaje de la  
reivindicación 2ª, para ser puesta en funcionamiento por  
la ejecución de instrucciones del tipo de "memoria a memo-  
ria", en la que la unidad de ejecución de cada ordenador  
incluye los medios detectores de peticiones de acceso de  
20                   tipo de operando, que además comprende: unos primeros me-  
dios para detectar un campo de operando de almacenaje del  
tipo de "sólo búsqueda" en una instrucción y generar una  
señal de petición de acceso de tipo de primer operando;  
unos segundos medios para detectar un campo de operando  
25                   del tipo de "búsqueda o extracción para almacenaje" en una  
instrucción y generar una señal de petición de acceso de  
tipo de segundo operando.

30                   4ª.- La disposición de acceso a almacenaje de la  
reivindicación 1ª, que además comprende: una sección de re-  
gistro de claves de I/O en cada subcanal, para recibir una

1 clave proporcionada por un programa; unos medios detectores  
de peticiones de acceso a almacenaje con cada subcanal, pa-  
ra percibir o detectar una señal de acceso de tipo de I/O  
para una petición de acceso a memoria de I/O por parte del  
5 subcanal; unos medios de selección de prioridad para reci-  
bir señales de petición de acceso a almacenaje de I/O pro-  
cedentes de los subcanales de I/O, y para recibir señales  
de petición de tipo de acceso de instrucciones y operandos  
procedentes de por lo menos un ordenador, concediendo los  
10 medios de selección de prioridad una prioridad de acceso a  
la memoria, a las señales de petición simultáneamente reci-  
bidas, en un orden prefijado, para iniciar las operaciones  
de acceso a la memoria; y teniendo los medios de selección  
de claves conectados a la salida de los medios de selección  
15 de prioridad, para seleccionar la salida de cada sección  
de registro de claves, una correspondiente prioridad de  
acceso a la memoria, concedida por la señal de petición de  
tipo de acceso, por parte de los medios de selección de  
prioridad.

20 5ª.- La disposición de acceso a almacenaje de la  
reivindicación 4ª, que comprende además: unos medios para  
poner en salida el contenido de claves de cualquier regis-  
tro de claves de I/O al proporcionar su subcanal una señal  
de petición de acceso a almacenaje con "robo" de ciclo; con-  
25 cediendo los medios de selección de prioridad la máxima  
prioridad a la señal de petición de acceso a almacenaje con  
"robo" de ciclo; y pasando los medios de selección de cla-  
ve el contenido de claves que se está poniendo en salida,  
desde un registro de I/O, para controlar la obtención de  
30 acceso al sistema de almacenaje con el fin de dar protección



1 de acceso para una área compensadora de I/O en el sistema de almacenaje.

5 6ª.- La disposición de acceso a almacenaje de la reivindicación 5ª, en la que hay una pluralidad de dispositivos de I/O conectados al ordenador o a los ordenadores (en el caso de que haya varios) por medio de una pluralidad de canales, disposición que comprende además: en cada subcanal, unos medios de petición de acceso de almacenaje para generar una señal de tipo de acceso de I/O con el fin de  
10 solicitar una petición de acceso a almacenaje de I/O para el subcanal; siendo los medios de selección de claves activados por los medios de selección de prioridad en respuesta a la señal de petición de tipo de acceso de I/O para seleccionar una sección de registro de claves de I/O con el subcanal de I/O, para dar salida a la clave allí contenida,  
15 con el fin de proteger el área de almacenaje asignada al respectivo subcanal del dispositivo de I/O.

20 7ª.- La disposición de acceso a almacenaje de la reivindicación 5ª, en un sistema de computadora que tiene una pluralidad de canales, en la que los medios de selección de prioridad comprenden además: unos medios para recibir señales de petición de acceso a almacenaje procedentes de todos los canales y conceder prioridad en una barra colectora de prioridad de canal a las señales de petición de  
25 acceso de canal, en un orden de prioridad prefijado, habiendo un circuito de selección de canales para dar paso al contenido de claves proporcionado en un momento dado por un canal seleccionado a una entrada de los medios de selección de claves, y pasando los medios de selección de claves el  
30 contenido de claves de cada canal seleccionado.

1 8ª.- La disposición de acceso a almacenaje de la reivindicación 1ª, que incluye una pluralidad de posiciones de almacenaje para cada una de las diversas secciones de registro de claves contenidas en un registro de claves de acceso (AKR), para contener las claves de acceso de cada

5 sección, y que comprende: la circuitería para cargar y sacar almacenaje claves de acceso en o de las secciones de registro de claves del registro de claves de acceso (AKR), desde o hasta un registro general o un lugar de la memoria

10 principal; una pareja de puertas Y de admisión o entrada conectadas a una entrada de cada posición de almacenaje, teniendo una de las puertas Y de admisión una entrada conectada a una línea de señales de puerta de admisión de un

15 AKR de admisión, y teniendo la otra puerta Y de admisión una entrada conectada a una línea respectiva de señales de admisión de claves; una pareja de puertas Y de salida conectadas a una salida de cada posición de almacenaje, teniendo una de las puertas Y de salida una entrada conectada a una línea de señales de puerta de salida de AKR, y teniendo la otra

20 puerta Y de salida una entrada conectada a una de las diversas líneas de señales de salida de claves; un descodificador de almacenaje o memoria de control que tiene como salidas las líneas de señal de puerta de admisión y puerta de salida de AKR y las diversas líneas de señal de puerta de admisión

25 y puerta de salida de claves, para proporcionar señales procedentes del descodificador de memoria de control recibidas de una memoria de control con el fin de ejecutar una instrucción de cargar o sacar de AKR, proporcionando para ello las señales siguientes: A) señales de acceso para obtener acceso


30 a un registro general o un lugar de memoria principal, dando

1        señales de cargar o recibiendo señales de sacar a o de un  
trayecto de datos de ordenador, B) controlando si se van a  
activar señales de puerta de admisión o señales de puerta  
de salida para la operación de carga/extracción de AKR, y  
5        C) activando una (seleccionada) de las líneas de señal de  
puerta de admisión o puerta de salida con el fin de selec-  
cionar una determinada sección de registro de claves o bien  
el AKR entero, para dar entrada a las señales desde, o dar  
salida a las señales hasta, el trayecto de datos de un or-  
10        denador.

9ª.- La disposición de acceso a almacenaje de la  
reivindicación 1ª, en la que los medios detectores de acce-  
so a almacenaje generan, además de la señal de tipo de  
acceso de instrucción, varias señales de tipo de acceso de  
operando, habiendo prevista una sección de registro de cla-  
15        ves para cada tipo de acceso de operando, comprendiendo  
además el sistema: un circuito de enganche o "cerrojo" de  
igualar espacios de operando (EOS), que se activa y repone  
por la ejecución de unas instrucciones prefijadas, dando  
20        dicho cerrojo de EOS una señal de salida de EOS; teniendo  
los medios de selección de claves unas entradas que reci-  
ben las señales de tipo de acceso a almacenaje y la señal  
de salida de EOS; unos medios de selección de predominio  
de operando, conectados con los medios de selección de  
25        claves para ser activados por la señal de salida de EOS  
con el fin de obligar a la salida de una determinada sec-  
ción de registro de claves a ser seleccionada como salida  
de clave activa por los medios de selección de claves siem-  
pre que cualquier señal de tipo de acceso de operando sea  
30        puesta en salida por los medios detectores de acceso a memo-

1 ria o almacenaje.

10<sup>a</sup>.- La disposición de acceso a almacenaje con  
característica de control de EOS, según la reivindicación  
9<sup>a</sup>, en la que los medios detectores de acceso a almacenaje  
5 generan una primera señal de tipo de acceso de operando, pa-  
ra indicar un tipo de acceso de "sólo traer", o búsqueda  
exclusiva, de operando de fuente, y generan una segunda se-  
ñal de tipo de acceso de operando para indicar un tipo de  
"búsqueda/almacenaje" de operando de fuente o de depósito;  
10 y los medios de selección de operando de predominio ponen  
en salida la clave activa correspondiente a la segunda se-  
ñal de tipo de acceso de operando cuando se activa la se-  
ñal de salida de EOS y siempre que se genera una señal pri-  
mera o segunda de tipo de acceso de operando.

15 11<sup>a</sup>.- La disposición de acceso a almacenaje de  
la reivindicación 1<sup>a</sup>, provista además de medios de control  
de accesibilidad por supervisor para controlar la cantidad  
de accesibilidad limitada disponible para un supervisor  
y para un usuario en la memoria principal, comprendiendo di-  
20 chos medios de control: un registro de estado que tiene una  
primera posición de bitio que da una señal de estado de  
supervisor para indicar si el sistema se halla o no en el  
estado de supervisor, y una segunda posición de bitio que  
proporciona una señal de modo alternativo de protección (APM)  
25 indicadora de si el sistema se halla o no en el modo de  
protección alternativo; un registro de claves de acceso de usua-  
 rio (UKR) para contener una clave de acceso que ponga a dis-  
posición de un ordenador la accesibilidad de un usuario en  
la memoria principal, que puede contener los programas y da-  
30 tos del usuario; unos medios de puerta Y, de conmutación de

1 accesibilidad de supervisor/usuario, que tienen unas entra-  
das que reciben la señal de estado de supervisor, la señal  
de APM y una señal de búsqueda de instrucción proporcionada  
por el ordenador, habilitándose una salida de los medios  
5 de puerta Y de conmutación cuando las señales de modo de  
APM, estado de supervisor y entrada de búsqueda de instruc-  
ción existen todas simultáneamente, inhabilitándose la sa-  
lida cuando una señal cualquiera de entrada no está activa-  
da; unos medios de puerta Y proveedores de claves, que tie-  
10 nen una de sus entradas conectada a la salida del UKR, y  
otra entrada conectada, a través de unos medios de inver-  
sor, a los medios de puerta Y de conmutación; con lo cual  
el estado de salida de los medios de puerta Y proveedores  
de claves proporcionan la clave de acceso de supervisor  
15 mientras los medios de puerta Y de conmutación se habilitan  
o preparan para que una instrucción deba traerse o ir a bus-  
carse dentro de la accesibilidad de supervisor, y proporci-  
onan la clave de acceso de usuario mientras los medios de  
puerta Y de conmutación están habilitados, lo que ocurre  
20 mientras el supervisor no está trayendo una instrucción, de  
modo que una instrucción de supervisor en ejecución puede  
obtener acceso a operandos dentro de la accesibilidad del  
usuario.

25 12ª.- La disposición de acceso a almacenaje de  
la reivindicación 11ª, que incluye además unos medios que  
conectan la señal de estado de supervisor a una entrada de  
los medios de inversor, con lo cual, cuando la señal de es-  
tado de supervisor no está indicando el estado de supervi-  
sor, los medios de inversor habilitan continuamente a los  
30 medios de puerta Y proveedores de claves, dando como salida

1 la clave de acceso de usuario, lo que proporciona accesibi-  
lidad de usuario e inhibe la accesibilidad de supervisor.

5 13ª.- La disposición de acceso a almacenaje de  
la reivindicación 12ª, que comprende además: unos medios  
de puerta Y de usuario, dotados de una entrada que recibe  
la señal de estado de supervisor proporcionada por la pri-  
mera posición de bitio del registro de estado; unos medios  
10 inversores de APM, que conectan la señal de APM a una se-  
gunda entrada de los medios de puerta Y de usuario; con lo  
cual, cuando la señal de APM está desactivada mientras la  
señal de estado de supervisor está activada, los medios de  
puerta Y de usuario están continuamente habilitados, inha-  
bilitándose continuamente los medios de puerta Y proveedo-  
res de claves, a través de los medios de inversor, de modo  
15 que los medios de puerta Y proveedores de claves dan con-  
tinuamente como salida la clave de supervisor, y sólo hay  
accesibilidad de supervisor disponible para el ordenador.

20 14ª.- La disposición de acceso a almacenaje de  
la reivindicación 1ª, provista de medios de control de acce-  
sibilidad de interrupción en un ordenador, la cual compren-  
de: unos medios generadores de interrupciones de verifica-  
ción o comprobación, en el ordenador, para generar una se-  
ñal de interrupción de verificación al aparecer una verifi-  
cación de máquina o una verificación de programa; una puerta  
25 de AAK (clave de acceso activa) dotada de unas entradas que  
reciben cada clave de acceso activa (AAK) proporcionada por  
los medios de selección de claves, recibiendo otra de las  
entradas de la puerta de AAK cada señal de ciclo de almace-  
naje del ordenador, y habilitándose una entrada adicional  
30 de puerta en ausencia de la señal de interrupción de verifi-


1 cación, poniendo dicha puerta de AAK como salida cada clave  
de acceso activa (AAK) de ordenador, hasta que aparece una  
señal de interrupción de verificación; y un registro de úl-  
tima AAK conectado a una salida de la puerta de AAK, para  
5 ser cargado con cada AAK de ordenador, con lo cual el regis-  
tro de última AAK almacena la accesibilidad de ordenador en  
curso, que se convierte en la accesibilidad interrumpida  
cuando aparece una interrupción de verificación.

10 15ª.- La disposición de acceso a almacenaje de  
la reivindicación 14ª, que incluye además: un circuito de  
acceso forzado dotado de unas entradas conectadas a unas  
líneas respectivas de señal de interrupción de verificación,  
seleccionando el circuito de acceso forzado una dirección  
de acceso de memoria de control respectiva correspondiente  
15 a una señal respectiva de entrada de interrupción de veri-  
ficación; unos controles de memoria de control conectados  
a una salida del circuito de acceso forzado, una memoria  
de control conectada a los controles de memoria de control,  
un registro de datos de control conectado a la memoria de  
20 control, y un descodificador de memoria de control conecta-  
do al registro de datos de control, activando cada señal  
de interrupción de verificación el circuito de acceso for-  
zado, con el fin de forzar una dirección de acceso para in-  
troducir un microprograma de control en la memoria de con-  
25 trol, hasta generar unas señales de puerta de salida y puer-  
ta de admisión en unas líneas de salida del descodificador  
de memoria de control; un trayecto de paso de datos de or-  
denador, que conecta la salida del registro de última AAK  
a una entrada de una sección de registro de claves de ope-  
30 rando de fuente; y recibiendo el registro de última AAK la

1 señal de puerta de salida, y recibiendo la sección de re-  
registro de claves de operando de fuente una señal de puer-  
ta de admisión con el fin de transferir el contenido del  
registro de última AAK a la sección de registro de claves  
5 de operando de fuente.

16ª.- La disposición de acceso a almacenaje de  
la reivindicación 15ª, que incluye además: una línea de  
puerta de salida de cero del descodificador de memoria de  
control, activando el microprograma de control a la línea  
10 de puerta de salida de cero; una sección de registro de  
búsqueda de instrucción que tiene una puerta de admisión  
conectada a la línea de puerta de salida de cero y a una  
señal de puerta de admisión procedente del descodificador,  
para ajustar al estado de cero la sección de registro de  
15 claves de búsqueda de instrucción, con lo cual el estado  
de cero en la sección de registro de claves de búsqueda  
de instrucción pone la accesibilidad de supervisor a dis-  
posición del ordenador, al mismo tiempo que la última AAK  
de la sección de registro de claves de operando de fuente  
pone la accesibilidad interrumpida a disposición del orde-  
20 nador.

17ª.- UNA DISPOSICION DE ACCESO A ALMACENAJE  
PARA LA MEMORIA PRINCIPAL DE UN SISTEMA DE TRATAMIENTO DE  
DATOS QUE TIENE POR LO MENOS UN ORDENADOR.



1 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

5 Esta Memoria consta de noventa y cinco hojas escritas a máquina por una sola cara.

Madrid, 03. JUN. 1977

P.A. Alberto de Elizaburu  
Por Poder

FIG. 1A-1

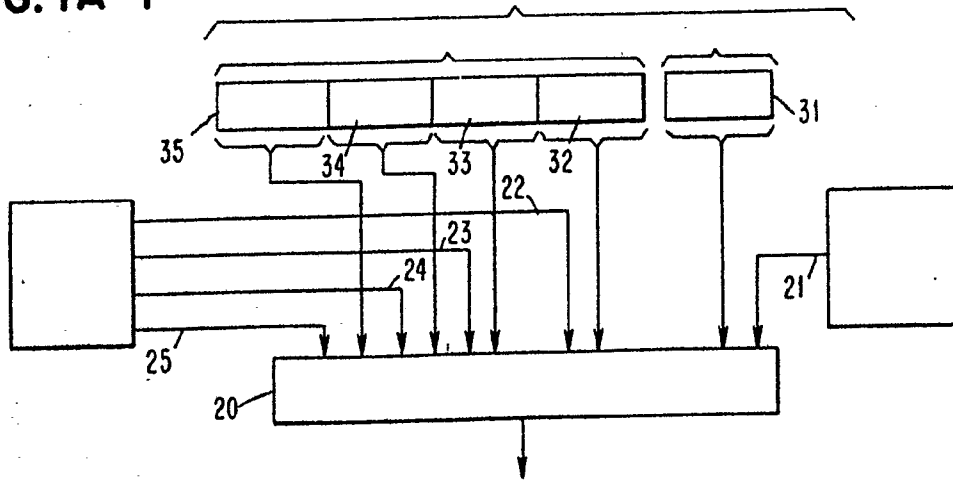
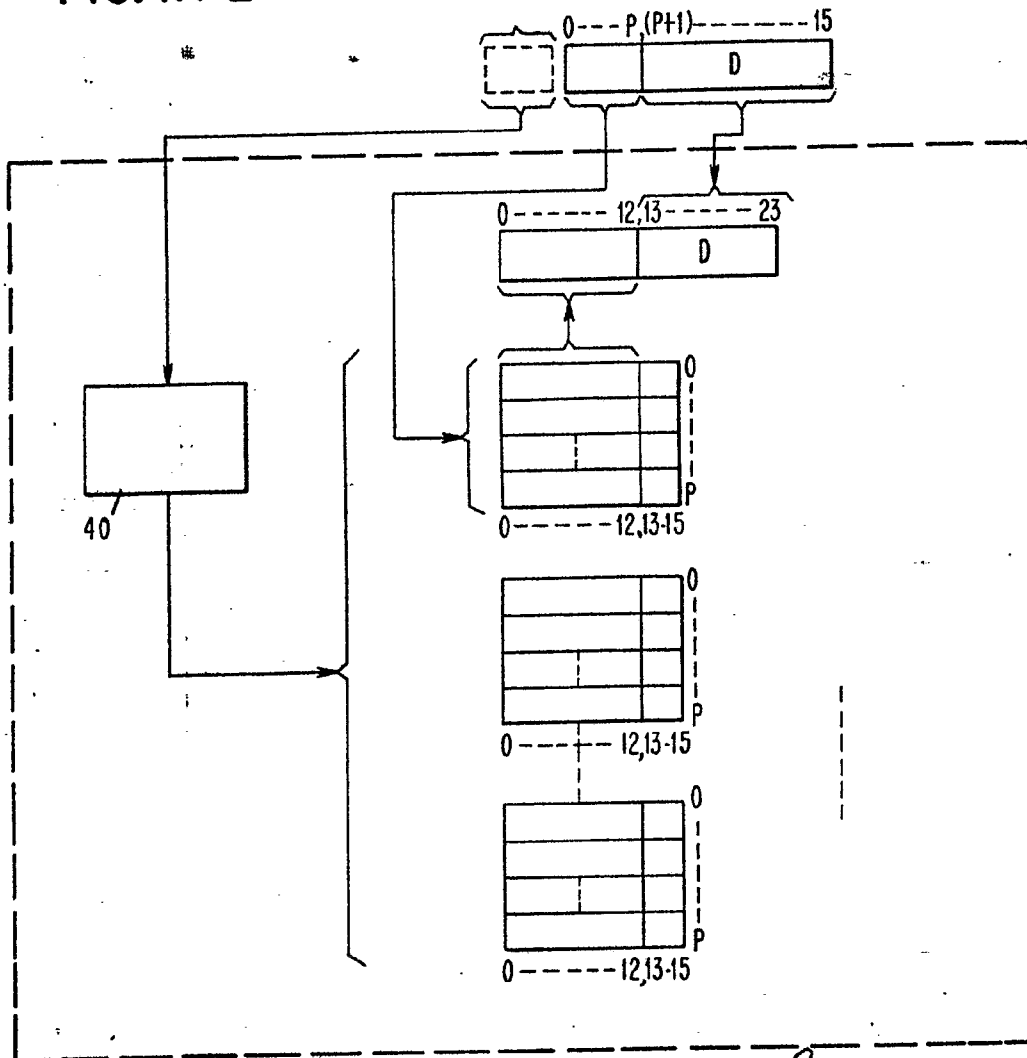


FIG. 1A-2



Allen to de Alencar  
Por Poder

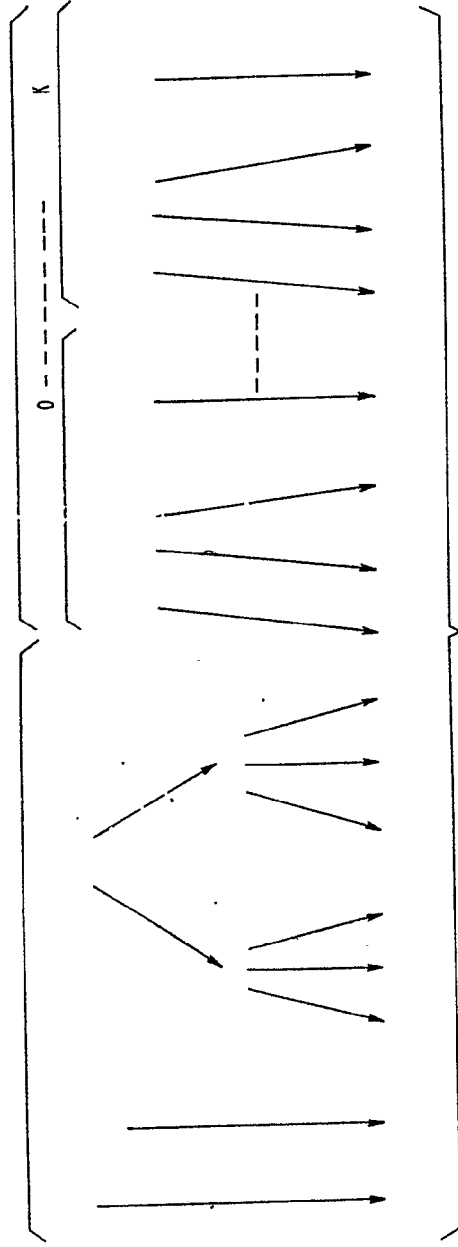


FIG. 1B

Alberto de Elizaburu  
Portugal

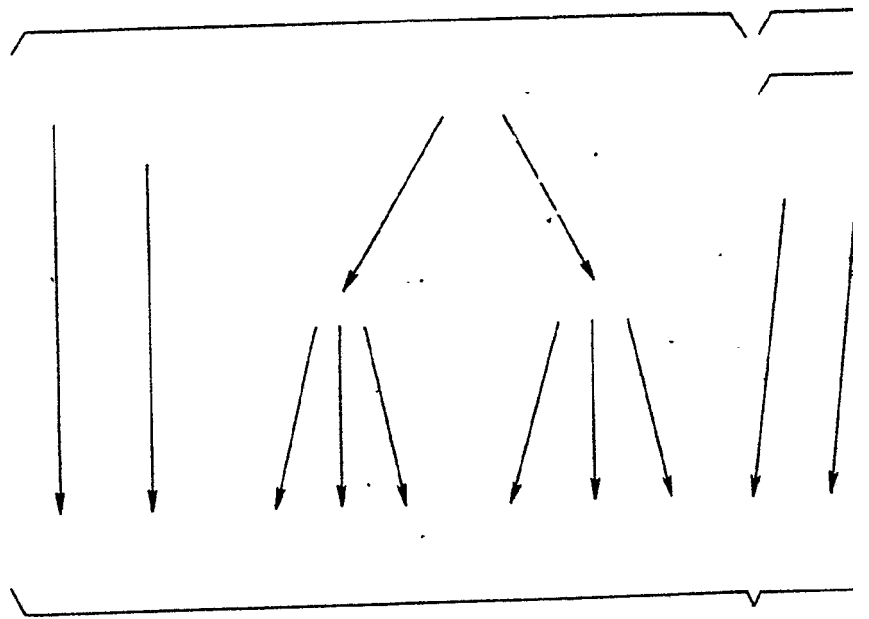
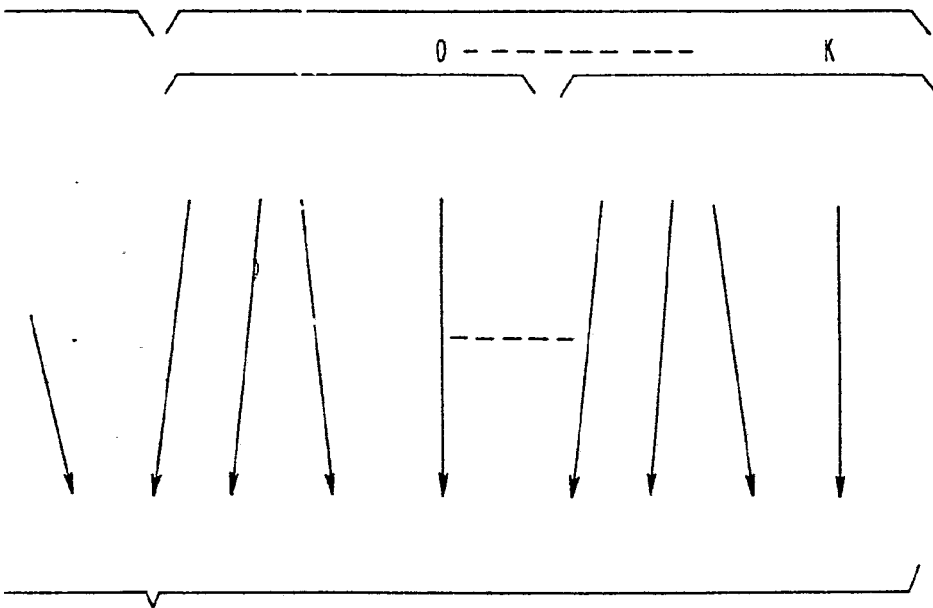


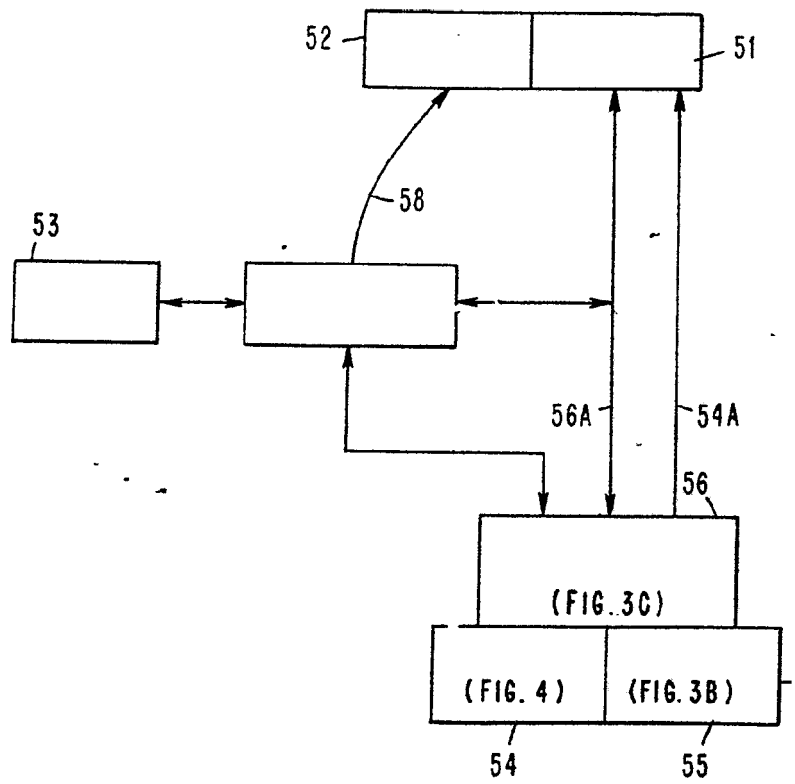
FIG. 1B

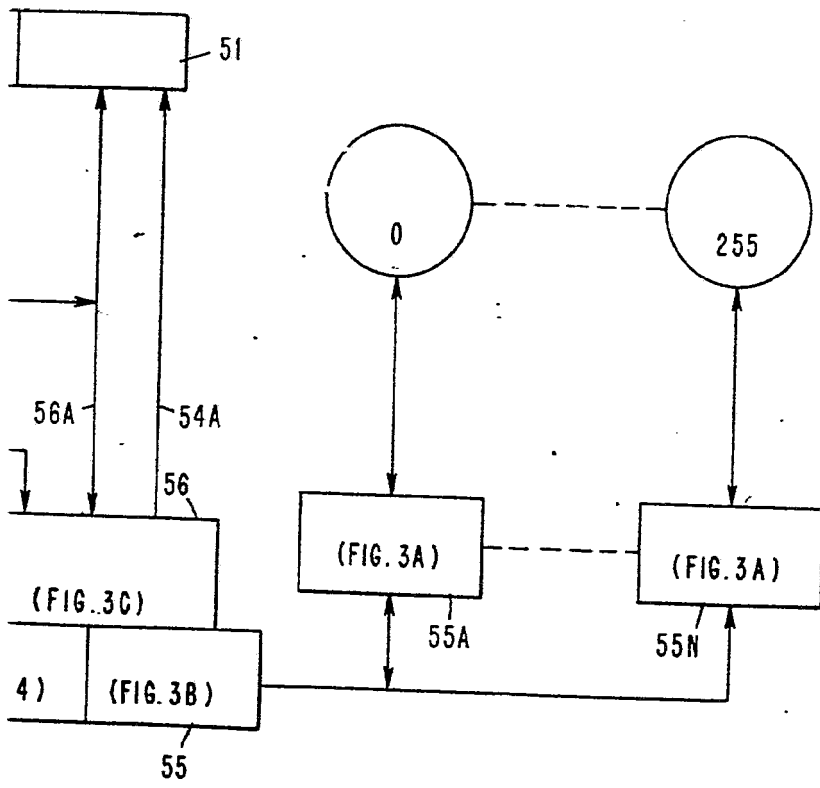


Alberio de Elizaburu  
Por Poder  
*[Signature]*



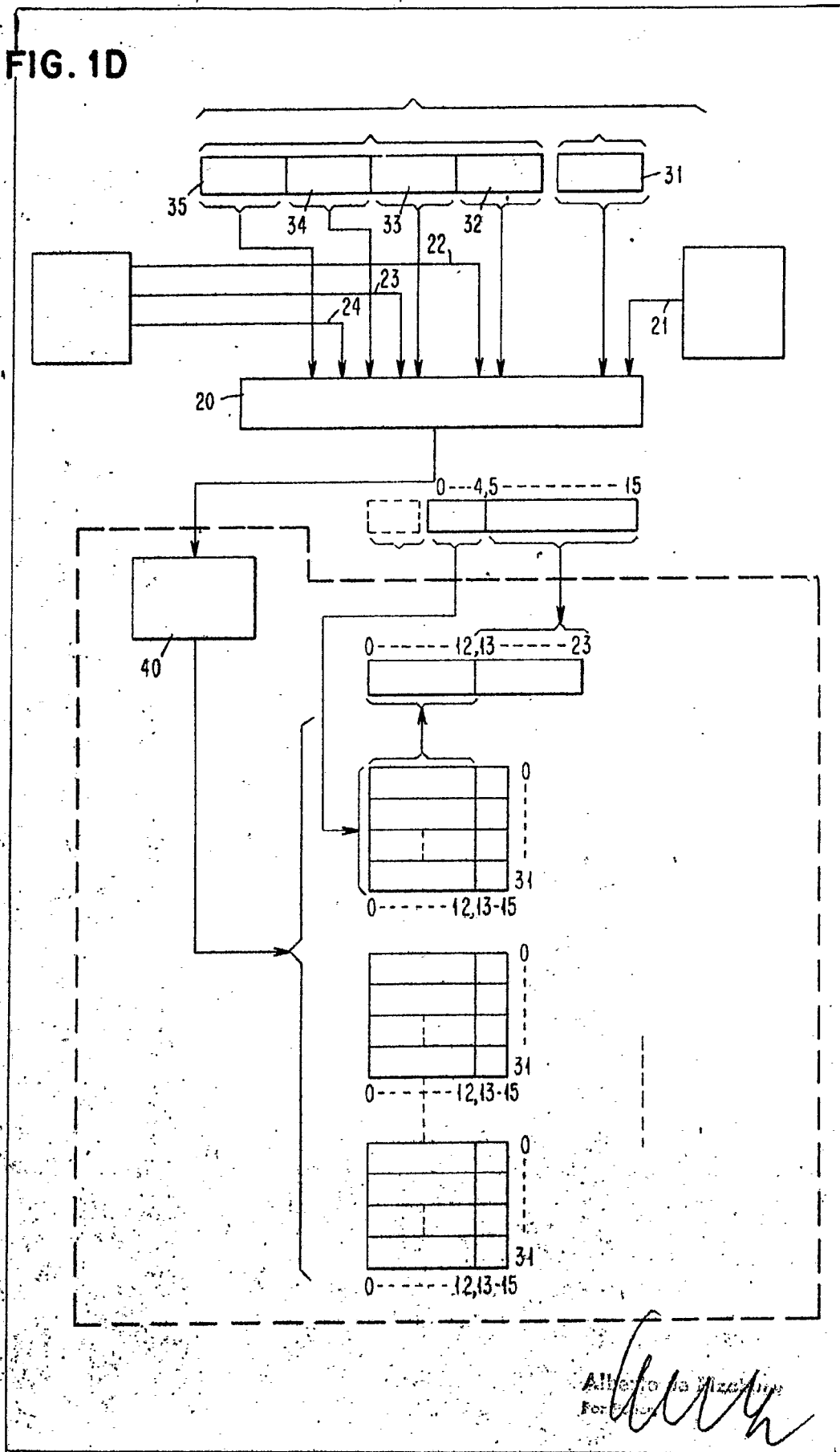
FIG. 1C





Alberto de Elzaburu  
For Patent

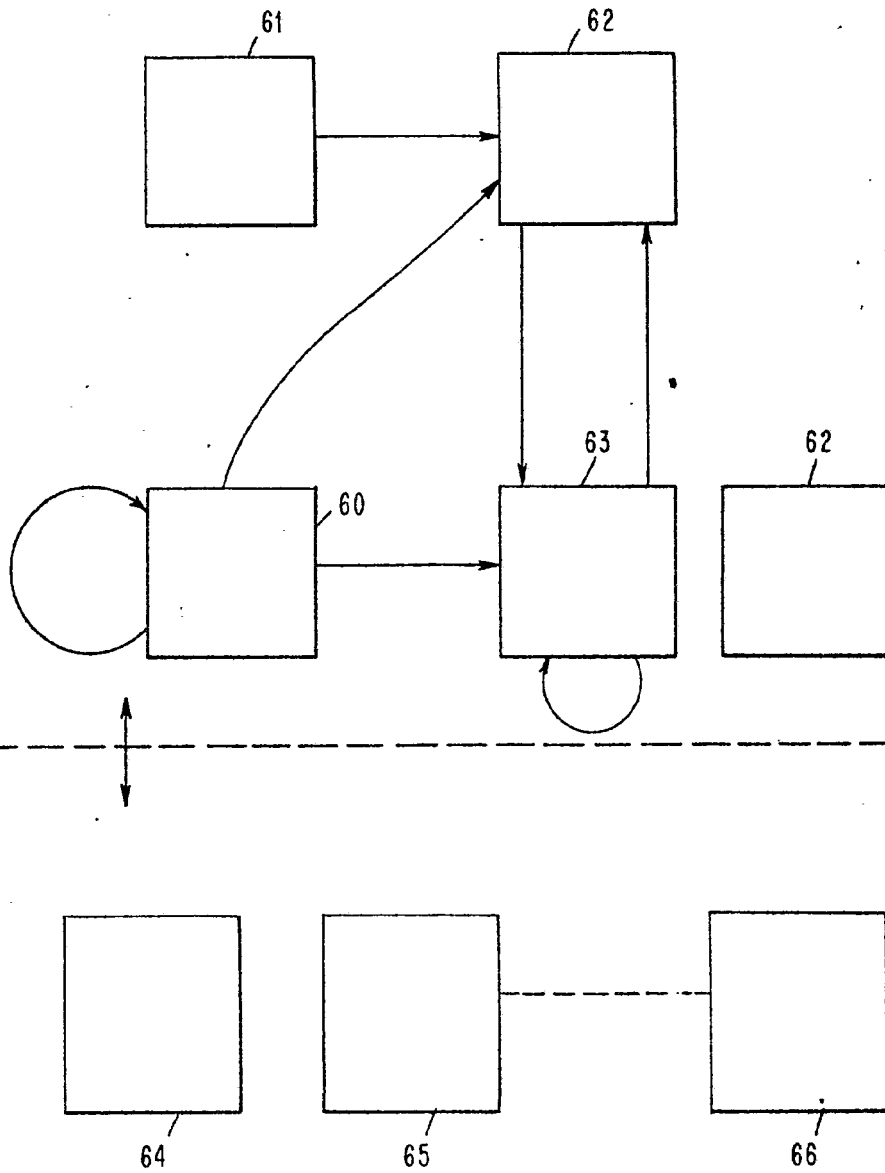
FIG. 1D



Alberto G. Mazzoni  
For IBM

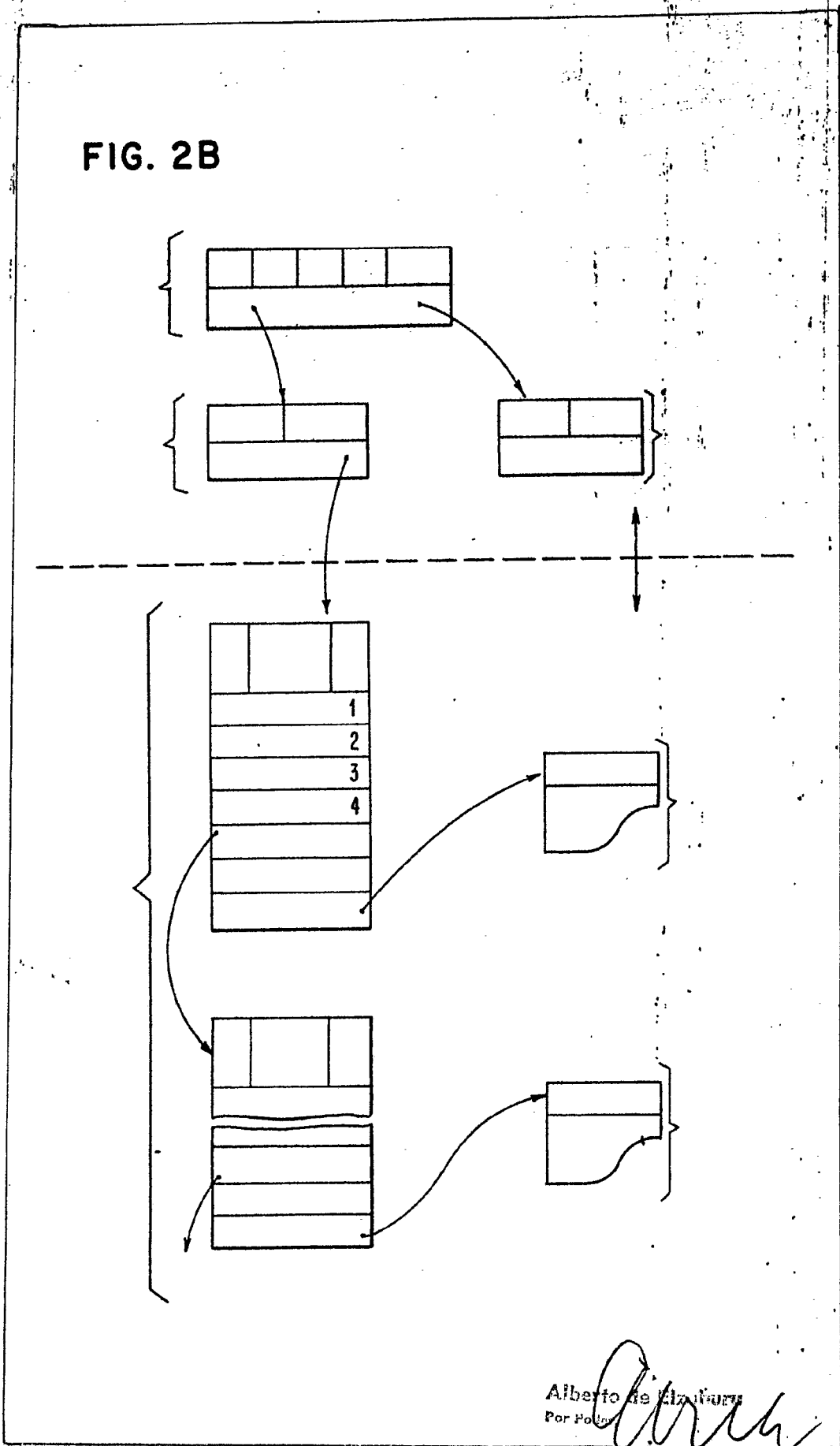
POOR  
QUALITY

FIG. 2A



Alberro de Elizaburu  
Por Poder  
*[Signature]*

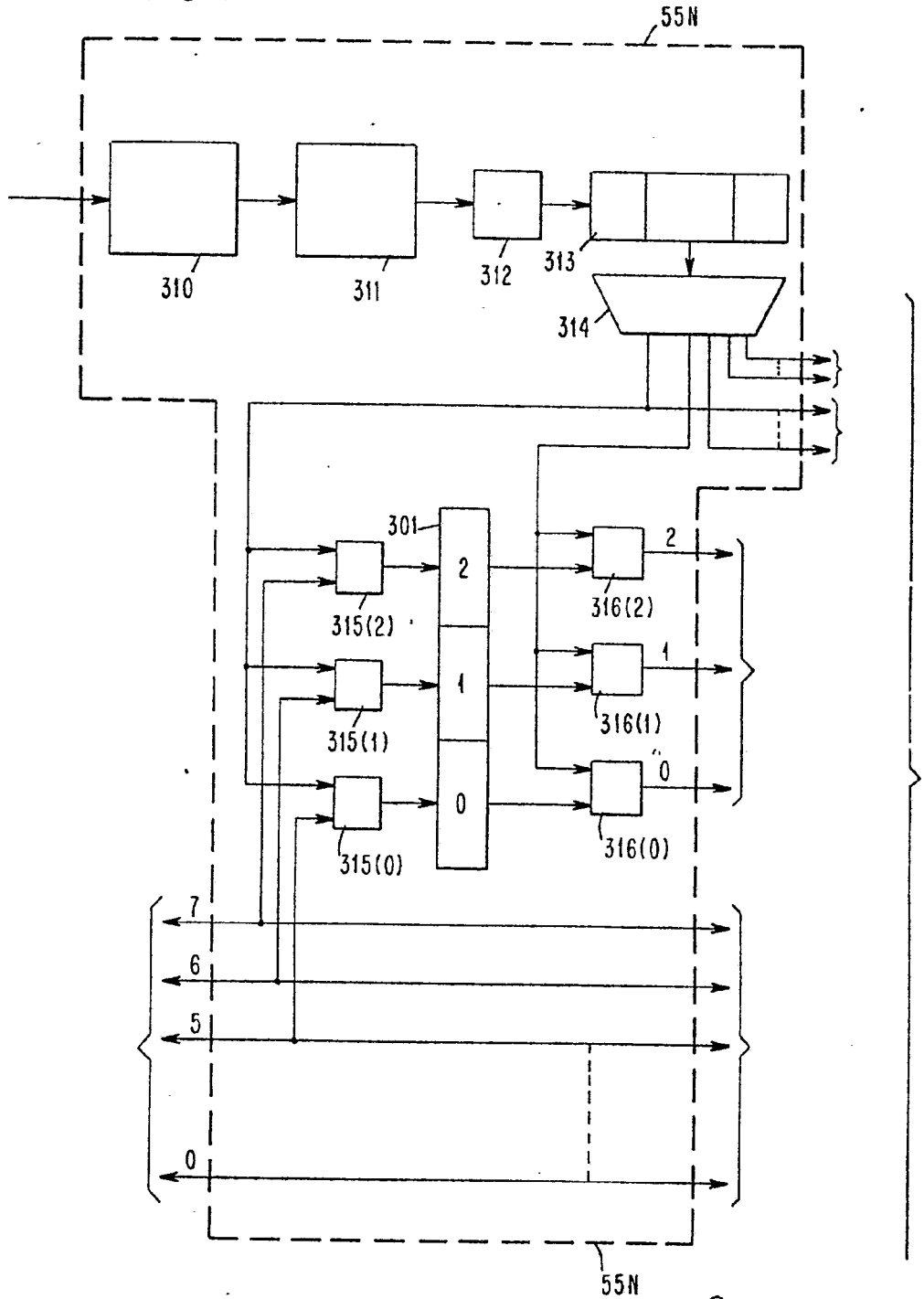
FIG. 2B



Alberto de la Torre  
Per For...

**POOR  
QUALITY**

FIG. 3A



Alberto de Elzaburu  
Por Poder,

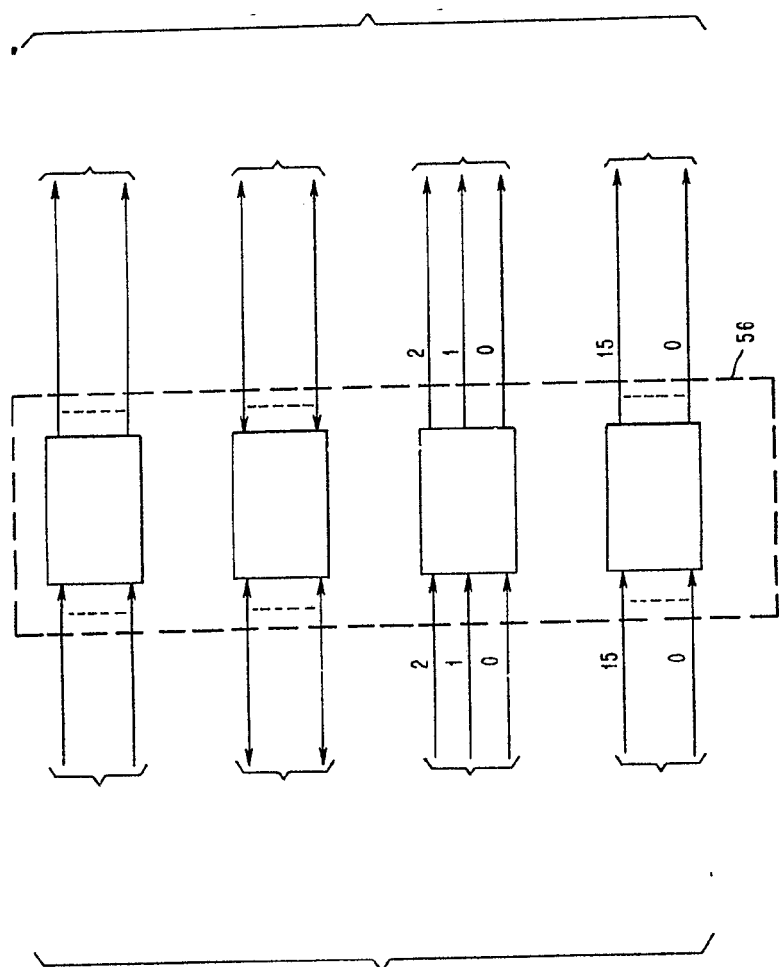
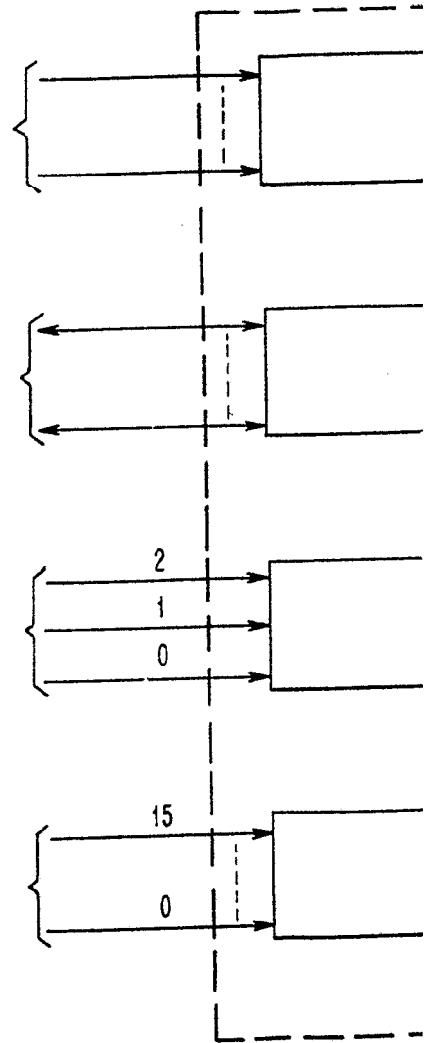
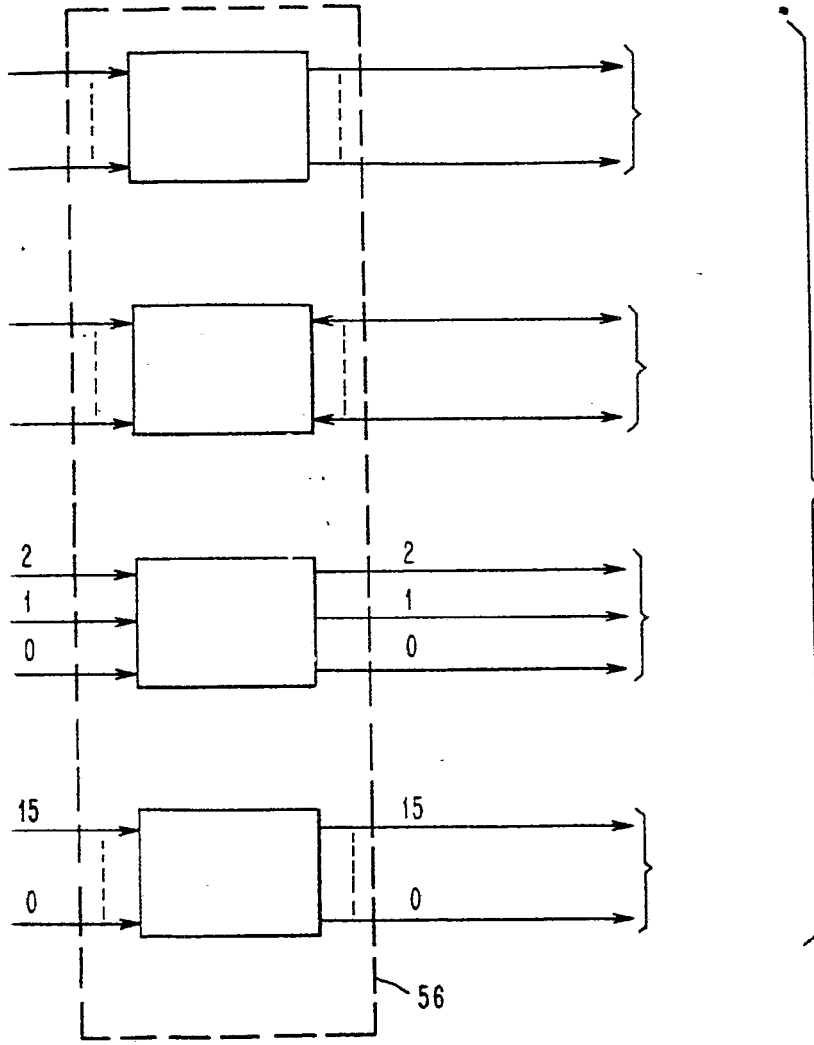


FIG. 3B

Alfred E. Hinzburg  
Per [Signature]

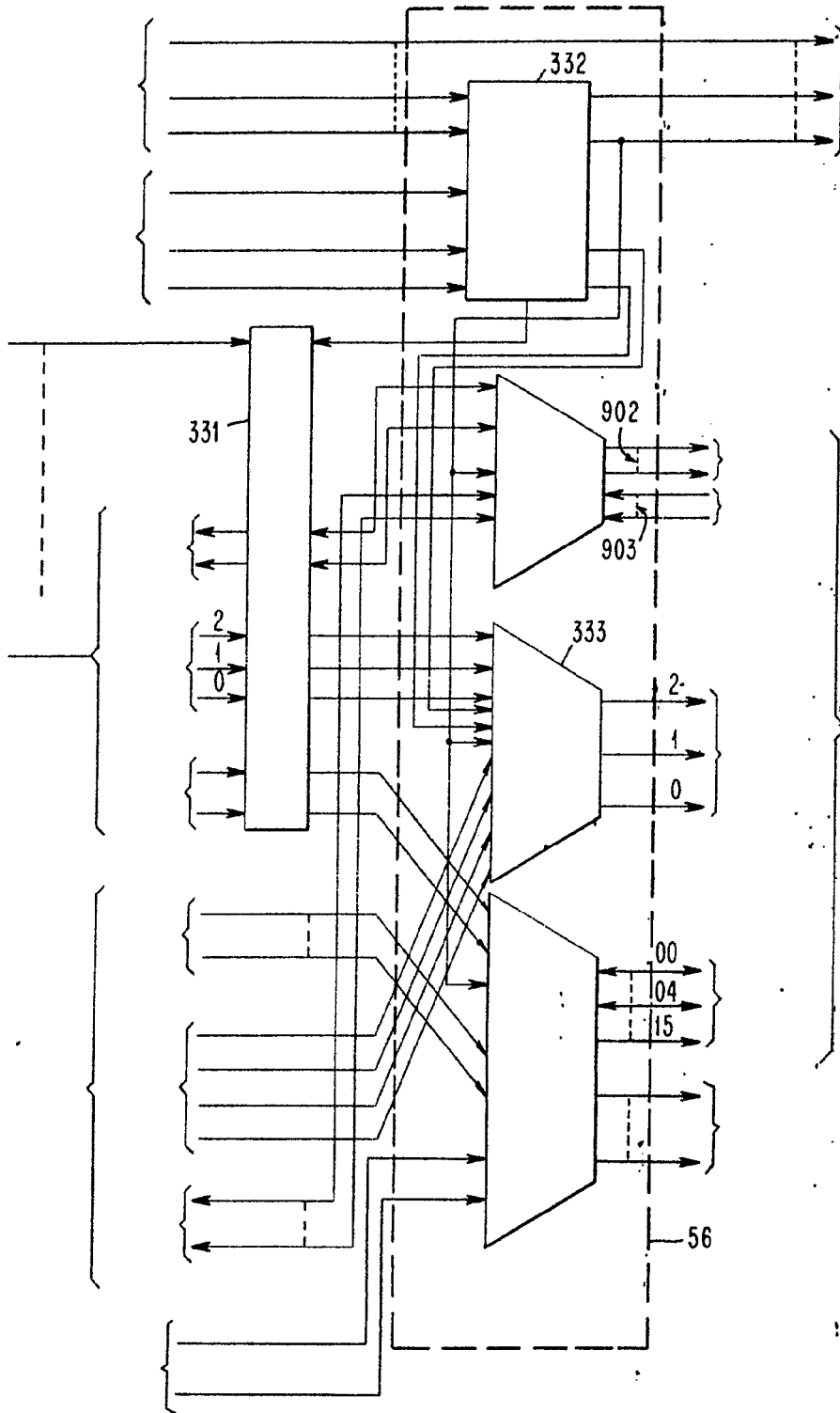
FIG. 3B





Alberto de Zizobura  
Por Poder

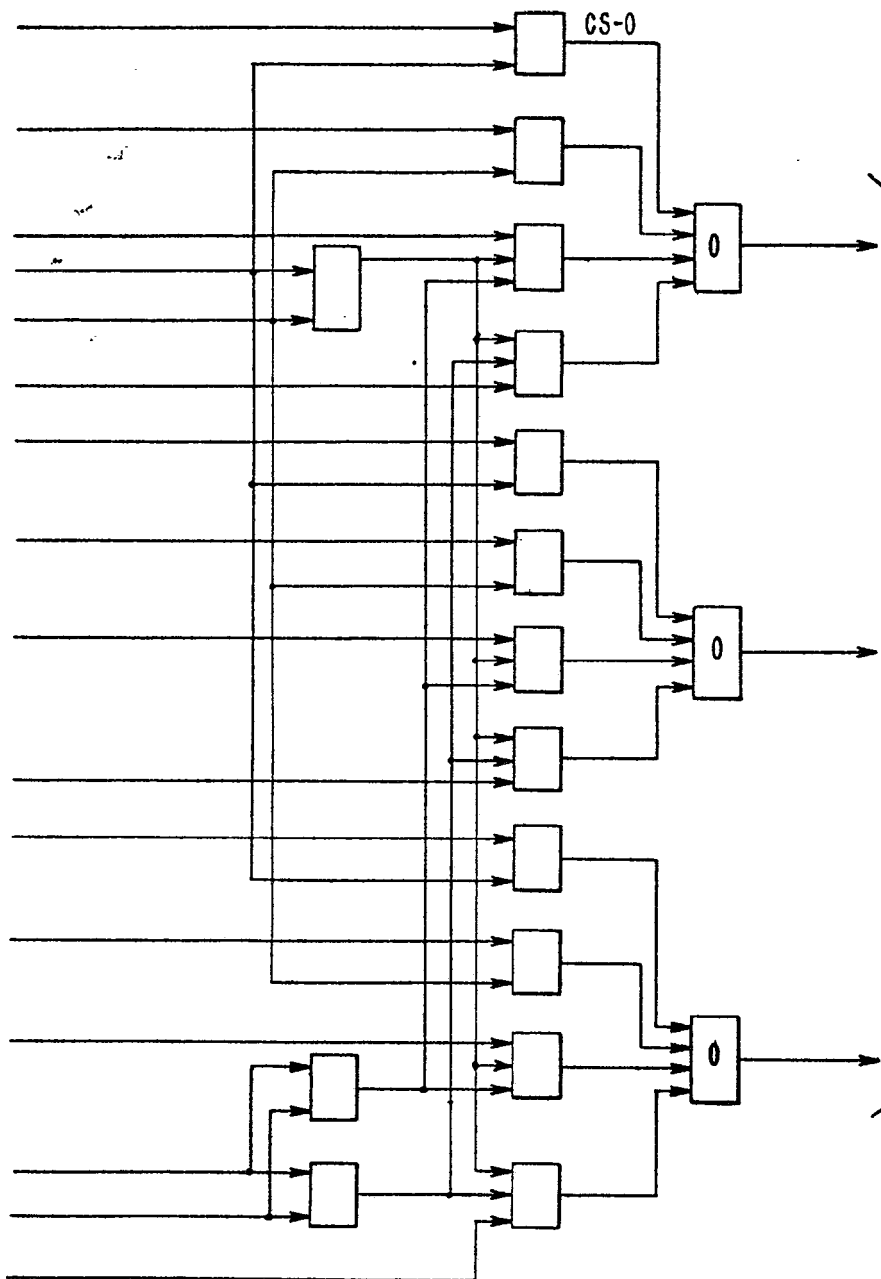
FIG. 3C



*Auth.*

64624

FIG. 3D



Alberto de Elzaburu  
Por Poder,  
*Alberto de Elzaburu*

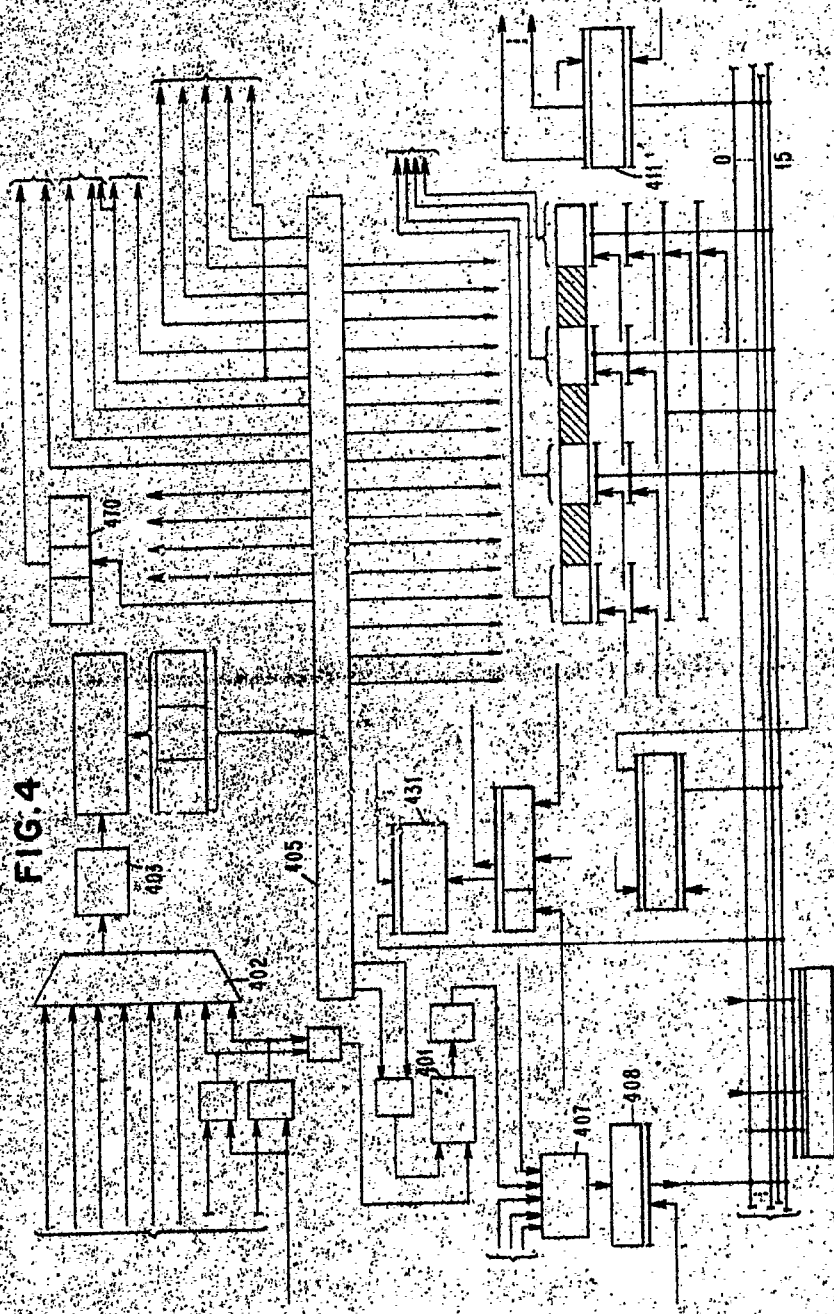
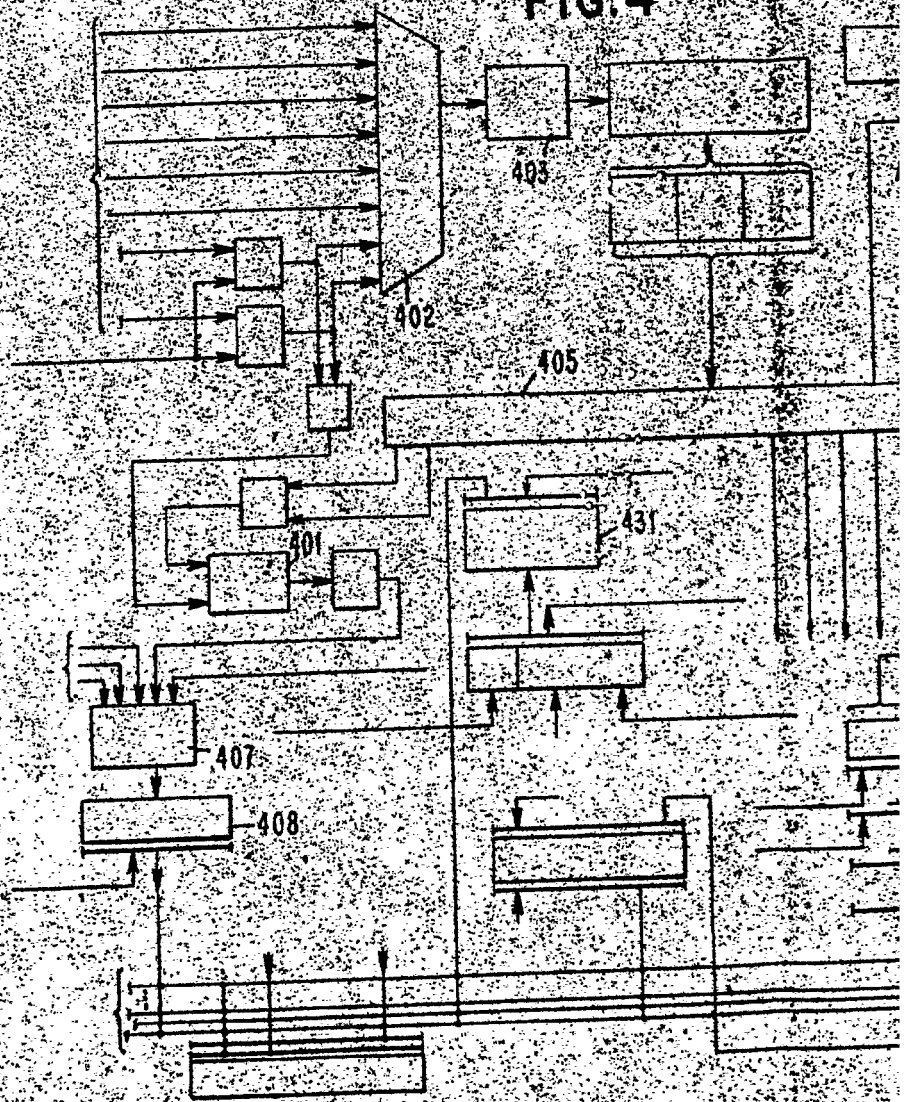


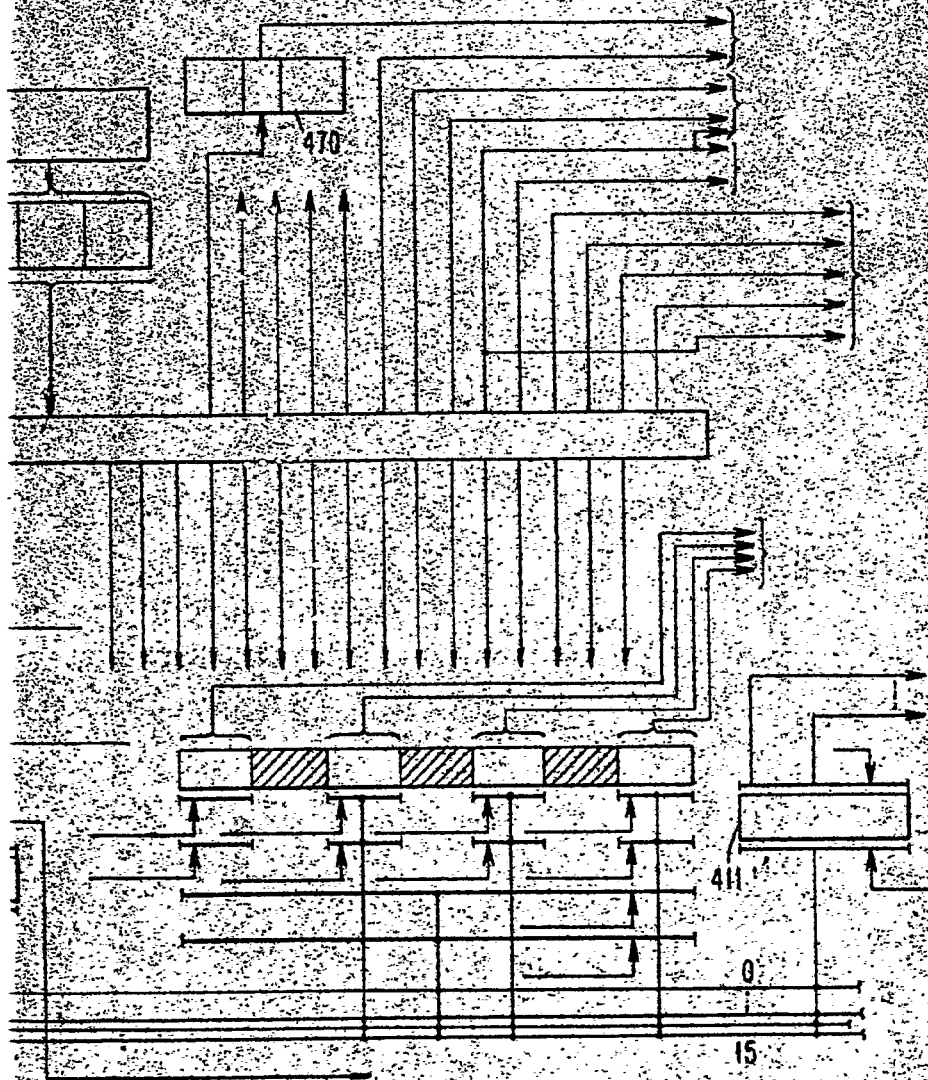
FIG. 4

POOR  
QUALITY

FIG. 4



POOR  
QUALITY



Alberto de Elizaburu  
Por Rober

**POOR  
QUALITY**

FIG. 5

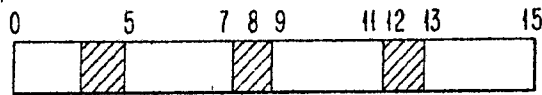


FIG. 6

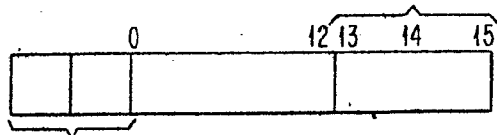
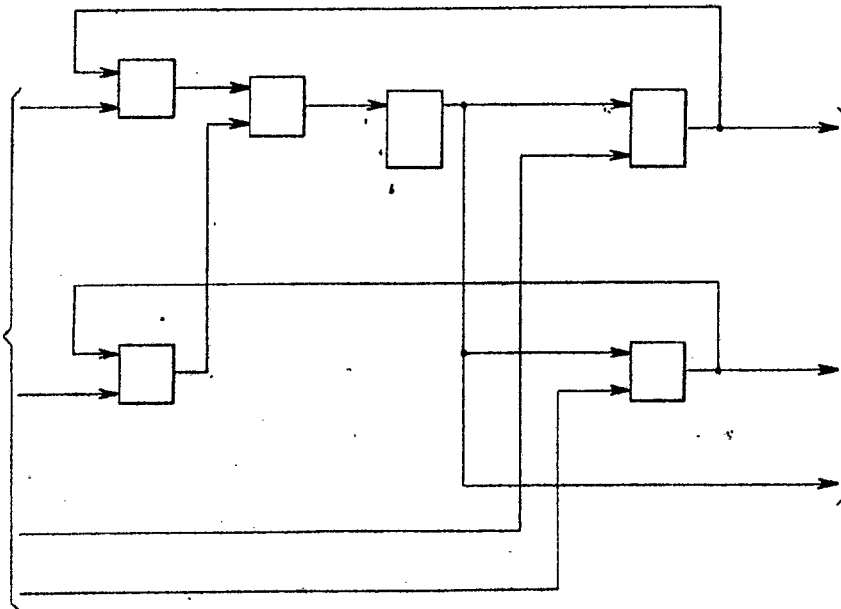


FIG. 7



Alberto de Elzabury  
Per Foder.

FIG. 8A

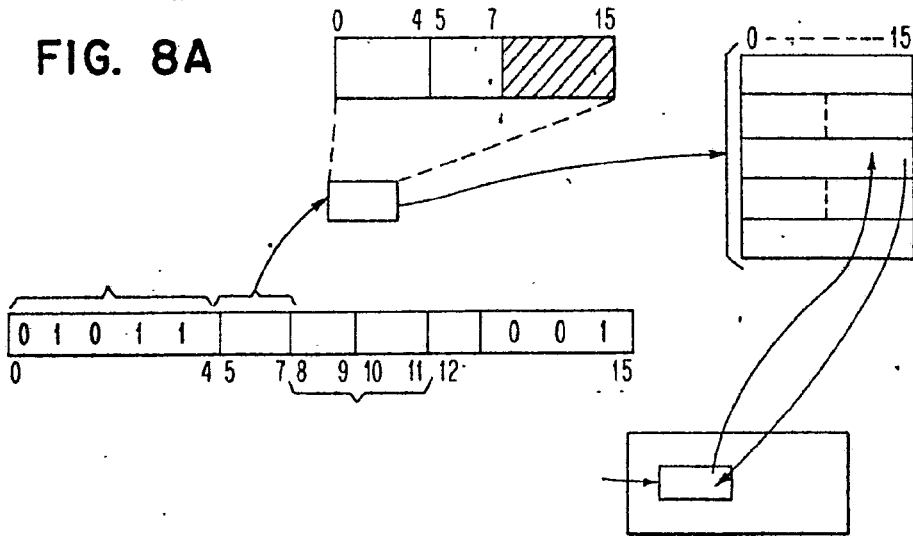


FIG. 8B

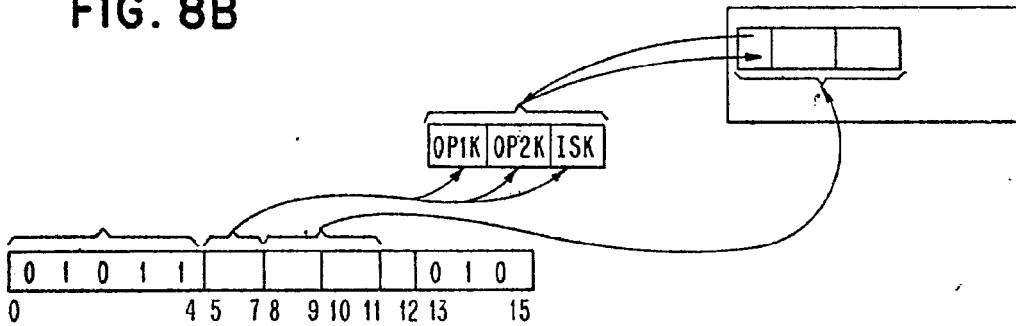
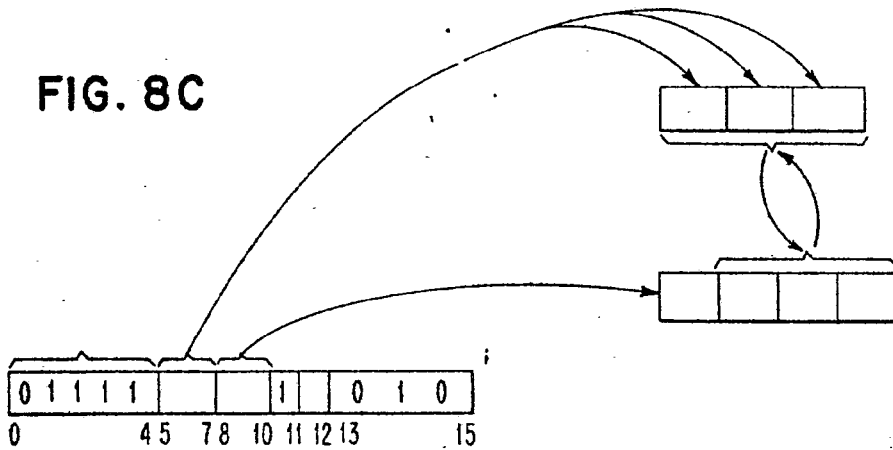


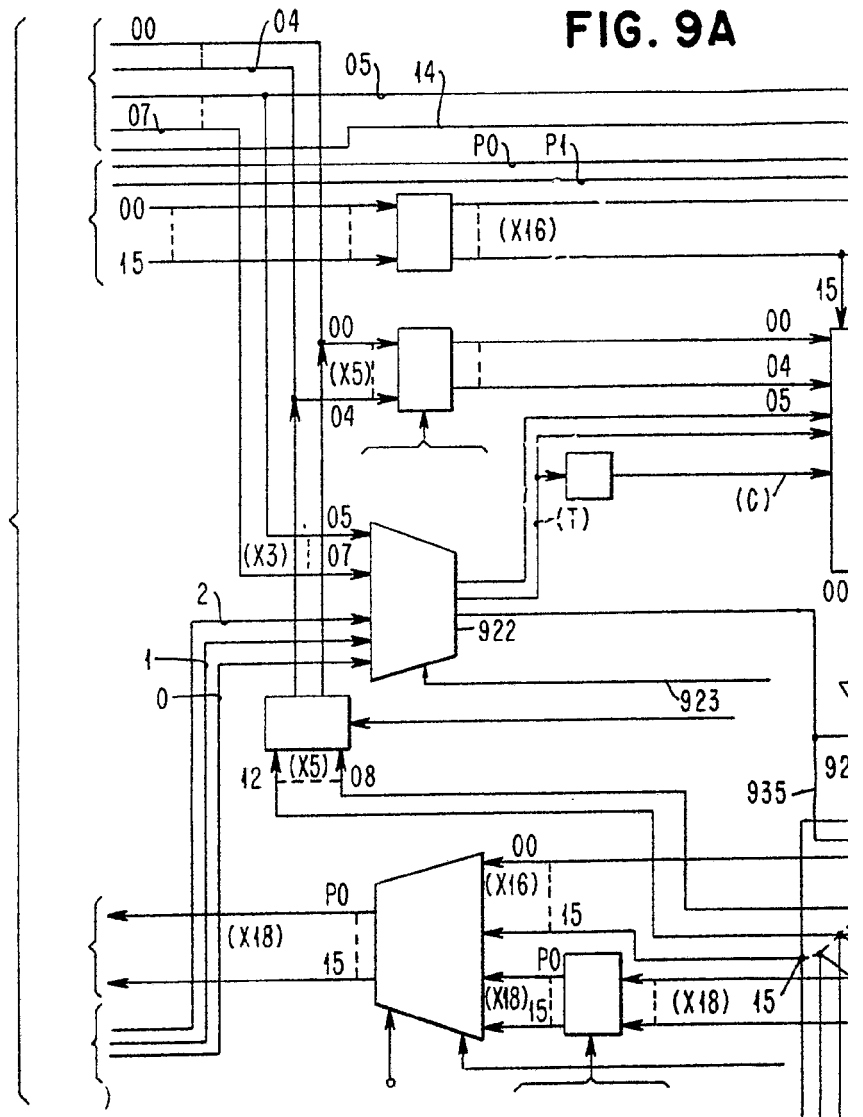
FIG. 8C



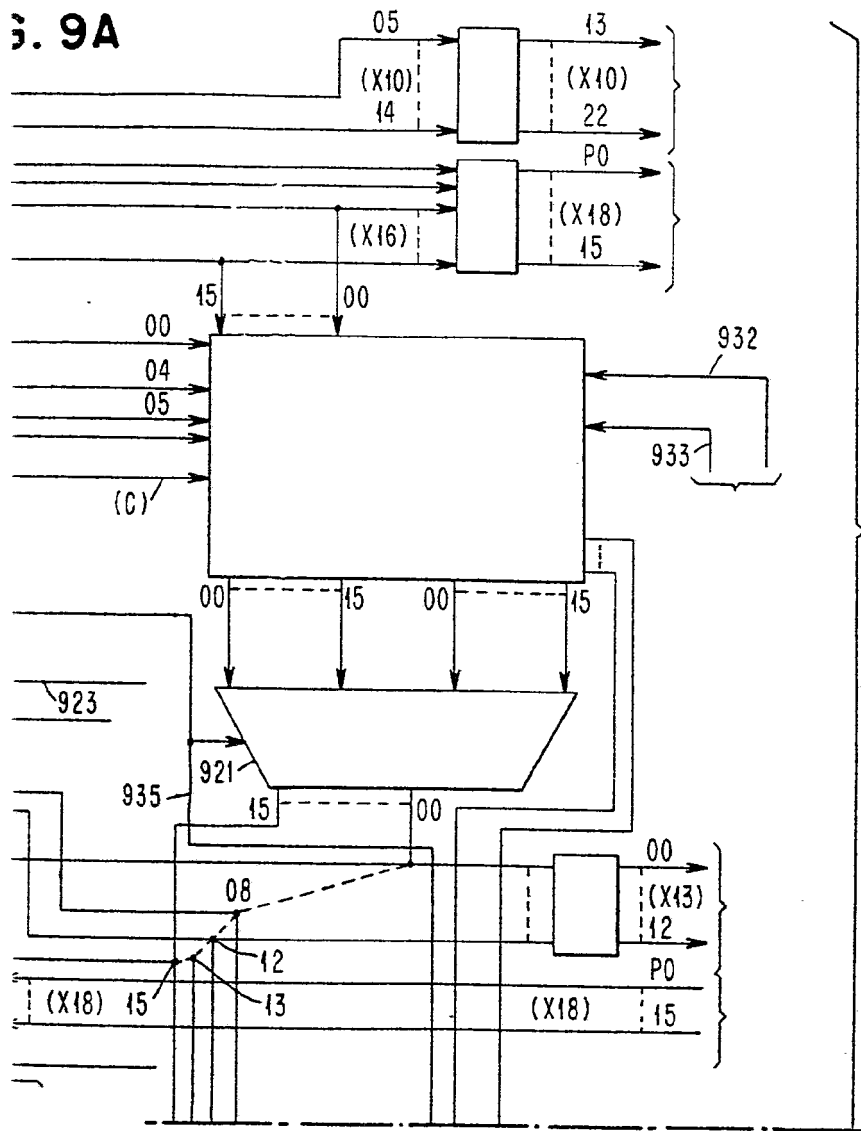
Alberto de Eltuburu  
Por Poder



FIG. 9A



3.9A



*Handwritten signature*  
Must be verified  
for value

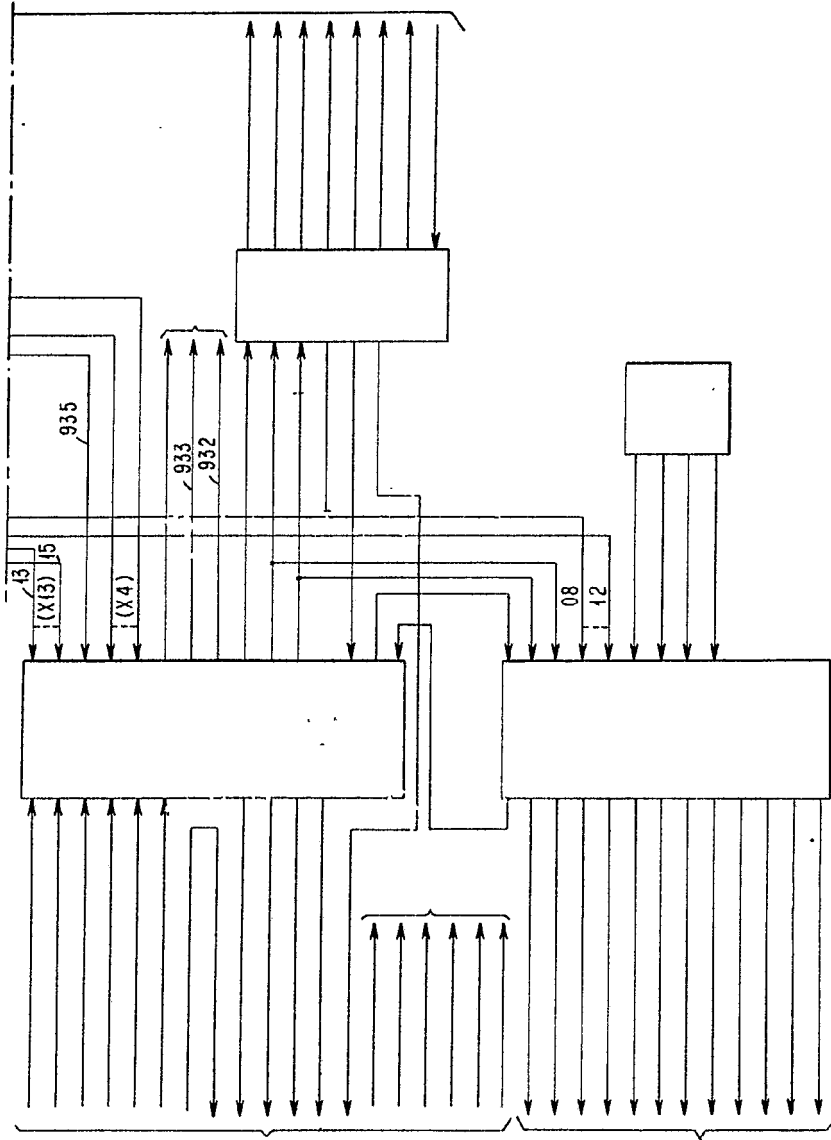
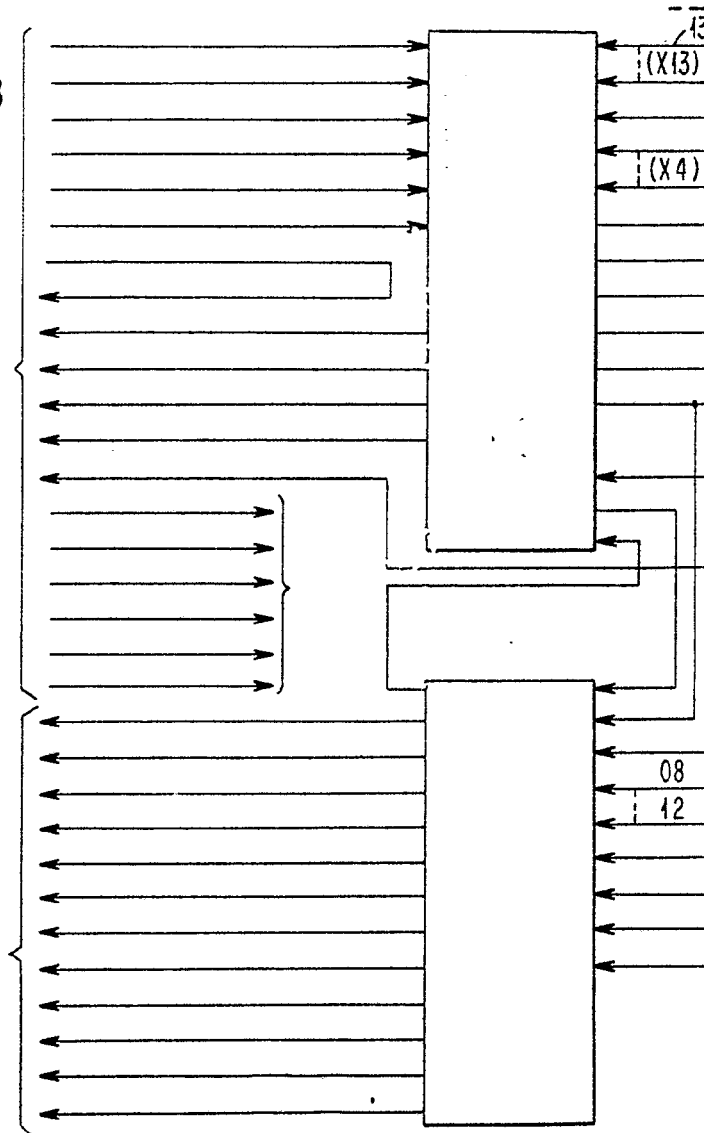
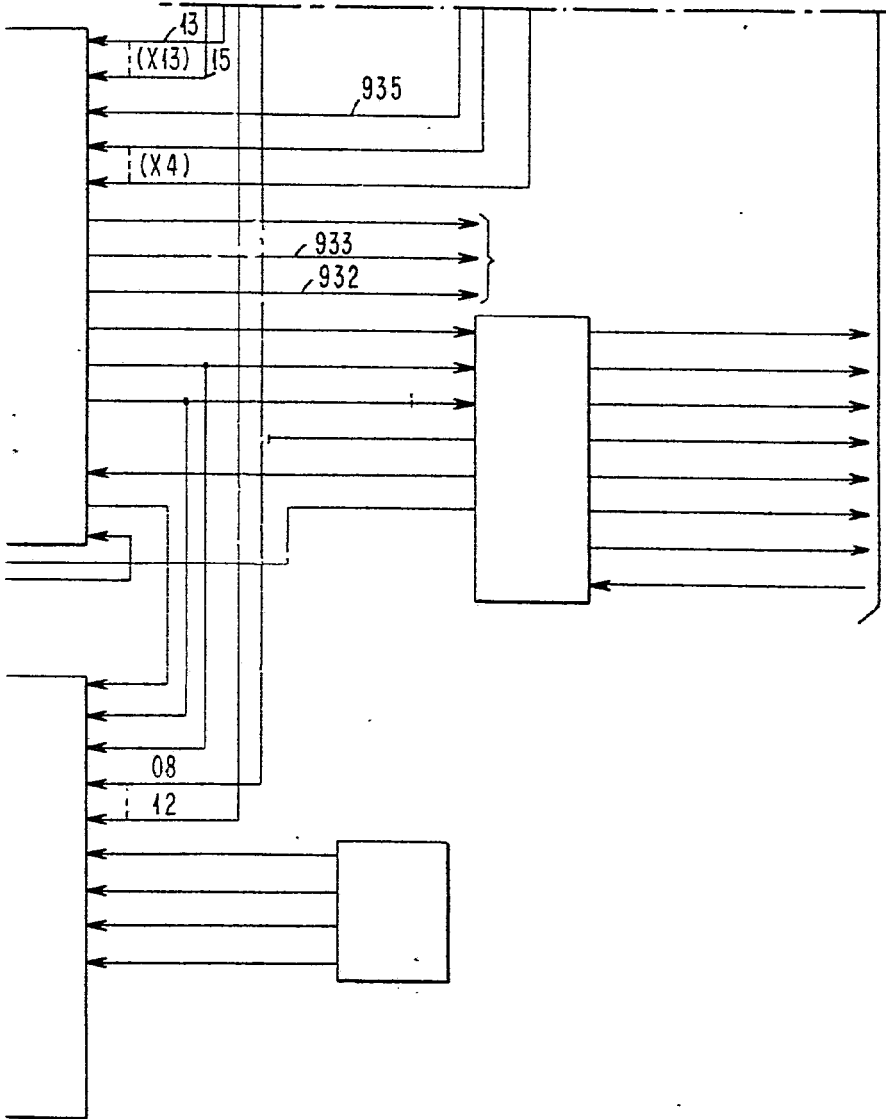


FIG. 9B

Alberto de Szaburo  
Per Penta

FIG. 9B





Alberto de Ezaburu  
Per Poder.

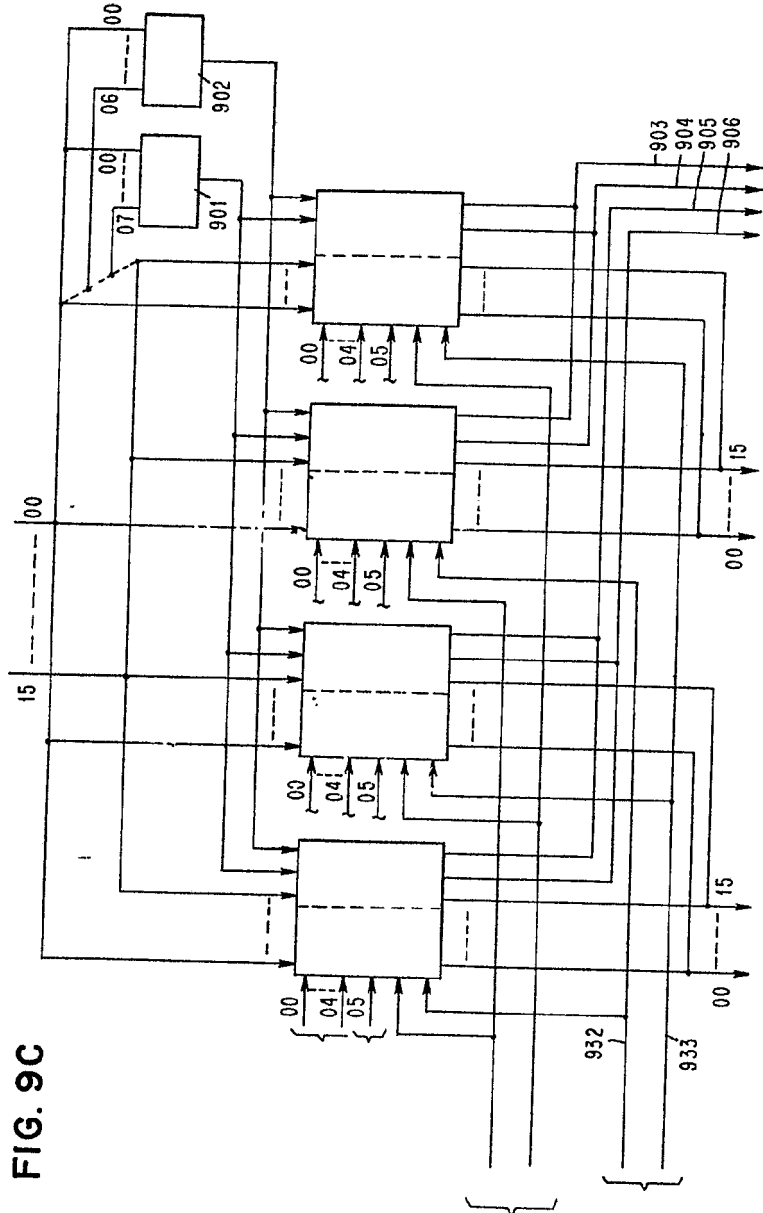
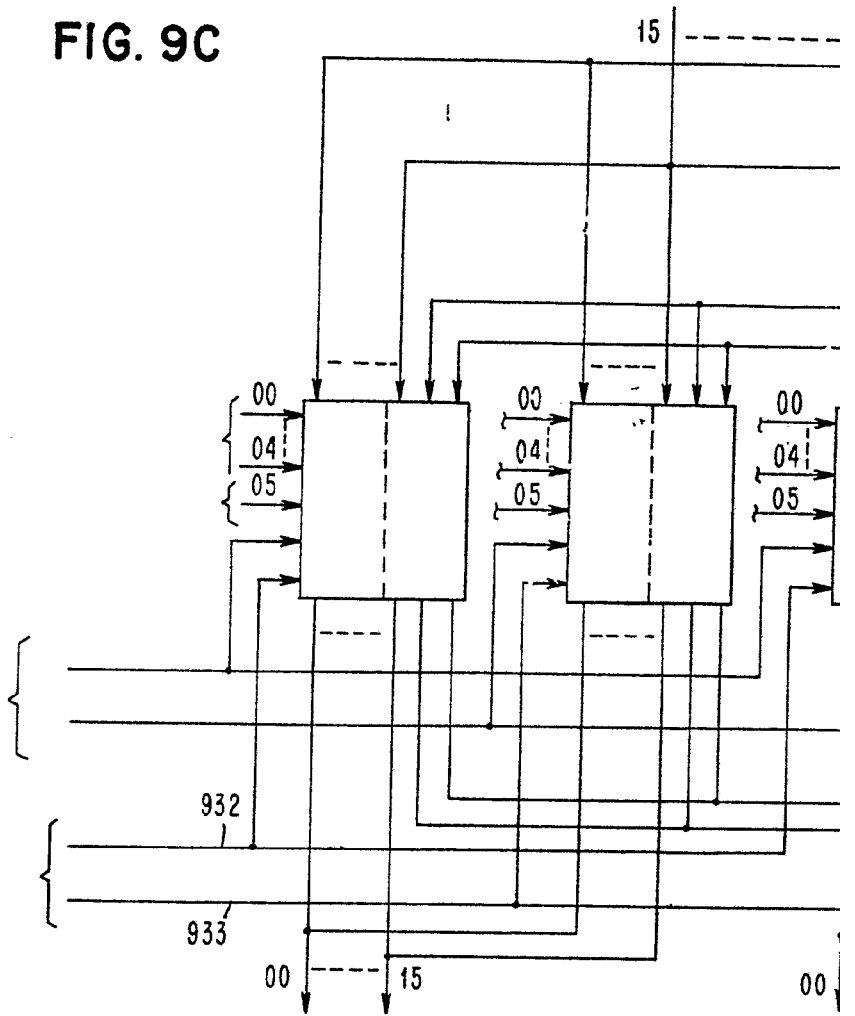
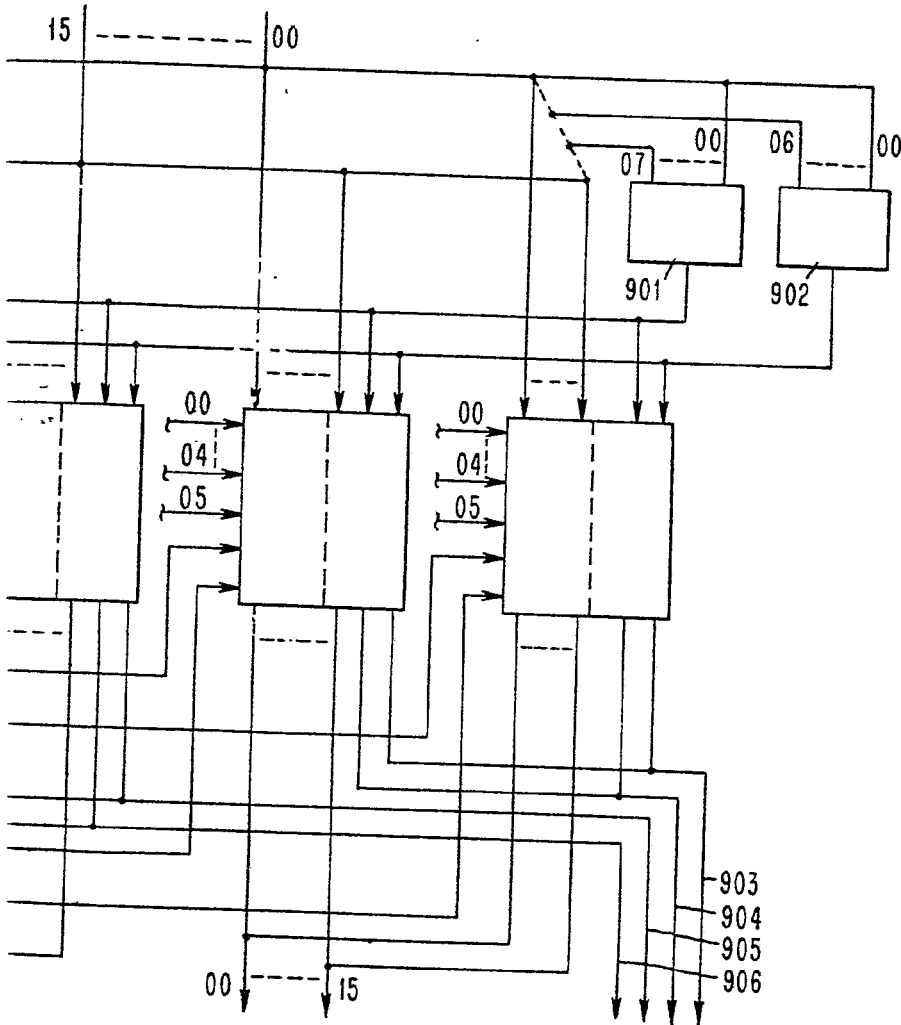


FIG. 9C

*Alberto de Alzaburu*  
Alberto de Alzaburu  
Por Euzer.

FIG. 9C





Alberto de Zaldívar  
Por Poder, *[Signature]*

FIG. 9D-1

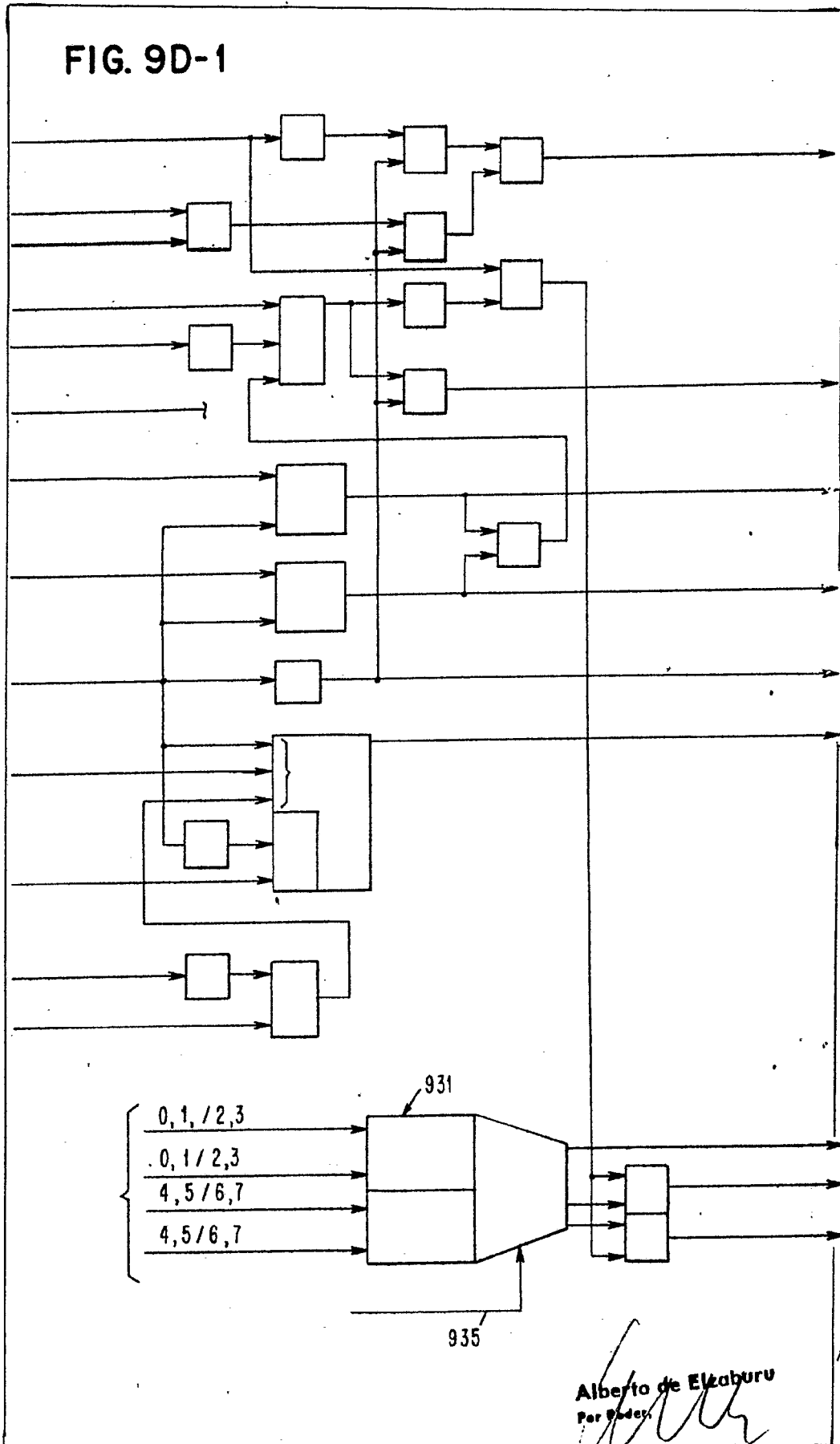
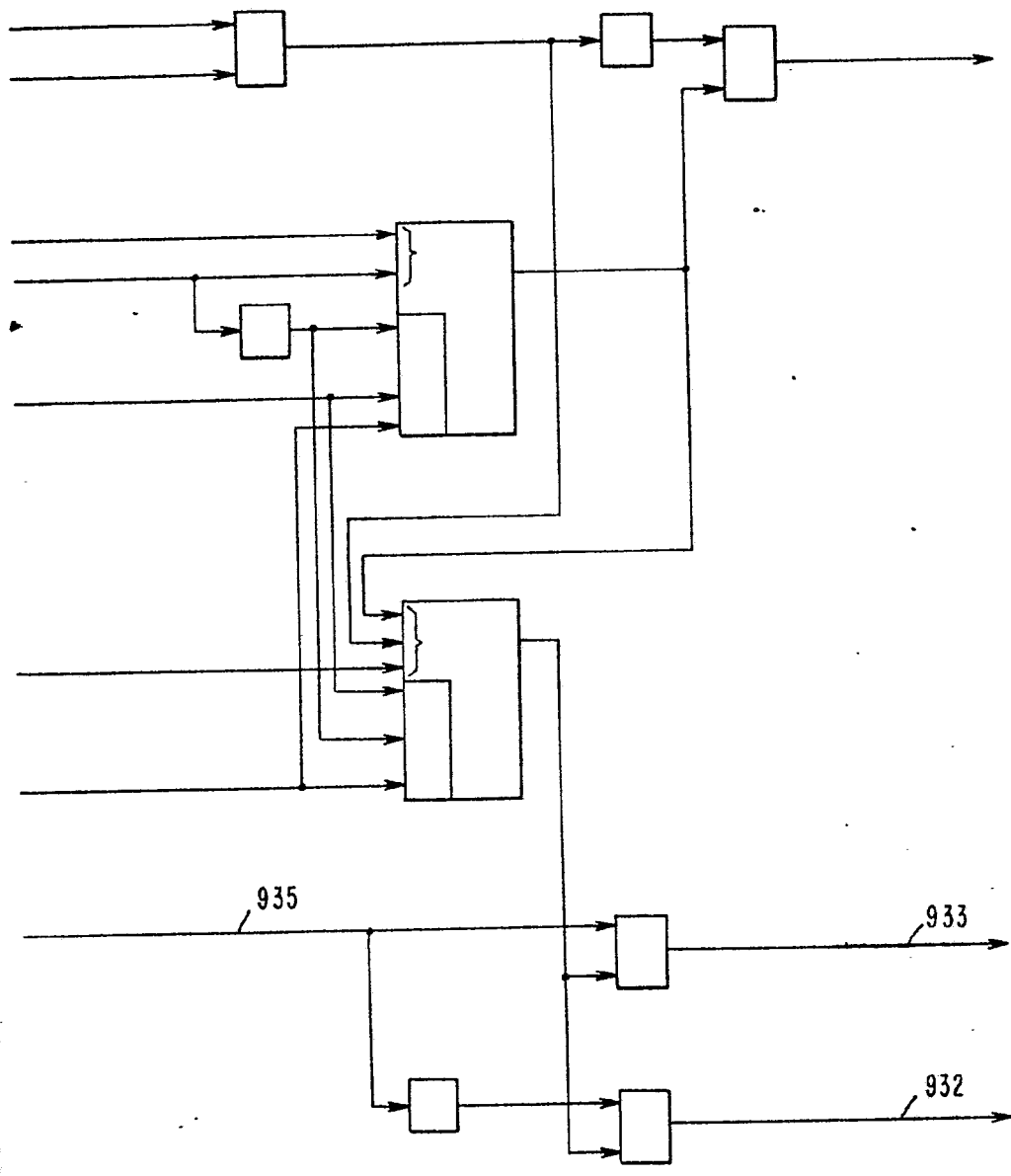


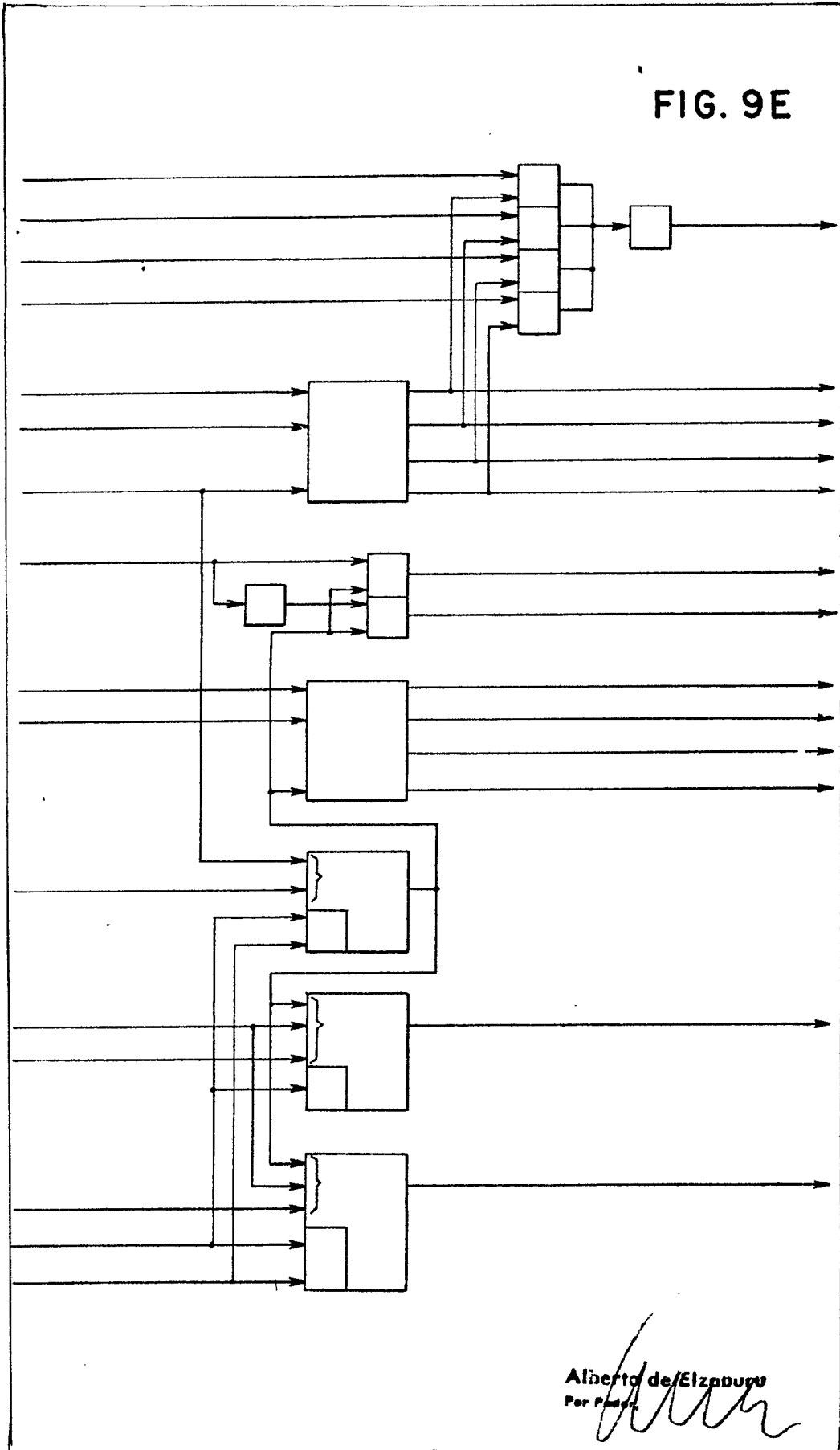
FIG. 9D-2



Alberto de Elzaburu  
Per Per

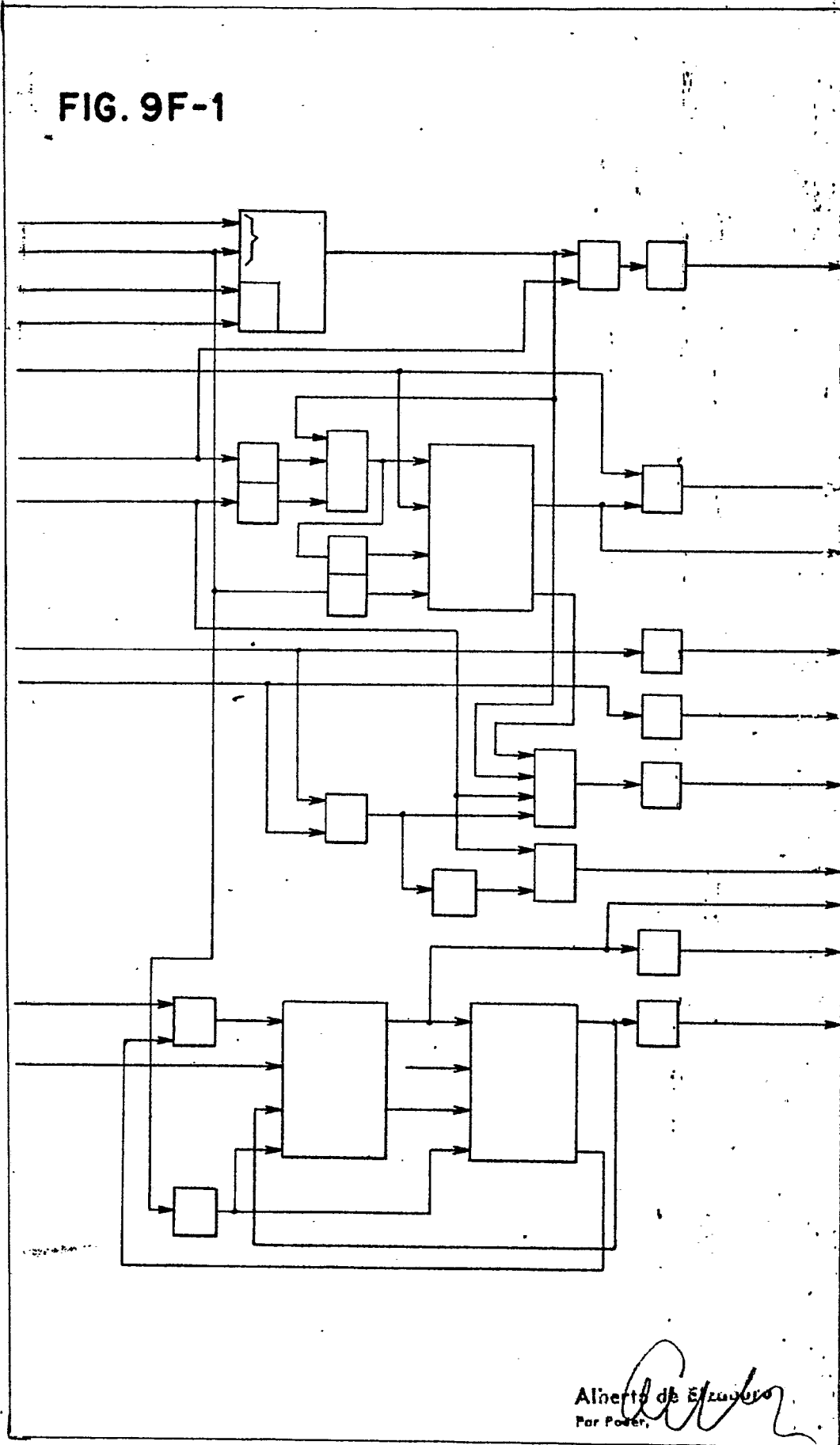
679

FIG. 9E



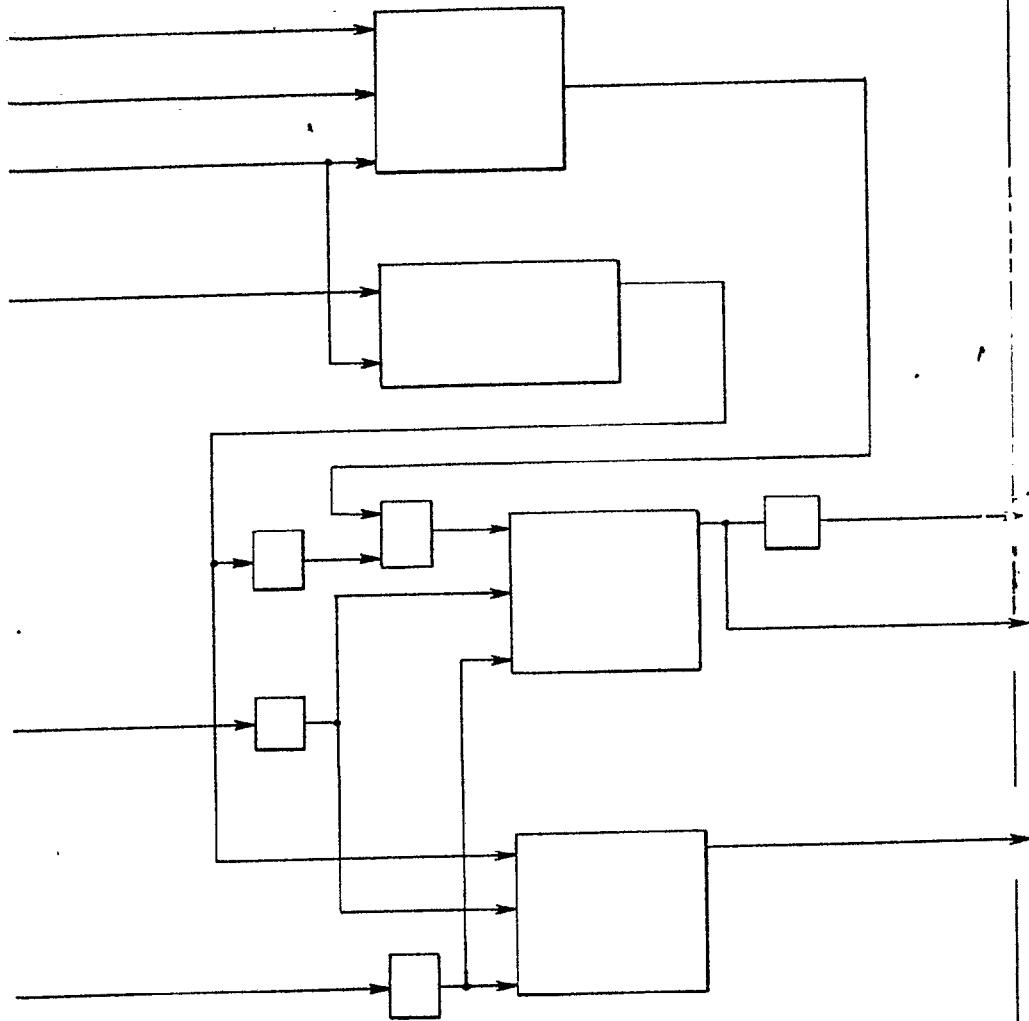
Alberto de/Elzburu  
Per Page

FIG. 9F-1



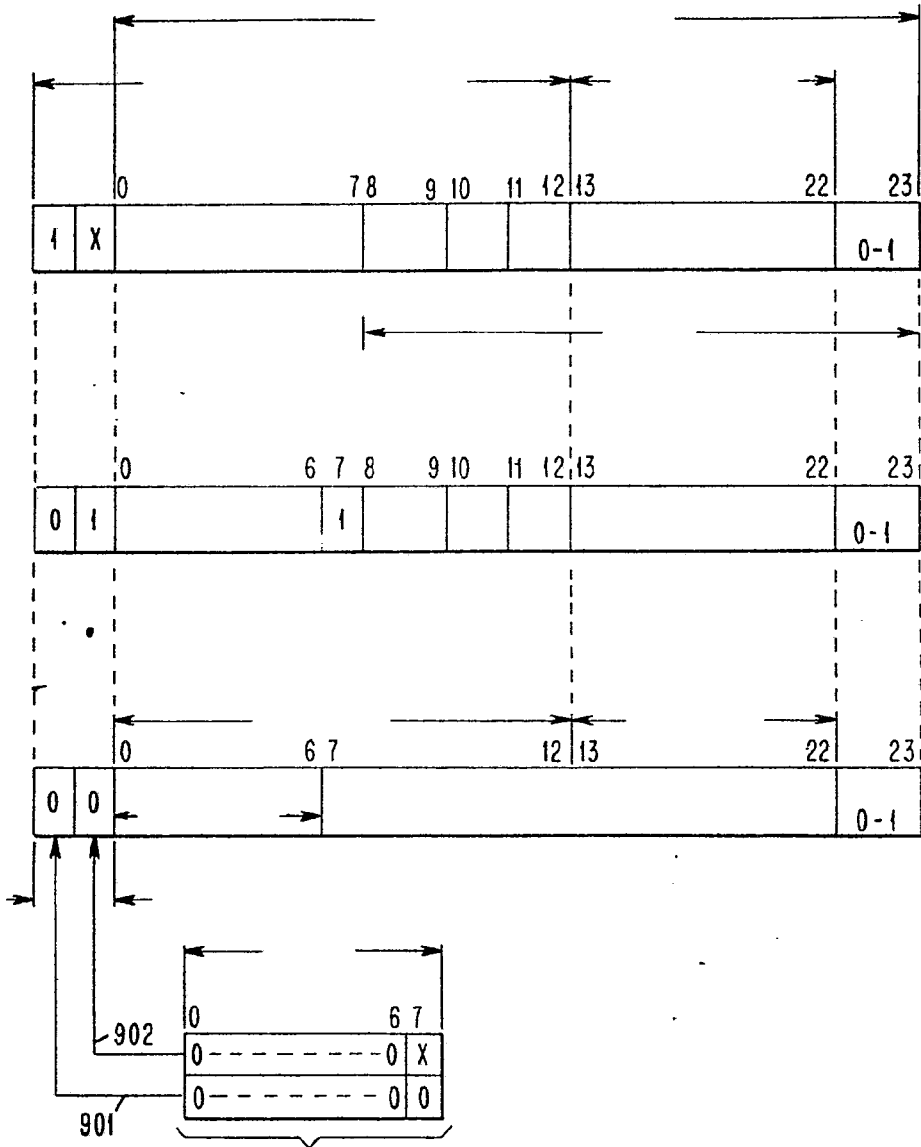
Alberto de Euzenro  
Per Power.

FIG. 9F-2



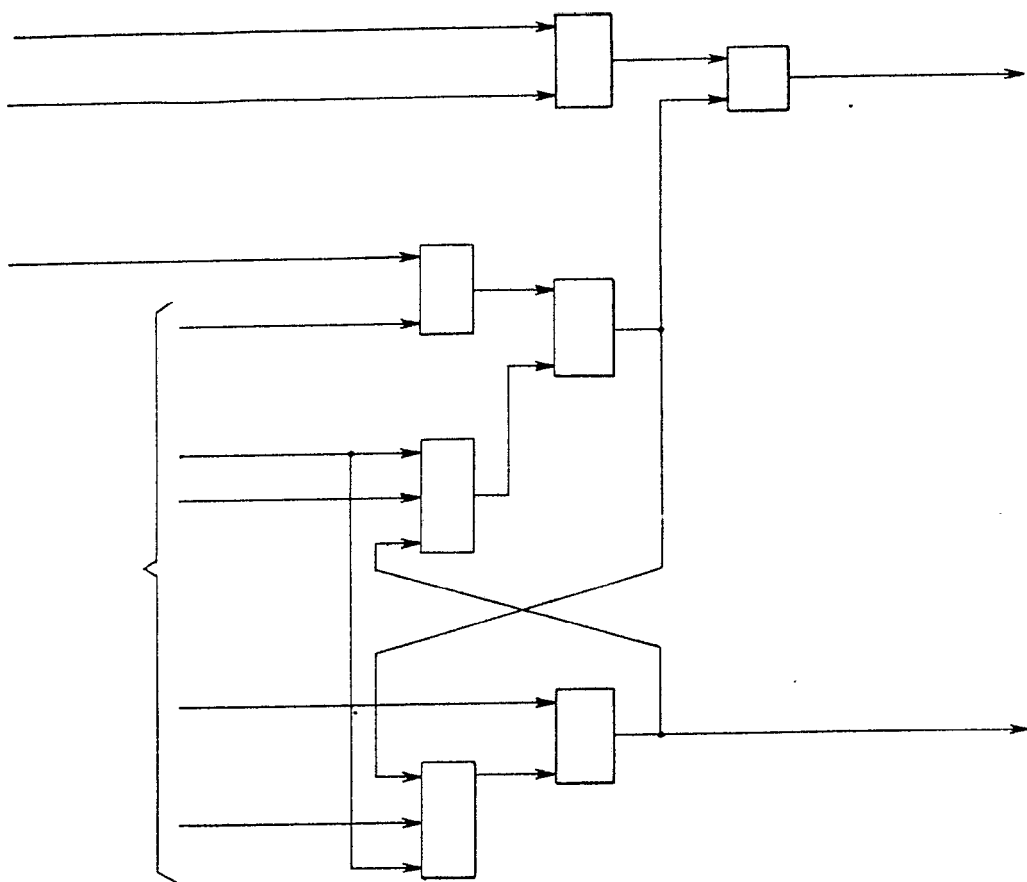
Alberto de Elzaburu  
Per Fedr.

FIG. 9G



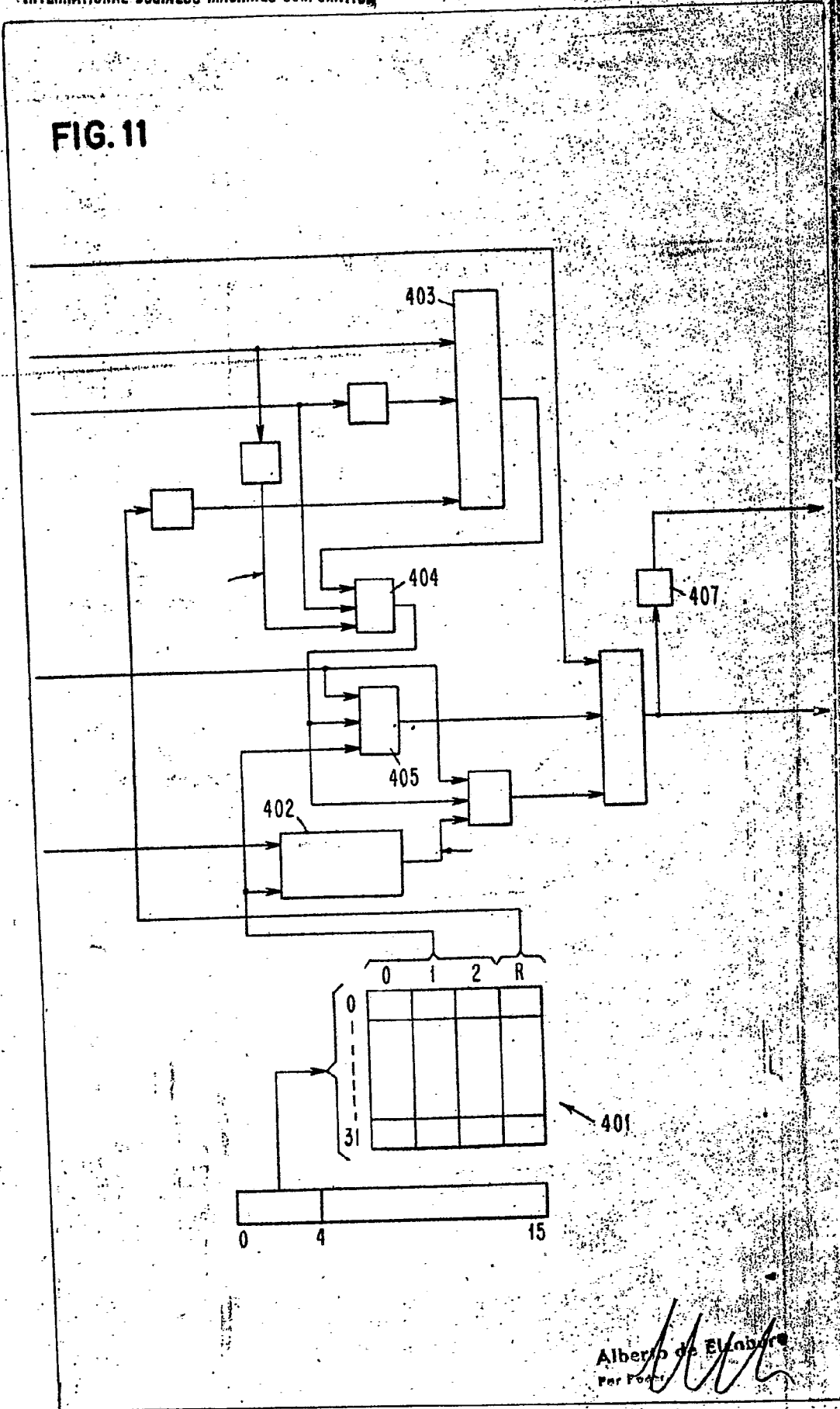
Alberto de Azavedo  
Per 9402U

FIG. 10



Alberto de Elizabete  
Per Ppdt.

FIG. 11



Alberto de Elmhurst  
Per Fogli

POOR  
QUALITY



FIG. 14

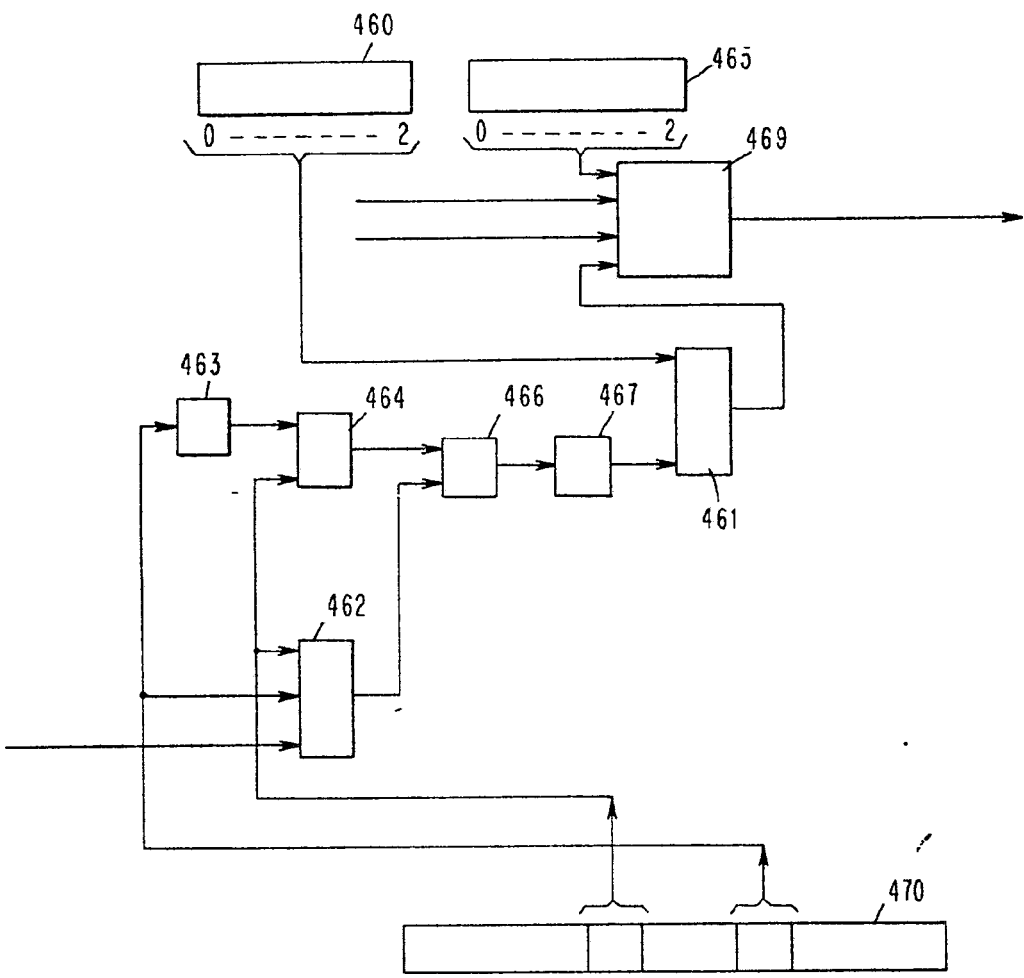
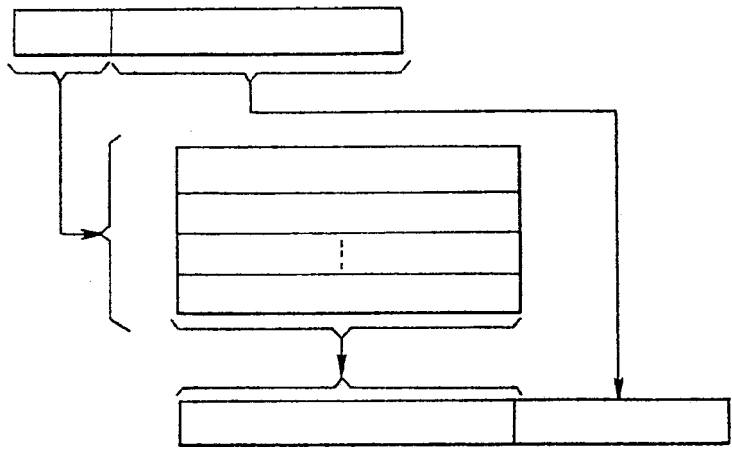
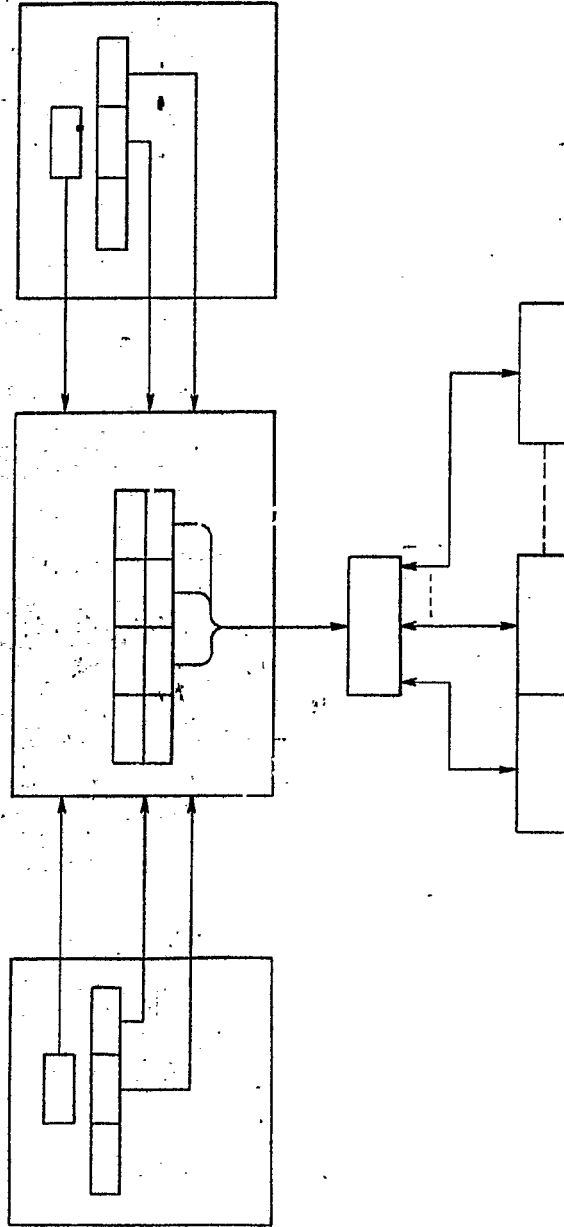


FIG. 15



Alberto de Elizaburo  
For Patent

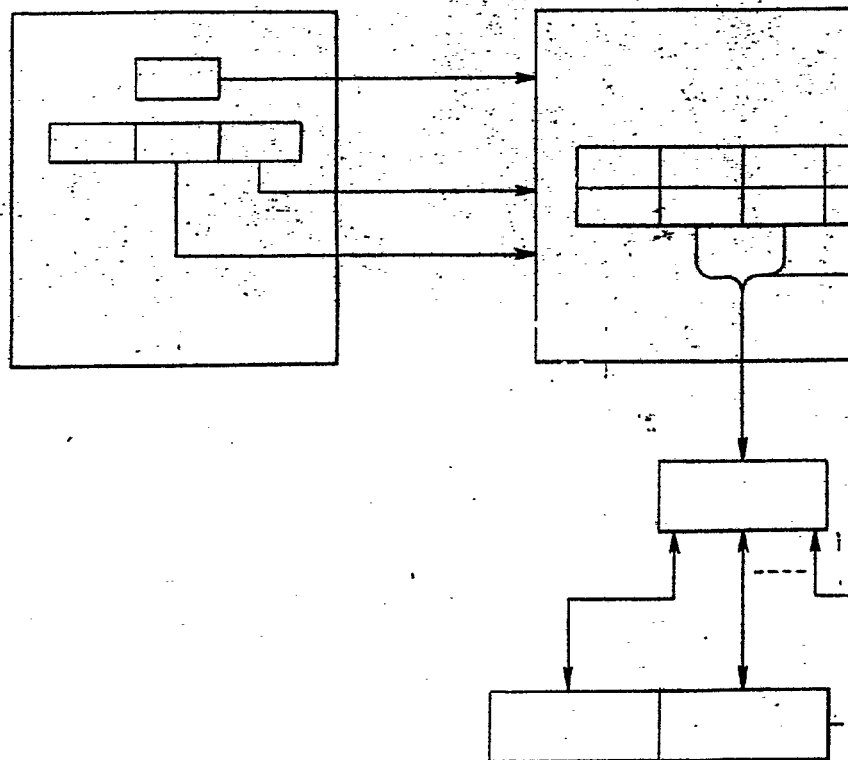
FIG. 16



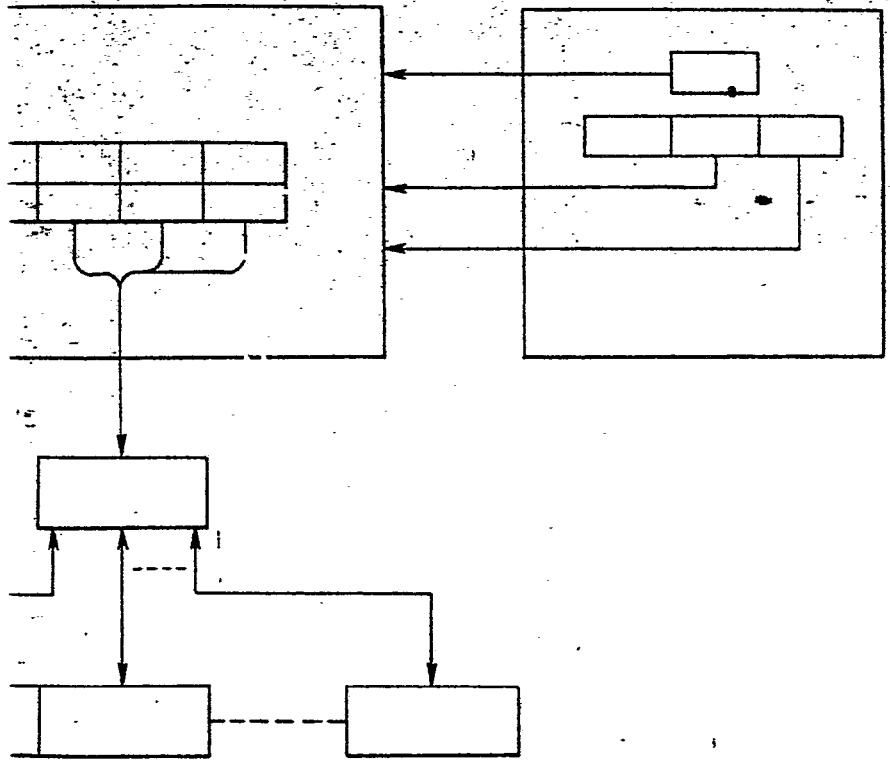
Alberto de Elizaburu  
Per. V. del. 1/1/1961

**POOR  
QUALITY**

FIG. 16



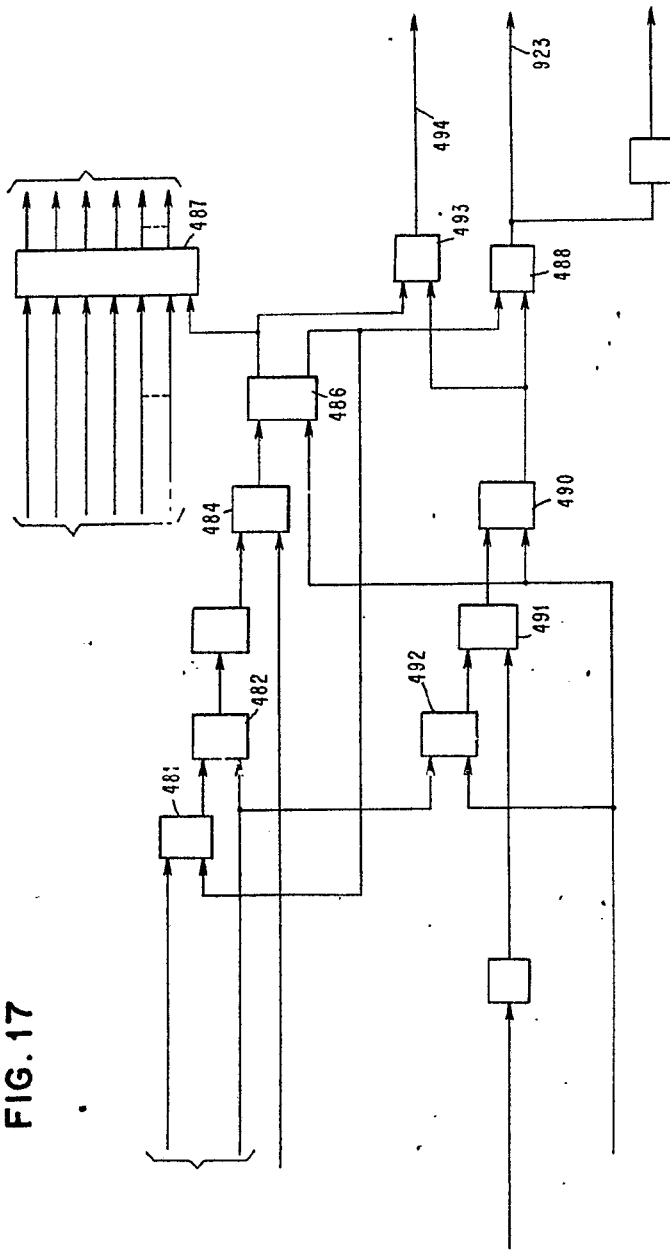
**POOR  
QUALITY**



Alberto de Elizaburu  
For You.

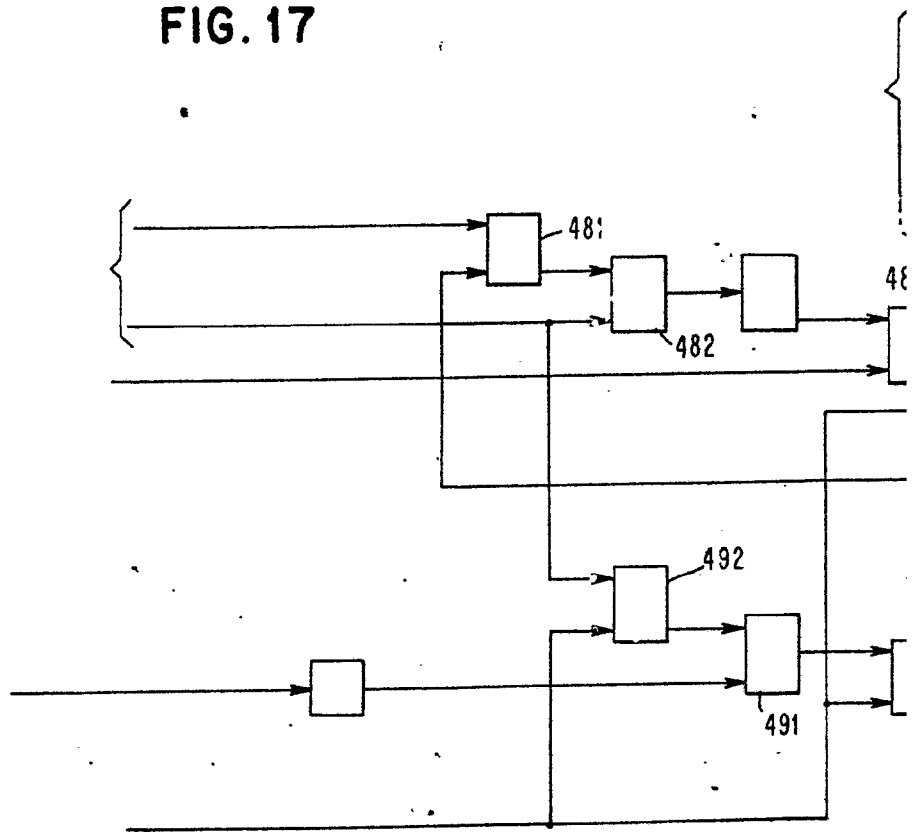
**POOR  
QUALITY**

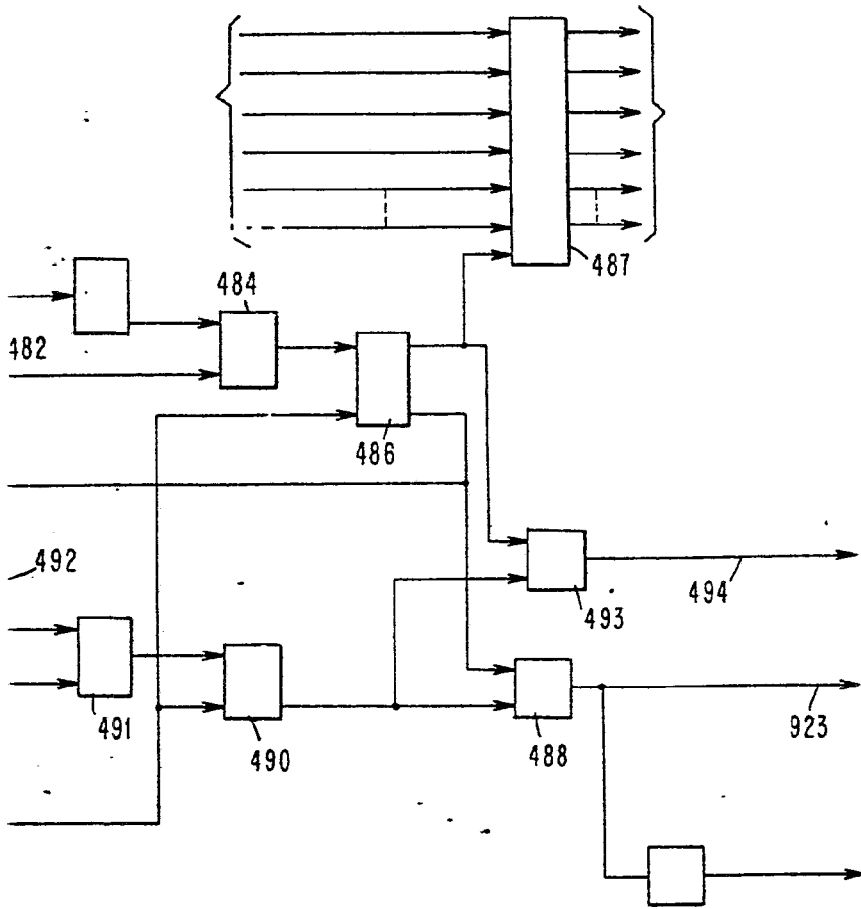
FIG. 17



Alberto J. Elzshur  
Per. P. 10/11/78

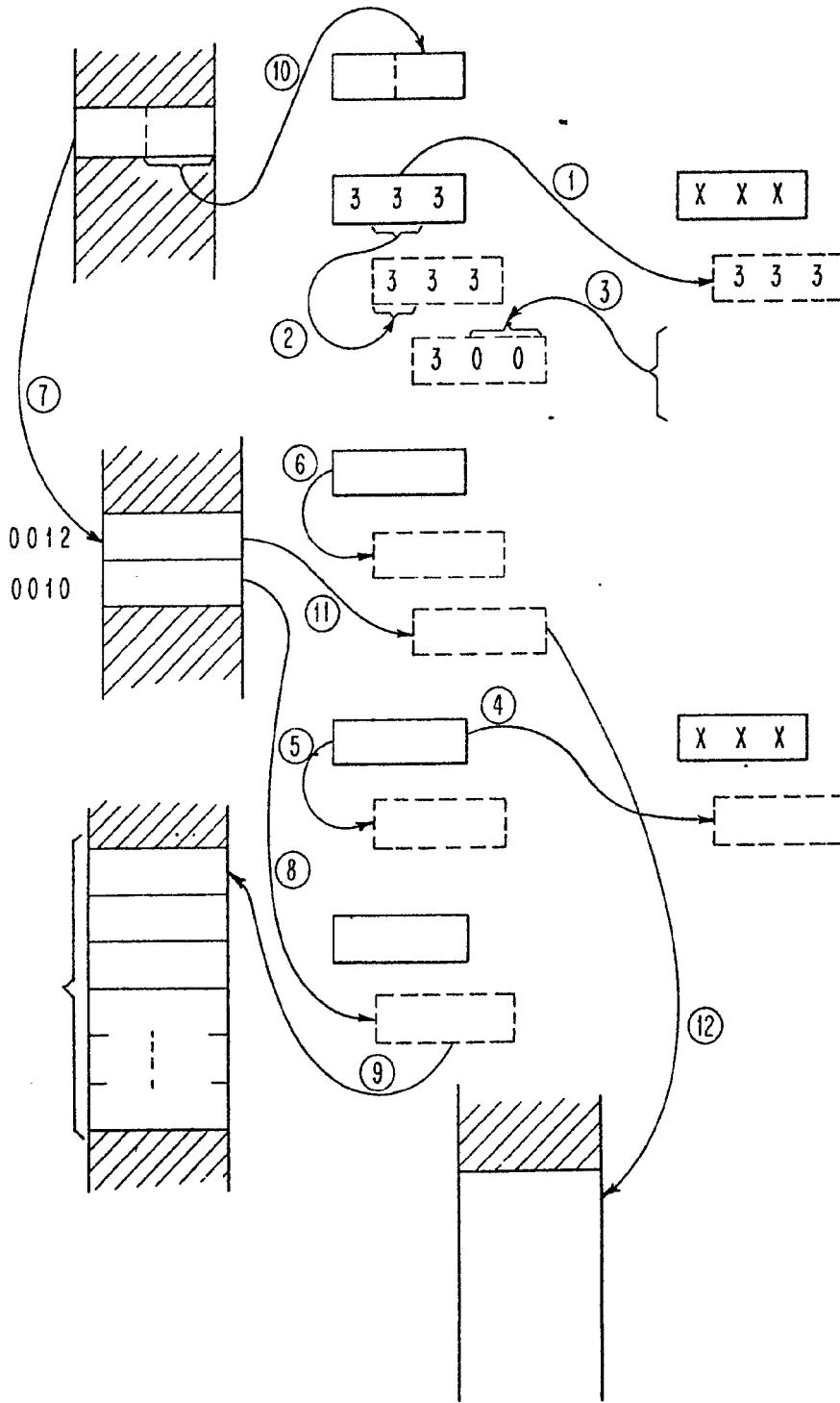
FIG. 17





Alberto de Elzaburu  
Por Poder.

FIG. 18



Alberto de Elizaburu  
For Feder.