



ESPAÑA

19 ES	21	11 NUMERO	458.323	10 A1
	22	FECHA DE PRESENTACION	29-4-1977	

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
681.953	30-4-76	EE.UU.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

54 TITULO DE LA INVENCION
"UN SISTEMA PERFECCIONADO DE TRATAMIENTO DE DATOS"

71 SOLICITANTE (S)
INTERNATIONAL BUSINESS MACHINES CORPORATION (BC 9-76-013)

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, Estados Unidos de América

72 INVENTOR (ES)
Michael Ian DAVIS

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ (P-64.621)

1 El presente invento se refiere a un sistema de  
tratamiento de datos que tiene un ordenador y una memoria  
principal y que comprende circuitos de control para alter-  
nar la ejecución de diversas tareas sobre varios niveles  
5 de tratamiento.

Una tarea, como se define en la presente memoria,  
es una sección de código ejecutable que ha sido provista  
de un ambiente controlado en el cual ha de ejecutarse. Es-  
te ambiente controlado incluye normalmente un conjunto com-  
10 plete de estado asociado con la tarea. Este estado puede  
incluir direcciones de instrucción, contenidos de registro  
e información de control diversa relativa al estado de eje-  
cución de la tarea. Ha sido corriente en sistemas de compu-  
tador anteriores tener esta información agrupada solamente  
15 en concepto de soporte de programación. Es decir, el sopor-  
te de programa de dirección de tarea retiene en la memoria  
principal un bloque de datos que define los parámetros men-  
cionados anteriormente pero el conjunto de dispositivos fi-  
sicos no considera esto como unidad de control de tarea;  
20 por el contrario, están dispuestas instrucciones individua-  
les con las cuales, por ejemplo, pueden cargarse registros,  
pueden ser cargadas las direcciones de instrucción y pue-  
de prepararse cierta información de control. Puesto que es-  
te bloque completo de información debe ser cambiado cada  
25 vez que cambia la tarea en curso, este proceso puede llegar  
a ser de duración considerable. Adicionalmente, el gran nú-  
mero de instrucciones requeridas para tratar cada porción  
de información independientemente, conduce a la utilización  
de grandes volúmenes de memoria para dirigir la transferen-  
cia de información y también para permitir un margen de  
30

1 ~~error en la programación.~~

PRINCIPIOS BASICOS DEL INVENTO

5 Se describen equipos físicos con los cuales los ordenadores de distribución de tareas, establecimiento de prioridad, formación y eliminación de colas pueden ser ma-  
nipulados de un modo que es más rápido, utiliza menos memo-  
ria y es menos propenso a error de programación. Una tarea  
se define aquí como una sección de código ejecutable que ha  
sido provista de un entorno controlado en el cual ha de eje-  
cutarse una operación. Este entorno controlado incluye nor-  
malmente un conjunto completo de estados asociados con la  
tarea. Este estado puede incluir dirección de instrucción,  
10 contenido de registro, e información de control varia rela-  
tiva al estado de ejecución de la tarea. Ha sido común en  
15 sistemas de computador anteriores tener esta información  
agrupada en conjunto solamente en concepto de soporte de  
programa. Es decir, el soporte de programa de dirección de  
tarea retiene en la memoria principal un bloque de datos  
que define los parámetros mencionados anteriormente pero  
20 los circuitos no consideran este como una unidad de control  
de tarea; Por el contrario, son proporcionadas instruccio-  
nes individuales con las cuales, por ejemplo, pueden ser  
cargados registros, puede ser cargada la dirección de ins-  
trucción y puede ser puesta a punto cierta información de  
25 control. Puesto que este bloque completo de información de-  
be ser cambiado cada vez que se cambia la tarea en curso,  
este proceso llega a consumir mucho tiempo. Adicionalmente,  
el gran número de instrucciones requeridas para tratar cada  
pieza de información independientemente, lleva a la utiliza-  
ción de grandes cantidades de memoria para dirigir la trans-  
30

12.7.77

1 -ferencia de información y también hace posible que se presenten errores en la programación.

RESUMEN DEL INVENTO

5 La presente mejora crea, dentro de la disposición constructiva de circuitos de un sistema de computador, los equipos para que el conjunto de circuitos efectúe operaciones con un bloque de información de tarea al que se hará referencia posteriormente como "bloque de estado de nivel". La mejora se describe en el contexto de un sistema de computador que se caracteriza por niveles múltiples de interrupción de prioridad adquirida, teniendo cada uno de los niveles su propio conjunto de registros físicos e información de estado tal como se expone en las Patentes Norteamericanas 3.825.902 y 3.905.025. Sin embargo, la mejora sirve igualmente para un sistema de computador que no tiene como característica tales niveles de prioridad.

15 En la realización preferida, los bloques de estado de nivel normalmente ocupan áreas contiguas de memoria principal y consisten en los siguientes parámetros:

20 Palabra 1 - La información de estado relativa a la tarea y su estado de ejecución (denominado estado de nivel)

25 Palabra 2 - Información de registro de clave de dirección, que contiene los nombres de los espacios de dirección que están asignados a la tarea.

Palabra 3 - La dirección de instrucción en la cual va a comenzar o a continuar la ejecución de la tarea.

30 Palabra 4 - Esta área incluye el contenido de los re-

1 - 11      gistros para fines generales que han de  
ser utilizados cuando la tarea se convier-  
te en activa. La zona de la memoria prin-  
cipal que sigue en posición contigua a es-  
5 ta sección del bloque de estado de nivel  
puede ser utilizada para control de progra-  
ma. Aunque no es examinada por los circui-  
tos, es conveniente describir la tarea en  
un bloque contiguo de memoria. El diseño  
10 del contenido de control de soporte de pro-  
grama del bloque de estado de nivel depen-  
de de consideraciones de diseño del siste-  
ma de programación que está siendo utiliza-  
do y no depende de las palabras 1-11 ante-  
15 riores del bloque de estado de nivel.

Con el fin de hacer activa una determinada tarea  
sobre un nivel dado, se ejecuta una instrucción conocida  
como "cargar bloque de estado de nivel". Esta instrucción  
calcula la dirección efectiva del bloque de estado de nivel  
20 seleccionado en la memoria principal y carga este bloque en  
los circuitos del nivel seleccionado paramétricamente por  
la instrucción. La instrucción "cargar bloque de estado de  
nivel" puede ser utilizada también para suspender o finali-  
zar una tarea.

25            El estado en curso de las tareas activas sobre  
cualquiera de los niveles del sistema puede ser interrogado  
y copiado en la memoria principal por una instrucción "al-  
macenar bloque de estado de nivel" que se ejecuta de un modo  
exactamente opuesto al de la instrucción "cargar bloque de  
30 estado de nivel". Es decir, el contenido de los registros

1 físicos y las condiciones de estado relativas al nivel di-  
reccionado son situados en la posición de memoria principal  
que comienza en la dirección efectiva calculada por la ins-  
trucción "almacenar bloque de estado de nivel".

5 Anexionando los parámetros de programa al conjun-  
to de parámetros contenido en el bloque de estado de nivel  
que son utilizados tanto por los circuitos físicos como por  
el soporte de programa, puede ser utilizado un único regis-  
tro como base para el tratamiento del contenido de la tarea  
10 completa.

El contenido de la palabra de estado de nivel pue-  
de incluir lo siguiente:

- 15 1. Indicadores de resultado lógico y aritmético  
activados como resultado de ciertas operacio-  
nes y utilizados subsiguientemente por instruc-  
ciones de bifurcación para toma de decisión.
- 20 2. Un bitio que indica la existencia de un esta-  
do de supervisión. En el estado de supervisión,  
pueden ejecutarse aquellas instrucciones que  
25 permiten la manipulación de los recursos del  
sistema. Si el bitio es un 0, se considera que  
el sistema está en un estado problemático y se  
suprimen las instrucciones de este tipo.
- 30 3. Un bitio en tratamiento que indica que la ta-  
rea está actualmente en estado activo o ha si-  
do sustituida en su prioridad debido a una in-  
terrupción de orden de prioridad superior. El  
bitio en tratamiento es utilizado en relación  
con cambio de tarea y distribución.
4. Un bitio de seguimiento es utilizado en el ca-

1

so en que se disponga de seguimiento por parte de los circuitos para la tarea en curso.

5

5. Los bitios de máscara resumen de sistema y otros bitios de estado de control de interrupción están contenidos en el estado de nivel. Obviamente, pueden también estar incluidas en el estado de nivel otras funciones adecuadas al control de la tarea en otros sistemas. El estado de nivel no está restringido específicamente a una longitud de una palabra, ni lo están el resto de los campos incluidos en el bloque de estado de nivel.

10

El efecto sobre el sistema de la ejecución de las instrucciones "cargar bloque de estado de nivel" está determinado por tres factores:

15

1. El nivel de ejecución en curso.
2. El nivel seleccionado paramétricamente en la instrucción "cargar bloque de estado de nivel" como nivel objetivo.
3. El estado del bitio en tratamiento contenido en el bloque de estado de nivel identificado por la dirección efectiva de la instrucción "cargar bloque de estado de nivel".

20

La acción de la instrucción "cargar bloque de estado de nivel", cuando el bitio en tratamiento es un bitio 1 en el bloque de estado de nivel identificado por la instrucción "cargar bloque de estado de nivel", es la siguiente:

25

1. Si el nivel seleccionado tiene una prioridad inferior al nivel en curso, el nivel seleccio-

30

12.7.77

- 1 nado quedará pendiente y su estado de nivel  
será definido por el bloque de estado de ni-  
vel que estuvo en la dirección efectiva de la  
instrucción "cargar bloque de estado de nivel".
- 5 Siempre que no se soliciten interrupciones de  
prioridad de un nivel superior al nivel selec-  
cionado, la terminación del nivel en curso ha-  
rá que quede activo el nivel seleccionado.
- 10 2. Si el nivel seleccionado es igual al nivel en  
curso, el nivel seleccionado se convertirá en  
el nivel en curso con su estado de nivel defi-  
nido por el bloque de estado de nivel en la  
dirección efectiva especificada por la ins-  
trucción "cargar bloque de estado de nivel".
- 15 3. Si el nivel seleccionado es superior en prio-  
ridad al nivel en curso, el nivel seleccionado  
se convertirá en el nivel en curso con su es-  
tado de nivel definido por el bloque de estado  
de nivel en la dirección efectiva especificada  
20 por la instrucción "cargar bloque de estado de  
nivel".

Se observará que el método 1 anterior permite que  
sea puesta en cola una tarea de nivel bajo y sea ejecutada  
cuando finaliza la tarea más importante. El método 2 permite  
25 la modificación de la tarea en curso, y el método 3 permite  
una interrupción o cambio a la prioridad del nivel superior  
y hace que quede pendiente el nivel en curso antiguo.

Los siguientes párrafos describen el funcionamien-  
to cuando el bitio en tratamiento en el bloque de estado de  
30 nivel en la posición de memoria principal especificada por

1 la dirección efectiva contenida en la instrucción "cargar  
bloque de estado de nivel" es un 0:

- 5
1. Si el nivel seleccionado tiene una prioridad inferior a la del nivel en curso, no queda pendiente de ejecución el nivel seleccionado. Su estado de nivel está definido por el bloque de estado de nivel situado en la dirección efectiva especificada por la instrucción "cargar bloque de estado de nivel".
  - 10 2. Si el nivel seleccionado es igual al nivel en curso, finalizará el nivel en curso con su estado de nivel definido por el bloque de estado de nivel en la dirección efectiva especificada por la instrucción "cargar bloque de estado de nivel".
  - 15 3. Si el nivel seleccionado tiene una prioridad superior a la del nivel en curso, el estado de nivel superior es definido por el bloque de estado de nivel en la dirección efectiva especificada por la instrucción "cargar bloque de estado de nivel".
  - 20

25 El caso 1 anterior permite que sea suspendida una tarea o finalizada cuando su estado es modificado, según se desee, o no modificado. El caso 2 anterior permite que se produzca la misma operación sobre el nivel en curso, mientras que el caso 3 permite que sea puesta en cola una tarea sobre un nivel superior pero que sea retardada su ejecución hasta que se desee.

30 En la forma preferida, la mejora se consigue por medio de circuitos físicos de retención de registro de ni-

1 vel en curso, circuitos de retención de registro de nivel  
seleccionado, circuitos de retención de registro de nivel  
pendiente con interconexiones adecuadas y circuitos de con-  
5 trol que son activados, bajo control de microprograma, en  
combinación con los medios para transferir bloques de esta-  
do de nivel entre la memoria principal y los conjuntos de  
registro de nivel físicos.

Se observará que en un ordenador de equipo físico  
10 (en contraste con un ordenador microprogramado) las ope-  
raciones de control equivalentes serán efectuadas en los  
circuitos físicos; y se pretende que tales operaciones de  
control equivalentes queden cubiertas por las reivindicacio-  
nes de la presente solicitud.

#### BREVE DESCRIPCION DE LOS DIBUJOS

15 En los dibujos:

La figura 1 es un diagrama de bloques de un sis-  
tema de tratamiento de datos que incorpora la presente me-  
jora;

20 La figura 2 representa la organización de las fi-  
guras 2A-2H, cuyas últimas figuras ilustran los componentes  
principales y el flujo de datos de la forma preferida de un  
ordenador que incorpora la presente mejora;

25 La figura 3 es una ilustración diagramática de  
los componentes principales utilizados para conseguir la  
presente mejora;

La figura 4 es un diagrama de la forma preferida  
de los registros de bloque;

30 La figura 5 es un diagrama esquemático que repre-  
senta la interconexión de diversos registros de nivel y un  
mecanismo de interrupción utilizado para conseguir la pre-

1 presente mejora;

La figura 6 es un diagrama esquemático de los circuitos de control de memoria fija (memoria ROS) del ordenador ilustrado en las figuras 2A-2H;

5 La figura 7 representa el formato preferido de las instrucciones de microprograma.

La figura 8 representa las señales básicas de sincronismo para la ejecución del microprograma;

10 La figura 9 es un diagrama de las diversas zonas incluidas en la memoria fija del presente ordenador;

Las figuras 10 y 11, respectivamente, ilustran la rutina de microprograma que es ejecutada para realizar una instrucción "sumar inmediato" de nivel de máquina, a modo de ejemplo, y los ciclos de sincronismo básicos para la rutina "sumar inmediato";

15 La figura 12 ilustra la sincronización de ciclos de memoria;

Las figuras 13 y 14 son diagramas de sincronismo que ilustran la ejecución de la última palabra de microprograma en cada rutina de ejecución de nivel de máquina; y

20 La figura 15 ilustra un cierto dispositivo lógico de bifurcación condicional que es utilizado en la realización preferida de la presente mejora.

#### DESCRIPCION GENERAL DEL SISTEMA

25 La figura 1 es un diagrama de bloques resumen de un sistema preferido dentro del cual está incorporada la presente mejora.

La unidad central de tratamiento (CPU) u ordenador 1, es el elemento principal del sistema y está representado con más detalle en las figuras 2A-2H. Esta unidad eje-

30

12.7.77

1 cuta instrucciones y controla la actividad asociada a las  
dos líneas generales principales de acoplamiento del sis-  
tema, la línea general 2 de acoplamiento de entrada salida  
(I/O) y la línea general 3 de acoplamiento de memoria/tra-  
5 ductor.

Están acoplados una pluralidad de dispositivos  
4-1 a 4-n de entrada-salida (dispositivos I/O) a la línea  
general 2 de acoplamiento de entrada-salida por medio de  
unidades 5-1 a 5-n respectivas de conexión de dispositivos.  
10 Las unidades 5-1 a 5-n de conexión de dispositivo, junto  
con la unidad 1 central de tratamiento, controlan la trans-  
ferencia de los datos entre la unidad CPU 1 y los dispositi-  
vos I/O (4-1 a 4-n).

La línea general 3 de acoplamiento de memoria-tra-  
15 ductor acopla la unidad CPU 1 a una memoria 8 principal y  
a un traductor 9 de reubicación. Un sistema 11 de acopla-  
miento acopla el traductor 9 de reubicación a una memoria  
10 asíncrona. La memoria principal 8 incluye una sección  
14 de memoria interior y una sección 15 de memoria exte-  
rior. Un sistema 12 de acoplamiento acopla la unidad CPU 1  
20 a la memoria principal 8 para controlar la transferencia  
de datos entre la unidad CPU y la memoria 14 interior. Un  
sistema 13 de acoplamiento de memoria exterior acopla la  
memoria principal 8 al traductor 9 de reubicación para con-  
25 trolar la transferencia de datos entre la unidad CPU 1 y  
la memoria exterior 15.

Está acoplada una consola 6 de operador a la uni-  
dad CPU 1 por medio de un sistema 7 de acoplamiento.

El sistema 2 de acoplamiento incluye una línea  
30 general de dirección de entrada-salida, una línea general

1 de datos de entrada-salida, y señales de control de siste-  
ma de acoplamiento de entrada-salida que se describirán con  
mayor detalle con respecto a la figura 2. El sistema 3 de  
5 acoplamiento incluye una línea colectora de memoria prin-  
cipal y líneas generales de señal de control de unidad  
CPU-traductor. Los sistemas 12 y 13 de acoplamiento, res-  
pectivamente, proporcionan una vía de datos para señales  
de control de memoria interior y señales de control de me-  
10 moria exterior durante transferencias de datos. El sistema  
11 de acoplamiento incluye una línea general de salida de  
datos y una línea general de entrada de datos, junto con  
líneas de señal de control de sistema de acoplamiento. Se  
describirán posteriormente estos sistemas hasta el grado  
en que son pertinentes para el objeto de la presente mejo-  
15 ra.

Flujo de Datos en la Unidad Central de Tratamien-  
to (figuras 2A-2H).

La unidad 1 central de tratamiento (unidad CPU 1)  
incluye una unidad 51 lógica y aritmética (unidad ALU) (fi-  
20 gura 2E) de construcción convencional. Están dispuestos un  
par de registros de entrada para la unidad ALU 51, es decir  
el registro WA 52 y el registro Y 53, cuyos registros están  
acoplados a la unidad ALU 51 por medio de líneas generales  
54 y 55, respectivamente. La unidad ALU 51 incluye una lí-  
25 nea general 56 de salida que está acoplada a la línea gene-  
ral 57 de ordenador por medio de una puerta "Y" 58. La lí-  
nea general 57 de ordenador está acoplada a los registros  
52 y 53 por medio de puertas "Y" 60 y 61 para proporcionar  
datos de entrada a la unidad ALU 51.

30 La línea general 57 de ordenador actúa como línea

1 general principal de datos tanto para datos de origen como  
para datos de destino. Por consiguiente, cada uno de los  
componentes funcionales del ordenador, que actúa como ori-  
gen, está acoplado a la línea general 57 de ordenador por  
5 medio de una puerta "Y"; y cada componente funcional de la  
unidad CPU 1 que actúa como destino, está acoplado a la lí-  
nea general de ordenador por medio de una puerta "Y" respec-  
tiva. La mayor parte de los componentes funcionales del sis-  
tema actúan igualmente como origen y destino para los datos;  
10 y, por consiguiente, están acoplados a la línea general 57  
de ordenador tanto por puertas "Y" de origen como por puer-  
tas "Y" de destino.

De este modo, la línea general 57 de ordenador es-  
tá acoplada a un registro Z 65 por medio de una puerta "Y"  
15 66 de destino y una puerta "Y" 67 de origen, a un registro  
60 de datos de memoria de ordenador por medio de una puerta  
"Y" 71 de destino y una puerta "Y" 72 de origen, a un con-  
tador 75 por medio de una puerta "Y" 76 de destino y una  
puerta "Y" 77 de origen, a un bloque 80 de registro por me-  
20 dio de una puerta "Y" 81 de destino y una puerta "Y" 82 de  
origen, a un registro 85 de clave de dirección por medio de  
una puerta "Y" 86 de destino y una puerta "Y" 87 de origen,  
a un registro 90 de estado de nivel de circuito por medio  
de una puerta "Y" 91 de destino y una puerta "Y" 92 de ori-  
25 gen, y a un registro 95 de dirección de memoria de ordenador  
por medio de una puerta "Y" 96 de destino y una puerta "Y"  
97 de origen.

La línea general 57 de ordenador está acoplada a  
la consola 6 (figura 2a) a través de una puerta "Y" 100 de  
30 origen y una línea general 7a de acoplamiento. Los datos son

1 dirigidos desde la línea general 57 de ordenador hasta la  
consola 6 por medio de la puerta "Y" 66, el registro Z 65  
y la línea general 76 de acoplamiento. Está acoplado un re-  
gistro 101 de operación (O) (figura 2F) a la línea general  
5 57 de ordenador por medio de una puerta "Y" 102 de origen.  
Son almacenados códigos de operación en el registro OP 101  
a partir el registro 70 de datos de memoria de ordenador  
por medio de una puerta "Y" 103. Está acoplado un registro  
10 105 de dirección de bloque (figura 2G) a la línea general  
57 de ordenador por medio de una puerta "Y" 106 de destino.  
Está acoplado un registro 107 de dirección de instrucción  
en curso a la línea general 57 de ordenador por medio de  
una puerta "Y" 109 de origen. La entrada del registro 107  
está acoplada a la salida de los registros 80 de bloque por  
15 medio de una línea general 108. Un conjunto 110 de protec-  
ción de memoria (figura 2H) está acoplado a la línea gene-  
ral 57 de ordenador a través de puertas "Y" 111 y 112 de  
destino y origen.

Un registro 115 de palabra de estado de programa  
20 (registro PSW) tiene su salida 116 acoplada a la línea ge-  
neral 57 de memoria de ordenador mediante una puerta "Y"  
117 de origen. Están dispuestas entradas al registro 115  
procedentes de diversas líneas 120 de entrada de comproba-  
ción de sistema, de un registro 121 de comparación de clave  
25 y de una línea general 136 de estado de comprobación de me-  
moria.

Están dispuestas entradas al registro 121 de com-  
paración de clave procedentes del registro 110 de conjunto  
de protección de memoria por medio de la línea general 125  
30 de salida del conjunto 110 y procedente de un circuito 126

12.7.77

1 lógico de selección de clave por medio de una línea gene-  
ral 127. La salida 128 del registro 85 está acoplada a una  
de las entradas del circuito 126. La segunda entrada 129  
al circuito 126 está proporcionada por circuitos 130 de  
5 protección de interrupción monocíclica (figura 2D). La lí-  
nea general 129 de entrada procedente de los circuitos 130  
de retención está también acoplada al registro 90. La sa-  
lida 127 del circuito lógico 126 de selección de clave esta  
también acoplada a la memoria principal 8 y al traductor 9  
10 de reubicación por medio de la línea general 127 de salida  
que forma parte del sistema 3 de acoplamiento de memoria-  
-traductor.

El sistema 3 de acoplamiento incluye también una  
línea general 135 de sincronismo (figura 2H), la línea ge-  
15 neral 136 de estado de comprobación, una línea general 137  
de dirección y líneas generales 138 y 139 de entrada y sa-  
lida. La salida 140 del registro 95 de dirección de memoria  
de ordenador está acoplada a la línea general 137 de direc-  
ción por medio de una puerta "Y" 141. El registro 142 de  
20 dirección de memoria de interrupción monocíclica tiene su  
salida 143 acoplada a la línea general 137 de dirección por  
medio de una puerta "Y" 144.

Un circuito 150 de detección de cero (figura 2C)  
tiene su entrada acoplada a la línea general 57 de ordenador  
25 y su salida 151 acoplada a un circuito 152 lógico de bifur-  
cación condicional (figura 2A). La salida 151 del circuito  
150 detector de cero está también acoplada a la entrada de  
un circuito 153 indicador de resultado (figura 2G). Una se-  
gunda entrada 154 del circuito 153 indicador de resultado  
30 está derivada de la salida de la unidad 51 lógica y aritmé-

1 tica.

La línea general 57 de ordenador constituye también una entrada al circuito 152 lógico de bifurcación condicional.

5 La salida 160 del contador 75 (figura 2F) proporciona entradas a un descodificador 161 de detención de entrada-salida y al registro 142 de direcciones de memoria de interrupción monocíclica. La salida 162 del descodificador 161 está acoplada a un circuito 239 de control de puerta de acoplamiento (figura 2D). La línea general 138 de datos de entrada procedente de la memoria principal está acoplada al registro 70 de datos de memoria de ordenador (figura 2E) por medio de una puerta "Y" 165 y a un registro 166 de datos de memoria de interrupción monocíclica a través de una puerta "Y" 167. La salida 168 del registro 70 de datos de memoria de ordenador está acoplada a la línea general 139 de datos de salida a la memoria principal por medio de una puerta "Y" 169. El registro 166 está acoplado a la línea general 139 a través de una puerta "Y" 170. Las salidas del registro 70 y 166 están también acopladas a un circuito 171 de comprobación de paridad de memoria (figura 2F). El circuito 171 proporciona bitios de paridad a la línea general 139 de datos de salida cuando no existe error de paridad y proporciona una señal de salida sobre la línea 173 cuando se detecta un error de paridad de memoria.

25 Está acoplado un registro 175 de máscara (figura 2A) a la línea general 57 de ordenador (bitios 12, 13), por medio de las puertas 176, 177 de entrada y salida. La salida 178 del registro 175 de máscara está también acoplada a un registro de nivel en curso por medio de circuitos 180 exci-

30

12.7.77

1 -tadores y una línea general 182a.

Está acoplado un registro 185 de nivel seleccionado a la línea general 57 de ordenador (bitios 14, 15) por medio de una entrada. Está acoplada una salida 185a del registro 185 al registro SAR 105 de bloque (figura 2G) por medio de una puerta 185b. La salida 185a está también acoplada al registro 181 de nivel en curso por medio de circuitos 190 descodificadores y la salida 191 de los circuitos 190 descodificadores. La salida 192 del registro 181 de nivel en curso está acoplada al Registro 193 de Dirección de Memoria Fija (registro ROSAR) (figura 2B) de un mecanismo 200 de control de microprograma de la unidad CPU 1. La salida 181a del registro 181 está acoplada al registro SAR 105 de bloque por medio de una puerta 181b después de ser codificada de cuatro a dos bitios por el codificador 181c.

El mecanismo 200 de control de microprograma incluye una memoria fija (memoria ROS) 201, que está acoplada a la línea general 57 de ordenador por medio del registro 202 de datos de salida de memoria ROS y la puerta "Y" 203 de origen. Una segunda entrada 204 del registro 202 de datos de salida de memoria ROS está acoplada a un circuito lógico 205 descodificador de origen, un circuito lógico 206 descodificador de destino, un circuito lógico 207 descodificador de control de memoria, un circuito lógico 208 descodificador de función ALU, otros circuitos lógicos 209 descodificadores de control, y el registro ROSAR 193.

Es proporcionada selección de dirección para la memoria fija 201 por el registro ROSAR 193 a través de la línea general 212 y un circuito lógico 213 descodificador

1 de dirección. Un registro 1 210 de enlace y un registro 2  
211 de enlace tienen sus entradas acopladas a la memoria  
ROS 193 a través de la línea general 212 y tienen sus sali-  
das 214, 215. El registro 70 de datos de memoria de ordena-  
5 dor (figura 2E) proporciona otra entrada al registro ROSAR  
193 a través de la línea general 73. El circuito lógico 152  
de bifurcación condicional proporciona una entrada al re-  
gistro ROSAR 193 a través de la línea general 216.

10 El circuito 205 descodificador de origen incluye  
líneas 231 de control de origen de salida, que son utiliza-  
das para controlar las diversas puertas "Y" de origen (ta-  
les como la puerta 102) para establecer acceso a datos de  
origen. Los descodificadores 206 de destino incluyen líneas  
232 de control de destino de salida, que controlan diversas  
15 puertas "Y" de destino (tales como la puerta 76) para diri-  
gir datos de destino a los registros correctos u otros com-  
ponentes. Los circuitos 208 descodificadores de función ALU  
incluyen líneas 233 de control de función ALU de salida,  
que son utilizadas para controlar las diversas funciones  
20 de la unidad ALU durante ciclos de ordenador. Estas líneas  
de control de destino, líneas de control de origen y líneas  
de control de función ALU se describirán con mayor detalle  
posteriormente, hasta donde están relacionadas con la mejora  
de la presente solicitud.

25 Los circuitos 207 lógicos descodificadores de con-  
trol de memoria tienen una salida 235 acoplada a un circui-  
to 236 de control de memoria. El circuito 236 incluye una  
segunda entrada 237 derivada de los circuitos 209 descodi-  
ficadores y una tercera entrada 238 procedente de los circui-  
30 tos 239 de control de puerta de acoplamiento de canal (figu-

12.7.77

1 ra 2D). Esta línea general 238 es bidireccional y es uti-  
lizada durante transferencias de datos entre los dispositi-  
vos 4-1 a 4-10 de entrada-salida y la unidad CPU 1. La lí-  
nea general 12 de acoplamiento y la línea general 135 de  
5 sincronismo están ambas acopladas al circuito 236 lógico  
de control de memoria.

Los circuitos 209 descodificadores tienen una sa-  
lida 240 de control de estado, una salida 241 de solicitud  
de interrupción de muestra, y una salida 242 de estado de  
10 comprobación. Adicionalmente, una salida 243 de los circui-  
tos 209 descodificadores está acoplada a un circuito 245  
de control de sincronismo (figura 2C). Un oscilador 246  
de cristal proporciona señales a un divisor 247 de frecuen-  
cia que está acoplado a su vez a la entrada del circuito  
15 245 de controles de sincronismo para proporcionar los im-  
pulsos de sincronismo para el flujo de datos y circuitos  
de control de la unidad CPU 1. Estos impulsos de sincronis-  
mo para el flujo de datos de la unidad CPU y circuitos de  
control son proporcionados por medio de líneas 248-1-248-n  
20 de salida del circuito 245 de controles de sincronismo. La  
línea general 135 de sincronismo está acoplada al circuito  
245 de control de sincronismo y es una línea general de co-  
municaciones bidireccional para este fin.

Se describirá ahora con detalle el conjunto 250  
25 de dispositivos de canal (figuras 2A, 2D). El conjunto 250  
de dispositivos de canal incluye una pluralidad de circuitos  
251 a 256, ambos inclusive, de receptor y excitador que es-  
tán acoplados a las diversas líneas y líneas generales del  
sistema 2 de acoplamiento de entrada-salida. De este modo,  
30 el receptor 251 está acoplado a una línea general 261 de en-

1 trada de solicitud (bitios 0-3). El receptor 252 está co-  
nectado a una línea general 262 de entrada de solicitud  
(bitio 16). Están conectados un grupo de circuitos 253 re-  
ceptores y excitadores a la línea 263 de llamada selecti-  
5 va, a la línea 264 de retorno de llamada selectiva y a la  
línea 265 de retorno de ráfaga. El circuito 254 excitador  
está acoplado a la línea general 266 identificadora de lla-  
mada selectiva (bitios 0-4). Los circuitos 255 excitador y  
receptor están acoplados a las líneas 267-1 a 267-10, am-  
10 bas inclusive, que son la línea de puerta de servicio, la  
línea de retorno de puerta de servicio, la línea de puerta  
de dirección, la línea de retorno de puerta de dirección,  
la línea selectora de datos, la línea de retención o compro-  
bación de máquina, la línea de reposición de sistema, la  
15 línea de indicador de palabra-batería de bitios, la línea  
de indicador de entrada-salida, y la línea general de esta-  
do de interrupción monocíclica (bitios 0-3), respectivamen-  
te. Los receptores 256 están conectados a una línea general  
268 de entrada de código de estado (bitios 0-2). El sistema  
20 2 de acoplamiento incluye también una línea general 269 de  
datos, una línea general 270 de dirección (bitios 0-15), una  
línea 272 de bitio 16 de la línea general de dirección y  
una línea 271 de reposición de encendido.

La línea general 269 de datos está acoplada a la  
25 entrada de un circuito 275 comprobador de paridad y genera-  
dor de sistema de acoplamiento de entrada-salida. El circui-  
to 275 incluye una primera salida 276 que proporciona bitios  
de paridad a la línea general 269 de datos de sistema de aco-  
plamiento de entrada-salida cuando no existe error en los da-  
30 tos transmitidos desde un dispositivo de entrada-salida a la

1 unidad CPU 1. El circuito 275 incluye una segunda salida  
277 que proporciona una señal cuando se produce un error  
de paridad sobre la línea general 269 de datos. La línea  
general 269 de datos está acoplada también a la línea gene-  
5 ral 57 de ordenador por medio de una puerta "Y" 278 de ori-  
gen. La línea general 269 de datos está acoplada a la entra-  
da del registro 166 de datos de memoria de interruptor mono-  
cíclica por medio de una puerta "Y" 280 y está acoplada a  
la salida del registro 166 de datos de memoria de interrup-  
10 ción monocíclica por medio de una puerta "Y" 279. La línea  
general 269 de datos está acoplada a la salida 55 del regis-  
tro "Y" 53 por medio de una puerta "Y" 281.

La línea general 270 de dirección está acoplada  
a la entrada del registro 142 de dirección de memoria de in-  
15 terrupción monocíclica. La línea general 270 de dirección  
está también acoplada a la salida 160 del contador 75 por  
medio de una puerta 273.

La salida 182b de los circuitos 251 receptores es-  
tá acoplada a una entrada del registro 181 de nivel en cur-  
20 so a través de la puerta "Y" 187c cuya otra entrada es la  
salida 182a de excitador de máscara. Los circuitos 252, 253,  
254 excitador y receptor están acoplados a un circuito 285  
de control de secuencia de llamada selectiva. El registro  
181 de nivel en curso proporciona otra entrada al circuito  
25 285 a través de la salida 181a. Una línea 286 de reconoci-  
miento de solicitud proporciona una entrada adicional al cir-  
cuito 285 de control de secuencia de llamada selectiva. El  
circuito 285 de control de secuencia de llamada selectiva  
está también acoplado al circuito 239 de control de puerta  
de acoplamiento por medio de una línea 289. Está acoplado un  
30

1 -circuito 288 de control de comprobación de retraso y de se-  
cuencia de sistema de acoplamiento al circuito 285 de con-  
troll de secuencia de llamada selectiva por medio de una lí-  
nea 287. La línea 271 de reposición de encendido proporcio-  
5 na una entrada adicional al circuito 285.

Las líneas 290-1 a 290-10 acoplan los circuitos  
255 excitador y receptor al circuito 239 de control de puer-  
ta de acoplamiento.

10 La línea general 57 de ordenador es una línea ge-  
neral de 16 bitios de anchura para transportar información  
entre elementos de origen y de destino en el flujo de datos  
de la unidad CPU seleccionado por los circuitos de control  
de microprograma.

15 El registro 101 de operación (OP REG) es un regis-  
tro de 16 bitios que contiene la primera palabra de la ins-  
trucción, que incluye argumentos de dirección de registro  
para el bloque 80 de registro, durante la descodificación  
de instrucciones. Es utilizado también como registro de da-  
tos transitorio cuando no retiene la primera palabra de la  
20 instrucción. Su salida es un elemento de origen para la lí-  
nea 57 general de ordenador. Recibe su entrada del registro  
70 de datos de memoria.

25 La unidad ALU 51 es un elemento de 16 bitios que  
realiza funciones aritméticas y lógicas especificadas por  
las instrucciones. Su salida 56 es un elemento de origen pa-  
ra la línea general 57 de ordenador. Recibe su entrada de  
los registros WA e Y 52, 53 respectivamente.

30 El registro WA 52 es un registro de 16 bitios que  
es la entrada primaria a la unidad ALU 51 para operaciones  
aritméticas y lógicas. Recibe su entrada como elemento de

1 -destino de la línea general 57 de ordenador.

El registro Y 53 es un registro de 16 bitios que constituye la entrada secundaria a la unidad ALU 51 para operaciones aritméticas y lógicas. En combinación con el  
5 registro WA 52 realiza el desplazamiento en operaciones de desplazamiento de palabra doble. Recibe entrada como elemento de destino de la línea general 57 de ordenador. Este registro 53 proporciona también la vía de datos para datos de salida a la línea general 269 de datos de entrada-salida  
10 para operaciones de entrada-salida con control directo por programa.

El registro 70 de datos de memoria de ordenador (registro PROC SDR) es un registro de 16 bitios a través del cual es controlado el paso de todos los datos a o desde  
15 la memoria principal, excepto los datos de interrupción monocíclica. La primera palabra de cada instrucción que es extraída por exploración de la memoria 8 principal es transmitida a través del registro PROC SDR 70 al registro OP 101. Este registro 70 es utilizado también como registro de datos  
20 transitorio durante otras operaciones de ordenador. Por consiguiente, puede recibir entrada como elemento de destino de la línea general 57 de ordenador y da salida como elemento de origen hacia la línea general 57 de ordenador.

El registro 166 de datos de memoria de interrupción monocíclica (registro CS SDR) es un registro de 16 bitios a través del cual son transmitidos todos los datos a y desde la memoria 8 principal a través de la línea general 269 de datos de entrada-salida e indistintamente la línea general 138 de memoria de entrada o la línea general 139 de  
25 memoria de salida durante operaciones de interrupción mono-  
30

1 cíclica.

Los 8 bitios de orden inferior del contador 75 de 16 bitios (contador (CTR) son utilizados como bitios de cómputo para mantener el seguimiento de diversas operaciones de ordenador. Es utilizado también como registro transitorio para otras operaciones de ordenador. Por consiguiente, es un elemento de origen y destino para la línea general 57 de ordenador. Es utilizado también para retener la dirección de dispositivo para selección de dispositivo y es transmitida la orden de entrada-salida a través de la puerta 273 a la línea general 270 de dirección de entrada-salida durante operaciones con control directo por programa.

El registro 95 (PROC SAR) de dirección de memoria de ordenador es un registro de 16 bitios utilizado principalmente para retener una dirección de memoria principal. Su contenido es transmitido a través de la puerta 141 a la línea general 137 de dirección de memoria para accesos de memoria durante operaciones de tratamiento normal y operaciones con control directo por programa. Es utilizado también como registro transitorio de datos cuando no se necesita para direccionamiento de memoria principal.

El registro 142 de dirección de memoria de interrupción monocíclica (registro CS SAR) es un registro de 16 bitios utilizado para retener una dirección de memoria principal transferida a través de la línea general 270 de dirección de entrada-salida procedente del dispositivo de entrada-salida durante operaciones de transferencia de datos de interrupción monocíclica. Su salida es transmitida a través de la puerta 144 a la línea general 137 de dirección de memo-

30  
12.7.77

1 ría solamente para accesos de memoria por interrupción mon-  
nocíclica.

5 La finalidad principal del registro Z 65 de 16  
bitios es retener los datos para los indicadores de visua-  
lización de datos de operador (no representados) de la con-  
sola 6. Es utilizado también como registro transitorio para  
otras operaciones de ordenador. Es un elemento de origen  
y destino para la línea general 57 de ordenador.

10 El conjunto 80 (bloque) de registros (figura 3)  
es un conjunto de circuitos de retención monolíticos utili-  
zados para retener los contenidos de registros, estados de  
nivel, claves de dirección y direcciones de instrucción pa-  
ra cada uno de los cuatro niveles de interrupción. Contiene  
también ciertos registros de trabajo utilizados por el mi-  
15 croprograma, es decir, los registros TEMP, TEMP 1 - 3, DBUF,  
SOA1, SOA2 de conservación de nivel en curso y conservación  
AKR, organizados como se representa en la figura 3.

20 Los registros TEMP y TEMP1-3 contienen datos tran-  
sitorios utilizados por el microprograma durante tratamiento  
normal. El registro SOA1 contiene la dirección ingresada ma-  
nualmente que ha de utilizarse para operaciones de parada  
sobre dirección y el registro SOA2 contiene la clave de me-  
25 moria de consola en los tres bitios de orden inferior, sien-  
do ceros los bitios restantes. El registro DBUF es el regis-  
tro intermedio de datos de consola. El contenido de este re-  
gistro intermedio excita los indicadores de visualización  
de datos (no representados) sobre la consola 6. El registro  
de nivel en curso contiene el nivel que estuvo activo cuando  
se entró en el estado de parada. El registro de conservación  
30 AKR contiene una copia del nivel AKR en curso.

1 - Los datos contenidos en los registros LSR, AKR,  
e IAR del bloque 80 para el nivel en curso están también re-  
tenidos en los correspondientes registros físicos 90, 85,  
107 por razones de rendimiento, es decir para reducir el  
5 número de accesos de bloque. El bloque 80 de la realización  
preferida está compuesto por dos conjuntos de 64X9 elemen-  
tos conectados en paralelo para formar un conjunto de 64X18  
elementos.

El registro 105 de dirección de bloque es un re-  
10 gistro de 6 bitios para direccionamiento del bloque 80. Las  
entradas al registro 105 están proporcionadas por un incre-  
mentador 320 a través de un registro 321 de enlace de blo-  
que y una puerta 322 de destino, por el registro 185 de ni-  
vel seleccionado a través de la línea general 185a y la puer-  
15 ta 185b, por el registro 181 de nivel en curso a través de  
la línea general 181a y la puerta 181b, por el registro OP  
101 a través de la línea general 101a y la puerta 101b, y  
por la línea general 57 de ordenador. El registro 105 de di-  
rección de bloque es cargado desde la línea general 57 de  
20 ordenador a través de la puerta 106.

El registro físico 90 de estado de nivel (regis-  
tro LSR) es un registro físico de 16 bitios utilizado para  
retener el estado de nivel en curso. Durante tratamiento so-  
bre un nivel específico, el contenido del registro físico  
25 LSR 90 cambia como el resultado de operaciones aritméticas  
y lógicas. El registro LSR de nivel en curso en el bloque 80  
de registros permanece inalterado hasta que se produce una  
salida de nivel. En este instante, el contenido del registro  
físico LSR 90 es situado en el registro LSR contenido en  
30 el bloque 80 de registro del nivel que está siendo abandona-

12.7.77

1 do; y el nuevo estado de nivel tomado del bloque 80 de registros es situado en el registro físico LSR 90.

Ciertos contenidos del registro LSR 90 son los siguientes:

5

TABLA 1

Registro de Estado de Nivel

Bitio	Significado
0	Indicador de paridad par
1	Indicador de acarreo
10 2	Indicador de excedencia      Indicadores de resultado
3	Indicador de Resultado      Negativo
4	Indicador de resultado cero
8	Estado supervisor
15 9	En proceso      Controles de estado
10	Rastreo
11	Máscara resumen

Los indicadores de resultado son utilizados por el soporte de programa para la toma de decisiones.

20

Los indicadores de paridad par, acarreo y excedencia son también utilizados por operaciones de entrada-salida para retener los códigos de estado enviados al ordenador 1 por los dispositivos 4-1 a 4-n de entrada-salida.

25

Durante una ejecución de instrucción de entrada-salida los indicadores de paridad par, acarreo y excedencia están asignados a los siguientes valores de código de estado:

30

1

TABLA 2

Código de Estado	Paridad Par	Acarreo	Excedencia	Significado
0	0	0	0	Dispositivo no anexionado
5	1	0	0	Ocupado
2	0	1	0	Ocupado después de reposición
3	0	1	1	Rechazo de orden
4	1	0	0	Intervención requerida
10	5	1	0	Comprobación de datos de sistema de accoplamiento
6	1	1	0	Controlador ocupado
15	7	1	1	Satisfactorio

Durante la aceptación de interrupción todos los códigos de estado son reportados por el dispositivo. Los indicadores de paridad par, acarreo y excedencia están asignados a los siguientes valores de código de estado:

20

TABLA 3

Código de estado	Paridad par	Acarreo	Excedencia	Significado
0	0	0	0	Final de controlador
1	0	0	1	PCI
25	2	0	1	Excepción
3	0	1	1	Final de dispositivo
	1	0	0	Atención
5	1	0	1	Atención y PCI
30	6	1	0	Atención y Excepción
12.7.77	7	1	1	Atención y final de dispositivo

1 Donde PCI es una interrupción controlada por programa.

TABLA 4

Definiciones de Bitio de Registro de Estado de Nivel

5	Bitio		
	0	Indicador de paridad par -----	Poner a uno si el bitio de orden inferior del resultado es cero; de otro modo poner a cero.
10		1	Indicador de Acarreo ----- Poner a 1 si el resultado de operaciones de sumar o restar no puede ser representado como número sin signo; de otro modo poner a cero.
15		2	Indicador de Excedencia ----- Poner a uno si el resultado de una operación aritmética no puede ser representado como un número con signo; de otro modo poner a cero.
		3	Indicador de Resultado negativo ----- Poner a uno si el bitio cero del resultado es uno; de otro modo poner a cero.
20		4	Indicador de resultado cero ---- Poner a uno si el resultado es "todos ceros", de otro modo poner a cero.
25		8	Estado supervisor ----- Poner a uno siempre que el ordenador l entre en un estado de supervisión. Se entra en el estado de supervisión cuando: - Se ejecuta una instrucción de llamada al estado de supervisión. - Se produce una interrupción de clase. - Es aceptada una interrupción de entrada-salida.

1	9	En Tratamiento	-----	Este bitio es activado o repuesto por el correspondiente bitio contenido en el registro LSR del bloque de estado de nivel de memoria (LSB) siempre que se ejecute la instrucción de "cargar bloque de estado de nivel" (LLSB). La instrucción LLSB carga un bloque LSB de la memoria 8 en el nivel LSB designado en el bloque 80.
5				
10	10	Rastreo	-----	Este bitio es activado o repuesto por el bitio correspondiente del registro LSR de la memoria LSB siempre que se ejecute la instrucción "cargar bloque de estado de nivel". La instrucción LLSB carga un bloque LSB de la memoria 8 en el nivel LSB designado en el bloque 80.
15	11	Máscara resumen	-----	<p>Cuando la máscara resumen es igual a 0, son inhabilitadas todas las interrupciones de prioridad sobre todos los niveles. Cuando la máscara resumen es igual a 1, son habilitadas todas las interrupciones de prioridad sobre todos los niveles. La máscara resumen es puesta a uno (habilitada) en los siguientes casos:</p> <ul style="list-style-type: none"> <li>- Ejecución de la instrucción "habilitar" con el bitio 15 = 1.</li> <li>- Reposición de sistema, reposición de encendido, IPL.</li> <li>- Ejecución de una instrucción LLSB con el bitio 11 de la memoria LSR = 1.</li> <li>- Aceptación de una interrupción de prioridad sobre el nivel interrumpido.</li> </ul> <p>La máscara resumen es puesta a cero (inhabilitada) en la siguiente situación:</p> <ul style="list-style-type: none"> <li>- Ejecución de la instrucción de llamada a supervisión, (SVC).</li> <li>- Ejecución de la instrucción "inhabilitar" con</li> </ul>
20				
25				
30				

- 1 el bitio 15 = 1.:  
 - Cualquier interrupción de clase:  
 Comprobación de máquina  
 Comprobación de programa  
 Salto no programado de excepción flexible.  
 5 Alarma térmica de potencia.  
 Llamada al estado de supervisión.  
 Rastreo  
 Consola  
 - Ejecución de la instrucción  
 LLSB con el bitio 11 de la memoria LSR = 0.

10 El ordenador 1 no considera números indistintamente con signo o sin signo, sino que realiza la operación designada sobre los valores presentados. Todos los indicadores reflejan el resultado de la operación. Esto permite al programador comprobar resultados para el tipo de operación realizada.

15 El registro 115 de palabra de estado de ordenador (Palabra PSW) es un registro de 16 bitios que contiene información de error y excepción que hace que se produzca una interrupción de clase de comprobación de programa, comprobación de máquina, salto no programado de excepción flexible,  
 20 o alarma térmica de potencia. Están también contenidas en el registro 115 de palabra PSW tres marcas indicadoras de estado. El registro PSW 115 toma sus estados de acuerdo con estados de conjunto de dispositivos y estados detectados por microprograma.

25

## TABLA 5

## Palabra de Estado de Ordenador

Bitio	Significado
0	Comprobación de especificación
1	Dirección de memoria no válida

30

1	Comprobación de programa	2	Violar privilegio
		3	Comprobación de protección
		4	Función no válida (indistintamente comprobación de programa o excepción flexible).
5		5	Excepción de coma flotante
	Salto no programado de excepción flexible	6	Excepción de bloque
		7	Reservado
		8	Comprobación de paridad de memoria
10	Comprobación de máquina	9	Reservado
		10	Comprobación de control de CPU
		11	Comprobación de entrada-salida
		12	Indicador de secuencia
15	Marcas indicadoras de estado	13	Carga inicial de programa automática
		14	Traductor habilitado
	Potencia/térmica	15	Alarma térmica de potencia

El registro 85 de clave de dirección (registro AKR) (figura 2G) es un registro físico de 16 bitios utilizado para almacenar el contenido del registro AKR de nivel en curso durante el tratamiento sobre ese nivel particular. El registro AKR 85 proporciona la clave de dirección que es comparada en el circuito 121 con la clave de protección contenida en el conjunto 110 de protección de memoria. Esto es realizado para cada acceso a memoria excepto para operaciones de interrupción monocíclica. El campo de clave de espacio de instrucción (ISK) del registro AKR es también utilizado como clave de dirección de consola para accesos de memoria manuales desde la consola 6.

30

12.7.77

1

TABLA 6

Registro de Clave de Dirección

Bitio	Significado
0	Igualar espacios de operando
5	Operando 1 Bitio de clave 0
6	Operando 1 Bitio de clave 1
7	Operando 1 Bitio de clave 2
9	Operando 2 Bitio de clave 0
10	Operando 2 Bitio de clave 1
11	Operando 2 Bitio de clave 2
13	Bitio de Clave de Espacio de Instrucción 0
14	Bitio de Clave de Espacio de Instrucción 1
15	Bitio de Clave de Espacio de Instrucción 2

5

10

15

20

25

30

El registro 107 de dirección de instrucción en curso

so (registro CIAR) (figura 2G) contiene la dirección de instrucción que se está ejecutando. El registro CIAR 107 es cargado al comienzo de cada instrucción. Durante la ejecución de la instrucción, el nivel IAR en el bloque 80 es actualizado a la siguiente dirección de instrucción. Si una interrupción de clase impidiese la ejecución total de la instrucción en curso por detención de la misma, es tratada la interrupción de clase, y entonces el registro CIAR 107 es utilizado para redireccionar la instrucción interrumpida que es ejecutada nuevamente.

El conjunto 110 de protección de memoria (figura 2G) consiste en los 32 registros de clave de memoria (no representados). El conjunto está habilitado siempre que está instalada y habilitada la característica de protección de memoria. Cada registro contiene la clave de protección y el bitio de solo lectura para controlar un bloque de dos mil

1 cuarenta y ocho baterías de bitios de la memoria 8. La ins-  
 trucción "activar clave de memoria" establece los estados  
 de la clave y del bitio de solo lectura en un registro de  
 clave de memoria específico. La instrucción "copiar clave  
 5 de memoria" lee un registro de clave de memoria específico.

El registro 185 de nivel en curso (figura 2A) con-  
 siste en un registro de 2 bitios que es utilizado para rete-  
 ner el indicador de nivel en curso que está actualmente en  
 vigor. El registro 185 es activado siempre que cambia el ni-  
 10 vel. El registro 185 es utilizado en el direccionamiento del  
 bloque de estado de nivel correcto en el bloque 80 de memo-  
 ria local y es utilizado también para determinar si puede  
 ser aceptada una interrupción. Para este último fin, es uti-  
 lizado un descodificador 190 de nivel de dos a cuatro bitios.

15 El registro 185 es un elemento de origen y destino para la  
 línea general 57 de ordenador.

El registro 175 de máscara (figura 2A) es un re-  
 gistro de 4 bitios que es utilizado para habilitar o inhabi-  
 litar interrupciones de prioridad sobre los cuatro niveles  
 20 de interrupción del modo siguiente:

TABLA 8

Bitio 0 = 0 Nivel 0	Interrupciones inhabilitadas
Bitio 1 = 0 Nivel 1	Interrupciones inhabilitadas
Bitio 2 = 0 Nivel 2	Interrupciones inhabilitadas
25 Bitio 3 = 0 Nivel 3	Interrupciones inhabilitadas
Bitio 0 = 1 Nivel 0	Interrupciones habilitadas
Bitio 1 = 1 Nivel 1	Interrupciones habilitadas
Bitio 2 = 1 Nivel 2	Interrupciones habilitadas
30 Bitio 3 = 1 Nivel 3	Interrupciones habilitadas

1 El registro 175 de máscara es activado por la instrucción "cargar máscara". Es un elemento de origen y destino para la línea general 57 de ordenador.

5 Las salidas 178 de registro de máscara están también conectadas a los excitadores 180 de máscara no cargados, lo cual permite la combinación en función lógica "Y" de los cuatro bitios del registro 175 de máscara con los bitios de solicitud de interrupción de prioridad adecuados procedentes de los receptores 251 de sistema de acoplamiento de entrada-salida y la línea general 261 para utilización en el establecimiento de la acción de aceptación de interrupción.

10

Un oscilador 246 de cristal genera la frecuencia de sincronismo básica para la unidad CPU 1. Un divisor 247 de frecuencia genera los impulsos A, B, C y D de sincronismo de oscilación libre como se representa en la figura 8. El nivel superior indica el estado lógico 1. Cada impulso está activo durante 55 nanosegundos una vez cada 220 nanosegundos.

15

20 Los circuitos 245 de control de sincronismo controlan la detección e iniciación de los impulsos de sincronismo de puerta, distribuyen los impulsos de sincronismo al flujo de datos y circuitos de control, y generan ciertos im pulsos de sincronismo especiales, para sincronismo de memoria principal. Los impulsos de sincronismo de transmisión controlada son de la misma forma que los impulsos A, B, C y D descritos anteriormente pero pueden ser interrumpidos e iniciados por estados que se originan en el microprograma y en el conjunto de dispositivos físicos.

25

1 Línea general es un grupo de elementos lógicos combinatoriales que son capaces de determinar si el valor presente sobre la línea general de ordenador es cero. Su salida es utilizada por el microprograma en la toma de decisiones.

5 El circuito 171 generador de paridad y comprobador comprueba la presencia de paridad impar en todas las baterías de bitios recibidas en la memoria 8 principal por la unidad CPU 1. Genera código de paridad sobre todas las baterías de bitios enviadas a la memoria 8 principal por la unidad CPU

10 1. La detección de un error de paridad de memoria de ciclo de ordenador establece el estado del bitio de paridad de memoria en el registro PSW 115 y origina una interrupción de clase de comprobación de máquina. La detección de un error de paridad de memoria de ciclo de interrupción monocíclica  
15 hace que sea indicado el estado de error al dispositivo de entrada-salida activo.

El circuito 275 Generador de Paridad de Sistema de Acoplamiento de Entrada-Salida y Comprobador comprueba la presencia de paridad impar en todas las baterías de bitios recibidas sobre la línea general 2 de datos de acoplamiento de entrada-salida. Genera código de paridad impar  
20 sobre todas las baterías de bitios transmitidas sobre la línea general 2 de datos de acoplamiento de entrada-salida. La detección de un error de paridad en los datos entrantes  
25 hace que sea indicado el estado de error al dispositivo de entrada-salida activo.

El descodificador 161 de Parada de entrada-salida descodifica la orden "Detener entrada-salida" que es ejecutada por en canal 250 en vez de ser ejecutada por un dispositivo de entrada-salida. Origina una reposición de todos  
30

12.7.77

1 los dispositivos 4-1 a 4-n de entrada-salida conectados al sistema.

5 El circuito lógico 128 de selección de clave es utilizado para seleccionar una de las tres claves AKR en el registro 85 o la clave de interrupción monocíclica a través de la línea general 129 para referencia de la memoria principal. Durante interrupciones monocíclicas, la clave de interrupción monocíclica de entrada-salida es transmitida a la unidad CPU 1 sobre la Línea General 268 de Entrada de Código de Estado del sistema 2 de acoplamiento de entrada-salida. La salida 127 de este circuito lógico 128 es enviada al traductor 9 y al circuito lógico 121 comparador de clave.

15 El circuito 121 lógico comparador de clave es utilizado para comparar la clave seleccionada con la clave de protección de memoria procedente del conjunto 110 de protección de memoria. Una violación hace que el bitio de comprobación de protección contenido en la palabra PSW sea activado y se produzca una interrupción.

20 El circuito 285 de control de secuencia de llamada selectiva codifica y genera la marca indicadora de llamada selectiva sobre la línea 213 y la señal identificadora de llamada selectiva sobre la línea general 266, proporciona señalización a los circuitos 239 de control de puerta de acoplamiento para operación de puerta de servicio, y constituye el dispositivo de acoplamiento y circuitos 288 de control de salida de línea para comprobación de error. La secuencia de llamada selectiva está prevista para resolver en la rivalidad entre dispositivos múltiples solicitantes para el mismo recurso de la unidad CPU.

1 El circuito 239 de control automático de acopla-  
miento codifica y genera las señales de puerta de servicio  
y de dirección para el sistema de acoplamiento y proporci-  
na resolución en la rivalidad entre los mismos dispositivos  
5 solicitantes, registra errores de acceso a memoria por in-  
terrupción monocíclica para presentación al dispositivo,  
proporciona señalización de línea a y desde los circuitos  
de control de memoria, y ordena las líneas generales de acop-  
plamiento y controla el código de estado en los circuitos  
10 130 de retención.

Los circuitos 288 de control de secuencia de sis-  
tema de acoplamiento y de retraso proporcionan las señales  
de control de retraso para comprobación de error de secuen-  
cia sobre el sistema 2 de acoplamiento, detecta combinacio-  
15 nes no válidas de marcas indicadoras de sistema de acopla-  
miento y reporta la detección de estados de comprobación de  
máquina sobre el sistema de acoplamiento al ordenador 1.

El sistema 2 de acoplamiento de entrada-salida  
conecta el canal 250 de unidad CPU a los circuitos 5-1 a 5-n  
20 de anexión de dispositivo. Consiste en los elementos que se  
describen posteriormente.

La línea general 269 de datos de entrada-salida  
es una línea general bidireccional de 16 líneas de datos y  
dos líneas de paridad. Es utilizada para transferir datos a  
25 y desde los dispositivos 4-1 a 4-n de entrada-salida duran-  
te operaciones con control directo por programa y durante  
operaciones de interrupción monocíclica y para transferir  
direcciones de dispositivo y baterías de bitios de estado  
de interrupción a la unidad CPU 1 durante aceptación de in-  
30 terrupción.

1 La línea general 270 de dirección de entrada-sa-  
lida es una línea general bidireccional de 16 líneas indi-  
viduales utilizada para transmitir cada una de las direccio-  
nes de dispositivo para selección de dispositivo y órdenes  
5 de entrada-salida a los dispositivos 4-1 a 4-n de entrada-  
-salida durante operaciones controladas directamente por  
programa. Es utilizada también para transferir direcciones  
de memoria principal desde el dispositivo de entrada-salida  
activo a la unidad CPU 1 durante operaciones de interrupción  
10 monocíclica.

Las señales de control de sistema de acoplamiento  
de entrada-salida sobre las líneas 267-1 a 267-10 son un  
grupo de señales utilizadas para transmitir códigos de esta-  
do a la unidad CPU 1, para preparar estados para los dispo-  
15 sitivos 4-1 a 4-n de entrada-salida, para seleccionar y con-  
trolar operaciones IPO, para transferir solicitudes de inte-  
rrupción y solicitudes de interrupción monocíclica a la uni-  
dad CPU 1, para generar llamadas selectivas y controlar se-  
cuencias de aceptación para interrupción e interrupción mo-  
20 nocíclica, para controlar reposiciones y para proporcionar  
un funcionamiento secuencial correcto de operaciones de con-  
trol directo por programa y de interrupción monocíclica.

Los circuitos 5-1 a 5-n de anexión de dispositivo  
controlan y conectan los dispositivos 4-1 a 4-n de entrada  
25 salida al sistema 2 de acoplamiento de entrada-salida. Un  
circuito de anexión tal como el 5-1 puede controlar más de  
un dispositivo de entrada-salida, tal como el 4-1.

El sistema 3 de acoplamiento de memoria-traductor  
incluye una línea general de memoria principal que consiste  
30 en la línea general 137 de dirección para direccionar la me-

1 memoria 8 principal, y para transferir direcciones de memoria  
lógicas y físicas entre la unidad CPU 1 y el traductor 9  
de reubicación, y líneas generales 138 y 139 para transfe-  
rir datos entre la memoria 8 principal y la unidad CPU 1  
5 y entre el traductor 9 de reubicación y la unidad CPU 1.

El sistema 3 de acoplamiento incluye también las  
líneas generales 127, 136 y 135 de Señal de Control de  
CPU-Traductor para transferir claves de dirección activa,  
estados de comprobación, y señales de sincronismo entre la  
10 unidad CPU 1 y el traductor 9 de reubicación.

La línea general 12 de señal de control de memoria  
interior proporciona selección física de la zona 14 de me-  
memoria interior, selección de conjunto parcial en la zona  
seleccionada, y señales de control de escritura-lectura dis-  
15 puestas correctamente en secuencia para establecer acceso  
a las baterías de bitios comprendidos en la gama de cero a  
sesenta y cuatro mil baterías de bitios de la zona 14 de me-  
memoria principal interior.

La consola 6 ofrece tanto al operador como al pro-  
20 gramador acceso amplio a los elementos de flujo de datos de  
la unidad CPU 1 y a la memoria 8 principal. Está relaciona-  
da en conexión con la unidad CPU 1 por un sistema de acopla-  
miento controlado por microprograma integrado en el flujo  
de datos de la unidad CPU 1.

#### 25 Control por Microprograma (figuras 6-9)

Las figuras 6 y 7 representan el flujo de datos  
y el formato del ordenador 1 de los circuitos de control  
de memoria ROS; la figura 8, representa el sincronismo de  
ciclos; y la figura 9 es un diagrama de la memoria ROS 201.

30 El control por microprograma funciona según el principio

1 de que cada instrucción de nivel de máquina utiliza solamente  
te tantos microciclos como es necesario. Durante cada micro-  
ciclo puede ser conmutada una "fuente" a la línea general 57  
bidireccional de ordenador y pueden cargarse uno o más "des-  
5 tinos" desde esta línea general 57. En la realización preferida,  
se supondrá que el ordenador 1 utiliza una memoria ROS  
201 de 32 bitios. Veintidós de los bitios son utilizados para  
controlar el flujo de datos del ordenador 1 a través de  
la línea general 204b. El campo (NA) de dirección siguiente  
10 (bitios 22-31) de cada palabra de memoria ROS suministra a  
través de la línea general 204a los diez bitios de orden  
inferior al registro ROSAR 193 (figura 6). El bitio de orden  
superior del registro ROSAR 193 es suministrado por el con-  
junto de dispositivos o por microcódigo a través de un cir-  
15 cuito 302 de retención ROSAR activado y la puerta "Y" 303.  
Las líneas generales 204a y 204b constituyen en conjunto la  
línea general 204 de la figura 2B.

#### Iniciación de Ejecución de Instrucción

20 Existen cinco posiciones de entrada obligada por  
el conjunto de dispositivos en la memoria ROS, como se ilustra  
en la figura 2B. Cada una de estas entradas tiene uno o  
más estados de conjunto de dispositivos (en función de las  
instrucciones) para forzar la entrada.

25 Si no se produce entrada forzada por cableado,  
los cinco primeros bitios de la instrucción obligan una en-  
trada ROS, como se representa en la porción superior derecha  
de la figura 9. Obsérvese que al producirse entradas obliga-  
das por instrucción, es activado el circuito 302 de retención  
de activación de registro ROSAR (figura 6). Desde este punto  
30 hasta el final de la instrucción, el circuito 302 de reten-

1 -ción "Activar ROSAR 0", junto con el campo (NA) de direc-  
ción siguiente de 10 bitios procedente del registro 202  
de datos de memoria ROS (registro ROS DR) o con el contenido  
de uno de los registros 210 o 211 de enlace de 10 bitios  
5 (registros ROS RL), especifica la siguiente palabra ROS a  
ser ejecutada.

#### Terminación y Ejecución de Instrucción

Son descodificados valores NA hexadecimales selec-  
cionados por el conjunto 205 de circuitos para seleccionar  
10 un último microciclo para finalizar la instrucción que está  
siendo ejecutada, reponer los circuitos 305 y 306 de reten-  
ción SRL y SR2, e iniciar una nueva instrucción a través de  
una entrada inicial. Una carga de reposición o una interrup-  
ción de clase también finalizará la instrucción, repondrá  
15 los circuitos 305 y 306 de retención SRL y SR2 y forzará una  
bifurcación a la instrucción inicial de microcódigo.

#### Registros de Enlace de Memoria ROS y Sistemas de Sincronis- mo

Cada impulso C de base de tiempos sincroniza el  
20 Registro 193 de Dirección ROS (registro ROSAR). Cada impul-  
so A de base de tiempos sincroniza el registro ROS DR 202.  
Cada impulso A de base de tiempos, excepto cuando está ac-  
tivado el circuito 305 de retención (SRL) de subrutina 1,  
hace ingresar en sincronismo los bitios ROSAR 1-8 en el blo-  
25 que 210 (Registro 1 de enlace ROS-ROSLRL), bitio 1-8, mien-  
tras que los bitios ROSAR 9-10 pasan a través de un incre-  
mentador 307 de dos bitios, al registro ROSLRL 210 (bitios  
9-10). El efecto de esto es activar el registro ROSLRL 210  
al valor correspondiente a ROSAR + 1 excepto en el caso en  
30 que los dos últimos bitios del registro ROSAR 183 están am-

1 -bos activados, en cuyo caso el registro ROSLR1 210 es establecido en el valor correspondiente a ROSAR-3. Esta es la dirección de retorno desde la subrutina de primer nivel al código de línea principal.

5 Cada impulso A de base de tiempos, excepto cuando está activado el circuito 306 de retención SR2, hace ingresar en sincronismo exactamente el mismo valor en el registro ROSLR2 211 que se ha descrito anteriormente para el registro ROSLR1 210. Esta es la dirección de retorno de segundo nivel. Los circuitos 305 y 306 de retención SR1 y SR2 (que conservan los estados de los registros ROSLR1 210 y ROSLR2 211, respectivamente) son basculados en sincronismo en el impulso C de base de tiempos.

Llamada a Subrutina de Primer Nivel

15 Una llamada a subrutina consiste en una bifurcación a una zona particular (grupo de direcciones ROS). Si se realiza una bifurcación desde la línea principal inferior a la zona 1 de subrutina (figura 9), la dirección de retorno de subrutina estará contenida en el registro ROSLR1 211 al final del impulso A de base de tiempos. Durante la  
20 señal C de base de tiempos, está activado el circuito 305 de retención SR1, conservándose así este valor en el registro ROSLR1 210. La subrutina de primer nivel puede utilizar cualquiera de las direcciones ROS excepto aquellas que están  
25 contenidas en la zona 2 de subrutina. Si se realiza una bifurcación desde la zona de línea principal superior a la zona situada por encima de la ROS 201, es decir, 11X XXXX XXXX, se activa en sincronismo el circuito "Y" 303 que combina las funciones del circuito de retención Activar ROSAR  
30 0 y bitio 0 ROSAR, resultando en una bifurcación a 01X XXXX.

1 ~~XXXX~~, que es exactamente la misma llamada a subrutina que la que tiene lugar desde la línea principal de bajo nivel.

Salida de Subrutina de Primer Nivel

5 La subrutina de primer nivel retorna al código de línea principal mediante un valor NA hexadecimal de 03F que es descodificado como función discreta por el conjunto 209 de circuitos. En el impulso C de base de tiempos, el circuito 305 de retención SRL es repuesto y es cargado el registro ROSAR 193 desde el registro ROS LRL 210, reanudándose así el código de línea principal de programa en la dirección de retorno de subrutina anteriormente conservada.

10 Obsérvese que si la posición de llamada estuviese en la zona de línea principal de nivel alto, el retorno se produciría a la zona de línea principal de nivel alto puesto que el circuito 302 de retención Activar ROSAR 0 está aún activado y la señal "establecer estados correspondientes al bitio 1 de ROSAR" estará desactivada. La última descodificación de microciclo fuerza también una salida de subrutina.

15

Llamada a Subrutina de Segundo Nivel

20 Si se realiza una bifurcación a la zona 2 de subrutina, la dirección de retorno de subrutina es conservada en el registro ROSIR2 211 a través del circuito 306 de retención SR2 del mismo modo que se ha descrito anteriormente, para la llamada de primer nivel. La subrutina de segundo nivel puede utilizar cualquiera de las direcciones ROS.

25

Salida de Subrutina de Segundo Nivel

30 La subrutina de segundo nivel retorna a la subrutina de primer nivel mediante un valor hexadecimal de dirección siguiente (NA) de 03E. En el impulso C de base de tiempos, es repuesto el circuito 306 de retención SR2 y es car-

1 gado el registro ROSAR 193 desde el registro ROSLR2 211,  
reanudándose así el código de subrutina de primer nivel en  
la dirección de retorno de subrutina anteriormente conserva-  
da. La última descodificación de microciclo fuerza también  
5 una salida de subrutina.

Una subrutina de segundo nivel puede retornar di-  
rectamente a la línea principal de programa utilizando una  
dirección siguiente 03F. En el impulso C de base de tiempos,  
es cargado el registro ROSAR 193 desde el registro ROSRL1.  
10 210, reanudándose así la línea principal de programa en la  
dirección de retorno de subrutina anteriormente conservada.  
En el mismo impulso C de base de tiempos, son repuestos am-  
bos circuitos 305 y 306 de retención SR1 y SR2, permitiéndose  
así una nueva llamada a subrutina después de solamente  
15 una palabra de código de línea principal.

#### Subrutina de Primer Nivel en Zona 2 de Subrutina

Si se realiza una bifurcación desde el código de  
línea principal de programa directamente a la Zona 2 de sub-  
rutina (bitios de dirección siguiente 1, 2 = 1,1) es activa-  
do el circuito 306 de retención SR2 y es conservado el esta-  
do del registro ROSLR2 211 exactamente como se hizo para una  
llamada de segundo nivel. La salida en retorno a la línea  
principal de programa corresponde a la dirección siguiente  
03E, exactamente como para una salida de segundo nivel. Esto  
20 permite la utilización de una subrutina en la Zona 2 indis-  
tintamente como subrutina de primer nivel o como subrutina  
de segundo nivel.

Los retornos se resumen a continuación:

1

TABLA 9

ROSAR 193

<u>NA</u>	<u>Cargado</u>	<u>Desde</u>	<u>SR1</u>	<u>305-SR2</u>	<u>306</u>	<u>Retorno a</u>	<u>Desde</u>	<u>ID</u>
03F	ROSLR1		Activado	Desactivado		Línea prin cipal	Primer nivel	Zona 1
03F	ROSLR1		Activado	Activado		Línea prin cipal	Segun- do ni- vel	Zona 2
03E	ROSLR2		Activado	Activado		Primer ni- vel	Segun- do ni- vel	Zona 2
03E	ROSLR2		Desactiva do	Activado		Línea prin cipal	Primer nivel	Zona 2

5

10

La dirección 03F repone ambos circuitos SR1 y SR2 de retención.

La dirección 03E repone solamente el circuito SR2 de retención.

15

Circuito lógico 152 de Bifurcación ROS Condicional

20

El ordenador tiene bifurcaciones a memoria ROS condicionales de cuatro vías, ocho vías y 16 vías. Si es seleccionada una bifurcación condicional y se cumple la condición, se fuerza al estado activo el bitio de dirección siguiente adecuado. Si uno de los bitios de dirección siguiente (bitios NA) está ya en estado activo, esa condición es indiferente, y por tanto todas las bifurcaciones de 4 vías pueden subdividirse en bifurcaciones de dos vías, las bifurcaciones de 16 vías pueden convertirse en bifurcaciones de 12 vías, etc.

25

Los bitios NA que participan en bifurcaciones ROS condicionales son los bitios 5-8. Puesto que los bitios NA utilizados para retorno son los bitios 9-10, estos pueden ser utilizados con bifurcaciones ROS condicionales para realizar retornos condicionales a subrutina.

30

1 Por ejemplo, si la posición 00011000010 hizo una llamada a subrutina de primer nivel y la subrutina dió lugar a un retorno de bifurcación ROS condicional de 4 vías, las cuatro direcciones de retorno son:

5 00011000011  
 00011010011  
 00011100011  
 00011110011

Descodificaciones de Bitio ROS

10 Las descodificaciones de control controlan diversas operaciones en la unidad CPU 1. Las bifurcaciones ROS condicionales permiten que el microcódigo bifurque a diferentes lugares dependiendo de estados de máquina. El campo de origen especifica qué fuente de datos ha de conectarse para transmitir sobre la línea general 57 de ordenador. El campo de destino especifica uno o más destinos a ser cargados desde la línea general 57 de ordenador. El campo de dirección siguiente especifica la siguiente palabra ROS a ser ejecutada.

20 Campo de Emisión

Existen cuatro conjuntos descodificados de destino que no solamente especifican el destino, sino también la emisión de bitios ROS 0-15 a la línea general 57 de ordenador como fuente de origen. Hay doce conjuntos descodificados de destino que especifican la misión de bitios ROS 8-15 a la línea general 57 de ordenador. Esto permite la utilización del campo de bifurcación control-condicional en la misma palabra ROS que el campo de emisión de 8 bitios.

30 Valores Descodificados de Control de Memoria Principal-Bitios ROS 13-15 (no emitir)

1	<u>Valor</u>	<u>Función</u>
	0	No ciclo de memoria
	1	SR - Cambiar la siguiente palabra LW o SW a Cargar o Almacenar Registro de Segmentación si está instalado el traductor. Si el traductor no está instalado, activar comprobación de programa de función no válida.
5		
	2	BR - Bloquear la siguiente palabra LW o SW. Puede ser ejecutada la siguiente palabra LIW, LUW, LW o SW en el segundo microciclo después de las palabras LW o SW bloqueadas.
10		
	3	SBY - Cambiar la siguiente palabra LW o SW a una solicitud de batería de bitios en vez de a una solicitud de palabra. Cambiar el indicador de resultado de sincronismo siguiente a un indicador de resultado de batería de sincronismo e inhibir el cambio de batería 0 de bitios en la misma palabra.
15		
	4	LIW - Cargar palabra de instrucción en el registro SDR utilizando ISK.
20		
	5	LUW - Cargar palabra incondicional en el registro SDR utilizando OPK.
	6	LW - Cargar palabra de datos (dos baterías) en el registro SDR.
	7	SW - Almacenar palabra de datos del registro SDR en la memoria.
25		

#### Funcionamiento

Las solicitudes normales de memoria son LIW, LW y SW. Todas las demás modifican éstas. Los cuatro valores decodificados de control de memoria modificadores son utiliza-

30

12.7.77

1 dos para modificar subrutinas comunes. Los valores, SR, BR  
 y SBY descodificados son ejecutados antes de una subrutina  
 común que contiene las palabras LW o SW que van a modificar.  
 Estas tres no tienen efecto sobre LIW. El valor BTR de des-  
 5 codificación es ejecutado inmediatamente a continuación de  
 una palabra LIW, LW o SW en la última palabra de una subru-  
 tina común.

El valor SBY de descodificación no solamente modi-  
 fica los valores de descodificación de control de memoria  
 10 posteriores (LW y SW), sino que también modifica el sincro-  
 nismo posterior de indicadores de resultado para operar so-  
 lamente sobre 8 bitios en vez de sobre 16 bitios.

#### Prioridad de Solicitudes Modificadoras

BR es la prioridad máxima y repone SR y SBY  
 15 SR es la segunda prioridad y repone SBY  
 SBY es la prioridad más baja.

Se han representado las figuras 10-14 para ilus-  
 trar diversas señales de sincronismo de ciclo en el ordena-  
 dor preferido dentro del cual se pretende la realización de  
 20 la mejora,

La figura 10 ilustra las cinco microinstrucciones  
 que son ejecutadas para realizar una instrucción "Sumar In-  
 mediato" de nivel de máquina, y la figura 11 ilustra el sin-  
 cronismo del acceso de origen, destino y memoria durante la  
 25 ejecución de las cinco microinstrucciones.

La figura 12 ilustra los sincronismos de ciclo de  
 los circuitos de control de memoria principal.

Las figuras 13 y 14 ilustran los sincronismos de  
 ciclo del tipo de microinstrucción que es ejecutada como úl-  
 30 tima microinstrucción de cada rutina para ejecutar instruc-

1 ciones de nivel de máquina. Dependiendo de la detección de un estado muestreado (o fallo de detección), se efectúa indistintamente la secuencia de sincronismo de la figura 13 o la de la figura 14.

#### 5 Interrupciones

Se hará una breve descripción de una forma preferida de tratamiento de interrupción, a modo de ejemplo, para crear un ambiente preferido dentro del cual funciona el mecanismo de conmutación de nivel mejorado.

10 El funcionamiento eficiente de un ordenador central, tal como el 1, depende de la rápida respuesta de solicitudes de servicio de dispositivos de entrada-salida. Esto es realizado por un esquema de interrupción que detiene la operación de ordenador en curso, bifurca a una rutina de servicio de dispositivo, trata el servicio de dispositivo, 15 y retorna entonces para continuar la operación interrumpida. Un ordenador 1 puede controlar muchos dispositivos 4-1 a 4-17 de entrada-salida; por consiguiente, es establecida una prioridad de interrupción para tratar las operaciones más importantes antes de las de menor importancia. Ciertos estados de error o excepción (tales como una comprobación de máquina) 20 pueden también originar interrupciones. Estas son llamadas interrupciones de clase y son tratadas de un modo similar a las interrupciones de entrada-salida.

25 La prioridad de interrupción es establecida por cuatro niveles de prioridad y tratamiento. Estos niveles, relacionados en secuencia de prioridad, están numerados 0, 1, 2 y 3, teniendo el nivel 0 la prioridad más alta. Son asignados niveles de interrupción a los dispositivos 4-1 a 4-n de entrada-salida por control de programa. Esto proporciona

1 -flexibilidad para reasignar prioridad de dispositivo según  
cambie la aplicación.

Cada uno de los cuatro niveles de prioridad tiene  
su propio conjunto de registros LSB (nivel 0) a LSB (nivel  
5 3) en un bloque 80, como se representa en la figura 4. Estos  
consisten en un registro de clave de dirección (AKR), un re-  
gistro de estado de nivel (LSR), ocho registros generales  
(RO-R7), y un registro de dirección de instrucción (IAR).

La información concerniente a un nivel es protegida automá-  
10 ticamente en estos registros físicos de bloque cuando se pro-  
duce una interrupción.

Las interrupciones de entrada-salida e interrup-  
ciones de clase incluyen bifurcación automática a una rutina  
de servicio. Están reservadas posiciones fijas en la memoria  
15 8 principal para direcciones de bifurcación o puntos a los  
que se hace referencia durante tratamiento de interrupción.  
El tratamiento por circuito de una interrupción incluye bi-  
furcación automática a una rutina de servicio. El ordenador  
1 utiliza una zona de memoria reservada en la memoria 8 prin-  
20 cipal para información de bifurcación. La zona reservada co-  
mienza en la dirección 0030 de memoria principal. La dimen-  
sión total de la zona depende del número de dispositivos 4-1  
a 4-n conectados que originan interrupción. Una palabra (dos  
baterías de bits) está reservada para cada dispositivo que  
25 origina interrupción.

Las posiciones de memoria utilizadas para una in-  
terrupción de clase incluyen cada una un marcador de bloque  
de estado de nivel (LSB) que se orienta a la primera direc-  
ción de una zona en la memoria 8 principal donde está alma-  
30 cenado un bloque de estado de nivel, y una dirección de ins-  
12.7.77

1 - trucción de iniciación (SIA) que se orienta a la primera  
instrucción de la rutina de servicio.

5 Cada palabra de memoria utilizada para una interrupción de entrada-salida contiene un marcador de bloque de datos de dispositivo (DDB) que es la dirección de la primera palabra de un bloque de datos de dispositivo. Esta palabra es utilizada para obtener la dirección de instrucción de iniciación para la rutina de servicio.

10 Los medios de enmascaramiento de interrupción proporcionan control de programa adicional sobre los cuatro niveles de prioridad. El enmascaramiento de nivel y de sistema está controlado por una máscara resumen y el registro 175 de máscara de nivel de interrupción. El enmascaramiento de dispositivo está controlado por una máscara de dispositivo en la información transmitida por la orden "Preparar Entrada-Salida". La manipulación de los bits de máscara puede habilitar o inhabilitar interrupciones sobre todos los niveles, un nivel específico, o para un dispositivo específico.

20 Como se ha establecido anteriormente, existen cuatro niveles de interrupción de prioridad. Cada dispositivo 4-1 a 4-n de entrada-salida está asignado a un nivel dinámicamente, dependiendo de la aplicación. Cuando es aceptada una interrupción sobre un nivel determinado, ese nivel permanece activo hasta que se ejecuta una instrucción de salida de nivel (LEX) o es aceptada una interrupción de prioridad superior. En el último caso, el ordenador 1 conmuta al nivel de orden superior, completa la ejecución (incluyendo una instrucción LEX), y retorna entonces automáticamente al nivel que originó la interrupción. Este re-

25

30

1 -torno automático puede ser retardado por otras interrupcio-  
nes de prioridad de nivel superior.

5 Si una solicitud de interrupción está pendiente  
sobre el nivel activo en curso, no será aceptada hasta des-  
pués de la ejecución de una instrucción LEX por el programa  
en curso. Si no está pendiente otro nivel de interrupción  
cuando se ejecuta una instrucción de salida de nivel, el  
ordenador 1 entra en el estado de espera. En el estado de  
espera no se realiza ningún tratamiento, pero el ordenador  
10 puede aceptar interrupciones cuya presencia se espera.

Se entra en el estado de supervisión al tener lu-  
gar la aceptación de todas las interrupciones de prioridad.

El algoritmo de interrupción de prioridad es:

- 15 1. La máscara resumen debe estar activada (habi-  
litada).
2. El bitio de máscara (registro 175 de máscara  
de nivel de interrupción) para el nivel que  
origina interrupción debe estar activado (habi-  
litado).
- 20 3. Para interrupciones de entrada-salida el dis-  
positivo debe tener activado su bitio de más-  
cara de dispositivo (habilitado).
- 25 4. La solicitud de interrupción debe tener el ni-  
vel más alto de prioridad de las solicitudes  
pendientes y superior al nivel en curso del  
ordenador.
5. El ordenador no debe estar en el estado de pa-  
rada.

30 Las interrupciones de clase no cambian los nive-  
les de prioridad. Son tratadas en el nivel activo en curso.

1 Si el ordenador está en el estado de espera cuando se produce una interrupción de clase, es utilizado el nivel 0 de prioridad para tratar la interrupción.

#### CONMUTACION DE NIVEL CONTROLADA POR PROGRAMA

5 La figura 3 ilustra el sistema global preferido dentro del cual funciona la mejora. La memoria 8 principal incluye zonas en las cuales están almacenados bloques LSB para cada tarea, los programas de servicio y un programa de distribución de tareas.

10 Bajo el control del programa de distribución de tareas son ejecutadas instrucciones LLSB y STLSB por el ordenador 1 para cargar bloques LSB desde la memoria 8 principal en registros de nivel contenidos en el bloque 80 y para copiar bloques de estado de nivel desde el bloque 80 en  
15 la memoria 8 principal a medida que son programadas para ejecución las diversas tareas.

Durante la ejecución de una instrucción LLSB que origina la iniciación de una nueva tarea o su continuación, son también transmitidos a los registros físicos 85, 90 y  
20 95 los contenidos de los registros AKR, LSR e IAR en el bloque 80 asociados con la nueva tarea.

Cuando es suspendida una tarea en curso los contenidos actualizados de los registros físicos 85 y 90 son almacenados de nuevo en los registros AKR y LSR de nivel en  
25 curso en el bloque 80. El registro IAR de dirección de instrucción en curso es actualizado continuamente durante la ejecución de instrucciones.

La conmutación de nivel bajo control de programa puede realizarse utilizando la instrucción "cargar bloque de estado de nivel (LLSB)" (en muchos casos, la instrucción

1 - LLSB requiere una instrucción anterior de almacenar bloque de estado de nivel (STLSB):

LLSB Palabra 1 OP Rx Rb

Palabra 2 Dirección Absoluta

5 STLSB Palabra 1 OP Rx Rb

Palabra 2 Dirección absoluta.

Esta instrucción LLSB en general:

10 Especificará la posición de un bloque de estado de nivel (LSB) en una dirección efectiva en la memoria 8 principal a través de Rb y la dirección absoluta.

Especificará un nivel de prioridad seleccionado asociado con el bloque LSB de memoria principal a través de Rx.

15 Cargará el bloque LSB de la memoria 8 principal en el bloque físico 80 (figura 4) para el nivel seleccionado.

Los efectos originados sobre el ordenador 1 por la ejecución de la instrucción LLSB están determinados por tres factores:

- 20
1. El nivel de ejecución en curso.
  2. El nivel seleccionado especificado en la instrucción LLSB.
  3. El estado de la marca indicadora en tratamiento (bitio 9 del registro LSR) contenido en el
- 25 bloque LSB de memoria principal.

La ejecución de la instrucción LLSB puede originar la conmutación de nivel o un cambio en el estado pendiente de un nivel, como se describe en las siguientes secciones:

- 30
1. Nivel de Prioridad Seleccionado Inferior al
- 12.7.77

1 - Nivel en Curso y Marca Indicadora en Tratamiento Activada-  
estas condiciones hace que quede pendiente el nivel seleccio-  
nado. El bloque LSB seleccionado en la memoria 8 principal  
5 es cargado en el conjunto 80 para el nivel seleccionado. La  
ejecución subsiguiente de una instrucción LEX sobre el nivel  
en curso hace que el nivel seleccionado se convierta en ni-  
vel activo siempre que no estén siendo solicitadas interrup-  
ciones de prioridad superior.

2. Nivel Seleccionado Igual al Nivel en Curso y  
10 Marca indicadora en Tratamiento Activada- estas condiciones  
hacen que el nivel seleccionado se convierta en nivel en  
curso. El bloque LSB seleccionado en la memoria 8 principal  
es cargado en el conjunto 80 para el nivel seleccionado.

3. Nivel Seleccionado de Prioridad más alto que  
15 el Nivel en curso y Marca Indicadora en Tratamiento Active-  
da- estas condiciones hacen que el nivel seleccionado se  
convierta en nivel en curso. El bloque LSB seleccionado en  
la memoria 8 principal, es cargado en el conjunto 80 para  
el nivel seleccionado. Esto es una conmutación de nivel al  
20 nivel superior (seleccionado) y hace que quede pendiente el  
nivel inferior.

4. Nivel seleccionado de Prioridad Inferior al  
nivel en Curso y Marca Indicadora en Tratamiento Desactiva-  
da- estas condiciones hacen que no quede pendiente el nivel  
25 seleccionado. El bloque LSB seleccionado en la memoria 8  
principal es cargado en el conjunto 80 para el nivel selec-  
cionado.

5. Nivel Seleccionado Igual a Nivel en Curso y  
30 Marca Indicadora en Tratamiento Desactivada - estas condicio-  
nes originan una salida del nivel en curso. El bloque LSB

1 -seleccionado en la memoria 8 principal es cargado en los registros de nivel seleccionado del conjunto 80.

5 6. Nivel de Prioridad Seleccionado Superior al Nivel en Curso y Marca Indicadora en Tratamiento Desactivada - el bloque LSB seleccionado en la memoria 8 principal es cargado en los registros de nivel seleccionado del conjunto 80.

10 El registro 181 (figura 5) denominado "nivel en curso" no tiene bitios activados cuando el sistema está en el estado de espera o bien tiene solamente activado un bitio cuando se requiere acción por uno o más niveles como se indica en el registro 335 de nivel pendiente. Este bitio de nivel en curso describe de un modo expresivo el nivel específico sobre el cual está funcionando normalmente el ordenador. Los elementos de circuito que contribuyen a una activación de este registro 181 incluyen un mecanismo 345 de algoritmo de interrupción que se describirá posteriormente.

20 Cuando el microcódigo activa la línea 181e en respuesta a la descodificación de origen "origen igual a nivel en curso", el contenido del registro 181 de nivel en curso a través del codificador 181c de cuatro a dos es transmitido, a través de la puerta 181d, a la línea 57 general de ordenador (bitios 14 y 15) y es utilizado, por ejemplo, para  
25 establecer la relación aritmética entre el nivel en curso y el nivel seleccionado en el microcódigo "cargar bloque de estado de nivel". La salida del codificador 181c de cuatro a dos es también enviada a los circuitos 285 de control de llamada selectiva y secuencia para seleccionar el nivel de  
30 interrupción que deberá ser escrutado.

12.7.77

1 El registro 335 de nivel pendiente tiene solamente tres posiciones de bitio o circuitos de retención puesto que el nivel 0 nunca puede estar pendiente porque no hay nivel más importante para adquirir su derecho de prioridad.

5 Un nivel pendiente es un nivel que estaba siendo ejecutado pero que ha sido interrumpido y sustituido en su prioridad por un nivel superior. La salida del registro 335 de nivel pendiente está combinada en función lógica "0" con la salida del registro 181 de nivel en curso en el circuito 340 y

10 es transmitida a la línea general 192 de interrupción de prioridad a solicitud del microcódigo excitando la puerta 341 en respuesta a la descodificación "origen situado en circuitos de retención en tratamiento" sobre la línea 342. La parte "en tratamiento" en este contexto particular solamente recogerá para el microcódigo cualquier nivel de interrupción que esté indistintamente en curso o pendiente, de modo que el microcódigo puede tener conocimiento de qué actividad de niveles está teniendo lugar o necesita ser proseguida cuando cesa la actividad de nivel superior. La instrucción "cargar bloque de estado de nivel" (descrita posteriormente) es capaz de activar o desactivar niveles de interrupción originando activaciones y/o reposiciones de los bitios adecuados en el registro 335 de nivel pendiente. Si el nivel objetivo es el nivel 0 y se requiere activar el

15 nivel, entonces el bitio de nivel en curso para el nivel 0 en el registro 181 se hace automáticamente activo.

20

25

Como se ha mencionado anteriormente, el algoritmo de interrupción está ejecutado físicamente en el circuito 345 en la entrada a los bitios de nivel en curso. Estos realizan una función combinacional del modo siguiente:

30  
12.7.77

1 Las solicitudes de máscara e interrupción procedentes del registro 175 y la línea general 263 son combinadas en función lógica "Y" en la línea general 182 (se trata de una función "Y" de conexión y no de una función "Y" lógica)

5 para producir nuevas solicitudes en un intento de activar el registro 181 de nivel en curso. Cuando cualquiera de estos cuatro bitios sobre la línea general 182 tiene una prioridad más alta que el que está en el registro 335 de nivel pendiente o el que está ya en curso en el registro 181,

10 el nuevo bitio de solicitud de nivel más alto puede ser ingresado en el registro 181. La toma de nivel de prioridad de solicitudes de interrupción exteriores se produce aquí de tal modo que si está pendiente una solicitud para un nivel superior, impedirá la transmisión de cualquier señal de activación al bitio de nivel en curso para el nivel inferior.

15 Los dos bitios de nivel seleccionado del registro 185 son activados en sus estados por microcódigo y excitan las cuatro salidas de su descodificador 190 dedicado. Estos son acumulados en el registro 335 por varias razones. Una razón es especificar qué nivel pendiente en el registro 335 deberá ser excitado o desexcitado en el curso de una instrucción

20 "cargar bloque de estado de nivel". Otra razón es crear entradas para el registro 181 de nivel en curso. Por ejemplo, cuando el ordenador 1 inicia su funcionamiento después de una reposición de sistema, se hace activo el nivel 0 de esta manera de modo que la máquina tiene un nivel para funcionar.

25

La realización preferida utiliza rutinas de microprograma para controlar los circuitos para tratar información de control de tarea. Sin embargo, puede ser controlada

1 -alternativamente por circuitos lógicos secuenciales de modo conocido.

Se describirá ahora con detalle una forma preferida de las rutinas de microprograma para ejecutar instrucciones LLSB y STLSB. La rutina de instrucción LLSB es como sigue:

CARGAR MICROCODIGO LSB

	ALU		STG		PALABRA
	<u>ORIGEN</u>	<u>CTRL</u>	<u>DESTINO</u>	<u>CNTL</u>	<u>NUMERO</u>
10	Bloque (Rx)	Pasar	Nivel seleccionado		1 Activar programa. Comprobar si no existe estado SVR
	WA	+ 2	Bloque (IAR)		2
	Bloque (IAR)	Pasar	SAR y WA	LIW	3
15	WA	+ 2	Bloque (IAR)		4
	Bloque (Rb)	Pasar	Y		5
	SDR	Pasar	WA		6
	WA + Y	Sumar	SAR y WA		7
20	WA	Pasar	bloque (TEMP)		8
	Bloque (Rx)	Pasar	Y	LW	9
	Y	Pasar	Bloque (TEMP 1)		10
	WA	+ 2	SAR y WA	LW	11
	SDR	Pasar	Bloque (IAR)		12
25	WA	+ 2	SAR y WA	LW	13
	SDR	Pasar	Y		14
	Y	Pasar	Bloque (K)		15
	SDR	Pasar	Y		16
30	SDR	Pasar	Bloque (K)		17 Desplazar Y una posición a la izquierda

1	WA	+ 2	SAR y WA	IW	18
	Y	Pasar			Comprobar bitio 19 8 de línea gene ral, activar cir cuito de reten- ción T si está activado
5	Emitir 0008	Pasar	Contador 75		20
	WA	+ 2	SAR y WA	IW	21
	SDR	Pasar	Y		22
	Y	Pasar	Bloque (K)		Decrementar contador. Bifurcar a 21 si el contador no está en ce- ro
10					
	Bloque (TEMP 1)	Pasar	WA		24
	Nivel en curso	Pasar	Y		25
15	WA-Y	Restar	WA		Bifurcar si el circuito de re tención T y la línea general tienen estados negativos,
20	T = 0 y línea general 57 no negativa (señal en Tratamiento desactivada, y Nivel de prioridad en Curso no inferior al nivel SEL)				
					Bifurcar a 37 si la línea ge neral no tiene estado cero.
25					Transmitir es- tados de cir- cuitos de re- tención de ni- vel pendiente a circuitos de retención de nivel en curso
	Nivel en curso	Pasar	Nivel seleccionado		29
30	Bloque (LSR)	Pasar	WA		Reponer nuevo nivel pendien- te.

12.7.77

1	Emitir 0040	Pasar	Y			31
	WA e Y	Y no	Bloque (LSR)		Bifurcar a 34 si tiene lugar al- guna acción de nivel	32
5	WA	Pasar	LSR		Activar estado de espera	33
	Bloque (IAR)	Pasar	SAR	LIW		34
	Bloque (AKR)	Pasar	AKR			35
10	Bloque (LSR)	Pasar	LSR		No rastrear	36
	Bloque (IAR)	Pasar	SAR	LIW	Reponer nivel seleccionado pendiente. No rastrear si está activado el bitio Tx,	37
15	T = 0 y línea general en estado negativo (señal en Trata- miento desactivada, y nivel de prioridad en curso inferior al nivel seleccionado)					
	Bifurcar a 37					39
20	T = 1 y Línea General no Negativa (Señal en Tratamiento Ac- tivada, y Nivel de prioridad en curso no inferior al nivel de prioridad seleccionado)					
	Bifurcar a 46 si línea gene- ral no cero					40
	Bloque (IAR)	Pasar	SAR			41
25	Bloque (AKR)	Pasar	AKR	LIW		42
	Bloque (LSR)	Pasar	LSR		No rastrear si está activado el bitio Tx Activar nivel seleccionado pendiente Bifurcar a 37	43
30						44
						45

1	-Bloque (IAR)	Pasar SAR	LIW	Activar nivel se leccionado pendiente	46
				No rastrear si está activado el bitio Tx	47
5	T = 1 y línea general negativa (En tratamiento Activado, y Nivel de Prioridad en curso igual a Nivel de Prioridad Seleccionado)				
	AKR	Pasar Bloque (AKR)			48
	LSR	Pasar Bloque LSR		Activar nivel seleccionado pendiente.	49
10	Y	Pasar Nivel seleccionado			50
				Activar nivel seleccionado (nivel en curso antiguo) pendiente	51
				Transmitir nivel pendiente (nuevo nivel seleccionado) a nivel en curso	52
15				Bifurcar a 34	53

Brevemente, en la realización preferida se utiliza un modo de direccionamiento de dirección absoluta de E/A = (Rb) + 16 bitios, donde Rb no es cero. Las condiciones de iniciación para todas las instrucciones son: IAR en el registro WA 52, primera palabra de instrucción en SDR y registros OP 70 y 101.

En el ciclo 1, el nivel seleccionado procedente del registro especificado por el campo Rx en la instrucción es situado en los circuitos de retención de carga seleccionados; y puesto que la instrucción es privilegiada, se realiza una comprobación para estado de supervisión. Si no está en estado SVR, se produce una interrupción por comprobación de programa.

1 La segunda palabra de la instrucción (dirección absoluta) es localizada en el ciclo 3, y el registro básico (Rb) en el ciclo 4. Estos contenidos son sumados para formar la dirección efectiva en el ciclo 7. El nivel seleccionado (Rx) es desplazado a TEMP 1 en los ciclos 9 y 10. El contenido de IAR es extraído de la memoria en el ciclo 9 y almacenado en el bloque de registro en el ciclo 12. El contenido de AKR es localizado en el ciclo 11 y almacenado en el bloque de registros en el ciclo 14. El registro LSR es localizado en el ciclo 13 y almacenado en el bloque de registros en el ciclo 17. El ciclo 19 copia el valor del bitio "en tratamiento" del bloque LSB seleccionado en el circuito 326 de retención T para uso subsiguiente. Es situado un valor 8 en el contador 75 en el ciclo 20 y es utilizado como control de bucle para ocho pasos de microciclos 21-23 para desplazar los registros R0-R7 para fines generales (LSB) desde la memoria 8 principal al bloque 80 de registros. Los ciclos 24, 25 y 26 determinan si la prioridad del nivel en curso es inferior a la del nivel seleccionado; y en el ciclo 26 se produce una bifurcación de cuatro vías teniendo en cuenta esta condición y el estado del circuito 326 de retención T (el bitio en Tratamiento), del modo siguiente:

1. El bitio 1 en tratamiento desactivado y la prioridad de nivel en curso no inferior a la prioridad de nivel seleccionado; una bifurcación sobre la línea general 57  $\neq$  0 en el ciclo 27 determina si el nivel en curso es igual al nivel seleccionado. Si no lo es, se produce una bifurcación al ciclo 37, donde el nivel inferior seleccionado es desactivado y es localizada la siguiente instrucción sobre el nivel en curso. (SUSPENDER NIVEL INFERIOR). Si el nivel en

1 curso y el nivel seleccionado son iguales, son examinadas  
solicitudes pendientes en los ciclos 28 y 29. El bitio en  
tratamiento en el nivel LSR en curso es desactivado en los  
ciclos 30-33. Si no hay niveles pendientes, se entra en el  
5 estado de espera. Si uno o más niveles están pendientes, son  
copiados los contenidos de IAR, AKR y LSR de nivel de prio-  
ridad superior del bloque 80 de registros en los registros  
95, 85 y 90 correspondientes como contrapartida en el con-  
junto de circuitos; y continua la ejecución sobre ese nivel  
10 en los ciclos 34-37. (SUSPENDER NIVEL EN CURSO)

2. Bitio "en tratamiento" desactivado y prioridad  
de nivel en curso inferior a la prioridad del nivel selec-  
cionado; el nivel seleccionado debe ya estar inactivo (por  
la naturaleza del algoritmo de interrupción). Se produce  
15 una bifurcación al ciclo 37 donde se continua el tratamiento  
sobre el nivel en curso (CAMBIAR EL CONTEXTO DE UNA TAREA  
SUSPENDIDA)

3. Bitio "en tratamiento" activado y prioridad de  
nivel en curso no inferior a la prioridad de nivel seleccio-  
20 nado. Una bifurcación sobre "línea general = 0" en el ciclo  
40 determina si el nivel en curso es igual al nivel selec-  
cionado. Si no, el nivel seleccionado queda pendiente en el  
ciclo 46 y continua el tratamiento sobre el nivel en curso  
(PONER EN COLA LA TAREA DE PRIORIDAD INFERIOR). Si las prio-  
25 ridades del nivel seleccionado y nivel en curso son idénti-  
cas, los ciclos 41, 42 y 43 hacen que el nuevo nivel IAR,  
AKR y LSR seleccionado sea cargado en los registros físicos  
95, 85 y 90 (CAMBIAR TAREAS SOBRE NIVEL EN CURSO).

4. Bitio "en tratamiento" activado y prioridad de  
30 nivel en curso inferior a la prioridad de nivel seleccionado.

12.7.77

1 - los ciclos 48 y 49 conservan el nivel AKR y LSR en curso  
en el bloque 80 de registros. El nivel en curso antiguo que-  
da pendiente durante los ciclos 50 y 51. El nivel nuevamente  
5 seleccionado se convierte en el nuevo nivel en curso en el  
ciclo 52. Se realiza una bifurcación al ciclo 34 durante  
el ciclo 53. El nuevo nivel IAR, AKR y LSR es desplazado  
a sus registros 95, 85 y 90 correspondientes como contrapar-  
tida en el conjunto de circuitos en los ciclos 34-36 y con-  
tinúa el tratamiento sobre el nuevo nivel de prioridad su-  
10 perior. (DISTRIBUIR TAREA DE PRIORIDAD SUPERIOR).

Se describirá ahora con mayor detalle la ejecu-  
ción de la rutina de "cargar microcódigo LSB", haciéndose  
referencia al listado de microcódigo. Se supone que el modo  
de dirección para deducir la dirección de la primera pala-  
15 bra del bloque LSB en la memoria 8 principal es  $E/A = (Rb)$   
 $+ 16$  bits (dirección absoluta). Rb no es igual a cero.  
Las condiciones iniciales para ejecutar el microcódigo de  
instrucción son: la dirección (IAR) de la siguiente palabra  
de instrucción está almacenada en el registro WA 52 y la  
20 primera palabra de la instrucción que está siendo ejecutada  
(es decir, la instrucción "cargar LSB") está en el registro  
SDR 70 y en el registro OP 101. Se hará referencia a la eje-  
cución de cada micropalabra como un ciclo.

25 Los primeros siete ciclos del listado de microcó-  
digo son utilizados para calcular la dirección efectiva de  
la primera palabra del bloque LSB seleccionado que reside  
en la memoria 8 principal. Más particularmente, en el ciclo  
1 es transmitido el campo Rx de la instrucción en curso en  
el registro OP 101, a través de la puerta 101b, al registro  
30 STACK SAR 105 para salida de lectura del bloque de registros,

1 -del registro de nivel en curso seleccionado por el valor  
de Rx cuya posición de registro contiene el nivel correspon-  
diente al bloque LSB seleccionado. Los bitios de nivel, que  
están contenidos en esta posición de registro del bloque 80,  
5 están destinados a los circuitos 185 de retención de nivel  
seleccionado por medio del ordenador excepto 57 bitios 14 y  
15. Adicionalmente, el bitio de estado de supervisión en el  
registro físico LSR 90 es comprobado por una salida (no re-  
presentada) de los otros descodificadores 209 de control  
10 (figura 2b); y se establece una comprobación de programa  
si el programa en curso no está en el estado de supervisión.

En el ciclo 2, la dirección de la siguiente ins-  
trucción en el registro WA es incrementada en dos posiciones  
en la unidad ALU 51 y el valor incrementado es almacenado  
15 en el registro de bloque (IAR) del nivel en curso.

En el ciclo 3, la dirección contenida en el regis-  
tro de bloque (IAR) del nivel en curso es destinada al re-  
gistro SAR 95 de ordenador y al registro WA 52. Esta direc-  
ción en el registro 95 es la dirección de la segunda palabra  
20 de la instrucción "cargar LSB" y se activan los circuitos  
de control de memoria para cargar esta segunda palabra de  
la instrucción en el registro 70 de datos de memoria. Sin  
embargo, los datos procedentes de la memoria estarán dispo-  
nibles en el registro SDR 70 hasta el tercer ciclo subsi-  
guiente, es decir, el ciclo 6.  
25

En el ciclo 4, el valor de dirección contenido en  
el registro WA 52 es incrementado en dos posiciones en la  
unidad ALU 51 y es almacenado en el registro de bloque (IAR)  
en el nivel en curso.

En el ciclo 5, el campo (Rb) es transmitido desde

1 - el registro OP 101 al bloque SAR 105 para originar la selección del registro en el nivel en curso del bloque 80 que contiene la dirección básica correspondiente a Rb. Este valor de dirección básica está destinado al registro Y 53.

5           En el ciclo 6, la dirección absoluta a la que se estableció acceso desde la memoria en el ciclo 3 está ahora disponible en el registro SDR 70 de ordenador y este valor está destinado por el registro 70 al registro WA 52.

10           En el ciclo 7, el valor de dirección básica contenido en el registro Y 53 y el valor de dirección absoluta de 16 bits contenido en el registro WA 52 son sumados en la unidad ALU 51 y el resultado se destina tanto al registro SAR 95 de ordenador como al registro WA 52.

15           En el ciclo 8, la dirección efectiva contenida en el registro WA 52 es almacenada fuera en el registro TEMP del bloque 80.

20           En el ciclo 9, el registro de nivel en curso identificado por los bits de registro Rx en el registro OP REG 101, es seleccionado a través del registro SAR 105 de bloque y es destinado al registro Y 53. Al mismo tiempo, se activan los circuitos de control de memoria para localizar la siguiente palabra de la memoria 8 principal utilizando la dirección puesta en el registro SAR 95 durante el ciclo 7. Esta dirección en el registro SAR 95 es, como se ha indicado anteriormente, la dirección de la primera palabra, es decir el registro IAR de dirección de instrucción, del bloque LSB seleccionado.

25           En el ciclo 10, los bits de nivel seleccionado en el registro Y 53 son almacenados fuera en el registro TEMP 1 del bloque 80. La razón para almacenar fuera estos

1 bitios es que los circuitos 185 de retención de nivel se-  
leccionado no pueden ser utilizados como origen. Puesto que  
5 estos bitios deben ser utilizados, como se ha descrito an-  
teriormente, para determinar los valores relativos del ni-  
vel seleccionado y el nivel en curso, es necesario almace-  
nar estos valores fuera en el registro TEMP 1 para utili-  
zación subsiguiente en esa operación.

10 En el ciclo 11, la dirección de memoria contenida  
en el registro WA 52 es actualizada en la unidad ALU y des-  
tinada al registro WA 52 y al registro SAR 95 de ordenador.  
La dirección actualizada es utilizada para localizar el re-  
registro AKR de la memoria 8 principal y almacenar fuera el  
registro AKR en el nivel seleccionado del bloque 80 de re-  
registros en los ciclos 14 y 15.

15 En el ciclo 12, el nivel IAR seleccionado que es-  
tá almacenado en el registro SDR 70 de ordenador, es desti-  
nado al registro IAR de nivel seleccionado en el bloque 80.

20 En el ciclo 13, es actualizada la dirección conte-  
nida en el registro WA 52 y destinada al registro SAR 95 de  
ordenador y al registro WA 52. El registro LSR de estado de  
nivel del bloque de estado de nivel seleccionado es localiza-  
do haciendo uso de la dirección actualizada en el registro  
SAR 95. Los datos LSR serán almacenados fuera en el registro  
LSR del nivel seleccionado en el bloque 80 durante el ciclo  
25 17.

30 En los ciclos 14 y 15, los datos de registro AKR  
de clave de dirección residen en el registro SDR 70 de orde-  
nador y son destinados al registro Y 53 en el ciclo 14 y des-  
de el registro Y al registro AKR del nivel seleccionado en  
el bloque 80 durante el ciclo 15.

12.7.77

1 En el ciclo 16, la información de registro de estado de nivel reside en el registro SDR 70 de ordenador y es destinada al registro Y 53.

5 En el ciclo 17, los bitios de registro LSR de estado de nivel seleccionados son transferidos desde el registro SDR 70 de ordenador al registro LSR del nivel seleccionado en el bloque 80. Adicionalmente, los bitios LSR en el registro Y 53 son desplazados hacia la izquierda en una posición de bitio para situar el "bitio en tratamiento" en  
10 la posición 8 de bitio del registro Y 53. Esto permite comprobar el bitio 8 "en tratamiento" durante el ciclo 19 y activar el estado del circuito 326 de retención T (figura 15) si el bitio en tratamiento está activado.

15 En el ciclo 18, la dirección contenida en el registro WA 53 es actualizada y destinada al registro SAR 95 de ordenador y al registro WA 52. La dirección actualizada y el contenido del registro SAR 95 de ordenador se utilizan para localizar la siguiente palabra LSB en la memoria 8 principal, en este caso el registro R0.

20 Es situado un valor de 8 en el contador 75 en el ciclo 20 y es utilizado como bitio de control de bucle para ocho pasos de los microciclos 21-23 para desplazar los registros R0-R7 para fines generales del bloque LSB seleccionado de la memoria 8 principal al bloque 80 de registros. Durante  
25 este control de bucle, cada vez que el bloque 80 es direccionado por el registro SAR 105 de bloque, la dirección en el registro 105 es incrementada en una unidad en el circuito 320 y el nuevo valor es situado en el registro 231 de enlace de bloque. Durante el siguiente acceso del bloque 80, la puerta  
30 ta 322 ingresa el nuevo valor de dirección en el registro

1 105. Al mismo tiempo, el contador 75 es decrementado en  
una unidad (por un decrementador físico, no representado)  
para cada paso a través del bucle. Cada vez que el conta-  
dor 75 es decrementado, es comprobado para un estado cero  
5 en el ciclo 23. Cuando no se encuentra el estado cero, se  
realiza una bifurcación en retorno al ciclo 21, y cuando  
se detecta el estado cero, el programa continúa hasta el  
ciclo 24.

Los ciclos 24, 25 y 26 determinan si la priori-  
10 dad de nivel en curso es o no inferior, igual o superior  
a la del nivel seleccionado. En el ciclo 26, se produce  
una bifurcación de cuatro vías según esta condición y el  
estado del circuito 326 de retención T que proporciona el  
valor del bitio en tratamiento del nivel seleccionado. Más  
15 específicamente, en el ciclo 24 los bitios de nivel selec-  
cionado que han sido almacenados fuera en el registro TEMP  
1 del bloque 80 son transferidos al registro WA 52. Los  
bitios de nivel en curso son destinados desde los circuitos  
181 de retención de nivel en curso (figura 5) al registro  
20 Y 53 durante el ciclo 25. En el ciclo 26, el nivel en curso  
en el registro Y 53 es restado del nivel seleccionado con-  
tenido en el registro WA 52 para producir un resultado en  
la salida 56 de la unidad ALU, que es transmitido a la lí-  
nea general 57 de ordenador a través de "origen situado en  
25 puerta 58 de unidad ALU".

Como se ve en la figura 15, el bitio cero de la  
línea general 57 de ordenador es comprobado para un estado  
negativo por intermedio de la puerta 327. La puerta 327 de  
la figura 15 es parte del circuito lógico 152 de bifurca-  
30 ción condicional de la figura 2a y las líneas 328 y 329 de

1 prueba de la figura 15 se originan en los otros circuitos  
209 descodificadores de control de la figura 2b y son parte  
de las líneas de salida representadas en general por la ci-  
fra 286 de referencia en la figura 2b.

5 En la realización preferida, la bifurcación de  
cuatro vías se crea aplicando la salida 330 del circuito  
326 de retención T al bitio 5 del registro ROSAR 193 y aco-  
plando la salida 331 de la puerta 327 al bitio 6 del regis-  
tro ROSAR 193. Se ve fácilmente que, dependiendo de uno de  
10 los cuatro estados disponibles de la puerta 327 y del cir-  
cuito 326 de retención T (es decir 00, 01, 10 y 11), el re-  
gistro ROSAR 193 hará que se establezca acceso a cualquie-  
ra de cuatro posiciones diferentes en la memoria fija 201.  
En el listado de microcódigo anterior, estas cuatro posi-  
15 ciones o situaciones en la memoria 201 de microprograma  
están indicadas por los ciclos 27, 39, 40 y 48 respectiva-  
mente.

El primer caso de bifurcación a ser tratado es  
aquel en el cual el circuito 326 de retención T está repues-  
20 to porque estaba desactivado el bitio "en tratamiento" y  
en el cual la salida de la puerta 327 de resultado negativo  
en la línea general tiene el nivel lógico cero porque el  
nivel en curso tiene una prioridad que no es inferior a la  
prioridad de nivel seleccionada. Se realiza una bifurcación  
25 al ciclo 27. En el ciclo 27, un circuito 332 descodificador  
convencional comprueba la línea general 57 de entrada para  
un estado no cero cuando está aplicada una señal por los  
otros circuitos 209 descodificadores (figura 2b) a la línea  
332a de control de paso de entrada de la figura 15. Si la  
30 línea general 57 no tiene un estado cero, se realiza una bi

1 -furcación al ciclo 37. Sin embargo, si la línea 57 tiene  
un estado cero, continúa el tratamiento en el ciclo 28. El  
tratamiento en el ciclo 28 implica que el nivel en curso  
y el nivel seleccionado eran iguales, es decir, el nivel  
5 seleccionado es idéntico al nivel en curso sobre el cual  
se ha estado produciendo el tratamiento de tarea. En el ciclo 28, los contenidos de los circuitos 335 de retención de nivel pendiente (figura 5) son transmitidos a los circuitos 181 de retención de nivel en curso por medio de la  
10 puerta 336. En el ciclo 29, los bitios de nivel en curso contenidos en los circuitos 181 de retención son transmitidos a los circuitos 185 de retención de nivel seleccionado por medio del codificador 181c, la línea general 181a, la  
puerta 181d, los bitios 14 y 15 de la línea general 57 de  
15 ordenador y la puerta 186.

Con el fin de desactivar el bitio en tratamiento en el registro LSR de nivel en curso en el bloque 80 de registros, el registro LSR de bloque es destinado al registro WA 52 en el ciclo 30 y en el ciclo 31 el valor 0040  
20 es destinado al registro Y 53 desde la salida del registro 202 de datos ROS, "origen situado en la puerta 203 de campo de emisión", y la línea general 57 de ordenador. En el ciclo 82 los contenidos de los registros 52 y 53 son ingresados en la unidad ALU 51 para realizar una función "Y NO".  
25 y el resultado es destinado al registro LSR en curso en el bloque 80. Esto, en efecto, desactiva el bitio "en tratamiento" del bloque LSB que se acaba de activar en el nivel seleccionado en los ciclos 1-26.

30  
12.7.77

También durante el ciclo 30, el circuito de retención de nivel pendiente en el registro 335 (figura 5) co-

1 rrespondiente al nivel seleccionado en los circuitos 185  
de retención al comienzo de la rutina, es repuesto puesto  
que su "bitio en tratamiento" está desactivado y no puede  
continuar el tratamiento sobre ese nivel.

5 También en el ciclo 32, los circuitos 181 de re-  
tención de nivel en curso son comprobados para determinar  
si se requiere acción sobre cualquier nivel. El estado de  
los circuitos 181 de retención de nivel en curso depende  
10 de la transferencia anterior del estado en los circuitos  
335 de retención de nivel pendiente a los circuitos 181 de  
retención de nivel en curso durante el ciclo 28. Si no exis-  
te acción pendiente sobre cualquiera de los cuatro niveles,  
el ciclo 33 hace que los bitios de estado de nivel en el  
registro WA 52 sean transferidos al registro LSR 90 de ni-  
15 vel seleccionado y el ordenador es puesto en el estado de  
espera, es decir no existe ningún bitio de nivel en el re-  
gistro 181 de nivel en curso.

Sin embargo, si durante el ciclo 32 se determina  
que se requiere acción sobre uno de los cuatro niveles,  
20 entonces se realiza una bifurcación al ciclo 34. En los ci-  
clos 34, 35 y 36, respectivamente, los contenidos de los  
registros IAR, AKR y LSR de bloque del nivel pendiente de  
prioridad más alta son transferidos desde el bloque 80 a  
los registros físicos SAR, AKR y LSR. También durante el  
25 ciclo 34, la palabra de instrucción siguiente es localiza-  
da de la dirección almacenada en el registro SAR 95 de or-  
denador. En el ciclo siguiente al ciclo 36, se inicia el  
tratamiento de la nueva palabra de instrucción.

30 En el caso en que en el ciclo 27 fuese detecta-  
do un estado de "línea general no igual a cero" y se hubie-

1 se realizado una bifurcación al ciclo 37, se efectúa una  
reposición del nivel seleccionado pendiente en los circui-  
tos 335 de retención y se localiza la palabra de instruc-  
5 ción siguiente haciendo uso de la dirección que es trans-  
ferida desde el registro IAR de nivel en curso en el blo-  
que 80 al registro SAR 95 de ordenador. El tratamiento con-  
tinúa sobre el nivel en curso.

En el caso en que durante el ciclo 26 el bitio  
en tratamiento está desactivado y la prioridad de nivel en  
10 curso es inferior a la prioridad de nivel seleccionado, el  
nivel seleccionado debe estar ya en un estado inactivo y  
se realiza una bifurcación al ciclo 39. Si no hubiese es-  
tado ya en un estado inactivo, entonces habría adquirido  
ya primacía frente a la tarea de prioridad inferior en el  
15 nivel en curso. En este caso, se produce una bifurcación  
en el ciclo 39 al ciclo 37 en donde se continúa el trata-  
miento sobre el nivel en curso transfiriendo el contenido  
del registro IAR de nivel en curso en el bloque 80 al re-  
gistro SAR 95 de ordenador y localizando una palabra de  
20 instrucción siguiente en la tarea de nivel en curso.

Si durante la ejecución del ciclo 26, el bitio  
en tratamiento está activado (está activado el circuito  
326 de retención T, y la prioridad de nivel en curso no es  
inferior a la prioridad de nivel seleccionado, se realiza  
25 una bifurcación al ciclo 40. En el ciclo 40, el circuito  
332 comprueba si existe un estado no nulo en la línea gene-  
ral 57. Si la línea general 57 está en un estado no nulo,  
se realiza una bifurcación al ciclo 46 para continuar el  
tratamiento sobre el nivel en curso. El nivel seleccionado  
30 queda establecido como nivel pendiente en los circuitos 335

12.7.77

1 de retención de nivel pendiente.

5 Sin embargo, si la línea general 57 está en un estado cero, el tratamiento continúa en el ciclo 41. En este caso, el nivel seleccionado y el nivel en curso son idénticos; y puesto que la información de los registros IAR, AKR y LSR en el bloque LSB seleccionado ha sido cargada en los registros correspondientes del nivel seleccionado en el bloque 80, esta información debe ser ahora transferida a los registros físicos. De este modo, en los ciclos 10 41, 42 y 43, los registros IAR, AKR y LSR de bloque del nivel seleccionado son destinados a los registros físicos 95, 85 y 90. En el ciclo 44, el nivel seleccionado es puesto en el registro 335 de nivel pendiente. En el ciclo 45 se realiza una bifurcación al ciclo 37 en donde se inicia el 15 tratamiento sobre el nuevo nivel. El contenido del registro IAR en el bloque 80 es destinado nuevamente al registro SAR 95 de ordenador y es localizada la siguiente instrucción durante el ciclo 37. También en el ciclo 37 es nuevamente repuesto el circuito de retención de nivel pendiente 20 seleccionado puesto que ha sido seleccionado para tratamiento.

Si durante el ciclo 40 se realiza una bifurcación al ciclo 46, como se ha descrito anteriormente, la dirección de la instrucción siguiente es transferida desde 25 el registro IAR de nivel en curso en el bloque 80 al registro SAR 95 de ordenador para localizar la palabra de instrucción siguiente. Adicionalmente, el circuito de retención en el registro 335 de nivel pendiente que corresponde al nivel seleccionado es establecido como pendiente, poniendo así en cola una tarea de prioridad inferior definida 30

1 por el nivel LSB seleccionado.

5 En caso de que durante el ciclo 26 se realice una bifurcación al ciclo 48 como resultado de estar activado el bitio en tratamiento (activado el circuito 326 de retención T) y por ser la prioridad de nivel en curso inferior a la prioridad de nivel seleccionado (estando en estado negativo la línea general 57, y produciéndose por consiguiente en la salida 331 de la puerta 327 una señal lógica "uno"), se distribuirá la tarea de prioridad superior sobre el nivel seleccionado. En los ciclos 48 y 49, los contenidos de los registros físicos AKR y LSR 85 y 90 son transferidos, respectivamente, a los registros AKR y LSR de nivel en curso en el bloque 80. No es necesario actualizar el registro IAR de nivel en curso en el bloque 80 porque ha sido ya actualizado, como se ha descrito anteriormente en el ciclo 4.

15 En el ciclo 49, los bitios de nivel seleccionado en los circuitos 185 de retención son transmitidos al registro 335 de nivel pendiente a través de la puerta 191 para establecer como pendiente el nivel seleccionado.

20 El valor de nivel en curso antiguo reside aún en el registro Y 53 (ciclo 25) y en el ciclo 50 es transmitido al registro 185 de nivel seleccionado. En el ciclo 51, este valor de nivel en curso antiguo es transmitido al registro 335 de nivel pendiente a través del descodificador 190 y los circuitos 191 de control de puerta para establecer como pendiente el nivel en curso antiguo.

25 En el ciclo 52, es transmitido el nuevo bitio de nivel seleccionado desde el registro 335 de nivel pendiente al registro 181 de nivel en curso a través de la puerta 336 para distribuir la nueva tarea de nivel superior.

30  
12.7.77

1 En el ciclo 53, se realiza una bifurcación al  
 ciclo 34. En los ciclos 34, 35 y 36, los registros IAR,  
 AKR y LSR de nivel seleccionado en el bloque 80 tienen sus  
 contenidos destinados a sus contrapartidas físicas (los  
 5 registros SAR, AKR y LSR 95, 85 y 90 respectivamente). En  
 el ciclo 34, es localizada la instrucción siguiente utili-  
 zando la dirección contenida en el registro SAR 95 de or-  
 denador. Esta instrucción localizada es la primera instruc-  
 ción a ser ejecutada en la tarea nuevamente seleccionada.  
 10 La ejecución de esta última instrucción comenzará después  
 de la ejecución del ciclo 36. De este modo, es distribuida  
 la tarea seleccionada de prioridad superior y es dejada  
 pendiente la tarea de nivel en curso de prioridad inferior.

ALMACENAR MICROCODIGO LSB

	ALU		STG		PALABRA	
	<u>ORIGEN</u>	<u>CTRL</u>	<u>DESTINO</u>	<u>CTRL</u>	<u>OTRO</u>	<u>NUMERO</u>
15	Bloque (Rx)	Pasar	Nivel seleccio nado			1
	WA	+ 2	Bloque (IAR)			2
20	Bloque (IAR)	Pasar	SAR y WA	LIW		3
	WA	+ 2	Bloque (IAR)			4
	Bloque (Rb)	Pasar	Y			5
	SDR	Pasar	WA			6
25	WA e Y	Sumar	SAR y WA			7
	WA	Pasar	TEMP			8
	Bloque (Rx)	Pasar	WA			9
	Nivel en curso	Pasar	Y			10

30

1	WA-Y	Restar	WA		Bifurcar a 14 si no existe estado cero	11
	LSR	Pasar	Bloque (LSR)			12
	AKR	Pasar	Bloque (AKR)			13
5	TEMP	Pasar	WA			14
	Emitir 000B	Pasar	Contador			15
	Bloque (K)	Pasar	SDR			16
	WA	Pasar	SAR	SW		17
10	WA + 2	Pasar	WA		Bifurcar a 16 si el contador no está en cero y decrementar contador	18
	Bloque (IAR)	Pasar	SAR	LIW		19

15 En la rutina "almacenar microcódigo LSB", el nivel en curso se refiere a la tarea que está siendo ejecutada y por consiguiente al nivel en el bloque 80 que contiene los registros LSB asociados con la tarea que está siendo ejecutada. El nivel seleccionado se refiere a la tarea cuyos datos de registro LSB serán transferidos desde los correspondientes registros de nivel del bloque 80 (estén o no también establecidos como registro de nivel en curso) a la memoria principal 8.

20 Los ciclos 1-8 de la rutina "almacenar microcódigo LSB" son utilizados para establecer la dirección efectiva del bloque LSB seleccionado como en la ejecución de la instrucción "cargar bloque LSB". Los valores (Rx) y de nivel en curso son comparados en los ciclos 9, 10 y 11 para determinar si son iguales. Si son iguales, se ejecutan los

25 ciclos 12 y 13 para actualizar los registros LSR y AKR de

30

12.7.77

1 nivel en curso en el bloque 80 desde los registros físicos  
LSR 90 y AKR 85 antes de almacenar el bloque LSB en curso  
en la memoria principal 8. El registro IAR de bloque fué  
ya actualizado en el ciclo 4.

5 Si los niveles no son iguales, se omiten los pa-  
sos 12 y 13 y continúa la ejecución en el ciclo 14 donde  
se recupera la dirección efectiva del registro TEMP en el  
bloque 80 y es destinada al registro WA 52. Es situado un  
valor decimal de 11 en el contador 75 en el ciclo 15 que  
10 es utilizado como control de bucle en los ciclos 16, 17,  
18 para almacenar el bloque LSB completo en la memoria  
principal 8 de un modo similar al descrito anteriormente  
con respecto a la rutina "cargar microcódigo LSB". La di-  
rección de bloque utilizada (K) se incrementa automáticamente  
15 después de su utilización por intermedio del incrementa-  
dor 320, el registro 321 y la puerta 322. La ejecución de  
instrucción continúa en el ciclo 19, donde se localiza la  
siguiente instrucción de nivel en curso secuencial.

20 Se ha descrito a modo de ejemplo una forma de di-  
reccionamiento efectivo de LLSB y STLSB; y se observará que  
pueden utilizarse otras formas conocidas de direccionamien-  
to.

25 Aún cuando el invento ha sido expuesto y descrito  
particularmente con referencia a una realización preferida  
del mismo, se entenderá por los expertos en la técnica que  
pueden hacerse cambios en la forma y detalles del mismo  
sin apartarse de la esencia y campo de aplicación del in-  
vento.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Un sistema perfeccionado de tratamiento de datos, que comprende unidades de control para alternar la ejecución de diversas tareas sobre diversos niveles de tratamiento, incluyendo dicho sistema un ordenador y una memoria principal, caracterizado por un conjunto ordenado en bloque de una pluralidad de grupos de registros, estando asociado cada uno de los grupos de registros con un nivel de tratamiento e incluyendo registros para recibir datos de control y de estado para una tarea desde la memoria principal, registros independientes adicionales para recibir datos de control y de estado seleccionados procedentes de uno de los grupos de registros para ejecutar una tarea, un registro de nivel en curso para almacenar una indicación del nivel que está normalmente activo para tratamiento de tarea, y un registro de nivel seleccionado para almacenar una indicación de un nivel seleccionado, para el cual es transferido un bloque de datos de control y de estado desde la memoria principal al grupo de registros respectivo en el conjunto ordenado en bloque, y conexiones de una memoria fija de programa de control en el ordenador, y conexiones adicionales establecidas desde el registro de nivel en curso y el registro de nivel seleccionado a medios de dirección

12.7.77

1 -namiento del conjunto ordenado en bloque de grupos de re-  
registros.

2ª.- Un sistema de tratamiento de datos de acuer-  
do con la reivindicación 1ª, caracterizado porque están  
5 dispuestos circuitos de conexión entre la salida del regis-  
tro de nivel seleccionado y la entrada del registro de ni-  
vel en curso para transferir la indicación de nivel selec-  
cionado al registro de nivel en curso.

3ª.- Un sistema de tratamiento de datos de acuer-  
do con la reivindicación 1ª, caracterizado porque está dis-  
10 puesto un circuito de retención para indicar si está siendo  
tratada una tarea seleccionada, porque está conectada una  
entrada del circuito de retención a la línea de una línea  
general de datos sobre la cual es transferido un bitio "en  
15 tratamiento", y porque la salida del circuito de retención  
está conectada a una entrada de los medios de direcciona-  
miento de la memoria fija de programa de control del orde-  
nador.

4ª.- Un sistema de tratamiento de datos de acuer-  
do con la reivindicación 1ª, caracterizado porque está dis-  
20 puesto un registro de nivel pendiente para almacenar indi-  
caciones de niveles de tratamiento que fueron dejados pen-  
dientes y en espera de activación para tratamiento de ta-  
rea, porque la entrada de registro de nivel pendiente está  
conectada, a través de circuitos lógicos, a la salida del  
25 registro de nivel seleccionado, y porque la salida del re-  
gistro de nivel pendiente está conectada al registro de ni-  
vel en curso a través de circuitos de tratamiento de inte-  
rrupción.




30

5ª.- Un sistema de tratamiento de datos de acuerdo

1 con la reivindicación 1ª, caracterizado porque la salida  
del registro de nivel en curso está conectada a la entrada  
del registro de nivel seleccionado a través de circuitos  
lógicos para transferir una indicación de nivel de trata-  
5 miento.

6ª.- Un sistema de tratamiento de datos de acuer-  
do con las reivindicaciones 3ª y 4ª, caracterizado porque  
están dispuestos circuitos de control de bifurcación con-  
dicional que incluyen entradas que están conectadas a una  
10 salida del registro de nivel en curso, y a una línea gene-  
ral de datos sobre la cual son transferidos los datos de  
control y de estado de una tarea seleccionada, y porque la  
salida de dichos circuitos de control de bifurcación con-  
dicional está conectada a los medios de direccionamiento  
15 de la memoria fija de programa de control, de modo que la  
memoria fija en respuesta a la prioridad relativa del nivel  
en curso y del nivel seleccionado, y en respuesta al bitio  
"en tratamiento" almacenado en el circuito de retención,  
proporciona señales de control para habilitar selectivamen-  
20 te o suspender la ejecución de tareas.

7ª.- Un sistema de tratamiento de datos como se  
ha definido en la reivindicación 1ª, caracterizado porque  
comprende una zona de memoria principal para retener un  
bloque de dirección de tarea y de estado correspondiente  
25 a cada tarea para la cual ha de iniciarse o continuarse la  
ejecución, medios para localizar en la memoria principal  
el bloque de estado y de dirección de tarea de una tarea  
seleccionada y para almacenar el bloque de estado y de di-  
rección de tarea localizado en el conjunto de registros de  
30 un nivel seleccionado, medios para determinar el estado en

  
12.7.77

1 -tratamiento de la tarea seleccionada y los niveles de prio-  
ridad relativa sobre los cuales está siendo ejecutada una  
instrucción de una tarea en curso y sobre los cuales está  
prevista la tarea seleccionada para ejecución, y medios  
5 que responden a dicho estado en tratamiento y a dichos nive-  
les de prioridad relativa para ejecutar una de las siguien-  
tes operaciones mutuamente exclusivas: (a) iniciar la eje-  
cución de la tarea seleccionada cuando el estado en trata-  
miento está activado y el nivel de prioridad de la tarea  
10 seleccionada es más alto que el de la tarea en curso, (b)  
poner en orden de espera la tarea seleccionada y continuar  
la ejecución de la tarea en curso cuando los datos de esta-  
do en tratamiento tienen nivel activo y el nivel de priori-  
dad de la tarea en curso es superior al de la tarea selec-  
15 cionada, (c) cambiar de la ejecución de la tarea en curso  
a la ejecución de la tarea seleccionada sobre el mismo ni-  
vel de prioridad cuando los datos de estado en tratamiento  
están activados y los niveles de prioridad seleccionado y  
en curso son idénticos, (d) continuar la ejecución de la ta-  
20 rea en curso y mantener suspendida la tarea seleccionada  
cuando los datos de estado en tratamiento están desactivados  
y el nivel de prioridad de la tarea seleccionada es superior  
al de la tarea en curso, (e) continuar la ejecución de la ta-  
rea en curso y suspender la tarea seleccionada cuando los da-  
25 tos de estado en tratamiento tienen nivel inactivo y el ni-  
vel de prioridad de la tarea en curso es superior al de la  
tarea seleccionada, y (f) suspender la ejecución de la ta-  
rea en curso, examinar los circuitos de control de priori-  
dad-interrupción para tareas pendientes sobre otros niveles  
e iniciar la ejecución de la tarea pendiente de prioridad

12.7.77

1 - más alta si están pendientes una o más tareas.

8ª.- Un sistema perfeccionado de tratamiento de datos.

5 Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

Esta Memoria consta de ochenta y cinco hojas escritas a máquina por una sola cara.

Madrid, 29 III 1977

P.A.

Alberto de Elizaburu  
Por Poder



MCC.

12.7.77

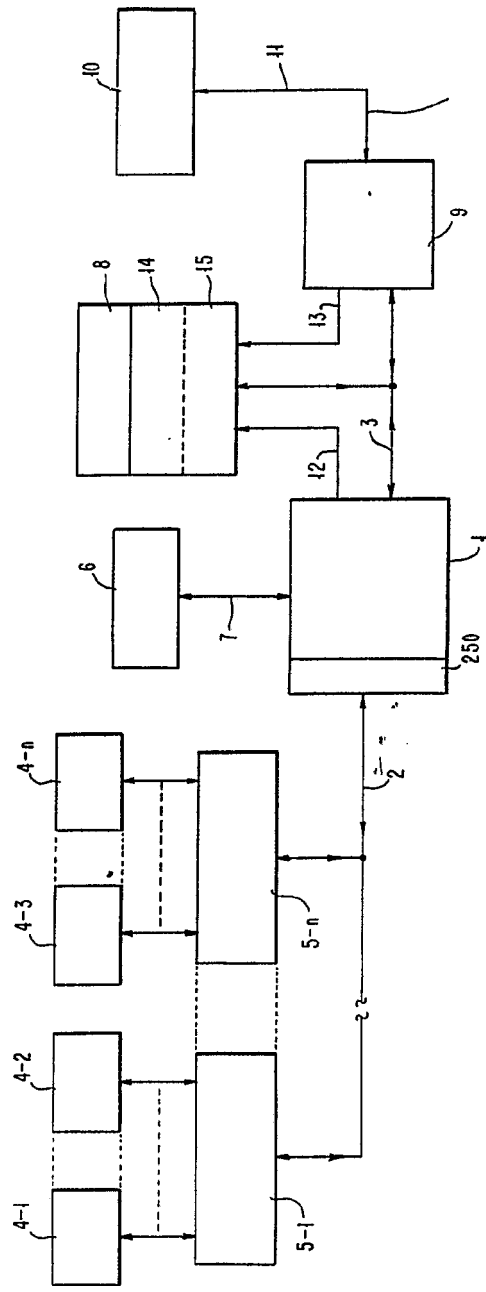


FIG. 1



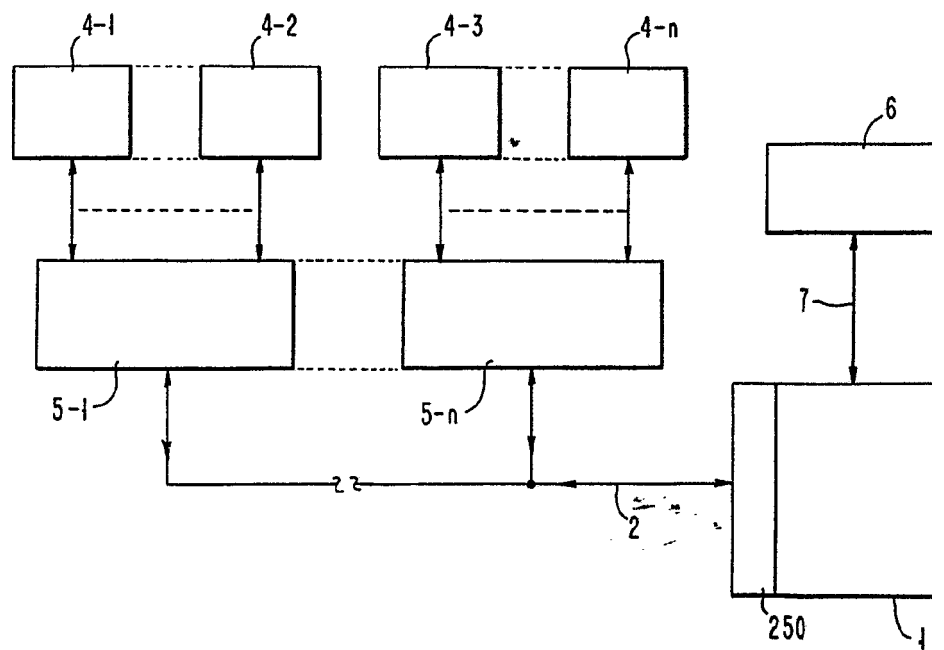


FIG. 1

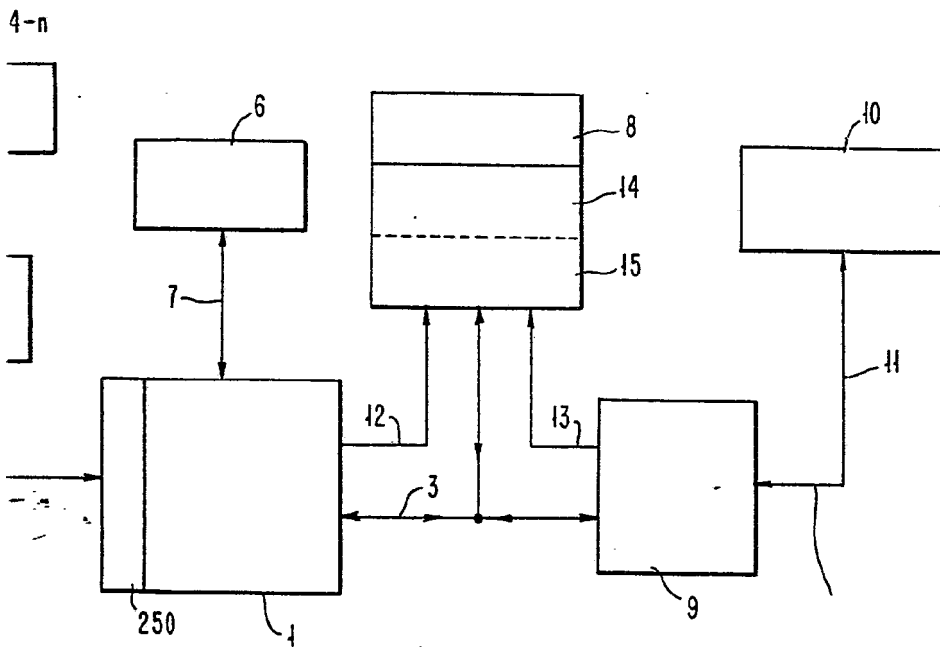


FIG. 1

Alberto de Elizaberu  
Por Pad

FIG. 2C

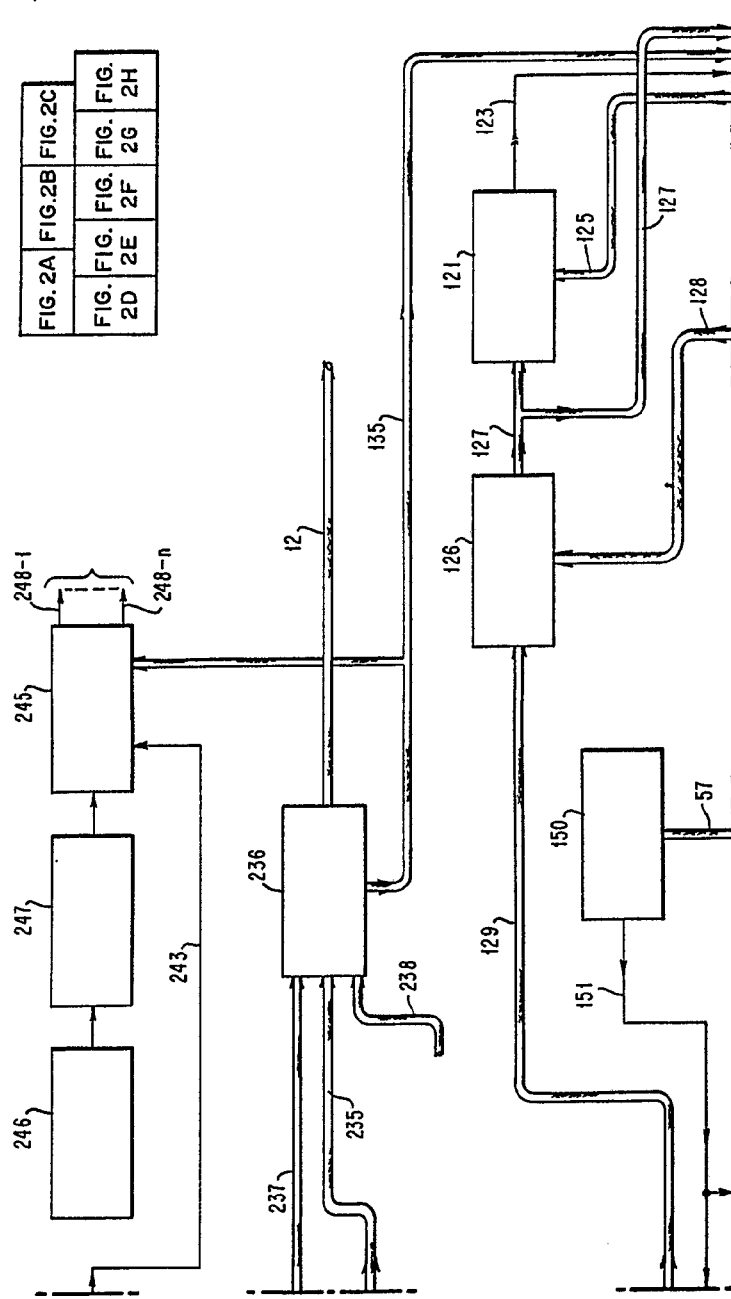


FIG. 2

FIG. 2A	FIG. 2B	FIG. 2C
FIG. 2D	FIG. 2E	FIG. 2F
FIG. 2G	FIG. 2H	FIG. 2I

Adjusted to Die Accuracy  
For Plates

FIG. 2C

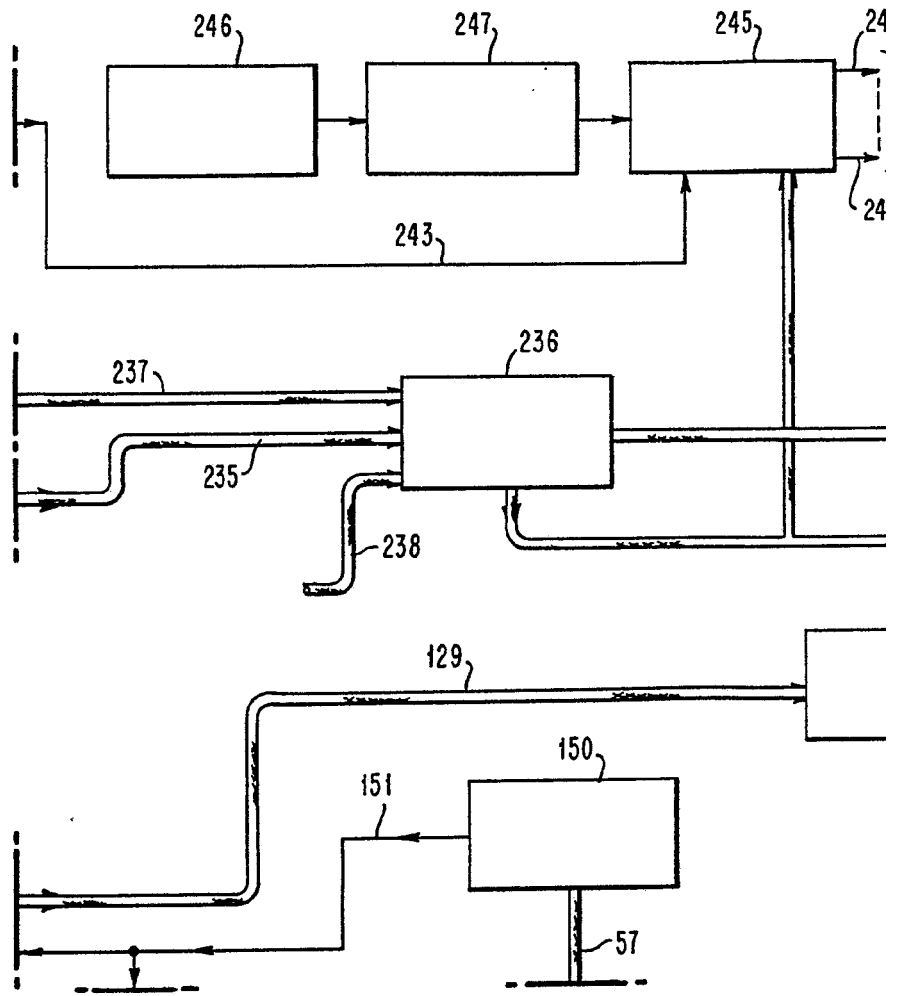


FIG. 2

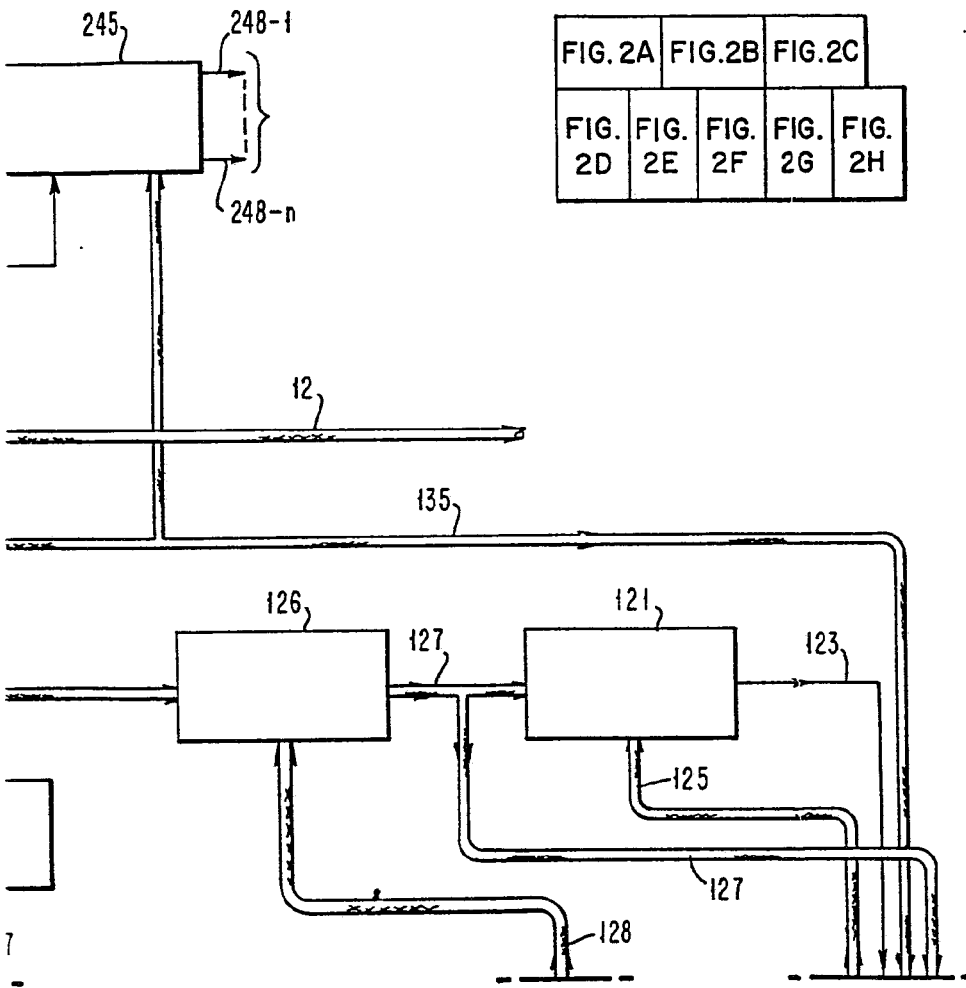


FIG. 2A	FIG. 2B	FIG. 2C		
FIG. 2D	FIG. 2E	FIG. 2F	FIG. 2G	FIG. 2H

Alberto de Alarcon  
For Peter

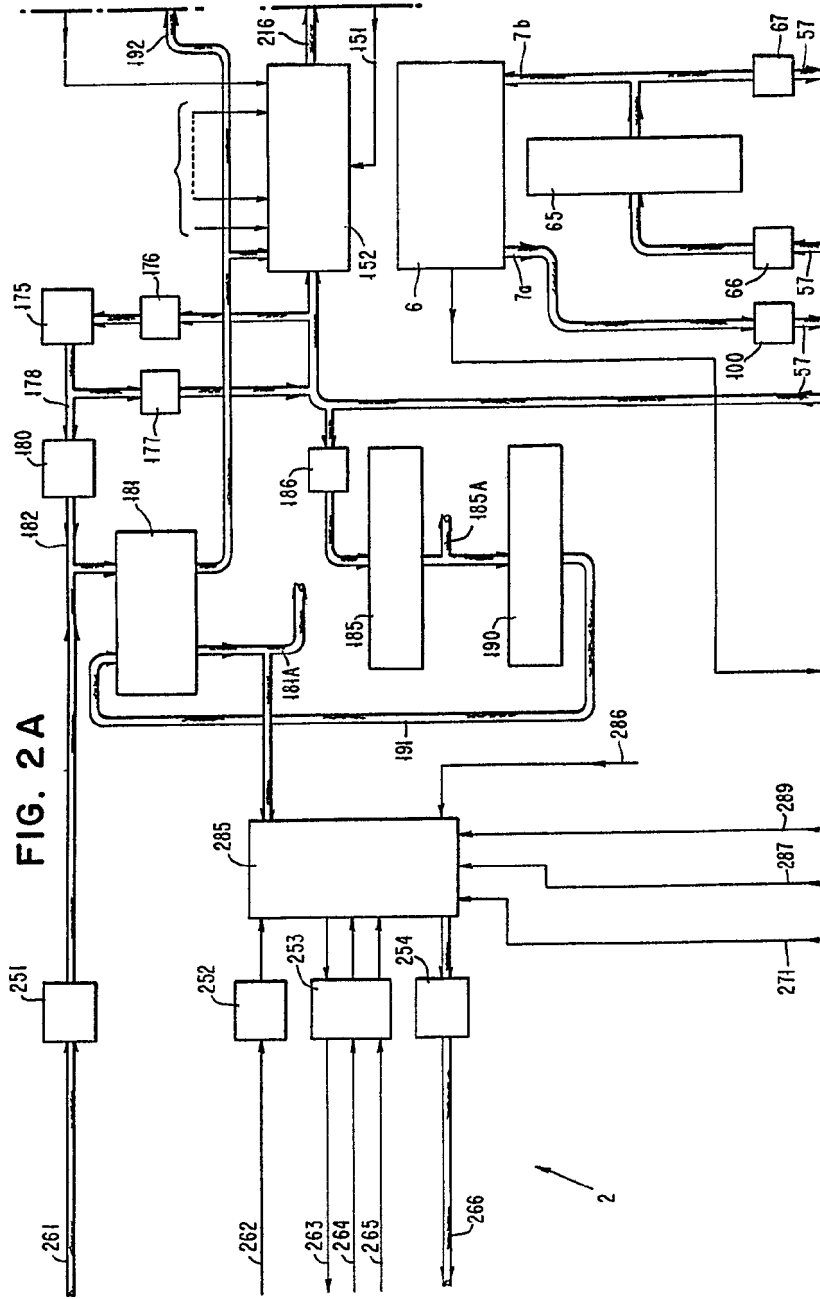
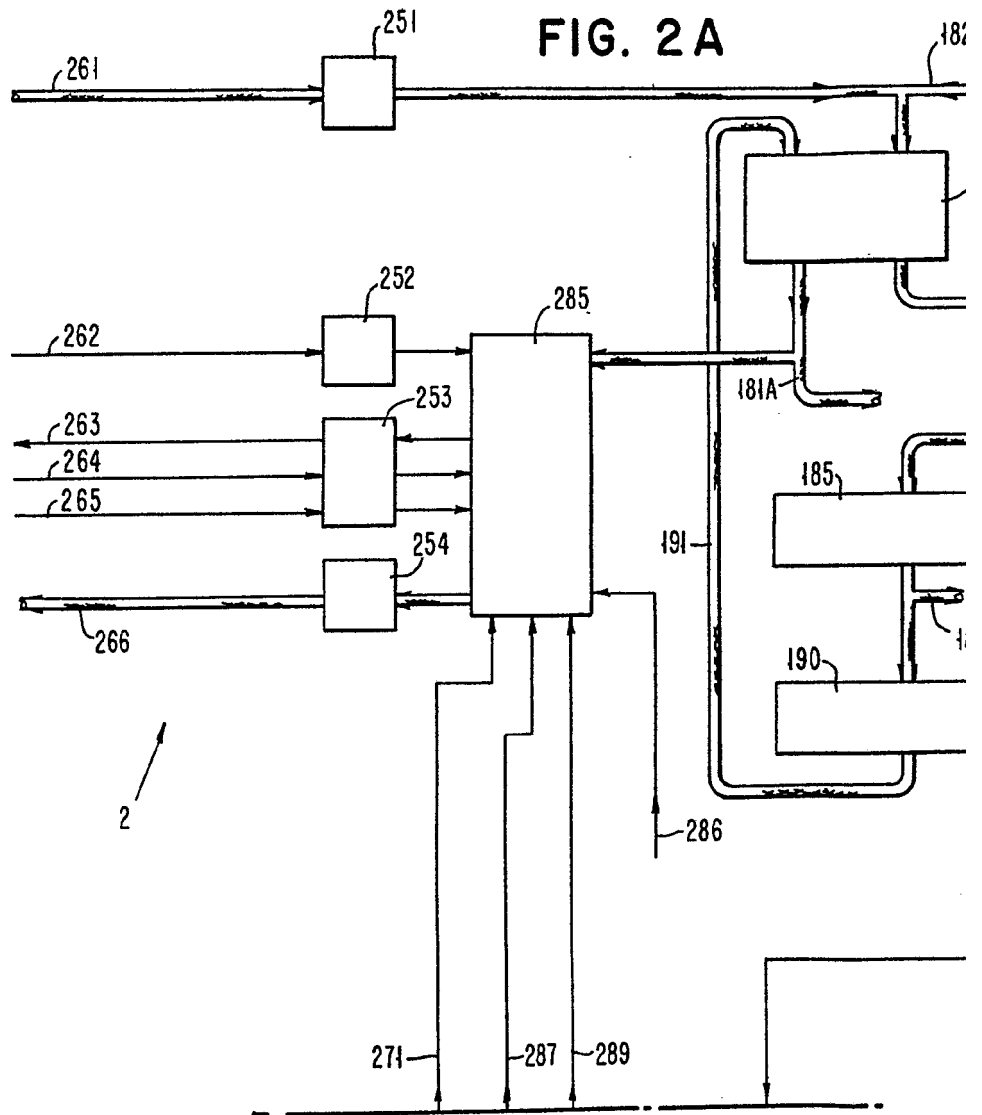
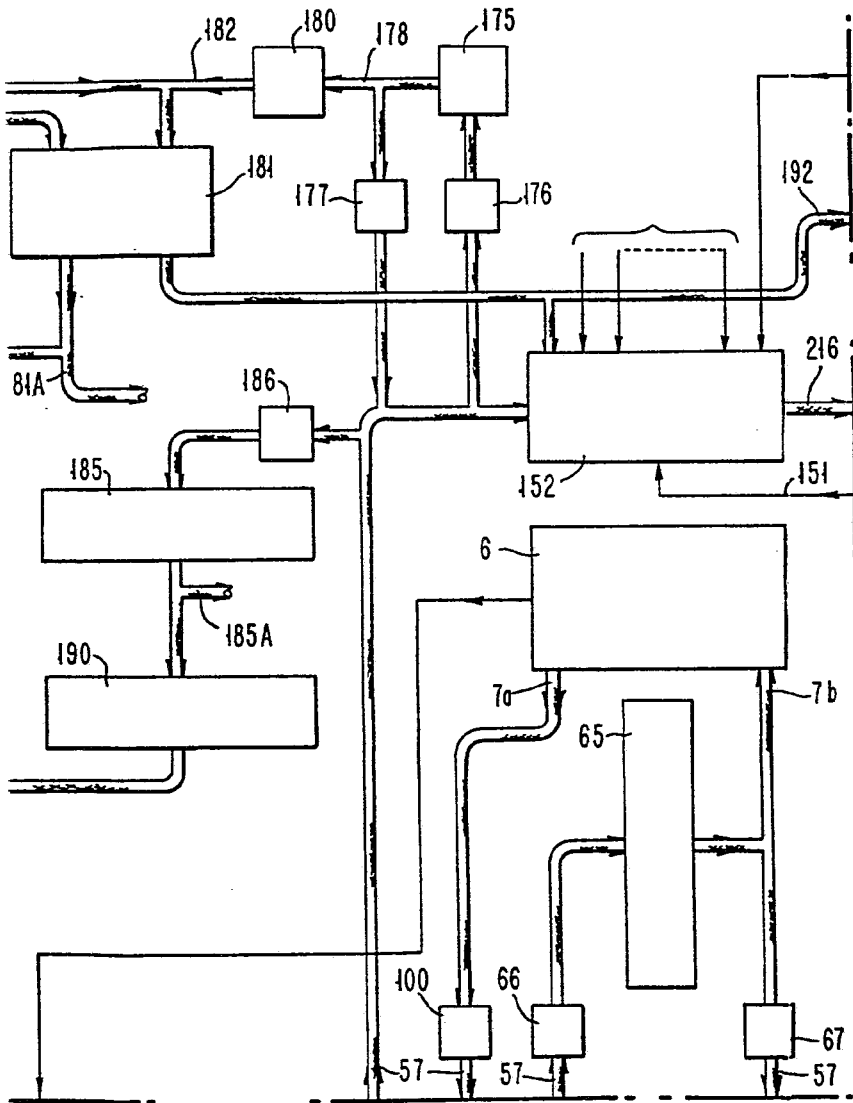


FIG. 2A

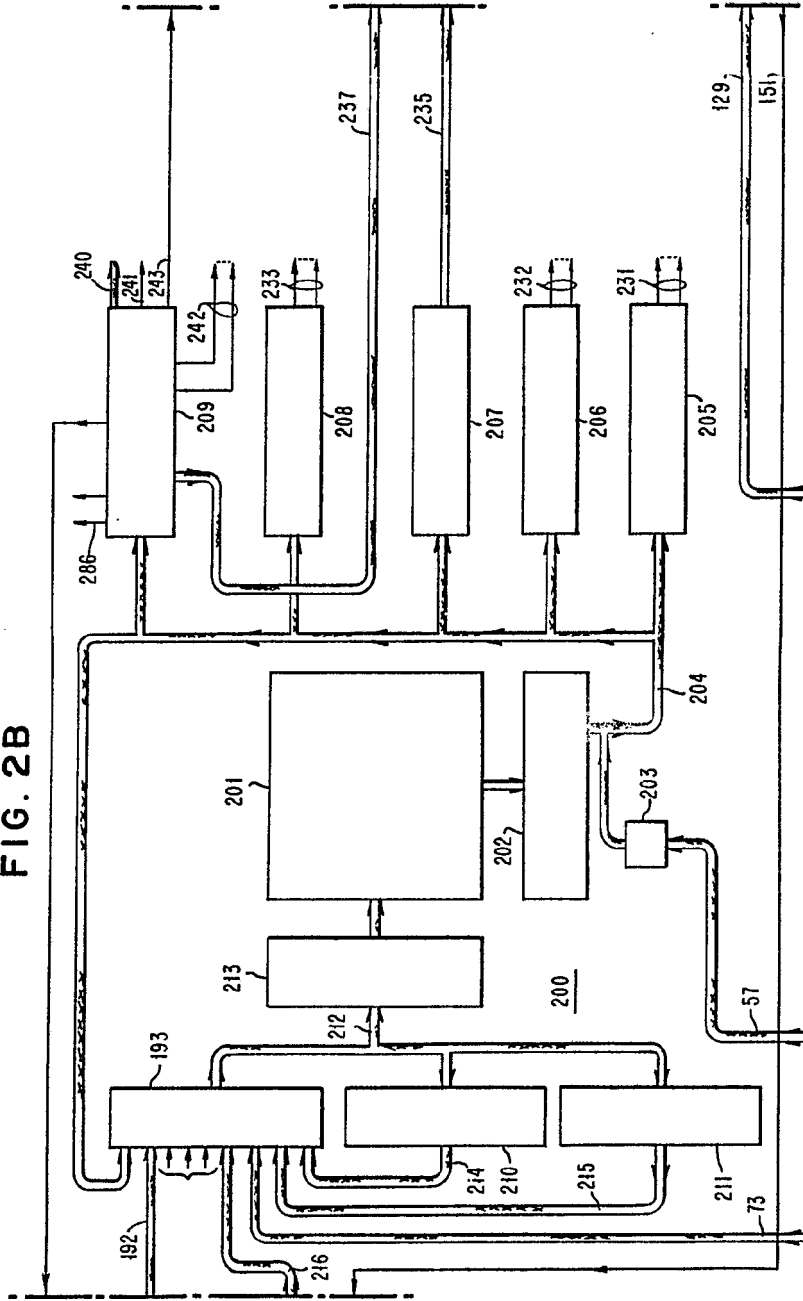
FIG. 2A





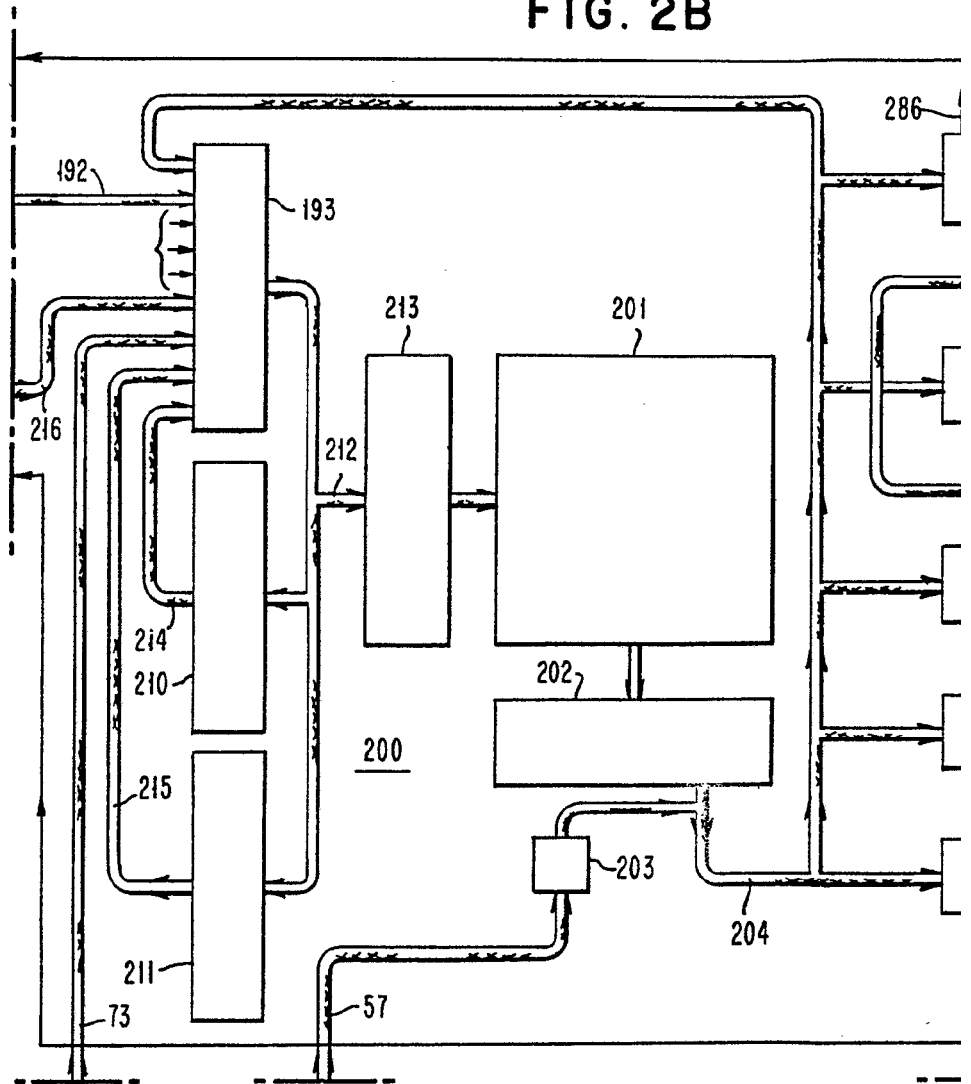
*Alberto de Arriba*  
Alberto de Arriba  
Por Poder

FIG. 2B

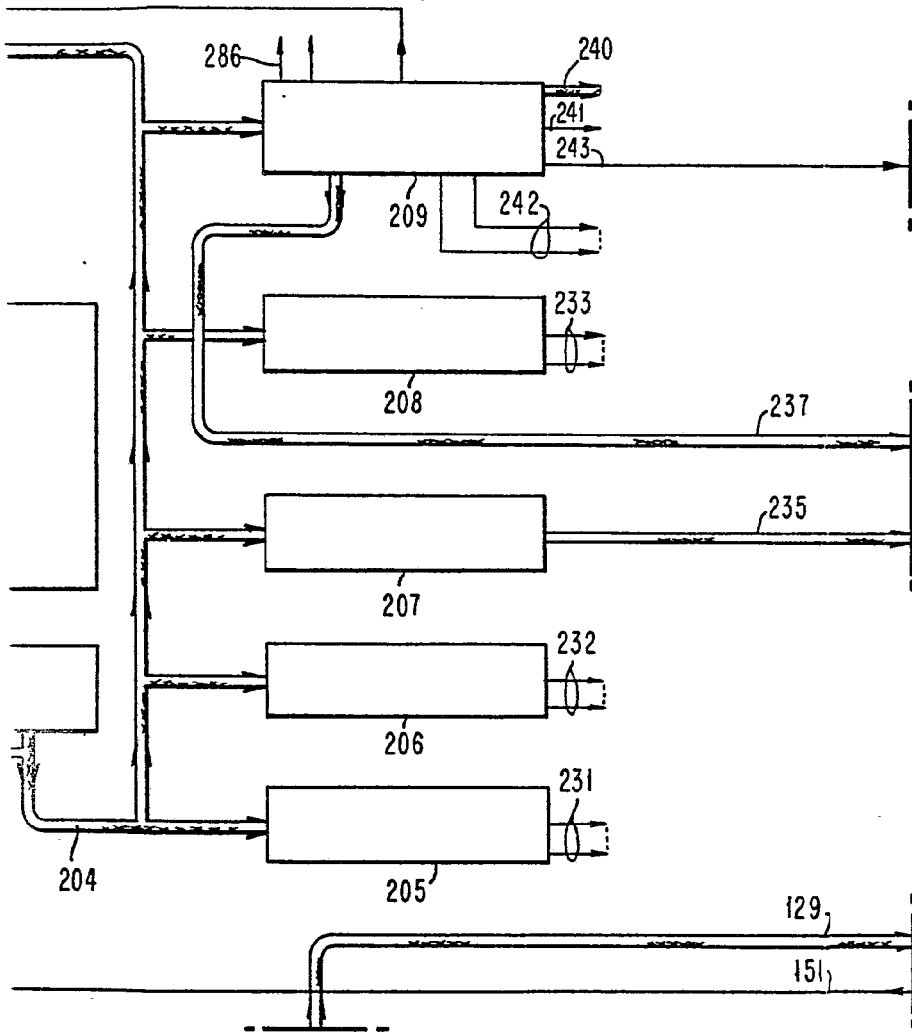


Approved for Release  
Per Executive Order 13526

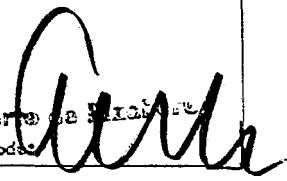
FIG. 2B



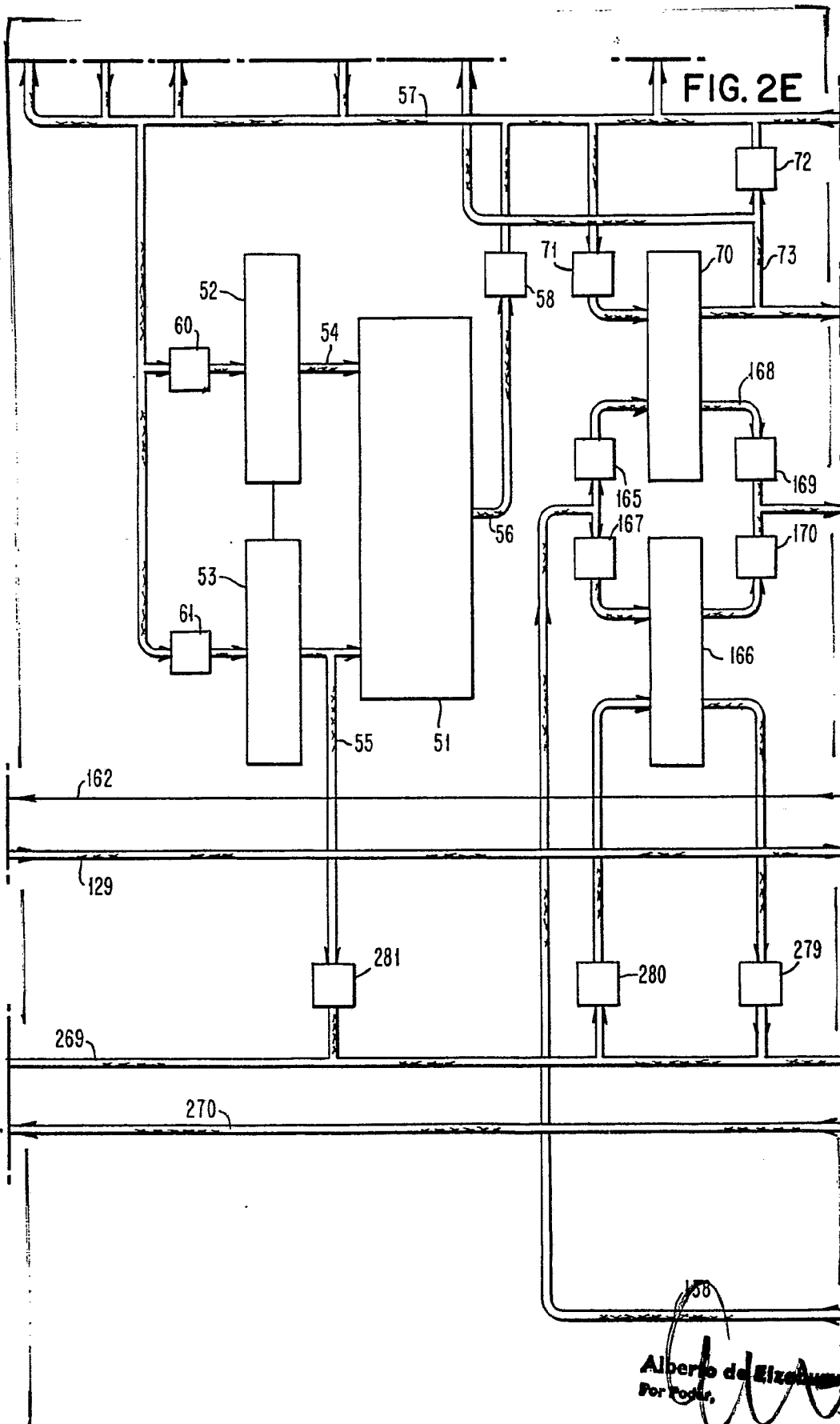
B



Alberto de ...  
 For Pod...

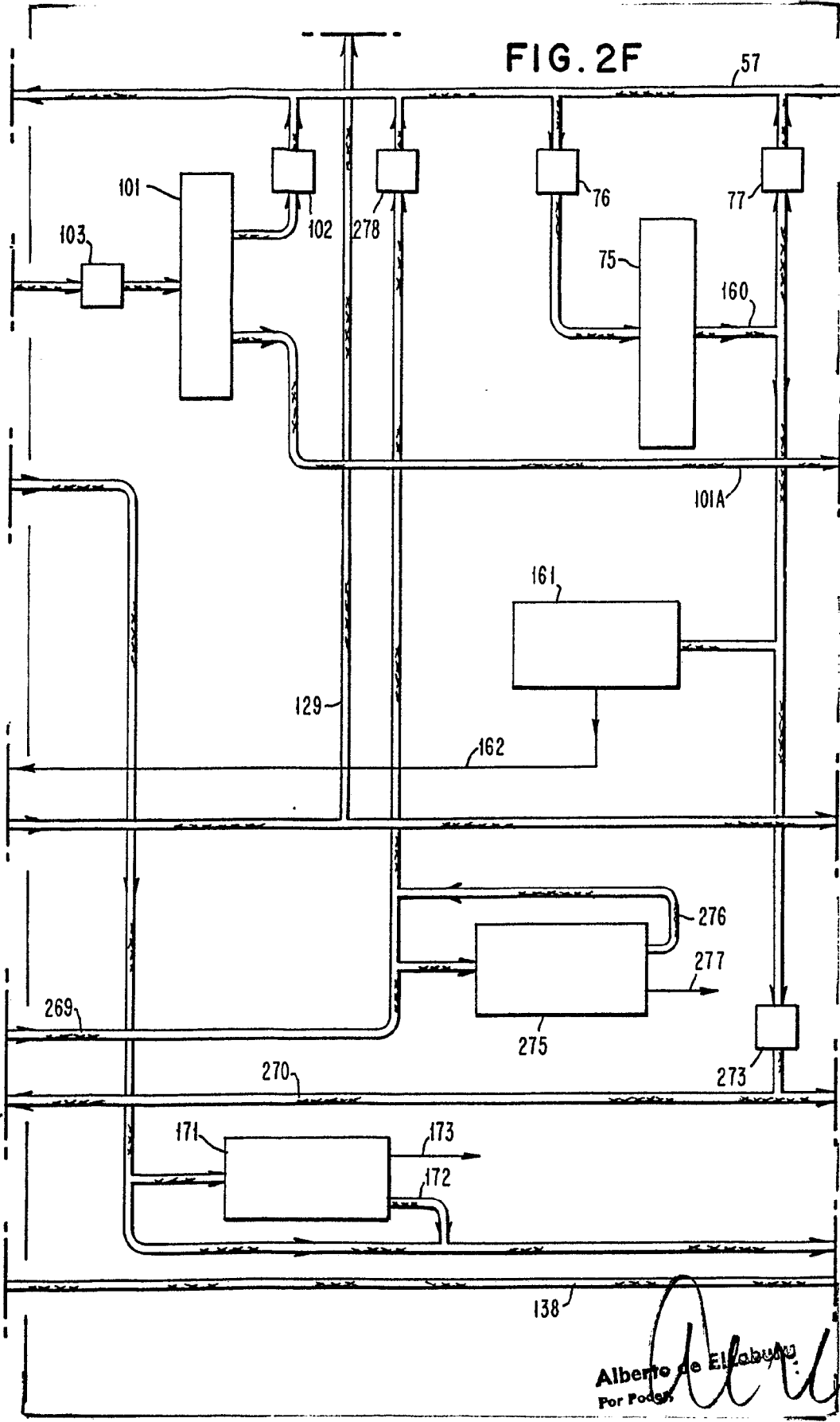






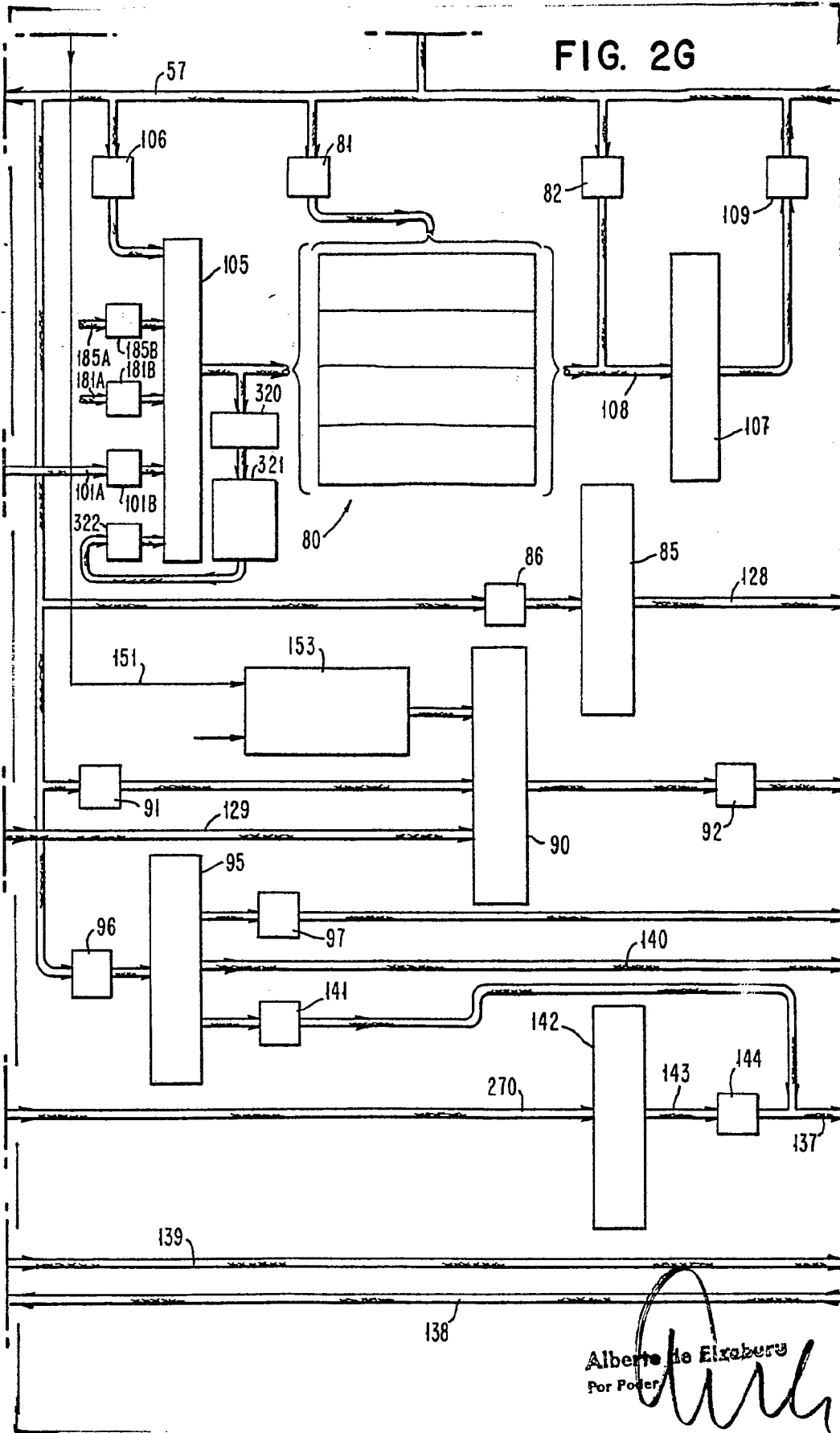
Alberto de Eizaburu  
For Forster

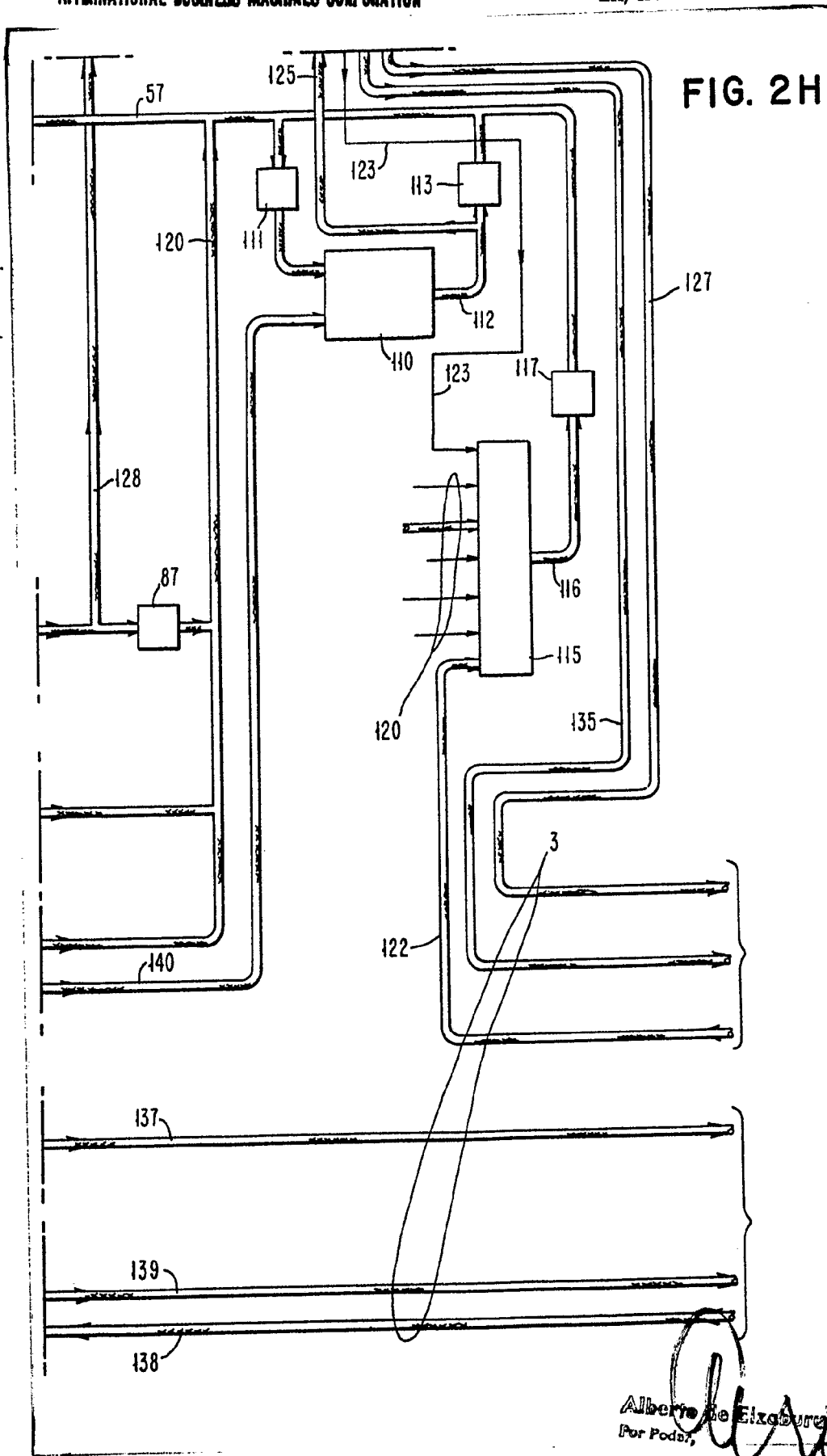
FIG. 2F



Alberto de Elaberto  
Por Poder

FIG. 2G





Alberto de Eizaburo  
Por Poder,  
*[Signature]*

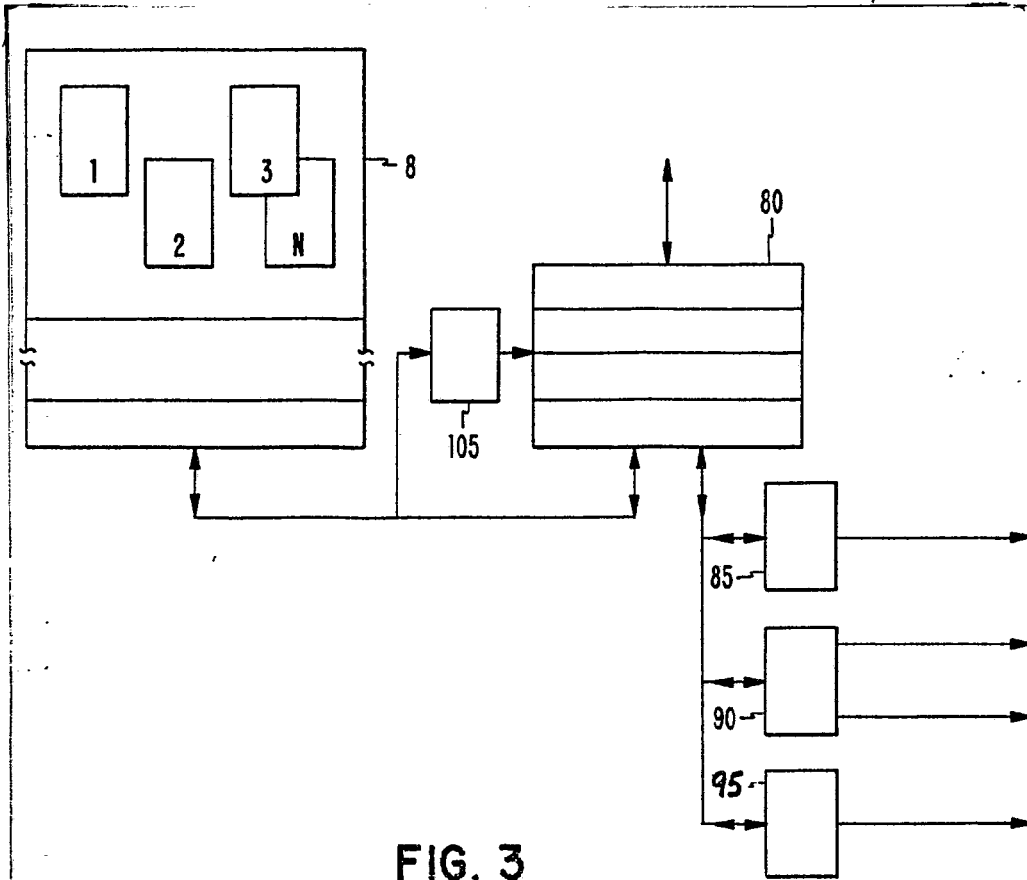
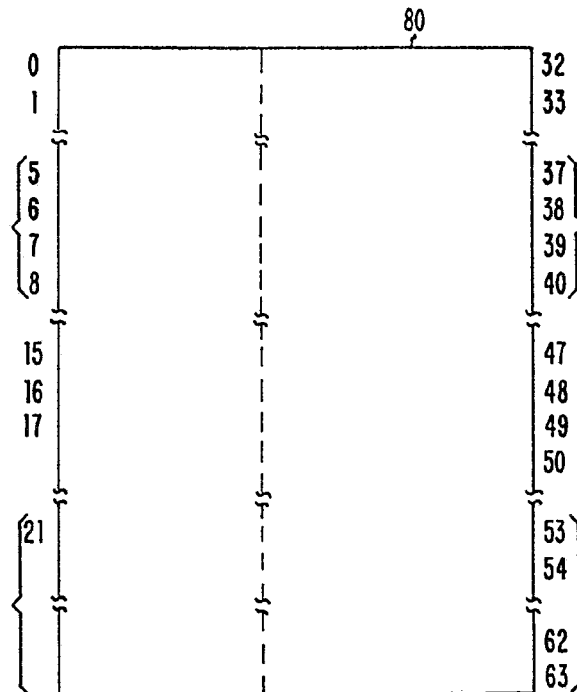


FIG. 3

FIG. 4



Alberto de Elizaburu  
Per Poder

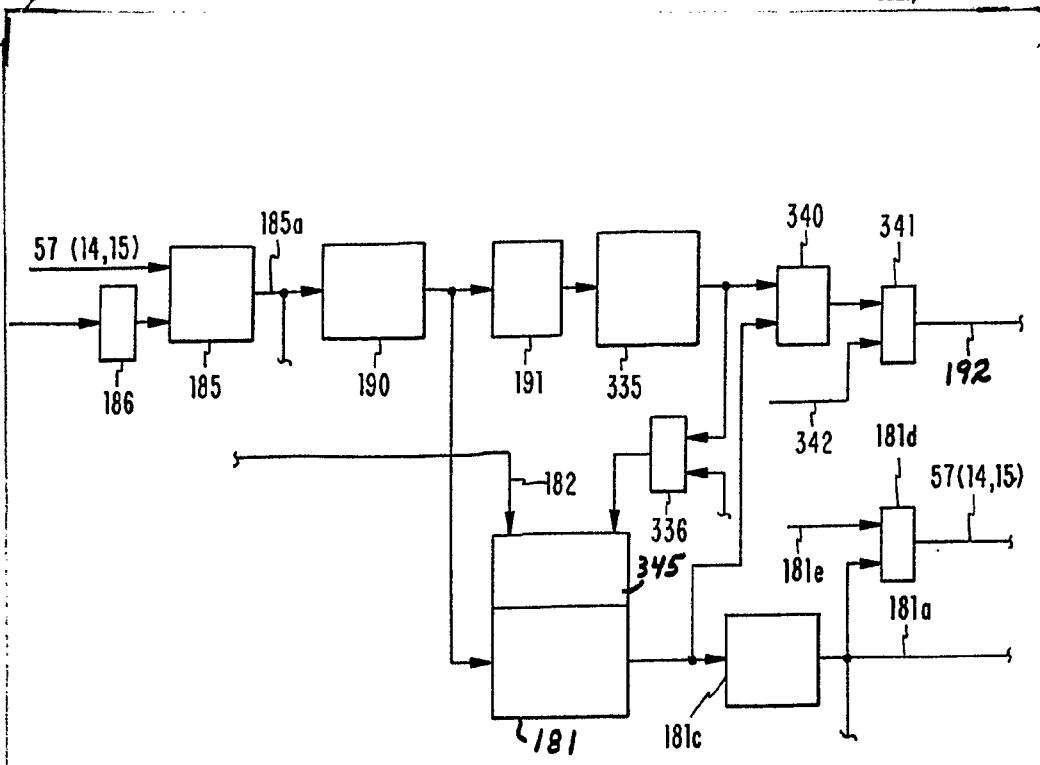


FIG. 5

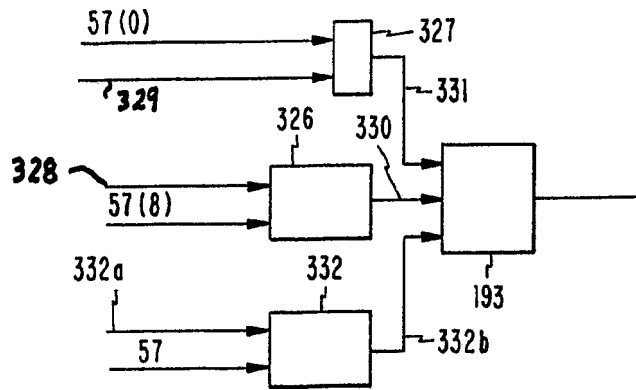


FIG. 15

Alberto de Elizaburu  
Por Poder,

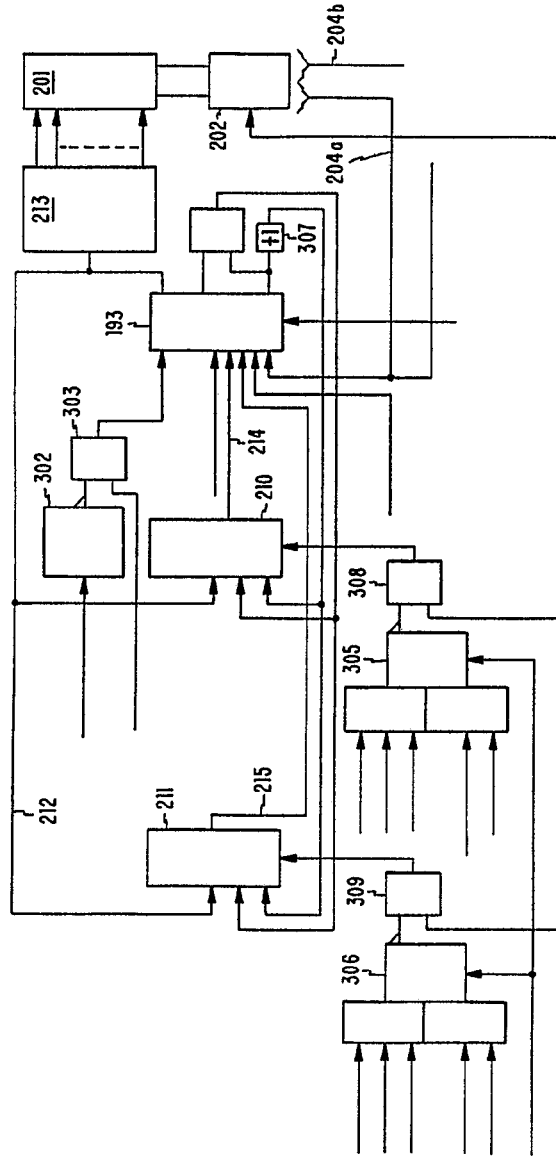


FIG. 6

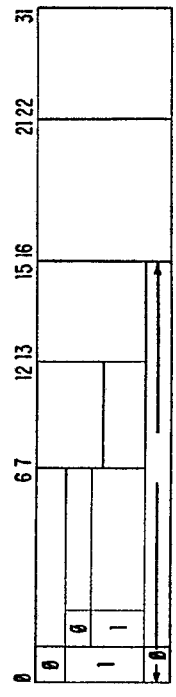


FIG. 7

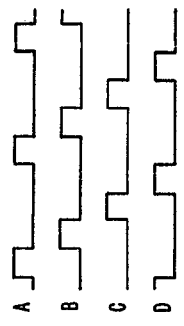
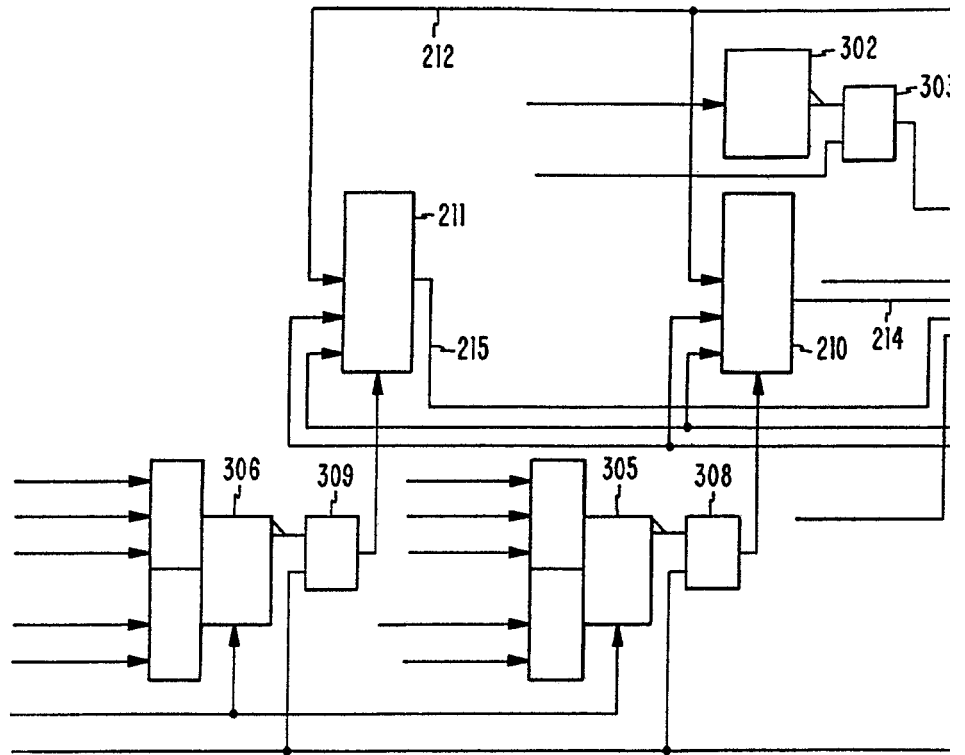


FIG. 8



FIG

0		6 7	12 13	15 16	21 22	31
0	0					
1	1					
0	← 0					

FIG. 7

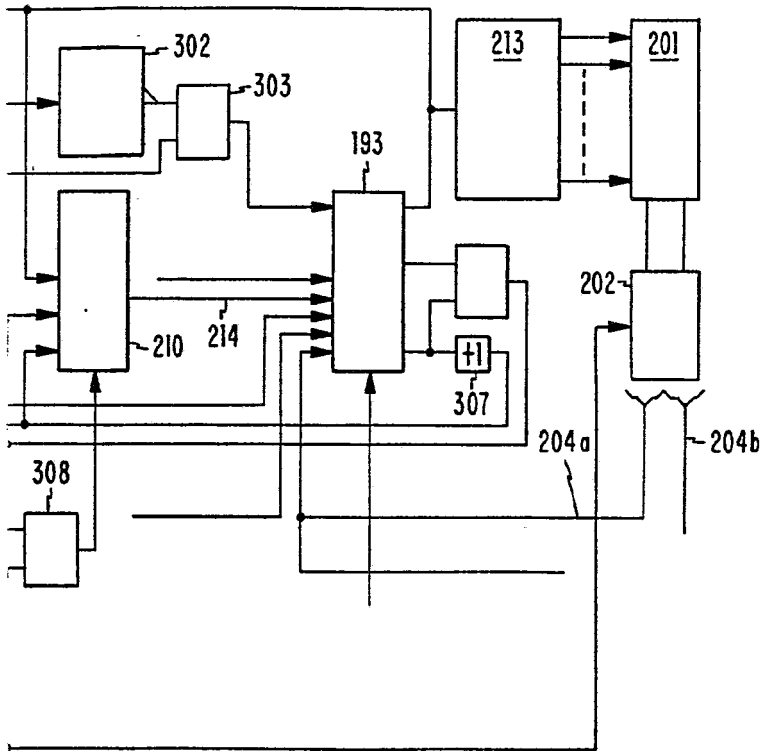


FIG. 6

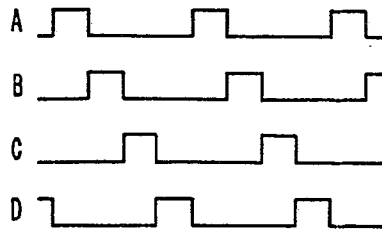
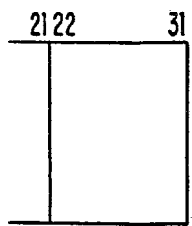


FIG. 8

Albert de Elzaburo  
 Por Poder  
*Albert de Elzaburo*

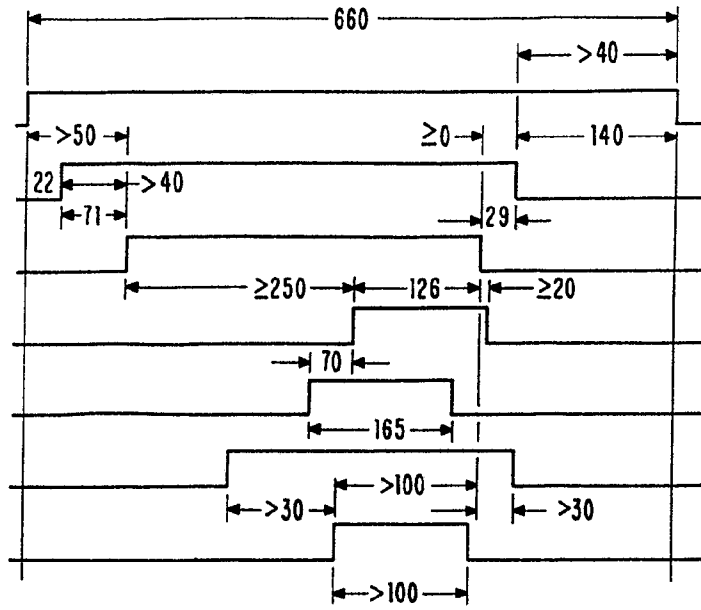
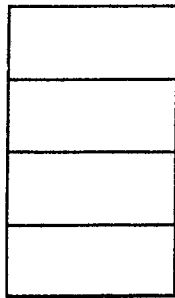


FIG. 12



0	1	2	3	4	5	6	7	8	9	10
1	0	0	1	2	0	0	3	4	0	0
1	0	X	X	X	X	X	X	X	X	X
0	1	1	X	X	X	X	X	X	X	X
0	1	0	X	X	X	X	X	X	X	X
0	0	X	X	X	X	X	X	X	X	X

FIG. 9

Alberto de E...  
Per Podis

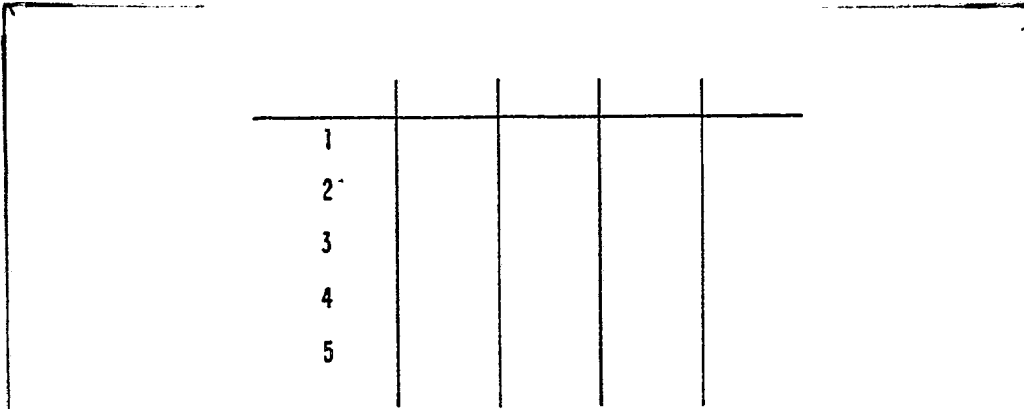


FIG. 10

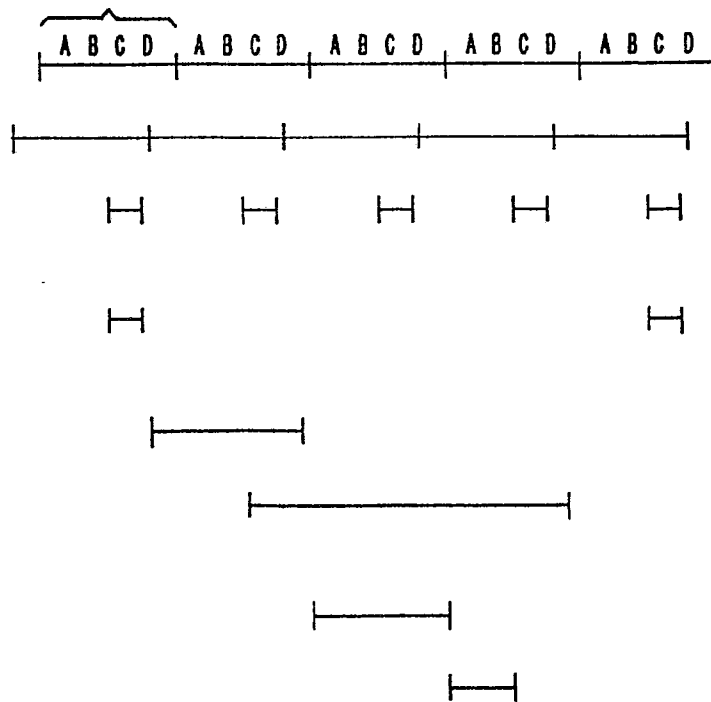


FIG. 11

International Business Machines Corporation  
New York, New York  
*[Signature]*

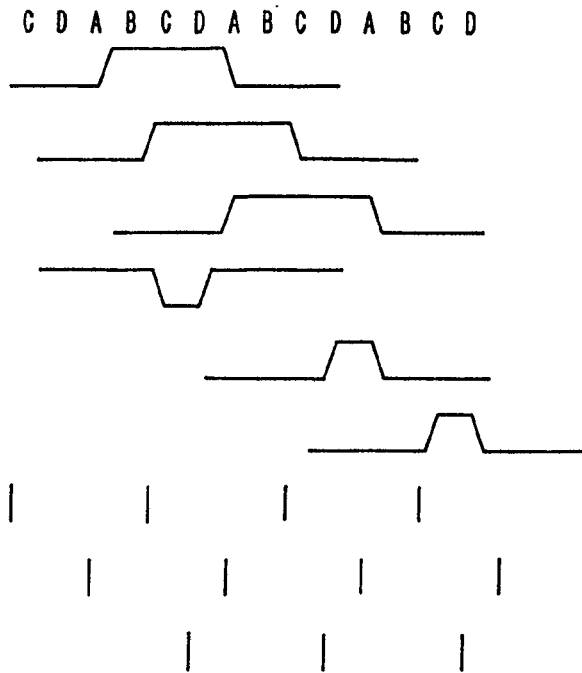


FIG. 13

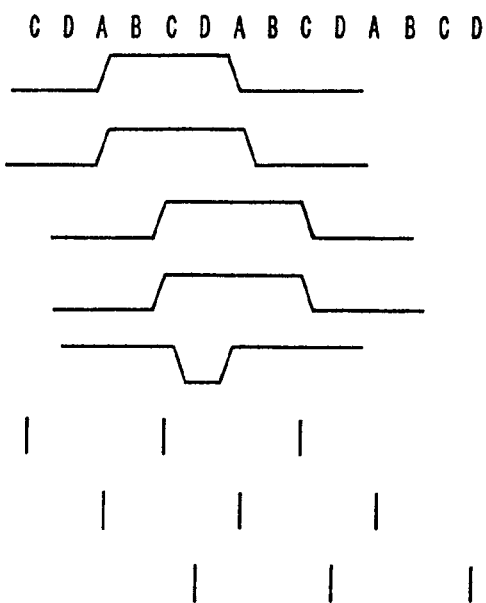


FIG. 14

Albert G. E. K. K. K.  
New York, N.Y.

A handwritten signature in cursive script, appearing to read 'Albert G. E. K. K. K.', is written over the typed name and address.