



26 DIC. 1977
PATENTE DE INVENCION

10 ES	11 NUMERO
21	458.312
22	12 FECHA DE PRESENTACION
	29-4-1977

10 A 1

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
682.224	30-4-76	EE.UU.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

54 TITULO DE LA INVENCION

"UN SISTEMA DE CONTROL DE ACCESO A ALMACENAJE PARA UNA MEMORIA PRINCIPAL COMPUESTA DE BLOQUES FISICOS"

71 SOLICITANTE (S)

INTERNATIONAL BUSINESS MACHINES CORPORATION (IBM Docket BC 9-76-010)

DOMICILIO DEL SOLICITANTE

Armonk, N.Y. 10504, Estados Unidos de América

72 INVENTOR (ES)

Richard Eugene BIRNEY y Michael Ian DAVIS

73 TITULAR (ES)

74 REPRESENTANTE

DON ALBERTO DE ELZABURU MARQUEZ (P-65.758)

P.- 65.758

1 Resumen de la invención

La presente invención combina un registro de claves de acceso (AKR) y sus circuitos de selección de clave de acceso activa (AAK) con un sistema de claves de protección de memoria o almacenaje, de tipo usual, que hace uso de una pila o paquete que tiene unos asientos de clave de almacenaje correspondientes a los bloques físicos contenidos en dicha memoria principal. Esta singular combinación proporciona protección de almacenaje para cada tipo de acceso a almacenaje o memoria dentro de unos submárgenes de acceso que hay en la memoria principal asociados a las claves respectivas. Los submárgenes son unos bloques de direcciones de acceso, dentro de la gama o intervalo completo de direcciones de acceso de la memoria física. La invención se aplica directamente a las direcciones físicas de acceso, y puede usarse en un sistema que tenga traducción de acceso, cuando se hace funcionar en un modo de sin traducción.

Asimismo, una característica especial de esta invención apoya o soporta una clave común de protección, que no necesita estar cargada en el registro de claves de acceso (AKR), para ser compartida por todos los usuarios del sistema de modo que cualquier usuario sea capaz de obtener acceso a todos los bloques de la memoria asociados a la clave común de protección. La invención incluye también, en su combinación, un predominio de acceso de I/O de cualquier control de exclusiva lectura, para cualquier bloque de memoria con respecto al cual el acceso de I/O tenga acceso por clave de protección. Cuando el ordenador se halla en el estado de supervisor, hay acceso disponible para el super

1 visor en todas las áreas de clave, sean cuales fueren las
AAK, las claves de protección o los bitios denotativos de
exclusiva lectura presentes.

5 Por todo ello, es objeto de esta invención un
sistema de control de protección de almacenaje no traduci-
ble (NPS) o sin traducción, capaz de ofrecer una relación
de compatibilidad ascendente para sus programas y datos,
de modo que pueda usarse también en un sistema de claves de
acceso traducibles.

10 Otro objeto de esta invención es el de permi-
tir el uso de áreas compartibles de almacenaje o memoria,
a las que puede tener acceso cualquier usuario, mientras
los usuarios pueden estar utilizando otras claves de pro-
tección para obtener acceso exclusivo a áreas de almace-
15 je no compartibles.

El sistema de protección de NTS hace uso de
unos circuitos de selección de claves de acceso para selec-
cionar una clave de acceso activa (una AAK) que es compa-
rada con la clave de protección de almacenaje tomada de la
20 pila o paquete de claves por los bitios de orden superior
de la dirección física a la que se va a obtener acceso en
la memoria principal. Un resultado negativo de la compa-
ración impide el acceso, en tanto que un resultado positi-
vo o afirmativo (igualdad en la comparación) permite el
25 acceso. Un acceso a una dirección de acceso en un área
de clave compartida es permitido, se obtenga o no resulta-
do positivo de comparación con la AAK. En las áreas de
claves de protección tanto compartidas como exclusivas, ca-
da acceso a almacenaje debe obedecer a la activación de un
30 bitio pertinente de exclusiva lectura.

1 La presente invención se refiere en general a la
protección de tipo de acceso en unos submárgenes o intervalos
subordinados de direcciones de acceso de la memoria
principal de un sistema de tratamiento de datos, y a la
5 compartibilidad controlada de los submárgenes asociados a
una clave compartible por los usuarios.

 En particular, esta invención se refiere a un
registro de claves de acceso en combinación con un tipo
usual de control de memoria por claves de protección de
10 almacenaje, para obtener un tipo singular de protegibili-
dad entre distintos tipos de acceso a almacenaje en una me-
moria principal de un sistema de tratamiento de datos. Asi-
mismo, la invención es capaz de proporcionar unos circui-
tos que hacen que una clave particular y sus submárgenes
15 de acceso asociados sean compartibles (puedan ser compar-
tidos) por los usuarios del sistema.

 Estos y otros objetos, rasgos característicos
y ventajas de la invención pueden apreciarse y comprender-
se de modo más completo mediante el estudio de la siguien-
20 te descripción detallada, en asociación con los dibujos
adjuntos.

Breve descripción de los dibujos

 La figura 1A-1 ilustra en general un concepto
de registro del tipo de acceso, en el que una petición de
25 almacenaje, para un tipo de acceso de almacenaje o memoria
identificado por máquina, selecciona una clave de acceso
activa (AAK) para controlar el acceso físico a una memo-
ria principal.

30 La figura 1A-2 ilustra en general un concepto
de traductor de claves de acceso, en el que se genera un

1 acceso físico a memoria principal, a partir de una dirección de acceso lógica de entrada compuesta de una AAK generada por máquina y de una dirección de acceso aparente de programa.

5 La figura 1B ilustra esquemáticamente una pluralidad de tipos de acceso de almacenaje, identificables por máquina, que pueden realizarse conforme a la invención.

10 La figura 1C es una representación física de un sistema de tratamiento de datos que contiene una memoria principal física, singular y expansible o ampliable, que puede hacerse funcionar con uno o más tipos de protección de accesibilidad.

15 La figura 1D ilustra conceptualmente la forma preferida de realización descrita en la presente Memoria descriptiva.

20 La figura 2A es una representación esquemática de unos espacios de acceso controlado obtenibles en la forma de realización detallada, durante el funcionamiento de un ordenador y su dispositivo periférico o de entrada/salida (I/O).

La figura 2B ilustra el control de espacios de acceso para operaciones de I/O, en la forma detallada de realización del invento que ejecuta una instrucción de operar I/O.

25 La figura 3A representa un subcanal o subgrupo N de I/O que recibe una clave de acceso (esto es, la clave CS) con cada orden de subcanal (esto es, DCB), y proporciona la clave de selección de acceso para cada acceso de datos a la memoria, para poner en ejecución la orden.

30 La figura 3B ilustra las partes pertinentes de

1 un canal de I/O que conecta una pluralidad de subcanales
a un circuito selector de prioridad de almacenaje.

5 La figura 3C ilustra un circuito selector de prio-
ridad de almacenaje, que recibe peticiones de acceso de al-
macenaje y sus claves de selección de acceso respectivas,
desde un ordenador y sus uno o más canales, con el fin de
seleccionar cada clave activa de acceso (AAK) y una direc-
ción de acceso derivada de programa asociado, que se trans-
fieren a un traductor o trasladador para la generación de
10 acceso físico, y luego a la memoria principal para obtener
acceso a la información.

La figura 3D es una forma preferida de realiza-
ción de un circuito selector de claves activas de acceso
(AAK), que contiene las características de igualar espacios
15 de operando (EOS).

La figura 4 muestra las partes interiores de un or-
denador que soportan el control de claves de acceso.

La figura 5 ilustra el formato para el contenido
del registro de claves de acceso (AKR) del ordenador, usa-
do en la forma de realización detallada.
20

-La figura 6 muestra el formato del contenido de
cada registro de segmentación hallado en la forma de rea-
lización detallada.

La figura 7 es un esquema de detalle de los con-
25 troles de puerta de entrada y puerta de salida para una
posición de bitio en el registro de claves de acceso (AKR).

La figura 8A ilustra esquemáticamente el funciona-
miento de la instrucción de carga o entrega de registros
de segmentación, en la que uno o más registros de segmen-
tación designados pueden ser cargados desde, o almacenados
30

1 en, la memoria principal.

5 La figura 8B ilustra esquemáticamente el funcionamiento de la instrucción de memoria, de carga o entrega de AKR, en la cual el AKR puede ser cargado desde, o descargado en, un vocablo de la memoria principal.

La figura 8C ilustra esquemáticamente la instrucción de registro, de carga o entrega de AKR, que es capaz de cargar o almacenar (descargar) el contenido del AKR, desde o en un registro de uso general (GPR).

10 Las figuras 9A y 9B ilustran con detalle una forma preferida de realización del traductor representado en la fig. 1C, que traduce una dirección de acceso lógica de máquina, de 19 bitios, en una dirección de acceso física de 24 bitios para obtener acceso a la memoria principal o al sistema.

15 Las figuras 9C, 9D-1, 9D-2, 9E, 9F-1 y 9F-2 ilustran con detalle unos circuitos que se encuentran dentro de los recuadros indicados en las figs. 9A y 9B.

20 La figura 9G ilustra el funcionamiento de los circuitos de anticipación indicados en la fig. 9C, en la selección de una de las unidades de almacenaje o memoria interior, exterior o asíncrona, y la interpretación de la dirección de acceso física de 24 bitios por parte de la unidad seleccionada durante el ciclo de acceso.

25 La figura 10 ilustra un circuito de control de modos de ordenador, utilizado en la forma de realización detallada para la selección por ordenador, sea del modo de protección de almacenaje sin traducción, sea del modo de protección de almacenaje de o con traducción.

30 La figura 11 ilustra los circuitos de control -

1 de protección utilizados durante el modo operativo de orde
nador sin traducción.

5 La figura 12 ilustra un formato para una instruc
ción del tipo de memoria a memoria, que puede ponerse en
ejecución en un ordenador dotado de la presente invención.

10 La figura 13A ilustra los componentes de formato
pertinentes de una instrucción de habilitar/inhabilitar,
para activar o inhibir los modos especiales de accesibili
dad del ordenador, tales como los de control de accesibili
dad para proteger almacenaje sin traducción (SPO), prote
ger almacenaje con traducción (TR) e igualar espacios de
operandos (EOS).

15 La figura 13B ilustra una secuencia de estados
para un registro de claves de acceso, en la que el estado
de EOS se lleva a efecto al ocurrir una interrupción.

20 La figura 14 ilustra la circuitería para reali
zar o poner en práctica un modo alternativo de proteger traduc
ción para un ordenador, que representa una variante o al
ternativa del modo de proteger traducción de AKR explicado
en relación con la fig. 1A.

La figura 15 ilustra un método alternativo de tra
ducción de claves de acceso que puede usarse en un ordena
dor como variante de la disposición de traducción de varios
paquetes o grupos ilustrada en la fig. 1A.

25 La figura 16 ilustra una selección de acceso a
BSM en paralelo con varias claves de acceso activas, en un
ambiente de tratamiento múltiple.

30 La figura 17 ilustra unos controles de ordena
dor para realizar prácticamente la instrucción de carga o
entrega de registros de segmentación, indicada en la fig.

1 8A.

La figura 18 ilustra unas operaciones de cargar y almacenar, en condiciones de interrupción de clase.

Introducción a la forma de realización preferida

5 La fig. 1A ilustra el concepto general de la invención, usado en la forma preferida de realización que se ilustra conceptualmente en la fig. 1D. La fig. 1A tiene un circuito 20 de selección de claves de acceso que tiene relación con un tipo particular de petición de acceso de
10 almacenaje (señalada por cualquiera de las líneas 21, 22, 23, 24 o 25) a una (correspondiente) de las secciones 31, 32, 33, 34 o 35 de registro de claves, que respectivamente contienen una clave de CS, de IS, de OP1, de OP2 y de OP3. La clave relacionada con cada una de estas líneas se hace
15 salir como clave activa de acceso (AAK) por los circuitos 20 de selección de AAK. La clave activa de acceso controla la obtención de acceso a la memoria principal del sistema durante el siguiente acceso a la memoria, esto es, la
20 búsqueda (toma) o el almacenaje (entrega) de datos en dicha memoria. En esta operación de obtener acceso, la AAK proporciona la parte de orden superior de la dirección lógica de acceso usada por la máquina para obtener acceso a la memoria.

25 Las líneas 21, 22, 23, 24 y 25 de petición de acceso señalan cada una un tipo distinto de petición de acceso, que se deriva de los canales y ordenadores (unidades programadas de tratamiento) capaces de obtener acceso a la misma memoria principal. Estas líneas de petición están
30 I/O, búsqueda de I, acceso de OP1, acceso de OP2 y acceso

1 de OP3. Si en cualquier momento dado aparece sólo una se-
ñal de petición de acceso, esta señal de petición de acce-
so pone entonces en salida inmediatamente su correspondien-
te sección de registro de claves de acceso, dando la AAK.
5 Si aparecen varias señales de petición de acceso simultánea-
mente, unos circuitos de prioridad contenidos en los cir-
cuitos 20 de selección de AAK determinan entonces el orden
por el cual cada una de las peticiones de acceso simultá-
neas pone en salida, como AAK, su clave de acceso respecti-
10 va. Entre señales simultáneas de petición se prevé cierto
orden de prioridad, tal como el de atender o conceder una
petición de acceso directo de I/O ("robando ciclo") antes
que poner en salida la clave de ocupación o "robo" de ci-
clo (CS). En segundo lugar se atiende o concede la peti-
15 ción de búsqueda de entrada (búsqueda de I), para poner en
salida la clave de IS como AAK. En tercer lugar se atien-
de la petición de acceso de OP1, para poner en salida la
clave de OP1 como AAK; y en cuarto y quinto lugar se atien-
den las peticiones de acceso de OP2 y OP3, para poner en
20 salida, como AAK, la clave de OP2 o la de OP3, respectiva-
mente.

Como puede verse por todo ello, la invención
abarca una relación particular entre tipos de peticiones
de acceso y secciones particulares de registro de claves.

25 Las secciones de claves de acceso en un orde-
nador están agrupadas en un registro de claves de acceso
(AKR), que contiene: la sección de registro de claves de
IS (ISK), que se refiere a cada petición de búsqueda de
instrucciones para controlar la obtención de acceso de ca-
30 da instrucción, y las secciones de registro de claves de

1 OP1 (OP1K) a OP3 (OP3K) inclusive, relacionadas con diferentes tipos de accesos de operando requeridos para la ejecución de las instrucciones.

5 Además, cada subcanal de I/O tiene su respectiva sección de registro de claves de CS (CSK). También pueden varios subcanales de I/O pedir simultáneamente acceso a la memoria principal. Por tanto, se prevén unos circuitos de selección de prioridad de CSK para presentar estas claves de CS (CSK) en un orden sucesivo prefijado cuando las
10 peticiones de ellas aparezcan simultáneamente.

Asimismo, si varios ordenadores tienen acceso a la misma memoria principal, se habilitan unos circuitos de orden de prioridad para seleccionar un orden entre las respectivas salidas de AAK de los ordenadores. La fig.
15 1A ilustra un sistema de ordenadores y canales de AAK en el que se usa un subgrupo de los tipos de peticiones de acceso de almacenaje de los que se dispone, por construcción, en el proyecto de un sistema de tratamiento de datos. La fig. 1B indica un mayor número de diferentes tipos de acceso de almacenaje. En todo sistema particular
20 de tratamiento de datos, esta invención limita los tipos de acceso de almacenaje, reduciéndolos a los que son identificables por la máquina. Esto es, dentro de la máquina se requiere una circuitería capaz de detectar cada uno de los distintos tipos de peticiones de acceso de almacenaje
25 en el instante en que se está haciendo cada petición de acceso. En la fig. 1B hay designados más tipos de acceso que los que se usan en la fig. 1A. En la fig. 1B hay diez tipos de acceso de almacenaje clasificados en tres categorías de acceso: 1) acceso de instrucciones; 2) acceso de
30

1 operandos; y 3) la categoría de accesos relacionada con
los sucesos del ordenador. Cada canal contiene un número
K de subcanales, y cada subcanal tiene tres categorías de
acceso de almacenaje: 1) acceso de órdenes de mando, 2) ac
5 ceso de datos de I/O; y 3) la categoría de acceso relacio-
nada con los sucesos de I/O.

Cada categoría de acceso proporciona por lo me-
nos un tipo de acceso de almacenaje.

10 En una máquina dada, los únicos tipos de acceso de
almacenaje que pueden usarse son los manifestados en el pro-
yecto o diseño de la máquina por una señal de identifica-
ción: por ejemplo, una señal de petición de almacenaje. Así,
la categoría de acceso de instrucciones es identificada por
la máquina por medio de una señal de petición de búsqueda
15 de instrucción. La categoría de acceso de operandos puede
ser identificada por la máquina mediante seis tipos distin-
tos de acceso de operando en la fig. 1B; éstos se hallan
subclasificados en tipos de acceso de operando directos e
indirectos, de los cuales la subcategoría de acceso directo
20 incluye accesos de direcciones de acceso directamente gene-
radas o provenientes de la instrucción, en tanto que la sub
categoría de acceso indirecto incluye operandos situados
en direcciones de acceso generadas indirectamente desde
la dirección de acceso de operando existente en una ins-
25 trucción. Cada subclase o subcategoría tiene tres tipos
diferentes de acceso de operando, que pueden ser identifi-
cados por la máquina en forma de señal de petición, de
búsqueda de fuente, señal de petición de almacenaje para
evacuación y señal de petición de búsqueda para evacua-
30 ción. Cada uno de estos seis tipos de operando pueden
ser incorporados en el proyecto de una máquina, y sus -

1 señales de identificación por la máquina son determinables
en general desde el código de operación de cada instrucción
y sus campos ocupados por operandos. El tipo de operando
de búsqueda de fuente tiene aplicación a los datos que se
5 usan como fuente de una ejecución de instrucción; no se ha
de cambiar, sino sólo usarse para generar los resultados de
la ejecución de la instrucción. En cambio, el tipo de ope-
rando de almacenaje en depósito se refiere a un acceso que
guarda o almacena los resultados de la ejecución de una
10 instrucción. El tipo de operando de búsqueda en depósito
es resultado de la ejecución de una instrucción anterior,
resultado al que se va a obtener acceso como fuente de la
ejecución de la instrucción en curso. En muchos sistemas
de calculadora o computadora, según se ha visto, es más efi-
15 caz incorporar el tipo de operando de almacenaje en depósi-
to y el tipo de operando de búsqueda en depósito en un solo
tipo de operando, de almacenaje/búsqueda en depósito.

Los accesos de suceso de ordenador son produci-
dos por la aparición de sucesos internos en el ordenador,
20 tales como los de error de datos, fallo de la máquina, ex-
cepción en la obtención de acceso, etc., entre los que se
incluye una larga lista de sucesos ya conocidos que origi-
nan interrupciones usuales en el ordenador, esto es, inte-
rrupciones internas. Por ejemplo, en la categoría de ac-
25 cesos casuales de ordenador se incluye el acceso a un área
de memoria principal que contenga un manipulador de inte-
rrupciones y otros programas para manipular las señales
relacionadas con interrupciones, así como para almacenar
30 los datos relacionados con la interrupción, tales como los
datos de anotación de salida.

1 De igual modo, cada canal tiene una pluralidad
de subcanales que ejecutan una pluralidad de distintos ti-
pos de accesos. Así, cada subcanal está clasificado como
de una categoría de acceso de datos de I/O (de periféricos)
5 capaz de tener un tipo de acceso de búsqueda de I/O y un
tipo de acceso de almacenaje de I/O. Algunas concepciones
constructivas de máquina encuentran eficaz combinar en un
solo tipo de acceso, que es el tipo de acceso de búsqueda/
almacenaje de I/O (de periféricos). El tipo de acceso ca-
10 sual o de suceso de subcanal viene señalado por unas inte-
rrupciones exteriores al ordenador, esto es, interrupcio-
nes exteriores. Suelen usarse muchos tipos distintos de
interrupciones exteriores, tales como la interrupción de
final de dispositivo, la interrupción de fallo de disposi-
15 tivo, la interrupción de error de datos de I/O, etc.

En resumen, la presente invención abarca tam-
bién el objetivo de proporcionar capacidad o posibilida-
des, en una máquina, para obtener una accesibilidad en la
memoria principal por separado para cada uno de los distin-
20 tos tipos de accesos de almacenaje indicados en la fig. 1B,
entre los que se incluyen los ocho tipos de acceso de alma-
cenaje distintos disponibles para cada ordenador, y los
cuatro tipos de acceso de almacenaje diferentes disponi-
bles para cada subcanal. Esta posibilidad de accesibili-
25 dad por separado se habilita por medio de una sección de
registro de claves por separado para cada uno de los tipos
de acceso de almacenaje respectivos proyectados en una má-
quina. Ahora bien, la forma de realización representada
en la fig. 1A sólo hace uso de cuatro tipos de acceso de
30 ordenador diferentes, representados en el ejemplo ilustra-

1 do de AKR que tiene cuatro secciones de registro diferen-
tes. El número de secciones de registro de claves conte-
nidas en el AKR puede ampliarse o expandirse al número,
cualquiera que sea, de tipos de acceso que se necesiten
5 en la concepción constructiva o realización de una máqui-
na.

Así, cualquiera que sea el número de secciones
de registro de claves previstas en el sistema, los circui-
tos de selección de AAK casan o hacen concordar cada tipo
10 de acceso identificado por máquina con una sección corres-
pondiente de registro de AKR o una sección de registro de
OS, poniendo en salida la sección de registro selecciona-
da cuando se concede la respectiva petición de acceso, de
modo que el contenido de la sección de registro seleccio-
nada se convierte en la clave activa de acceso (AAK) que
15 la máquina usa como componente de obtención de acceso, pa-
ra controlar la accesibilidad para ese acceso particular
de memoria. La componente de obtención o dirección de
acceso proporcionada por la AAK puede tener: 1) sea una
relación directa de acceso físico en la que la AAK está
20 concatenada con la dirección de acceso de programa, pro-
porcionando conjuntamente una dirección de acceso físico
en la memoria principal; 2) sea una relación fija de acce-
so de almacenaje predeterminada en la memoria principal,
tal como se representa en la forma de realización de la
25 fig. 11; 3) sea una relación de acceso cambiable de sitio
para las áreas de almacenaje identificadas por clave, al
tiempo de requerir un establecimiento de secuencia de di-
recciones de acceso de programa dentro de cada área, como
30 en la fig. 15; ó 4) sea una relación de acceso cambiable

1 de sitio, más flexible, con cambiabilidad de sitio dentro
de las áreas identificadas por clave, tal como la represen
tada en la forma de realización de la fig. 1A.

5 La dirección de acceso de entrada a la memoria
principal, proporcionada por la máquina en la fig. 1A, es
la combinación de la AAK y la dirección de acceso aparen
te del programa. La dirección de acceso aparente del pro
grama es la que se le aparece a la máquina desde un progra
ma que se esté ejecutando, tal como la dirección de acceso
10 de búsqueda de instrucción contenida en el registro de ac
ceso de instrucciones (IAR), y las direcciones de acceso
de operando contenidas en las instrucciones del programa.
Al inscribirse un programa, éste sólo manipula direcciones
de acceso aparentes de programa. El programador de aplica
ciones es conecedor de operaciones de AAK sólo hasta el -
15 punto de que se dedica a agrupar sus datos de operando se
paradamente del programa. El programador del sistema espe
cificará en general las áreas de acceso casuales o de suce
sos del ordenador y el contenido de las mismas, y el pro
gramador de I/O, especificará en general las áreas de acce
20 so casuales y de órdenes de I/O, y su contenido. En la
fig. 1A, el componente de AAK ocupa un número K de posicio
nes de bitio en la parte de orden jerárquico superior de la
dirección de acceso de entrada combinada, y la dirección
de acceso aparente de programa ocupa 16 posiciones de bi
tio, dando un total de $16+K$ posiciones de bitio en la di
rección de acceso de entrada de la máquina.

25 En la fig. 1A, la dirección de acceso de entra
da, que incluye el campo de AAK, es una dirección de acceso
30 lógica de máquina que requiere traducción para obtener -

1 acceso a un lugar deseado del sistema de tratamiento de da-
tos. Por otra parte, en la fig. 11 la invención abarca el
uso de la AAK, por ejemplo, como restricción directamente
utilizable en la dirección de acceso física, que no se tra-
5 duce.

Traductor de varios grupos o paquetes

El traductor o trasladador de la fig. 1A tiene una pluralidad de grupos o paquetes de registro de segmentación, $0...2^K$. Cada sección de registro de claves de acceso, del ordenador o del subcanal, contiene por lo menos una clave de K bitios, de un valor capaz de obtener acceso a uno cualquiera de los ocho grupos. Unos medios 40 de acceso a grupos reciben la AAK y descodifican la dirección de acceso del grupo, para seleccionar el grupo requerido.
10 A continuación, la componente aparente de programa de la dirección de acceso, con sus posiciones de bitios $0...P$ de orden superior, selecciona un registro de segmentación (SR) dentro del grupo seleccionado. El contenido de las posiciones de bitio $0...12$ del SR seleccionado comprende un número de bloque asignado, que proporciona las posiciones de bitio $0...12$ de la dirección de acceso física de un bloque físico particular de la memoria principal, al cual se tiene entonces acceso.
15

Las restantes posiciones de bitio $13...23$ de la dirección de acceso física de veinticuatro bitios proporcionan el desplazamiento D de grupos de bitios dentro del bloque físico seleccionado, y son las mismas del desplazamiento D de grupos de bitios de la dirección de acceso de entrada, determinado por sus bitios de orden inferior (PH) $...15$. El acceso al bloque físico particular está también
20
25
30

1 controlado por unos bitios denotativos contenidos en los
restantes lugares de bitios 13...15 del SR seleccionado.
El formato para cualquier registro de segmentación (SR) se
representa con mayor detalle en la fig. 6, en la cual la
5 posición 13 del bitio de validez (V) indica si el conteni-
do del número de bloque es válido. Si no lo es (esto es,
si $V = 0$), el contenido del SR seleccionado no puede usar-
se para generar una dirección de acceso física, generándose
una interrupción de excepción de acceso. La posición de
10 bitio 14 denotativo indica si el contenido del bloque se-
leccionado para acceso puede o no tomarse como de exclusi-
va lectura. Si el bitio 14 está puesto a 1, no se permite
acceso de inscripción al bloque, y se permiten accesos de
sólo búsqueda. El bitio 15 no se usa. El segundo vocablo,
15 compuesto de los bitios 16...31, está reservado y tampoco
se usa a los fines de la presente invención.

Memoria principal extensible

La fig. 10 ilustra una configuración de sistema
de tratamiento de datos dotado de una memoria principal
20 extensible o ampliable, nueva en su género, para tratar
las direcciones de acceso traducidas. La memoria princi-
pal mínima contiene un "almacén" o unidad de memoria in-
terior 51 que contiene hasta 64K grupos de bitios (bytes)
de almacenaje. La primera ampliación es la adición de un
25 "almacén" o unidad de memoria exterior 52 que puede aña-
dir otros 64K grupos de bitios de almacenaje, para ampliar
la memoria principal a 128K grupos de bitios. A continua-
ción puede agregarse un "almacén" o unidad de memoria -
asíncrona 53 extensible, para ampliar la memoria princi-
30 pal a un máximo de 16.777.216 grupos de bitios (esto es,

1 2^{24}).

5 Un dispositivo traductor 59 proporciona la traducción de acceso, y contiene enlaces que habilitan las conexiones ampliables de la memoria exterior 52 y de la memoria asíncrona 53 a la configuración de memoria principal.

10 Una barra colectora 56A de memoria principal conecta un ordenador o unidad de tratamiento 54 y un canal 55 de I/O a la configuración de memoria principal, a través de un circuito 55 de selección de prioridad de memoria o almacenaje. La barra colectora 56A de memoria principal está también conectada al traductor 59 y a la memoria parcial interior 51.

15 Unas líneas 54A de señales secuenciales de memoria interior conectan la memoria interior 51 directamente al circuito selector 56 de prioridad de memoria, para transferir unas señales de ciclo de memoria interior (ISC), - cuando representan una dirección de acceso física de 16 bitios, no traducida, generada por el ordenador al funcionar en el modo de "sin traducir". Cuando el ordenador está en
20 el modo de "traducir", la señal de ISC deriva sus cinco bitios de orden superior tomándolos del traductor, que comprende una señal de selección de ficha o tarjeta (que selecciona una ficha particular tomándola de hasta cuatro fichas, constitutivas de la memoria parcial interior) y unos
25 campos de CSY y CSX (que seleccionan en la ficha elegida una particular formación o lista de 4.096 bitios). Los cinco bitios de orden superior presentes en las líneas - 00...04 de barra colectora de acceso se transfieren desde
30 el traductor al ordenador, para su uso por el ordenador durante un ciclo de memoria interior (ISC). Los bitios 13...

1 22 vienen proporcionados por el registro de acceso a la me-
23 memoria (SAR) del ordenador, con el fin de seleccionar la
particular posición de vocablo en la formación o lista, y
el bitio 23 restante selecciona un grupo particular de bi-
5 tios del vocablo cuando se requiere una operación de ins-
cribir. El acceso a grupos de bitios obtenido por el bi-
tio 23 se usa sólo para operaciones de inscribir, puesto
que las operaciones de leer se seleccionan para acceso a
base de vocablos (un vocablo comprende dos grupos de bi-
10 tios). Durante una función de inscribir, el último bitio
23, de obtención de acceso, se pone a 0 o a 1 para seleccio-
nar el grupo de bitios de la izquierda o de la derecha,
respectivamente, de un vocablo.

15 Cuando el ordenador opera sólo con la memoria par-
cial interior (esto es, sin tener añadida la memoria exte-
rior o la memoria asíncrona del sistema), el ordenador se
dirige para acceso solamente a la memoria interior, con di-
recciones de acceso físicas de 16 bitios, directamente pro-
porcionadas en la barra colectora 54A desde el SAR. Las di-
20 recciones de acceso de 16 bitios proporcionadas por el or-
denador se amplían hasta el límite físico de la memoria in-
terior (esto es, hasta 64K). Con las direcciones de acce-
so físicas de 16 bitios se usan unas claves de protección,
en este sistema de configuración mínima, de acuerdo con los
25 circuitos de protección sin traducción representados en la
fig. 11.

30 Las claves de protección hacen uso de la capaci-
dad de accesibilidad por separado proporcionada por las -
secciones de registro de claves de acceso para los distin-
tos tipos de acceso a la memoria. Las combinaciones de los

1 circuitos de AAK con las claves de protección constituyen
asimismo un rasgo característico de la invención descrita
en esta Memoria. Así, la característica inventiva, en su
sentido más lato, de los circuitos de claves activas de
5 acceso (AAK) para ofrecer la capacidad de una accesibili-
dad por separado por el tipo de acceso a memoria es combi-
nable separadamente con las claves de protección no cam-
biables de sitio, o con las claves de acceso cambiables de
sitio.

10 Si se desea tener la posibilidad de recoloca-
ción o cambio de sitio, lo que permite ampliar la memoria
principal más allá de los límites de los 64K de la unidad
de almacenaje o memoria parcial interior, el traductor
necesita entonces ser agregado como se ilustra en la fig.
15 1C. Luego, puede añadirse la unidad de memoria parcial
exterior, y conectarse al traductor por medio de la barra
colectora 58 de señales de secuencia de almacenaje o memo-
ria exterior, para obtener los controles de ciclo de memo-
ria exterior (OSC) indicados en la fig. 9G.

20 El traductor o trasladador permite también una
ampliación adicional de la memoria principal, más allá del
límite de 128K de las unidades de memoria interior y exte-
rior, permitiendo para ello la adición de una unidad de al-
macenaje o memoria asíncrona. La unidad de memoria asín-
25 croma hace uso de la dirección de acceso traducida de 24
bitios de distinta manera que la memoria exterior, como se
ilustra por medio del ciclo de memoria asíncrona (ASC) de
la fig. 9G. Con el ASC se usan las posiciones de bitio -
0...6, y estas posiciones de bitio contendrán por lo me-
30 nos un bitio 1, porque se invierten más de dieciséis bi-

1 tios para representar un número superior a 128K. El uso
de las posiciones de bitio 0...6 distingue el ASC del OSC,
que no utiliza las posiciones de bitio 0...6; el OSC usa
solamente los bitios 7...23. Estas características de las
5 posiciones de bitio 0...6 se usan para activar un par de
bitios de anticipación indicados en la fig. 9G, cuyos cir-
cuitos y funcionamiento se describen más adelante con ma-
yor detalle, en relación con las figs. 9A y 9B.

El traductor tiene, con el enlace de barra colec-
10 tora de la memoria principal, una conexión por medio de la
cual recibe del ordenador las direcciones lógicas de acce-
so, entre las cuales se incluye la clave activa de acceso
(AAK) para la traducción. El traductor tiene también unos
enlaces conectados a las unidades de memoria exterior y de
15 memoria asíncrona.

Control de espacios en la forma de realización pre-
ferida

La fig. 2A es un esquema que representa diferen-
tes tipos de acceso a memoria, controlados por los distin-
tos tipos de instrucciones de ordenador y órdenes de man-
do de canal, en relación con los espacios de datos corres-
pondientes usados en la forma de realización detallada. La
20 fig. 2A incluye sólo un subgrupo de los tipos de acceso -
ilustrados en la fig. 1B. Así, en la fig. 2A, se hace una
búsqueda de instrucción en el espacio de acceso de instruc-
ción 60, usando la ISK. En la fig. 2A se ilustran dos ti-
pos distintos de acceso de operando, definidos por los es-
25 pacios de datos 61 y 62 que respectivamente hacen uso de
las secciones de registro de OP1K y OP2K en un registro de
claves de acceso (AKR).

30

Control de espacios de ordenador

1 La fig. 2A ilustra la obtención de acceso a memo-
ria que se tiene con distintos tipos de instrucciones de
ordenador. Una instrucción de memoria a memoria va a bus-
5 car datos en el espacio 61 de datos de OP1K o en el espa-
cio 62 de datos de OP2K y guarda sus resultados en el es-
pacio 62 de datos de OP2K. Una instrucción intermedia de
almacenaje o memoria obtiene sus datos del espacio 60 de
datos de ISK, y guarda o almacena sus resultados en el es-
10 pacio 62 de datos de OP2K o en un registro de uso general
(GPR). Una instrucción del tipo de registro a memoria
traslada datos de un GPR 63 a un espacio 62 de datos de
OP2K; en tanto que una instrucción de memoria a registro
va a buscar datos del espacio 62 de datos de OP2K y los
15 guarda en un GPR 63. Una instrucción de bifurcación va a
buscar, también del espacio 60 de acceso de ISK, una ins-
trucción de bifurcar un objetivo.

Control de espacios de subcanal de I/O

20 En la fig. 2A se muestran dos tipos distintos de
órdenes de subcanal de I/O. Uno de estos tipos, correspon-
diente a una orden de I/O denominada de control directo
de programa (DPC), proporciona una operación de I/O sincró-
nica con el programa principal (es decir, el programa prin-
cipal no prosigue hasta que se ha terminado la operación
25 de I/O), en la que tanto la orden de I/O como el acceso a
los datos están en el espacio 62 de acceso de OP2K.

30 El otro tipo de orden de I/O proporciona el ti-
po asíncrono normal de operaciones de I/O, conocido en ge-
neral con la denominación de operaciones de I/O con "robo"
u ocupación de ciclo (CS). En este segundo tipo, el pro-

1 grama de I/O mismo (esto es, las órdenes de mando de canal)
debe estar situado en el espacio de acceso 64 de clave=0
de la fig. 2A, en tanto que los accesos de datos efectua-
dos por el programa de canal están controlados por unas
5 claves especificadas en las órdenes de canal respectivas,
de modo que cada orden (esto es, cada DCB) tiene capacidad
para definir un espacio de acceso 65...66 diferente. Esto
es, cada dispositivo de I/O tiene su propio programa de
subcanal, en el que cada orden de mando es capaz de depo-
sitar un valor de clave diferente en una sección de regis-
10 tro de claves de acceso de cada subcanal, de manera que es
posible que cada subcanal obtenga acceso a un espacio de
acceso distinto en cada orden de mando. Así, cada canal
tiene poder o capacidad para cambiar o conmutar fácilmente
su espacio de datos, al que ha de tener acceso, siempre
15 que se necesite.

La fig. 2B ilustra con mayor detalle la manera
en que las operaciones de I/O son capaces de controlar sus
claves de acceso con el fin de definir diferentes espacios
de datos en la memoria principal.

20 En la fig. 2B se tiene, en la memoria principal,
una instrucción de operar I/O, para iniciar una operación
de I/O, y, por tanto, la instrucción de operar I/O se en-
cuentra en el espacio de datos de ISK. La parte de OP de
la instrucción indica que se trata de una instrucción de
25 operar I/O; y el campo R2 designa un registro cuyo conteni-
do se combina con el campo de acceso, ADDR, generando una
dirección de acceso que, directa o indirectamente, coloca
un IDCB (bloque de control indirecto de dispositivo) en el
espacio de acceso de OP2K. Si se usa un acceso indirecto,
30 la propia dirección de acceso indirecto reside en el espa-

1 cio de OP2K. La dirección de acceso de IDCB es directa o
indirecta según el ajuste o situación del bitio de I en la
instrucción de operar I/O. Así, la instrucción de operar
I/O está en el espacio de acceso de ISK, y el IDCB está en
5 el espacio de acceso de OP2K.

El ICDB puede ser de dos tipos distintos: 1) del
tipo CS, o 2) del tipo DPC. El campo de código de orden
(CMD) del bloque IDCB identifica si se va a iniciar una
operación de "robo" de ciclo (CS) o una operación de con-
10 trol directo de programa (DPC).

Si el IDCB es del tipo DPC, su segundo vocablo
contiene unos datos inmediatos que o se transfieren al dis-
positivo seleccionado para acceso o se reciben de él, se-
gún el campo de orden indique que se trata de una operación
15 de leer I/O o de inscribir en I/O.

Si el campo de CMD indica que el IDCB es del ti-
po CS, el segundo vocablo del IDCB contiene la dirección
de acceso del programa de subcanal para el dispositivo se-
leccionado para acceso por el campo DA del IDCB. La primera
20 orden del canal (esto es, el vocablo de control del canal),
denominada de bloque 0 de control de dispositivo (DCB-0),
está situada en la dirección de acceso contenida en el -
IDCB. Un campo del DCB-0, denominado dirección de acceso
en cadena, localiza el vocablo de control del siguiente
25 subcanal, denominado DCB-1, que contiene también una direc-
ción de acceso de en cadena que localiza el siguiente DCB,
y así sucesivamente, hasta que se indica el último DCB.

El programa entero de canales, por lo tanto, se
halla situado o localizado en el espacio de acceso de cla-
30 ve = 0, en la forma de realización detallada.

1 Ahora bien, cada DCB, en su lugar de vocablo
inicial EA, contiene un campo de clave, que es la clave de
acceso para los datos seleccionados para acceso por ese -
particular DCB. Por ejemplo, el DCB-0 tiene un campo de
5 clave, designado de clave de DCB-0, que identifica el es-
pacio de acceso para un bloque contiguo de direcciones ló-
gicas de acceso que comienza en la dirección de acceso de
datos del campo de DCB-0 situado en EA+14. La clave de
DCB-0 puede tener un valor cualquiera de clave. De igual
10 modo, el siguiente vocablo de control DCB-1 contiene una
clave de DCB-1, capaz de tener un valor cualquiera de cla-
ve para definir el espacio de acceso para los datos selec-
cionados para acceso dentro del DCB-1. Por tanto, el valor
de clave del DCB-1 puede ser distinto del valor de clave
15 del DCB-0, y así sucesivamente.

Por lo tanto, como puede verse, esta invención
proporciona una enorme flexibilidad en el control de espa-
cios de acceso durante el funcionamiento de los dispositi-
vos de I/O en el sistema. Con claves de protección en el
20 modo de "sin traducción", es posible usar distintos valo-
res de clave en los DCB (bloques de control de dispositivo)
con el fin de obtener una protección especial para los ac-
cesos de datos de I/O.

Además, si en el sistema se está usando el modo
25 de "traducción", todas las direcciones de acceso de datos
de I/O son traducidas por el traductor o trasladador, por
ejemplo, de la fig. 1D, para cada acceso, de la misma ma-
nera que se traducen las direcciones de acceso de ordena-
dor.

30 La fig. 3A ilustra el equipo físico para contro-

1 lar las operaciones de clave de DCB. Cada subcanal de I/O
contiene un controlador o regulador, a modo de pequeño or-
denador, para controlar las operaciones de un dispositivo
de I/O conectado, que puede ser de cualquier tipo. Este
5 regulador a modo de ordenador controla la manipulación de
la clave de DCB por parte del subcanal de I/O particular.
La clave de DCB es recibida en un registro 301 de claves
de DCB, contenido en el regulador de subcanal, desde la
barra colectora de datos de I/O que viene del canal, mien-
10 tras a cada DCB se está teniendo acceso en el espacio de
acceso de clave = 0.

A un canal individual van conectados en general,
de manera usual, varios subcanales. Todo subcanal es ca-
paz de comunicar con el canal mediante señales usuales de
15 "enterado" proporcionadas o cruzadas entre los subcanales
y su canal. Esto da por resultado una captura de escruti-
nio por parte del subcanal que pide servicio de canal. Tras
la captura de escrutinio, la barra colectora de datos de
canal transmite señales de control y datos entre el subca-
20 nal y la memoria principal. Así, una señal, enviada por los
controles 310 de captura de escrutinio, a los controles
311 de ROS de subcanal da lugar a que los vocablos de ROS
requeridos pasen como entrada a un registro 313 de datos
de ROS, con el fin de obtener las operaciones de subcanal
25 necesarias. Una de las operaciones de subcanal es una bús-
queda de DCB del siguiente campo de dirección de acceso del
DCB en curso que viene del espacio de acceso de clave = 0.
El campo de búsqueda de DCB en un vocablo de ROS es detec-
tado por un descodificador 314 de ROS, que entonces propor-
30 ciona una señal de control de búsqueda de DCB que actúa las

1 puertas y o de coincidencia 315(0), 315(1) y 315(2) que dan
entrada al registro 301 de claves de DCB, el cual forma par
te de un grupo o paquete de registros que recibe el DCB en-
tero. Terminada la búsqueda del DCB, el DCB se guarda o
5 almacena en el subcanal, se desactiva la señal de búsqueda
de DCB y se activa una señal de ausencia de control de bús-
queda de DCB, que condiciona los circuitos y o de coinci-
dencia 316(0), 316(1), 316(2) de registro de claves de DCB,
dando salida a la clave de DCB que, de ese modo, es propor-
cionada como clave de CS para las operaciones de acceso de
10 datos de DCB. La clave de CS es transmitida por la barra
colectora de códigos de condición al canal de la fig. 3B.
El canal luego transmite la clave de CS a la barra colec-
tora de claves de CS que va conectada al circuito de selec-
ción de prioridad de almacenaje de la fig. 3C.

Circuito de selección de prioridad de almacenaje

En la fig. 3C, la clave de CS presente en la ba-
rra colectora de canal se lleva a un circuito 331 de selec-
ción de canal que recibe las barras colectoras de canal
20 procedentes de todos los canales conectados al ordenador,
y da prioridad a una de las claves de CS procedente de uno
de los canales.

Cada regulador de subcanal de la fig. 3B tiene
también una pluralidad de líneas de control que comprenden
25 una barra colectora de control y una barra colectora de
acceso de I/O. La barra colectora de acceso de I/O comuni-
ca la dirección de acceso de datos derivada del DCB. La
barra colectora de control de I/O incluye una línea de lle-
gada de petición de CS, que señala el momento en que hay
30 una dirección de acceso en la barra colectora de acceso de

1 I/O.

5 El circuito 56 de control de prioridad de almacenaje recibe las líneas de petición de ciclo CS procedentes de cada uno de los diversos canales 1...P conectados a un
ordenador. El circuito 332 selecciona, en un momento dado cualquiera, una clave de CS particular, que luego es suministrada al circuito 331 de selección de canal, que transfiere la clave de CS del subcanal seleccionado a los circuitos 333 de selección de AAK, los cuales reciben también
10 las claves de acceso de ordenador procedentes de las barras colectoras de AKR de ordenador. Bajo el control del circuito 332 de ciclo de prioridad de almacenaje, los circuitos 333 de selección de AAK eligen una de las claves de acceso, que han recibido de una en una, como AAK del sistema. La fig. 3D ilustra una forma detallada de circuito
15 333 selector de AAK.

Forma preferida de realización del ordenador.

20 Las barras colectoras de AKR del ordenador van conectadas a las salidas del registro de claves de acceso (AKR) en la fig. 4, que ilustra con detalle las partes pertinentes del ordenador del sistema, que puedan tener que ver con las claves de CS para un acceso de almacenaje. En la fig. 3C, el circuito 332 de ciclo de prioridad de almacenaje o memoria (que puede ser un circuito usual de prioridad) determina el orden en que se conceden los accesos
25 entre las peticiones competidoras, y por lo tanto el orden en que las claves de acceso respectivamente admitidas como entrada se convierten en salida de AAK, de los circuitos de selección de AAK de la fig. 3D.

30 La fig. 4 ilustra los controles del ordenador

1 que hacen funcionar el AKR de éste. Así, el contenido del
AKR es cargado o introducido desde la barra colectora de
caminos de datos del ordenador en unos controles de pue-
ta de entrada (IG), y las respectivas claves de acceso son
5 dadas como salida a la barra colectora de caminos de datos
del ordenador por unos controles de puesta de salida (OG),
Las señales de control de IG y OG son generadas por el des-
codificador de ROS del ordenador. El contenido del AKR es
dado como salida continuamente a las barras colectoras de
10 AKR, la barra colectora de ISK, la de OP2K, la de OP1K y la
de EOS, del ordenador, que se dan como entrada a los cir-
cuitos 333 de selección de AAK de la fig. 3C, ilustrados
con detalle en la fig. 3D. Los circuitos de selección de
AAK efectúan la selección entre estas tres claves de orde-
15 nador, en unión de toda clave de CS que se presente, para
determinar cuál de ellas, en particular, se va a convertir
en la AAK.

La fig. 7 ilustra con detalle la circuitería de
control de AAK, representando los circuitos de puesta en
20 entrada y en salida con una sola posición de bitio en el
AKR. Cada una de las demás posiciones de bitio del AKR tie-
ne unos circuitos de control similares.

Por lo tanto, como puede verse en la fig. 4, el
descodificador 405 de ROS del ordenador tiene unas líneas
25 de salida que se activan por efecto de la presencia de -
unos vocablos de ROS particulares en el registro 406 de
datos de ROS, para controlar la puesta en entrada y en sa-
lida de las secciones de registro AKR, y de las ISK, OP1K
y OP2K, así como de otras operaciones de ordenador.

30 Registro de última AAK

1 El ordenador de la fig. 4 contiene también un
registro de última clave activa de acceso, al que se da en-
trada por medio de una puerta de admisión o de entrada 407
de AAK, la cual recibe la salida de barra colectora de AAK
5 procedente de la fig. 3D y recibe otra entrada que es la se-
ñal invertida procedente de un circuito de enganche o ce-
rrojo 401 de errores de ordenador. La salida de la IG 407
de AAK se da como entrada a un registro 408 de última AAK,
durante un ciclo de almacenaje de ordenador que viene de la
10 fig. 17. El registro 408 funciona almacenando cada AAK pue-
ta en la barra colectora de AAK desde el AKR del ordenador,
siempre y cuando el cerrojo 401 de errores indique, por una
línea de inhabilitación de error, que no hay error alguno.

Ahora bien, al aparecer en el ordenador un error
15 de verificación de máquina (MCK) o de verificación de pro-
grama (PCK), se activa el cerrojo 401 de errores. Esto pro-
duce una desactivación de la IG 407 de AAK, al caer la se-
ñal de inhabilitación o negación de error, lo que exige la
retención de la última AAK del ordenador (esto es, de la
20 LKSA) existente en el instante del error, hasta que se re-
pone el cerrojo 401. Las entradas de señal de verificación
de máquina (MCK) y de verificación de programa (PCK) se lle-
van a un descodificador 402 de acceso forzado (excepto du-
rante un ciclo de segmentación), para forzar un acceso de
25 ROS al control 403 de ROS, que hace que se inicie un pro-
grama particular de diagnóstico, con el fin de hacer fren-
te a la condición de error, sea por reensayo de la función
errónea hasta que se corrige, sea por ejecución de una ope-
ración de anotación de salida cuando el error, según lo de-
30 terminado, va a ser premanente. El registro 408 de última

1 AAK, de ese modo, mantiene la LKSA para proporcionar la
accesibilidad últimamente usada mientras en el ordenador
se dan condiciones operativas de recuperación de error, de
modo que, después de despejada la condición de error, el
5 sistema es capaz de volver a la accesibilidad normal últi-
mamente usada.

Una de las operaciones finales de diagnóstico,
que aparecen antes de que se pueda cambiar cualquier esta-
do de ordenador, es la de almacenar el estado entero del
10 ordenador en un bloque de estado de nivel (LSB) de la memo-
ria principal, incluido el contenido del AKR. Luego, una
señal de puesta en salida del registro de última AAK (se-
ñal OG AAKR) da como salida el contenido de LKSA del re-
gistro de última AAK, poniéndolo en el camino de datos del
15 ordenador, y simultáneamente aparece una señal de puesta
en entrada de OPIK (IG OPIK), que pone la LKSA en la sec-
ción de registro de OPIK del AKR para las operaciones de
diagnóstico o de recuperación de error. (véase el aparta-
do IV.H.3. de la presente Memoria). Una vez terminada la
20 recuperación respecto del error (despejado éste), se vuel-
ve a cargar el último valor normal del AKR, tomándolo del
LSB que hay en la memoria, para las operaciones normales
de captación.

Instrucciones de carga/entrega de AKR

25 Las figs. 8B y 8C ilustran las instrucciones pa-
ra controlar: 1) la carga o introducción de claves de acce-
so en el AKR, sea desde un vocablo contenido en la memoria
principal, sea desde un registro de uso general (GPR) de-
signado; o bien 2) el almacenaje o entrega de claves de
30 acceso desde el AKR, sea en un vocablo de la memoria prin-

1 cipal, sea en un GPR designado. La figura 8B ilustra la
operación de instrucción de memoria, para carga o entrega
de AKR. Esta sola instrucción es capaz de controlar sea la
5 carga del AKR desde la memoria principal, sea la entrega
o el almacenaje del contenido del AKR en la memoria prin-
cipal.

La fig. 8B ilustra el formato de 16 bitios de la
instrucción de memoria para carga o entrega de AKR, desig-
nada por su código de OP de cinco bitios y su campo modifi-
10 cador, de tres bitios en las posiciones de bitio 13...15.
El campo de K, en las posiciones de bitio 5...7, seleccio-
na para acceso una parte o la totalidad del AKR al que se
va a dar paso de entrada o de salida. Por ejemplo, los va-
lores de K de 0, 1, 2 o 3 designan respectivamente la sec-
15 ción de registro de ISK, la sección de registro de OP2K,
la sección de registro de OP1K o el AKR entero, que se va
a usar por parte de la instrucción. Se genera una direc-
ción lógica de acceso de memoria principal, usando para
ello el campo de RB en las posiciones de bitio 8 y 9 que
20 designan un registro de base, y los bitios 10 y 11 de modo
de acceso (AM) que designan si un vocablo es un campo ane-
xionado como apéndice a una instrucción que contiene un
campo de acceso, donde el contenido del campo de AM y del
registro RB se combinan para generar la dirección de acce-
25 so efectiva, en la memoria principal, del vocablo que se
va a cargar o a entregar para almacenaje en virtud de la
ejecución de la instrucción. El bitio X de la posición de
bitio 12 designa si la operación de instrucción es de car-
ga o es de entrega o almacenaje. Si X está puesto a "0", el
30 contenido del vocablo seleccionado para acceso se guarda

1 en la porción del AKR designada por el campo de K. Si el bitio X está puesto a "1", la porción del AKR designada se almacena entonces en el vocablo al que se ha tenido acceso.

5 De igual modo, la fig. 8C describe las operaciones para la instrucción de registro para carga o entrega de AKR, que es similar a la instrucción de memoria para AKR de la fig. 8B, con la salvedad de que en la ejecución de la instrucción de registro el vocablo de memoria principal está sustituido por uno de GPR (registro de uso general). Así, en la fig. 8C, el campo de R, en las posiciones 10 de bitio 8...10, designa un GPR particular que, o bien carga, o bien entrega, una o más claves en las partes designadas del AKR.

15 Estas operaciones respectivas se ejecutan en el ordenador por medio de unas señales presentes en las líneas de salida, respectivamente designadas IG y OG, del descodificador 405 de ROS del ordenador, de la fig. 4, que activan unas señales en el camino de datos del ordenador con el fin de ejecutar las operaciones descritas en relación con la fig. 8B.

Forma preferida de realización de traductor

25 Las figs. 9A y 9B ilustran con detalle la circuitería del traductor o trasladador 9 de la fig. 1C, que efectúa las operaciones de traducción para traslado o recolocación descritas para la fig. 1A. Esta circuitería de traductor de recolocación es capaz de ampliar la accesibilidad física desde 64K (esto es, 2^{16}) grupos de bitios a 16 millones (2^{24}) de grupos de bitios, que es la ampliación de una memoria interior que contiene 64K grupos de bitios.

30 El traductor aumenta la accesibilidad de la memo

1 ria principal, mediante interpretación de la AAK y la di-
rección de acceso aparente de programa, de 16 bitios, que
vienen, sea de un ordenador, sea de un subcanal, como di-
rección de entrada lógica al traductor, que la traduce o
5 convierte en una dirección de acceso física de 24 bitios
que tiene acceso a las memorias parciales interior, exte-
rior o asíncrona.

La traducción permite una asignación dinámica
de almacenaje físico a espacios de acceso lógico, y el re-
10 parto de la memoria física entre los espacios de acceso ló-
gico. Existen ocho juegos o grupos de 32 registros de seg-
mentación (SR), para los ocho valores respectivos disponi-
bles para las claves de acceso, dando un total de 256 re-
registros de segmentación. Una vez cargados, cada paquete o
15 grupo de SR es capaz de contener un mapa completo de un
espacio de memoria o almacenaje que tiene hasta 64K grupos
de bitios, que pueden estar esparcidas en bloques de 2K
grupos de bitios de memoria física. Un grupo de SR puede
obtener acceso a un espacio que tenga menos de 64K grupos
20 de bitios, sin más que activar el bitio de invalidez en
uno o más de sus SR, de modo que sólo los SR que tengan sus
bitios de invalidez desactivados son los que designan los
bloques de 2K que comprenden o constituyen el espacio se-
leccionable para acceso, identificado por una clave de ac-
25 ceso asignada.

Para cada clave de acceso se prevé un grupo apar-
te de registros de segmentación (SR), con el fin de permi-
tir la conmutación rápida de espacios de acceso lógico sin
necesidad de economizar y restablecer el mapa de memoria
30 de espacios de acceso del sistema.

1 El traductor de recolocación de las figs. 9A y
2 9B soporta una ampliación de la memoria principal, por me-
3 dio de una memoria exterior de hasta 64K grupos de bitios
4 (esto es, 64KB) por incrementos de fichas de 16KB, desig-
5 nadas como fichas quinta a octava inclusive para la memo-
6 ria exterior. La memoria interior contendrá las fichas pri-
7 mera a cuarta inclusive, cada una de ellas, igualmente, de
8 una capacidad de almacenaje de 16KB. Los incrementos de
9 almacenaje o memoria que exceden de la capacidad de 128KB
10 de las memorias interior y exterior exigen la adición de
11 la unidad de almacenaje o memoria asíncrona de la fig. 10,
12 que proporciona direcciones de acceso por encima de los
13 128KB y pueden llegar hasta un máximo de 16 millones de
14 grupos de bitios de memoria física.

15 La máxima accesibilidad estática de la máquina,
16 disponible para todos los programas concurrentes cuando
17 todos los registros de segmentación estén cargados con
18 distintas direcciones de acceso de bloque físico, es de
19 2^{19} K grupos de bitios, y viene determinada por la direc-
20 ción de acceso de entrada, de 19 bitios, vista en la fig.
21 1A, cuando la AAK de tres bitios va como apéndice de la
22 dirección de acceso aparente de programa, de 16 bitios,
23 dando así la dirección de acceso lógica de entrada de má-
24 quina, de 19 bitios, que va al traductor. Un solo programa
25 puede tener una accesibilidad que va desde uno a tres espa-
26 cios de acceso diferentes, definidos en las tres secciones
27 del AKR: por ejemplo, ISK, OPLK y OP2K, para una accesibi-
28 lidad estática total que va desde 64K a 192K grupos de bi-
29 tios.

30 Así, para una memoria principal física que ten-

1 ga entre 512K y 16M (16 millones) de grupos de bitios, es
posible seleccionar para acceso sólo hasta 512K grupos de
bitios en una operación de carga dada cualquiera de los re-
gistros de segmentación; esto es lo que se define como ac-
cesibilidad máxima estática de la máquina. Por lo tanto,
5 la selección para acceso sobrepasando el máximo estático
de 512K grupos de bitios exige una recarga de los regis-
tros de segmentación, por parte de los medios de programa-
ción para obtener accesibilidad a otras áreas de la memo-
ria principal que puedan cargarse o estar cargadas.
10

La accesibilidad estática puede extenderse o am-
pliarse fácilmente mediante el recurso de añadir más bitios
al tamaño de la clave de acceso que hay en el AKR y en los
circuitos asociados, con el fin de soportar un número co-
rrespondientemente mayor de grupos o paquetes de registros
de segmentación.
15

Una vez instalado un traductor en el sistema, co-
mo se indica en la fig. 1A, su uso viene controlado por un
bitio 14 del vocablo de estado del ordenador (PSW) que es-
tá controlado por unas líneas de salida del descodificador
de ROS del ordenador (véase la fig. 4), bajo el control de
la instrucción de habilitar/inhabilitar ilustrada en la
fig. 13A. El bitio 14 de la instrucción de habilitar/inha-
bilitar indica si el traductor está o no seleccionado en
el sistema, y el bitio 7 indica si va a estar habilitado
25 (en acción) o inhabilitado (fuera de acción). El circuito
de la fig. 10 controla si el traductor está habilitado o
no. Si el traductor no está habilitado, y si el bitio de
SP está en la instrucción ilustrada en la fig. 13A, se usa
30 el circuito de control de protección de memoria no tradu-

1 cible, ilustrado en la fig. 11. Cuando se necesite sólo una
pequeña accesibilidad, y el tratamiento más rápido posible,
puede inhabilitarse (dejarse fuera de acción) el traductor.

5 Las figs. 9A y 9B ilustran con detalle los cir-
cuitos, barras colectoras y líneas de enlace contenidos en
el traductor 59 del sistema de la fig. 10, como sigue:

Enlace de ordenador y traductor

10 1) Barra colectora 901 de acceso a memoria. Tie-
ne 15 líneas que conectan al traductor la dirección de ac-
ceso lógica de programa contenida en el registro de acceso
a la memoria (SAR) del ordenador. Tras la traducción de la
dirección de acceso, los cinco bitios más significativos
traducidos se devuelven al ordenador para uso en la obten-
ción de acceso a la memoria interna 51, según necesidades.
15 Los diez bitios menos significativos (bitios de campo D)
no necesitan traducción.

20 2) Barra colectora 902 de datos de memoria para
almacenaje. Incluye 16 líneas de datos más dos líneas de
paridad. Transfiere los datos de memoria y el contenido de
los registros de segmentación desde el ordenador al traduc-
tor.

25 3) Barra colectora 903 de datos de memoria de
almacenaje. Incluye 16 líneas de datos más dos líneas de
paridad. Transfiere los datos de memoria desde el traductor
y el contenido de los registros de segmentación (SR) al or-
denador.

30 4) Barra colectora de claves activas de acceso.
Estas tres líneas transfieren la AAK desde el circuito se-
lector de prioridad de almacenaje o memoria de la fig. 30
al traductor, para seleccionar el grupo particular de SR

1 en el traductor.

5) OP 0 de inscribir en memoria. Línea sola que viene del ordenador y señala al traductor que en la memoria va a producirse una operación de inscribir en la batería de bitios de más a la izquierda del vocablo de datos en curso que, en un momento dado, esté en la barra colectora 902 de datos de memoria para almacenaje. Esta línea está controlada por el estado de cero del bitio 23 de orden más bajo contenido en la dirección de acceso física de 24 bitios.

10

6) OP 1 de inscribir en memoria. Línea sola que viene del ordenador al traductor para señalar que se va a efectuar una operación de inscribir en la memoria, en la batería de bitios de más a la derecha del vocablo en curso, presente en la barra colectora de datos de memoria para almacenaje. Esta señal está controlada por el estado de uno, también el bitio 23 de orden más bajo contenido en la dirección de acceso física de 24 bitios.

15

7) Habilitar traductor. Línea sola que transmite una señal del ordenador al traductor, con el fin de habilitar el traductor para desempeñar sus funciones de traducción. Está controlada por la instrucción de habilitar/inhabilitar.

20

8) Petición de almacenaje al traductor. Esta línea, sola o individual, comunica una señal del ordenador que pide al traductor que traduzca la dirección de acceso lógica que hay en la barra colectora de acceso de memoria. Automáticamente se corre o salta un microciclo (220 nanosegundos) para dejar que el traductor tenga acceso al registro de segmentación apropiado, obtenga la dirección física

25

30

1 de acceso y determine si ha de hacerse referencia a la memoria interior, la exterior o la asíncrona.

5 9) Impulsos de sincronismo A, B, C y D. Estas cuatro líneas transmiten unos impulsos de regulación de tiempo del ordenador, de 55 nanosegundos, que proporcionan sincronismo entre el ordenador y el traductor.

10 10) Dar paso al SAR del traductor. Esta línea señala que el traductor ha colocado los cinco bitios más significativos de la dirección de acceso física de almacenaje traducida, en la barra colectora de acceso a la memoria, 55 nanosegundos después de activada esta señal. Indica al ordenador que ha de dar paso a los bitios de barra de acceso 00...04 de la dirección de acceso traducida, hasta la unidad de memoria interior.

15 11) Ciclo de memoria interior. Esta línea proporciona una señal, generada en el traductor, que indica al ordenador que suministre señales de establecimiento de secuencia de almacenaje a la memoria interior 51, con cada nueva dirección de acceso física. Si se va a usar un ciclo de memoria exterior o de asíncrona (OSC o ASC), esta línea se hace inactiva, de modo que no resulta seleccionada la memoria interior.

25 12) Memoria de traductor ocupada. Esta línea lleva una señal generada por el traductor, la cual indica al ordenador que detenga su "reloj". Esta línea se activa solamente por referencias a la unidad de memoria asíncrona 53. Una vez que el traductor ha obtenido la respuesta apropiada de la unidad de memoria asíncrona 53, esta línea se desactiva, y el reloj empieza a contar otra vez, hasta completar el ciclo de almacenaje o memoria. Esta detención

30

1 del reloj de memoria por efecto de una operación de la uni-
dad de memoria asíncrona es lo que hace asincrónico el fun-
cionamiento de la misma, y su ciclo de acceso más largo
5 que el ciclo de acceso de una u otra de las unidades de
memoria interior o exterior, 51 o 52.

13) Traductor instalado. Esta línea lleva una se-
ñal de generador de traductor, que informa al ordenador
de que el traductor 59 ha sido instalado en el sistema.

10 14) Acceso de memoria al traductor no válido (ISA
de traductor). Esta línea lleva al ordenador una señal,
generada por el traductor, informándole de que la direc-
ción de acceso lógica enviada al traductor no es válida,
y entonces aparece una verificación de programa (PCK).

15 15) Verificación de protección de traductor. Esta
línea lleva al ordenador una señal, generada en el traduc-
tor, indicándole que se ha intentado inscribir el estado
del problema en la memoria, en un bloque cuyos registros
de segmentación tienen puesto a "1" su bitio 14 de exclu-
siva lectura, lo que indica que se permite el estado de
20 exclusiva lectura.

16) Ciclo de estado supervisorio o "robo" de ci-
clo. Esta línea lleva al traductor una señal generada en
el ordenador, para que aquél no haga caso del bitio 14 de
exclusiva lectura presente en el registro de segmentación
25 seleccionado para acceso, porque la petición en curso, de
acceso a la memoria, ha sido hecha, sea por el supervisor,
sea por un subcanal de I/O.

30 17) Secuencia de fin de ciclo. Esta línea lleva
una señal generada en el ordenador, que informa al traduc-
tor de que está terminando su ciclo de almacenaje o memo-

1 ria.

5 18) Ciclo de registros de segmentación. Esta línea lleva una señal generada en el ordenador, que avisa al traductor de que van a ser activados los registros de segmentación (SR). Se usan también las líneas de OP 0 de inscribir en memoria y OP 1 de inscribir en memoria para indicar si el ciclo es de leer o de inscribir, como parte de una instrucción de SR de entrega o de una instrucción de SR de carga, respectivamente.

10 Enlace de traductor y memoria parcial exterior

El enlace del traductor (XLATOR) con la unidad de almacenaje o memoria exterior se detalla en la fig. 9B, e incluye las líneas siguientes:

15 1) Líneas de selección de fichas. Estas cuatro líneas están respectivamente indicadas o identificadas como líneas CARD,SEL de 80K, 96K, 112K y 128K, para seleccionar una ficha de 16K grupos de bitios en la memoria exterior.

20 2) Líneas TCSX y TCSY. Estas seis líneas señalan las coordenadas X e Y de la ficha seleccionada, para elegir una formación o lista particular de la ficha.

25 3) Líneas de inscribir grupos de bitios 0 y 1. Estas líneas son de envío de impulsos de muestreo de inscribir a las cuatro fichas de la memoria exterior, para inscribir un grupo de bitios.

30 El traductor, al obtener la dirección física de acceso desde el registro de segmentación apropiado, determina si hay que hacer referencia a la unidad de memoria interior, la exterior, o la asíncrona, y pondrá en secuencia las líneas IF de enlace del traductor con la memoria

1 exterior sólo si viene indicado un ciclo de memoria exte-
rior. Los puentes instalados con los controles de memoria
exterior en la fig. 9B indican cuál o cuales de las cua-
tro fichas están instaladas en la unidad de memoria exte-
5 rior.

Enlace de traductor y memoria asíncrona

Las líneas de enlace del traductor (XLATOR) con
la memoria asíncrona, indicadas en las figs. 9A y 9B, son
las siguientes:

10 1) Salida de datos y paridad de la memoria asíncrona. Estas 16 líneas de datos y dos líneas de paridad constituyen la barra colectora de datos de almacenaje que va a la unidad de memoria asíncrona.

15 2) Llegada de datos y paridad de la memoria asíncrona. Estas 16 líneas de datos y dos líneas de paridad constituyen la barra colectora de almacenaje de datos que va desde la unidad de memoria asíncrona al ordenador y al canal.

20 3) Salida de SAR superior de la memoria asíncrona. Estas 13 líneas llevan los 13 bitios más significativos de la dirección física de acceso, que constituyen la dirección de acceso de bloque en la unidad de memoria asíncrona. Comprenden los bitios 0...12. de SAR superior indicados en el ciclo de memoria asíncrona de la fig. 9G.

25 4) Salida de SAR inferior de la memoria asíncrona. Estas diez líneas llevan los diez bitios menos significativos 13...22 del ciclo de memoria asíncrona (ASC), pero no el bitio 23 del ASC de la fig. 9G. Los bitios 13...22 se dirigen para acceso a un vocablo contenido en el bloque
30 de selección.

1 5) Inscribir grupo de bitios 0. Esta línea lle-
va la posición 23 de bitio más bajo (de menor valor signi-
ficativo) de la dirección física de acceso, para indicar si
5 el grupo de bitios de más a la izquierda, del vocablo se-
leccionado para acceso, va a ser una operación de almace-
nar durante el ciclo de memoria asíncrona.

6) Inscribir grupo de bitios 1. Esta línea infor-
ma a la memoria asíncrona de que el grupo de bitios de más
a la derecha en el vocablo en curso seleccionado para acce-
10 so va a tener una operación de almacenar durante el ciclo
de memoria asíncrona.

7) Salida de selección de memoria asíncrona.
Esta línea indica al módulo de memoria seleccionado para
acceso que empieza un ciclo de almacenaje. Esta línea de
15 salida de selección se activa tan sólo durante un ciclo de
memoria asíncrona, y cuando el traductor no ha detectado
ninguna dirección lógica de acceso de instrucción ni nin-
guna verificación de protección.

8) Reloj de enlace, y reloj de enlace a 90°. Es-
20 tos dos ciclos de reloj identificados tienen un período de
440 nanosegundos con un ciclo de trabajo del 50%. Estos
ciclos de reloj están desfasados entre sí 90°, y están ac-
tivos únicamente mientras está activa la línea de salida
de selección. Estos ciclos de reloj pueden ser usados por
25 la unidad de memoria asíncrona para regulación de tiempo
o sincronismo dentro de la unidad, para resolver rivalidad
de renuevo, para retener o bloquear datos y para generar
respuestas en los instantes apropiados.

9) Llegada de respuesta. Esta línea recibe una
30 señal, procedente de la unidad de memoria asíncrona, de que

1 el lugar seleccionado para acceso está instalado.

10) Impulso de habilitación de inscribir. Esta línea se activa durante la parte última de un ciclo de inscribir que va al módulo de memoria asíncrona seleccionado, después de recibida por el traductor la señal de llegada de respuesta. La línea de impulso de habilitación de inscribir se activa sólo mientras está activada la línea de salida de selección.

11) Final de ciclo normal de la memoria asíncrona. Esta línea proporciona un impulso de muestreo si la línea de llegada de respuesta recibe señal de la memoria asíncrona. La memoria asíncrona seleccionada lo usa como acuse de recibo, para efectuar la reposición de cualquier circuito de cerrojo activado durante el ciclo y para prevenir la reelección durante el mismo ciclo, durante la caída de la señal de salida de selección.

Selección de registros de segmentación

Los circuitos de control de registros de segmentación se ilustran con detalle en la fig. 9C. Un registro de segmentación (SR) se selecciona mediante un método de reducción. Primero se selecciona en todos los grupos o paquetes la posición de registro requerida, obteniendo acceso para ello a todos los registros con los bitios 0...4 de orden superior de la dirección lógica de acceso aparente del programa, de modo que el registro seleccionado de cada grupo o paquete está en las salidas de los ocho grupos o paquetes. Luego se usan los bitios de AAK para seleccionar grupo entre los registros seleccionados que se están tomando como salida de los ocho grupos, para reducir la selección al registro particular requerido. Esto se hace aplican

1 do primero el estado del bitio 2 de AAK entre los SR selec-
cionados, para reducir la selección a cuatro de estos SR,
sean de las pilas pares o de las impares. Las líneas de bi-
tio 1 de AAK real o positiva (T) y complementaria o negati-
5 va (C) se aplican entonces para seleccionar uno de dos gru-
pos de salidas de paquete, que serán las salidas de los pa-
quetes 0,1 y 4,5, o bien de los paquetes 2,3 y 6,7. (la co-
ma (,) significa disyuntiva ("o") entre sus números de pa-
quete, en esta notación. Así, se dará salida a un par de
10 registros, que serán de los paquetes 0,1 y 4,5 si el bitio
1 de AAK tiene el estado de "0", o bien el par será de los
paquetes 2,3 y 6,7 si el bitio 1 de AAK tiene el estado de
"1". El par resultante se reduce aún más, a un solo regis-
tro, mediante el estado del bitio de selección alto-bajo
15 de SR (bitio 0 de AAK) aplicado al concentrador o "embudo"
921 de dos vías de la fig. 9A, que elige entre el par de
paquetes o grupos seleccionado, dando salida a uno solo de
los paquetes o grupos, que es el que da el registro restan-
te seleccionado, el cual es el registro requerido.

20 Controles de carga/entrega de registros de seg- mentación

La fig. 8A ilustra el funcionamiento de las ins-
trucciones de carga/entrega de los registros de segmenta-
ción (SR). La fig. 17 ilustra los controles de almacenaje
o memoria del ordenador y las figs. 9A y 9B contienen los
25 controles de traductor pertinentes, usados en la ejecución
de estas instrucciones.

En la fig. 8A, la instrucción de carga de SR con-
trola la activación de una dirección de acceso física de
30 bloque en un SR seleccionado de un vocablo al que se ha

1 tenido acceso en la memoria principal. La instrucción de entrega o almacenaje de SR controla la acción de copiar el contenido de un SR seleccionado, almacenándolo en un vocablo al que se ha tenido acceso en la memoria principal.

5 El formato de 16 bitios de cada instrucción de carga o entrega de registro de segmentación está designado por un código de OP de cinco bitios y por un campo modificador de tres bitios, en las posiciones de bitio 0...4 y 13...15, respectivamente.

10 El bitio X de la posición de bitio 12 de la instrucción de SR designa si la operación de la instrucción es de carga o de entrega. Si X se pone a "0", el contenido del vocablo seleccionado para acceso en la memoria se carga o introduce en el registro de segmentación seleccionado. Si el bitio X se pone a "1", el contenido del registro de segmentación seleccionado es, entonces, el que se entrega o almacena en el vocablo seleccionado para acceso.

15 El campo R de las posiciones de bitio 5...7 se dirige para acceso a un registro de uso general (GPR) que contiene la dirección de acceso del registro de segmentación seleccionado para carga o para entrega. En el GPR, el campo de claves que hay en las posiciones de bitio 5...7 es un número de grupo o paquete, que designa o identifica el grupo seleccionado, y las posiciones de bitio 0...4 del GPR contienen un número de registro de segmentación, que identifica el SR seleccionado que se va a cargar, o se va a entregar.

20 El vocablo seleccionado para acceso en la memoria principal se localiza mediante una dirección de acceso lógica generada usando el campo de RB en las posiciones de bi

25

30

1 tio 8 y 9 que designan un registro de base; y el campo de
modo de acceso (AM), de los bitios 10 y 11, designa si la
instrucción va a ir seguida de un vocablo de AM. El conteni-
do del vocablo de AM (si lo hay) y del registro de RB se
5 combinan, generando la dirección de acceso efectiva (esto
es, la aparente del programa) del vocablo de memoria prin-
cipal que va a ser, sea cargado, sea entregado o almacena-
do, mediante la ejecución de la instrucción. Si el sistema
está en el modo de traducir, la dirección de acceso efecti-
10 va se da como entrada al traductor en las figs. 9A y 9B, en
unión de la AAK, constituyendo una dirección de acceso ló-
gica de entrada de máquina. El traductor pone en salida la
dirección de acceso física de 24 bitios, para obtener acce-
so al vocablo de memoria seleccionado para acceso. Así, es
15 posible que el SR que va a ser cargado tenga su contenido
usado en una operación de traducción, antes de que la ins-
trucción de carga de SR cambie su contenido trasladándolo
a una dirección de acceso física de bloque diferente.

Si el ordenador no está en el modo de traducción,
20 la dirección de acceso efectiva generada es la dirección de
acceso física en la memoria principal.

Los bitios 13 y 14 del vocablo seleccionado para
acceso en la memoria principal contienen los puntos de acti-
vación del bitio V de validez y del bitio R de exclusiva
25 lectura que se van a cargar o introducir en el SR con el fin
de controlar su funcionamiento siempre que se usen para una
traducción solicitada.

La fig. 17 ilustra los mandos o controles de memo-
ria del ordenador usados para ejecutar las instrucciones de
30 carga y entrega en los registros de segmentación. Estos con

1 troles del ordenador generan un ciclo de registro de seg-
mentación que es utilizado por el traductor en las figs.
9A y 9B para efectuar una carga o entrega en SR. Una ins-
trucción de carga o entrega de registro de segmentación ob-
5 tiene acceso a un microcódigo del ordenador, que genera una
señal de petición de registro de segmentación seguida de
una señal de petición de ordenador para un ciclo de alma-
cenaje o memoria. La primera señal activa un cerrojo 481
de "sigue petición de SR", en la fig. 17, recibándose una
10 señal de SR por medio de una puerta y o de coincidencia
482 mientras se halla condicionada por la salida real o po-
sitiva (T) del cerrojo 481. Por la activación de la puerta
y o de coincidencia 482 se activa, durante un ciclo, un
cerrojo de fase de SR (PH), para activar la puerta y o de
15 coincidencia 484 cuando está instalado el traductor. La sa-
lida de la puerta de coincidencia 484 activa a su vez un
cerrojo 486 de petición de SR, para indicar que hay un re-
gistro de segmentación que necesita ser seleccionado para
acceso. La salida real (T) del cerrojo 486 habilita enton-
20 ces una puerta de coincidencia 488 dando un ciclo de SR,
siempre que no exista petición alguna de ciclo de CS, ya
que los ciclos de CS tienen máxima prioridad. El ciclo de
SR va en segundo lugar, en cuanto a máxima prioridad, y un
ciclo normal de almacenaje o memoria de ordenador es el úl-
25 timo en prioridad (el de prioridad "más baja"), debido a
la acción de una puerta y o de coincidencia 493 que genera
una señal de ciclo de memoria de ordenador por la línea
494, sólo cuando no se le da como entrada señal alguna de
petición de SR procedente de la salida de complemento (C)
30 del cerrojo 486. La otra entrada de la puerta de coinciden

1 cia 493 está conectada a la salida real (T) del cerrojo
490 de ciclo de ordenador.

5 Cuando la puerta y o de coincidencia 488 está ha-
bilitada por la salida real (T) del cerrojo 486 durante la
ejecución de una instrucción de carga o entrega de SR, su
otra entrada está recibiendo la señal de salida real o po-
sitiva (T) procedente del cerrojo 490 de ciclo de ordena-
dor, que se activa siempre que hay una petición de ciclo
de almacenaje o memoria por parte del ordenador. Así, el
10 cerrojo 490 es activado por una salida procedente de un
circuito y o de coincidencia 491 que tiene una de sus en-
tradas condicionada por una señal de ausencia de ciclo de
"robo" u ocupación de ciclos, que aparece mientras no hay
pendiente petición alguna de acceso a memoria de I/O. La
15 otra entrada de la puerta y o de coincidencia 491 está con-
dicionada por la salida real (T) de un cerrojo 492 de peti-
ción de almacenaje de ordenador, que se activa siempre que
hay una petición de ordenador para un ciclo de almacenaje
o memoria.

20 Durante la existencia de la señal de ciclo de
SR en la línea 923, el SR que se va a elegir es selecciona-
do para acceso por la dirección de acceso en curso, en un
momento dado, en el SAR del ordenador. La operación de se-
lección de SR se produce entonces de la manera descrita al
25 analizar el traductor, bajo el epígrafe aquí titulado "Se-
lección de registros de segmentación".

30 Como antes se ha dicho, el que se produzca una
operación de carga o de entrega (almacenaje) depende de la
activación del bitio X de la instrucción; para hacer esto,
el bitio X elige una microrrutina de carga o de entrega,

1 tomándola de la ROS del ordenador. Para una carga de SR,
la microrrutina generará primero una petición de memoria
de ordenador, durante la cual se va a buscar el vocablo
de instrucción de SR elegido para acceso en la memoria -
5 principal, y se pone en el SDR del ordenador. La microrru-
tina emite luego la señal de petición de L/S SR, seguida
de otra petición de ordenador para un ciclo de almacenaje,
que hace que el circuito de la fig. 17 funcione como más
arriba se ha explicado, generando un ciclo de SR que selec-
10 ciona el SR y hace que el contenido del SDR se traslade al
SR seleccionado.

La instrucción de entrega de SR opera de modo
similar, pero con una secuencia de microrrutina inversa.
Esto es, primero activa el circuito de la fig. 17 genera-
15 do un ciclo de SR durante el cual se elige el SR y se tras-
lada su contenido al SDR. A continuación, la microrrutina
emite una petición de memoria de ordenador normal, que ha-
ce que el contenido del SDR se traslade al lugar selaccio-
nado para acceso en la memoria principal.

20 Controles de unidad de traductor por anticipado

La operación de traducción de direcciones de ac-
ceso hace uso de un ciclo de reloj de ordenador, de tiempo
de acceso, para seleccionar y tomar por lectura el conteni-
do de un registro de segmentación (SR), al generarse la
25 parte de acceso del bloque de la dirección física de acce-
so, partiendo de los bitios 0...4 de la dirección de acce-
so lógica. Si no fuese por la característica de anticipa-
ción, se necesitaría otro ciclo de tiempo de acceso del
reloj del ordenador para descodificar la dirección de acce-
30 so de bloque leída, con el fin de seleccionar la barra co-

1 lectora de enlace a aquella de las unidades de memoria --
requerida: esto es, la memoria interior, la exterior o la
asíncrona, a la cual debe transmitirse la dirección de ac-
ceso física del bloque. La característica de anticipación
5 elimina la necesidad de disponer de un tiempo adicional,
cualquiera que éste sea, para seleccionar la barra colec-
tora de enlace requerida, y elimina la necesidad de desco-
dificar la dirección de acceso de bloque tomada por lectu-
ra, para determinar la unidad de memoria requerida. Por
10 tanto, reduce el tiempo de acceso traducido, en un ciclo
de reloj del ordenador. Durante la operación de traducción
los bitios D de las posiciones 5...15 de la dirección de
acceso lógica se están poniendo continuamente en la barra
colectora de la memoria principal, procedentes del SAR del
15 ordenador, y por tanto estos bitios D no suman tiempo al-
guno adicional a la operación de traducción; se aplican si-
multáneamente a las tres unidades de memoria.

La característica de anticipación proporcioná
dos posiciones de bitio, designadas como de bitios de anti-
20 cipación, con cada registro de segmentación (SR) de cada
uno de los ocho grupos o paquetes de la fig. 9A. Cada SR
está construido como se ilustra en la fig. 6. Los dos bi-
tios de anticipación son generados y puestos en un SR en
el momento en que se carga o introduce un número de bloque
25 en el registro de segmentación por parte de los controles
de memoria del ordenador ilustrados en la fig. 17, que de-
sempeñan o ponen en ejecución las operaciones indicadas
en la fig. 8A. Los bitios de anticipación indican cuál de
las unidades de memoria (interior, exterior o asíncrona)
30 contiene el bloque correspondiente al número de bloque que

1 hay en el SR. Después de activados los bitios de anticipación y cargados los SR, los bitios de anticipación se usan con cada acceso de memoria traducido, para permitir que la
5 unidad de memoria requerida quede determinada y seleccionada en paralelo con la traducción a equipo físico de la dirección de acceso lógica de entrada. El número de bloque puede ser leído, pero no los bitios de anticipación, por un programa que use una instrucción de entrega o almacenaje de SR.

10 Los bitios de anticipación están codificados de la manera indicada en la fig. 9G. El bitio de anticipación de la izquierda se pone a "1" si el bloque asignado está en la unidad de memoria interior. Si el bitio de la izquierda se pone a "0", el bloque asignado está en una
15 otra de las unidades de memoria, exterior o asíncrona. El punto o nivel de activación del bitio de anticipación de la derecha indica si es la unidad de memoria exterior o la asíncrona la que contiene el bloque. Si el bitio de la derecha es un "0", el bloque está en la unidad de memoria -
20 asíncrona.

Los bitios de anticipación son usados sólo por el equipo físico, pero no son vistos por el programador ni por el usuario del sistema. Existen sólo con el fin de ace
25 lerar el acceso a la memoria, y no forman parte de la operación de traducción.

El equipo físico para poner en acción los bitios de anticipación se halla representado en la fig. 9C. Incluye unos descodificadores 901 y 902 que reciben ambos la
30 posición de orden superior del número de bloque asignado que se está cargando o introduciendo en un SR por efecto de la

1 ejecución de una instrucción de registro de segmentación,
de la manera descrita para la fig. 8A. El SR seleccionado
está en una de las pilas 0...7 de la fig. 9C. El número de
bloque viene proporcionado por la instrucción de carga del
5 registro de segmentación, que tiene acceso al número de
bloque asignado de programa desde el vocablo de almacena-
je en memoria principal seleccionado para acceso por la
instrucción, número de bloque que se pone en el SDR en la
fig. 4. El ordenador proporciona luego el número de blo-
10 que asignado, desde el SDR a la barra colectora de ordena-
dor, que en la fig. 3C se conecta a la barra colectora de
datos de memoria para almacenaje, en la fig. 9A, que es
la que proporciona la entrada de SR para carga en cual-
quier registro de segmentación seleccionado para acceso
15 en los grupos 0...7. El camino o trayecto de carga de SR
se ilustra con detalle en la fig. 9C, en la que las líneas
00...07 de entrada de SR se usan para generar las señales
de bitio de anticipación. Las líneas 00...06 van conec-
tadas a la entrada del descodificador 902 de "todos ceros",
20 y las líneas 00...07 están conectadas a la entrada del
descodificador 901 de "todos ceros". Cada descodificador
de "todos ceros" dará como salida una señal de anticipa-
ción de estado lógico "1" si lo que recibe son todos ce-
ros, y pone en la salida una señal de estado de "0" si al
25 guna de las entradas está a "1". Así, si el descodifica-
dor 901 detecta que todos son ceros en las posiciones de
bitio 00...07, pone como salida un bitio "1" en la posi-
ción de bitio de anticipación de más a la izquierda para
el SR seleccionado para acceso en las pilas; pero si algu-
30 no de los bitios de entrada 00...07 contiene un "1" el bi

1 tio de anticipación de más a la izquierda se pone entonces
a "0". El descodificador 901 indica si el bloque físico
cuya dirección de acceso se está cargando o introduciendo
está situado o no en la unidad de memoria interior, lo que
5 determina si se va a proporcionar una señal de ISC (ciclo
de memoria interior).

Si el descodificador 902 detecta todos ceros en
las posiciones de bitio 00...06 de entrada de SR, es el bi-
tio de anticipación de más a la derecha el que entonces se
10 pone a "1". La base lógica es que si el bitio de antici-
pación de la izquierda indica que la unidad de memoria in-
terior no es la pertinente, y si los bitios 00...06 son to-
dos ceros, el descodificador 902 indica entonces si existe
o no un bitio "1" en la posición de bitio 07 de la direc-
15 ción física de acceso que se va a cargar, lo que indica
si el bloque asignado está en la unidad de memoria exte-
rior, o está en la unidad de memoria asíncrona.

Por consiguiente, todo SR que se esté cargando
tiene sus bitios de anticipación activados de modo que in-
20 dica la particular unidad de memoria que contiene el blo-
que asignado.

La operación de carga de SR tiene lugar durante
un ciclo de SR, señalado en la línea 923 que va al concen-
trador o "embudo" 922 de la fig.9A desde los controles bá-
25 sicos indicados con detalle en la figura 9D-2.

La dirección de acceso del grupo o paquete es:
dada como entrada al concentrador 922 en las líneas 05...
07 de la barra colectora 901 de acceso a memoria, de la
fig. 9A. La dirección de acceso del registro de segmenta-
30 ción (SR) viene dada en las líneas 00...04 de la barra co

1 lectora 901 de acceso a memoria, por medio del registro de
fase (PH), a los grupos 0...7 de SR de la fig. 9A. Estas
señales de acceso son puestas en las líneas 00...07 de la
barra 901 de acceso de memoria procedente de la figura 3C,
5 que recibe la barra de acceso de memoria desde el SAR de la
fig. 4. El SAR recibe su contenido desde el GPR seleccio-
nado por la instrucción de carga de SR en la fig. 8A, en
la que los bitios 0...7 de GPR son los bitios de acceso
de SR presentes en las líneas 00...07 de la barra colecto-
10 ra 901. (El GPR, o registro de uso general, es selecciona-
do en el grupo 431 de niveles de la fig. 4 por una direc-
ción de acceso de grupo de niveles desarrollada a partir
del campo de GPR contenido en la instrucción de carga de
SR).

15 El concentrador 922, entonces, da salida a la di-
rección de acceso del SR seleccionado, por sus líneas de
salida, bitio 2 de AAK, bitio 1 de AAK y línea 935 de se-
lección alta-baja de SR. La línea 935 proporciona una en-
trada a los controles básicos de la fig. 9B. Estos circui-
20 tos se representan con detalle en la fig. 9D-2, que genera
las señales presentes en las líneas 932 y 933, las cuales
van conectadas a los grupos 0...7 de registros de segmen-
tación como bitio del orden más bajo de la dirección de
acceso del grupo, el cual corresponde también a la forma
25 real y complementaria de la señal presente en la línea 07
de la barra 901 de acceso de memoria. Las señales presen-
tes en las líneas de bitio 1 de AAK corresponden a la for-
ma real y de complemento de las señales presentes en la lí-
nea 06 de barra colectora; y la señal presente en la línea
30 de bitio 2 de AAK corresponde a la señal presente en la lí-

1 nea 05 de barra colectora.

5 En un acceso a la memoria, en el modo de traducción, es elegido un registro de un grupo por el mismo método de selección por concentración descrito en el apartado titulado "Selección de registros de segmentación". Los SR seleccionados por este método de concentración tienen cada uno sus dos bitios de anticipación tomados por lectura al mismo tiempo que se toman por lectura sus otros 16 bitios. Los bitios de anticipación usan el concentrador 931 separado, porque opera más deprisa que el concentrador 921, más ancho, el cual selecciona los bitios de acceso de bloque para el mismo SR. La salida del concentrador 931 es una, seleccionada, de las tres líneas de salida que señalan un ciclo de memoria elegido: un ISC, un OSC o un ASC. El ordenador utiliza las líneas 54A de señal de ISC que vienen del ordenador, por medio de los circuitos 56 de selección de prioridad de almacenaje, a la unidad de memoria interior 51 de la fig. 1C. Como las líneas 54A existen, tenga o no traductor el sistema, la línea de control de ciclo de memoria interior (ISC) del concentrador 931 está conectada al ordenador, para poner en actividad una operación de acceso de ISC. Las líneas de ciclo de memoria exterior (OSC) y ciclo de memoria asíncrona (ASC) van a las figs. 9E y 9F-1, respectivamente, para controlar la selección de direcciones de acceso en sus respectivas unidades.

Características de igualar espacios de operando

30 Se prevé una característica denominada de igualar espacios de operando (EOS), que proporciona un estado o condición que se pone en el AKR con el fin de controlar una condición especial de accesibilidad, en la cual todas las

1 búsquedas de operando son forzadas a aparecer dentro del
espacio de acceso de OP2K, y el espacio de acceso defini
do por la clave de acceso de OPlK no se tiene en cuenta,
aún cuando no varíe la clave en la sección de registro de
5 OPlK del AKR.

El estado de EOS del sistema se habilita por me-
dio de la instrucción de habilitar representada en la fig.
13A, al activarse su bitio 13 de EOS. Al ejecutarse esta
instrucción, el bitio de EOS activado hace que se active
10 de modo correspondiente la sección de registro de EOS del
AKR respectivo, al darle entrada desde el descodificador
de ROS del ordenador de la fig. 4. Cuando el estado de EOS
está activado, no se modifica ninguno de los puntos o nive-
les de activación de clave en el AKR. Ahora bien, el espa-
15 cio de acceso definido en la sección de OPlK no será selec-
cionado para acceso mientras en el AKR esté activado el
estado de EOS. La disposición de equipo físico en la fig.
3D da realidad a la característica de EOS, ya que en ella
la activación de la línea de EOS procedente del AKR obliga
20 a la AAK a dar salida a la clave OP2K siempre que haya una
petición de acceso para un operando, sea el OPl o el OP2,
producida por la ejecución de una instrucción en el ordena-
dor.

Siempre que el estado de EOS sea inhabilitado o
25 puesto fuera de acción por la ejecución de una instrucción
de inhabilitar que tenga desactivado su bitio 13 de EOS,
el valor de clave presente en la sección de registro de
OPlK vuelve a hacerse operativo, y es seleccionado para ac-
ceso por cualquier petición de operando OPl.

30 Administración de los espacios de acceso mediante
activaciones de clave en el AKR

1 Cuando la característica de EOS está inhabilitada o fuera de acción, la función de las tres claves de acceso presentes en el AKR es como sigue:

5 Cada clave de acceso cargada en el AKR define un espacio (de direcciones de acceso) al cual puede obtenerse acceso. Cada espacio de acceso es un intervalo de almacenaje o memoria, lógicamente continuo, accesible por medio de la dirección de acceso lógica efectiva sin intervención de ninguna función de administración de recursos programada.

10 Cada espacio de acceso lógico contiene hasta 64K grupos de bitios. Todas las búsquedas de instrucciones se producirán dentro del espacio de acceso definido por la ISK. Todas las lecturas concernientes al operando 1 de datos (según lo definido en la arquitectura de instrucciones de memoria a memoria)

15 se producirán en el espacio de acceso definido por la OPlK (clave de operando 1). (Por definición de la arquitectura, no se produce inscripción alguna para el operando 1). De igual modo, todas las lecturas y las inscripciones concernientes al operando 2 de datos (según lo definido en

20 cada arquitectura de instrucción) se producirá en el espacio de acceso definido por la OP2K.

 Por ejemplo, si $ISK=OP1K=OP2K$, la máquina ejecutará con todos los accesos de memoria comprendidos en el espacio lógico de acceso, de 64K grupos de bitios, en la

25 misma dirección de acceso. Si ISK no es igual a $OP1K$, pero $OP1K=OP2K$, la máquina operará con búsquedas de instrucciones que aparezcan en el espacio de acceso de ISK y los accesos de datos que aparezcan en el espacio de acceso de $OP2K$. Si $ISK \neq OP1K \neq OP2K$, la búsqueda de instrucciones se produce

30 entonces en el espacio de acceso de ISK , cada búsqueda de

1 operando 1 se produce en el espacio de OP1K y cada búsqueda
da o entrega de operando 2 se produce en el espacio de ac-
ceso de OP2K, siendo diferentes los tres espacios. El orga-
nigrama o esquema de circulación de datos para las clases
5 de instrucciones en que los tres espacios de acceso son di-
ferentes se ilustra en la fig. 2A.

Los valores de las claves contenidas en el AKR
sólo pueden ponerse o activarse cuando el ordenador esté
en el modo supervisor, esto es, cuando las instrucciones
10 de carga de AKR estén en privilegio.

Carga de AKR en condiciones de interrupción

15 Cuando en el ordenador se producen interrupcio-
nes, los valores de las claves de acceso contenidas en el
AKR se activan con antelación respecto de los espacios de
acceso que puedan ser necesitados por el soporte de progra-
mación que manipula la interrupción. En el sistema hay una
pluralidad de tipos distintos de interrupción, cada uno de
los cuales puede tener su soporte de programación especial
que puede requerir una particular carga o introducción de
20 claves de acceso. Entre las interrupciones de ordenador se
incluyen las interrupciones de llamada de supervisor, inte-
rrupciones de dispositivo de I/O, interrupciones de verifi-
cación de programa o verificación de máquina, interrupcio-
nes de seguimiento o rutina de vigilancia de programa, in-
25 terrupciones de pupitre e interrupciones de aviso térmico,
de corriente. Estas interrupciones de ordenador se denomi-
nan a veces interrupciones de clase.

Se supone que todas las rutinas de interrupción
residen en el espacio de acceso que tiene clave=0; por lo
30 tanto, la ISK debe cargarse con 0 al ocurrir una interrup-

1 ción. Como los datos de operando necesarios para manipular
o tratar una interrupción específica pueden residir en otro
espacio de acceso, la clave de acceso relativa a los datos
particulares de la interrupción pueden estar cargados, o
5 cargarse, en la sección de registro de OPlK. El instante en
que se activa la clave de OPlK es cuando se produce una in-
terrupción de clase (esto es, entradas al circuito 402 de
acceso forzado, de la fig. 4), con antelación respecto a
la realización de un traslado de memoria a memoria de la in-
10 formación correspondiente, desde el espacio de acceso de
interrupción (esto es, el espacio de OPlK) al espacio de
acceso de OP2K que tiene la clave=0. Por ejemplo, al ocu-
rrir una interrupción de clase, se guarda o almacena un
bloque de estado de nivel (LSB) en el espacio de OP2K que
15 tiene clave=0 (esto es, el OP2K=0), usando búsquedas de da-
tos procedentes del espacio de OPlK. El contenido del AKR
se guarda también en el LSB, en el caso de una instrucción
de entrega de AKR.

Otras circunstancias en las que todos los valo-
res de clave contenidos en el AKR se ponen a cero son: la
20 reposición del sistema, y la carga inicial del programa,
durante las cuales las características de EOS, el traduc-
tor y la protección de almacenaje están todos inhabilita-
dos o fuera de acción.

25 Interrupción de llamada de supervisor (SVC)

En las operaciones de interrupción de SVC que se
estudian más adelante se supone que los programas de super-
visor están en el espacio de acceso de clave=0, y que el
programa del usuario está en algún otro espacio de acceso,
30 esto es, clave \neq 0. Se supone también que se requiere una

1 comunicación de datos entre el usuario y el supervisor.
Los datos deben ser obtenidos del espacio de acceso del
usuario, llevados al espacio de acceso del supervisor y
devueltos o transferidos de nuevo al espacio de acceso del
5 usuario.

La fig. 13B ilustra las operaciones de carga
para el AKR en una condición de interrupción por llamada
de supervisor (SVC). Se supone, durante el estado inicial
del usuario, que cada una de las tres claves de usuario es
10 tá puesta a un valor de clave de 2, y que el campo de EOS
está puesto a cero. Al ejecutarse una instrucción de llama
da de supervisor en el ordenador de la fig. 4, un circuito
de acceso forzado hace que se vaya a buscar y se ejecute
una secuencia de vocablos de ROS, lo que hace que el orde-
15 nador se ponga en estado supervisorio. Asimismo se almacena
un LSB, se da salida al contenido de la OP2K, pasándolo al
contenido de la OP1K, dándose accesibilidad al espacio de
acceso que tiene los datos implicados en la generación de
la interrupción, y la línea de puesta en salida de cero
20 (OG 0) que viene del descodificador de ROS del ordenador se
activa, pasando al camino de datos del ordenador y recibien
do entrada en las posiciones de OP2K e ISK del AKR.

Los datos se pasan del área de usuario al área de
supervisor, y luego se ejecuta la instrucción de habilitar
25 (fig. 13A) con su bitio 13 activado, para dar el estado de
EOS indicado con el N° 4 en la fig. 13B. Esto hace que to-
dos los accesos a la memoria se produzcan en el espacio de
acceso que tiene la clave 0 mientras el programa de super-
visor se está ejecutando en el estado de EOS, sin perderse
30 la accesibilidad al espacio de acceso de OP1K.

1 Siempre que el supervisor desee transferir informa-
ción al área de OPLK, el ordenador emite una instrucción
de inhabilitar que tiene por efecto reponer la sección de
EOS del AKR; y esto restablece la accesibilidad al espacio
5 de OPLK. Luego se obtiene el estado indicado con el número
6 en la fig. 13B, intercambiando los campos de OPLK y OP2K
para que el supervisor obtenga accesibilidad de entrega al
área de OPLK. El supervisor puede entonces pasar los datos
desde el área de supervisor al área de usuario. Luego se
10 devuelve el AKR al estado de usuario (nº 7 en la fig. 13B)
mediante carga del estado inicial del AKR desde el ISE.

La fig. 18 ilustra las operaciones que se producen
siempre que se emite una instrucción de SVC. Estas operacio-
nes incluyen las de guardar el contenido antiguo y cargar
15 un nuevo contenido en el AKR, como sigue, correspondiéndole
se los párrafos numerados con los caminos o trayectos desig-
nados con un número dentro de un círculo en la figura 18.
La ejecución de la instrucción de SVC por parte del ordena-
dor se efectúa del siguiente modo:

20 1) Al principio de la ejecución de la instrucción
de SVC, se da paso al contenido del AKR hasta el registro
de áreas de trabajo (WAR), por medio de la barra colectora
de trayecto de datos de ordenador, mediante activación de
la señal OG AKR y de la señal IG WAR desde el descodifica-
25 dor de ROS. Esta operación viene indicada por el traslado
del contenido del AKR al TEMPA en la fig. 18, suponiéndose
que las claves OPLK, OP2K e ISK se han puesto cada una al
valor de clave=3.

2) Se da salida a OP2K y se da entrada a OPLK.

30 3) Se pone OP2K=ISK=0.

1 4) El contenido del registrador de estado de nivel (LSR) se guarda o almacena en el registro transitorio (TEMPB').

5 5) En el LSR' se habilita su bitio de estado supervisor, se inhabilita su bitio de protección (máscara) de resumen y se inhabilita su bitio de rutina de vigilancia.

10 6) El registro de acceso de instrucciones (IAR) se incrementa luego en dos, lo que hace que el IAR se dirija al lugar inmediato de almacenaje, donde se sitúa el comienzo de los datos o un "señalador" de los datos.

15 7) La detección del SVC por parte del ordenador hace que se vaya a buscar el lugar de acceso de almacenaje 0010 en el espacio de acceso de clave=0. Este espacio está previamente definido, incluyendo una dirección de acceso (esto es, un señalador) a un bloque de almacenaje de nivel (LSB), contenida también en el espacio de acceso de clave=0.

20 8) El señalador de LSB, que está en el lugar 0010, se traslada al SAR de la fig. 4.

 9) En el lugar de almacenaje del LSB seleccionado para acceso por el SAR, los registros 0...7 IAR, TEMPB y de uso general se entregan o almacenan en el bloque de estado de nivel (LSB).

25 10) El número de SVC (que identifica el tipo particular de instrucción de SVC) se copia o traslada al R1 desde la instrucción de SVC contenida en el espacio de acceso 3.

30 11) El contenido del lugar de almacenaje 0012 se traslada al IAR.

1 12) Empieza la ejecución de la rutina de supervi-
sor a la que se ha tenido acceso desde el lugar 0012. Esta
es la rutina pedida por el número 2 de SVC.

5 El estado resultante de carga de AKR, al principio
de la rutina de SVC, es:

OP1K	OP2K	ISK	
OP2K'	0	0	(Nota: OP2K' es el contenido anterior de OP2K)

10 Las demás interrupciones de clase tendrán un tipo
de operación similar como se indica a continuación, con el
estado resultante de carga del AKR:

Interrupción de dispositivo

1) Reponer rutina de vigilancia, inhabilitar EOS
y activar estados de supervisor.

15 2) Poner ISK=OP1K=OP2K=0

3) Poner la dirección de acceso de un bloque de
datos de dispositivo en el registro 1.

4) Poner en el registro 7 el vocablo ID de inte-
rrupción recibido del dispositivo de I/O interruptor.

20 El estado de carga de AKR resultante es:

OP1K	OP2K	ISK
0	0	0

Interrupciones de verificación de máquina y de ve-
rificación de programa o excepción de "software"

25 1) Reponer rutina de vigilancia, inhabilitar más-
cara de resumen, inhabilitar EOS y activar o fijar estados
de supervisor. Almacenar LSB en espacio de acceso de cla-
ve=0.

30 2) Poner ISK=OP2K=0

3) Almacenar en OP1K la LKSA

1 4) Almacenar el contenido del SAR en el registro
7 (salvo la rutina de vigilancia).

El estado de carga de AKR resultante es:

5 OP1K OP2K ISK
LKSA 0 0 (Nota: LKSA es la última clave
que había en el regis-
tro 408 de la fig. 4 al
ocurrir la interrupción)

10 Interrupción de pupitre e interrupción de aviso
térmico de alimentación

1) Reponer rutina de vigilancia, inhabilitar más-
cara de resumen, inhabilitar EOS y activar estados de su-
pervisor.

2) Almacenar LSB usando la clave de acceso 0.

15 3) Activar o poner ISK=OP1K=OP2K=0

El estado de carga de AKR resultante es:

OP1K OP2K ISK
0 0 0

Interrupciones de rutina de vigilancia

20 1) Reponer rutina de vigilancia, inhabilitar más-
cara de resumen, inhabilitar EOS y activar estados de su-
pervisor. Almacenar LSB en espacio de acceso de clave=0

2) Transferir ISK a la OP1K

3) Poner OP2K=ISK=0

25 El estado de carga de AKR resultante es:

OP1K OP2K ISK
ISK' 0 0 (Nota: ISK' es la ISK en el instan-
te de la interrupción).

CIRCUITOS DE PROTECCION DE MEMORIA SIN TRADUCCION

30 Los circuitos de control de la protección de al-

1 macenaje o memoria sin traducción (NTS), ilustrados en la
fig. 11, se usan cuando el traductor de recolocación re-
presentado en las figs. 9A y 9B no está habilitado, o no
está instalado en el sistema. Esta invención proporciona
5 una relación de compatibilidad ascendente entre la caracte-
rística de protección de claves de acceso con traductor y
la característica de protección de memoria no traducible
o trasladable. Esto es, los programas y los datos usados
en un sistema que opere con la característica de protec-
10 ción de NTS (memoria sin traducción) pueden usarse sin cam-
bio en una máquina que tenga el traductor de recolocación.
Esta relación de "migración" o paso de uno al otro de los
dos tipos de circuitos de protección es muy importante pa-
ra los usuarios del sistema que deseen empezar con un sis-
15 tema de almacenaje o memoria relativamente pequeño, poco
costoso, y pasar luego a un sistema mayor, de memoria am-
pliada.

Una vez instalado el traductor de recolocación,
cuando se habilita la protección de NTS se inhabilita o
20 deja fuera de acción el traductor de recolocación. El esta-
do de la característica de protección de NTS viene contro-
lado por las instrucciones de habilitar e inhabilitar indi-
cadas en la fig. 13A.

Los circuitos de protección de NTS proveen con-
25 tra todo acceso no deseado a un lugar de la memoria prin-
cipal, sea por parte de un ordenador, sea por la de una
operación de I/O que utilice una dirección de acceso no
traducida. Con la característica de protección de NTS, la
memoria principal se divide en 2K bloques de 2048 grupos
30 de bitios. Cada bloque de la memoria principal está provis

1 to de un registro de claves de almacenaje o memoria, dis-
puesto en un paquete 401 en la fig. 11. Cada registro está
asociado a un determinado bloque de la unidad de memoria
interior, seleccionado por los cinco bitios de orden supe-
5 rior de una dirección de acceso física de 16 bitios, que
es la dirección de acceso aparente del programa, directa-
mente generada por un programa puesto en ejecución en un
sistema. Con la característica de protección de NTS, la di-
rección de acceso aparente del programa es la dirección fi-
10 sica de acceso; pero, cuando el traductor está habilitado,
la dirección de acceso aparente de programa forma parte de
una dirección de acceso lógica de entrada. Cada registro
tiene por lo menos tres posiciones de bitio para una clave
de memoria asignada, y un bitio R de exclusiva lectura; y
15 puede tener también un bitio V de validez (no indicado en
la figura). La clave de almacenaje de tres bitios tiene
las posiciones de bitio 0, 1 y 2, que pueden ser cargadas
por medio de instrucciones usuales de carga de claves de
almacenaje o memoria, por ejemplo, como en el sistema IBM
20 360.

Una parte de comparador de la operación del
circuito de protección de NTS es similar a la operación
del circuito de protección de claves de memoria empleada
en sistemas usuales, tales como los IBM S/360 o S/370.
25 Ahora bien, las demás partes cooperativas de la caracterís-
tica de protección de NTS proporcionan una disposición con
arreglo al presente invento, incluida su combinación con
los singulares circuitos 333 de selección de AAK, de la
fig. 3D.

30 La operación de comparador hace uso de los bi-

1 tios 0...4 de orden superior de la dirección de acceso fí-
sica de 16 bitios para orientar o modificar por índice el
registro de grupo o paquete asociado al bloque de memoria
5 interior. Se tiene así acceso a la clave de memoria que
hay en el registro indicado. Luego se compara la AAK con
la clave de memoria seleccionada del paquete, en el cir-
cuito comparador de igualdad 402 de la figura 11. Si dan
igual en la comparación, se permite el acceso, siempre y
cuando la característica de protección de NTS esté habili-
10 tada y el acceso sea una búsqueda o sea un bitio de ins-
cribir y de exclusiva lectura que esté desactivado. Por
consiguiente, la característica de protección de NTS de
protección de tipo de acceso: por ejemplo, es capaz de
dar protección por separado para espacios de acceso de
15 OP1K, OP2K, ISK en un ambiente sin traducción.

Otras características singulares adicionales
de los circuitos de protección de NTS están en su control
de las áreas de memoria compartidas, definidas por un va-
lor de clave particular, y de los accesos por parte de
20 los subcanales de I/O. El usuario tiene acceso a las -
áreas de clave particulares definidas para el usuario en
el AKR del ordenador, y todos los usuarios pueden emplear
la clave=7 en cualquier sección de registro del AKR, para
definir una área común de acceso compartida por los usua-
rios. El circuito 405 controla los accesos a las áreas -
25 compartidas.

El control, singular y único en su género, de
acceso de operación de I/O en el modo de protección de
30 NTS viene proporcionado por unos circuitos 404 y 405, que
permiten que se haga cualquier petición de acceso de ci-

1 clo "robado" o de ocupación de I/O, en el área de clave
definida en su AKR, o en el área de memoria común de cla-
ve=7, sin que el bitio de exclusiva lectura del registro
5 de claves de memoria al que se ha tenido acceso inhiba
ningún acceso de "robo" de ciclo de I/O. Así, se permi-
te un acceso de inscripción de I/O, sea cual fuere el pun-
to o condición de activación del bitio de exclusiva lec-
tura contenido en el registro seleccionado en el paquete
401.

10 Si el ordenador se halla en el estado supervi-
sorio, esto es, el bitio 8 está activado en el LSR de la
fig. 4, se soslayan los controles de protección de claves
de memoria, y se permiten todos los accesos a cualquier
bloque de la memoria principal.

15 En resumen, el control de espacios de acceso pro-
porcionado por el AKR se usa si está habilitada la carac-
terística de protección de NTS, o bien si se emplea la ca-
racterística de traductor discrecional. Por lo tanto,
la AAK será una clave de CS o una clave del AKR seleccio-
20 nada mediante ejecución de cada instrucción de ordenador
según lo determinado por el tipo de operando que se esté
buscando o por la instrucción que se esté buscando.

25 Cuando la característica de protección de NTS es-
tá habilitada, es preciso que sean ciertas una o más de
las condiciones siguientes, para autorizar un intento de
almacenaje de acceso.

1) La máquina se halla en el estado superviso-
rio.

30 2) La clave de memoria del bloque de acceso es
7. Si se trata de un intento de almacenaje de inscripción,

1 el bitio de exclusiva lectura debe estar inactivo (por ejemplo, ser cero).

3) La clave de memoria del bloque de acceso debe ser igual a la AAK. Si se intenta efectuar un almacenaje de inscripción, el bitio de exclusiva lectura debe estar inactivo.

Si no se obtiene ninguna de las condiciones 1), 2) o 3) arriba indicadas, la salida del inversor 407 de la fig. 11 proporciona una señal de supresión de acceso a la memoria, que genera una interrupción de verificación de programa (PCK) que active el bitio correspondiente en el registro de vocablos de estado del ordenador.

Por lo tanto, el estado supervisorio tiene libre acceso a la totalidad de la memoria principal. Se permite un acceso a un área de almacenaje que tenga una clave de protección de memoria igual a 7, sean cuales fueren el valor de la AAK o los valores contenidos en el AAK cuando el sistema no se halle en el estado supervisorio, siempre y cuando no se fuerce el bitio de exclusiva lectura para el bloque seleccionado para acceso.

Por lo tanto, es evidente que dentro de cualquier área individual accesible o seleccionable para acceso, definida por una clave de acceso, algunos bloques de esa área pueden mantenerse en un estado de exclusiva lectura mientras otros bloques del área pueden hacerse accesibles para inscripción, mediante activación o no del bitio de exclusiva lectura para los bloques contenidos en el área accesible. El bitio de exclusiva lectura puede ser activado por el programa supervisorio que carga los registros de grupo.

1 Durante la carga inicial del programa (IPL), la
característica de protección de NTS y la característica de
traducción están ambas inhabilitadas, de modo que en la me-
5 moria principal pueden efectuarse inscripciones, en cual-
quier lugar, durante el procedimiento inicial de carga. Al
terminarse con éxito la IPL, es posible habilitar una u -
otra de las características de protección citadas, y la má-
quina entra en el estado supervisorio poniéndose a cero to-
das las claves de acceso contenidas en el AKR.

10 Además de las características de AAK común en-
tre la de protección de NTS y la característica de traduc-
ción, éstas tienen cierto número de rasgos característicos
desemejantes, tales como los siguientes:

15 1) Con la característica de protección de NTS,
el estado supervisorio permitirá acceso a la totalidad de
la memoria principal, sean cuales fueren las claves de me-
moria. En un sistema de traductor, el estado supervisorio
sólo puede tener acceso al área de memoria definida por la
AAK.

20 2) La memoria total definida por las claves
de acceso de un sistema con protección de NTS es igual o
menor que 64K grupos de bitios. La memoria estática total
definible por las claves de acceso en un sistema de traduc-
tor puede ser hasta de 512K grupos de bitios en un momento
25 dado cualquiera.

30 3) En un sistema de traductor, el espacio de
acceso definido por las claves de acceso empieza en la di-
rección de acceso lógica cero. En un sistema con protec-
ción de NTS, el espacio de acceso definido por las claves
de acceso empezará en varios linderos de 2K grupos de bi-

1 tios, pero la clave de acceso sigue proporcionando un control del tipo de acceso.

5 4) Las instrucciones usadas para carga y entrega de los registros de claves de memoria (SKR) del ordenador son distintas de las instrucciones usadas para la carga y entrega de registros de segmentación (SR) en el traductor.

10 5) Un dispositivo de I/O, en un sistema con traductor habilitado, no es capaz de recibir verificaciones de protección; en cambio, un dispositivo de I/O en un sistema con protección de NTS habilitada puede recibir una verificación de protección para un acceso, en una dirección de acceso que no esté en el área definida por la clave de CS, o el área de clave=7.

15 6) Debido a la flexibilidad de la característica de transformación o traslación de direcciones de acceso del traductor, ciertas traslaciones de espacio de direcciones de acceso lógicas a físicas son difíciles de emular en el modo de protección de NTS: por ejemplo, una área común exclusiva a sólo dos claves de acceso.

20 Variante del modo de protección por traducción

25 La fig. 14 ilustra unos circuitos de control para un modo alternativo de protección por traducción (APM) utilizable en un sistema de tratamiento de datos. El modo APM constituye una variante o alternativa con respecto al modo de traducción anteriormente descrito, que usa el AKR de varias secciones de la fig. 1D. Este modo alternativo no proporciona la accesibilidad de ordenador controlada, del tipo de acceso de memoria, obtenida con la fig. 1D, sino que permite una accesibilidad por separado para los accesos de 30 I/O a la memoria. El modo alternativo así que proporciona una

1 discriminación de AAK de accesibilidad para el ordenador
entre sus diferentes programas y datos que poseen distin-
tas claves de acceso de usuario, en tanto que permiten tam-
bién la interacción del usuario con operaciones superviso-
5 rias de programa, siempre que sea necesario, sin tener que
cambiar el contenido de un registro de claves de usuario
(UKR) 460.

En la fig. 14 hay sólo una única clave de acce-
so que puede cargarse o introducirse en el registro UKR
10 460 del ordenador, de modo que todos los accesos a memoria
para ejecutar programas y datos de usuario deben hacerse
dentro de la accesibilidad única definida por el valor de
clave de usuario que hay en el UKR 460, que es un valor
de clave distinto de cero, puesto que el valor de clave
cero está reservado para el área de memoria que contiene
15 los programas y datos de supervisión del sistema. Los ac-
cesos de I/O están controlados por la clave de CS, intro-
ducible por medio de un subcanal en un registro 465 de cla-
ves de CS.

20 El modo APM viene controlado para un ordenador
por una posición de bitio A que hay en el registro de es-
tado de nivel (LSR) 470. Cuando está en activo el estado
de supervisión, se activa el bitio S; y cuando se halla en
activo el modo APM, es el bitio A el que está activado.

25 Cuando están activados ambos bitios S y A, se
proporciona un primer tipo de funcionamiento del ordena-
dor, en el cual se habilita la interacción para un progra-
ma de supervisor (contenido en el área de clave=0), con
el área de clave de usuario en curso en un momento dado
30 (identificada por la clave de usuario en curso contenida

1 en el UKR 460). Esto es, se permite la ejecución del pro-
grama supervisorio a partir del área de clave=0 y de los
operandos de acceso contenidos en el área de clave de acce-
so del usuario. Ahora bien, el supervisor no es capaz de
5 obtener acceso a otros lugares de la memoria principal de-
finidos por otros valores de clave. Esta interacción de su-
pervisor con accesibilidad restringida, por ejemplo, facul-
ta a sus programas de manipulación de interrupciones para
obtener acceso a un programa y datos de usuario interrumpi-
10 dos en un momento dado sin riesgo de que el programa de su-
pervisor perturbe la integridad de áreas no pertinentes o
afectadas de la memoria principal, si algo va mal en la ope-
ración de supervisor. Tampoco se permite nunca, a ningún
programa de usuario en ejecución, el acceso al área de me-
15 moria de supervisor, porque todo programa de usuario sólo
tiene accesibilidad al área propia del usuario, identifica-
da por la clave del usuario.

Un segundo tipo de operación de ordenador es el
que tiene lugar cuando el bitio de supervisor S está en ac-
20 tivo y el bitio A de APM está desactivado. Entonces es el
programa supervisorio el que puede operar desde el área de
clave=0 sin perturbar la clave de usuario en curso, conte-
nida en el UKR 460. En este caso, todas las búsquedas de
I y todos los accesos de operando sólo pueden hacerse en
25 el área de clave=0, no permitiéndose interacción alguna
del supervisor con ninguna área de usuario. Esto es, el
supervisor no tiene entonces acceso al área de clave de
usuario identificada por el contenido del UKR 460 en un
momento dado, ni a ninguna otra área de claves. Este ti-
30 po especial de funcionamiento del sistema elimina la nece-

1 sidad de cargar y recargar el valor de clave=0 en el UKR
460.

5 Un tercer tipo de operación de ordenador es el
que se prevé cuando el bitio S de supervisor está desacti
vado, independientemente del estado del bitio A de APM.
En este caso, todas las búsquedas de instrucción y todos
los accesos de operando sólo pueden estar en el área de
clave del usuario. Esto es, no se permite acceso alguno al
área de clave=0 de la memoria principal.

10 El modo APM viene controlado, en el ordenador,
por el equipo físico representado en la fig. 14. Hay una
puerta y o de coincidencia 462 que se habilita mediante
activación de ambos bitios S y A en el LSR 470, con el
fin de obtener el primer tipo de operación de ordenador
15 arriba definido. Luego se activa la puerta 462, por medio
de cada petición de búsqueda de I desde el ordenador de
la fig. 4, obteniéndose una salida a través del circuito
O o disyuntivo 466 y de un inversor 476 con el fin de inha
bilitar el circuito y o de coincidencia 461 durante la
20 operación de búsqueda de instrucción. Mientras el circui
to y o de coincidencia 461 está inhabilitado, da una se-
ñal de salida de "todos ceros", representando la clave=0
para la barra colectora de AAK. Así, sólo se permite la
búsqueda de I en el área de clave=0 del supervisor.

25 Cuando no hay petición de búsqueda de I (tal co-
mo sucede entre peticiones de búsqueda de I), la puerta y
o coincidencia 462 no se activa, y el inversor 467 da una
señal habilitadora a la puerta y o de coincidencia 461,
para hacer salir la clave de acceso de usuario del UKR 460
30 a la barra colectora de AAK, de modo que una instrucción

1 de programa supervisorio que ejecute búsquedas es capaz de
obtener acceso a operandos contenidos en el área de claves
de usuario que se esté seleccionando para acceso por medio
de la clave contenida en el UKR 460.

5 Si el bitio A del APM está desactivado mientras
el bitio S de supervisor está activado en el LSR, la puér-
ta y o de coincidencia 464 se halla continuamente habili-
tada, para inhabilitar continuamente la puerta y o de coin-
cidencia 461 por medio del inversor 467, de modo que la
10 puerta 461 da continuamente como salida la clave=0 a la
barra colectora de AAK. Esto proporciona el segundo tipo
de operación de ordenador arriba descrito, en el que sólo
el programa de supervisor puede operar con todos los ope-
randos y las búsquedas de I restringidos al área de cla-
ve=0, sea cual fuere la clave de usuario contenida en el
15 AKR 460.

Si el bitio S está desactivado en el LSR 470,
las puertas y o de coincidencia 462 y 464 están continua-
mente inhabilitadas, de modo que el inversor 467 propor-
20 ciona una salida habilitadora continua a la puerta y o de
coincidencia 461, que entonces deja pasar continuamente la
clave de acceso de usuario a la barra colectora de AAK.
Esto proporciona el tercer tipo de operación de ordenador
arriba definido, y hace que todos los accesos a la memo-
ria, tanto para el ordenador como para los I/O estén en el
25 área de memoria principal seleccionada para acceso por la
clave de usuario contenida en el UKR 460. El supervisor no
puede funcionar hasta que se active el bitio S.

30

REIVINDICACIONES

1

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

15

20

25

30

1ª.- Un sistema de control de acceso a almacenaje para una memoria principal compuesta de bloques físicos, teniendo los bloques unos submárgenes respectivos de direcciones de acceso dentro de la gama o intervalo global de direcciones físicas de acceso de la memoria principal, sistema que comprende: unos medios de petición de acceso a almacenaje, en un ordenador, para detectar y señalar cada tipo de petición de acceso a almacenaje hecha por el ordenador, incluyendo las señales de tipo de petición una señal de búsqueda o toma de instrucción y por lo menos un tipo de señal de acceso de operando, siendo cada petición de acceso para una dirección física de acceso especificada, en la memoria principal; unos medios de registro de claves dotados de por lo menos una sección de registro de claves de acceso y de instrucción y una sección de registro de claves de acceso de operando; unos medios de selección de claves activas, activados por una señal de petición concedida de búsqueda de instrucción, o de petición concedida de acceso de operando, para poner en salida el contenido de una sección de registro de clave correspondiente, como clave de acceso activa, yendo la clave de -

1 acceso activa asociada a la dirección física de acceso es-
2 pecificada correspondiente a la clave de acceso activa; una
3 pila de claves de almacenaje compuesta de una pluralidad
4 de registros de claves de almacenaje respectivamente asig-
5 nados a los bloques de la memoria principal, teniendo cada
6 registro un campo de clave para contener una clave de alma-
7 cenaje asignada al bloque respectivo; unos medios para po-
8 ner en salida la clave de almacenaje en un registro de cla-
9 ves de almacenaje seleccionado de la pila, estando el re-
10 gistro seleccionado por medio de un campo de orden superior
11 contenido en la dirección física de acceso especificada,
12 que está en un registro de acceso a almacenaje; unos medios
13 de comparador, para comparar la clave de almacenaje puesta
14 en salida desde el registro de claves de almacenaje selec-
15 cionado con la clave de acceso activa puesta en salida por
16 los medios de selección de claves de acceso activas, con
17 el fin de proporcionar una señal de igualdad (afirmativa)
18 de comparación cuando las claves comparadas sean iguales,
19 y una señal de desigualdad (negativa) de comparación cuan-
20 do éstas no sean iguales, de tal modo que se permite el ac-
21 ceso a la dirección de acceso especificada, dentro de un
22 submargen de claves protegidas, si los medios de compara-
23 dor dan como salida una señal de igualdad de comparación.

24 2ª.- El sistema de control de acceso a almacenaje
25 de la reivindicación 1ª, que incluye además: en cada regis-
26 gistro de claves de almacenaje, de la pila de ellos, una
27 posición de bitio denotativo, de exclusiva lectura, para
28 controlar adicionalmente los accesos a un submargen de di-
29 recciones de acceso; un circuito de control de inscripción
30 en almacenaje, que tiene una entrada conectada a la posi-

1 ción de bitio denotativo, de exclusiva lectura, del regis-
tro de claves de almacenaje seleccionado, y que tiene otra
entrada conectada a una línea de inscribir en almacenaje,
procedente del ordenador, la cual envía señal cuando la pe-
5 tición de almacenaje en curso es para una operación de ins-
cribir en la memoria principal, siendo activada una señal
de "dejar inscribir en almacenaje", del circuito de control
de inscripción en almacenaje, por efecto de una señal de
inscribir presente en la línea de inscribir en almacenaje
10 mientras la entrada de bitio de exclusiva lectura indica
ausencia de estado de exclusiva lectura para el bloque al
que se quiere tener acceso; y unos medios de puerta dotados
de entradas conectadas a la salida de los medios de compa-
rador y a la salida de "dejar inscribir en almacenaje", de
15 modo que una salida de los medios de puerta proporciona una
señal de "permitir acceso" cuando se están produciendo las
señales de "igualdad de comparación" y "dejar inscribir en
almacenaje".

3ª.- El sistema de control de acceso a almacena-
20 je de la reivindicación 2ª, que incluye además un circuito
lógico de área compartida, dotado de unas entradas conec-
tadas a la salida de claves de almacenaje del registro de
claves de almacenaje seleccionado, para recibir cada clave
puesta en salida, habiendo otra entrada del circuito lógico
25 conectada a la salida de "dejar inscribir en almacenaje",
siendo el circuito lógico habilitado por un valor de clave
prefijado y por una señal de "dejar inscribir en almacena-
je", en el sentido de proporcionar una señal de salida de
área compartible en respuesta a la clave prefijada y a la
30 ausencia de estado de exclusiva lectura para el bloque al

1 que se está teniendo acceso, con lo cual el contenido de
cada bloque correspondiente al valor de clave prefijado es
compartible por diferentes programas para accesos por lo
menos de exclusiva lectura, en tanto que los programas tam
5 bién pueden tener cualquiera de sus instrucciones u ope-
randos en áreas no compartibles.

4ª.- El sistema de control de acceso a almacena-
je de la reivindicación 3ª, que incluye además unos medios
para hacer que el sistema protegible de almacenaje sea ope
10 racionalmente compatible con un sistema de traducción o -
traslación de claves de acceso, sistema de control que com-
prende un circuito para la selección, por parte del ordena-
dor, de una protección de almacenaje sin o con traducción,
dotado de unas entradas que señalan si hay instalado un
15 traductor, si el traductor está habilitado o preparado y
si hay una protección de almacenaje habilitada, y de una
salida, habilitada por la protección sin traducción, que
se activa al estar habilitada por la protección sin tra-
ducción, que se activa al estar habilitada su entrada de
20 "no traducción", y si está habilitada su entrada de protec-
ción de almacenaje; yendo la salida que está habilitada
por la protección sin traducción conectada como otra en-
trada a los medios de puerta, y como otra entrada al cir-
cuito lógico de área compartida, con el fin de inhabilitar
25 el funcionamiento de los mismos si se habilita el sistema
de traducción de claves de acceso.

5ª.- El sistema de control de acceso a almacena-
je de la reivindicación 4ª, que incluye además; una línea
de estado de supervisor, procedente del ordenador, para
30 señalar si el ordenador se halla o no en el estado de su-

1 pervisor; y unos medios de circuito disyuntivo dotado de
2 unas entradas conectadas a la línea de estado de supervi-
3 sor y a la salida del circuito lógico para habilitar cada
4 petición de acceso durante el estado de supervisor, sea
5 cual fuere la operación por parte del circuito lógico.

6 6ª.- El sistema de control de acceso a almacenaje
7 de la reivindicación 5ª, que incluye además: una línea de
8 estado de "robo" u ocupación de ciclo, procedente de un
9 circuito de selección de prioridad de almacenaje, para se-
10 ñalar cuándo un ciclo de petición de acceso concedido, en
11 curso o en un momento dado, es para una operación de "robo"
12 de ciclo de I/O; y otra entrada a los medios de puerta pa-
13 ra habilitar su salida en el sentido de permitir la petición
14 de acceso en curso para la operación de "robo" de ciclo,
15 sea cual fuere el estado de exclusiva lectura para el blo-
16 que al que se está teniendo acceso.

17 7ª.- Un sistema de control de acceso a almacena-
18 je para una memoria principal compuesta de bloques físicos.

19 Tal y como se ha descrito en la Memoria que ante-
20 cede, representado en los dibujos que se acompañan y para
21 los fines que se han especificado.

22 Esta Memoria consta de ochenta y dos hojas escri-
23 tas a máquina por una sola cara.

24 Madrid, 23. JUL. 1977

25 P.A.

26 Alberto de Elizaburu
27 For Forer

28 30

FIG. 1A-1

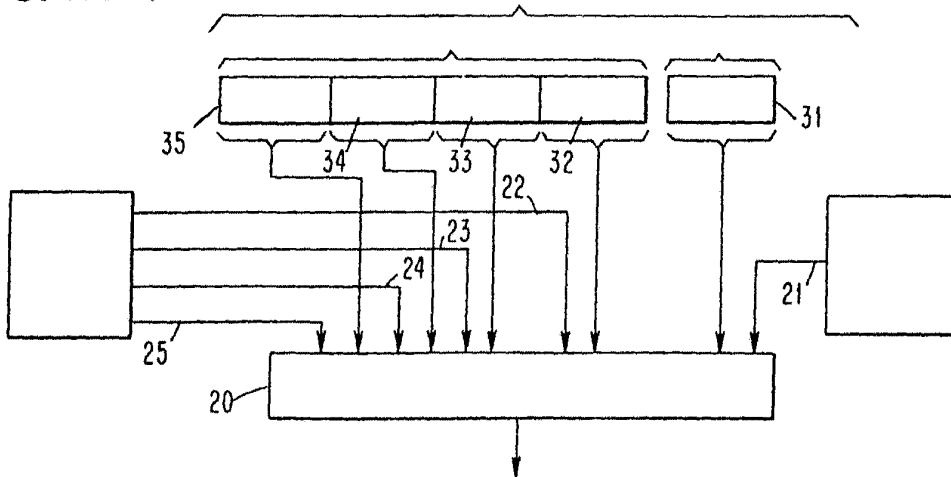
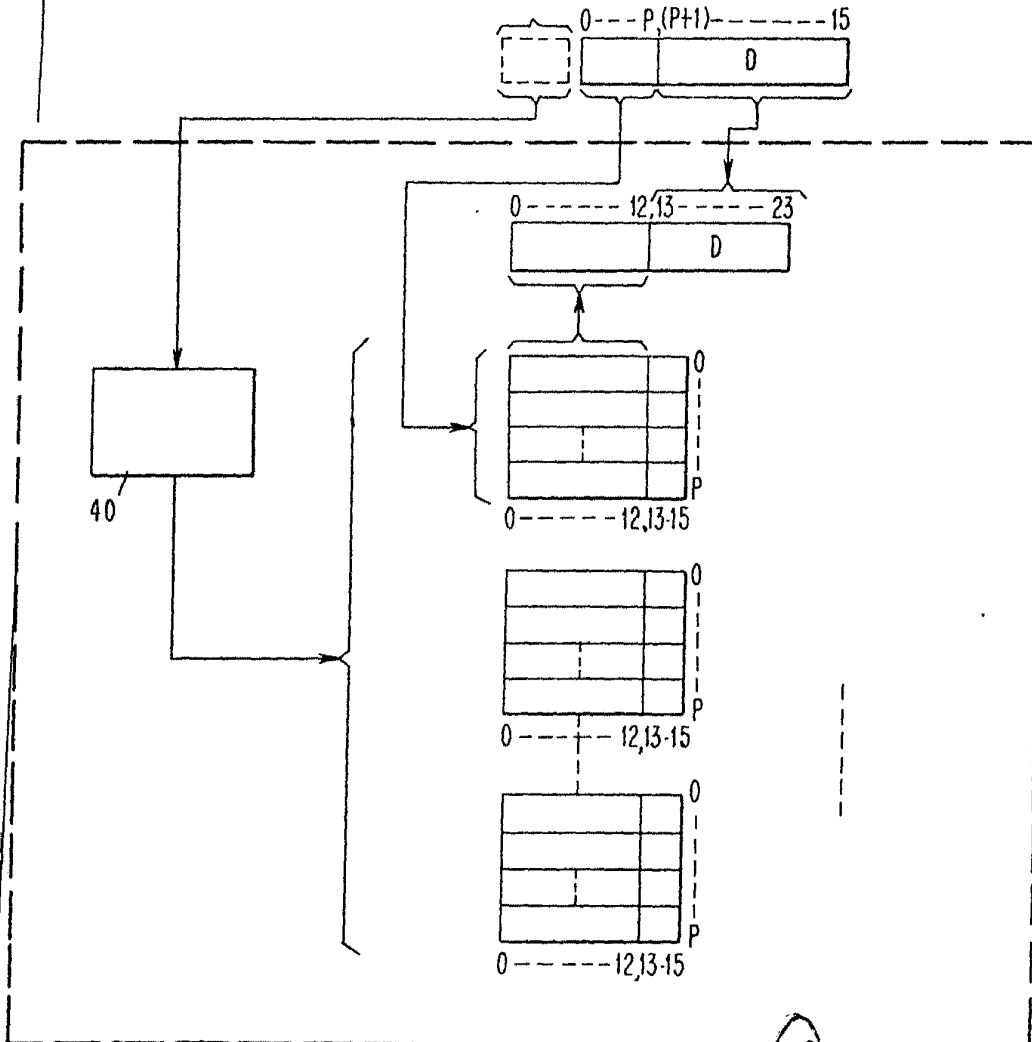


FIG. 1A-2



Alberto de Elizalde
Per Poder

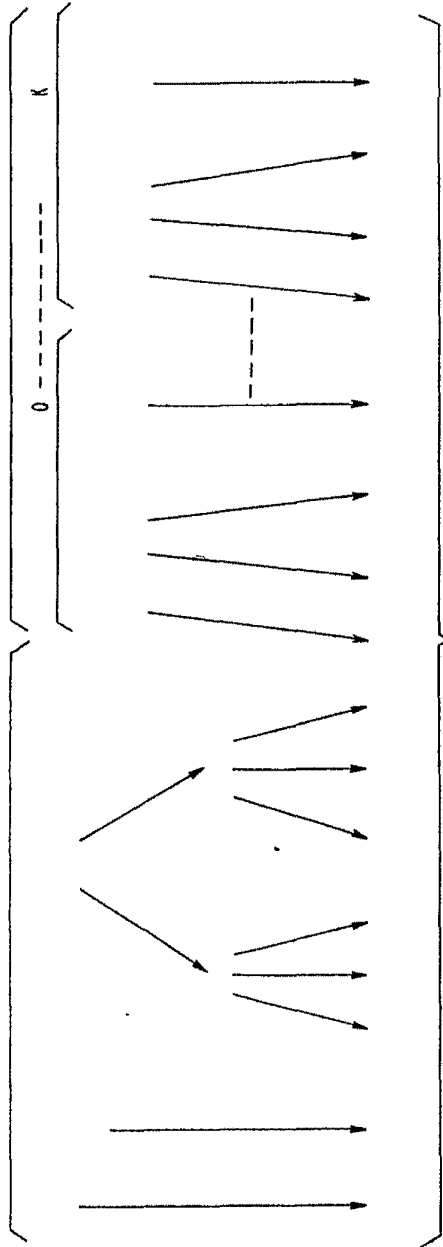


FIG. 1B

Handwritten signature
J. Edgar Hoover
Director

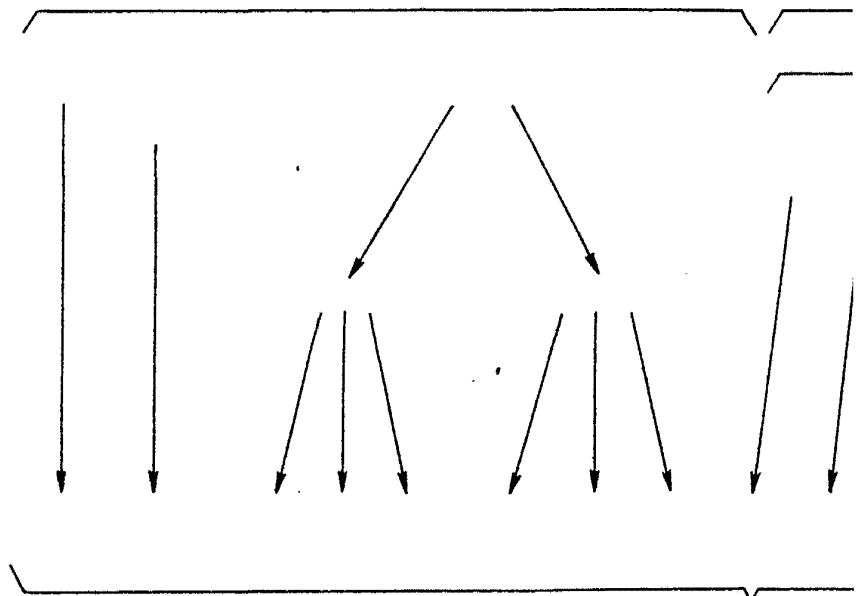
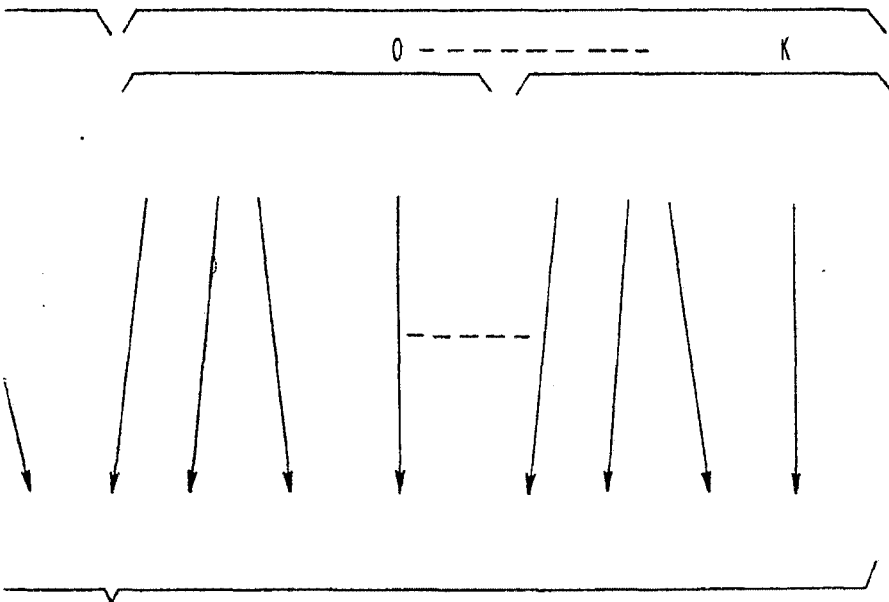
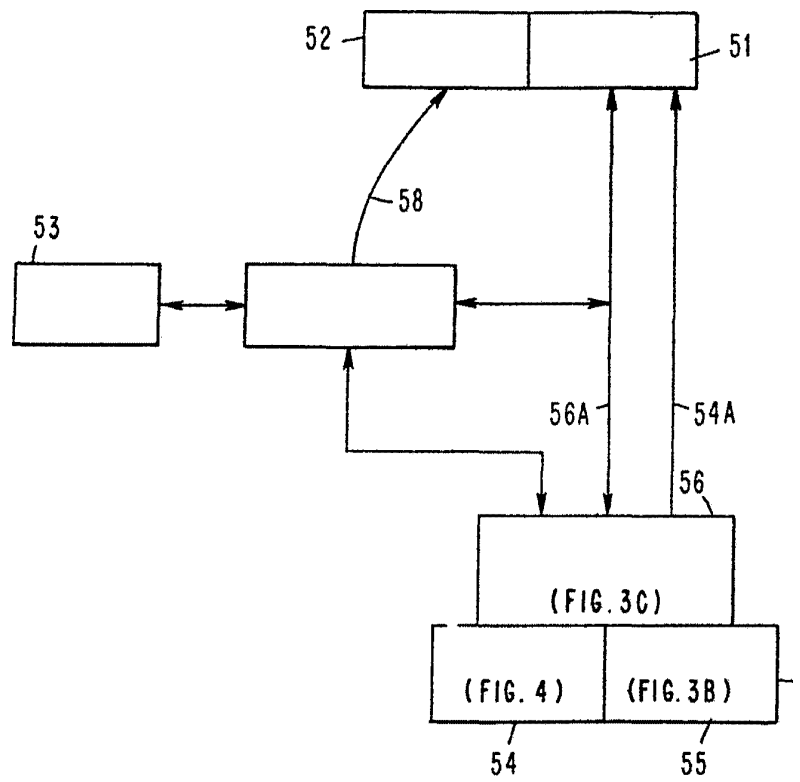


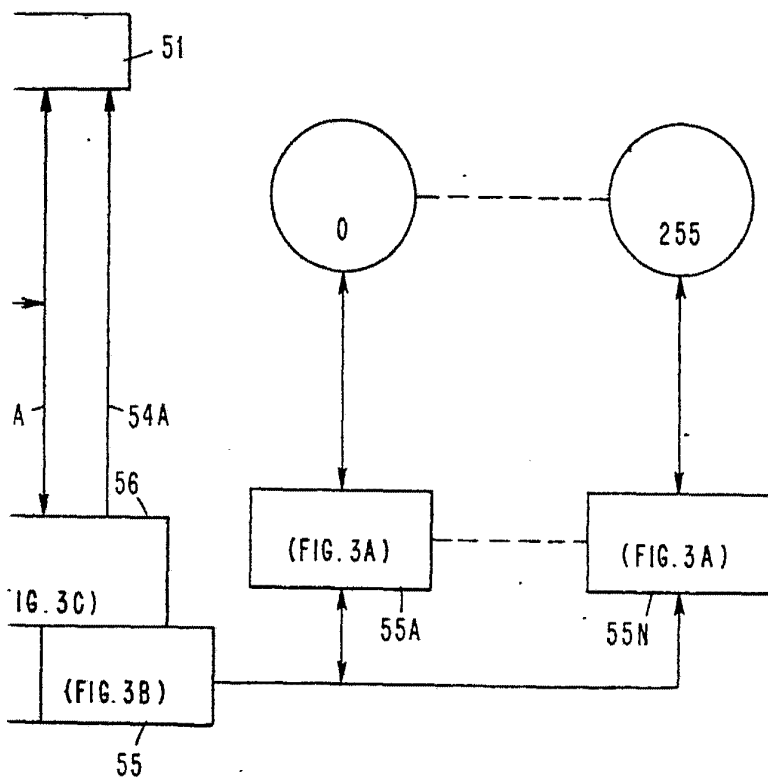
FIG. 1B



Alberio de Almeida
Por Poder
[Handwritten Signature]

FIG. 1C





Alberto de Alencar
 For Power

Handwritten signature

FIG. 1D

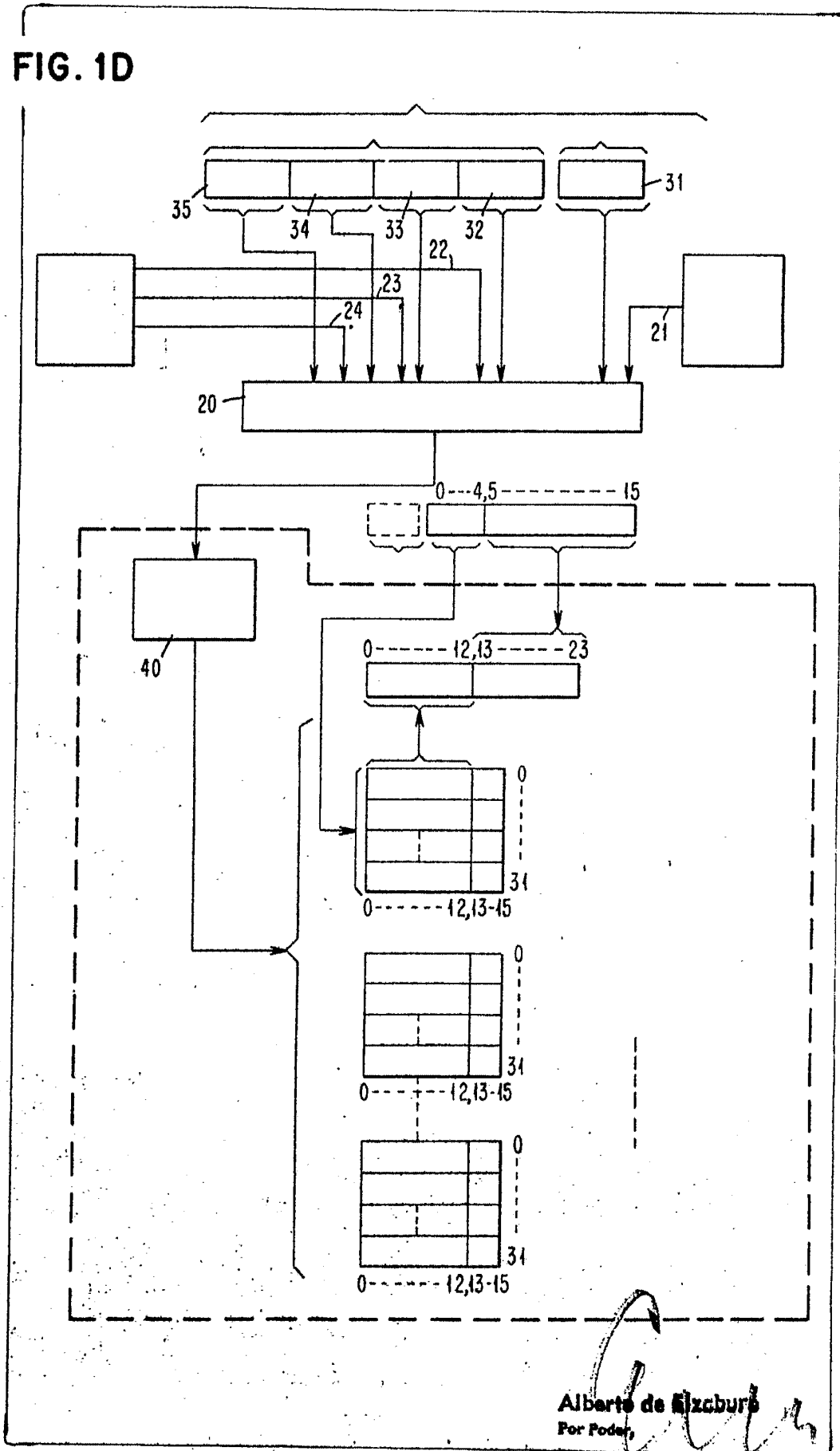


FIG. 2A

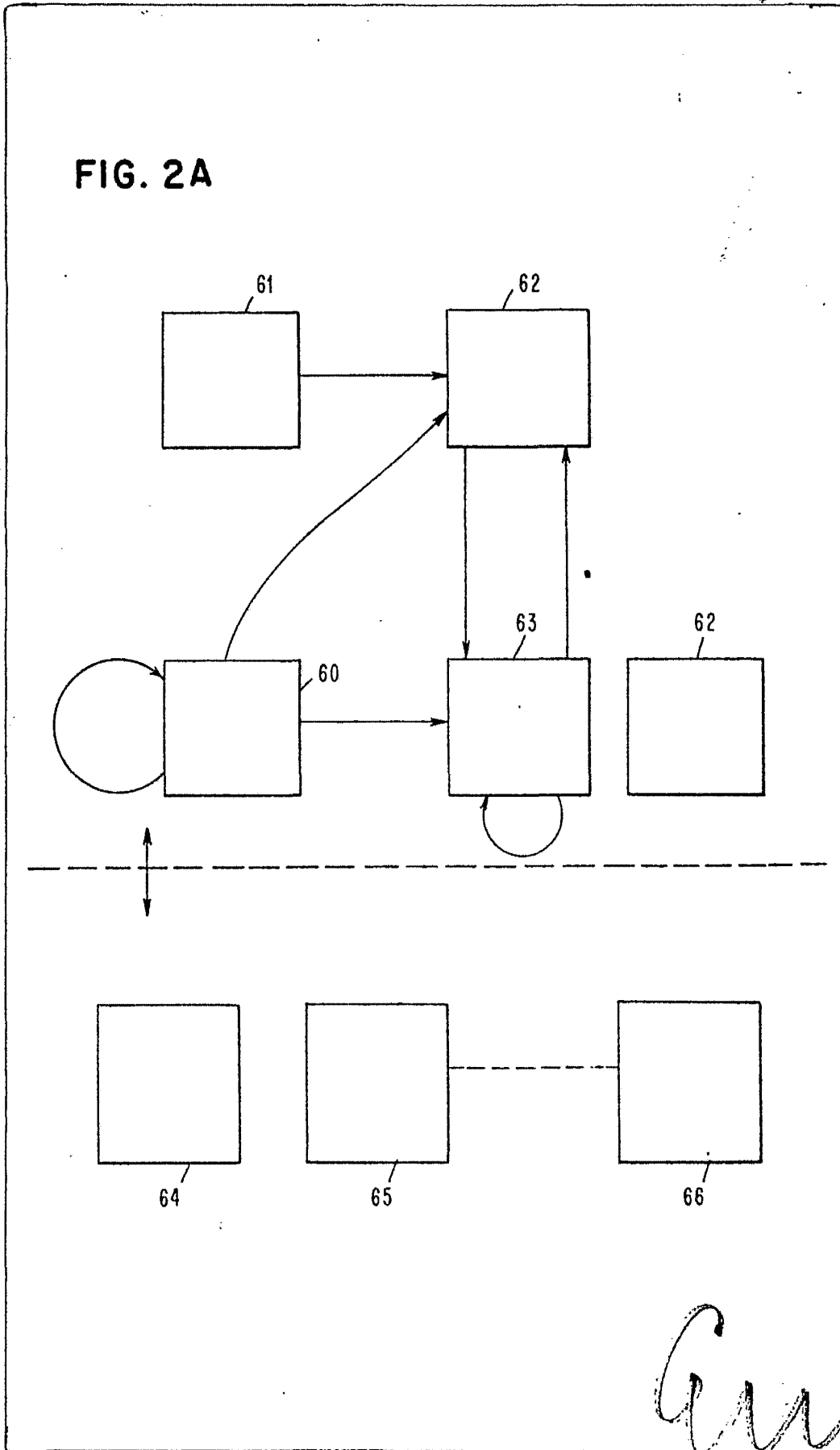
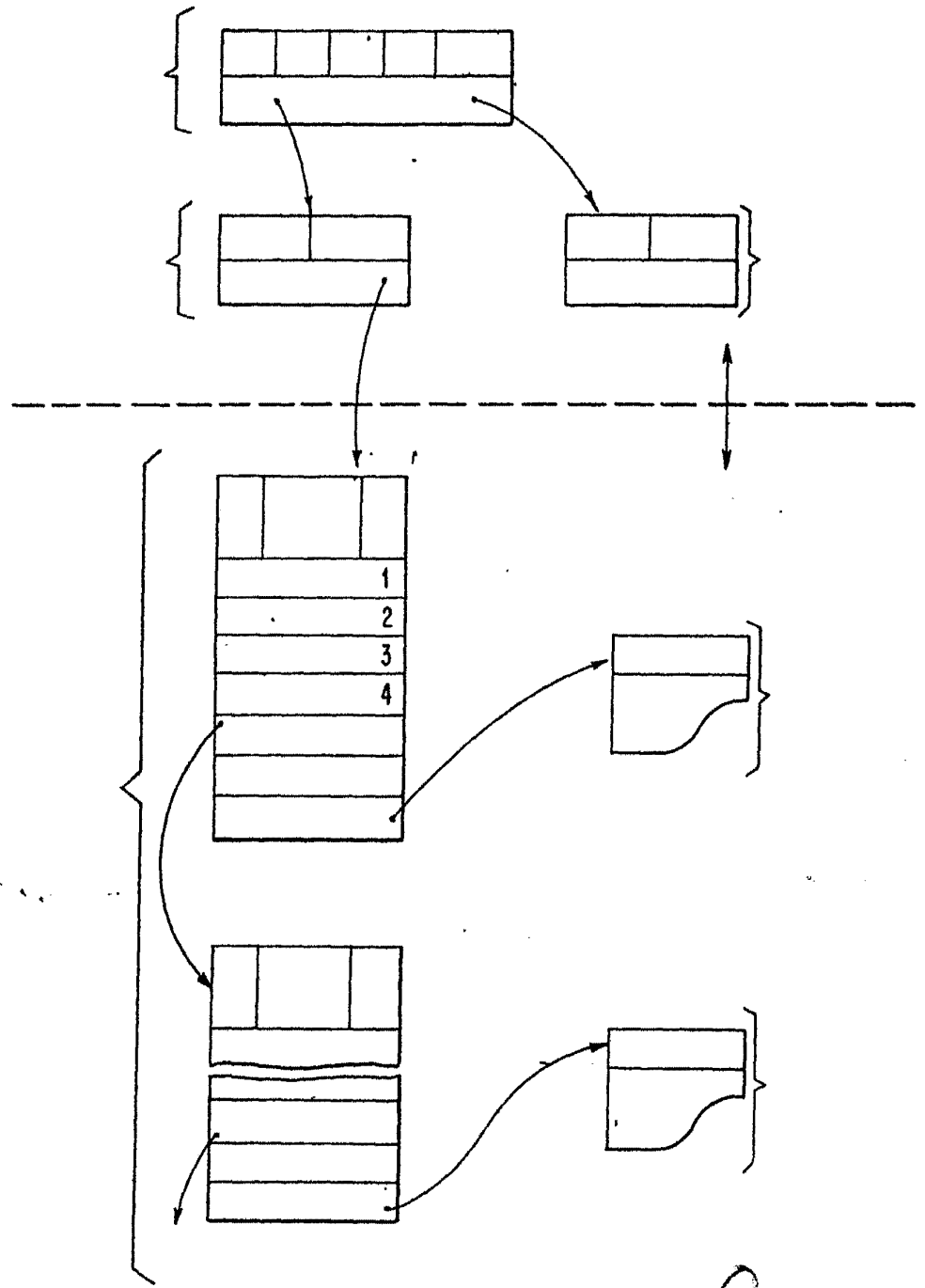


FIG. 2B



Alberto de la Fuente
For Patent

FIG. 3A

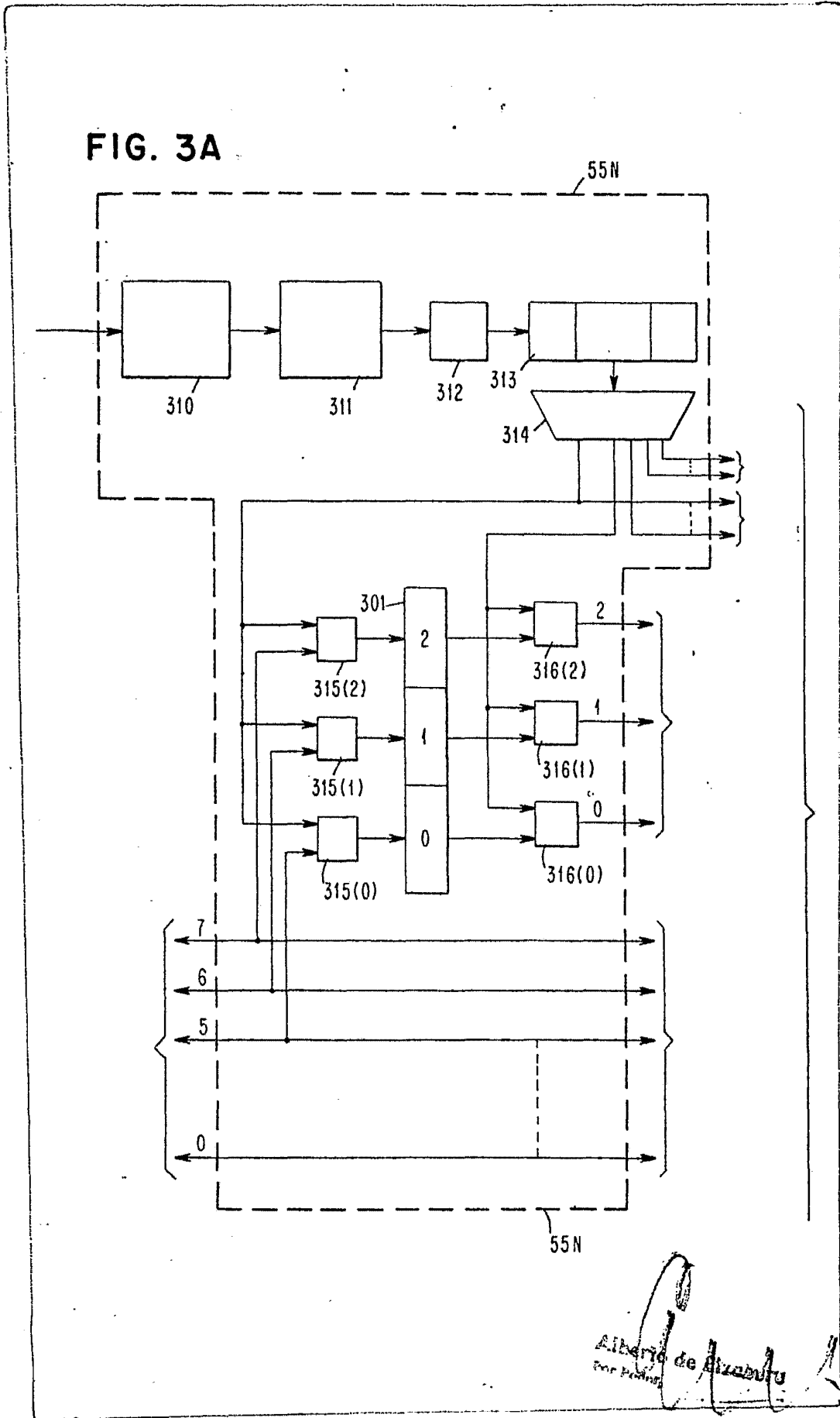
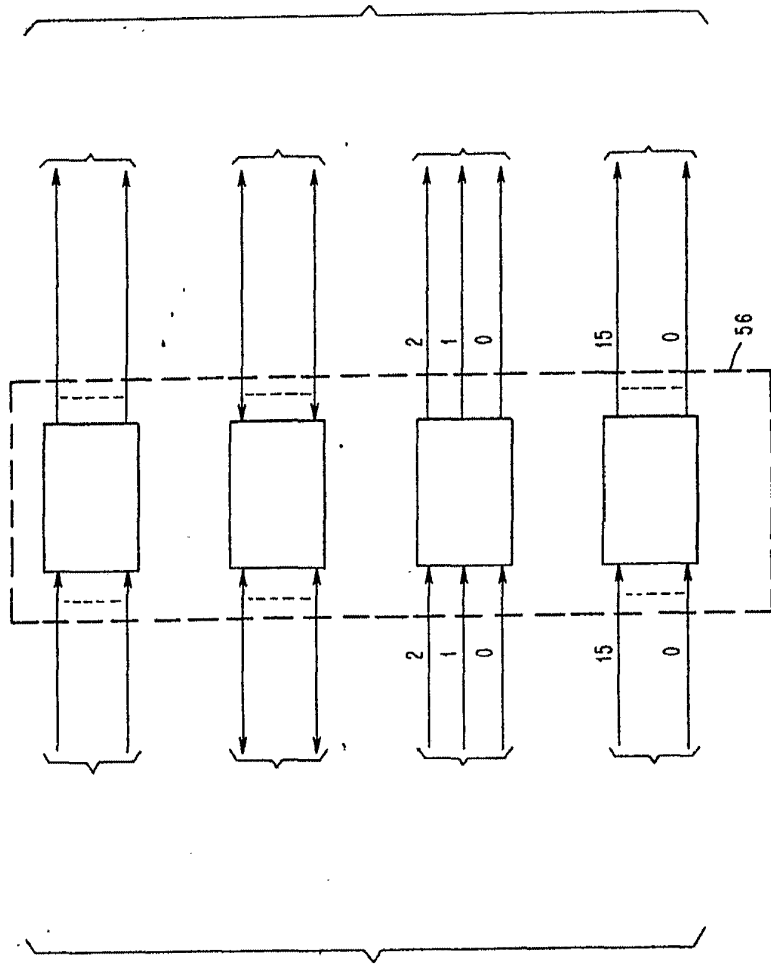
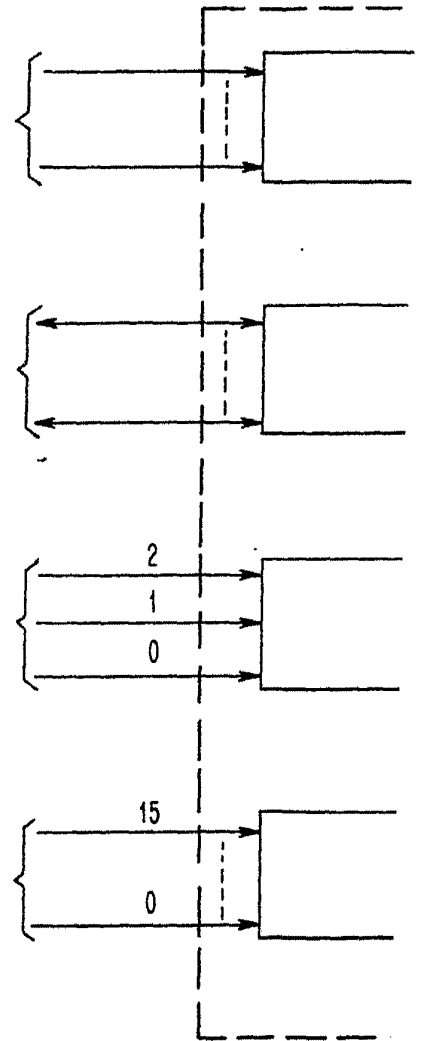


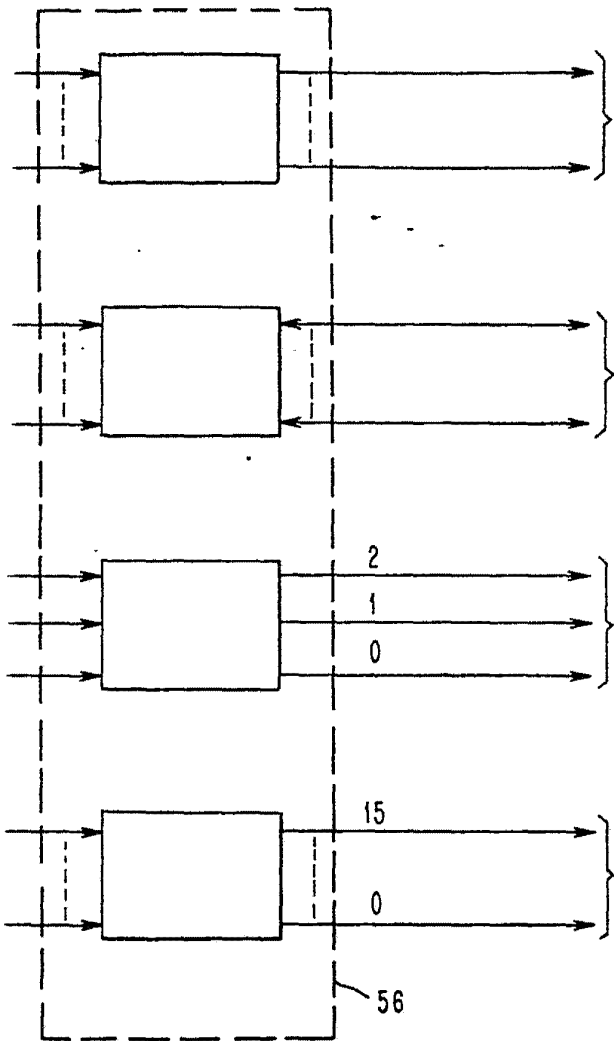
FIG. 3B



Alberto de Elzouira
for Fecher

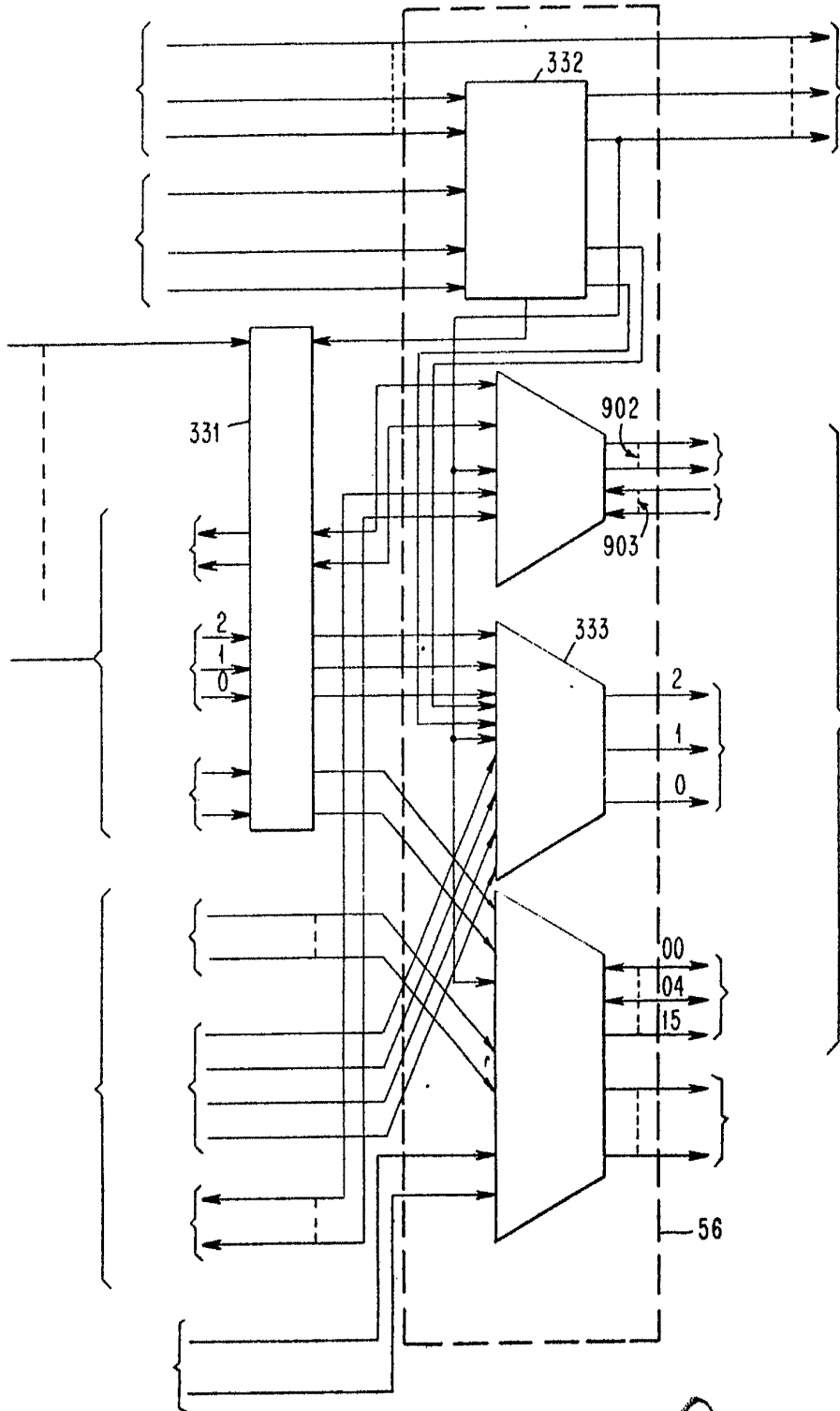
FIG. 3B





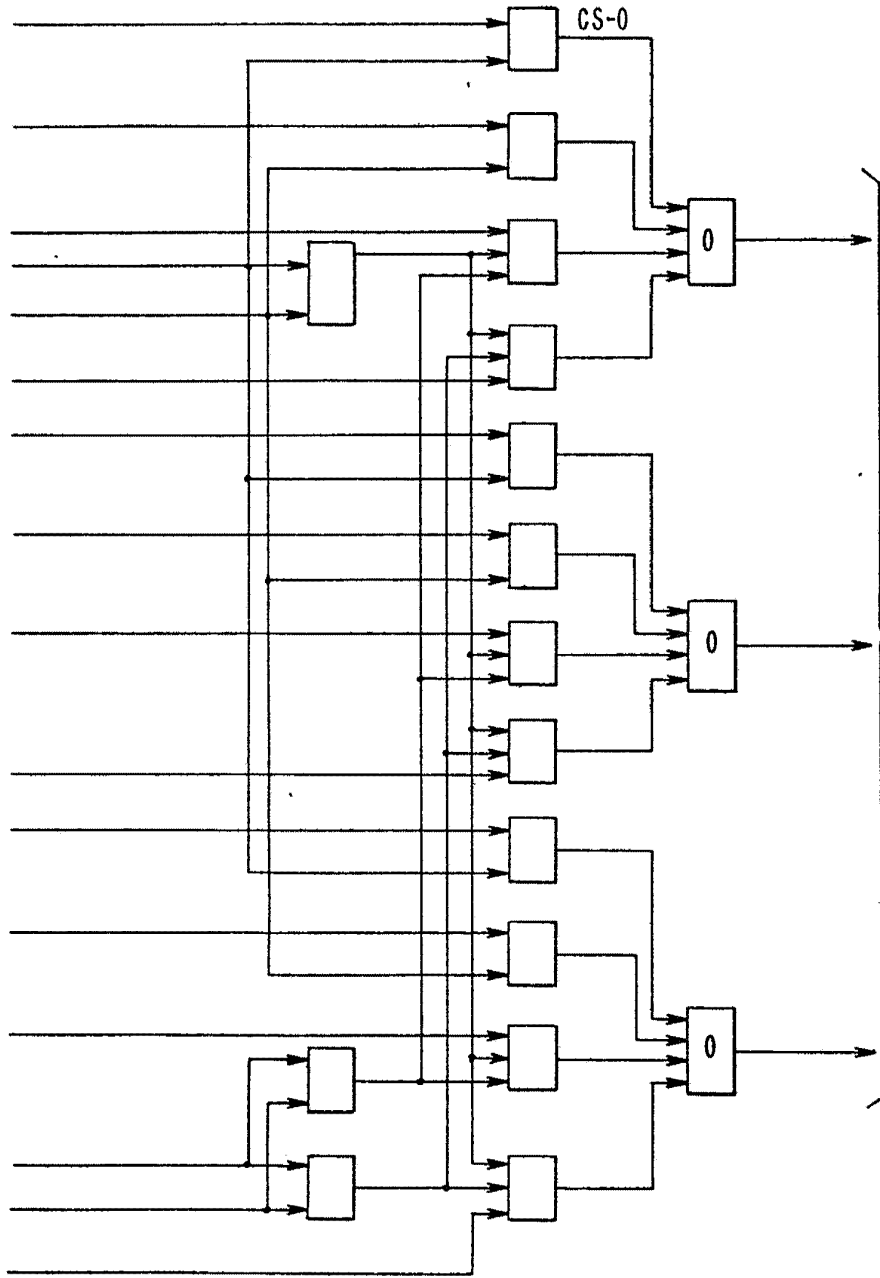
Alberto de Elguero
 For Pedro

FIG. 3C



Alberto de Elzaburu
Por Poder,

FIG. 3D



Alberto de Alencar
Por Poder

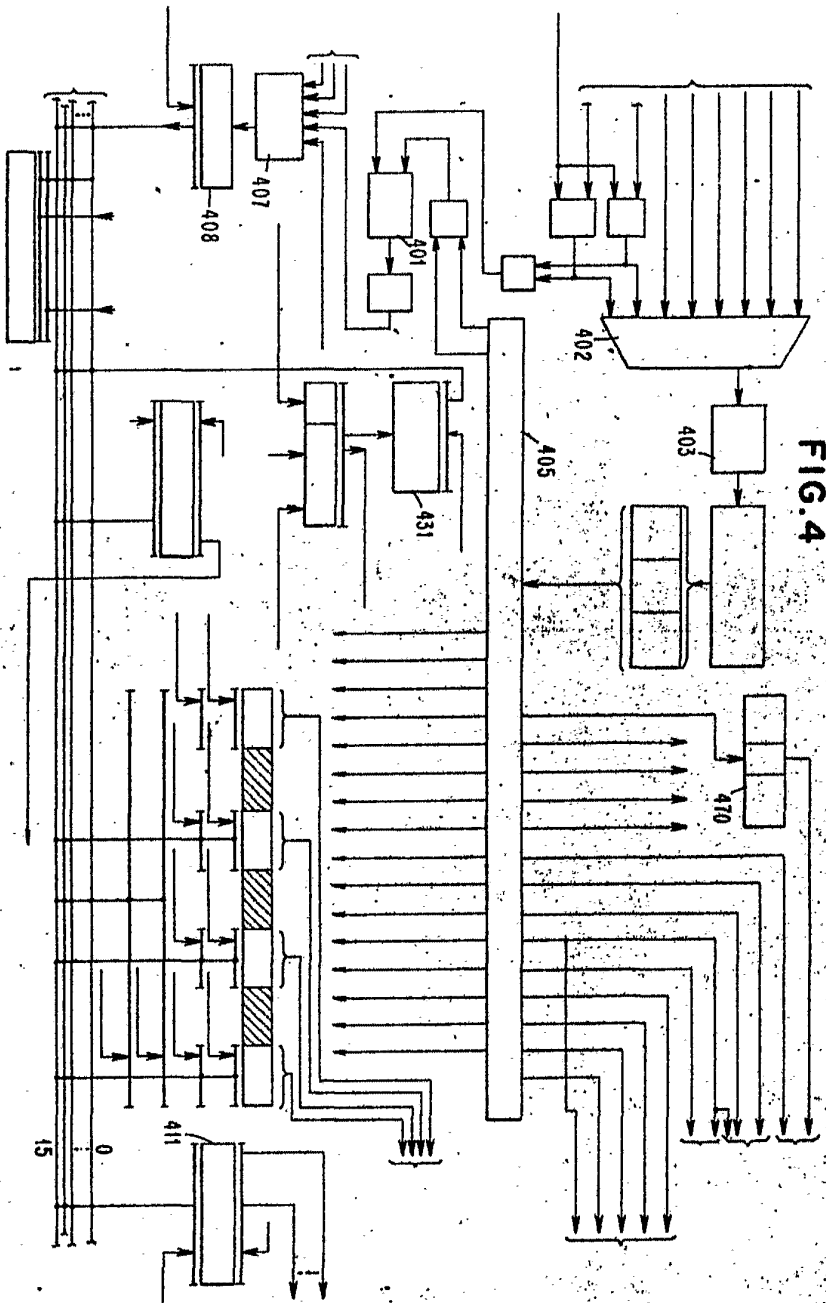
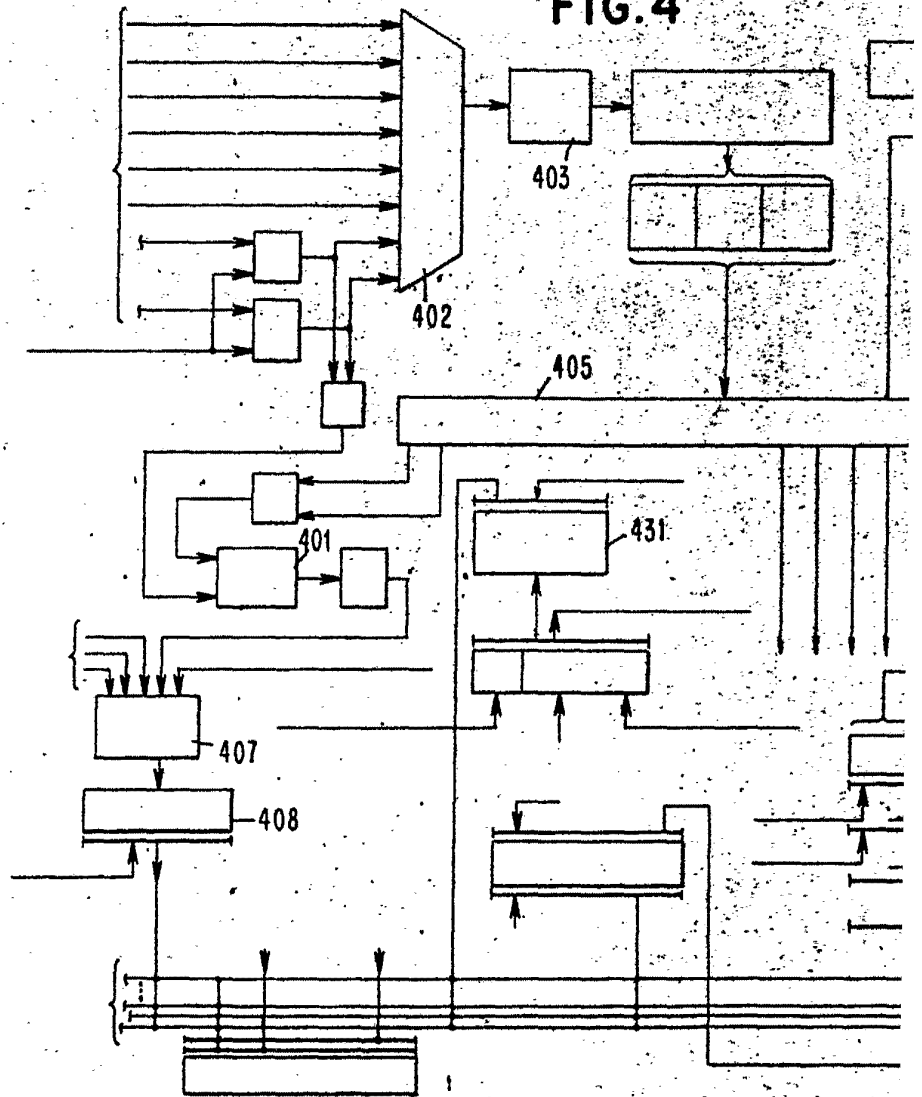


FIG. 4

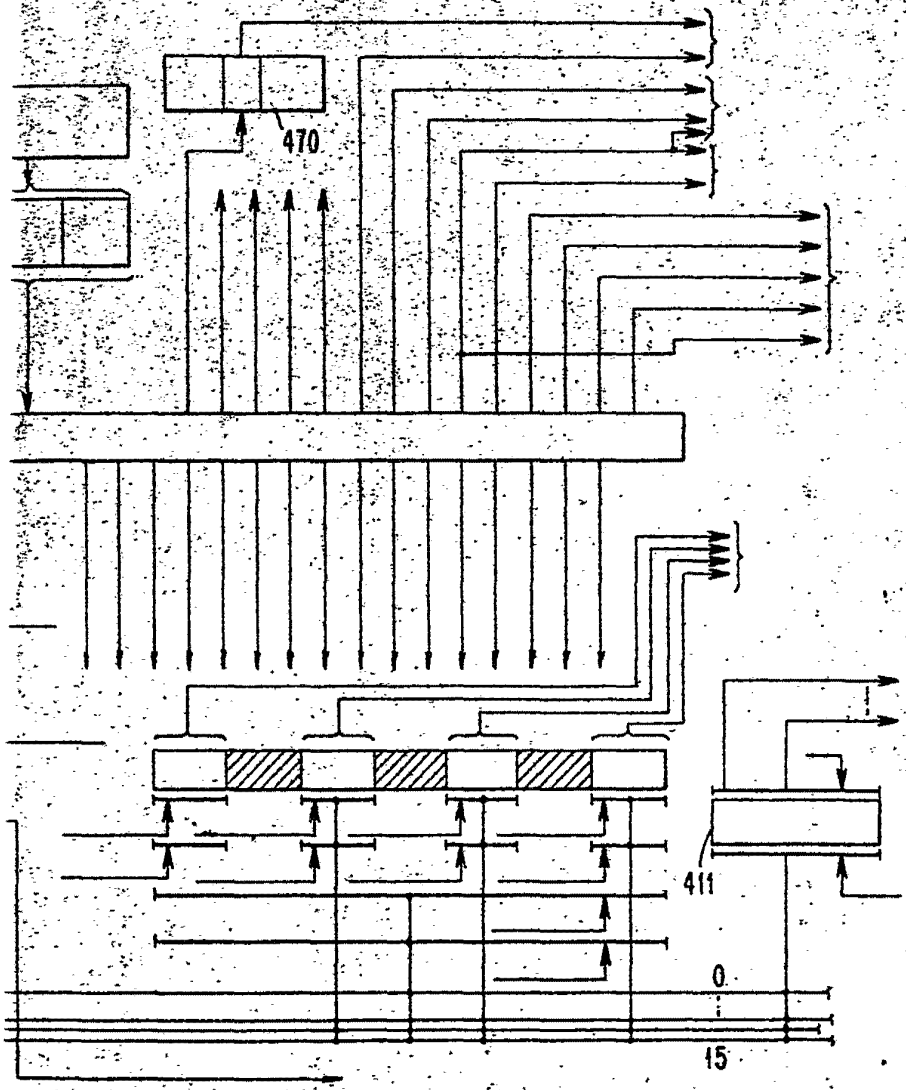
POOR
QUALITY

Alberto de Lizasoain
Por Pedraza

FIG. 4



POOR
QUALITY



Alberto de Elizaguru
For Pedro

POOR
QUALITY

64820

FIG. 5

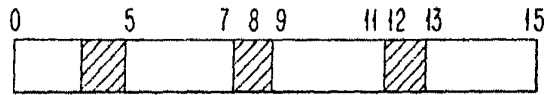


FIG. 6

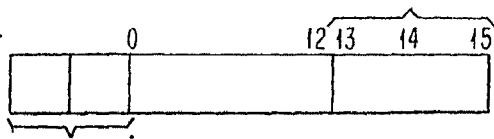
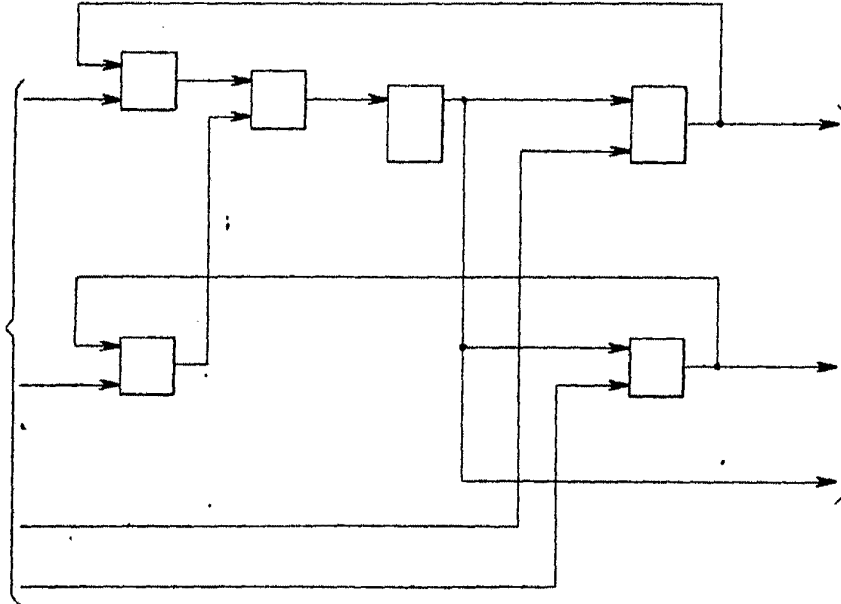


FIG. 7



Alberto de Elzaburu
Por Poder

FIG. 8A

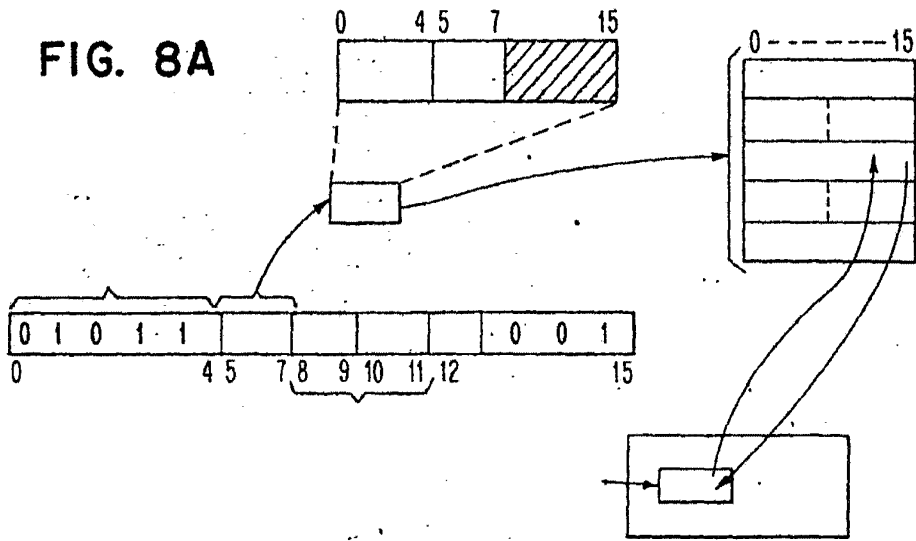


FIG. 8B

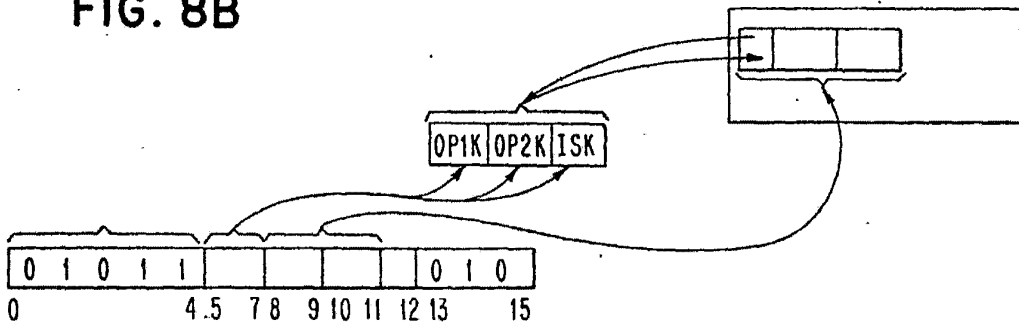
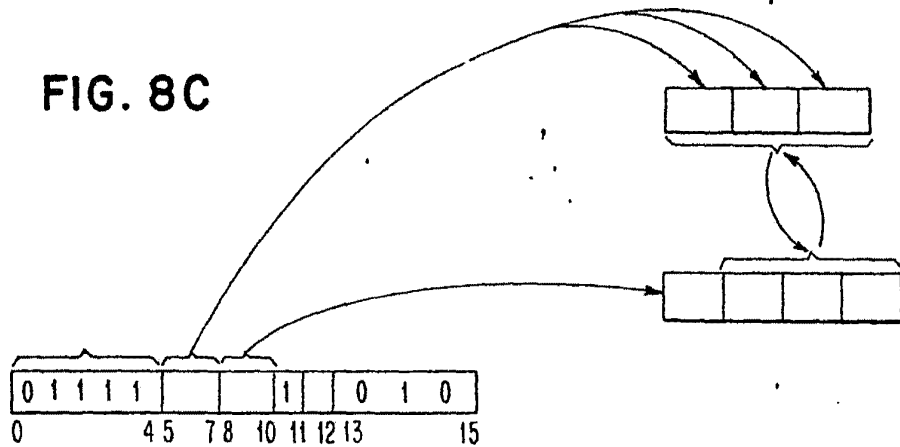


FIG. 8C



Alberto de Elzouffu
For Poder,

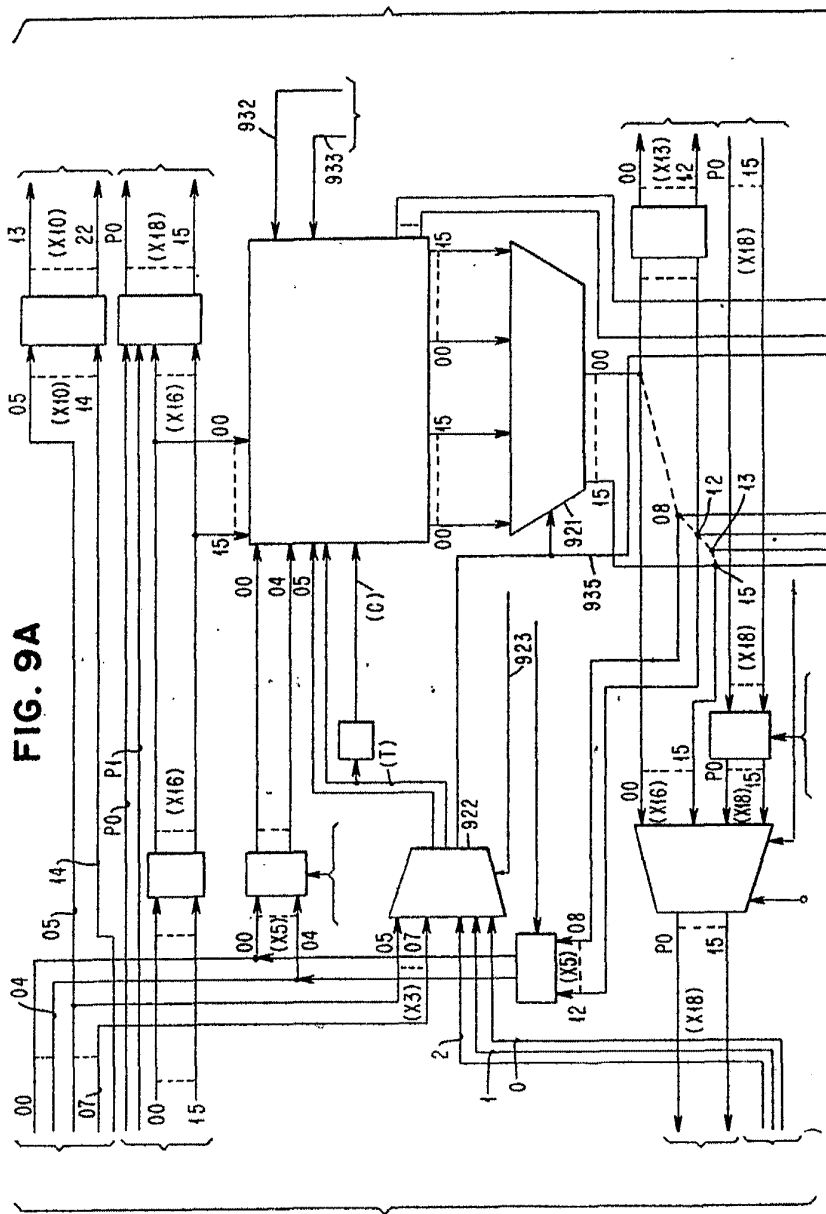
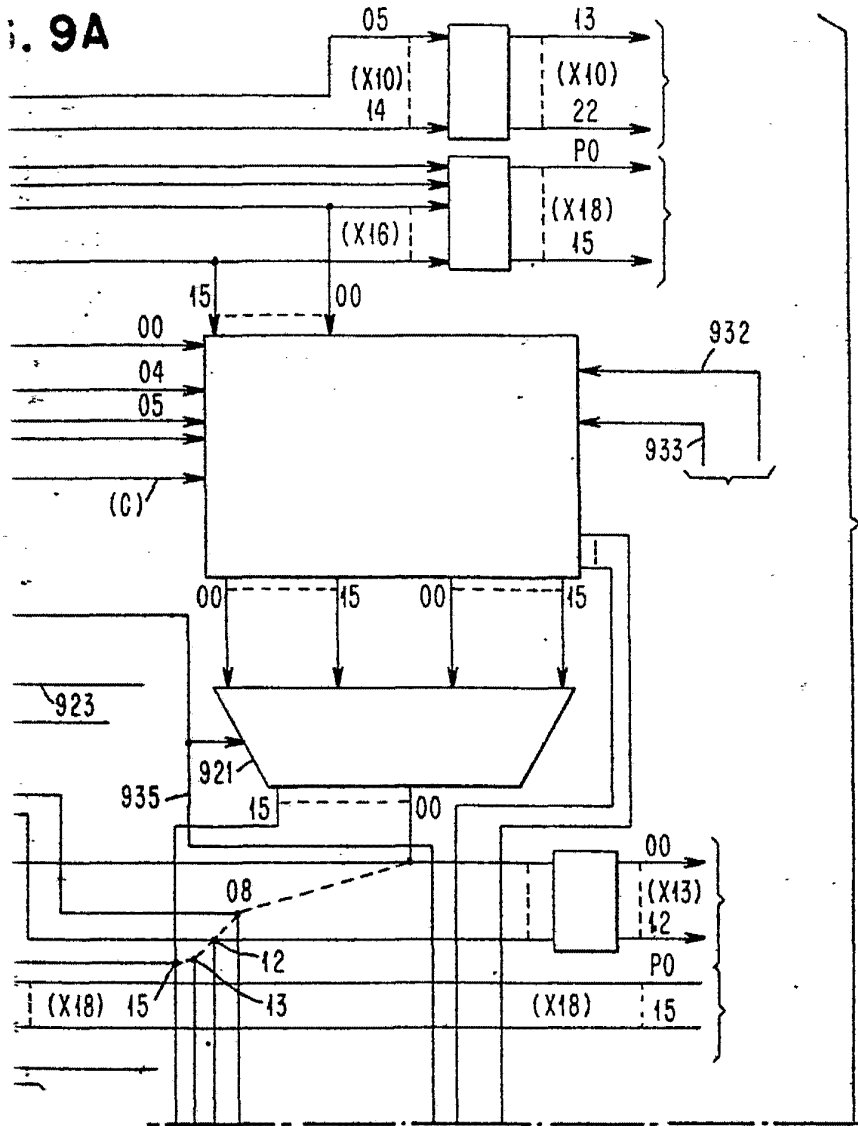


FIG. 9A

Alberto de Linares
Por Pedro

9A



Alberto de ~~Alcuburu~~
Por Poder

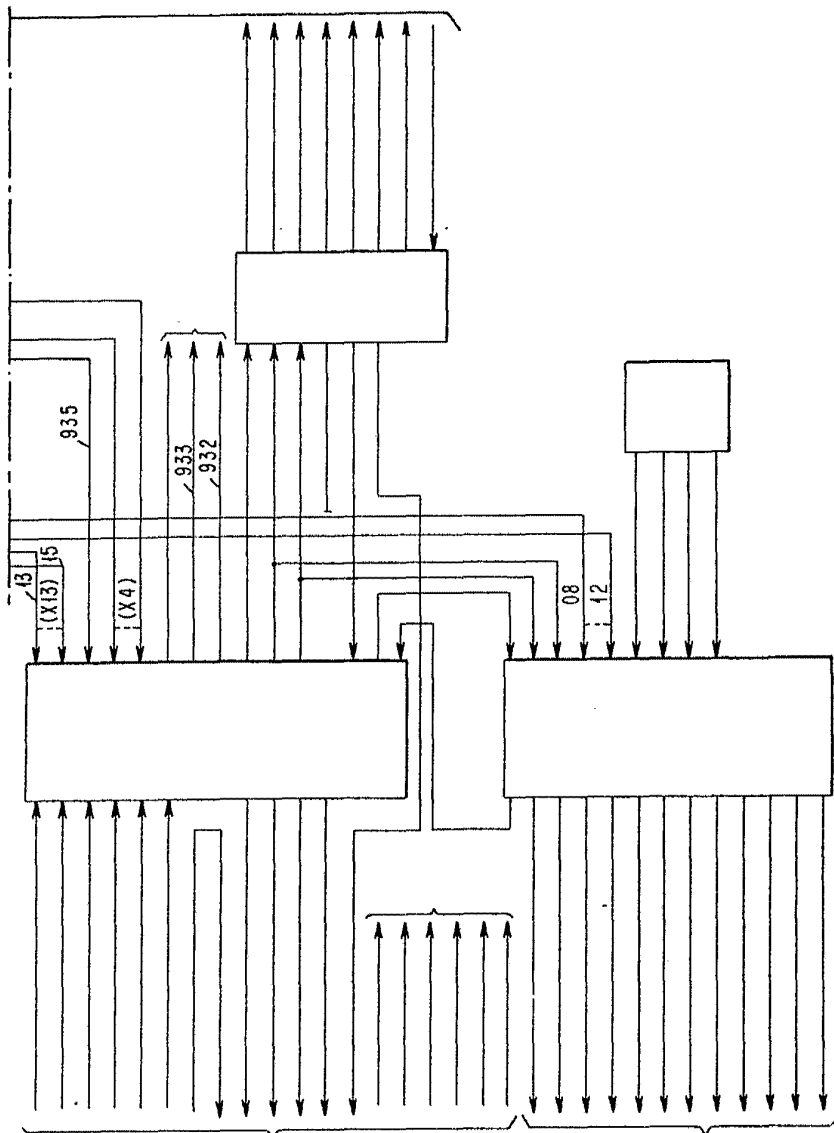
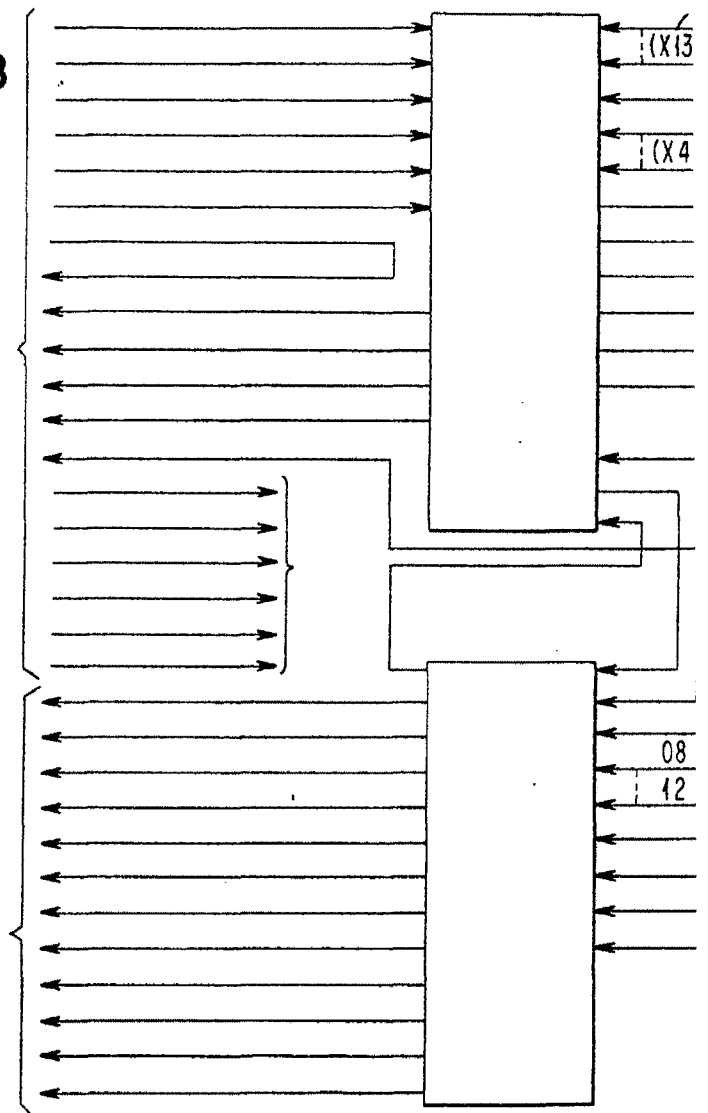


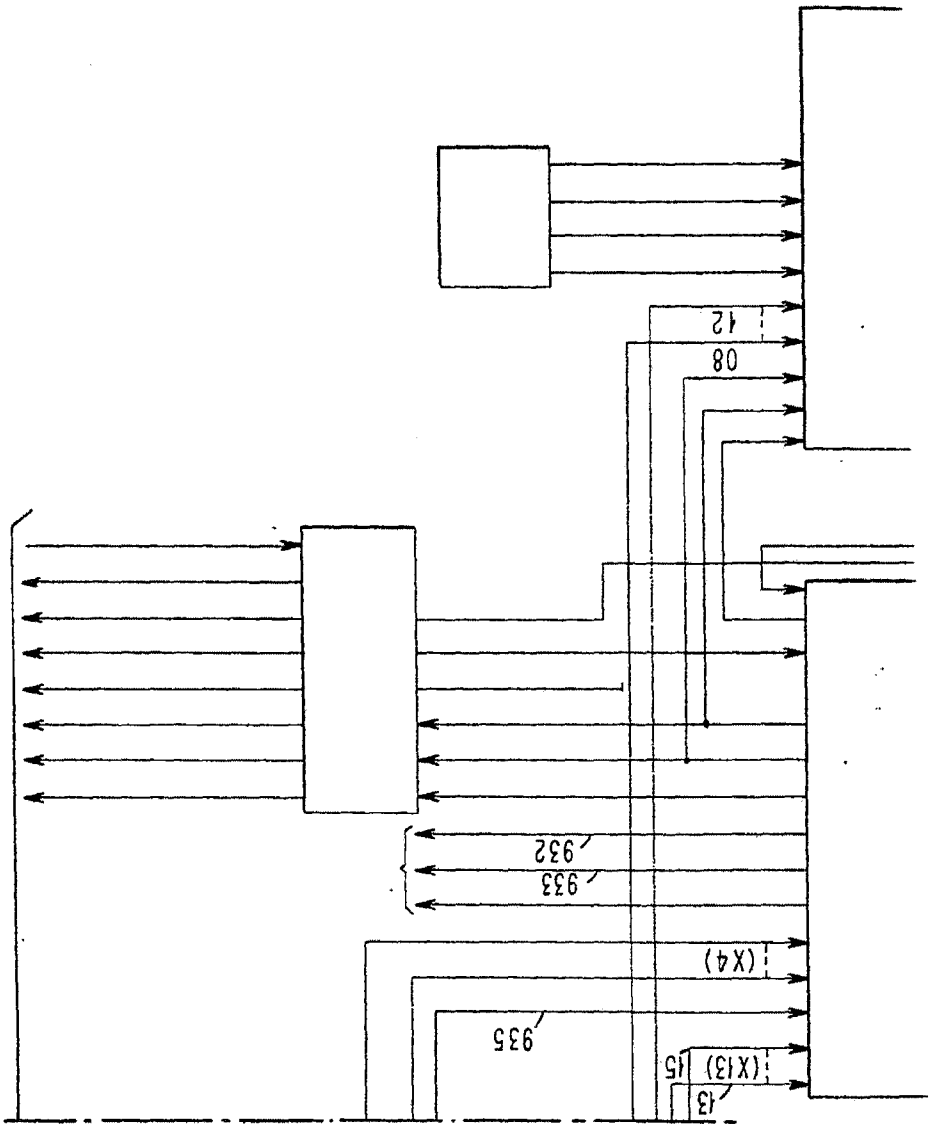
FIG. 9B

Alberto de Cudouro
Per No. 111

FIG. 9B



Alberts de cindouru
For Today



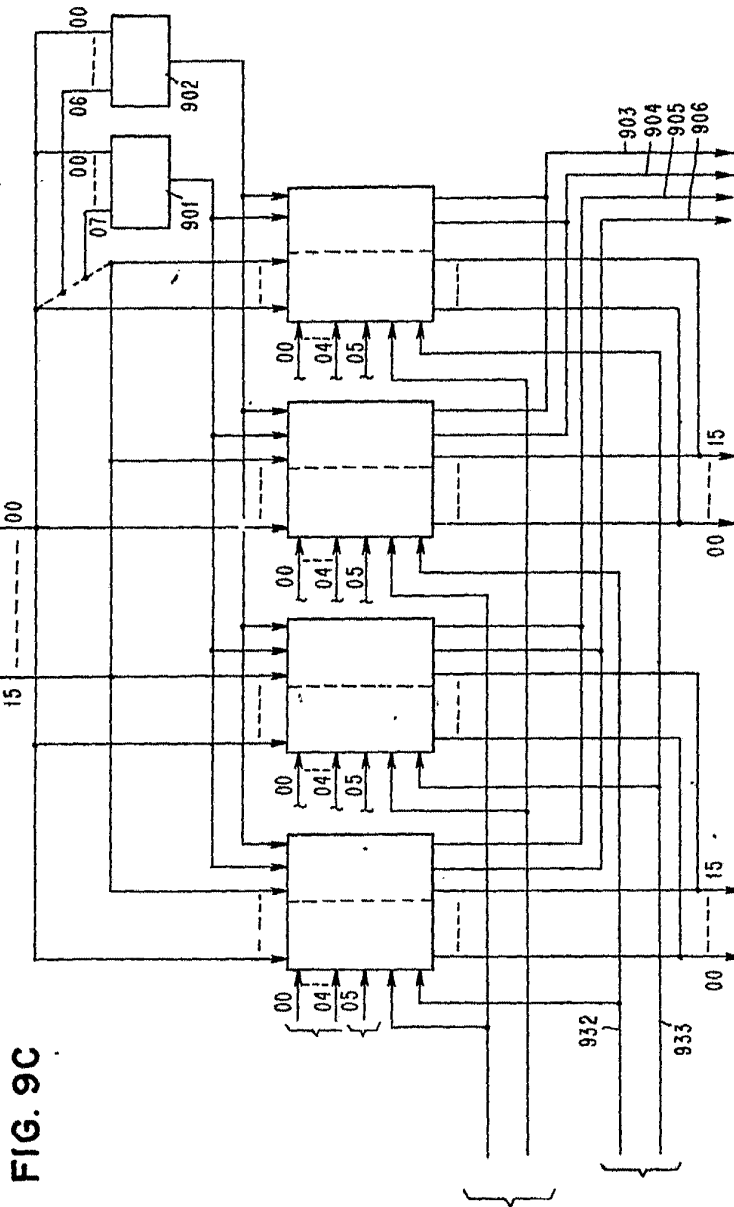
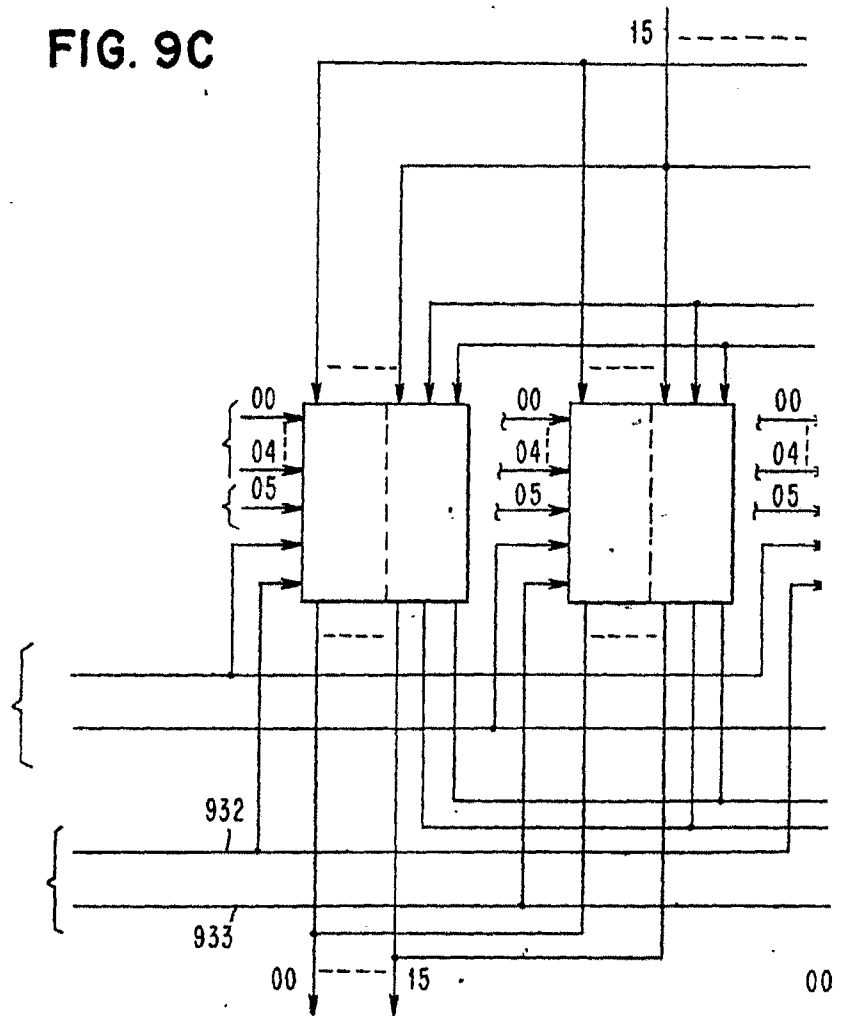
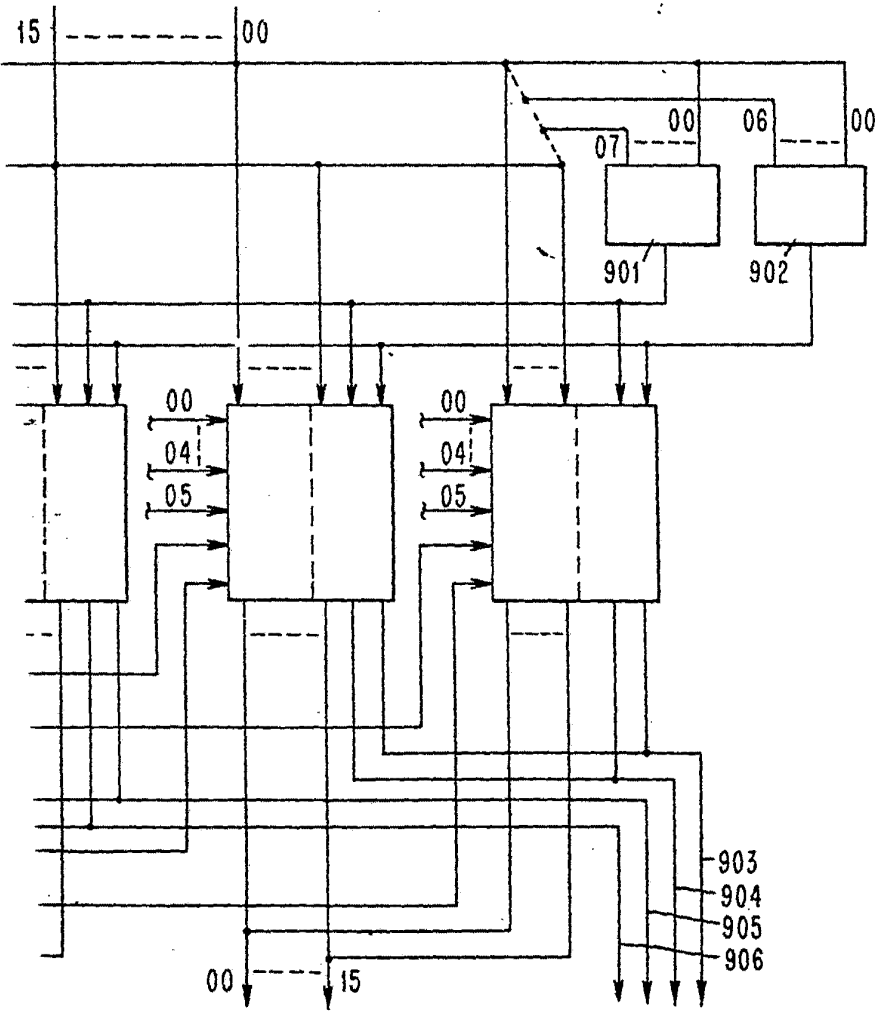


FIG. 9C

Albert de Elzaburu
Albert de Elzaburu
Per No. 271

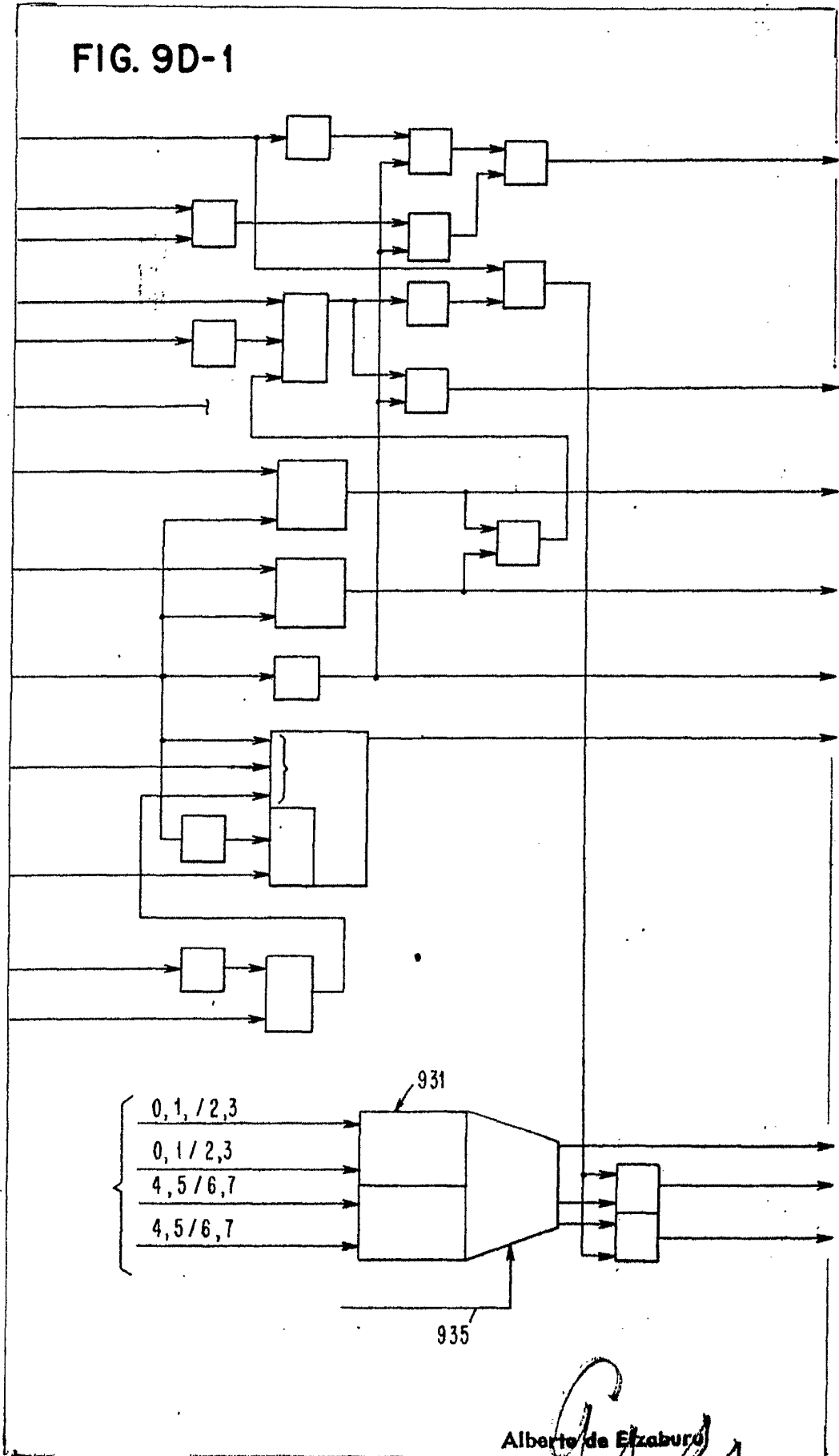
FIG. 9C





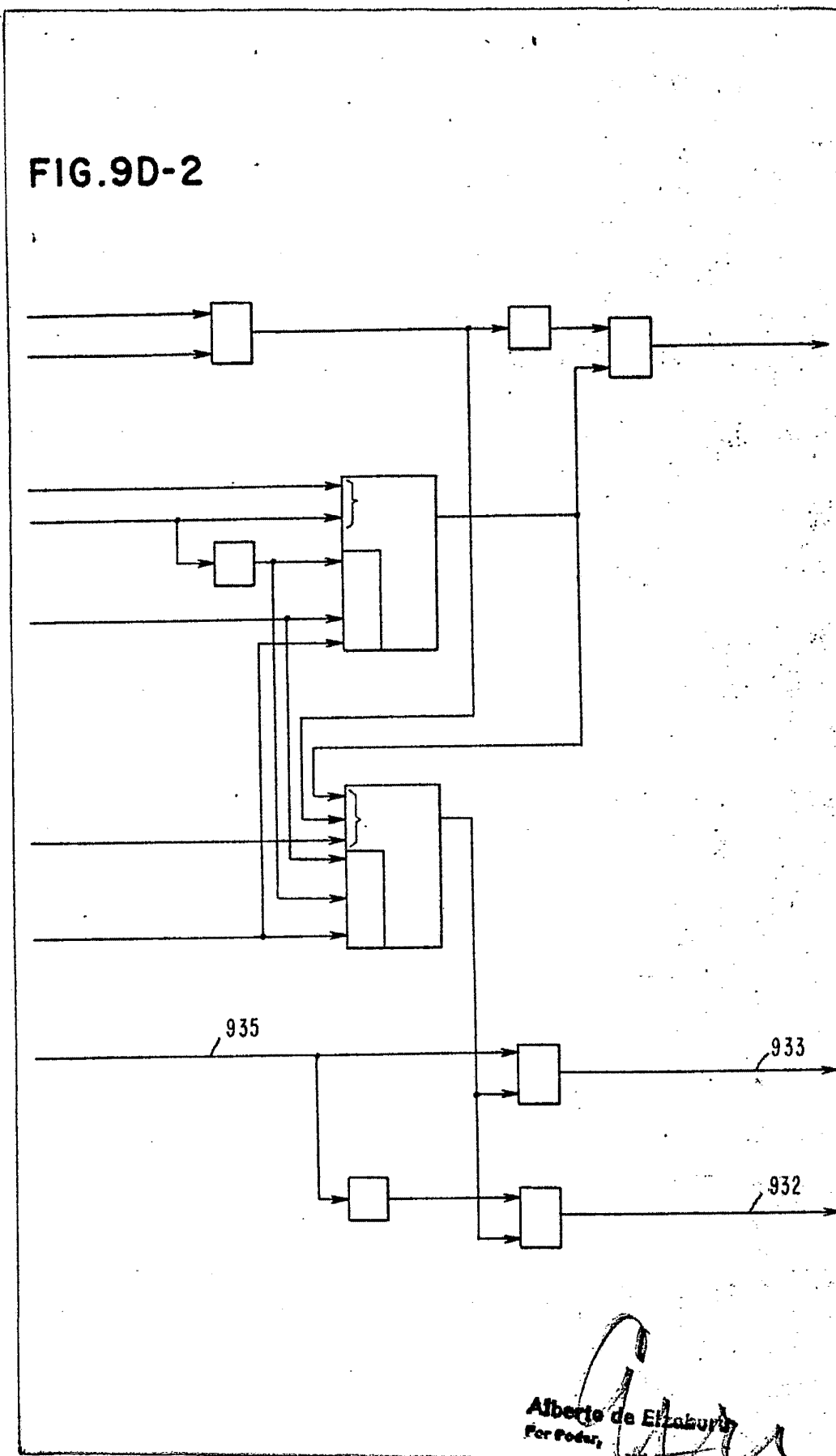
Alberio de Elzaburu
Por Poder

FIG. 9D-1



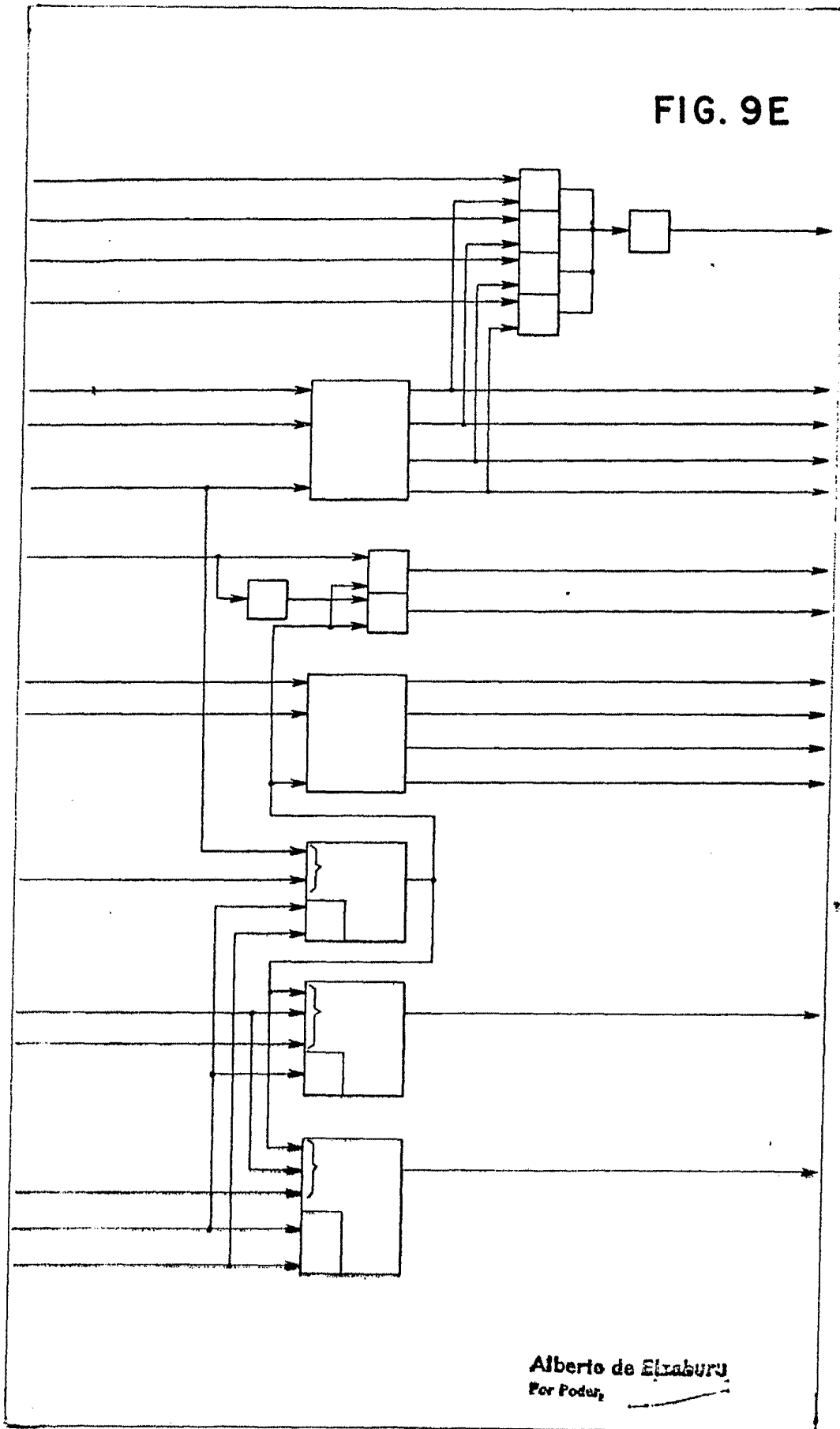
Alberto de Elzaburo
Por Poder

FIG. 9D-2



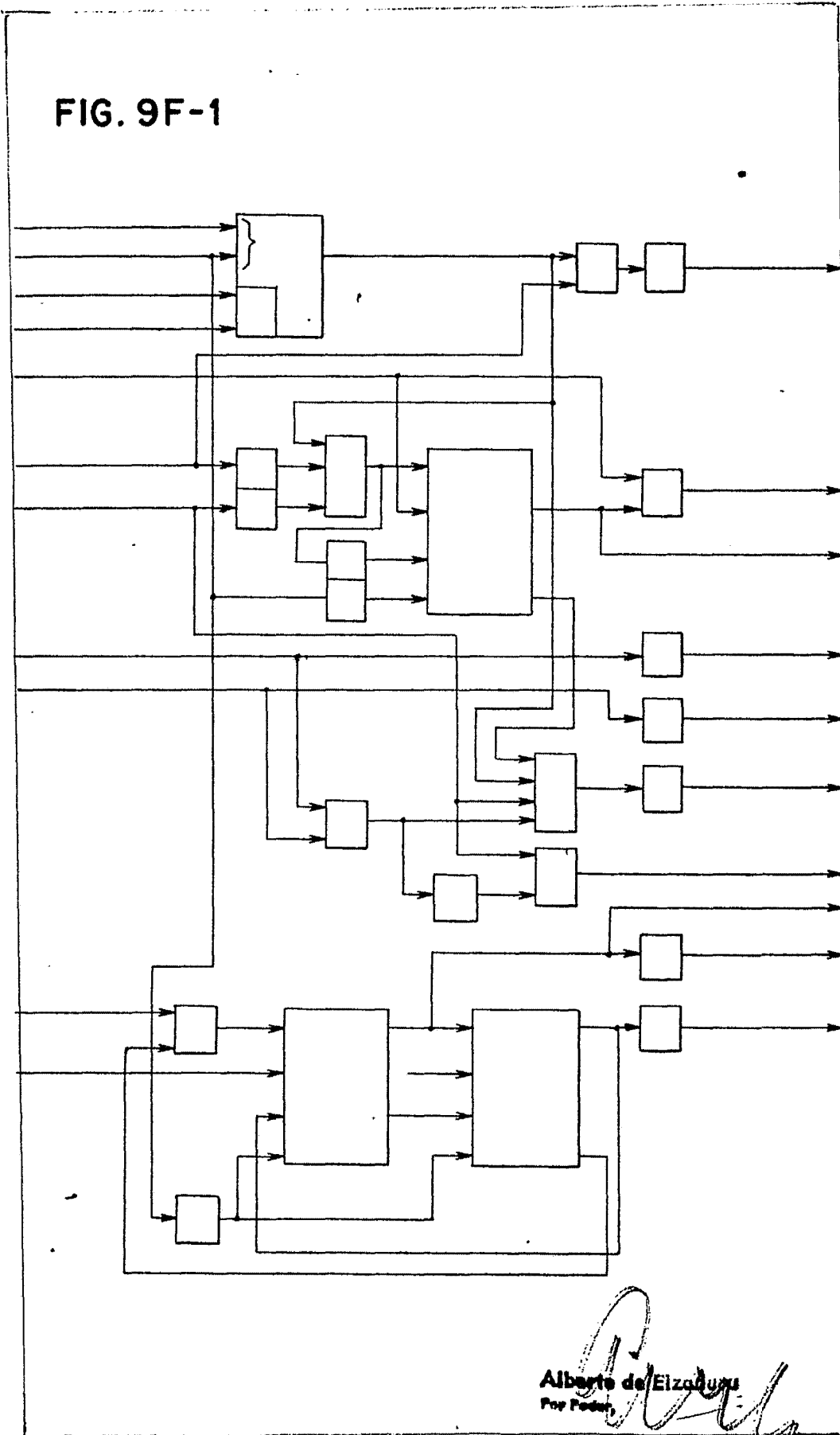
620

FIG. 9E



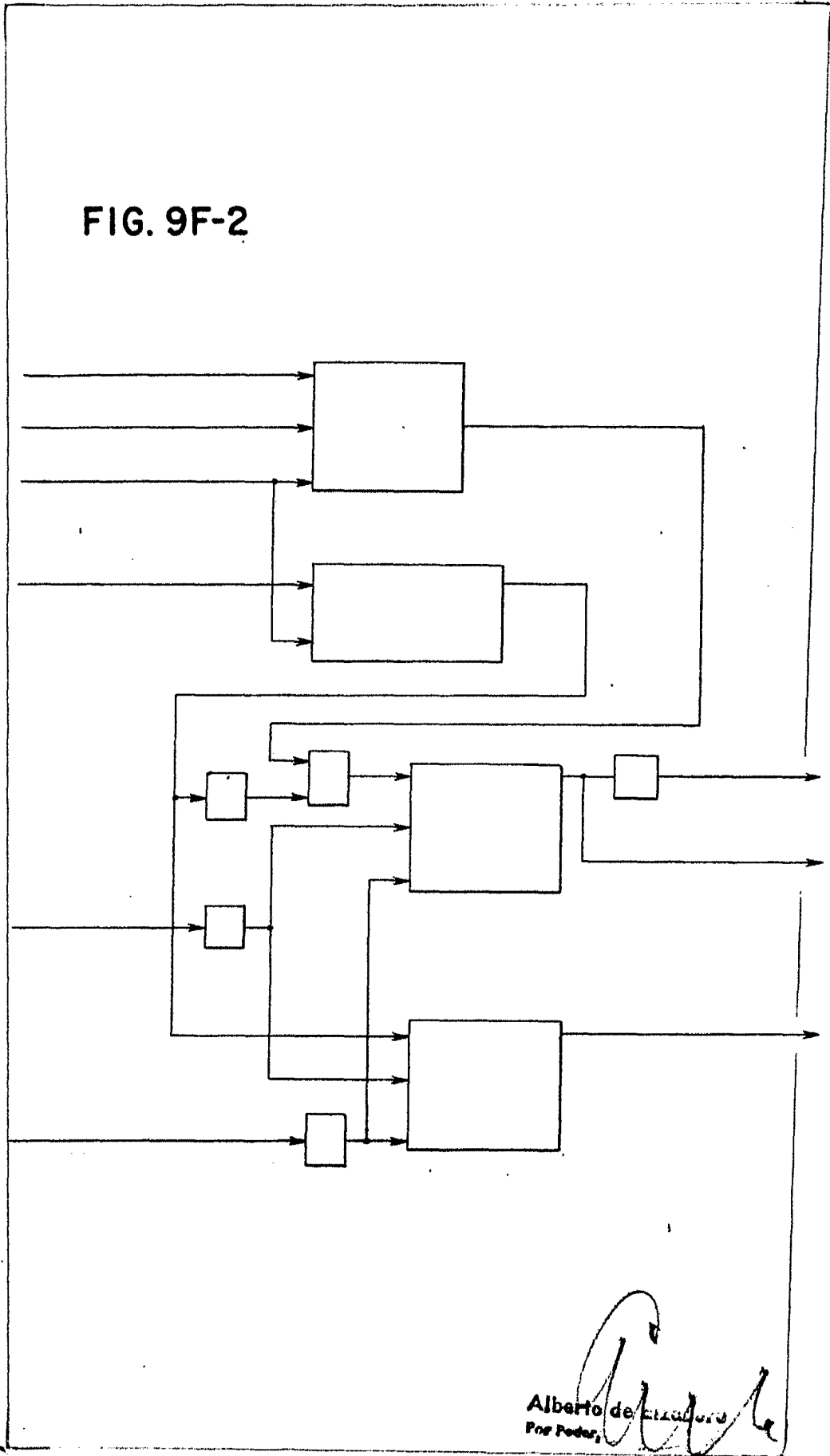
Alberto de Elizaburu
For Poder,

FIG. 9F-1



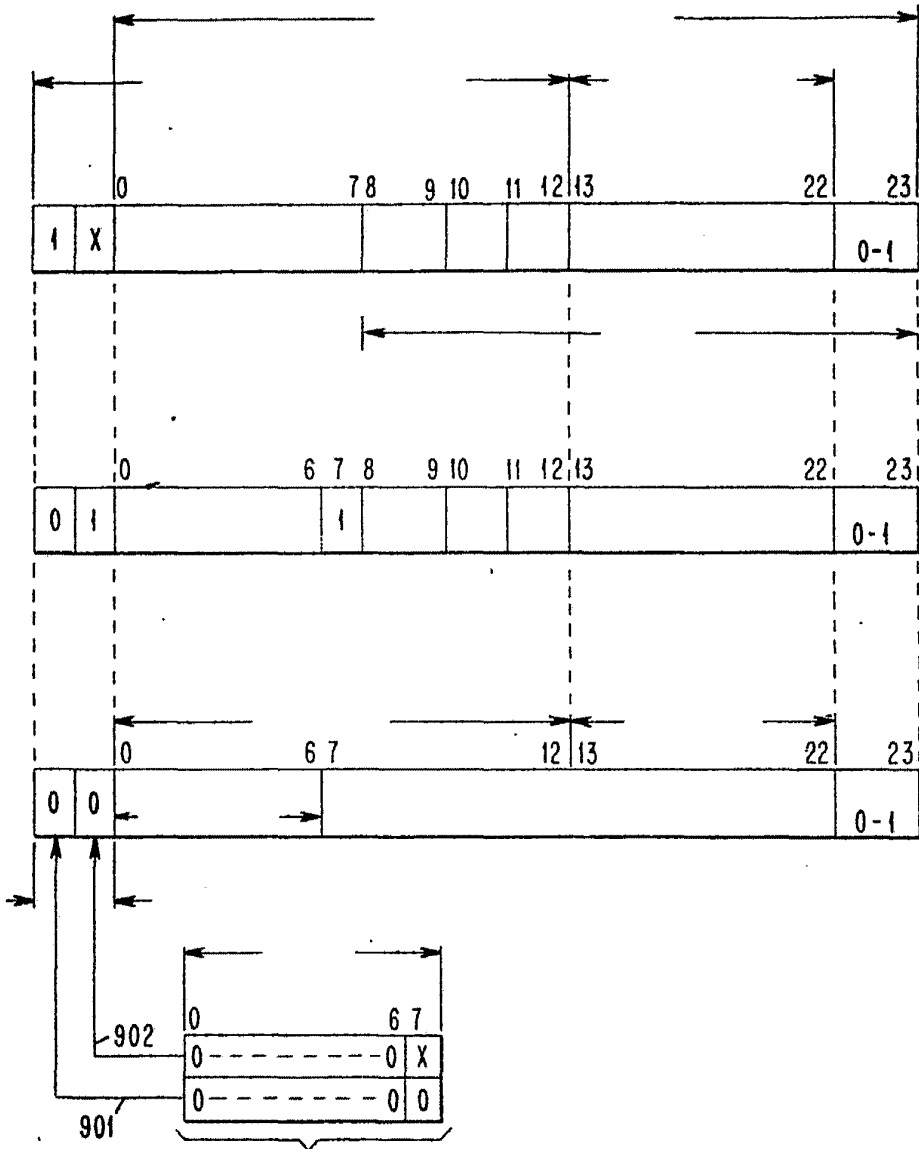
Alberto de Eizaburu
For Patent

FIG. 9F-2



Alberto de las Alas
Por Poder

FIG. 9G



Alberto de Elizaburu
 For Poder,

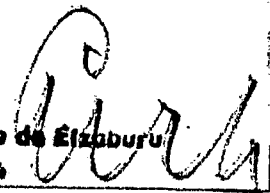
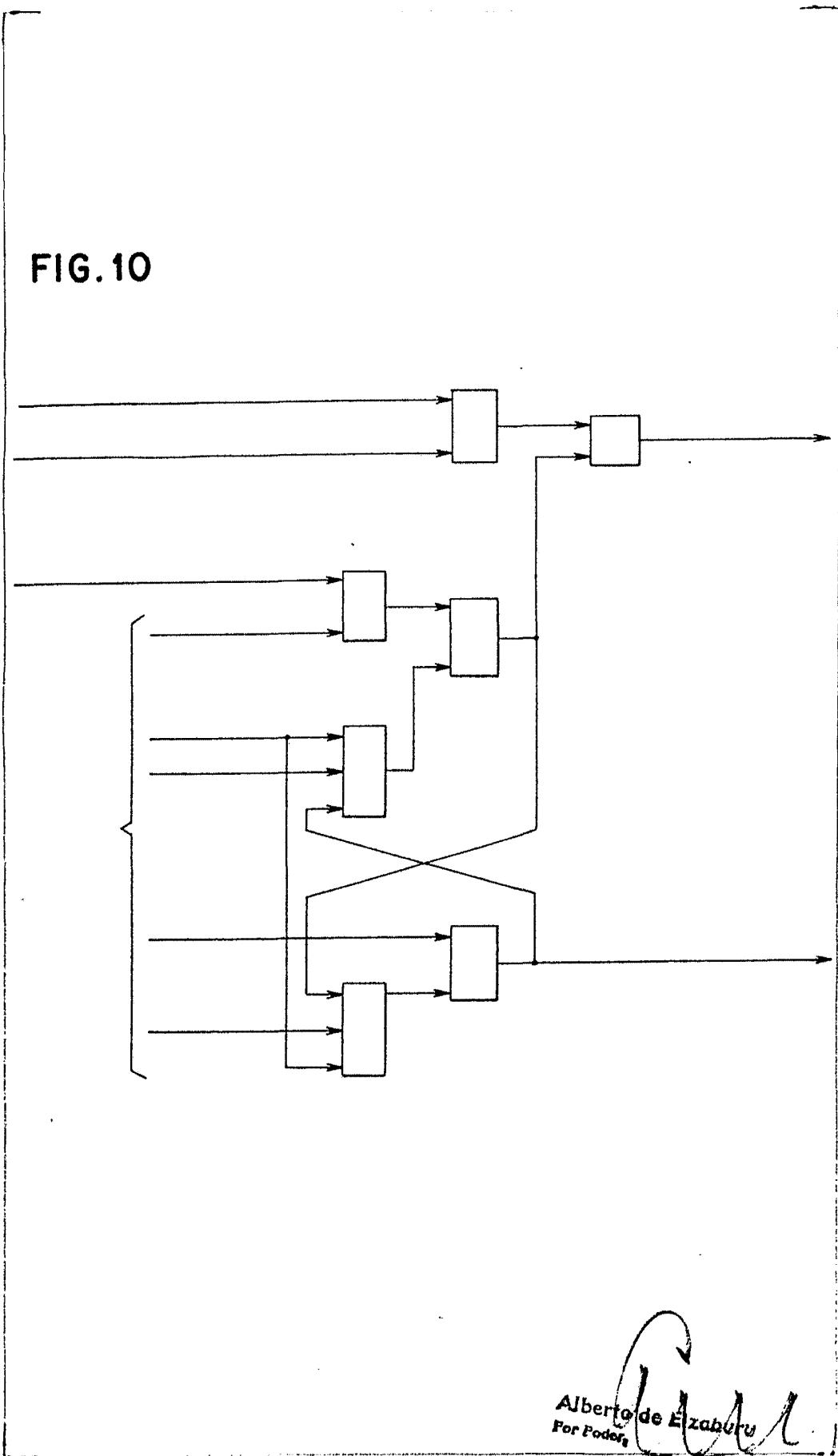
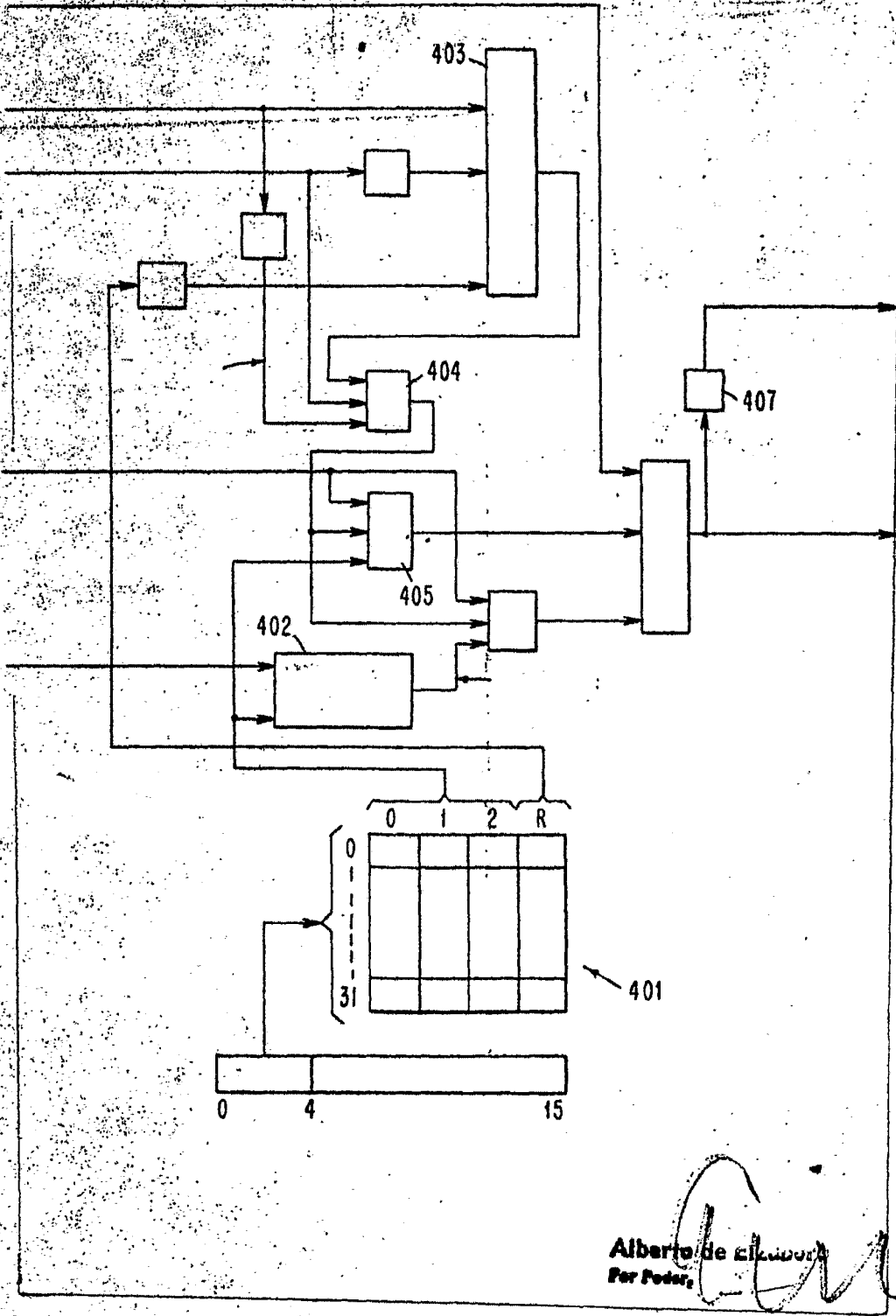


FIG. 10



Alberto de Eizaburu
For Poderes

FIG. 11



Alberto de Elizalde
Per Pedro

POOR
QUALITY

FIG. 12

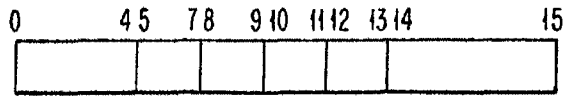


FIG. 13A

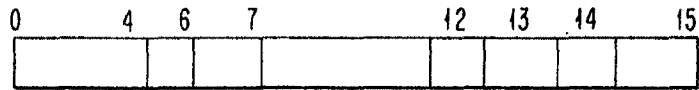
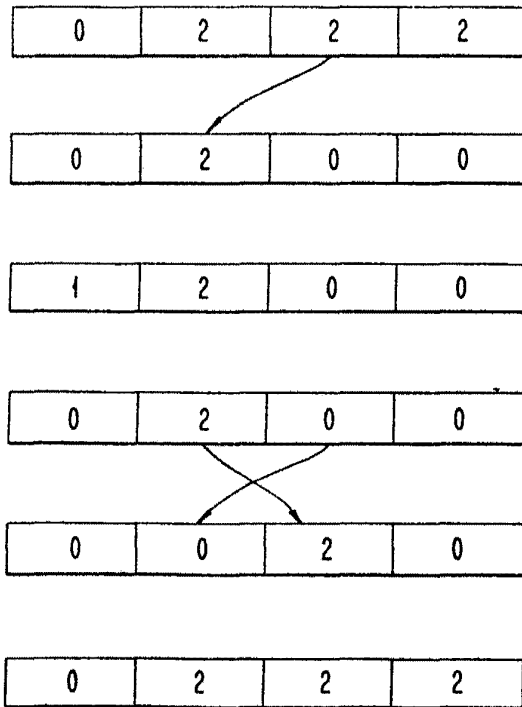


FIG. 13B



Alberto de Elizaburu
For Patent

FIG. 14

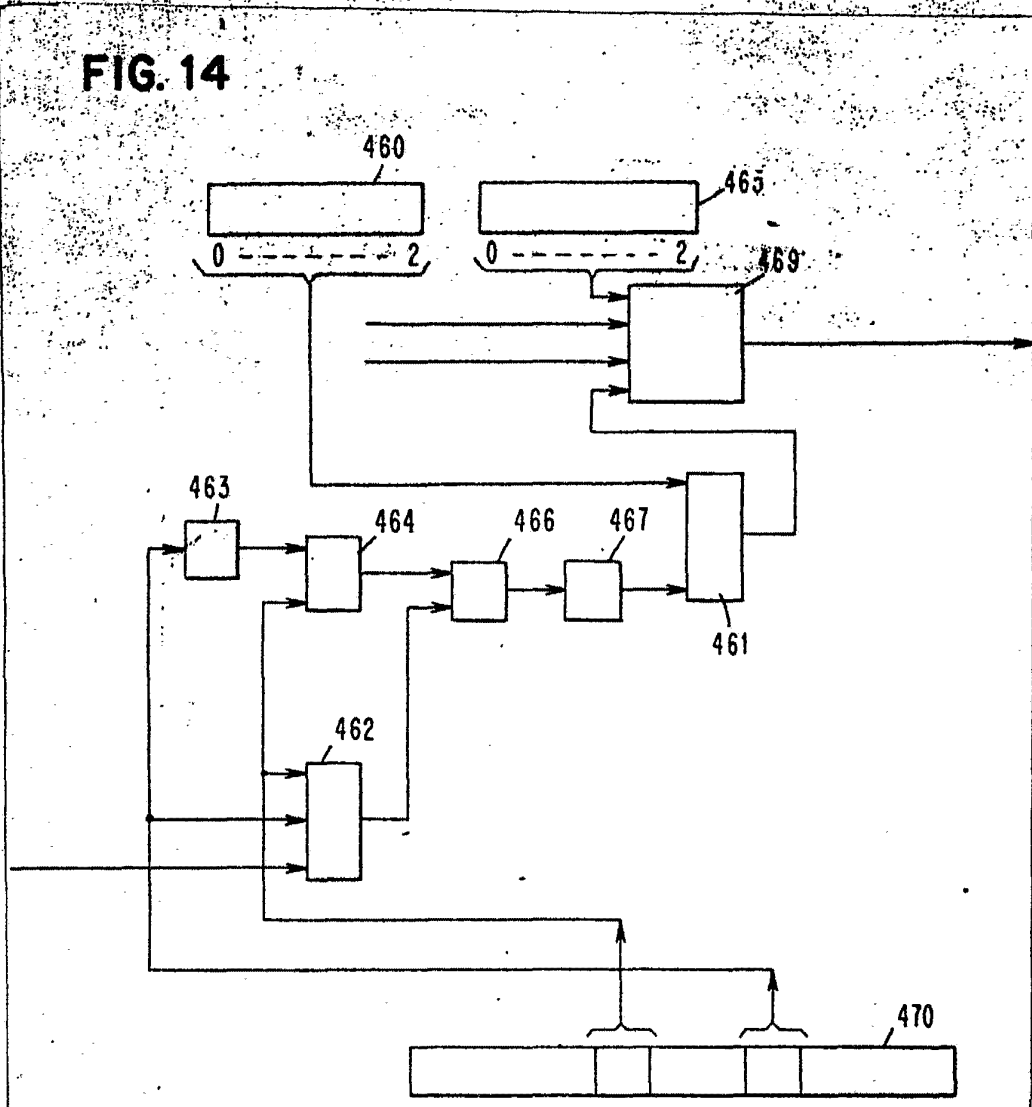
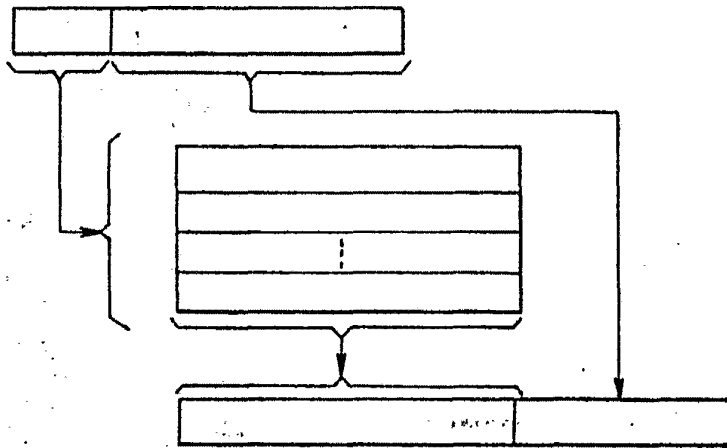


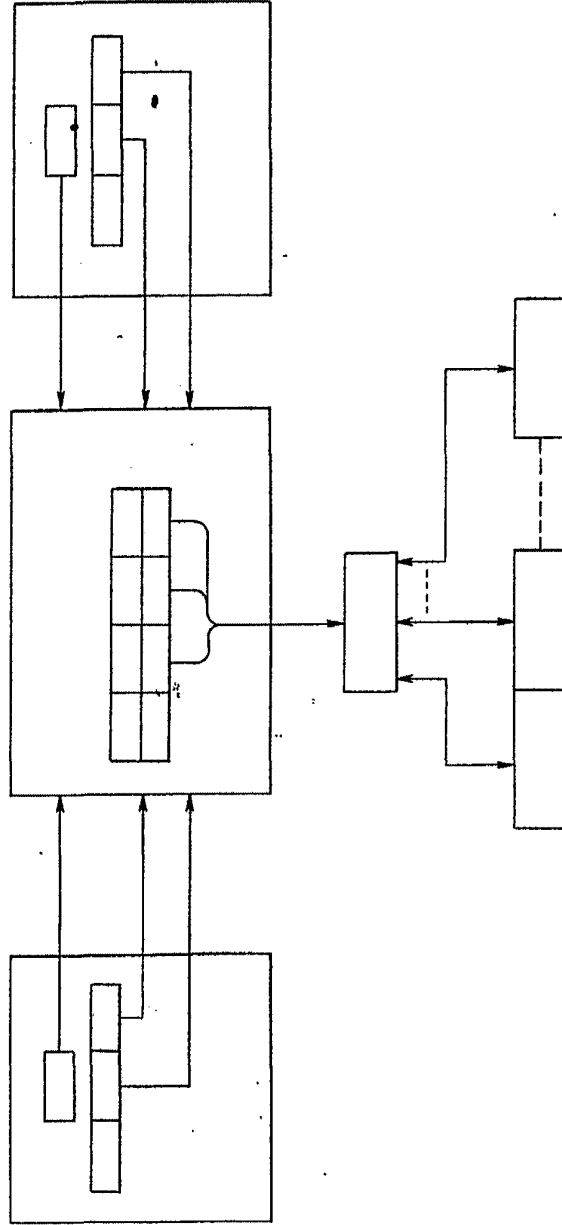
FIG. 15



Alberto de Elizabury
Per Podes

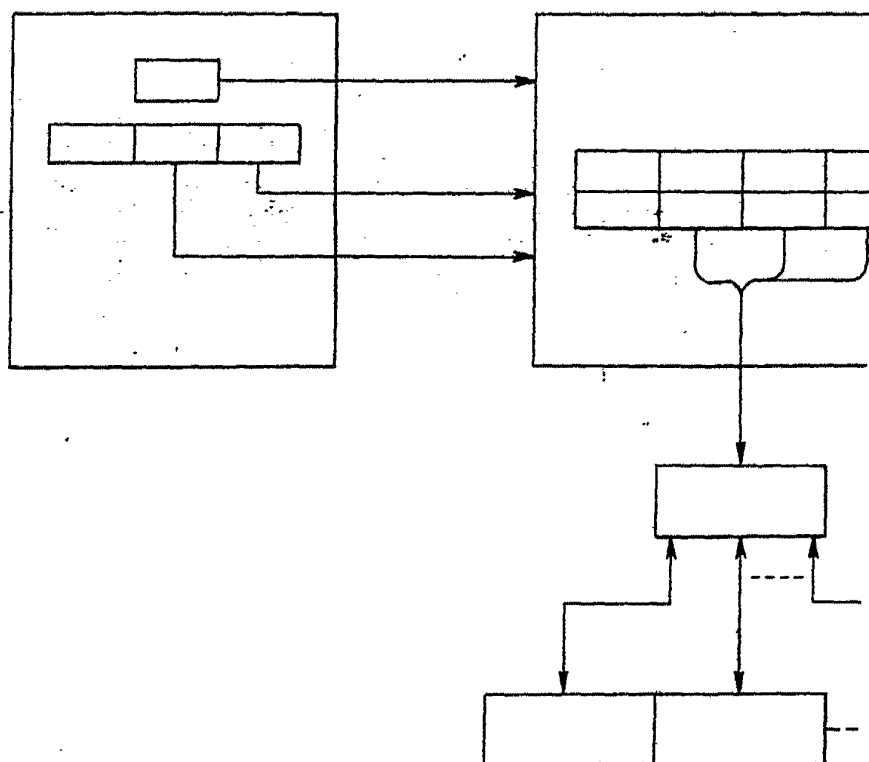
POOR
QUALITY

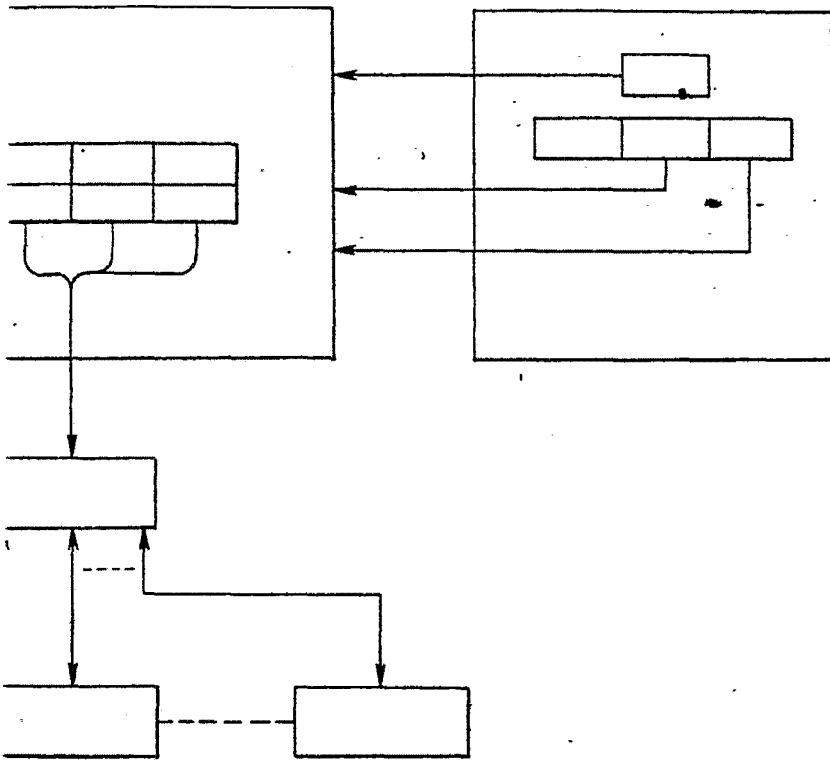
FIG. 16



Alberto di Lorenzo
For Patent

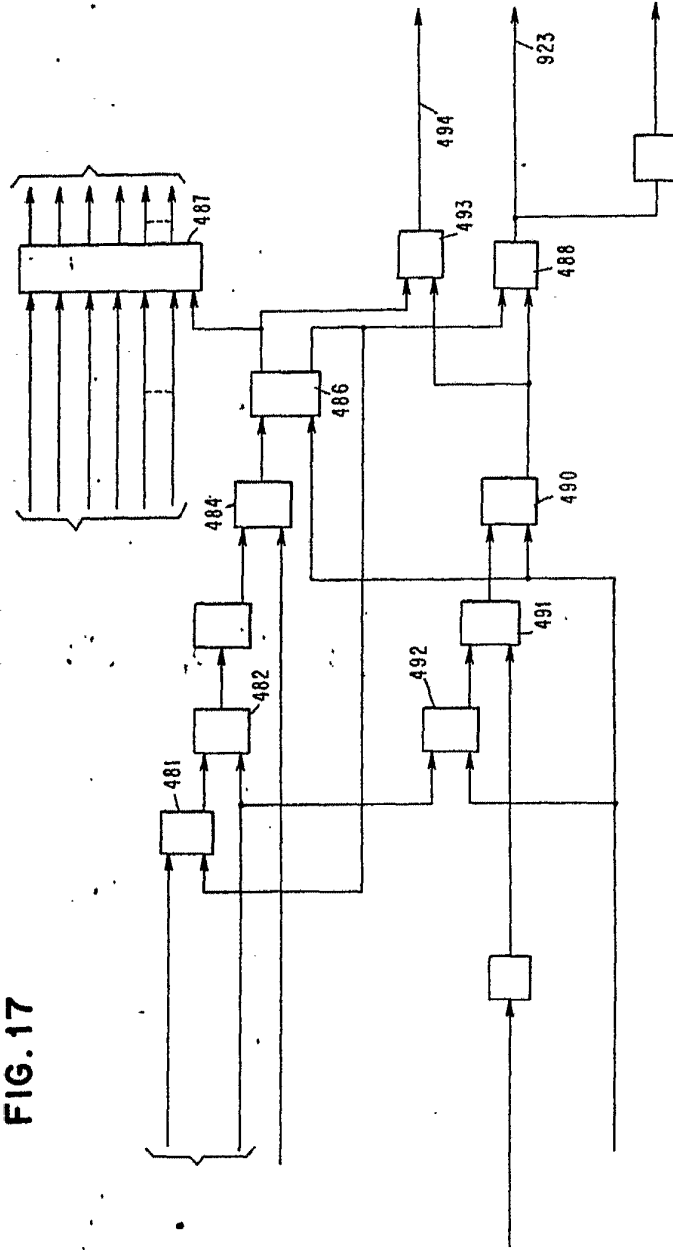
FIG. 16





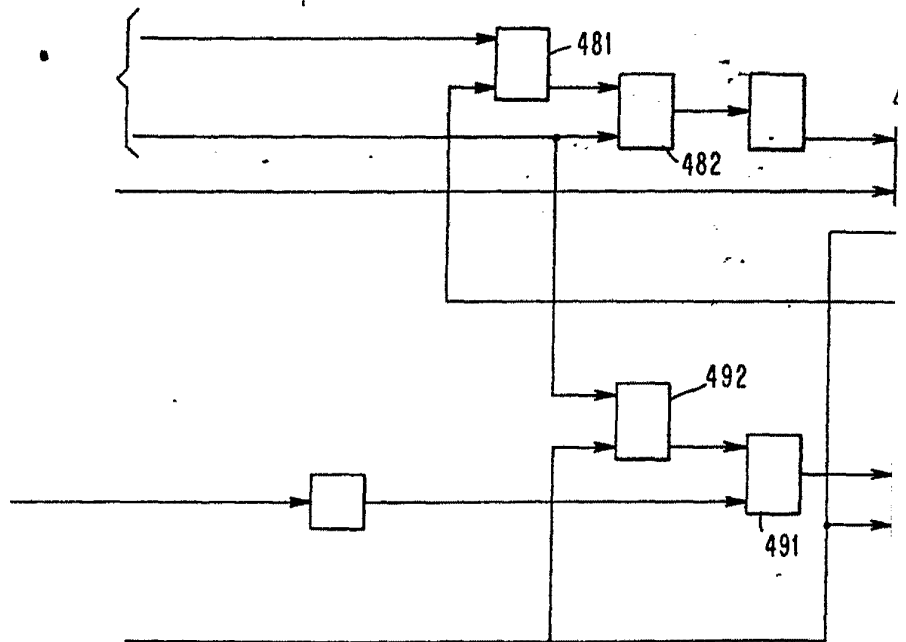
Alberto de **ELMAYU**
Por Pedro *[Signature]*

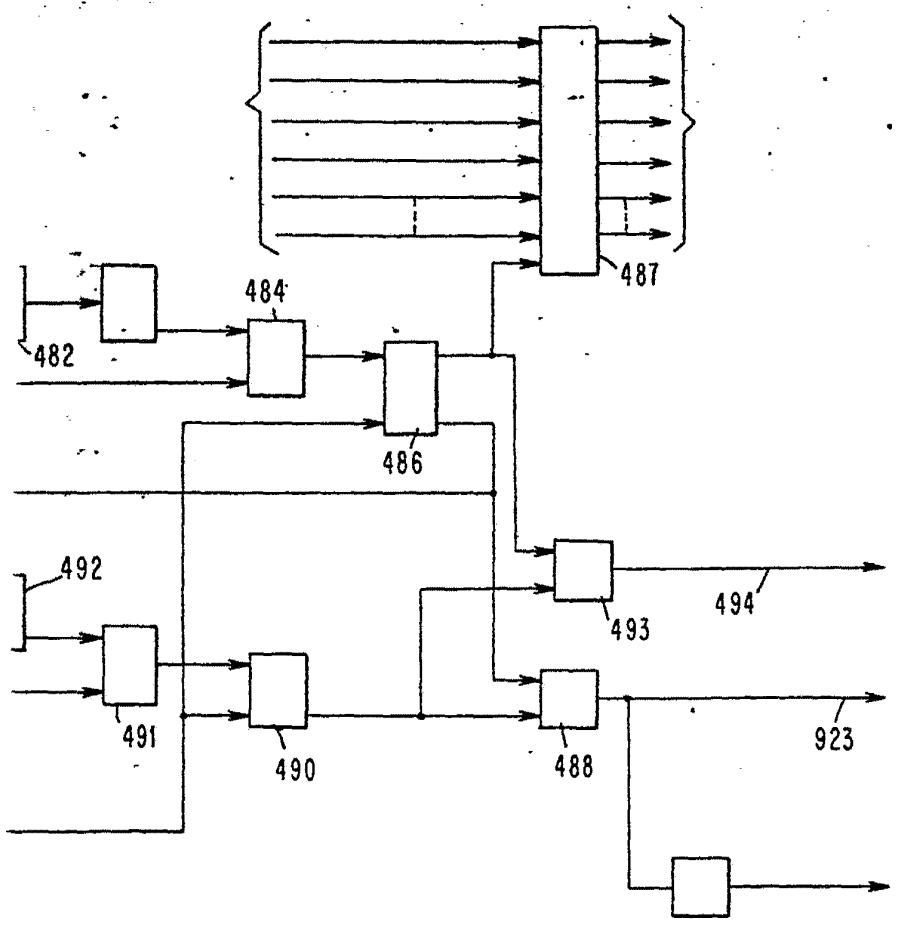
FIG. 17



Alberto de Eizaburu
For Poddy

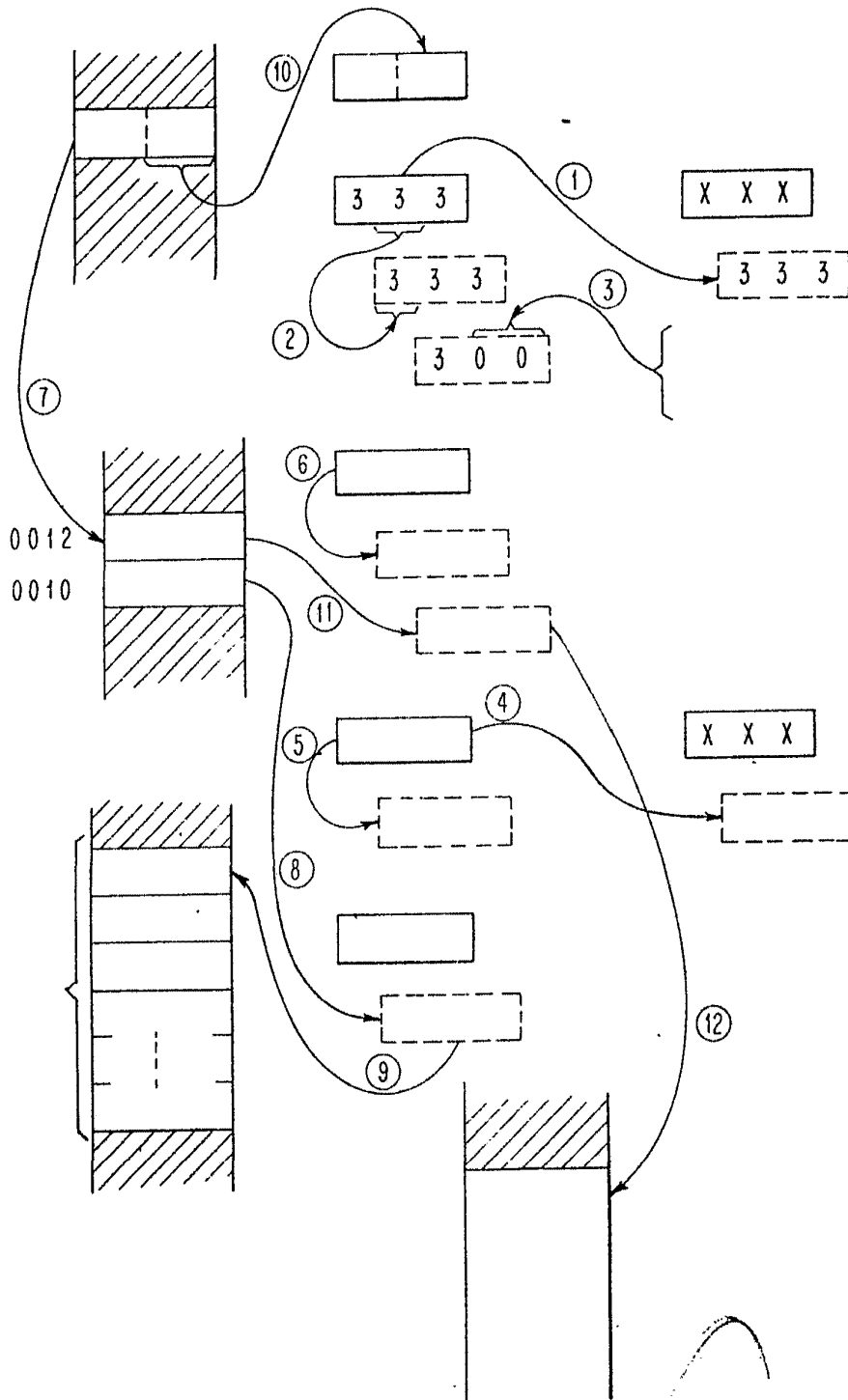
FIG. 17





Alberto de Elzaburu
For Podary

FIG. 18



Alberto de Biazzi
For Patent