



ESPAÑA

19 ES	11	NUMERO	458223	10 A 1
	21	FECHA DE PRESENTACION		
	22			

P.- 65.568

PATENTE DE INVENCION

50 PRIORIDADES:	52 FECHA	53 PAIS
51 NUMERO 682.228	30.4.76	EE.UU.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL G06F	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

54 TITULO DE LA INVENCION "UN SISTEMA DE TRATAMIENTO DE DATOS CON INFORME O REPORTE DE ESTADO RESIDUAL DURANTE OPERACIONES ENCADENADAS DE ENTRADA-SALIDA DE INTERRUPCION MONOCICLICA"
--

71 SOLICITANTE (S) INTERNATIONAL BUSINESS MACHINES CORPORATION

DOMICILIO DEL SOLICITANTE Armonk, N.Y. 10504, Estados Unidos de América
--

72 INVENTOR (ES) Donall G. Bourke y Louis P. Vergari

73 TITULAR (ES)

74 REPRESENTANTE D. ALBERTO DE ELZABURU MARQUEZ
--

1 En sistemas que utilizan control directo por pro-
grama para cada transferencia de datos entre un dispositivo
periférico y la memoria principal, están dispuestos usualmen-
te sistemas de acoplamiento que requieren, en respuesta a la
5 instrucción del programa, la transferencia secuencial de ór-
denes de direcciones de dispositivo y/o datos al dispositivo
periférico.

10 En sistemas de tratamiento de datos que no solamen-
te disponen medios para transferencia de datos de control
directo por programa, sino que también pueden realizar trans-
ferencia de datos de interrupción monocíclica, se requieren
normalmente diferentes formas de instrucciones de programa.
Incluso si no se requieren diferentes formas de instruccio-
15 nes de iniciación, se requieren diferentes formas de informa-
ción de control de dispositivo periférico, las cuales deben
ser reconocidas por la unidad de control de dispositivo peri-
férico y deben ser tratadas de forma diferente. Por consiguien-
te, cada unidad de control de dispositivo periférico debe te-
ner circuitos lógicos especializados. Adicionalmente, si se
20 requiere también que el sistema de control de entrada-salida
trate solicitudes asíncronas para interrumpir el servicio por
parte del ordenador, deben estar dispuestos circuitos adicio-
nales en la unidad de control de dispositivo periférico.

25 Durante operaciones de transferencia de datos por
interrupción monocíclica en que una unidad de control de
dispositivo periférico ha sido provista de información su-
ficiente para iniciar y controlar la utilización adicional
de la línea general de acoplamiento para controlar la uni-
dad de memoria independientemente del ordenador, pueden pre-
30 sentarse ciertos estados excepcionales antes de completarse

1 la transferencia de datos, cuyos estados requieren tratamien
to especial por parte del ordenador central antes de reini-
ciarse la transferencia de datos.

5 Normalmente, los sistemas de control de entrada-sa
lida que están destinados a tratar transferencias de control
directo por programa, de interrupción monocíclica, o de so-
licitud de interrupción sobre una unidad de acoplamiento co-
mún, deben tratar cada una de estas situaciones exclusivamen
te sobre la línea general de acoplamiento, evitando que sea
10 tratada cualquier otra forma de solicitud.

En sistemas de la técnica anterior, han sido dis-
puestos circuitos lógicos de llamada selectiva que responden
a una solicitud de interrupción desconocida que indica la
prioridad de la solicitud de interrupción. Los circuitos ló-
gicos de control de entrada-salida responden con una señal
15 de llamada selectiva en serie combinada con identificación
desde el ordenador central de la prioridad de la solicitud
de interrupción que está siendo sometida a escrutinio, para
originar la selección por una unidad correcta de control de
20 dispositivo periférico para subsiguiente utilización de la
línea general de acoplamiento. La solicitud de interrupción
de prioridad realizada por una unidad de control de dispositi-
vo periférico puede ser modificada por un ordenador cen-
tral. Sin embargo, en estos sistemas de la técnica anterior,
25 la modificación del nivel de prioridad de una unidad de con-
trol de dispositivo periférico podría solamente ser realiza-
da cuando el dispositivo asociado con la unidad de control
de dispositivo periférico no está ocupada con alguna orden
anterior. Adicionalmente, los sistemas de la técnica ante-
rior que combinan transferencias de datos de interrupción
30

1 monocíclica con tratamiento de solicitud de interrupción han
tenido que responder al requerimiento de disponer de circui-
tos lógicos independientes dentro de una unidad de control
de dispositivo periférico y circuitos lógicos de control de
5 entrada-salida del ordenador central para escrutar las dos
formas de comunicación requeridas.

Los sistemas de la técnica anterior que incorporan
una señal de llamada selectiva en serie para el fin de selec-
cionar una de una pluralidad de unidades de control de dis-
10 positivo periférico, todas las cuales están solicitando ser-
vicio, requieren la utilización de circuitos lógicos dentro
de cada unidad de control de dispositivo periférico para pro-
pagar la señal de llamada selectiva en serie a dispositivos
subsiguientes. En estos sistemas de la técnica anterior es
15 fácilmente evidente que si una unidad de control de dispo-
sitivo periférico particular, o dispositivo, fuese eliminada
físicamente de la línea general de entrada-salida, no sería
posible un funcionamiento correcto de la propagación de la
señal de llamada selectiva.

20

Resumen del Invento

Con el fin de mitigar el problema del consumo de
tiempo y la necesidad ineficiente de interrumpir a un orde-
nador central durante transferencias de datos de interrup-
ción monocíclica para reportar o informar de estados no usua-
25 les, un objeto principal de este invento es crear informa-
ción especial en el bloque de control de dispositivo perifé-
rico que está siendo utilizado por la unidad de control del
dispositivo periférico para controlar una pluralidad de trans-
30 ferencias de datos. La información especial y controles pue-

1 tos en práctica permiten a la unidad de control de dispositi-
2 vo periférico almacenar automáticamente información de es-
3 tado en la memoria principal de la unidad central de trata-
4 miento, y reanudar entonces las transferencias de datos de
5 interrupción monocíclica anteriormente iniciadas.

La información de control transferida a una unidad
de control de dispositivo periférico para permitir una plura-
lidad de transferencias de datos entre un dispositivo peri-
férico y la memoria central de un ordenador central incluye
10 direcciones de datos en la memoria central, cómputos de bate-
rías de bitios y direcciones de bloques de control de dispo-
sitivo adicionales. Como parte del invento, el bloque de con-
trol de dispositivo incluye también la dirección en la memo-
ria principal correspondiente a información de estado a re-
15 portar durante la transferencia de interrupción monocíclica.
Un estado a reportar durante operaciones de interrupción mo-
nocíclica en las cuales son encadenados bloques de control
de datos, es el hecho de que la cantidad de datos requerida
por un cómputo de baterías de bitios de bloque de control de
20 datos particular no fué transferida en realidad. El cómputo
de batería de bitios residual es reportado normalmente de in-
mediato interrumpiendo la secuencia del ordenador central pa-
ra hacer que el ordenador inicie la transferencia de la in-
formación de estado. De acuerdo con el invento, se crean me-
25 dios, bajo control de programa, para establecer el estado de
un bitio binario particular en la información de control en-
viada a una unidad de control de dispositivo periférico. Cuan-
do la unidad de control de dispositivo periférico reconoce
este bitio, no inicia la solicitud de interrupción, sino que
30 en vez de ello inicia señales de control que utilizan la ope-

1 ración de transferencia de interrupción monocíclica para
transferir la información de dirección que identifica el área
de memoria de estado residual, para permitir que la unidad
de control de dispositivo periférico almacene un cómputo re-
5 sidual de batería de bits en el área designada junto con
otra información de estado dependiente de un dispositivo.

Cuando la unidad de control de dispositivo perifé-
rico ha almacenado la información de estado, puede ser loca-
lizado un bloque de control de datos subsiguiente y puede
10 efectuarse una transferencia de datos adicional en una serie
encadenada de bloques. Subsiguientemente, cuando se ha com-
pletado la operación de transferencia de datos de interrup-
ción monocíclica en su totalidad, tal hecho será reportado
al ordenador central por el dispositivo periférico implicado
15 utilizando la solicitud de interrupción de final normal. La
información concerniente a la cantidad exacta de datos trans
ferida estará disponible para su análisis por parte del or-
denador cuando se desee..

20 Descripción de los Dibujos

La figura 1 es un diagrama de bloques que represen-
ta los componentes principales de un sistema de tratamiento
de datos que utiliza el presente invento.

25 La figura 2 es una representación de la configura-
ción física de un sistema de tratamiento de datos que utili-
za el presente invento.

La figura 3 identifica las líneas de una línea ge-
neral de acoplamiento (I/F) de entrada-salida (I/O) que in-
terconecta los circuitos lógicos (canal) de control de entra-
30 da-salida en una unidad de tratamiento central (CPU) y una

1 unidad de control de dispositivo periférico de acuerdo con
el presente invento.

5 La figura 4 es un diagrama de bloques que repre-
senta los componentes principales de los circuitos lógicos
de entrada-salida de un sistema de tratamiento de datos.

La figura 5 representa ciertos registros y líneas
generales de datos de una unidad de tratamiento central que
se requieren para interacción con el presente invento y para
una mejor comprensión del mismo.

10 La figura 6 representa ciertos registros y líneas
generales de una unidad de tratamiento central utilizada con
el presente invento para tratar información de dirección.

15 La figura 7 es una representación de una instruc-
ción de programa de sistema de tratamiento de datos y un
bloque de control de dispositivo inmediato (IDCB) para ini-
ciar operaciones de entrada y salida de acuerdo con el pre-
sente invento.

20 La figura 8 es una representación de información
contenida en un bloque de control de dispositivo inmediato
transferida a una unidad de control de dispositivo periféri-
co, y el sistema de sincronismo implicado.

25 La figura 9 representa la interacción y contenido
de una instrucción (I/O) de operación de entrada-salida, un
bloque de control de datos inmediatos (IDCB), un bloque de
control de datos (DCB) y los datos transferidos de acuerdo
con el presente invento.

30 La figura 10 es una representación del contenido
de un bloque de control de datos y una palabra de control
dentro de un bloque de control de datos almacenado en la me-
moria principal de un sistema de tratamiento de datos utili-

1 zado para controlar operaciones de entrada-salida, de acuerdo con el presente invento.

5 La figura 11 es una representación de las líneas generales de acoplamiento de entrada-salida y las señales de sincronismo implicadas en la transferencia de datos sobre una base de interrupción monocíclica (C/S) entre una unidad de memoria de sistema de tratamiento de datos y una unidad de control de dispositivo periférico de acuerdo con el presente invento.

10 La figura 12 es una representación de las líneas generales de acoplamiento de entrada-salida y las señales de sincronismo para el escrutinio de unidades de control de dispositivo periférico para iniciar comunicación adicional sobre la línea general de acoplamiento de acuerdo con el presente invento.

15 La figura 13 es una representación general del concepto de una señal de llamada selectiva en serie que se propaga sucesivamente de unidad de control de dispositivo periférico a unidad de control de dispositivo periférico, que selecciona un dispositivo para utilizar la línea general de acoplamiento.

20 La figura 14 representa componentes principales del presente invento para recibir señales de llamada selectiva procedentes de una unidad de control de dispositivo periférico precedente, retener la línea general de acoplamiento y señalar este hecho en retorno al circuito lógico de control de entrada-salida de un sistema de tratamiento de datos.

25 La figura 15 es una representación de los componentes principales de una unidad de control de dispositivo periférico conectada a una línea general de acoplamiento de
30

1 entrada-salida del presente invento.

La figura 16 es un diagrama de bloques de los componentes principales del circuito lógico de acoplamiento de canal que conecta la línea general de acoplamiento a la unidad de control de dispositivo periférico.

5 La figura 17 representa los componentes principales de un microordenador utilizado en una realización preferida del presente invento como parte de la unidad de control de dispositivo periférico.

10 La figura 18 es una representación de diagrama de bloques de la interconexión de diversas líneas generales de datos de un microordenador y el circuito de acoplamiento de entrada-salida incluido en el circuito lógico de control de dispositivo de una unidad de control de dispositivo periférico de acuerdo con el presente invento.

15 La figura 19 es una diagrama lógico detallado del modo según el cual una unidad de control de dispositivo periférico inicia una solicitud de interrupción a una unidad de tratamiento central que utiliza la línea general de acoplamiento del presente invento.

20 La figura 20 representa cómo han de estar dispuestas las figuras 20A y 20B para representar un diagrama lógico detallado del modo según el cual una unidad de control de dispositivo periférico activa una de una pluralidad de líneas de solicitud de interrupción de una línea general de entrada-salida de acuerdo con un nivel de prioridad, y compara el nivel de prioridad actual de un dispositivo con señales de identificación de llamada selectiva recibidas sobre la línea general de entrada-salida desde un circuito lógico de control de entrada-salida de unidad de tratamiento central.

25

30

1 La figura 21 representa cómo han de estar dispues-
tas las figuras 21A y 21B para representar un diagrama lógi-
co detallado de los medios de recepción de llamada selectiva,
propagación y captación de una unidad de control de dispositi-
5 vo periférico de acuerdo con el presente invento.

 La figura 22 representa cómo han de estar dispues-
tas las figuras 22A y 22B para representar un diagrama lógi-
co detallado del circuito lógico de determinación de interrup-
ción de prioridad de un sistema lógico de control de entrada-
10 -salida de acuerdo con el presente invento.

 La figura 23 representa cómo han de disponerse las
figuras 23A y 23B para representar un diagrama lógico deta-
llado del control de secuencia de llamada selectiva de un
circuito lógico de control de entrada-salida de acuerdo con
15 el presente invento.

 La figura 24 representa cómo han de disponerse las
figuras 24A y 24B para representar un diagrama lógico deta-
llado del circuito de control de puerta de acoplamiento del
sistema lógico de control de entrada-salida del presente in-
20 vento.

 La figura 25 es un diagrama lógico detallado de
indicaciones de control generadas por estados de error en el
circuito de control de puerta de acoplamiento del circuito
lógico de control de entrada-salida del presente invento.

25 La figura 26 es un diagrama lógico detallado del
circuito de control de comprobación de acoplamiento del cir-
cuito lógico de control de entrada-salida del presente invento.

 La figura 27 es una representación del contenido e
interacción de bloques de control de datos encadenados, da-
30 tos e información de estado residual de un dispositivo peri-

1 férico que utiliza interrupción monocíclica.

Descripción Detallada

5 Sistema de Tratamiento de Datos. El conjunto total del invento está ilustrado en la figura 1. El presente inven-
to es utilizado en un sistema de tratamiento de datos que in-
cluye una unidad 30 central de tratamiento (CPU), una unidad
31 de memoria principal para almacenamiento de datos, instruc-
ciones de máquina e información de control de entrada-salida
10 y un circuito lógico 32 (canal) de control de entrada-salida.
El invento trata del control de la transferencia de datos e
información de control a dispositivos 33 de entrada-salida a
través de unidades de control de dispositivo periférico o
equipos accesorios 34 de entrada-salida que utilizan una lí-
nea general 35 de acoplamiento (I/F) de entrada-salida que
15 conecta las diversas unidades en paralelo para la transferen-
cia de datos, información de dirección e información de con-
trol. Está también representada una señal de llamada selecti-
va sobre una línea 36 que interconecta las unidades de con-
trol 34 de dispositivo periférico en serie para el fin de se-
20 leccionar un dispositivo particular 33 de entrada-salida pa-
ra su conexión a la unidad 35 de acoplamiento de entrada-sa-
lida durante un ciclo particular de transferencia. En la fi-
gura 2 está representada una ilustración física del sistema
de tratamiento de datos que utiliza el presente invento. La
25 disposición física incluye una fuente 37 de alimentación, un
bastidor o unidad 38 de alojamiento de tarjetas y una plura-
lidad de tarjetas 39 enchufables que contienen los circuitos
que componen las diversas unidades del sistema de tratamien-
to de datos.

30 Tres tarjetas 40, 41 y 42 incluyen circuitos que

1 comprenden el ordenador 30. Diversas partes del circuito ló-
gico 32 de control de entrada-salida están distribuidas en
las tarjetas del ordenador. Están enchufadas dentro de la
unidad 38 de alojamiento de tarjeta un número de tarjetas 43
5 de memoria, dependiendo de la cantidad de memoria deseada.

El sistema 34 de anexión de entrada-salida, como
se muestra en la figura 1, está representado por cada una
de una pluralidad seleccionada de tarjetas 44. Si se desea
anexionar dispositivos de entrada salida adicionales al sis-
10 tema, puede incluirse una tarjeta 45 de reconexión de poten-
cia y aislamiento. La tarjeta 45 de reconexión de potencia
tiene la función de establecer una nueva conexión de poten-
cia de las líneas 35 de acoplamiento de entrada-salida a
un bastidor adicional y aislar los componentes representa-
15 dos en la figura 2 si se interrumpiese la potencia a cual-
quier bastidor adicional y quedase así normalmente inoperan-
te la unidad 35 de acoplamiento de entrada-salida.

La tarjeta 42 es una tarjeta de memoria fija (ROS)
que contiene un mecanismo de control por microprograma para
20 el sistema de tratamiento de datos. La tarjeta 41 de direc-
ción (ADDR) contiene todos los circuitos accesibles por pro-
grama, tales como registros de datos y estado, y forma di-
recciones utilizadas para establecer acceso a la unidad 31
de memoria y a los dispositivos 33 de entrada-salida. La tar-
25 jeta 40 (DATA) realiza todas las operaciones aritméticas y
lógicas y proporciona el control de transmisión para datos a
y desde la unidad 35 de acoplamiento de entrada-salida y la
unidad 31 de memoria.

Líneas de Acoplamiento

30 En la figura 3 está ilustrado el sistema lógico

1 de control de entrada-salida para el canal 32 distribuido en
entre la tarjeta 41 de dirección, la tarjeta 40 de datos y
la tarjeta 42 de memoria fija. Está también ilustrada una
tarjeta 44 de anexión de entrada-salida de la figura 2 para
5 un dispositivo 33 periférico. La línea general 35 de acopla-
miento, de acuerdo con el presente invento, puede incluir
cualquier número de dispositivo 33 diferentes. Sin embargo,
de acuerdo con una realización preferida del presente inven-
to, cada tarjeta 44 de anexión de entrada-salida, que repre-
10 senta una unidad de control de dispositivo periférico, ten-
drá circuitos comunes divididos entre el circuito lógico 46
de canal y un microordenador 47. Está añadida al circuito
común la unidad lógica 48 de dispositivo, que depende del
dispositivo 33 particular a controlar.

15 En la discusión subsiguiente del funcionamiento de
una unidad 34 de control de dispositivo periférico, de acuer-
do con una realización preferida del presente invento, se
comentará el funcionamiento de un microordenador 47. Sin en-
bargo, los circuitos comunes 46 y 47 podrían estar formados
20 solamente por circuitos lógicos combinacionales y secuencía-
les.

Hay tres formas básicas de comunicación entre un
dispositivo 33 de entrada-salida y el circuito lógico 32 de
entrada-salida que, dependiendo del tipo de dispositivo 33,
25 pueden requerir la utilización de hasta 81 líneas sobre el
sistema 35 de acoplamiento de entrada-salida. Son iniciadas
dos formas de comunicación por una instrucción de programa
identificada como "Activar entrada-salida" (OIO). Estas dos
formas de comunicación están previstas principalmente para
30 intercambio de datos, y se identifican como transferencia

1 de control directo por programa (DCP) o transferencia de in-
tarrupción monocíclica (CS). En la forma DPC de transferencia,
cada instrucción OIO efectúa la transferencia de un bloque
de información entre la unidad 31 de memoria y el dispositivo
5 33 de entrada salida en cualquier dirección. La forma de trans-
ferencia de interrupción monocíclica es iniciada por el micro-
ordenador 30 e implica la transferencia de información de or-
den de entrada-salida a la unidad 34 de control de dispositi-
vo periférico para utilización subsiguiente por la unidad 34
10 de control de dispositivo periférico para controlar la trans-
ferencia de una pluralidad de bloques de datos entre la uni-
dad 31 de memoria y el dispositivo periférico 33. Esta trans-
ferencia es independiente de otras operaciones del microorde-
nador 30 y concurrente con las mismas. La tercera forma de
15 comunicación requerida entre el ordenador 30 y el dispositivo
33 es la iniciación de secuencias de interrupción por progra-
ma en el ordenador 30 en respuesta a solicitudes para servi-
cio de ordenador por parte de un dispositivo periférico 33.

20 Se comentará ahora con detalle la interacción del
circuito lógico 32 de entrada-salida, la línea general 35 de
acoplamiento, y la unidad 34 de control de dispositivo peri-
férico para realizar estas formas de comunicación.

25 Se definirá ahora brevemente cada una de las 81 lí-
neas del sistema 35 de acoplamiento de entrada-salida utili-
zando la representación de la figura 3. Hay dos líneas gene-
rales bidireccionales esenciales para el funcionamiento, y
estas líneas incluyen una línea general 49 de dirección bi-
direccional de 17 bitios, y una línea general 50 de datos de
entrada-salida de 16 bitios más dos bitios de paridad.

30 La comunicación de control sobre la línea general

1 35 de entrada-salida en respuesta a la descodificación de
una instrucción OIO, para la finalidad de transferencia de
datos o información de control de entrada-salida sobre la
5 línea general 50 de datos, requiere la utilización de la lí-
nea general 49 de dirección. Otras líneas de acoplamiento
requeridas para controlar la transferencia son: la línea 51
de puerta de dirección, la línea 52 de retorno de puerta de
dirección, la línea 53 de entrada de código de estado y la
10 línea 54 de selección de datos, que se excitarán en la se-
cuencia correcta para controlar la comunicación.

Durante comunicaciones de interrupción monocíclica
(CS), la transferencia de datos sobre la línea general 50 de
datos y la unidad 31 de memoria y la transferencia de infor-
mación de dirección sobre la línea general 49 de dirección
15 se efectúa desde la unidad 34 de control de dispositivo. Lí-
neas adicionales sobre la línea general 35 de acoplamiento re-
queridas para este tipo de transferencia incluyen una línea
55 de señal de puerta de servicio, una línea 56 de retorno de
puerta de servicio, una línea 57 de señal indicadora de entra-
20 da-salida, una línea 58 de señal indicadora de palabra-bate-
ría de bitios y una línea general 59 de estado de cuatro bi-
tios, distribuidas entre la tarjeta 42 de memoria fija y la
tarjeta 41 de dirección. Si el ordenador central 30 y la uni-
dad 31 de memoria tienen instalado un mecanismo de protección
25 de memoria, es utilizada la línea general de código de esta-
do durante operaciones de comunicación CS para transferir una
clave de protección de memoria desde la unidad 34 de control
de dispositivo al mecanismo de protección de memoria.

Normalmente, la transferencia de información de
30 interrupción monocíclica entre el circuito lógico 32 de con-

1 trol de entrada-salida y la unidad 34 de control de dispositi-
tivo implica una única transferencia seguida por selección
de otro dispositivo para operaciones adicionales. Puede poner
5 se en ejecución un tipo adicional de transferencia y sería
identificada por una señal presente sobre una línea denomina-
da línea 60 de señal de retorno de ráfaga. La señal 60 de re-
torno de ráfaga excita circuitos de control tanto en la uni-
dad 34 de control de dispositivo como en el circuito lógico
32 de control de entrada-salida para permitir, en respuesta
10 a una selección del dispositivo 33, una pluralidad de transfe-
rencias de información de interrupción monocíclica sobre la
línea general 35 de entrada-salida antes de seleccionar otro
dispositivo.

Una tercera forma básica de comunicación implica
15 el requerimiento de indicar al circuito lógico 32 de control
de entrada-salida que un dispositivo particular 33 desea in-
terromper la secuencia del ordenador central 30. Las líneas
35 de acoplamiento principalmente implicadas son una línea
general 61 de solicitud y una línea 62 de señal de identi-
20 ficación de llamada selectiva. Para una explicación más com-
pleta, habrá sido asignado un nivel de interrupción de prio-
ridad particular a una unidad 34 de control de dispositivo
por medio de una orden "preparar". El nivel de interrupción
asignado puede ser uno de cuatro niveles diferentes, aunque
25 el concepto del invento a este respecto puede incluir hasta
16 niveles diferentes. Cuando un dispositivo 33 requiere
servicio de interrupción, una porción del circuito lógico 46
de acoplamiento de canal de la unidad 34 de control de dis-
positivo periférico excitará una línea particular de las cua-
30 tro líneas incluidas en la línea general 61 indicando una so-

1 licidad de interrupción. La línea particular de las líneas
incluidas en la línea general 61 excitada está asociada con
el nivel de interrupción de prioridad asignado. Una línea
5 adicional en la línea general 61 está identificada como bi-
tío 16 y se excita para informar al circuito lógico 32 de
control de entrada-salida de la existencia de una necesidad
de transferencia por un dispositivo 33 utilizando la forma
de transferencia de interrupción monocíclica.

10 Cuando un dispositivo particular 33 ha indicado o
bien una solicitud de interrupción de prioridad o una soli-
citud de interrupción monocíclica, sobre la línea general
61, los circuitos de control de interrupción incluidos en el
circuito lógico 32 de control de entrada-salida y el ordena-
15 dor 30 determinan qué nivel de una pluralidad de niveles de
prioridad o solicitudes de interrupción monocíclica puede ser
reconocido para establecer conexión entre el circuito lógico
32 de control de entrada-salida y el dispositivo 33. La lí-
nea general 62 de señal de identificación de llamada selec-
20 tiva está codificada con información binaria para indicar
qué nivel de prioridad de interrupción está siendo reconoci-
do, o aparecerá un código binario particular sobre la línea
general 62 de señal de identificación de llamada selectiva
que indica que está siendo reconocida una solicitud cualquie-
ra de interrupción monocíclica.

25 Como parte de la selección de un dispositivo 33
cuya conexión a la línea general 35 de entrada-salida va a
ser permitida en respuesta a una solicitud de interrupción
o solicitud de interrupción monocíclica, el circuito lógico
32 de control de entrada-salida genera una señal 63 de lla-
30 mada selectiva y una señal primaria 64 de llamada selectiva.

1 Las señales 63 y 64 de llamada selectiva se propagan sucesi-
vamente a través de todas las unidades 34 de control de dispo-
sitivo conectadas a la línea general 35 de acoplamiento. Como
5 parte de la selección de dispositivo para utilización de la
línea general 35, la señal 63 de llamada selectiva y la señal
primaria 64 de llamada selectiva interaccionan con la infor-
mación codificada sobre la línea general 62 identificadora de
llamada selectiva para originar la selección de una unidad 34
10 de control de dispositivo particular. Cuando una unidad 34 de
control de dispositivo periférico reconoce una identificación
de llamada selectiva sobre la línea general 62 correspondien-
te a su nivel de interrupción de prioridad actual, o que soli-
cita transferencia de interrupción monocíclica y reconoce el
15 código de identificación particular, y recibe también la se-
ñal 63 de llamada selectiva y la señal primaria 64 de llamada
selectiva, se realiza la selección, y la información corres-
pondiente a este hecho es devuelta al circuito lógico 32 de
control de entrada-salida sobre una línea 65 de señal de re-
torno de llamada selectiva. La recepción por una unidad 34 de
20 control de dispositivo de la señal 63 de llamada selectiva y
la señal primaria 64 de llamada selectiva, y en ausencia de
reconocimiento de un código correcto sobre la línea general
62 de identificación de llamada selectiva, hará que la unidad
34 de control de dispositivo propague la señal 63 de llamada
25 selectiva y la señal primaria 64 de llamada selectiva a uni-
dades 34 subsiguientes de control de dispositivo periférico.

En la realización preferida de la línea general 35
de entrada salida están incluidas líneas de señal adiciona-
les sobre la línea general 35 de acoplamiento, no comentadas
30 anteriormente y que no forman parte del presente invento. Es-

1 tas líneas incluyen una línea 65 de parada o señal de compro-
bación de máquina para detener el funcionamiento de un dis-
positivo cuyo funcionamiento se ha iniciado anteriormente,
5 dos líneas 66 utilizadas para control y transferencia duran-
te una carga de programa inicial desde un dispositivo 33 a
la unidad 31 de memoria, una línea 67 de reposición de en-
cendido para hacer que todos los circuitos lógicos inclui-
dos en las unidades 34 de control de dispositivo se repongan
10 a un estado conocido y una línea 68 de reposición de siste-
ma para establecer estados conocidos en respuesta a señales
de control de ordenador.

 En todo el resto de la descripción y en los dibu-
jos restantes, las líneas de señal y líneas generales serán
identificadas como se representa en la figura 3. Cualquier
15 referencia a un bitio binario particular sobre una línea
general mayor será identificada por el número de la línea
general, un guión y el número de bitios. Por ejemplo, la lí-
nea designada 16 sobre la línea general 61 se identificará
como 61-16.

20 Descripción General de los Circuitos lógicos de
Control de Entrada-Salida de la Unidad Central de Tratamien-
to.

 En la figura 4 están representados los componen-
tes funcionales principales del circuito lógico 32 de entra-
da-salida representado en la figura 1. Puede ser utilizada
25 una realización preferida del presente invento con un orde-
nador central 30 que tiene un mecanismo lógico para indicar
el nivel de importancia de un programa particular que está
siendo ejecutado en el ordenador 30. Cualquier solicitud
30 para ejecución de un programa de mayor o menor importancia

1 que el nivel normal determinará la respuesta del ordenador
30 a tal solicitud. Como parte del circuito lógico 32 de
control de entrada salida, está dispuesto un circuito lógico
5 69 de interrupción para comparar la importancia de una
solicitud de interrupción precdente de dispositivos de en-
trada-salida, como se indica sobre la línea 61, con el ni-
vel de importancia del programa en curso del ordenador 30
en un registro 70 de nivel en curso. Como en muchos otros
10 sistemas de tratamiento de datos, la capacidad de una inte-
rrupción particular para ser efectiva puede ser modificada
mediante la utilización de una máscara de interrupción con-
tenida en un registro 71. El contenido del registro 70 de
nivel en curso y la máscara 71 de interrupción puede modifi-
15 carse por datos sobre la línea general de datos de ordena-
dor de acuerdo con instrucciones programadas. De acuerdo
con los estados del registro 70 de nivel en curso, la más-
cara 71 y el nivel de la solicitud de interrupción sobre la
línea 61, el circuito de control de memoria fija del orde-
nador 30 puede ser informado sobre una línea 73 del requeri-
20 miento de controlar el ordenador 30 para suspender el fun-
cionamiento en el nivel en curso e iniciar una interrupción.
Después de funciones accesorias necesarias en el ordenador
30, el mecanismo de control de memoria fija hará retornar
una señal sobre la línea 74 que indica que puede reconocerse
25 una solicitud de interrupción o solicitud de interrupción
monocíclica indicada sobre la línea general 61-16.

En este instante, el ordenador 30, y por consiguien-
te los programas almacenados en la unidad 31 de memoria, no
conocen la identidad del dispositivo particular que hizo
30 la solicitud que está siendo reconocida. Por consiguiente, el

1 circuito lógico 32 de control de entrada-salida incluye adi-
cionalmente un mecanismo 75 de control de secuencia de lla-
mada selectiva que inicia una señal de llamada selectiva
5 sobre la línea 63 junto con información codificada sobre la
línea general 62 identificadora de llamada selectiva que
indica si está siendo atendida una solicitud de interrupción
monocíclica o identifica un nivel de prioridad de interrup-
ción particular que está siendo reconocido. En respuesta a
una señal sobre la línea 65 de retorno de llamada selectiva
10 que indica que un dispositivo 33 ha captado la señal 63 de
llamada selectiva, el circuito 75 de control de secuencia
de llamada selectiva inicia el intercambio necesario de se-
ñales entre el circuito lógico 32 de control de entrada-sa-
lida y la unidad 34 de control de dispositivo periférico.

15 El control de la transferencia de señales, y la
respuesta al mismo, en el circuito lógico 32 de control de
entrada-salida, se realiza en el llamado circuito lógico 76
de control de puerta de acoplamiento. Si, como se ha comen-
tado anteriormente, se inició una secuencia de llamada se-
20 lectiva por razones de interrupción o interrupción monocícli-
ca, las líneas de señal primaria excitadas y con respues-
ta en el circuito 76 de control de puerta de acoplamiento
son: la línea 55 de puerta de servicio, la línea 56 de re-
torno de puerta de servicio, y la línea 54 de señal selec-
25 tora de datos. Si se ha realizado la selección para trans-
ferencias de interrupción monocíclica, es transferida infor-
mación diversa de estado de interrupción monocíclica sobre
la línea general 59 a la unidad 34 de control de dispositi-
vo periférico indicando diversos estados de la operación de
30 interrupción monocíclica.

1 Si el circuito 76 de control de puerta de acopla-
miento va a iniciar y controlar transferencia de información,
se recibirá una señal sobre la línea 77 procedente del regis-
tro de instrucciones del ordenador 30 que indica la descodi-
5 ficación de una instrucción Activar Entrada-Salida. La res-
puesta a la señal sobre la línea 77 requiere la excitación
y respuesta de las líneas de señal línea 51 de puerta de
dirección, línea 52 de señal de retorno de puerta de direc-
ción y línea 54 de señal selectora de datos. Adicionalmente,
10 la respuesta a cada instrucción OIO por la unidad 34 de con-
trol de dispositivo periférico direccionado es señalizada
por información sobre la línea general 53 de entrada de có-
digo de estado que ingresa en los circuitos de retención 78
para presentación a los registros de estado de nivel inclui-
15 dos en el ordenador 30 sobre las tres líneas 79. Si están
teniendo lugar transferencias de interrupción monocíclica,
será enviada la clave de protección de memoria al mecanismo
de protección de memoria sobre las líneas 80.

20 El circuito lógico 81 de control de comprobación
de sistema de acoplamiento responde a (y genera) diversas
señales que indican que es correcto el funcionamiento de la
secuencia lógica de control de entrada-salida de una línea
82, errores relacionados con otra secuencia de dispositivo
de entrada-salida sobre la línea 83 de comprobación de en-
25 trada salida, y responde a una señal sobre una línea 84 que
indica que fué detectado un error de paridad durante una
transferencia de datos de interrupción monocíclica. La de-
signación PSW se refiere a la palabra de estado de ordena-
dor en el ordenador 30. La palabra PSW puede ser detectada
30 por control de programa para vigilar e indicar diversos erro

1 res y excepciones dentro del sistema de tratamiento de da-
tos.

5 El control de sincronismo entre el circuito lógico
co 32 de control de entrada-salida y la unidad 31 de memo-
ria es realizado en general sobre la línea 85. El hecho de
haberse completado una secuencia de entrada-salida es indi-
cado al ordenador 30 sobre una línea 86 y es señalizado so-
bre tres líneas 87 el control de puertas incluidas en el or-
denador designadas A, B y C, requeridas para realizar la
10 transferencia de datos. La descodificación de una instruc-
ción de parada de entrada-salida por parte del ordenador
30 es indicada al circuito 76 de control de puerta de aco-
plamiento sobre una línea 88 y es indicado sobre una línea
89 procedente del ordenador 30 cualquier requerimiento de
15 reponer el mecanismo de control de entrada-salida. Durante
operaciones de interrupción monocíclica, cualquier error
de paridad detectado en el sistema de acoplamiento en la
transferencia de datos dentro de la unidad 31 de memoria
es indicado sobre una línea 90. Se han designado en la fi-
gura 4 nominalmente otras líneas diversas dirigidas hacia
20 el ordenador 30 y procedentes del mismo y esencialmente se
explican por sí mismos y no se requieren para una compren-
sión del funcionamiento del presente invento.

25 En las figuras 5 y 6 están representados diversos
registros y líneas generales contenidas en un ordenador 30
para realizar operaciones de entrada-salida. Todas las lí-
neas generales y registros representados se componen de 16
bitios binarios. La línea general 72 de ordenador tiene va-
rias otras unidades conectadas tales como una unidad lógico-
30 ca y aritmética, una memoria local, y registros adicionales

1 relacionados principalmente con funciones de tratamiento de
datos.

5 Los datos procedentes de la unidad 31 de memoria
se reciben sobre una línea general 91 e ingresan en la uni-
dad 31 de memoria sobre una línea general 92. Los datos re-
cibidos de la unidad 31 de memoria cuando van a ser usados
principalmente dentro del ordenador 30, se reciben en un
registro 93 de datos de memoria CPU (CPU SDR), y cuando es-
tán siendo transferidos datos entre dispositivos periféri-
cos 33 y la unidad 31 de memoria durante operaciones de in-
10 terrupción monocíclica los datos ingresarán en un registro
94 de datos de memoria de interrupción monocíclica (CS SDR).

15 Está también representado en la figura 5 un regis-
tro 95 de operación que recibe instrucciones de programa
de la unidad 31 de memoria sobre una línea general 91 y un
registro CPU SDR 93, a ser descodificadas para control de
operaciones del sistema. Es de interés particular para el
presente invento la descodificación de una instrucción deno-
minada Accionar Dispositivo de Entrada-Salida (OIO).

20 Cuando la instrucción OIO se refiere a una trans-
ferencia de datos por control directo de programa desde la
unidad 31 de memoria a un dispositivo periférico 33, los da-
tos serán recibidos de la unidad 31 de memoria sobre una lí-
nea general 91, ingresados en el registro 93 CPU SDR, trans-
25 feridos a la línea general 72 de ordenador sobre una línea
general 96 adicional, ingresados en uno de los registros 97
de CPU, y presentados a la línea general 50 de datos de en-
trada-salida sobre una línea general 98 en respuesta a la
excitación de la puerta A 99 (IF) en respuesta a señales de
30 control procedentes del circuito lógico 32 de control de en-

1 trada-salida. El control directo por programa de la trans-
ferencia de datos desde un dispositivo 33 de entrada-sali-
da a la unidad 31 de memoria se realizaría presentando los
datos sobre la línea general 50 de datos de entrada-salida
5 a la línea general 72 de ordenador por excitación de puer-
tas representadas en 100, ingresando los datos en el regis-
tro 93 (CFU SDR) procedentes de una línea 101, y transfi-
riendo los datos a la unidad 31 de memoria sobre la línea
general 92.

10 La transferencia de datos durante operaciones de
interrupción monocíclica desde el dispositivo 33 de entra-
da-salida a la unidad 31 de memoria implicará la transferen-
cia de datos desde la línea general 50 de datos de entrada-
salida al registro 94 CS SDR sobre una línea general 102,
15 por excitación de la puerta B 103 del tipo IF, seguida por
la transferencia de los datos del registro 94 CS SDR a la
unidad 31 de memoria sobre la línea general 92.

Las transferencias de salida de interrupción mo-
nocíclica implicarían la transferencia de datos desde la
20 unidad 31 de memoria sobre la línea general 91 al registro
94 CS SDR, seguida por la excitación de la puerta C 104 del
tipo IF para presentar los datos sobre una línea general
105 a la línea general 50 de datos de entrada-salida.

25 La generación de bitios 106 de paridad a ser in-
cluidos en los datos procedentes de la línea general 50 de
datos de entrada-salida, o la indicación de errores de pari-
dad sobre la línea 84, se realiza en el generador 107 de com-
probación de paridad de sistema de acoplamiento durante ope-
raciones de entrada-salida.

30 La figura 6 representa las líneas generales y re-

1 gistros de ordenador 30 requeridos para la transferencia
de información de dirección entre dispositivos 33 de entra-
da-salida y la unidad 31 de memoria. Las direcciones son
5 presentadas a la unidad 31 de memoria sobre una línea gene-
ral 108 procedentes indistintamente de un registro 109 (CPU
SAR) de dirección de memoria o de un registro 110 de inte-
rrupción de memoria monocíclica (CSSAR) durante transferen-
cias de interrupción monocíclica. Como parte del presente in-
10 vento, la selección de un dispositivo 33 particular de entra-
da-salida, y la transmisión de órdenes al dispositivo 33, se
realiza utilizando la línea general 49 de dirección de en-
trada-salida. Esta información es presentada a la línea ge-
neral 49 de dirección de entrada-salida procedente de un
registro 111 CPU adicional que recibe la información de la
15 línea general 72 de ordenador.

Formatos de Instrucciones OIO-IDCB-DCB y Sincro-
nismo.

La figura 7 representa la instrucción Accionar
Dispositivo de Entrada-Salida (OIO) de dos palabras (32 bi-
20 tios) descodificada en el registro 35 de operación de la fi-
gura 5 que inicia todas las operaciones de entrada-salida
desde el ordenador 30. Es una instrucción privilegiada y so-
lamente puede ser explorada o lograda en un estado de super-
visión. Si esta instrucción es explorada en estado de emer-
25 gencia, es activada una comprobación de programa de viola-
ción de privilegio, y se adopta una interrupción de clase.

La dirección efectiva, generada por esta instruc-
ción, indica, y direcciona, un Bloque de Control de Dispositi-
tivo Inmediato (IDCB) en la unidad 31 de memoria. El bloque
30 IDCB contiene un campo de orden (bitios 0-7), un campo de

1 dirección de dispositivo (bitios 8-15), y el campo de datos intermedios (bitios 16-31).

5 En el campo de orden, el primer dígito hexadecimal (bitios 0-3) identifica el tipo de orden, y el segundo dígito hexadecimal (bitios 4-7) es un modificador. Los tipos de orden son: Leer, Leer ID, Leer Estado, Escribir, Preparar, Controlar, Reposición de Dispositivo, Iniciación, Iniciar Estado de Interrupción Monocíclica, y Parada de Dispositivo de Entrada-Salida.

10 El campo de dirección de dispositivo contiene la dirección del dispositivo 33. Las direcciones del dispositivo 33 son seleccionables por conmutadores o puentes sobre cada una de las tarjetas 34 de anexión de entrada-salida.

15 Para operaciones de control directo por programa (operaciones DPC) el campo inmediato del bloque IDCB en la unidad 31 de memoria contiene la palabra a ser transferida desde la unidad 31 de memoria al dispositivo 33 de entrada-salida, o la palabra procedente del dispositivo 33 a almacenar en la unidad 31 de memoria. Para operaciones de interrupción monocíclica, el campo inmediato contiene la dirección en la unidad 31 de memoria de un bloque de control de dispositivo (DCB).

20 La orden "Leer" transfiere una palabra o batería de bitios desde el dispositivo 33 direccionado a la palabra de campo inmediato del bloque IDCB. Si es transferida una única batería de bitios, es situada en los bitios 24-31 de la palabra de datos.

25 La orden "Leer ID" transfiere una palabra de identificación desde el dispositivo 33 al campo inmediato del

30

1 bloque IDCB. La palabra de identificación de dispositivo
contiene información física relacionada con el dispositivo
y es utilizada por programación de diagnóstico para tabular
5 una configuración de sistema. Esta palabra no está relacio-
nada con la palabra de interrupción ID asociada con el tra-
tamiento de operaciones de interrupción.

10 La orden "Leer Estado" transfiere una palabra de
estado de dispositivo desde el dispositivo 33 al campo in-
mediato del bloque IDCB. El contenido de la palabra de es-
tado depende del dispositivo.

15 La orden "Escribir" transfiere una palabra o bate-
ría de bitios de datos al dispositivo 33 direccionado desde
el campo inmediato del bloque IDCB. Si ha de ser transferida
una única batería de bitios, es situada en los bitios 24-31
de la palabra de datos y son ignorados los bitios 16-23.

20 La orden "Preparar" transfiere una palabra al dis-
positivo 33 direccionado que controla su nivel de interrup-
ción. La palabra es transferida desde la segunda palabra del
bloque IDCB en la cual los bitios 16-26 son ceros, los bi-
tios 27-30 constituyen un campo de nivel, y el bitio 31 es
un bitio I. Es asignado un nivel de interrupción de priori-
dad al dispositivo 33 por el campo de nivel. El bitio I (más
25 cara de dispositivo) controla la capacidad de interrupción
del dispositivo. Si el bitio I es igual a 1, se permite que
el dispositivo origine una interrupción.

30 La orden "Controlar" inicia una acción de control
en el dispositivo 33 direccionado. Puede (o no) ocurrir una
transferencia de una palabra, o batería de bitios, desde el
campo inmediato del bloque IDCB al dispositivo de direccio-
nado, dependiendo de los requerimientos del dispositivo.

1 La orden "Reposición de Dispositivo" repone el dispositivo 33 direccionado. Es borrada una interrupción pendiente de este dispositivo. No se modifica la máscara de dispositivo (bitios I).

5 La orden "Iniciar" da comienzo a una operación de interrupción monocíclica para el dispositivo 33 direccionado. La segunda palabra, o campo inmediato, del bloque IDCB es transferida a la unidad 34 de control de dispositivo periférico. Contiene una dirección de unidad 31 de memoria de 16 bitios de un bloque de control de dispositivo (DC B) a ser utilizada por la unidad 34 de control de dispositivo periférico para controlar operaciones adicionales.

10 La orden "Iniciar Estado de Interrupción Monocíclica" da lugar al comienzo de una operación de interrupción monocíclica para el dispositivo 33 direccionado. Su finalidad es recoger información de estado relativa a la operación de interrupción monocíclica anterior. El campo inmediato del bloque IDCB es transferido a la unidad 34 de control de dispositivo periférico y contiene una dirección de 16 bitios de un bloque DCB.

15 La orden "Detener Dispositivo de Entrada-Salida" es una orden dirigida al circuito lógico 32 de control de entrada-salida que origina la suspensión de toda actividad de entrada-salida en el sistema 35 de acoplamiento de entrada-salida. No están asociados datos con esta orden. Son borradas todas las interrupciones pendientes de dispositivo. Quedan sin modificar las asignaciones de nivel de interrupción de prioridad de dispositivo y las máscaras de dispositivo (bitios I).

20 La orden "Detener Dispositivo de Entrada-Salida" es una orden dirigida al circuito lógico 32 de control de entrada-salida que origina la suspensión de toda actividad de entrada-salida en el sistema 35 de acoplamiento de entrada-salida. No están asociados datos con esta orden. Son borradas todas las interrupciones pendientes de dispositivo. Quedan sin modificar las asignaciones de nivel de interrupción de prioridad de dispositivo y las máscaras de dispositivo (bitios I).

25 La orden "Detener Dispositivo de Entrada-Salida" es una orden dirigida al circuito lógico 32 de control de entrada-salida que origina la suspensión de toda actividad de entrada-salida en el sistema 35 de acoplamiento de entrada-salida. No están asociados datos con esta orden. Son borradas todas las interrupciones pendientes de dispositivo. Quedan sin modificar las asignaciones de nivel de interrupción de prioridad de dispositivo y las máscaras de dispositivo (bitios I).

30 La orden "Detener Dispositivo de Entrada-Salida" es una orden dirigida al circuito lógico 32 de control de entrada-salida que origina la suspensión de toda actividad de entrada-salida en el sistema 35 de acoplamiento de entrada-salida. No están asociados datos con esta orden. Son borradas todas las interrupciones pendientes de dispositivo. Quedan sin modificar las asignaciones de nivel de interrupción de prioridad de dispositivo y las máscaras de dispositivo (bitios I).

 La figura 8 ilustra el contenido del registro 97 de la figura 5 y el registro 111 de la figura 6 y el siste-

1 ma de sincronismo de señales sobre diversas líneas de la
interzona 35. Esto representa la acción inicial cuando es
descodificada una instrucción OIO de programa, bien sea pa-
ra instrucciones de Leer o Escribir Bloque DPC, Transferencia
5 de la dirección DGB para operaciones de interrupción monocíclica, o para transferencia de códigos de nivel de interrupción para una orden "Preparar". La línea general 50 de datos estará excitada con los datos que están siendo transferidos entre el dispositivo 33 y el campo inmediato del bloque IDCB
10 en la unidad 31 de memoria que fué direccionado por la instrucción Activar Entrada-Salida.

Los bitios 0-15 de la línea general 49 de dirección contiene la primera palabra del bloque IDCB. La línea general 49 de dirección está activa antes de subir el nivel
15 de la línea 51 de señal de puerta de dirección y hasta la caída de nivel de la línea 52 de retorno de puerta de dirección. La igualdad entre la dirección de dispositivo codificada por conexasión y los bitios 8-15 de la línea general 49 de dirección con el bitio 16 en el estado binario 1, constituye la selección inicial de una unidad 34 de control de dispositivo periférico. El bitio 16 es sumado a la línea general 49 de dirección por el circuito 76 de control de puerta de acoplamiento de la figura 4 procedente de un descodificador 112 para distinguir la utilización de la línea
20 general 49 de dirección para operaciones de entrada-salida en contraste con otras operaciones que utilizan la línea general 49 de dirección.

La señal de la línea 51 de Puerta de Dirección es la marca de salida utilizada para indicar al dispositivo 33
30 que responda a la selección inicial y comience la operación

1 especificada por la orden (línea general de dirección; bits 0-7).

5 La señal de la línea 52 de retorno de puerta de dirección es la marca activada por la unidad 34 de control de dispositivo periférico para indicar al circuito lógico 32 de entrada-salida que ha recibido la señal 51 de puerta de dirección, ha reconocido su dirección y ha activado información de estado sobre la línea general 53 de entrada de código de estado. Esta marca debe aparecer dentro de un
10 cierto límite de tiempo en relación con la aparición de la señal de la línea 51 de puerta de dirección, como se ve en la salida del canal. Si no, el código 0 de estado es retornado al circuito lógico 32 de control de entrada-salida y la secuencia finaliza. La señal 51 "puerta de dirección" desaparece y se borra la línea general 49 de dirección.
15

La señal de la línea general 53 de entrada de código de estado es un campo de 3 bits que está codificado en código binario. El dispositivo 33 de entrada-salida transmite el estado al canal sobre esta línea general durante el
20 tiempo de marca de la señal Retorno de puerta de dirección. Los bits de código de estado son situados en el registro de estado de nivel en curso (ISR) de la unidad CPU 30. Los valores de código de estado y su significado están expuestos en la tabla I.

25

TABLA I

<u>Valor CC</u>	<u>Significado</u>
0	Dispositivo no conectado
1	Ocupado
2	Ocupado después de reposición

30

	<u>Valor CC</u>	<u>Significado</u>
1	3	Rechazo de orden
	4	Requerida intervención
	5	Comprobación de datos de sistema de acoplamiento
5	6	Controlador ocupado
	7	Satisfactorio

10 La señal 54 selectora de datos es una señal de salida generada por el circuito lógico 32 de control de entrada salida y puede ser utilizada por el dispositivo para registrar datos que están siendo enviados al dispositivo. La señal 54 selectora de datos desaparece cuando desaparece la señal 51 denominada Puerta de Dirección.

15 Las figuras 9, 10 y 11 serán utilizadas para describir detalles adicionales de las operaciones de entrada-salida de interrupción monocíclica. En la figura 9, la decodificación de una instrucción OIO con dirección 200 en la unidad de memoria hará que el ordenador 30 dirija y establezca acceso desde la posición 200 en la unidad 31 de memoria, a las dos palabras del bloque IDC B 113. El bloque IDCB será transferido a la unidad 34 de control de dispositivo periférico seleccionada por la porción de dirección de dispositivo del bloque IDCB de acuerdo con la secuencia representada en la figura 8. El campo inmediato del bloque IDCB identifica y proporciona la dirección de la posición de un bloque 114 de control de dispositivo (DCB) en la unidad 31 de memoria. La orden Iniciar Interrupción Monocíclica o Iniciar Estado de Interrupción Monocíclica será decodificada en la unidad 34 de control de dispositivo perifé-

20

25

30

1 rico e iniciará una primera operación de interrupción mo-
nocíclica utilizando la información 500 de dirección en la
unidad 31 de memoria para el fin de transferir el bloque
5 DCB 114 a la unidad 34 de control de dispositivo periféri-
co.

El contenido del bloque DCB identificará en la
unidad 31 de memoria implicada en la transferencia de da-
tos, y como se ilustra en la figura 9, está representado
que se sitúa en la dirección 800 en la unidad 31 de memo-
10 ria definiendo así una zona 115 de datos. La cantidad de
datos a transferir está especificada por un campo de cóm-
puto de baterías de bits. Al completarse la transferen-
cia controlada por el bloque DCB 114, puede transferirse a
15 la unidad 34 de control de dispositivo periférico un blo-
que DCB adicional identificado como DCB 106 encadenado, pa-
ra proporcionar control adicional para el dispositivo pe-
riférico 33 anteriormente seleccionado. Como se representa
en la figura 9, el bloque DCB 114 contiene información de
control que proporciona la dirección, en la unidad 31 de
20 memoria, del bloque DCB 116 encadenado que está situado en
la unidad 31 de memoria comenzando en la dirección 600.

Durante operaciones de interrupción monocíclica,
cada una de las ocho palabras que comprenden un bloque DCB
es transferida a la unidad 34 de control de dispositivo pe-
25 riférico anteriormente seleccionada según un principio de
solicitud de interrupción monocíclica. La figura 10 ilustra
el contenido de un bloque DCB incluido indistintamente en
la unidad 31 de memoria o como bloque recibido por una uni-
dad 34 de control de dispositivo periférico en respuesta a
30 la utilización de información IDCB que fué transferida, a

1 su vez, en respuesta a la instrucción CIO.

5 El bloque DCB es un bloque de control de ocho palabras que reside en la zona de supervisión de la unidad 31 de memoria. Describe los parámetros específicos de la operación de interrupción monocíclica. La unidad 34 de control de dispositivo periférico busca el bloque DCB utilizando la clave cero de protección de memoria. Se describe a continuación el contenido de la Palabra de Control de cada bloque DCB.

10 Si el bitio 0 es igual a uno, se indica una operación de encadenado de bloque DCB. Después de completarse satisfactoriamente la operación DCB en curso, el dispositivo no origina interrupción (excluyendo interrupciones PCI). En vez de ello, el dispositivo busca el bloque DCB siguiente en la cadena.

15 Si el bitio 1 es igual a uno, el dispositivo presenta una interrupción controlada programada (PCI) al completarse la búsqueda del bloque DCB. Una interrupción PCI pendiente no inhibe las transferencias de datos asociadas con el bloque DCB. Si la interrupción PCI está pendiente cuando el dispositivo encuentra el siguiente estado que origina interrupción, el estado PCI es descartado por el dispositivo y sustituido por el nuevo estado de interrupción.

20 El estado del bitio 2 indica al dispositivo la dirección de la transferencia de datos, 0 = salida (memoria principal a dispositivo) y 1 = entrada (dispositivo a memoria principal). Para transferencias bidireccionales de datos mientras se desarrolla una operación DCB, este bitio debe ser puesto a 1. Para operaciones de control que no impliquen transferencia de datos, este bitio debe ser puesto a

25

30

1 cero.

5 Si el bitio 3 es igual a uno, la transferencia de datos tiene lugar en el modo de ráfagas. Este modo de transferencia dedica al dispositivo el canal y el sistema de acoplamiento de entrada-salida hasta que se completa la última transferencia de datos asociada con este bloque DCB.

10 Si el bitio 4 es igual a 1, no es reportado un registro de longitud incorrecta. El dispositivo continúa la operación. Las clases de registro de longitud incorrecta son: (1) un registro cuya longitud es mayor que el cómputo especificado, y (2) un registro que es más corto que el cómputo especificado. La notificación de registro de longitud incorrecta puede suprimirse para una o ambas clases dependiendo del dispositivo individual.

15 Los bitios 5-7 constituyen la clave de dirección de interrupción monocíclica. Esta clave es presentada por el dispositivo durante transferencias de datos. Es utilizada para averiguar la autorización de acceso a memoria.

20 Los bitios 8-15 pueden ser utilizados para describir funciones singulares relacionadas con un dispositivo particular.

25 Las palabras 1-3 de parámetro son palabras de control dependientes del dispositivo y son puestas en ejecución según se requiera. Si es utilizada por un dispositivo la supresión de longitud incorrecta (SIL), la palabra 4 de parámetro especifica una dirección de unidad de memoria de 16 bitios denominada dirección de estado. Esta dirección señala un bloque de estado residual que está almacenado cuando se cumplen las dos condiciones siguientes: (1) el bitio SIL (bitio 4 de la palabra de control DCB) está puesto a 1,

30

1 y (2) se han completado todas las transferencias de datos para el bloque DCB en curso sin error.

5 El tamaño del bloque de estado residual varía de una a tres palabras dependiendo del dispositivo individual. La primera palabra contiene el cómputo de baterías residuales. Palabras adicionales (dos como máximo) contienen información de estado dependiente de dispositivo.

10 Si no se utiliza la longitud de supresión de longitud incorrecta por un dispositivo, el significado de la palabra 4 de parámetro de dispositivo es dependiente del dispositivo y tiene el mismo significado que las palabras 1-3 de parámetro.

15 Si el bitio de encadenamiento de bloques DCB (bitio 0 de la palabra de control) es igual a uno, la palabra 5 de parámetro especifica una dirección de memoria principal de 16 bitios del siguiente bloque DCB en la cadena. Si no está indicado encadenamiento, esta palabra de parámetro es dependiente del dispositivo en particular.

20 La palabra de cómputo contiene un número entero de 16 bitios sin signo que representa el número de baterías de bitios de datos a transferir para el bloque DCB en curso. El cómputo está especificado en baterías de bitios con una gama de 0 a 65.535. Debe también ser par para la operación de estado de interrupción monocíclica de iniciación.

25 La palabra dirección de datos contiene la dirección de memoria principal de iniciación para la transferencia de datos.

30 El mecanismo de interrupción monocíclica permite atender la transferencia de datos a o desde un dispositivo 33 de entrada-salida mientras la unidad CPU 30 está reali-

1 zando otro tratamiento. Este funcionamiento solapado permite la iniciación de múltiples transferencias de datos por una instrucción "activar entrada-salida". La unidad CPU ejecuta la instrucción Activar Entrada-Salida. Continúa entonces tratando el flujo de instrucciones mientras el dispositivo de entrada-salida efectúa interrupciones monocíclicas de datos en la memoria principal 31 cuando se necesita. La operación siempre termina con una interrupción de prioridad procedente del dispositivo. Es generada una marca 63 de llamada selectiva por el canal para resolver en la rivalidad entre dispositivos múltiples que solicitan transferencias de interrupción monocíclica. La marca de llamada selectiva resuelve también en la rivalidad para interrupciones de prioridad en el mismo nivel.

15 Todas las operaciones de interrupción monocíclica incluyen ciertas capacidades que son proporcionadas según una base de características de dispositivo:

1. Modo de ráfagas
2. Encadenamiento de órdenes
- 20 3. Encadenamiento de datos
4. Interrupción controlada programada (PCI)
5. Direcciones de memoria y transferencias de datos por batería o palabra.

25 Todas las operaciones de interrupción monocíclica finalizan con una interrupción de prioridad.

30 La finalidad de la orden Iniciar de Interrupción Monocíclica está relacionada con la transferencia de datos. La finalidad de la orden Iniciar Estado de Interrupción Monocíclica es obtener parámetros residuales del dispositivo si la operación anterior de interrupción monocíclica finali-

1 za debido a un error o estado de excepción. El formato DC B
es idéntico al correspondiente a una operación normal de in-
2 terrupción monocíclica, con las palabras 1-5 puestas a cero.

5 Durante operaciones de "iniciar estado de inte-
rrupción monocíclica", son transferidos datos a la memoria
3l principal comenzando en la dirección de datos específica
da en el bloque DCB. Estos datos consisten en parámetros re-
siduales e información de estado dependiente de dispositivo.
10 La primera palabra transferida contiene la dirección de me-
moria principal de la última transferencia de interrupción
monocíclica que se intentó asociada con una orden Iniciar.
Si se produce un error durante una operación de "iniciar
estado de interrupción monocíclica", esta dirección no es
15 alterada. La dirección residual puede ser una dirección de
datos, una dirección de bloque DCB, o una dirección de es-
tado residual de bloque, y es borrada solamente por una re-
posición de encendido. Es actualizada a la dirección de me-
moria de interrupción monocíclica en curso al ejecutarse
20 transferencias de interrupción monocíclica. Para transferen-
cias de palabra, la dirección residual señala la batería
de orden superior de la palabra. Las órdenes de reposición
de dispositivo, Detener Operación de Entrada-Salida, Compro-
bación de Máquina, y Reposición de Sistema, no tienen efec-
to sobre la dirección residual en el dispositivo.

25 La segunda palabra de estado transferida contiene
el cómputo de baterías residuales de un dispositivo. El cóm-
puto de baterías residuales es inicializado por el campo de
cómputo de un bloque DCB asociado con una orden Iniciar, y
es actualizado a medida que cada batería de datos es trans-
30 ferida con éxito mediante una operación monocíclica. No es

1 actualizado por transferencias de interrupción monocíclica
en el bloque de estado residual. El cómputo de baterías re-
siduales no se altera si se produce un error durante una
operación de "iniciar estado de interrupción monocíclica".
5 Es repuesto por: (1) reposición de encendido, (2) reposición
de sistema, (3) reposición de dispositivo, (4) Detener ope-
ración de entrada-salida, y (5) estado de comprobación de
máquina. El contenido de la palabra 1 de estado de interrup-
ción monocíclica de dispositivo es dependiente del disposi-
10 tivo si el dispositivo: (1) no pone en ejecución el modo de
suprimir longitud incorrecta (SIL), o (2) no almacena un
cómputo de baterías residuales como parte de su estado de
interrupción monocíclica.

15 Pueden transferirse otras palabras de estado de-
pendientes del dispositivo según el tipo de dispositivo. Dos
condiciones pueden originar la activación de bitios en las
palabras de estado dependientes de dispositivo.

1. Ejecución de una orden de entrada-salida que
origina una interrupción de excepción.
- 20 2. Estados asíncronos en el dispositivo que indi-
can un error o excepción.

Los bitios son repuestos del modo siguiente:

- 25 1. Para la primera condición enumerada anterior-
mente, los bitios son repuestos por la acepta-
ción de la siguiente orden de entrada salida,
excepto para la orden Iniciar Estado de Reposi-
ción de Interrupción Monocíclica) a continua-
ción de la interrupción de excepción. Estos bi-
tios son también repuestos por una reposición
30

1 de encendido, reposición de sistema, o ejecución de una orden Detener Operación de Entrada-Salida.

5 2. Para la segunda condición los bitios son repuestos sobre una base dependiente de dispositivo.

La figura 11 ilustra las líneas 35 de acoplamiento utilizadas y el sincronismo durante operaciones de interrupción monocíclica. Con anterioridad a esta operación, el dispositivo ha enviado una solicitud de interrupción monocíclica (bitio 16 por la línea general 61 de entrada de solicitud), al circuito lógico 32 de control de entrada-salida que respondió con la secuencia de llamada selectiva, y este dispositivo captó esa llamada selectiva.

15 La señal 55 de puerta de servicio es activada por el circuito lógico 32 de control de entrada-salida para indicar al dispositivo 33, que captó la llamada 64 selectiva e indicó retorno 65 de llamada selectiva, que pueden comenzar las transferencias de datos.

20 Cuando el dispositivo detecta la señal 55 de Puerta de Servicio envía la señal 56 Retorno de Puerta de Servicio al canal 32 para indicar que ha situado los datos necesarios e información de control sobre las líneas 35 de acoplamiento de entrada-salida. Cualquier dato proporcionado por el dispositivo para la transferencia es activado no después de la subida de la señal presente en esta línea de marca.

25 Esta línea de marca puede desactivarse no antes de que se desactive la señal 55 Puerta de Servicio y la señal 54 Selectora de datos, como se ve en la salida del dispositivo de entrada-salida.

30 La línea general 49 de dirección contiene la di-

1 rección de la unidad 31 de memoria que es utilizada para que
sea transferida la palabra de datos. El contenido de la lí-
nea general Dirección es transmitido al registro SAR 110 de
5 interrupción monocíclica en la tarjeta 41 de dirección. Tie-
ne lugar un ciclo de memoria y la palabra es situada en el
registro SDR 94 de interrupción monocíclica. La línea gene-
ral 50 de datos contiene la palabra que está siendo trans-
ferida.

10 La línea general 53 de entrada de código de estado
contiene la clave de dirección a utilizar durante el acceso
a la unidad 31 de memoria. Los bitios 0, 1, 2 de entrada de
código de estado corresponden a los bitios 0, 1, 2 de la cla-
ve de dirección. Esta línea general se activa con la subida
15 de la señal 56 Retorno de Puerta de Servicio y se mantiene
con nivel alto hasta la caída de la señal 55 Puerta de Ser-
vicio.

La señal 54 Selectora de datos es una marca de sa-
lida y puede ser utilizada por el dispositivo para registrar
datos que están siendo enviados al dispositivo. La señal 54
20 Selectora de datos baja de nivel con la caída de la señal 55
Puerta de Servicio.

La línea general 59 de estado es utilizada por el
circuito lógico 32 de control de entrada-salida para propor-
cionar una indicación a la unidad 34 de control de disposi-
25 tivo periférico en el caso en que se detecte un error duran-
te operaciones de interrupción monocíclica. Los bitios de
esta línea general tienen el siguiente significado:

Bitio 0 Comprobación de Datos de Memoria

30 Bitio 1 Dirección de memoria inválida

1

Bitio 2 Comprobación de protección

Bitio 3 Comprobación de datos de sistema de acoplamiento

5

Si esta línea general está activada, el dispositivo retiene la información para presentación en una Bateria de Bitios de Estado de interrupción en el tiempo de interrupción. La operación de interrupción monocíclica finaliza y el dispositivo presenta una interrupción final.

10

Si el dispositivo ha originado ya la Solicitud de Interrupción Monocíclica para la siguiente transferencia, o está en el modo de transferencia de ráfagas, debe completar una operación de servicio adicional sobre el sistema de acoplamiento. Esta operación de servicio consiste en un ciclo inactivo donde no son actualizados los parámetros retenidos de dispositivo o no son acumulados bitios de estado.

15

La marca indicadora de entrada-salida con valor 0 indica al circuito lógico 32 de entrada-salida que la operación es una salida de la memoria 31, y cuando esta marca es igual a 1 indica una entrada a la memoria 31.

20

Si la marca 58 indicadora de palabra-batería de bitios es igual a 0, indica al circuito lógico 32 de control de entrada-salida que va a tener lugar una transferencia de palabra, y si es igual a 1 indica una transferencia de batería.

25

Llamada Selectiva o escrutinio

30

Las figuras 12 a 14 ilustran en general el concepto de llamada selectiva o escrutinio de acuerdo con el presente invento. El circuito lógico es común a la selección de unidades 34 de control de dispositivo periférico en

1 respuesta indistintamente a solicitudes de interrupción o
solicitudes de interrupción monocíclica. De acuerdo con la
secuencia representada en la figura 12, la Línea General 61
de entrada de solicitud es excitada por cualquier dispositi
5 vo periférico 33 sobre la Línea General 35 de acomplamiento
que requiere tratamiento de interrupción o utilización de la
línea general 35 para transferencias de datos de interrup
ción monocíclica. La línea denominada "bitio 16" de la lí
nea general 61 de entrada de solicitud está excitada siem
10 pre que cualquier dispositivo requiera transferencias de
datos de interrupción monocíclica. Las líneas restantes de
la línea general 61 de entrada de solicitud están asociadas
cada una con un nivel particular de interrupción. La exci
tación de líneas sobre la línea general 61 de entrada de so
15 licitud permanecerá en un valor de estado estacionario mien
tras cualquier dispositivo requiera servicio para interrup
ción o transferencias de interrupción monocíclica.

En el momento en que el circuito lógico 32 de con
20 trol de entrada-salida determina que cualquiera de las solici
tudes sobre la línea general 61 de entrada de solicitud debe
rá ser reconocida, las líneas de señal de la línea general
62 identificadora de llamada selectiva se excitarán en forma
codificada para indicar a todos los dispositivos que está
siendo iniciado un proceso de escrutinio y selección indis
25 tintamente para transferencias de interrupción monocíclica
o para tratamiento de interrupción en un nivel de interrup
ción particular identificado por la línea general 62 iden
tificadora de llamada selectiva. Después que se ha excitado
la línea general 62 identificadora de llamada selectiva, es
30 generada en serie una señal 63 de llamada selectiva para to-

1 das las unidades 34 de control de dispositivo periférico
sobre la línea general 35 para resolver en la rivalidad en-
tre unidades 34 de control de dispositivo periférico que so-
5 licitan interrupciones en el mismo nivel de prioridad y so-
licitudes de interrupción monocíclica. Cada unidad 34 de con-
trol de dispositivo periférico recibe la marca 63 de llamada
selectiva y retransmite, o propaga, la misma a la siguiente
unidad 34 de control de dispositivo periférico enviándole la
10 señal de propagación de llamada selectiva si el dispositivo
no capta la llamada selectiva. Si una unidad 34 de control
de dispositivo particular ha solicitado servicio del tipo
identificado por la línea general 62 identificadora de lla-
mada selectiva, responde con la señal de retorno de llamada
selectiva por la línea 65, y la señal 63 de llamada selec-
15 tiva no se propaga a cualquiera de las unidades 34 de con-
trol de dispositivo periférico adicionales.

En la figura 13 se ilustra una representación de
tres unidades 34 de control de dispositivo periférico, to-
das las cuales tienen interrupciones pendientes. El primer
20 dispositivo está indicando una solicitud para interrumpir
en el nivel 2 mientras que los restantes dispositivos están
solicitando interrupciones en el nivel 1. La línea 62 iden-
tificadora de llamada selectiva estará codificada para es-
pecificar una llamada selectiva para cualquier dispositivo
25 que efectúa una solicitud en el nivel 1. Puesto que la lí-
nea general 62 identificadora de llamada selectiva no coin-
cide con la solicitud en el nivel 2, hecha por el primer dis-
positivo, la señal 63 de llamada selectiva se propagará has-
30 ta el siguiente dispositivo próximo. El primer dispositivo

1 que manifiesta una solicitud en el nivel 1 capta la llama-
da selectiva, e impide la transmisión de la señal de propa-
gación de llamada selectiva a los siguientes dispositivos
próximos. Al mismo tiempo, el primer dispositivo de nivel 1
5 generará la señal 65 de retorno de llamada selectiva para
informar al circuito lógico 32 de control de entrada-salida
que la llamada selectiva ha sido captada. El circuito lógi-
co 32 de control de entrada-salida responderá con la señal
10 55 de puerta de servicio, el dispositivo responde a la señal
55 de puerta de servicio con la señal 66 de retorno de puer-
ta de servicio y comienza la utilización de la línea general
35 de acoplamiento.

15 Como se representa en la figura 13, la señal de
llamada selectiva que es propagada en serie de dispositivo
a dispositivo consiste en realidad en dos señales indepen-
dientes denominadas señal 63 de llamada selectiva y señal
64 primaria de llamada selectiva. Los circuitos lógicos in-
ternos para cada una de las unidades 34 de control de dispo-
sitivo periférico generan una señal de llamada selectiva in-
20 terna en respuesta a la recepción de una señal tanto sobre
la línea 63 de entrada de llamada selectiva como la línea
64 de entrada de señal primaria de llamada selectiva. Esta
característica permite el funcionamiento correcto del meca-
nismo de llamada selectiva aún cuando sea eliminado física-
25 mente de la línea general 35 de acoplamiento una unidad 34
de control de dispositivo periférico particular. En el ca-
so extremo pueden ser eliminadas físicamente todas las uni-
dades 34 de control de dispositivo periférico alternativas.

30 La figura 14 representa un detalle adicional del
circuito lógico interno de una unidad 34 de control de dis-

1 positivo periférico utilizada en la recepción de las señales
63 y 64 de llamada selectiva y en la generación de la señal
65 de retorno de llamada selectiva. Un circuito "Y" 117 re-
5 cibe tanto la señal 63 de llamada selectiva como la señal
primaria 64 de llamada selectiva recibidas sobre una pri-
mera y una segunda entradas, respectivamente. La salida del
circuito "Y" 117 sobre la línea 118 es la señal de llamada
selectiva interna. Un circuito "Y" 119 y un circuito compa-
10 rador 120 determinan a partir del nivel presente de inte-
rrupción de dispositivo o indicación de solicitud monoci-
clica sobre una línea 121, y a partir de la información co-
dificada sobre la línea general 62 identificadora de llama-
da selectiva, si el dispositivo particular representado de-
berá o no captar la llamada selectiva y generar una señal
15 65 de retorno de llamada selectiva procedente del circuito
"Y" 122.

La salida del circuito comparador 120 o del cir-
cuito "Y" 119 será efectiva en el circuito "Y" 122 junto
con una señal 118 de llamada selectiva interna para generar
20 la señal 65 de retorno de llamada selectiva e inhibir el
funcionamiento del circuito lógico de propagación de llamada
selectiva a un dispositivo siguiente.

Está representado que el circuito "Y" 117 tiene,
sobre cada una de la primera y segunda entradas, una resis-
25 tencia 123 conectada a una tensión positiva. La línea 63 de
llamada selectiva y la línea 64 de llamada selectiva pri-
maria estarán mantenidas normalmente a niveles negativos,
inefectivos, en ausencia de la generación de las respecti-
vas señales. Si la unidad 34 de control de dispositivo pe-
30 riférico inmediatamente precedente fuese eliminada de la

1 línea general 35 de acoplamiento, la resistencia 123 conec-
tada a la fuente de alimentación de tensión positiva fija-
ría la primera entrada del circuito "Y" 117 a un nivel posi-
5 tivo indicando una señal de llamada selectiva normal sobre
la línea 63. En este instante, la recepción de la señal pri-
maria de llamada selectiva sobre la línea 64 procedente de
una unidad 34 de control de dispositivo periférico inmedia-
tamente precedente a la unidad 34 de control de dispositivo
10 periférico eliminada de la línea general de acoplamiento, se
combinará con la primera entrada fijada en nivel del cir-
cuito "Y" 117 y será efectiva para generar la señal de lla-
mada interna sobre la línea 118 de señal. Si la unidad 34
de control de dispositivo periférico que genera la señal
15 primaria 64 de llamada selectiva fuese eliminada de la lí-
nea general 35, quedaría fijada en nivel la segunda entrada
al circuito "Y" 117, y el circuito "Y" 117 respondería a la
señal 63 de llamada selectiva procedente de la siguiente uni-
dad 34 de control de dispositivo precedente.

20 -Unidad de Control de Dispositivo Periférico

La figura 15 ilustra con un poco más de detalle la
disposición de las partes principales de una unidad 34 de
control de dispositivo periférico representada en la figu-
ra 3. El circuito lógico 46 de acoplamiento de canal está
25 conectado en paralelo con otro circuito lógico de acopla-
miento de canal a la línea 35 de acoplamiento, y recibe tam-
bién la señal 63 de llamada selectiva transmitida en serie.
En ciertas situaciones, el circuito lógico 46 de acoplamien-
to de canal contendría todos los circuitos lógicos combina-
30 cionales y secuenciales requeridos para controlar directa-

1 mente un dispositivo 33. Sin embargo, en una realización
preferida del presente invento, el control básico para la
unidad 34 de control de dispositivo periférico es efectuado
por un microordenador 47 que incluye su propia memoria 124
5 para programas, datos e información de control de dispositi-
vos periféricos. La transferencia de información de datos,
control y recepción es efectuada por la línea 125 general
de salida de datos del microordenador 47, la línea general
126 de entrada de datos y la línea general 127 de dirección.
10 El conjunto de instrucciones del microordenador 47 incluye
códigos CP e información de dirección, en donde la informa-
ción de dirección de la línea general 127 identifica re-
gistros particulares, circuitos de báscula, circuitos de re-
tención y puertos incluidas en la unidad 34 de control de
15 dispositivo periférico, cuyas instrucciones han de ser efec-
tuadas o cuya información ha de ser percibida.

La figura 16 representa los componentes principa-
les del circuito lógico 46 de acoplamiento de canal conecta-
dos a la línea general 35 de acoplamiento y líneas generales
20 del microordenador 47. Las unidades principales incluyen la
batería 0 de registro de datos con comprobación de paridad
y generación de paridad, y la batería 1 del registro de da-
tos con comprobación de paridad y generación de paridad. La
operación de secuencia de interrupción e interrupción mono-
25 cíclica está controlada en circuitos lógicos que incluyen com-
probación de nivel de prioridad e identificación de llamada
selectiva. Circuitos lógicos adicionales incluyen la batería
0 de un registro de direcciones que, como se ha comentado
anteriormente, es portador de la orden para un dispositivo
30 y por consiguiente incluye también un mecanismo descodifica-

1 dor de órdenes. Otro circuito lógico recibe la batería 1
de la información de dirección, que, como se ha comentado
anteriormente, direcciona un dispositivo particular cuya di
rección es comparada con una dirección establecida por co-
5 nexionado sobre puentes codificadores de dirección. Hay una
unidad lógica que incluye el registro de estado de interrup-
ción monocíclica, la generación de código de estado y otros
controles de reposición y líneas de acoplamiento. Está dis-
puesto un descodificador para la información de dirección
10 procedente del microordenador, que es efectivo para contro-
lar y percibir los estados de diversos circuitos de reten-
ción incluidos en la unidad 34 de control de dispositivo
periférico.

15 La figura 17 representa un diagrama de bloques de
los componentes principales de un microordenador 47 adecua-
do para utilización en la unidad 34 de control de dispositi-
vo periférico. Están representadas la memoria 124 anterior-
mente mencionada, las líneas generales 125 y 126 de salida
y entrada de datos, y la línea general 127 de dirección. El
20 microordenador está controlado por la entrada de instruccio-
nes de 16 bits en un registro OP 128, cuya porción de có-
digo OP es utilizada por el circuito 129 de control de ciclo
y un generador 130 de impulsos de sincronismo para generar
señales necesarias de control dentro del microordenador. Se
25 establece acceso a la memoria 124 por información de direc-
ción procedente de un registro (SAR) 131 de dirección de me-
moria que recibe información de dirección de diversas fuen-
tes. Estas fuentes incluyen información de dirección en ins-
trucciones contenidas en el registro 128 OP, un registro
30 132 de dirección de instrucción, un registro 133 de enlace y

1 procedente del bloque de registro de dirección 134 de datos
direccionable para instrucciones (bloque DAR). En combina-
ción con el registro 132 de dirección de instrucción y el
5 registro 133 de enlace, un registro 135 de reserva y un in-
crementador 136 proporcionan las señales de control neces-
arias para controlar la secuencia de la ejecución de instruc-
ciones programadas que incluyen señales de control de secuen-
cia del tipo bifurcación, bifurcación y retorno y bifurca-
ción y enlace.

10 Puede ser almacenado en el registro 139(A) y/o en
el registro 140 (B) un bloque 137 adicional de registro di-
reccionable y datos procedentes de la memoria 124, presen-
tados a través de un ensamblador y combinador 138 de trans-
misión simultánea. Los registros 139 y 140 proporcionan la
15 entrada a la unidad 141 lógica y aritmética, y son los re-
gistros utilizados para transferencia de datos haciendo uso
de la línea general 125 de salida de datos o la línea gene-
ral 126 de entrada de datos.

20 La figura 18 representa detalles adicionales del
circuito lógico 46 de acoplamiento de canal comentado bre-
vemente en relación con la figura 16. Como resultado de un
proceso de descodificación en el ordenador 30 de una instruc-
ción OIO, el circuito lógico de control de entrada-salida o
canal 32 deben comunicar con las unidades 34 de control de
25 dispositivo periférico para utilizar la línea general 35
de acoplamiento para transferir el bloque de control de da-
tos inmediatos (IDCB). El circuito lógico 46 de acoplamien-
to de canal, si está controlado por un microordenador 47 de
acuerdo con una realización preferida, o por un circuito
30 combinacional y secuencial, debe incluir un número de ele-

1 mentos básicos, y estos elementos incluyen un registro 142
de 16 bits, un registro 143 de dirección, un registro 144
de órdenes y el circuito 145 de anexión o circuito compara-
5 dor de dirección de selección de dispositivo.

5 Como se ha indicado anteriormente, la línea gene-
ral 49 de dirección de acoplamiento es portadora de la pri-
mera palabra del bloque IDCB que incluye la orden de dispo-
sitivo en los bits 0 a 7 y la dirección de dispositivo en
10 los bits 8 a 15. Es realizada una selección inicial de to-
das las unidades 34 de control de dispositivo periférico por
el bit 16 de la línea general 49 de dirección para distin-
guir la utilización de la línea general para operaciones de
entrada y salida en contraste con las otras operaciones. La
15 selección inicial de dispositivo o selección de anexión es
realizada comparando la dirección de dispositivo en los bi-
tios 8 a 15 sobre la línea general 49 de dirección con la
dirección 133 de dispositivo codificada por conexiones fi-
jas en el circuito comparador 145 de direcciones para pro-
porcionar una señal de selección inicial de dispositivo o
20 de anexión en la línea 146. El reconocimiento de la direc-
ción de dispositivo hará que los bits 1 a 7 en la línea
general 49 de dirección sean transmitidos al registro 144
de órdenes para presentación a un circuito 147 descodifica-
dor de órdenes. La combinación lógica presente en la línea
25 general 127 de dirección de microordenador es descodifica-
da en un circuito descodificador 148. La salida del desco-
dificador 148 es combinada con la salida del descodificador
147 en el circuito lógico 149 de anexión. Para operaciones
de transferencia de datos, indistintamente una primera o
30 una segunda señal de salida en las líneas 150 y 151 indica-
rá una transferencia por control directo de programa o una

1 transferencia de interrupción monocíclica, respectivamente.

La señal 146 de selección de dispositivo inicial o de aneXión proporciona una señal de habilitación a un circuito "Y" 152 que responde a la señal 51 de dirección genera da de circuito lógico de control de entrada-salida para ge-
5 nerar una señal 52 de retorno de puerta de dirección. En respuesta a la señal 52 de retorno de puerta de dirección, el circuito lógico 32 de entrada-salida es informado de la selección de dispositivo.

10 El registro 142 de datos de 16 bitios está interconectado con la línea general 50 de datos de acoplamiento por las líneas generales 153 y 154. El registro 142 de datos de 16 bitios comunica con la línea general 125 de salida de datos del microordenador de 8 bitios o con la línea
15 general de entrada de datos, en dos ciclos independientes en respuesta a la señal de control procedente del microordenador. En el caso de una operación de lectura de control directo por programa, el registro 142 de datos habrá recibido los datos de la línea general 125 de salida de datos de
20 microordenador para presentación a la línea general 50 de datos de acoplamiento sobre la línea general 154. Si la operación DPC es escribir datos, el contenido de la línea general 50 de datos de acoplamiento habría sido situado en el registro 142 de datos sobre la línea general 153 para presentación subsiguiente, en dos ciclos independientes, a la
25 línea general 126 de entrada de datos de microordenador.

Si la porción de orden de bloque de control de datos inmediatos ha solicitado una operación de Iniciar Interrupción Monocíclica, el contenido del registro 142 de
30 datos recibido por la línea general 153 contiene información

1 de dirección que será transferida por la línea general 126
de entrada de datos de microordenador a la memoria 124 del
microordenador representado en la figura 17. Adicionalmente,
5 en respuesta a la descodificación de una operación de Ini-
ciar Interrupción Monocíclica, el contenido del registro 124
de orden será transferido por una línea general 155 a la
línea general 126 de entrada de datos de microordenador pa-
ra almacenamiento en la memoria 124 del microordenador. Por
consiguiente, la memoria 124 del microordenador es utiliza-
10 da como memoria de órdenes y memoria de dirección de unidad
31 de memoria para el fin de controlar operaciones subsi-
guiente de transferencia de datos por interrupción monocí-
clica.

15 Durante operaciones subsiguientes de transfe-
ren-
cia de interrupción monocíclica, el registro 143 de direc-
ciones recibirá sobre una línea general 156 en dos ciclos
consecutivos, procedente de la memoria 124 de microordena-
dor, la información de dirección de la unidad 31 de memoria
anteriormente almacenada. Esta información de dirección so-
20 bre operaciones subsiguientes de transferencias de datos
de interrupción monocíclica será transferida sobre una lí-
nea general 157 a la línea general 49 de dirección de aco-
plamiento para presentación al mecanismo de dirección de
la unidad 31 de memoria de la unidad de tratamiento central.
25 El registro 142 de datos contendrá los datos de una trans-
ferencia de interrupción monocíclica, bien sea para una ope-
ración de lectura o para una operación de escritura.

30 Un tercer tipo de orden recibida en el bloque de
control de datos inmediatos es una orden "preparar" indica-
da en una línea 158. En respuesta a una orden "preparar" in

1 dicada en la línea 158, los bitios 11 a 14 sobre la línea
general 50 de datos de acoplamiento serán almacenados en un
registro 159 de nivel de prioridad y el bitio 15 (I) anterior
5 mente mencionado será almacenado en un circuito 160 de bás-
cula. El contenido del registro 159 de nivel de prioridad
manifiesta el nivel de prioridad del dispositivo cuando de-
ben hacerse solicitudes de interrupción. Una señal de soli-
10 citud de interrupción sobre la línea 161, iniciada por el
microordenador conectado 47, será efectiva en un circuito
"Y" 162 si el bitio I almacenado en 160 es un 1 binario. Es-
to significa que el dispositivo puede originar una interrup-
ción en cualquier nivel. Si el dispositivo puede originar
una interrupción y ha sido hecha una solicitud de interrup-
15 ción en la línea 161, se activará un descodificador 163 de
nivel para excitar una de las líneas de señal incluidas en
la línea general 61 de entrada de solicitud de interrupción.
La línea excitada estará asociada con el nivel de interrup-
ción de prioridad registrado en el registro 159 de nivel de
prioridad.

20 Como se ha comentado anteriormente con relación a
la figura 14, el circuito lógico 32 de entrada-salida respon-
de a cualquier señal presente sobre la línea general 61 de
entrada de solicitud, bien sea para una solicitud de inte-
25 rrupción o para una solicitud de interrupción monocíclica
indicada sobre una línea 61-16, mediante la iniciación de
una secuencia de llamada selectiva. La secuencia de llamada
selectiva incluye la transmisión de la identificación de
llamada selectiva por la línea general 62 a todas las uni-
30 daes 34 de control de dispositivo periférico conectadas,
junto con la señal 63 de llamada selectiva transmitida en

1 serie. Si la señal de identificación de llamada selectiva
por la línea general 62 indica una llamada selectiva para
cualquier dispositivo que solicita una transferencia de
5 interrupción monocíclica, se generará una señal en la lí-
nea 164. Esta señal habilita la puerta "Y" 119 para produ-
cir una salida si el dispositivo representado en la figura
18 ha solicitado una transferencia de interrupción monocí-
clica, como se indica en la línea 121.

10 Si la línea general 62 de identificación de llama-
da selectiva está codificada con un nivel de interrupción de
prioridad que coincide con el nivel presente asignado como
se indica en el registro 159, y el dispositivo representado
en la figura 18 ha solicitado una interrupción, como se in-
15 dica por una salida del circuito "Y" 162, será generada una
señal por el circuito "Y" 165. El circuito "O" 166 genera-
rá una señal de salida en respuesta a una salida del cir-
cuito "Y" 119, o a la salida del circuito "Y" 165, para in-
terromper la propagación de la llamada selectiva a unidades
20 34 subsiguientes de control de dispositivo periférico, cuya
señal está representada en 167. Otros circuitos lógicos de
la unidad 34 de control de dispositivo periférico de la fi-
gura 18 serán informados de la captación de llamada selecti-
va por la línea 168. Adicionalmente, será habilitado un cir-
25 cuito "Y" 169 para hacer así que la unidad 34 de control de
dispositivo periférico responda a la señal 55 de puerta de
servicio en la línea 35 de acoplamiento mediante la genera-
ción de la señal 56 de retorno de puerta de servicio para
el fin de controlar la transferencia adicional por la línea
30 general 35 de acoplamiento.

Las figuras 19, 20 y 21 representan detalles adi-

1 cionales de la disposición lógica del circuito lógico 46 de
acoplamiento de canal que se ha comentado con relación a la
figura 18. Diversos bloques lógicos incluyen puertas "Y" (A),
5 puertas "O" (OR), inversores (N), puertas "O" Exclusivas
(EOR) y diversos elementos de almacenamiento biestable en
la forma de circuitos de báscula, circuitos de báscula bies-
table, circuitos de retención y circuitos de retención de
prioridad. Las líneas de señal que entran en un bloque ló-
gico particular con una flecha de trazo continuo o que sa-
10 len de un bloque lógico con un triángulo de trazo continuo
indican que la línea o bloque está en estado activo, o ver-
dadero, cuando la línea tiene nivel de tensión negativo. Por
el contrario, la ausencia de una flecha o triángulo de trazo
continuo indica que la línea o bloque está en estado activo
15 o verdadero cuando la línea tiene nivel positivo.

En la figura 19 está representada la línea de se-
ñal 161 de solicitud de interrupción que es generada por un
circuito "O" 170 que recibe entradas de dispositivos bies-
20 tables 171 y 172. Un inversor 173 proporciona una señal in-
vertida que representa la solicitud de interrupción a otro
bloque lógico de acoplamiento de canal. Una señal selectora
de control procedente del microordenador 47 muestrea una
puerta "Y" 174 y una puerta "Y" 175, cuyas salidas activan
dispositivos biestables 171 y 172, respectivamente. La en-
25 trada 176 de la puerta "Y" 174 es una línea de señal genera-
da por el descodificador 148 de la figura 18 en respuesta a
la señal presente sobre la línea general 127 de dirección de
microordenador y refleja la determinación microordenador de
que el dispositivo conectado requiere atención por parte del
30 ordenador 30. Como se ha mencionado anteriormente, ciertos

1 bloques de control de datos en una cadena de bloques de con
trol de datos de operaciones de interrupción monocíclica pue
den incluir un bitio PCI que indica una interrupción contro
lada por programa durante operaciones de encadenamiento pa
5 ra permitir que el ordenador 30 muestree el progreso de ope
raciones de interrupción monocíclica. La detección por par
te del microordenador del bitio PCI originará la activación
de una línea 177 de señal que habilita así la puerta "Y" 175
para activar el dispositivo 172. Cualquiera de estos dos ca
10 sos, como se refleja por las puertas "Y" 174 ó 175, será
efectivo para iniciar una solicitud de interrupción por la
unidad 34 de control de dispositivo periférico. Un circuito
"O" 178 se activará para reponer los dispositivos biestables
171 y 172 y recibe como entradas líneas de señal generadas
15 en respuesta a un número de condiciones que requieren la re
posición de la solicitud de interrupción. Estas condiciones
incluyen el hecho de que la señal 55 de puerta de servicio
en línea general 35 de acoplamiento haya bajado de nivel,
indicando que la solicitud de interrupción anteriormente re
20 conocida se ha completado, o que la unidad 34 de control de
dispositivo periférico ha recibido ciertas otras señales
por la línea general 35 de acoplamiento, tales como Detener
Operacion de Entrada-Salida, o reposición de sistema.

25 Las figuras 20A y 20B, cuando se disponen de acuer
do con la figura 20, representan la disposición lógica adi
cional detallada de bloques anteriormente mencionados de la
figura 18 que se refieren a la excitación de la línea gene
ral 61 de entrada de solicitud de interrupción, a la carga
de un nivel de prioridad en el registro 159 de nivel de prio
30 ridad y a la comparación del contenido del registro 159 de

1 nivel de prioridad con información codificada sobre la lí-
nea general 62 de identificación de llamada selectiva de
línea de acoplamiento en el circuito comparador 120. El re-
gistro 159 de nivel de prioridad de la figura 18 está repre-
5 sentado por circuitos 180 a 183 de retención de polaridad.
Los circuitos "Y" 184 a 187 asociados, a través de inverso-
res, activan en los circuitos 180 a 183 de retención de po-
laridad el estado binario de las posiciones 11 a 14 de bi-
tio de la línea general 50 de datos de acoplamiento que es-
10 tán codificados con el nivel de prioridad a establecer en
el registro de nivel de prioridad en respuesta a una orden
"preparar".

La señal presente en la línea 158, que indica una
orden Preparar, es generada por el descodificador 147 de
15 orden de la figura 18 cuando la orden de bloque IDCB soli-
cita la entrada de niveles de prioridad en el registro 159
de nivel de prioridad. La señal 54 selectora de datos reci-
bida de la línea general 35 de acoplamiento es aplicada a un
circuito "Y" 188 para generar una señal en la línea 189 que
20 indica que ha de ser cargado el registro 159 de nivel.

Otra condición requerida para cargar la información
de nivel de prioridad esté indicada por una salida del cir-
cuito "O" 190 y de los circuitos "Y" 191 y 192. Esta condi-
ción es que la orden sea una orden de escribir y que la di-
rección de dispositivo haya dado una comparación positiva
25 indicando una selección de dispositivo, y que la unidad de
control del dispositivo particular no esté actualmente ocu-
pada en una transferencia de datos de interrupción monocícli-
ca.

30 Un inversor 193 y un circuito "Y" 194 reciben la

1 posición 15 de bitio de la línea general 50 de datos de en-
trada-salida que es ingresada en el circuito 160 de reten-
ción mencionado anteriormente en la figura 18 como bitio I,
o bitio de habilitación de interrupción, para la unidad de
5 control de dispositivo periférico. El circuito 160 de bás-
cula será repuesto en primer lugar por un circuito "0" 195
y activado entonces al estado binario 1 ó 0 del bitio 15 de
la línea general de datos. El circuito "0" 195 recibe tam-
bién una entrada que repone el bitio I en respuesta a una
10 reposición de sistema o reposición de encendido procedente
de la línea general 35 de acoplamiento.

El circuito "Y" 162 anteriormente mencionado en la
figura 18 está ilustrado nuevamente en la figura 20 y se re-
presenta para recibir el estado del bitio I y la señal 161
15 de solicitud de interrupción generada desde el circuito de
la figura 19. En ausencia de señal en la línea 196, designa-
da línea general de entrada de solicitud de bloque, aplica-
da a los circuitos "Y" 197 y 198, cada uno de los cuales re-
cibe los valores complementarios del bitio 0 de registro de
20 nivel, un descodificador 199 presentará a la línea general
61 de solicitud de interrupción una señal de excitación de
una línea particular de las líneas de acuerdo con el nivel
de prioridad ingresado en los circuitos 180 a 183 de reten-
ción de polaridad. Se trata de la transmisión controlada
25 del bitio 0 al descodificador 199 cuyo bitio excita dicho
descodificador. La señal presente en la línea 196, que in-
dica que deberá desactivarse o bloquearse la línea general
de entrada de solicitud, es recibida desde la figura 21, que
se comentará subsiguientemente, indicando que la unidad 34
30 de control de dispositivo periférico ha realizado una cap-

1 tación de llamada selectiva en respuesta a una solicitud de
interrupción, o una captación de señal de puerta de servicio
en respuesta a una solicitud de interrupción monocíclica. En
ausencia de estas dos señales para bloquear la excitación de
5 la línea general 61 de entrada de solicitud, la línea general
de entrada de solicitud reflejará una solicitud de interrup-
ción continuada en un nivel particular asignado. Puesto que
puede ser recibida una orden de Preparar y de Selección de
Datos por una unidad de control de dispositivo periférico
10 totalmente bajo control de programación en el ordenador 30,
puede modificarse en cualquier instante el contenido de los
circuitos 180 a 183 de retención de polaridad. Si se hubie-
se producido una excitación anterior del circuito "Y" 162
por una solicitud de interrupción, y en ausencia de una lla-
mada selectiva anterior o captación de señal de puerta de
15 servicio, el descodificador 199 permanecería excitado y su
estado sería cambiado inmediatamente de acuerdo con cualquier
nueva codificación del nivel de prioridad ingresada en los
circuitos 180 a 183 de retención de polaridad.

20 La figura 20 representa circuitos "O" 200 a 203 ex-
clusivos que indican una comparación entre bitios del regis-
tro 159 de nivel de prioridad y bitios de la línea general
62 identificadora de llamada selectiva que serán utilizados
en el circuito lógico de la figura 21 para efectuar una cap-
tación de señal de llamada selectiva.

25 Las figuras 21A y 21B, cuando están dispuestas de
acuerdo con la figura 21, ilustran la configuración lógica
del circuito lógico 46 de acoplamiento de canal de una uni-
dad 34 de control de dispositivo periférico implicada con
30 la recepción de las señales 63 y 64 de llamada selectiva y

1 primaria de llamada selectiva, y resulta de la comparación
de los bitios de la línea general 62 de identificación de
llamada selectiva con el contenido del registro 159 de ni-
5 vel. Este circuito lógico tiene como finalidad la captación
de las señales 63, 64 de llamada selectiva con la subsiguie-
te generación de la señal 65 de retorno de llamada selectiva
o la propagación de la señal de llamada selectiva a unidades
adicionales 34 de control de dispositivo periférico.

10 En la figura 21A está repetido el circuito "Y" 117
de la figura 14, que recibe, sobre una primera y una segunda
entradas, la señal 63 de llamada selectiva y la señal 64 pri-
maria de llamada selectiva para generar, en respuesta a ellas,
una señal de llamada selectiva interna sobre la línea 118. La
señal 118 de llamada selectiva interna reactivada está apli-
cada a un dispositivo 204 biestable de retención de polari-
15 dad, cuyo estado estable es utilizado para controlar la efec-
tividad de un circuito "Y" 205 y un circuito "Y" 206 ambos
de los cuales reciben la señal 118 interna de llamada selec-
tiva reactivada. Dependiendo del estado del circuito 204, el
circuito "Y" 205 generará la señal de propagación de llamada
20 selectiva que es la señal 63 de llamada selectiva para unida-
des subsiguientes de control de dispositivo periférico o se
activará el circuito "Y" 206 para generar la señal 65 de re-
torno de llamada selectiva, e indicar a los circuitos lógi-
cos internos de la unidad de control de dispositivo periféri-
co la captación de llamada selectiva por activación del cir-
25 cuito 207 de retención.

30 El estado del circuito 204 de retención de polari-
dad a indicar en respuesta a la señal 118 de llamada selec-
tiva interna reactivada está controlado por un circuito "Y"
208 que responde al estado 209 de retención de polaridad o

1 del circuito 210 de retención de polaridad. En ausencia de
una salida efectiva de un circuito "O" 211, que indica que
no ha tenido lugar captación de llamada selectiva o capta-
5 ción de señal de puerta de servicio, se habilitarán un cir-
cuito "Y" 212 y un circuito "Y" 213. El circuito "Y" 212 res-
ponderá a una señal de solicitud de interrupción monocíclica
sobre la línea 214 procedente de un circuito báscula inclui-
do en otro circuito lógico de acoplamiento de canal activa-
do por el microordenador, para preparar o armar el circuito
10 209 de retención de polaridad. Igualmente, en respuesta a
una señal presente sobre la línea 215 procedente del circui-
to "Y" 162 de la figura 20, se activará el circuito "Y" 213
para preparar el circuito 210 de retención de polaridad.

El requerimiento para una transferencia de interrup-
15 ción monocíclica, indicado sobre la línea 214, es también
efectivo para excitar el bitio 16 de la línea general 61 de
entrada de solicitud presentado al circuito lógico 32 de en-
trada-salida. El circuito lógico 32 de control de entrada-sa-
lida responderá a la solicitud de interrupción monocíclica
20 excitando la línea general 62 identificadora de llamada se-
lectiva con una combinación de código particular. Esta com-
binación de código es reconocida por un circuito "Y" 216 que
responde al estado binario 1 de las posiciones 0, 3 y 4 de
la línea general 62 identificadora de llamada selectiva. La
25 indicación básica de una identificación de llamada selectiva
de interrupción monocíclica es la posición 0 de bitio de la
línea general 62 identificadora de llamada selectiva que de-
be estar en el estado binario 1. Cuando la posición 0 de bi-
tio de la línea general 62 identificadora de llamada selec-
30 tiva está en el estado binario 0, son descodificadas las po-

1 siciones de bitio restantes para indicar un nivel de prio-
ridad particular.

5 Cuando se activa el circuito "Y" 216 en respuesta
a una indicación de una llamada selectiva de interrupción
monocíclica en la línea general 62 identificadora de llama-
da selectiva, el circuito 209 de retención de polaridad se-
rá activado por una señal presente sobre la línea 217 para
indicar la existencia de una solicitud de interrupción mono-
cíclica sobre la línea 214 junto con el reconocimiento de una
10 llamada selectiva para operaciones de interrupción monocícli-
ca.

15 El circuito 210 de retención de polaridad será
basculado por una señal presente en la línea 218 cuando se
activa un circuito "Y" 219. El circuito "Y" 219 se activará
en presencia de un estado binario 0 en la posición 0 de bi-
tio de la línea general 62 identificadora de llamada selec-
tiva y una salida de un circuito "Y" 220. El circuito "Y"
220 es el circuito lógico que recibe las salidas de los cir-
cuitos 200 a 203 "0" exclusivos de la figura 20 y se acti-
va cuando el código presente sobre la línea general 62 iden-
tificadora de llamada selectiva coincide con el nivel de
20 prioridad indicado en el registro 159 de nivel de prioridad
representado en la figura 18.

25 Una porción principal de la figura 21 representa,
por consiguiente, medios de recepción de llamada selectiva
que o bien propagarán una señal de llamada selectiva recibi-
da a unidades subsiguientes de control de dispositivo peri-
férico o captará la llamada selectiva activando el circuito
30 207 de retención cuando ha sido hecha una solicitud de in-
terrupción monocíclica y la línea general de identificación

1 de llamada selectiva indica un escrutinio para solicitud de
interrupción monocíclica, o se ha realizado una solicitud
de interrupción, y el código sobre la línea general 62 de
5 identificación de llamada selectiva es igual al nivel de in-
terrupción de prioridad de la unidad de control de dispositi-
vo periférico que recibe la señal de llamada selectiva.

La captación de la señal de llamada selectiva en
el circuito 207 de retención actuará en el circuito "0" 211
para bloquear la línea general 61 de entrada de solicitud
10 por medio de una señal 196. La señal 220 de captación de lla-
mada selectiva procedente del circuito 207 de retención ac-
tuará para preparar un circuito 221 de retención de polaridad.
El circuito 221 de retención de polaridad responderá
subsiguientemente a una señal de habilitación procedente de
15 un circuito "0" 222, en respuesta a la recepción de una se-
ñal 54 selectora de datos o una señal 55 de puerta de ser-
vicio. La señal 223 procedente del circuito "0" 222 actua-
rá en una puerta "Y" 224, a través de un circuito "0" 225,
para reponer el circuito 207 de captación de llamada selec-
20 tiva. La recepción de la señal 223 procedente del circuito
"0" 222 por parte del circuito 221 de retención de polaridad,
activa el circuito 221 de retención de polaridad para
excitar la señal 56 de retorno de puerta de servicio en su
transmisión al circuito lógico 32 de control de entrada-sa-
25 lida.

El circuito 221 de retención de polaridad propor-
ciona una señal 226 que indica captación de la señal de puer-
ta de servicio que es utilizada en el sistema lógico repre-
sentado anteriormente en la figura 20, y es efectiva a tra-
30 vés de una serie de circuitos inversores, cada uno de los

1 cuales origina un retardo, para producir una señal 228 de-
nominada señal retardada de puerta de servicio. Hasta que
el circuito 221 de retención de polaridad es repuesto por
5 el inversor 229, una señal sobre la línea 230 se manifesta-
rá con nivel activo en el circuito "0" 211 para mantener la
señal 196, bloqueando la excitación de la línea de señal ade-
cuada sobre la línea general 61 de entrada de solicitud.

10 Un circuito "Y" 231 proporciona una señal sobre
la línea 232 para reponer el circuito de báscula de solici-
tud de interrupción monocíclica anteriormente activado, que
indicará en definitiva al microordenador, cuando se ha detec-
tado, que la transferencia de interrupción monocíclica ante-
riormente solicitada ha sido atendida y que puede iniciarse
15 un ciclo subsiguiente y adicional. Como resultado, se mani-
festará con nivel activo una señal en la línea 233 a partir
de la descodificación de una instrucción particular de mi-
croordenador para reponer los circuitos 204, 209 y 210 de
retención de polaridad en preparación para operaciones adi-
cionales de llamada selectiva.

20 Los circuitos "0" 234 y 235 reciben señales del
sistema de acoplamiento que indican detención de entrada-
salida(65), reposición de sistema (68), o reposición de en-
cendido (67) para proporcionar señales de reposición para
los circuitos lógicos de la unidad 34 de control de disposi-
25 tivo periférico, incluyendo una señal en la línea 236 que se
manifiesta con nivel activo en el circuito "0" 195 de la fi-
gura 20 para reponer el bitio I de la unidad 34 de control
de dispositivo periférico impidiendo solicitudes de interrup-
ción adicionales.

30 Se ha representado así en las figuras 19, 20 y 21

1 los circuitos lógicos detallados de una unidad 34 de control
de dispositivo periférico. Estos circuitos lógicos son efec-
5 tivos para la finalidad de responder y reaccionar frente a
un mecanismo de llamada selectiva ya sea para operaciones de
transferencia de datos de interrupción monocíclica o para
tratamiento de interrupción. Adicionalmente, ha sido expues-
to el sistema lógico incluido en una unidad de control de
dispositivo periférico que puede funcionar con independencia
de que sea utilizada una línea general de acoplamiento para
10 un control directo por programa de transferencia de datos.
Ha sido creado también un concepto de línea general de ac-
oplamiento en donde los circuitos lógicos de una unidad de
control de dispositivo periférico son capaces de interac-
ción con información presente sobre la línea general de ac-
15 oplamiento para la finalidad de cambiar el nivel de interrup-
ción de prioridad del dispositivo, independientemente de otras
operaciones que pueden estar realizándose en la línea general
de acoplamiento, u operaciones iniciadas en respuesta a ór-
denes anteriores dirigidas previamente al dispositivo aso-
20 ciado.

Circuito Lógico de Control de Entrada-Salida

Se comentarán ahora detalles adicionales del cir-
cuito lógico 32 de control de entrada-salida utilizando las
25 figuras 22 a 26.

En un ordenador 30 que es capaz de funcionar en
cuatro niveles diferentes de prioridad, los circuitos lógi-
cos de las figuras 22A y 22B, cuando se disponen de acuerdo
con la figura 22, determinarán si una solicitud de interrup-
ción sobre la línea general 61 de entrada de solicitud sig-
nifica una solicitud en un nivel de prioridad superior o in-
30

1 ferior al nivel normalmente efectivo en el ordenador 30.

5 El nivel de funcionamiento normal del ordenador 30 se pondrá de manifiesto sobre las posiciones 14 y 15 de bitio de la línea general 72 de ordenador, y será ingresado en sincronismo en los circuitos 237 y 238 de retención por una señal controlada por programa sobre la línea 239. El programa puede muestrear el nivel en curso normal, para otros fines, excitando una línea 240 para muestrear los circuitos "Y" 241 y 242 para presentación de las posiciones 14 y 15 de bitio de la línea general de ordenador.

10 El nivel de funcionamiento en curso normal es una representación codificada en los circuitos 237 y 238 de retención, y será descodificada por circuitos "Y" de un descodificador 243 para excitar una de las cuatro líneas de salida del descodificador 243 que identifica el nivel de funcionamiento en curso.

15 El circuito lógico 69 de interrupción representado en la figura 4 incluye los circuitos "Y" 244 a 247, cuyas salidas ingresarán en un circuito 248 a 251 de retención asociado en respuesta a una señal controlada por ordenador sobre la línea 252 que indica que puede ser muestreada en ese instante cualquier solicitud de interrupción de prioridad. Solamente uno de los circuitos "Y" 244 a 247 será efectivo para establecer un "1" binario en el circuito 248 a 251 de retención asociado en el intervalo de la señal 252 de sincronismo dependiendo de la salida del descodificador 243 y del estado activado o desactivado de los bitios 0 a 3 de la línea general 61 de entrada de solicitud. Las salidas 253 a 256 de nivel indicarán al circuito lógico 32 de control de entrada-salida el nivel de interrupción que ha de ser escri-

20

25

30

1 tado. El nivel a ser escrutado puede ser el nivel en curso
normal almacenado en los circuitos 237 y 238 de retención o,
si se excita la línea general de entrada de solicitud con
5 una solicitud en un nivel superior, la salida de los circui-
tos 248 a 251 de retención indicará la necesidad de interrumpir
y elegir el nivel superior que está siendo solicitado.

Un registro de máscara compuesto por los circuitos
257 a 260 de retención puede ser activado a los estados bi-
narios 1 ó 0 por las posiciones 12 a 15 de bitio de la lí-
10 nea general 72 de ordenador en respuesta a una señal gene-
rada en el ordenador sobre la línea 261. El contenido de los
circuitos 257 a 260 de retención de máscara puede ser mues-
treado a través de circuitos "Y" asociados por una señal ge-
nerada en el ordenador sobre la línea 262 para presentación
15 al ordenador sobre la línea general 72 de ordenador. El efec-
to de los circuitos 257 a 260 de retención de máscara, a tra-
vés de excitadores asociados conectados a la línea general
61 de entrada de solicitud, es anular el efecto de cualquier
señal de solicitud sobre la línea asociada de la línea gene-
20 ral 61 de entrada de solicitud. Por consiguiente, bajo con-
trol de programa del ordenador, puede hacerse inefectiva cual-
quier solicitud de interrupción en un nivel particular pro-
cedente de un dispositivo de entrada-salida.

Muchos ordenadores tienen la capacidad de enmasca-
25 rar todas las acciones de interrupción de entrada-salida. Es-
tá representada con detalle una máscara de interrupciones
en niveles especificados, y diversos comentarios de la uni-
dad 34 de control de dispositivo periférico han expuesto un
tercer nivel de enmascaramiento en la forma del bitio I trans-
30 ferido con una orden "preparar".

1 El circuito 75 de control de secuencia de llamada
selectiva de la figura 4 está representado con más detalle
en las figuras 23A y 23B cuando se disponen de acuerdo con
la figura 23. En un instante particular en la secuencia del
5 ordenador 30, la memoria de control fija descodificará una
microinstrucción que indica que una solicitud de interrup-
ción deberá ser reconocida y que tal hecho se indicará so-
bre una línea 263. La señal 263 ingresa en un circuito 264
de retención, y tiene el efecto de hacer que la salida del
10 codificador 265 ingrese en dos circuitos 266 y 267 de reten-
ción. El contenido de los circuitos 266 y 267 de retención
corresponderá al valor codificado binario de una línea 253
a 256 de señal de nivel 1 excitada por el circuito lógico
de determinación de prioridad de interrupción de la figura
15 22B.

La salida del circuito 264 de retención sobre la
línea 268 de señal está aplicada como una entrada al circui-
to 269 lógico de resolución de rivalidad. Independientemente
de la determinación del ordenador 30 para reconocer una so-
20 licitud de interrupción, el circuito 269 lógico de resolu-
ción de rivalidad recibe cualquier solicitud de interrupción
monocíclica sobre la posición 16 de bitio de la línea general
61 de entrada de solicitud.

La señal 63 de llamada selectiva es generada por
25 el estado activado de un circuito 270 de retención de marca
de llamada selectiva. Si el circuito 270 de marca de llamada
selectiva no está activado, y por consiguiente no está gene-
rando una señal 63 de llamada selectiva, un circuito "Y" 271
y un circuito "I" 272 activarán el circuito lógico 269 de
30 resolución de rivalidad, y un circuito 273 de ciclo previo

1 de interrupción y un circuito 274 de retención de ciclo pre-
vio de interrupción monocíclica. Si el circuito 270 de re-
tención de marca de llamada selectiva no está activado, los
5 circuitos 273 o 274 adecuados de retención de ciclo previo
se activarán de acuerdo con el circuito lógico 269 de riva-
lidad, e inhibirán el cambio adicional en el estado del cir-
cuito lógico 269 de resolución de rivalidad.

10 Un circuito "0" 275 se activará indistintamente
por un ciclo previo de interrupción o un ciclo previo de
interrupción monocíclica para proporcionar una entrada a un
circuito "Y" 276 cuya otra entrada corresponde al estado
inactivo de un circuito 277 de báscula, activado indistinta-
mente por una señal 65 de retorno de llamada selectiva o
15 una señal 60 de retorno de ráfaga a través de un circuito
"0" 278.

20 Cuando se hace activo el circuito "Y" 276, la se-
ñal de salida activará un circuito 279 de retención de ini-
ciación de llamada selectiva el cual, después de un retar-
do adecuado, tendrá el efecto de activar el circuito 270
de retención de marca de llamada selectiva para comenzar
la generación de la señal 63 de llamada selectiva.

25 Antes de que la salida del circuito 280 de retardo
sea efectiva en el circuito 270 de báscula de marca de lla-
mada selectiva, la información sobre la línea general 62 de
identificación de llamada selectiva se habrá excitado para
tomar estados de acuerdo con la salida de un codificador 281.
30 El codificador 281 recibe entradas del valor codificado del
nivel de interrupción registrado en los circuitos 266 y 267
de retención, y una señal sobre la línea 282 si va a ser es-
crutado un ciclo de interrupción monocíclica. Como se ha

1 mencionado anteriormente, la señal de identificación de llama-
mada selectiva de interrupción monocíclica sobre la línea
general 62 es un código predeterminado que será generado por
5 el codificador 281 si está teniendo lugar una llamada selec-
tiva de interrupción monocíclica. De otro modo, el codifica-
dor 281 proporcionará una salida codificada sobre la línea
general 62 de identificación de llamada selectiva asociada
con la señal particular de las señales 253 a 256 de nivel
10 de interrupción en estado activo, si está siendo solicitado
un ciclo de interrupción.

Suponiendo que la señal 56 de retorno de puerta de
servicio de una operación anterior ha tomado nivel bajo, y
que los circuitos de retención no han sido activados ante-
riormente, se activará indistintamente un circuito 283 de
15 retención o un circuito 284 de retención de acuerdo con el
hecho de si ha sido activado previamente o no el circuito
273 de ciclo previo de interrupción o el circuito 274 de re-
tención de ciclo previo de interrupción monocíclica. Será
generada la señal sobre la línea 285 o una señal sobre la
20 línea 286 para circuitos lógicos adicionales del circuito
lógico de control de entrada salida. También, será generada
la señal de salida de un circuito "0" 287, sobre la línea
288, para iniciar una solicitud al circuito 76 de control de
puerta de acoplamiento de la figura 4, para generar la señal
25 55 de puerta de servicio dirigida a las unidades 34 de con-
trol de dispositivo periférico para controlar el resto de
una secuencia de sistema de acoplamiento para tratar indis-
tintamente una solicitud de interrupción monocíclica o una
solicitud de interrupción.

30 Cuando son recibidas en el circuito "0" 278 la
señal 65 de retorno de llamada selectiva o la señal 60 de

1 retorno de ráfaga, se activará el circuito 277 de báscula de
retorno de ráfaga o de llamada selectiva. Esto activará un
circuito "0" 289 para reponer el circuito 270 de retención
5 de marca de llamada selectiva. La reposición del circuito
270 de retención de marca de llamada selectiva, y la desa-
parición de la señal de retorno de ráfaga o la señal de re-
torno de llamada selectiva, hará que el circuito "Y" 290 re-
ponga el circuito 277 de báscula.

10 El circuito 81 de control de comprobación de sis-
tema de acoplamiento de la figura 4 incluye medios para se-
ñalizar la iniciación de una secuencia de llamada selectiva
que no se completa correctamente después de un cierto perio-
do de tiempo. Un circuito "0" 291 genera una señal sobre la
15 línea 292 que habilita un generador de sincronismo de retra-
so de llamada selectiva. Una entrada procede del circuito
279 de retención, activado por el circuito "Y" 276, que in-
dica el comienzo de una secuencia de llamada selectiva. Otra
entrada al circuito "0" 291 procede del circuito 270 de re-
tención de marca de llamada selectiva, que cuando está acti-
20 vado, repone a su vez los componentes adecuados del circuito
de habilitación de retraso de llamada selectiva. Una tercera
entrada al circuito "0" 291 indicará que la señal 65 de re-
torno de llamada selectiva permaneció en estado activo duran-
te un período de tiempo indebido. Se observará también que
25 la señal 60 de retorno de ráfaga, que indica el hecho de
que un dispositivo se ha hecho cargo de las líneas de acco-
plamiento durante un período de tiempo largo para varias
transferencias de datos, no contribuirá a las señales 292
de habilitación de retraso de llamada selectiva puesto que
30 puede estar activa una interrupción monocíclica de ráfaga

1 durante un período indefinido.

5 La activación indistintamente del circuito 283 de retención de ciclo de interrupción o del circuito 284 de retención de interrupción monocíclica se manifestará a través del circuito "O" 281 para activar un circuito 293 de báscula. Un circuito "Y" 294, en ausencia de una señal 60 de retorno de llamada selectiva, se activará para reponer los circuitos 273 ó 274 de retención de ciclo previo. De otro modo, una transferencia de interrupción monocíclica de retorno de ráfaga hará que no se repongan los circuitos 273 y 274 de retención de ciclo previo para responder a solicitudes adicionales.

10 Se activará un circuito "Y" 295 cuando se recibe la señal 56 de retorno de puerta de servicio y se desactiva el circuito de báscula que genera la señal 55 de puerta de servicio, para indicar la aceptación por un dispositivo de la puerta de servicio para iniciar la realización completa del ciclo. Este se activará entonces para reponer el circuito 283 de retención de ciclo de interrupción y el circuito 284 de retención de ciclo de interrupción monocíclica.

15 Las figuras 24A, 24B y 25 representan detalles lógicos adicionales del circuito 76 de control de puerta de acoplamiento de la figura 4. El circuito lógico 296 de rivalidad proporciona las señales de control necesarias para decidir un empate entre la señal 288 de solicitud de puerta de servicio de la figura 23, que indica la necesidad de utilizar la línea general 35 de acoplamiento para tratamiento de interrupción monocíclica o de interrupción, y la señal 25 77 (OIO) procedente del ordenador 30. Una vez que ha decidido este empate, presenta una salida a un circuito 297 de re- 30

1 tención de habilitación de puerta de servicio, o bien al
circuito 298 de retención de habilitación OIO. Suponiendo
que está activado el circuito 297 de retención, es presen-
5 tada una señal al circuito 299 de báscula de puerta de ser-
vicio como entrada de sincronismo. Esta activación del cir-
cuito de báscula es presentada a la línea 35 de acoplamiento
como marca 55 de puerta de servicio. Es presentada tam-
bién a un circuito "Y" 300 como entrada condicional de un
10 circuito 301 de retención de final de interrupción junto
con la señal 285 de ciclo de interrupción y la señal 89 (OIC)
de reposición procedente del ordenador 30. La señal 299 del
circuito de báscula de puerta de servicio es una de las en-
tradadas a un circuito "O" 302 que recibe también entradas pro-
cedentes del circuito 298 de retención de habilitación OIO
15 y la señal 56 de retorno de puerta de servicio a través de
un circuito "Y" 355 sobre la línea 306 para fines de gene-
ración de una señal 303 de habilitación de retraso de puer-
ta para los circuitos de control de error. Una vez que la
señal 55 de puerta de servicio es presentada a las líneas
20 de acoplamiento, el circuito 299 de báscula de puerta de
servicio está entonces en el estado de espera para la llega-
da de la señal 56 de retorno de puerta de servicio.

El reconocimiento de una señal 56 de retorno de
puerta de servicio o una señal 52 de puerta de dirección,
25 es realizado por un circuito 304 de báscula de retorno. La
lógica del circuito 304 de báscula de retorno es tal que
tanto la señal 52 de retorno de puerta de dirección como la
señal 56 de retorno de puerta de servicio deben estar inac-
tivas, y entonces debe llegar una de las dos señales. Esto
30 es así para asegurar que ninguna de las señales estará ac-

1
5
10
15
20
25
30

tiva permanentemente sobre la línea de acoplamiento, indicando una situación de error. Esto dará lugar a un error de retraso debido al no reconocimiento de la señal 56 de retorno de puerta de servicio. El circuito 299 de báscula de puerta de servicio no se repondría nunca, y por consiguiente la señal 303 de retraso de puerta permanecería activa hasta que hubiese transcurrido el período de tiempo para señalar un error, activando un estado de comprobación de máquina en el ordenador 30.

10
15
20
25
30

Quando la señal 56 de retorno de puerta de servicio toma un estado lógico 1, se activa el circuito 304 de báscula de retorno. La señal 56 de retorno de puerta de servicio y la señal del circuito 304 de báscula de retorno se aplican a un circuito "Y" 305 que genera una señal 306 de retorno de puerta de servicio interna. La señal 306 de retorno de puerta de servicio interna se aplica como una entrada al circuito "O" 302 que indica al mecanismo de retraso sobre la línea 303 la recepción de la señal 56 de retorno de puerta de servicio. La salida del circuito 304 de báscula de retorno se aplica como entrada a un circuito 307 de retardo, cuya salida es utilizada para activar un circuito 308 de retención de señal de puerta retardada.

25
30

La salida del circuito 304 de báscula de retorno y la ausencia de salida del circuito 307 de retardo se manifiesta en un circuito "Y" 309 para generar una señal 310 efectiva para hacer ingresar en sincronismo la información sobre la línea general 53 de entrada de código de estado en los circuitos 78 de retención de código de estado representados en la figura 4. Cuando el circuito 308 de retención de señal de puerta retardada está activado, proporciona un in-

1 pulso de sincronismo a un circuito 311 de báscula de solici-
tud de memoria de interrupción monocíclica. El circuito 311
de báscula de solicitud de memoria proporciona una salida
312 que es una solicitud de memoria de interrupción monocí-
5 clica a la unidad 31 de memoria. El circuito 311 de báscula
de memoria de interrupción monocíclica es repuesto por una
señal procedente de la unidad 31 de memoria en la línea 313
que indica el final de la secuencia de almacenamiento para
la operación de interrupción monocíclica.

10 La salida invertida del circuito 308 de retención
de señal de puerta retardada y la salida del circuito 299
de báscula de puerta de servicio se aplican a un circuito
"Y" 314 que es utilizado para transmitir el estado de la
línea general 49 de dirección de entrada-salida al registro
15 SAR 110 de interrupción monocíclica de la figura 6. Esto tie-
ne lugar si la secuencia corresponde a una operación de in-
terrupción o a una operación de interrupción monocíclica.
La salida del circuito "Y" 314 se aplica también a un cir-
cuito "O" 315 que controla la transmisión en sincronismo
20 de la información en el registro SDR 94 de interrupción mo-
nocíclica representado en la figura 5. La otra entrada al
circuito "O" 315 procede de un circuito "Y" 316 que recibe
una señal 317 selectora de datos del circuito de control de
memoria, la señal 286 de interrupción monocíclica y el es-
tado binario del indicador 57 de salida-entrada de las lí-
25 neas de acoplamiento.

30 La señal 286 de ciclo de interrupción monocíclica
y una indicación de estado binario 1 sobre el indicador
57 de salida-entrada se manifiestan en un circuito "Y" 318
para activar la puerta C103 de acoplamiento de la figura 5

1 para hacer que sea transmitido a la línea general 50 de da-
tos de entrada-salida el contenido del registro SDR 94 de
interrupción monocíclica. El circuito "Y" 319 se activa cuan-
do el indicador 57 de salida-entrada tiene el estado binario
5 0 para generar una señal sobre la línea 320 indicativa de
una transferencia de datos de escritura en interrupción mo-
nocíclica. La señal 320 invertida genera una señal sobre la
línea 321 para indicar a la unidad 31 de memoria una opera-
ción de lectura de interrupción monocíclica. La salida del
10 circuito "Y" 319 es también presentada a un circuito "O" 322
que habilita la puerta B104 de acoplamiento de la figura 5
para hacer que ingresen en el registro SDR 94 de interrup-
ción monocíclica los datos presentes en la línea 50 general
de datos de entrada-salida.

15 Las otras entradas al circuito "O" 322 son una se-
ñal sobre la línea 285 de ciclo de interrupción y la salida
de un circuito "Y" 323 que recibió una indicación en la lí-
nea 324 de una descodificación de lectura OIO procedente del
descodificador de órdenes y la salida del circuito 298 de
20 retención de habilitación OIO. La señal 286 de ciclo de in-
terrupción monocíclica se aplica también a un circuito "Y"
325 junto con el estado binario del indicador 58 de palabra-
batería de bitios para el fin de indicar a la unidad 31 de
memoria, en la línea 326, si está siendo operada cíclicamen-
te la memoria para una batería de bitios o se trata de una
25 transferencia de palabra completa.

30 Cuando se ha generado la señal 312 de solicitud de
memoria de interrupción monocíclica, el circuito lógico 32 de
control de entrada-salida espera entonces una indicación de
la unidad 31 de memoria de que la secuencia ha finalizado.

1 Esto se indica al circuito lógico 32 de control de entrada-
salida por la activación de la señal 313 de solicitud de me-
5 moria de interrupción monocíclica de reposición de línea de
señal, que activa un circuito 327 de retención de final de
interrupción monocíclica. El circuito 327 de retención de
final de interrupción monocíclica es repuesto cuando se re-
pone el circuito 299 de báscula de puerta de servicio.

10 El circuito 301 de retención de final de interrupción
y el circuito de retención 327 de final de interrupción
monocíclica proporcionan entradas a un circuito "O" 328. La
salida del circuito "O" 328 se aplica a un circuito "Y" 329
junto con la salida del circuito 304 de báscula de retorno
para reponer el circuito 299 de báscula de puerta de servi-
15 cio. La salida del circuito "O" 328 es también presentada a
un circuito "C" 330 que proporciona una salida a un genera-
dor 331 de impulsos que genera la señal 54 selectora de da-
tos. La señal 54 selectora de datos se aplica a un circuito
"Y" 332, junto con la señal 306 de retorno de puerta de ser-
vicio interna, para proporcionar una entrada al circuito "O"
20 333 que genera la señal 55 de puerta de servicio presentada
a la línea 35 de acoplamiento. La otra entrada al circuito
"O" 333 es la señal del circuito 299 de báscula de puerta
de servicio. Cuando la señal 313 de solicitud de memoria de
interrupción monocíclica de reposición llega al circuito ló-
25 gico de control de entrada salida procedente de la memoria,
se genera la señal 54 selectora de datos y se repone el cir-
cuito 299 de báscula de puerta de servicio. Sin embargo, la
señal 55 de puerta de servicio permanece activa hasta la
caída de la señal 54 selectora de datos. Ambas señales 54
30 selectora de datos y 55 de puerta de servicio caen simultá-

1 neamente indicando a la unidad 34 de control de dispositivo
periférico que puede ahora desactivar su señal 56 de retorno
de puerta de servicio.

5 Cuando se han desactivado la señal 54 selectora de
datos y la señal 55 de puerta de servicio, el circuito ló-
gico 32 de control de entrada-salida está esperando nuevamen-
te que la unidad 34 de control de dispositivo periférico de-
sactive su señal 56 de retorno de puerta de servicio. Cuando
10 esto ocurre, el circuito lógico de control de entrada-salida
retorna a un estado normal de espera para que la salida si-
guiente del circuito 296 de rivalidad comience una secuencia
de transmisión de señal.

15 Cuando el circuito lógico 296 de rivalidad respon-
de a una señal de descodificación de instrucción OIO en la
línea 77, y activa el circuito 298 de retención de habili-
tación OIO, se excita la posición 16 de bitio de la línea
general 49 de dirección proporcionando la selección inicial
de todas las unidades 34 de control de dispositivo periféri-
co sobre la línea general 35 de entrada-salida. Adicionalmen-
te, se activa un circuito 334 de báscula de iniciación, el
20 cual, después de un cierto retardo, activará un circuito 335
de retención de puerta de dirección. El circuito 335 de re-
tención de puerta de dirección inicia la señal 51 de puerta
de dirección en ausencia de la descodificación de una ins-
trucción de parada de entrada-salida indicada sobre la línea
25 88 en un circuito "Y" 336. El circuito 335 de retención de
puerta de dirección se repondrá cuando se active un circuito
"O" 337 ya sea por la señal 54 selectora de datos o la sali-
da de un circuito "Y" 338. Un circuito 339 de retardo habili-
ta el circuito "Y" 338 cuando el circuito 304 de báscula de
30

1 retorno ha recibido la señal 52 de puerta de retorno de di-
rección para reponer así el circuito 335 de retención de
puerta de dirección.

5 En respuesta a una instrucción OIO, deben presen-
tarse un número de líneas de señal al ordenador 30, como se
representa en las figuras 5 y 6, para la finalidad de trans-
ferir la información en el bloque IDCB a la línea general 49
de dirección de entrada-salida y a la línea general 50 de da-
tos de entrada-salida. Por consiguiente, la figura 24B re-
10 presenta un número de líneas de señal presentadas a diversos
registros en el ordenador 30 para este fin.

15 La figura 25 representa el sistema lógico para ex-
citar diversas posiciones de bitio de la línea general 59 de
estado de interrupción monocíclica. La información de estado
de interrupción monocíclica es presentada a las unidades 34
de control de dispositivo periférico durante operaciones de
ciclo de interrupción monocíclica, indicadas sobre la línea
286. La señal presente sobre la línea 286 habilita una serie
de circuitos 340 a 343 de retención, cada uno de los cuales
20 está asociado con una posición de bitio de la línea general
59 de estado de interrupción monocíclica. Si son detectados
errores por la unidad 31 de memoria, por ejemplo una direc-
ción 334 de memoria inválida, un error 345 de paridad de me-
moria, o una comprobación 346 de protección de memoria, an-
25 tes de la señal 313 de solicitud de memoria de interrupción
monocíclica de reposición representada en la figura 24, ha-
brán sido activadas las líneas adecuadas y se registrarán
sus estados en los circuitos 340 a 343 de la línea general
de estado para presentación a las líneas de acoplamiento so-
30 bre la línea general 59 de estado de interrupción monocícli-

1 ca. Si el circuito lógico 32 de control de entrada salida
hubiese detectado un error de paridad sobre un ciclo de
entrada a la unidad 31 de memoria, entonces se excitaría
la posición 3 de bitio y la generación de esta señal de con-
5 dición de línea general de estado forzaría un ciclo de lec-
tura a la unidad 31 de memoria.

En la figura 26 está representada con más detalle
la porción de comprobación de sincronismo de secuencia del
circuito 81 de control de comprobación de acoplamiento de la
10 figura 4. Cada uno de dos temporizadores 347 y 348 consiste
en una cadena divisoria binaria. Cuando no está activa la
señal de habilitación adecuada, la cadena se mantiene en es-
tado de reposición, y se inhabilita la operación de incremen-
to. Cuando una señal de habilitación toma nivel activo, se
15 permite que el divisor funcione en modo de cómputo. Se per-
mite que los temporizadores cuenten en respuesta a una señal
de sincronismo, un descodificador conectado a los temporiza-
dores detecta la acumulación de un número especificado de
cómputos y activará un estado de comprobación de entrada-sa-
lida sobre la línea 83, cuyo estado es almacenado en la pa-
20 labra de estado de programa del ordenador 30. Si retornase
la señal de habilitación del temporizador a un estado inac-
tivo antes de transcurrir el tiempo especificado, el tempo-
rizador es repuesto sin indicar el estado de error. El tem-
porizador 347 comprueba el sincronismo correcto de la secuen-
25 cia de llamada selectiva y el temporizador 348 detecta el
sincronismo correcto de la señal de puerta de servicio y de
la señal de puerta de dirección.

Un circuito "Y" 349 proporciona una comprobación
de errores de paridad durante ciclos de interrupción y un
30 circuito "Y" 350 proporciona una comprobación (o indicación

1 de error) cuando ha sido generada tanto la señal de puerta
de servicio como la señal de puerta de dirección.

Reporte de Estado Residual

5 La figura 27 es una representación adicional del
funcionamiento del presente invento en lo que concierne a
operaciones de interrupción monocíclica en donde se solicita
el encadenamiento de bloques DCB y la información de estado
ha de ser registrada sin interrumpir el funcionamiento
10 del ordenador 30. La cantidad de datos a transferir bajo
control de un bloque DCB está especificada en el campo de
cómputo en batería de bits. Puede producirse un estado de
error si los datos que ha de transferir un dispositivo no
conducen con el cómputo. Este error es denominado registro
15 de longitud incorrecta (ILR).

Ciertos dispositivos, tales como líneas de tele-
proceso, incurren frecuentemente en un error ILR. El programa
contenido en el ordenador 30, que controla tal dispositivo,
necesita conocer cierta información referente a la transferencia,
20 tal como cuantos datos fueron transferidos. Esta
determinación podrían realizarse cuando es detectado el
error ILR para cada bloque DCB en la cadena. Esto requeriría
que el dispositivo reconociese el estado de excepción ILR,
interrumpiese la secuencia del ordenador y se iniciase desde
25 el ordenador una forma de transferencia de estado de interrupción
monocíclica. Esta operación consume tiempo y es indeseable si,
como se ha indicado anteriormente, la condición ILR es el estado
normal en vez de el estado de excepción del funcionamiento del
dispositivo.

30 Cuando lo normal es un error ILR y aparece frecuen

1 temente, el programa puede desear suprimir su detección y
reportarlo como error. Esto puede realizarse, de acuerdo con
el presente invento, mediante la utilización de una marca
5 indicadora de "suprimir longitud incorrecta" (SIL) que se
encuentra en la posición 4 de bitio de la palabra de control
en cada bloque DCB. Cuando la marca indicadora SIL está ac-
tivada, se redefine la palabra 4 de parámetro dependiente de
dispositivo en el bloque DCB como dirección de estado resi-
dual.

10 Recordando que el bloque DCB completo es transfe-
rido desde la unidad 31 de memoria a una unidad 34 de con-
trol de dispositivo periférico, es registrada la dirección
de estado residual en la memoria 124 del microordenador 47
de la unidad de control de dispositivo periférico. Cuando el
15 dispositivo 33 ha terminado sus transferencias de datos para
el bloque DCB particular, utilizará la dirección de estado
residual durante operaciones subsiguientes de transferencia
de interrupción monocíclica para almacenar su cómputo resi-
dual (el cómputo que queda después de la transferencia de
20 datos) y hasta dos palabras adicionales de estado de dispo-
sitivo en la memoria 31. Teniendo el bitio SIL el estado ló-
gico 1, ha definición, en efecto, el error ILR sin ser un es-
tado de excepción. Sin estado de excepción que reportar, el
dispositivo puede entonces utilizar la información de direc-
25 ción de cadena del bloque DCB (si está así especificado en
el bloque DCB) para obtener el siguiente bloque DCB en la
cadena y continuar. Puesto que la información que necesita
el programa en el ordenador 30 es almacenada automáticamente,
el programa no necesita ejecutar una transferencia de
30 estado de interrupción monocíclica de iniciación al disposi-

1 tivo después de cada búsqueda y ejecución de bloque DCB.

Una característica deseable de esta operación es la capacidad de tener la información de estado residual en una posición independiente en la memoria definida por el programa e insertada en cada uno de los bloques DCB. De este modo, el bloque DCB puede seguir siendo un bloque de memoria fija de información en la memoria principal a opción de un programador. Esto proporciona también la posibilidad de construir un bloque contiguo de información de estado durante operaciones de cadena de bloques DCB múltiples, relevando así al programador de la tarea adicional de tener que clasificar la información de estado procedente de bloques de control de datos individuales.

15

REIVINDICACIONES

20

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

25

1ª.- Un sistema de tratamiento de datos con informe o reporte de estado residual durante operaciones encadenadas de entrada-salida de interrupción monocíclica, que comprende: medios de memoria central para datos, instrucciones

30

1 de programa, instrucciones que incluyen activación de dispo-
sitivo de entrada-salida y bloques de control de dispositivo
periférico compuestos por una pluralidad de campos de control,
5 una unidad de control de dispositivo periférico que incluye
medios de memoria periféricos para un bloque de control de
dispositivo periférico, circuitos lógicos de acoplamiento de
entrada-salida que incluyen una línea general de datos, una
línea general de direcciones y líneas de señal de control
10 que interconectan dicha memoria central y la unidad de con-
trol de dispositivo periférico, un ordenador central conecta-
do a dicha memoria central, que responde a cada una de dichas
instrucciones de activación de entrada-salida para iniciar
el funcionamiento de dicha memoria central y dichos circuitos
15 lógicos de acoplamiento para transferir a dicha unidad de con-
trol de dispositivo periférico un bloque de control de dispo-
sitivo periférico, incluyendo dicho bloque de control de dis-
positivo periférico en los campos de control un primer campo
compuesto por una pluralidad de bitios de control, un campo
20 de dirección de datos de memoria central que especifica un
campo de datos en la memoria central implicado en la trans-
ferencia de datos, un campo de cómputo que especifica la can-
tidad de datos a transferir, y un campo encadenado de direc-
ción de bloque de control de dispositivo periférico que espe-
25 cifica la posición en la memoria central de un bloque de con-
trol de dispositivo subsiguiente a transferir después de la
utilización del bloque de control de dispositivo en curso;
incluyendo dicha unidad de control de dispositivo periférico,
medios de acceso de bloque de control de dispositivo que res-
ponden a un estado predeterminado de uno de dichos bitios de
30 control y primeros medios de señalización o indicación que

1 indican el hecho de haberse completado normalmente la utili-
zación del bloque de control de dispositivo en curso para es-
tablecer acceso desde dicha memoria central al siguiente blo-
que de control de dispositivo periférico, medios de solici-
5 tud de interrupción que responden a segundos medios de indi-
cación que indican el hecho de haberse completado en forma
no usual la utilización del bloque de control de dispositivo
en curso para indicar una solicitud de interrupción a dicho
ordenador central, y medios de indicación de estado, que res-
10 ponden a un estado predeterminado de otro de dichos bits
de control y dichos segundos medios de indicación para inhi-
bir el funcionamiento de dichos medios de solicitud de inte-
rrupción, transferir información de estado a dicha memoria
central y entonces activar dichos medios de acceso de bloque
15 de control de dispositivo.

2ª.- Un sistema de tratamiento de datos de acuer-
do con la reivindicación 1ª, en donde: dichos primeros me-
dios de indicación se activan cuando el dispositivo indica
el final de transferencia y la cantidad de datos transferidos
20 es igual a la expresada en dicho campo de cómputo; y dichos
segundos medios de indicación se activan cuando el disposi-
tivo indica el final de transferencia y la cantidad de datos
transferidos no es igual a la expresada en dicho campo de
cómputo.

25 3ª.- Un sistema de tratamiento de datos de acuerdo
con la reivindicación 2ª, en donde: dicha información de es-
tado incluye la diferencia entre la cantidad de datos trans-
feridos y la cantidad especificada por dicho campo de cómpu-
to.

30 4ª.- Un sistema de tratamiento de datos de acuerdo

5 con la reivindicación 3ª, en donde: dicho bloque de control de dispositivo periférico incluye un campo adicional de control que especifica una dirección de memoria central para información de estado residual, siendo transferidas dicha dirección de estado residual y dicha información de estado a dicha memoria central para control de la misma, en dicha línea general de datos y dicha línea general de direcciones, sin intervención por parte de dicho ordenador central.

10 5ª.- Un sistema de tratamiento de datos con informe o reporte de estado residual durante operaciones encadenadas de entrada-salida de interrupción monocíclica.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

15 Esta Memoria consta de ochenta y ocho hojas escritas a máquina por una sola cara.

Madrid, 27 de Mayo de 1966

P.A. Alberto de Elzaburu
Por Poder,




FIG. 1

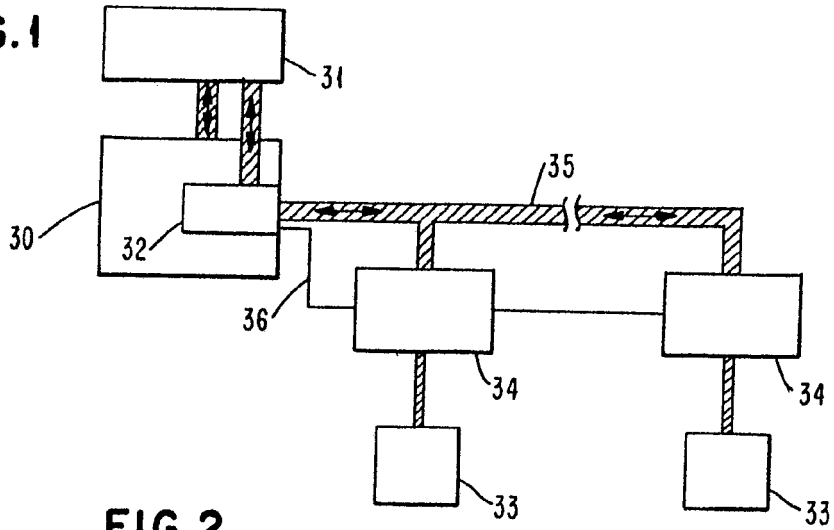


FIG. 2

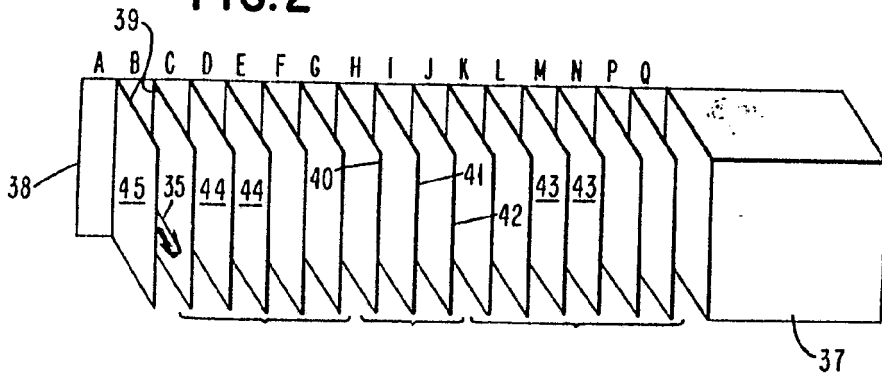
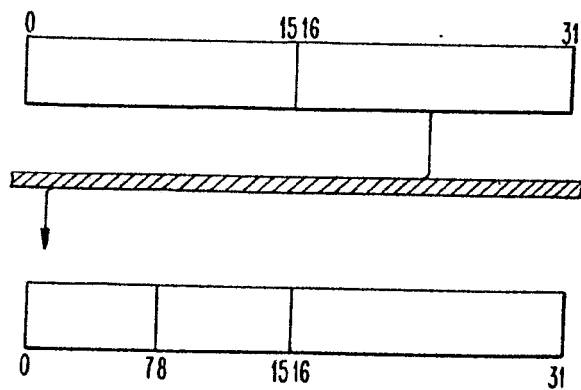
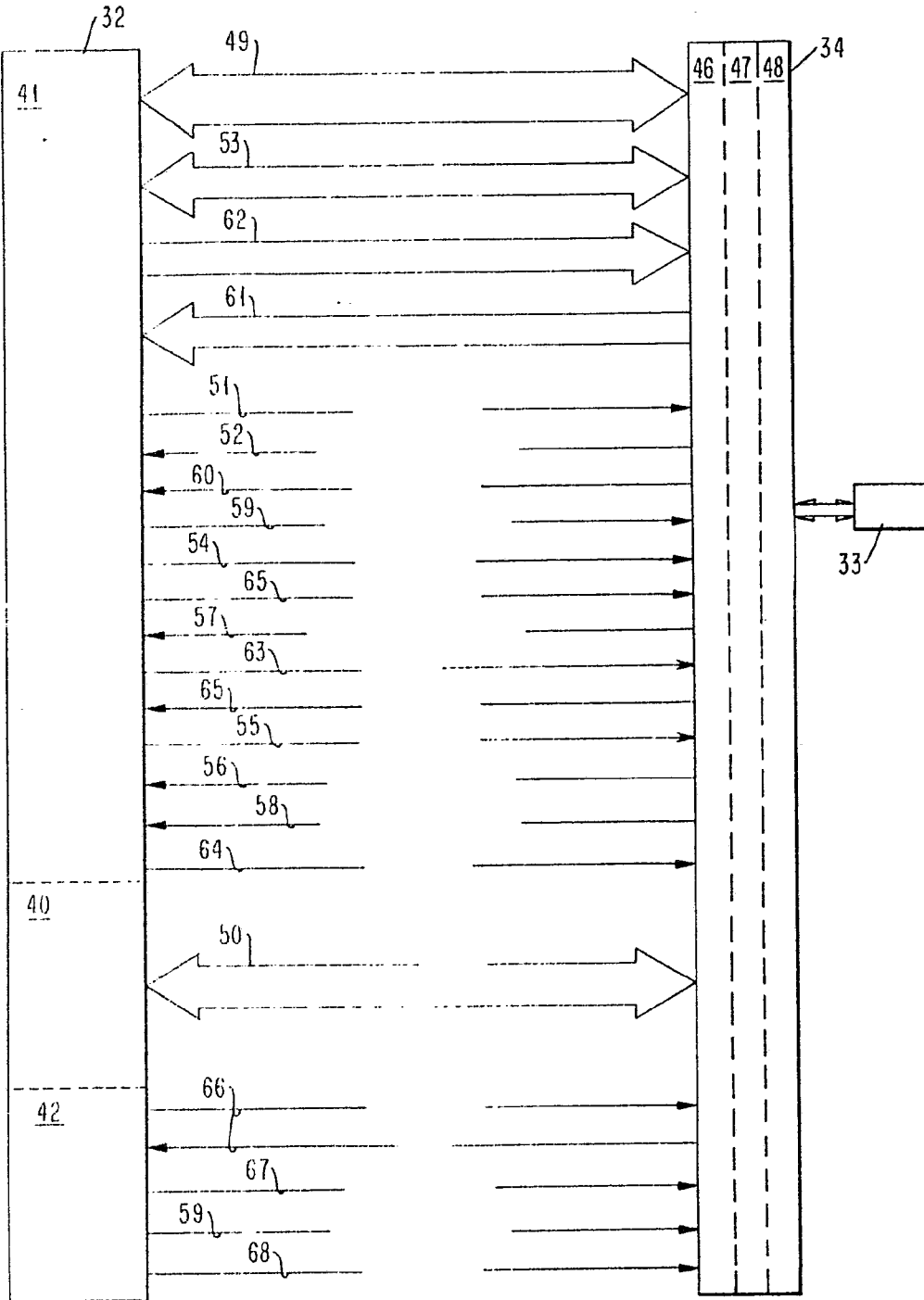


FIG. 7



Alberto de Elizaburu
For Podar

FIG. 3



Alberto de Elizaburu
Por Peder,

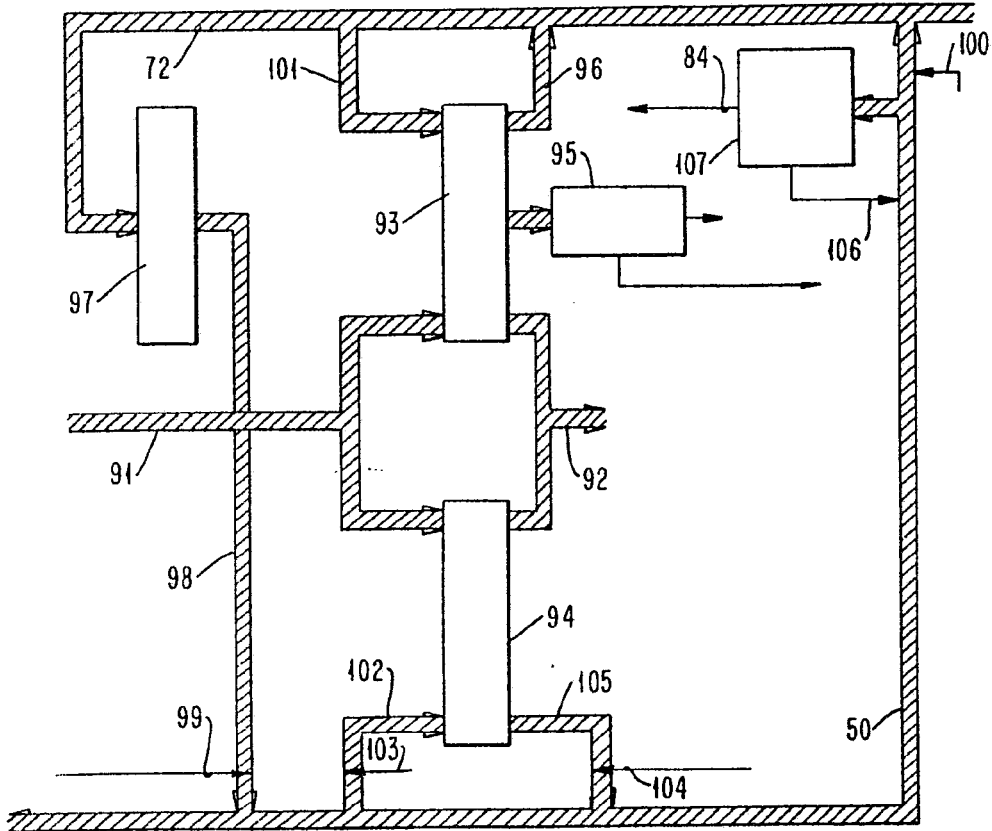


FIG. 5

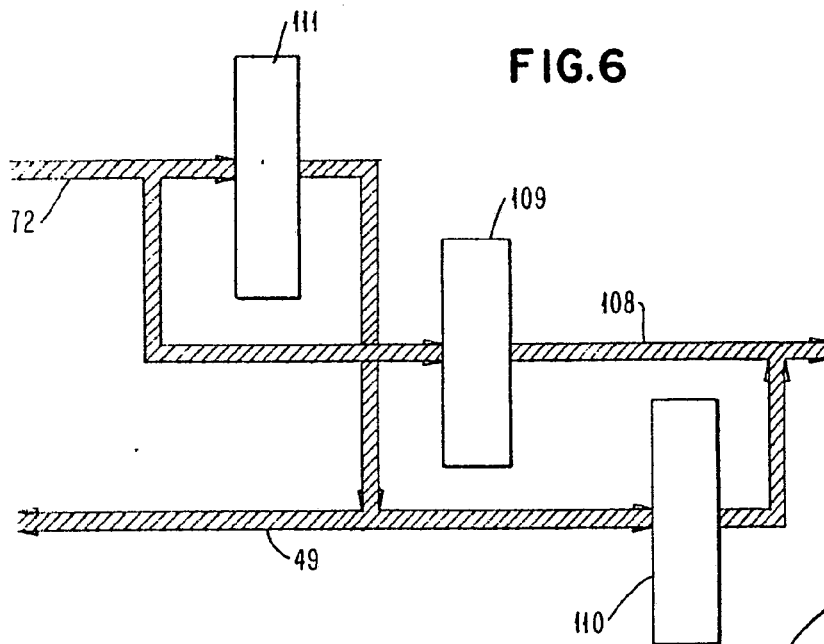
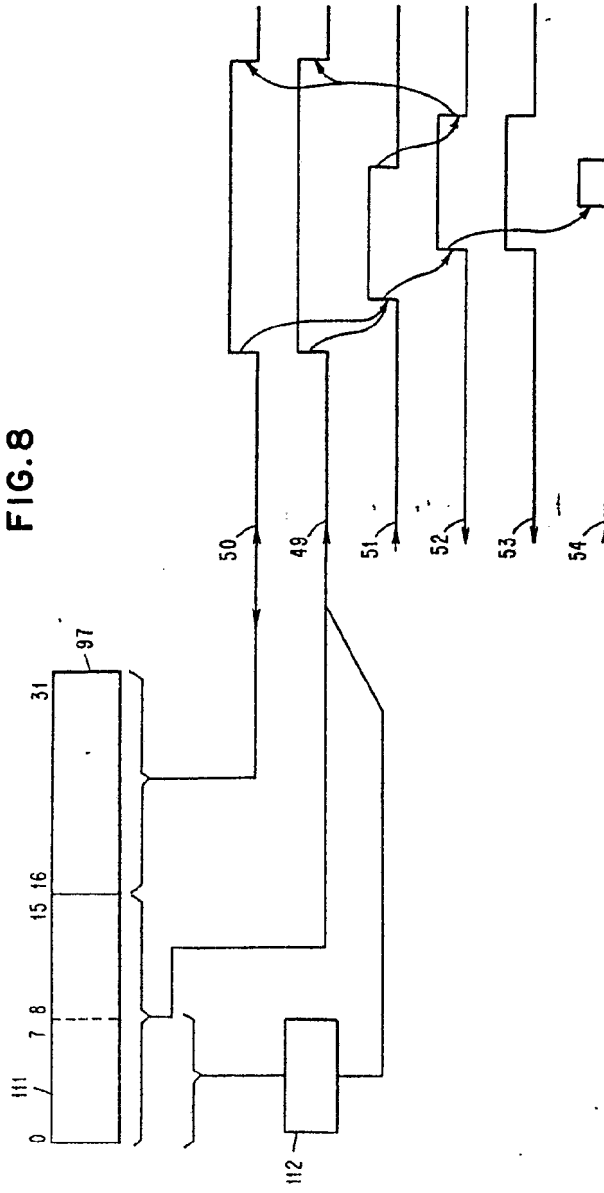


FIG. 6

Alberto de Elzaburu
Por Poder

FIG. 8



Handwritten signature or initials

FIG.

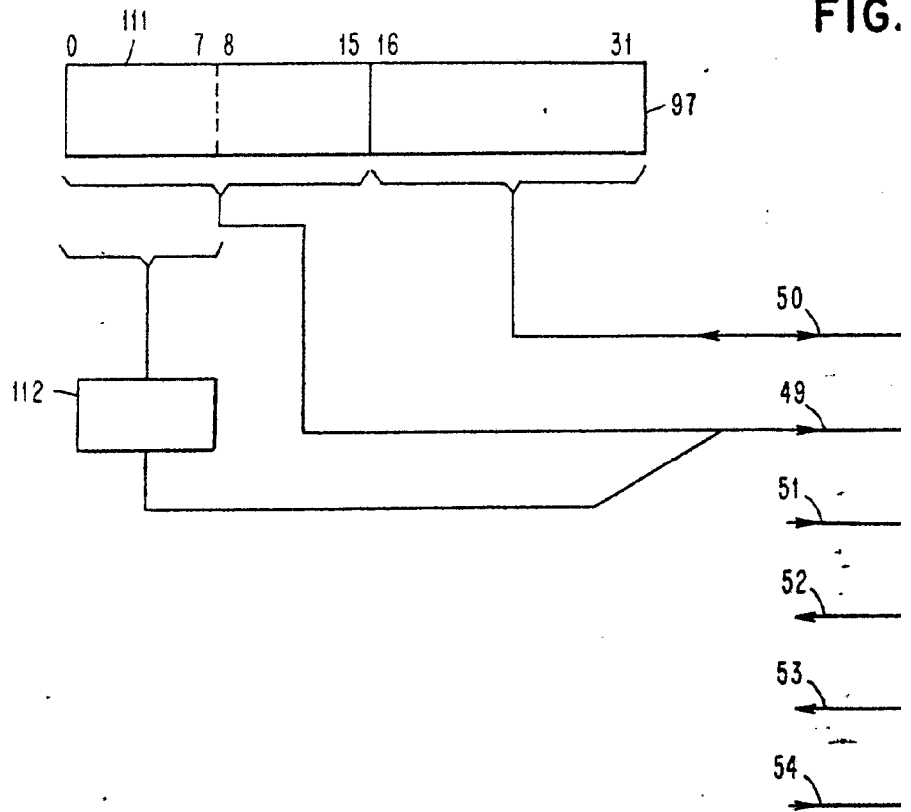
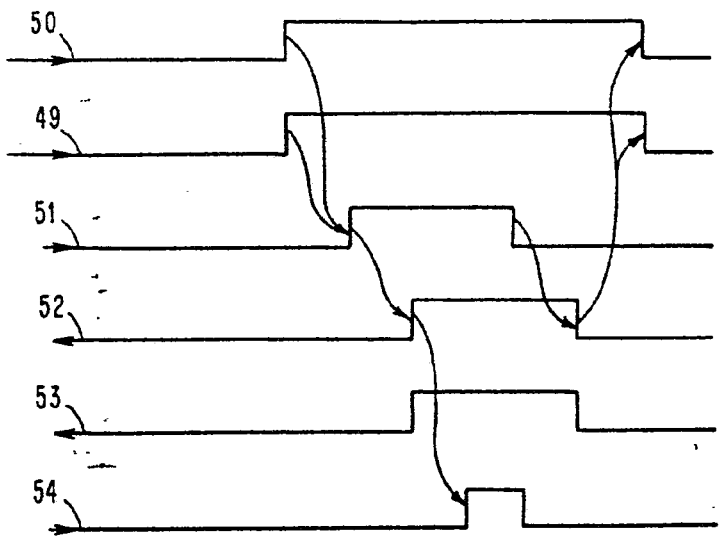


FIG. 8



ALTERED BY ELECTRO
FOR PAPER
AS

FIG. 9

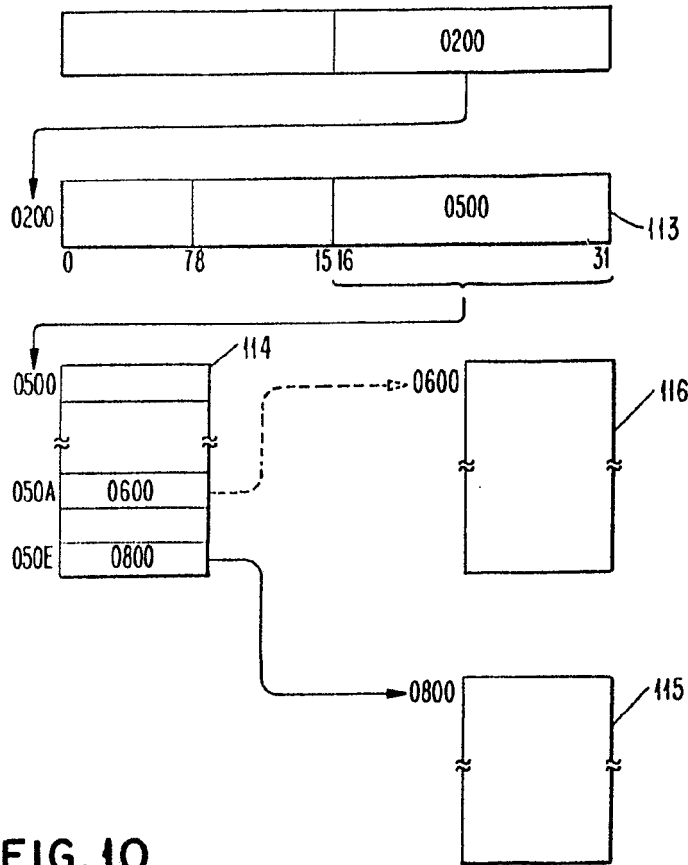
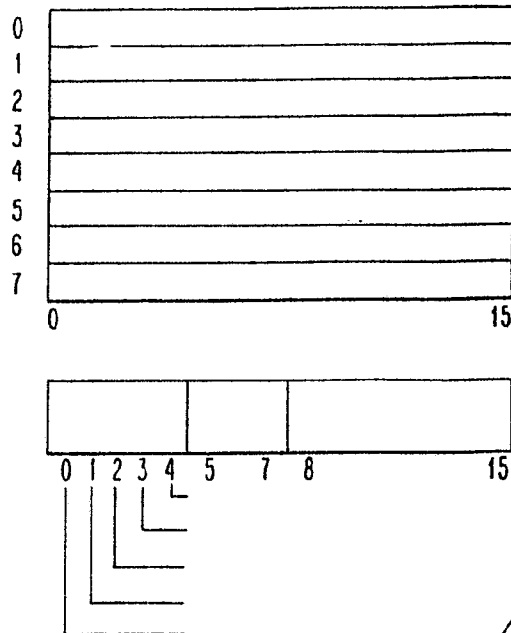
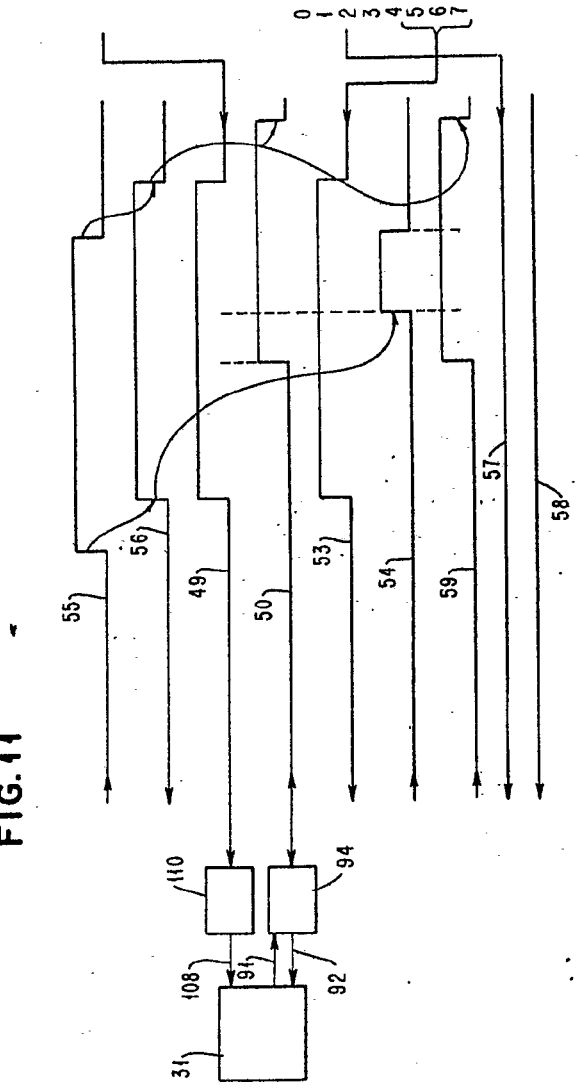


FIG. 10



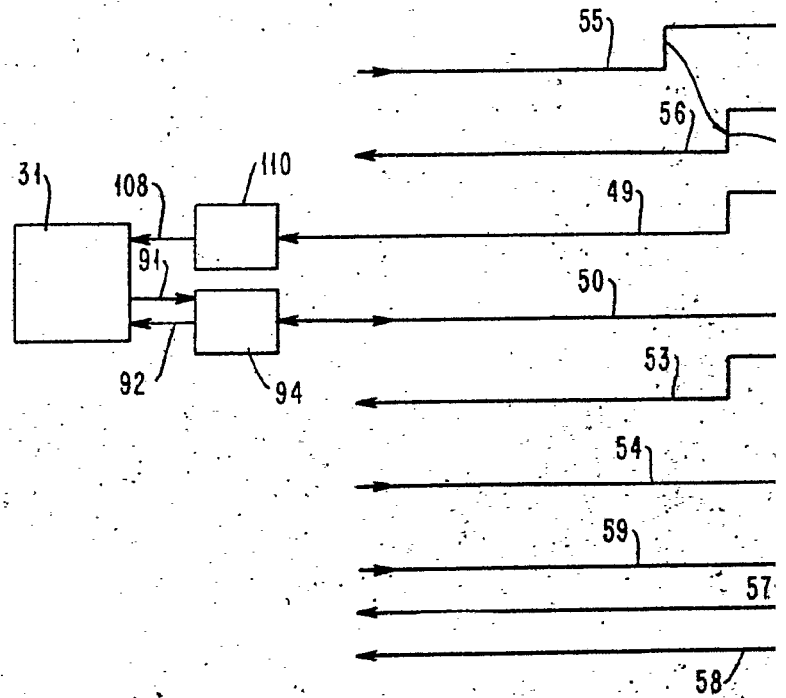
Alberto de Echeburu
For Power

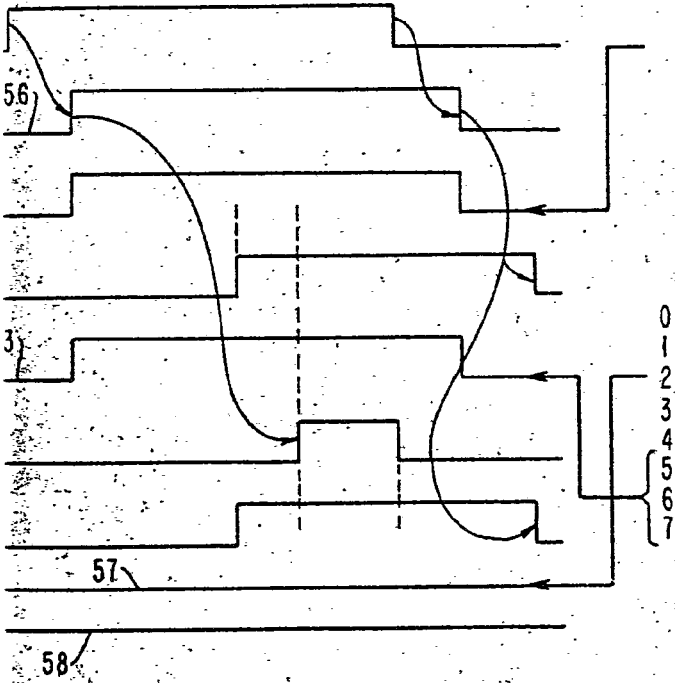
FIG. 11



[Handwritten signature]
Patented

FIG. 11





Alberto S. ...
For Fees

FIG. 15

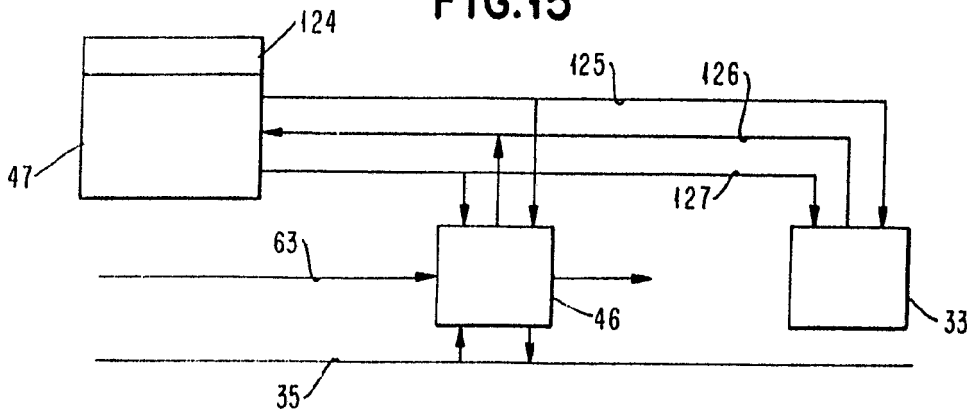
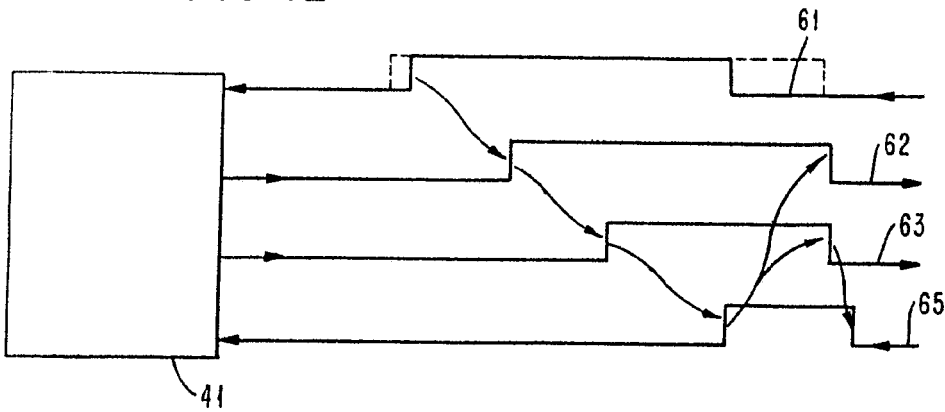
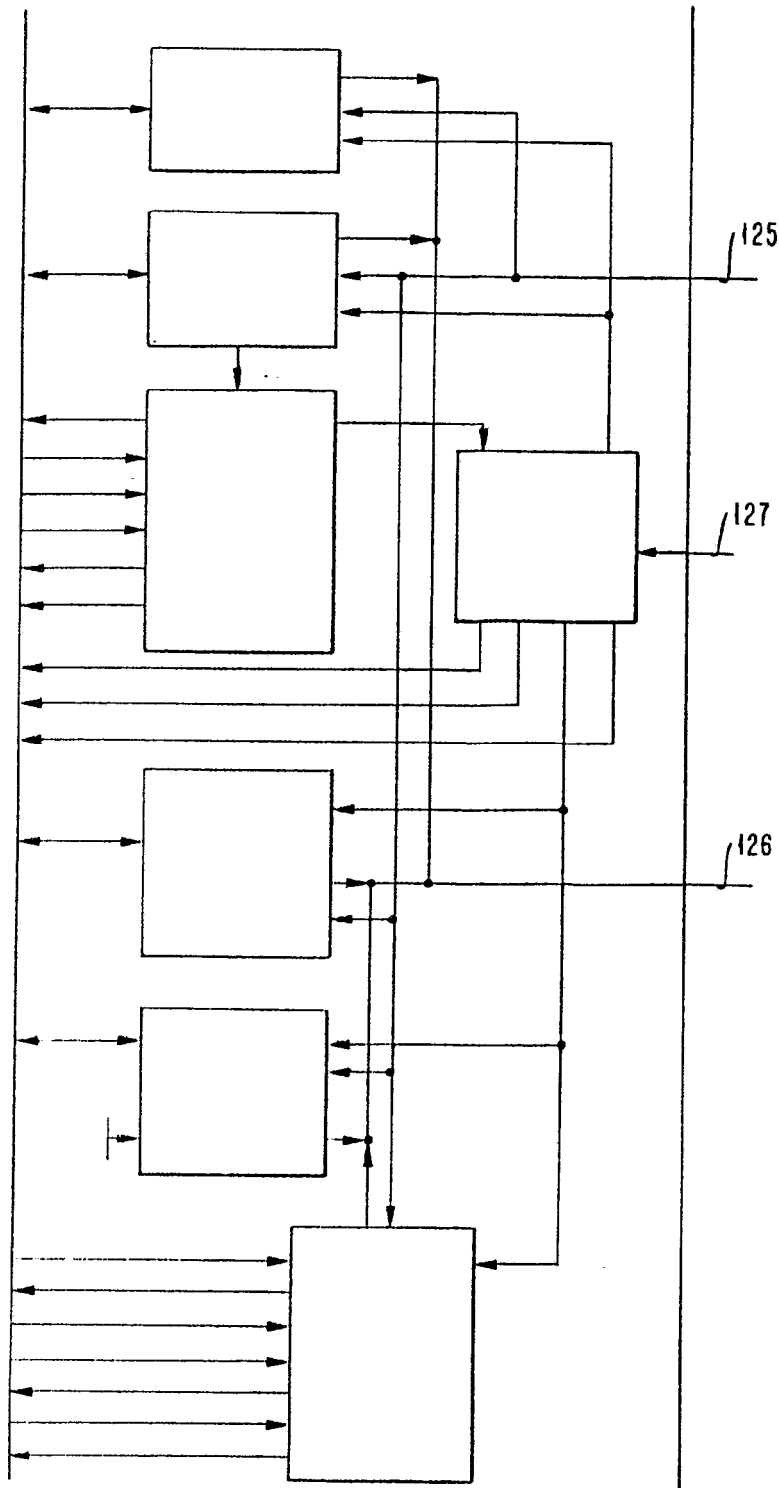


FIG. 12



Alberto de Eizaburu
Por Poder.

FIG. 16



Alberto de Elzaburu
For Poder,

FIG. 13

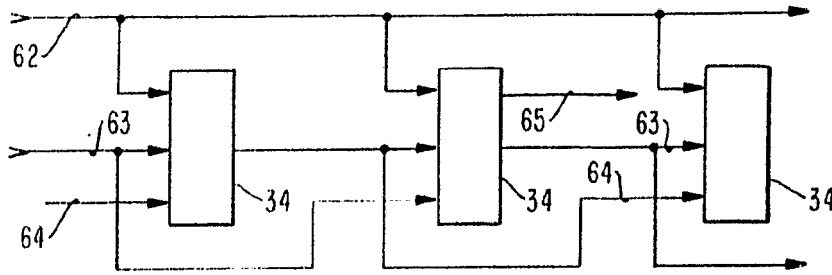


FIG. 14

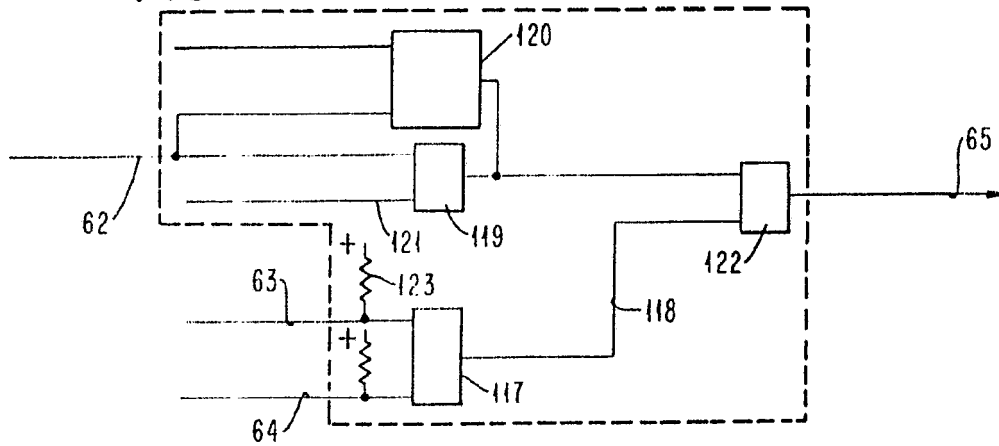
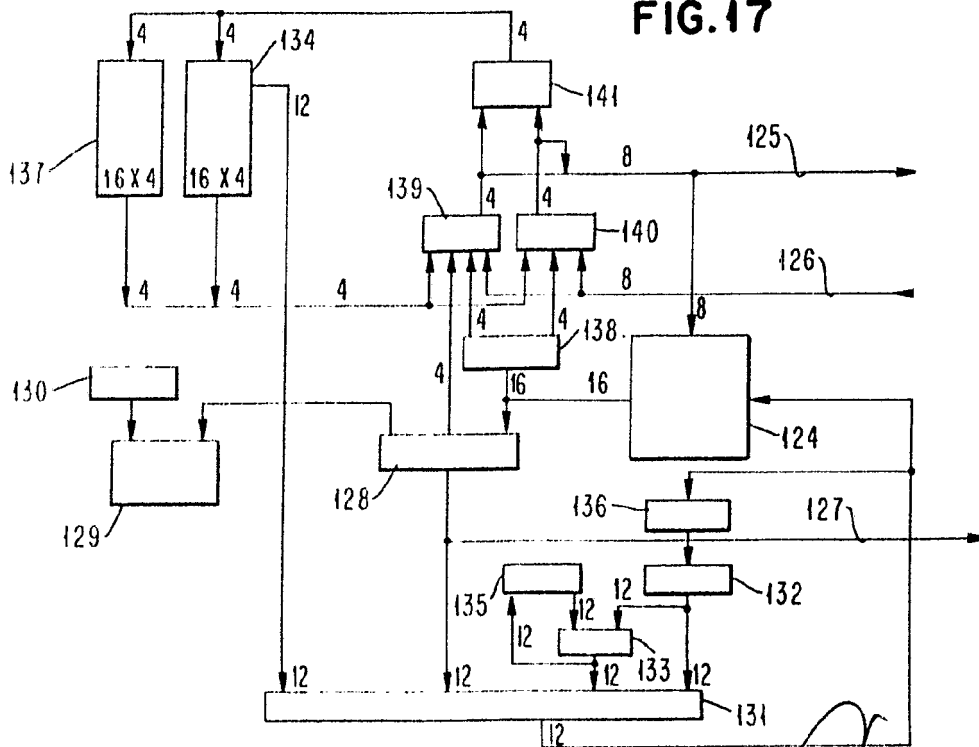
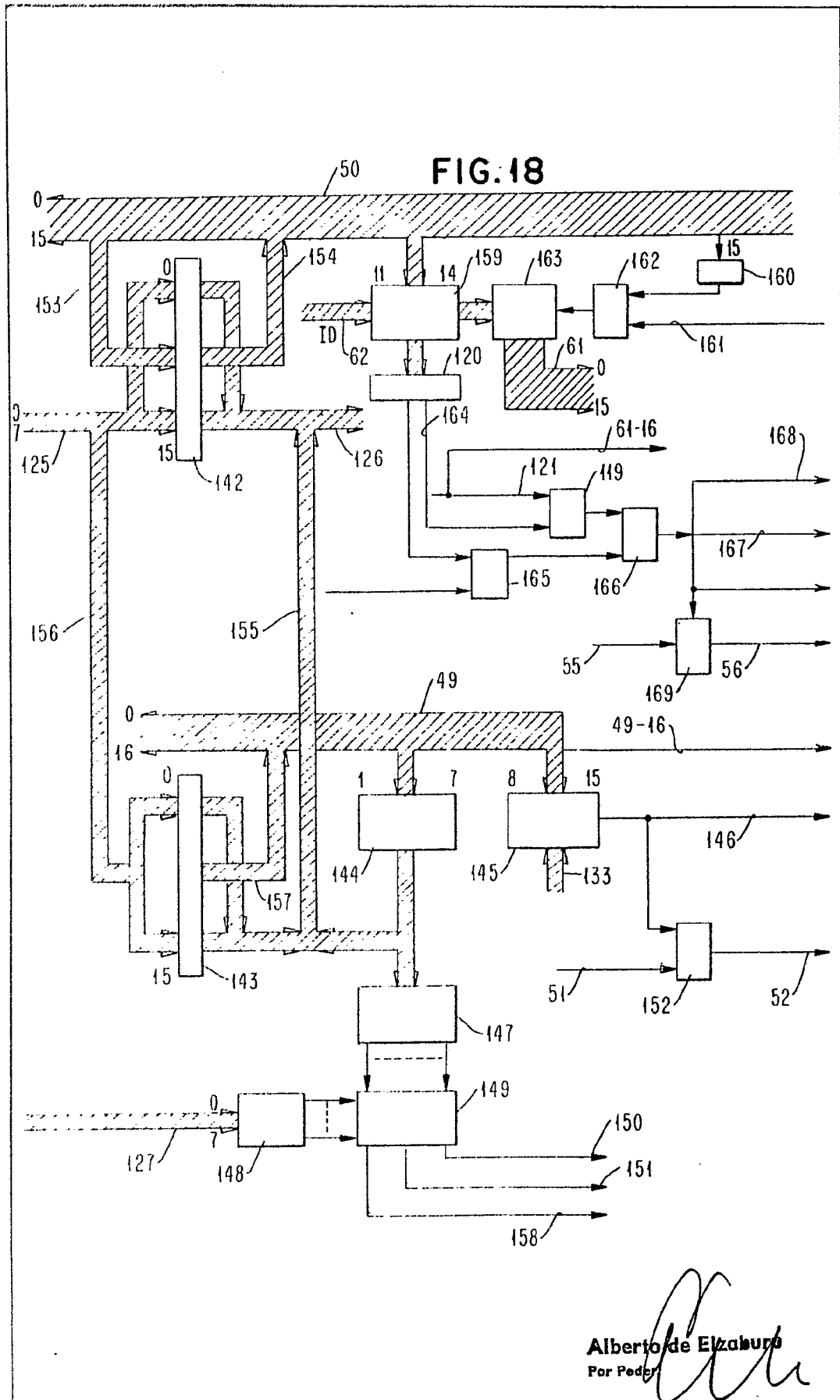


FIG. 17



Alberto de Zaira
For Patent



Alberto de Elzaburo
Por Pedro

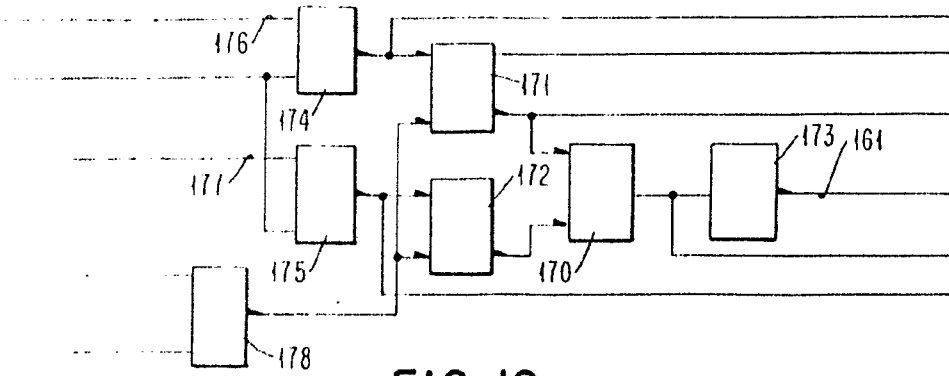
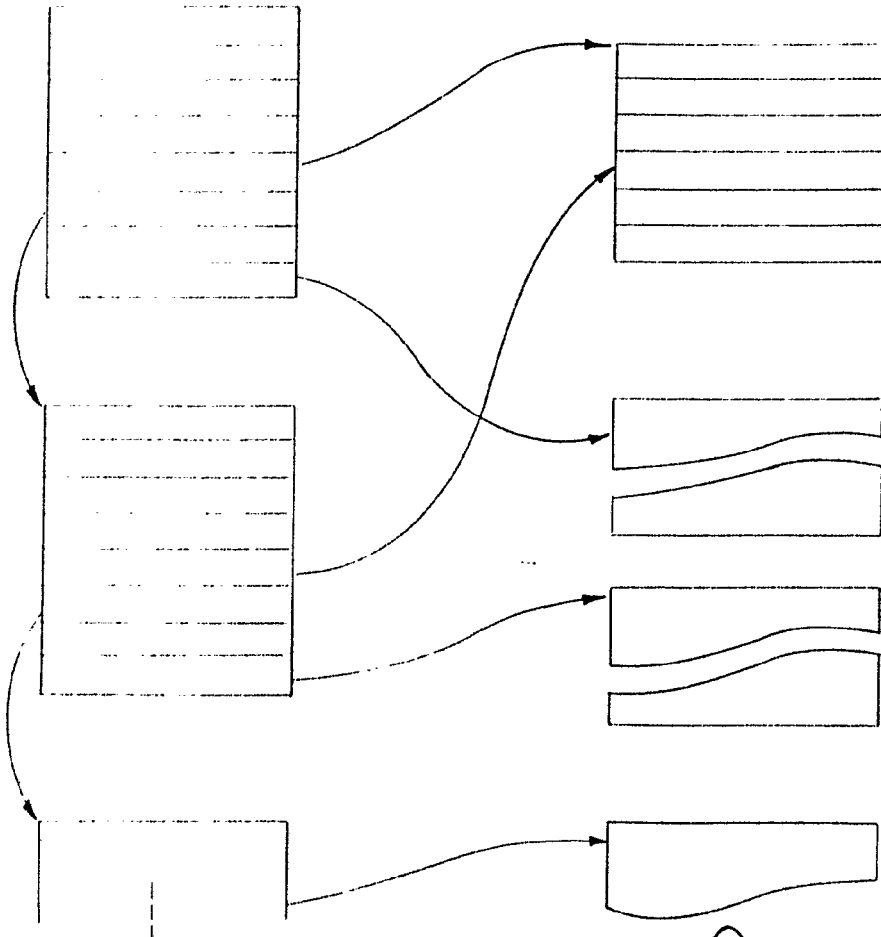


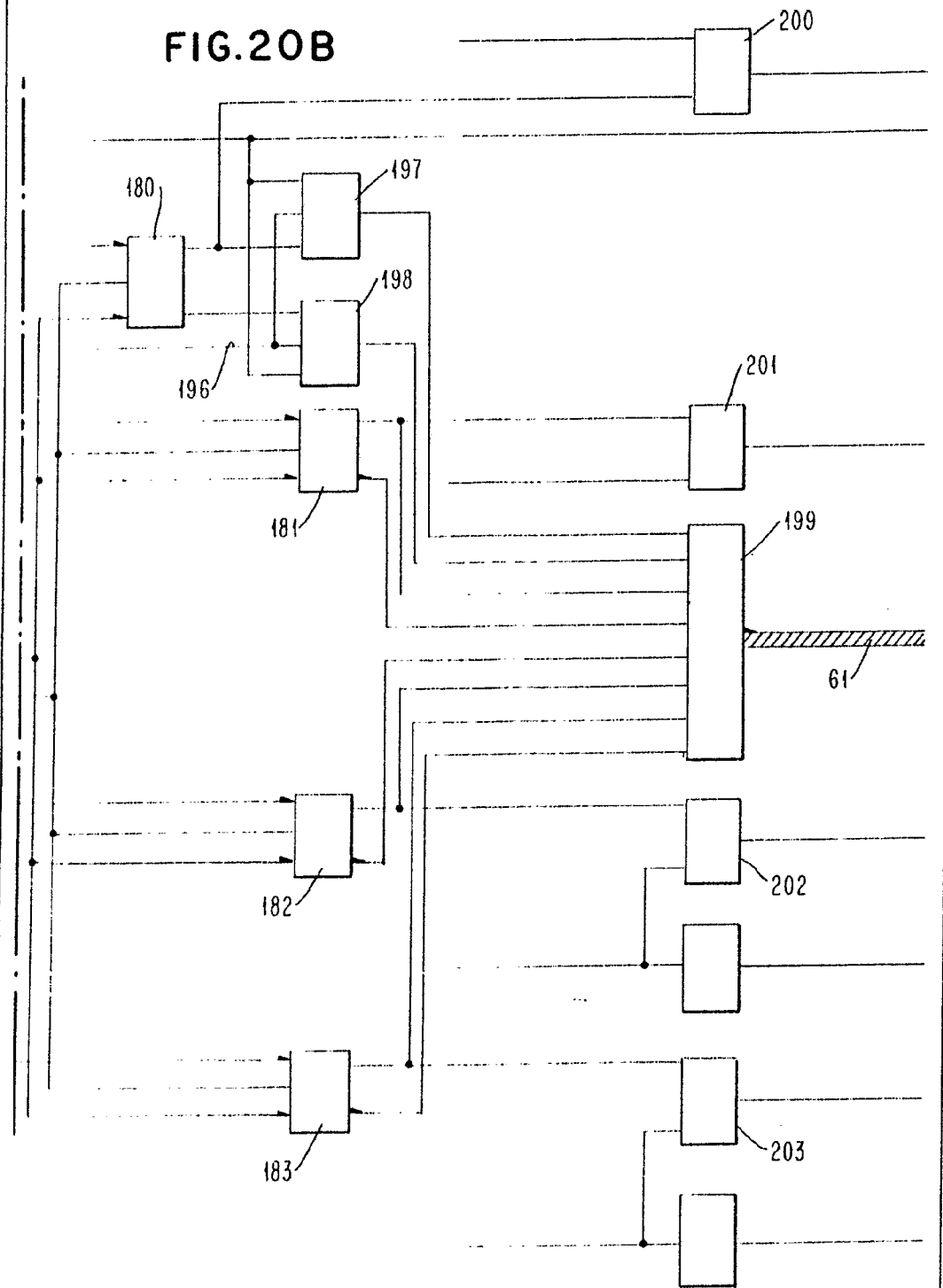
FIG. 19

FIG. 27



Alberto de Elizabeth
For Peter,

FIG. 20B



Alberto de Elzaburu
Por Poder,

FIG. 21A

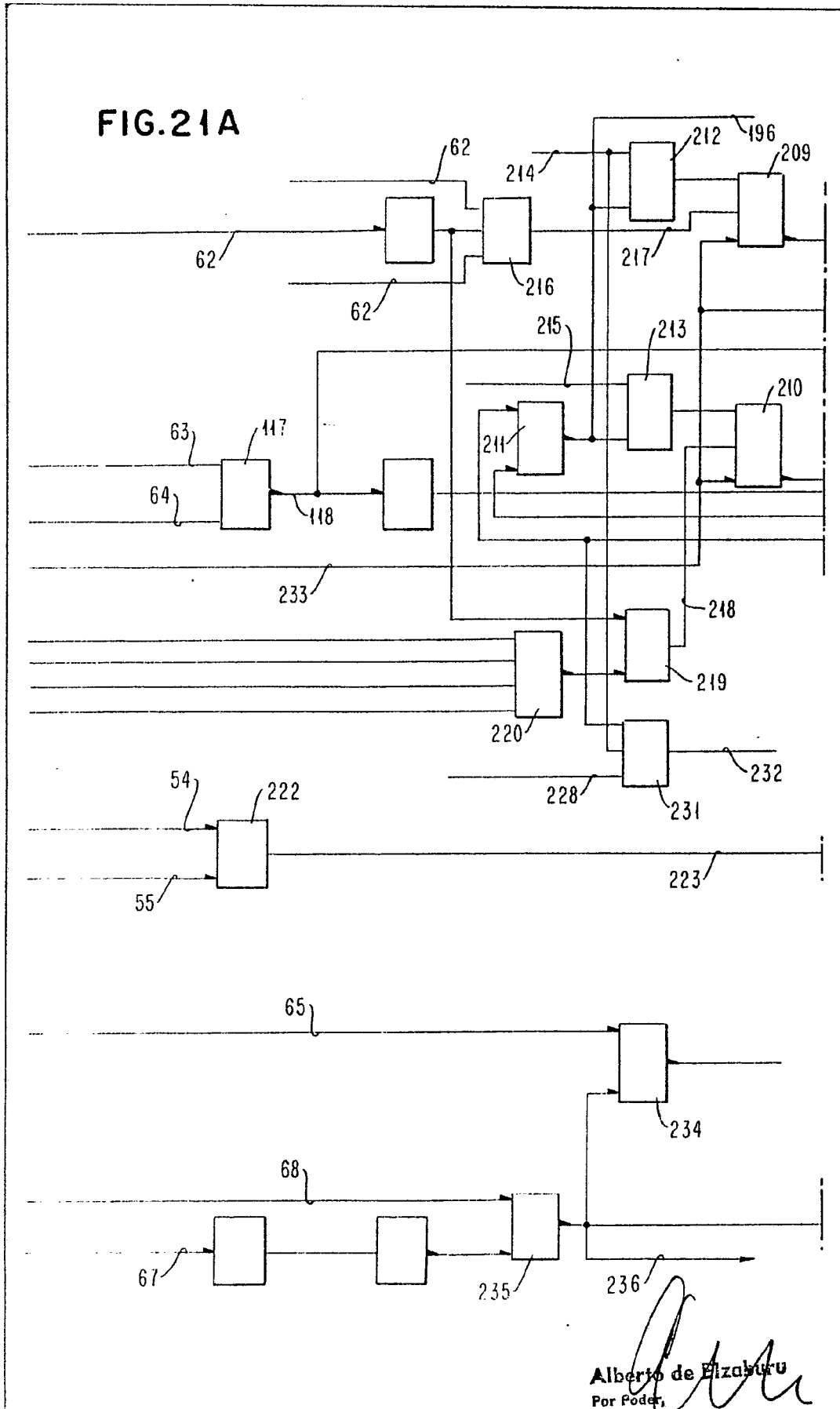


FIG.21B

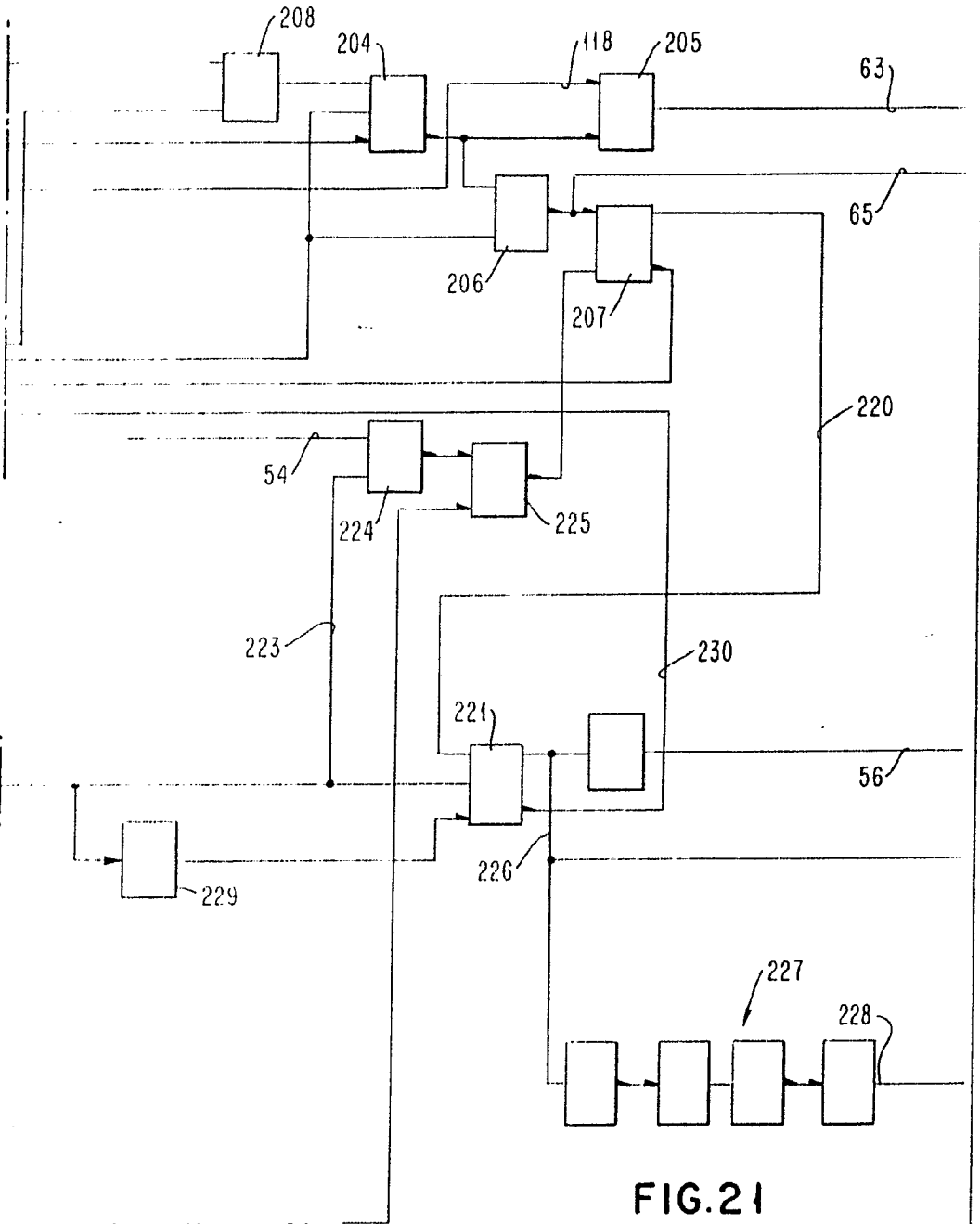
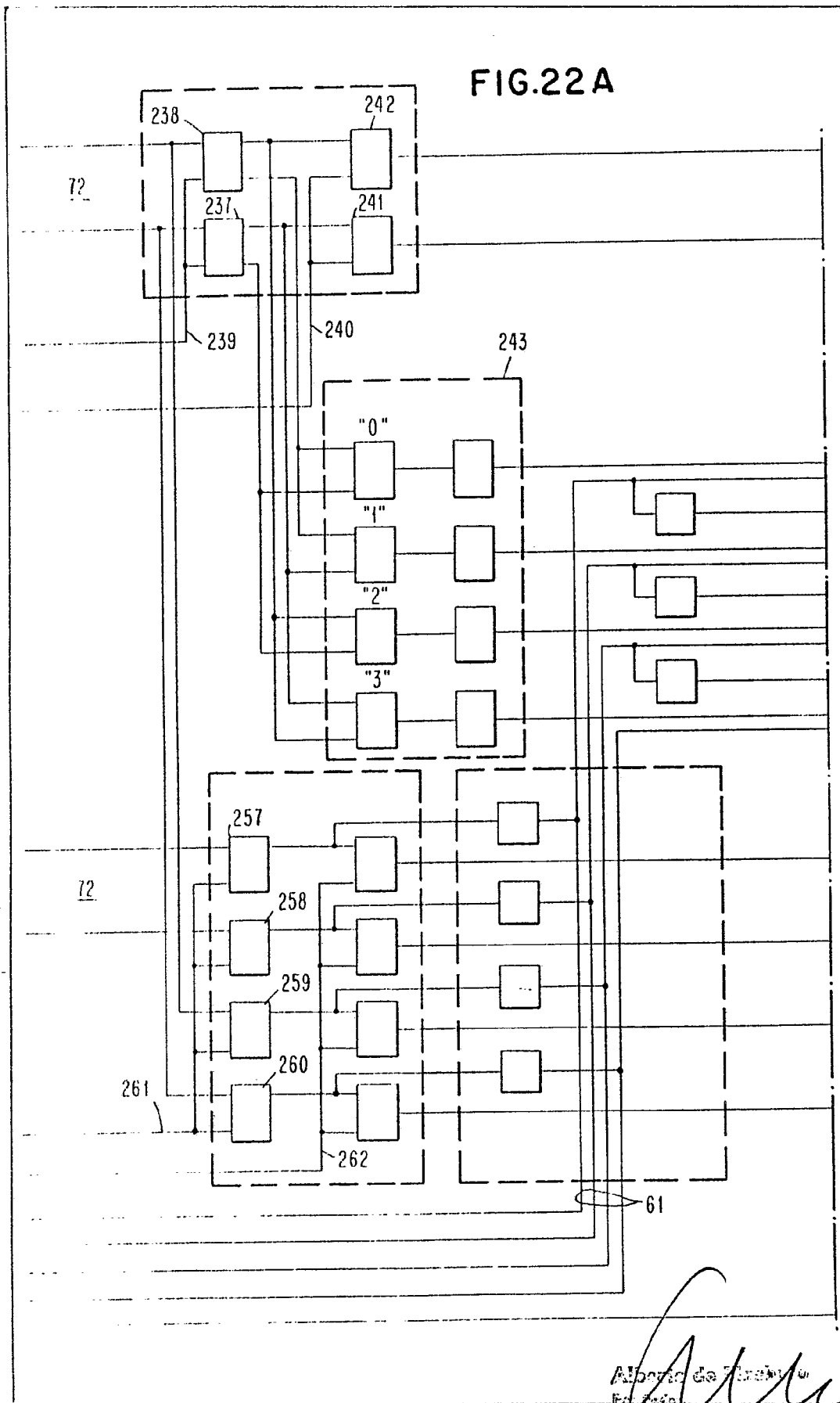


FIG.21

FIG 21A	FIG 21B
------------	------------

Alberto de Elizauru
For Patent

FIG.22A



Alberto de Trazzi
Eng. de 1ª Classe

FIG.22B

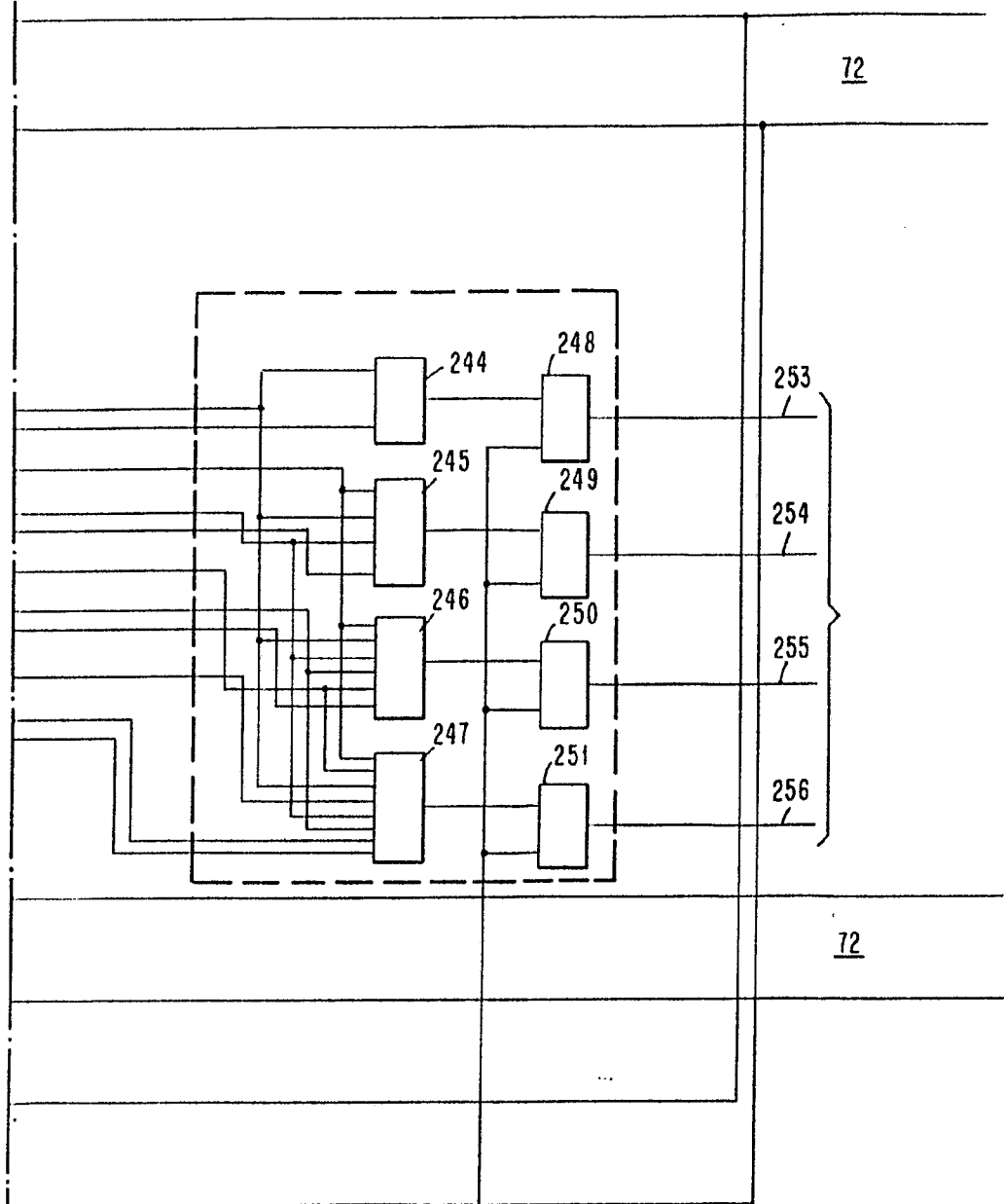
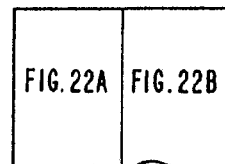
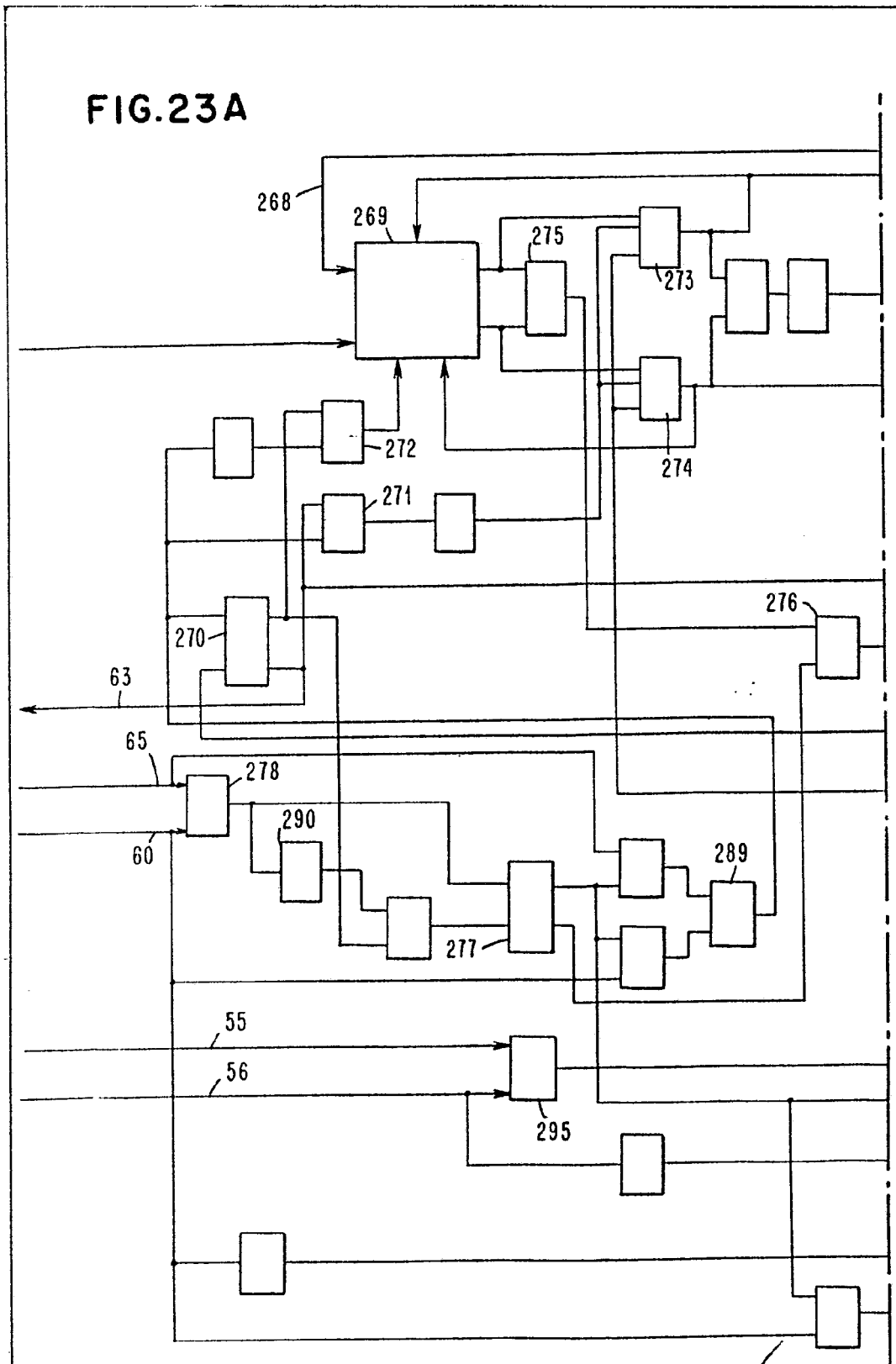


FIG. 22



Alberto J. ...
For Patent

FIG. 23A



Alberto de Elzaburu
Por Poder,

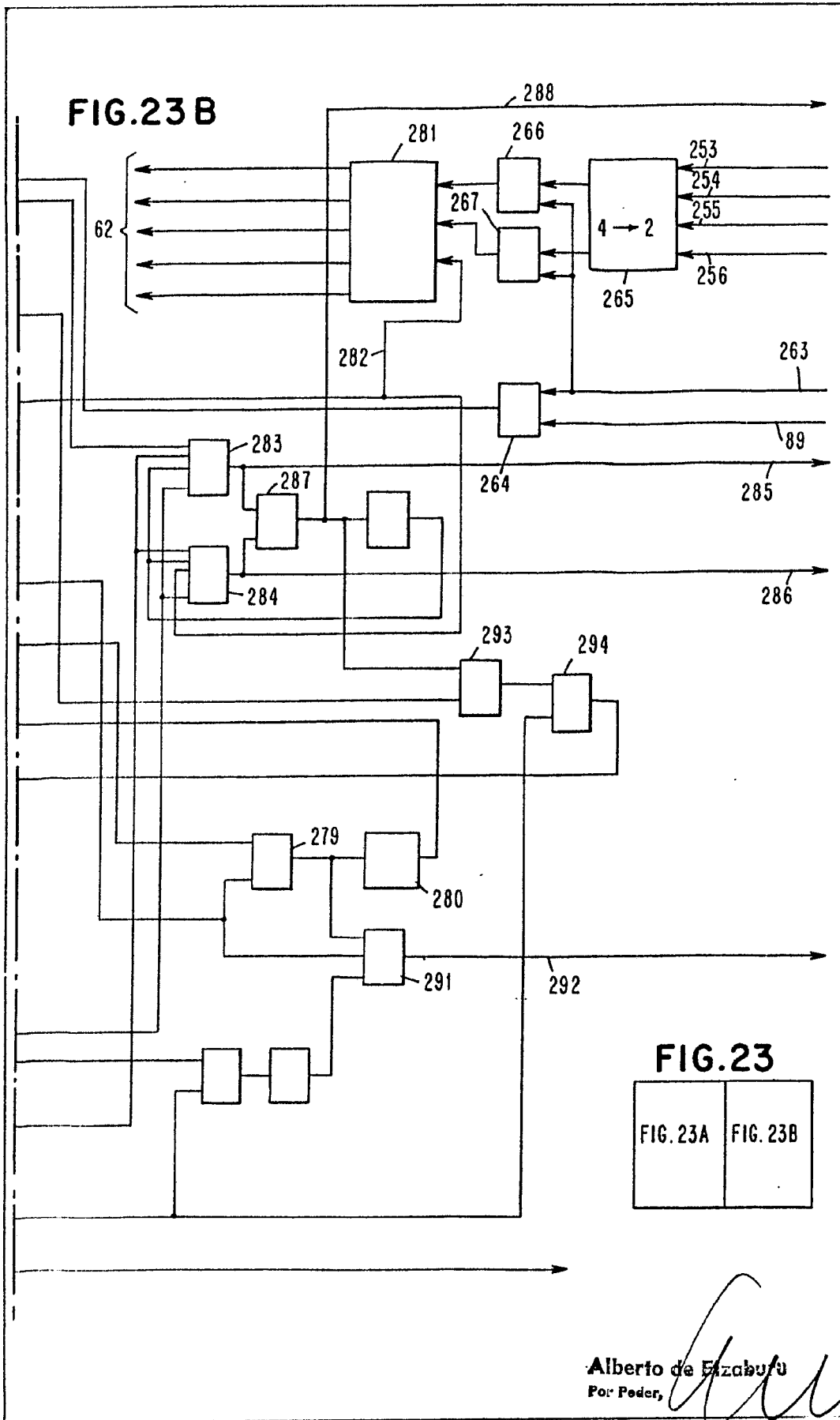


FIG. 23

FIG. 23A	FIG. 23B
----------	----------

Alberto de Eizaburu
For: Feder,

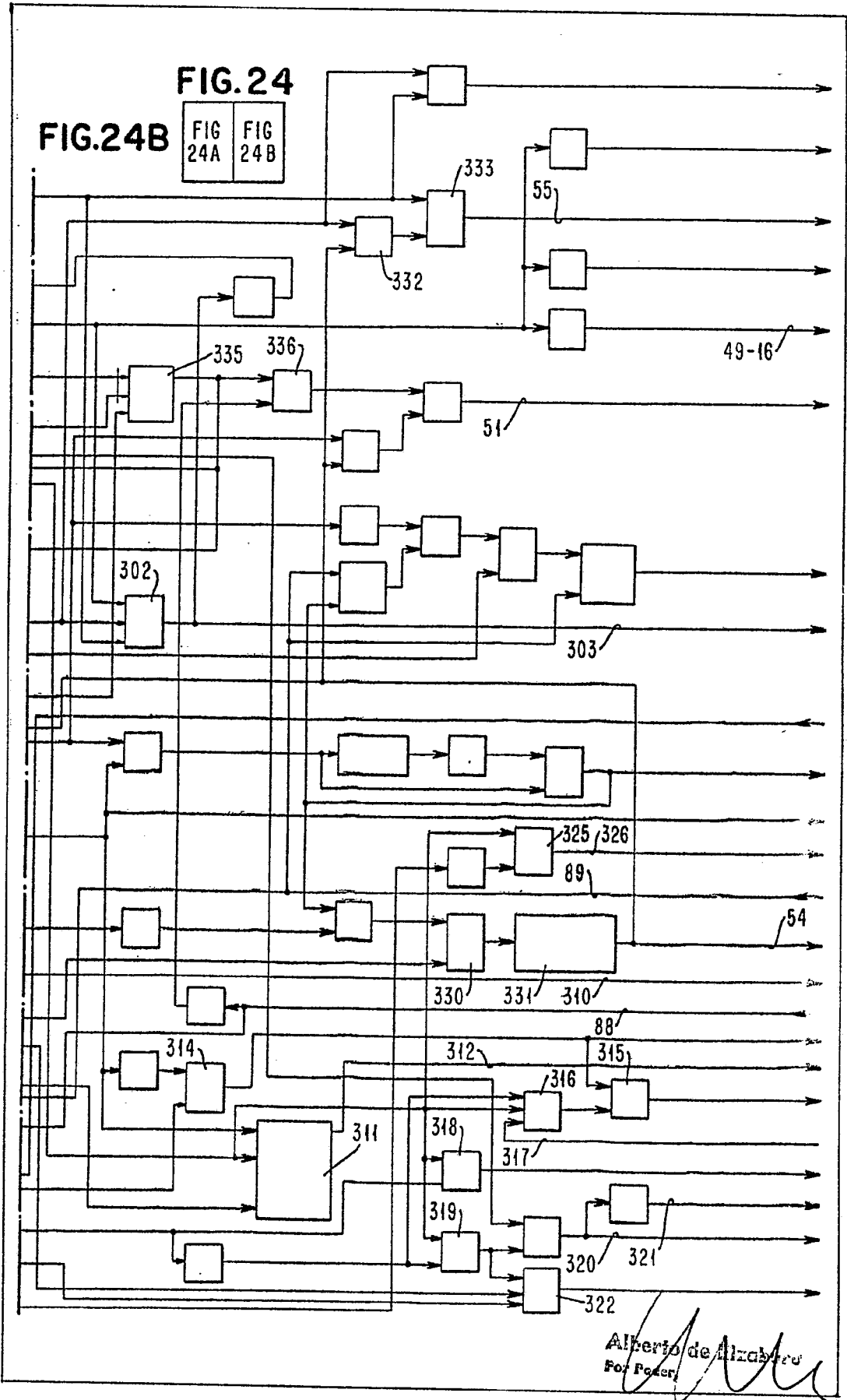


FIG. 24A

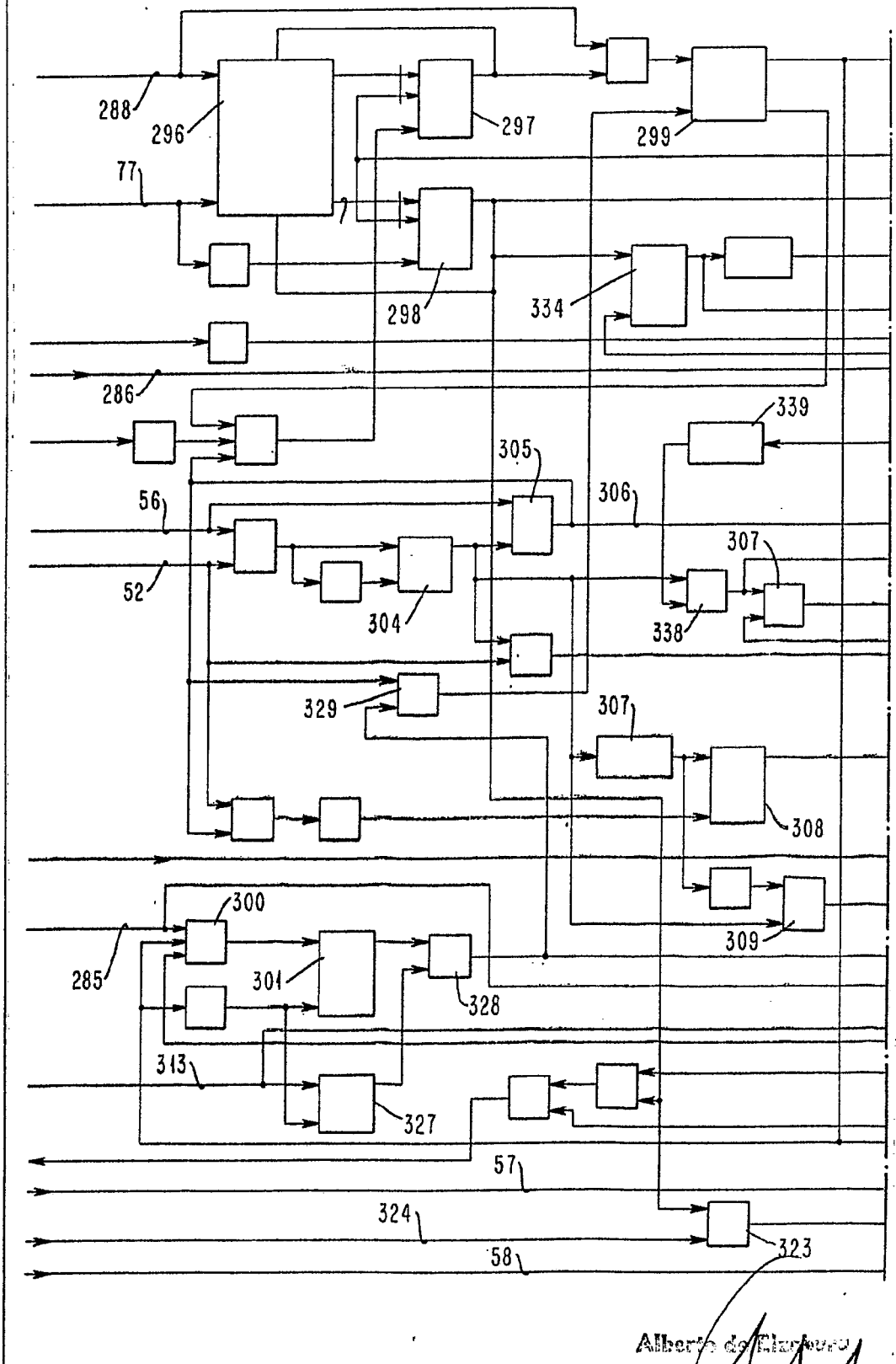


FIG. 25

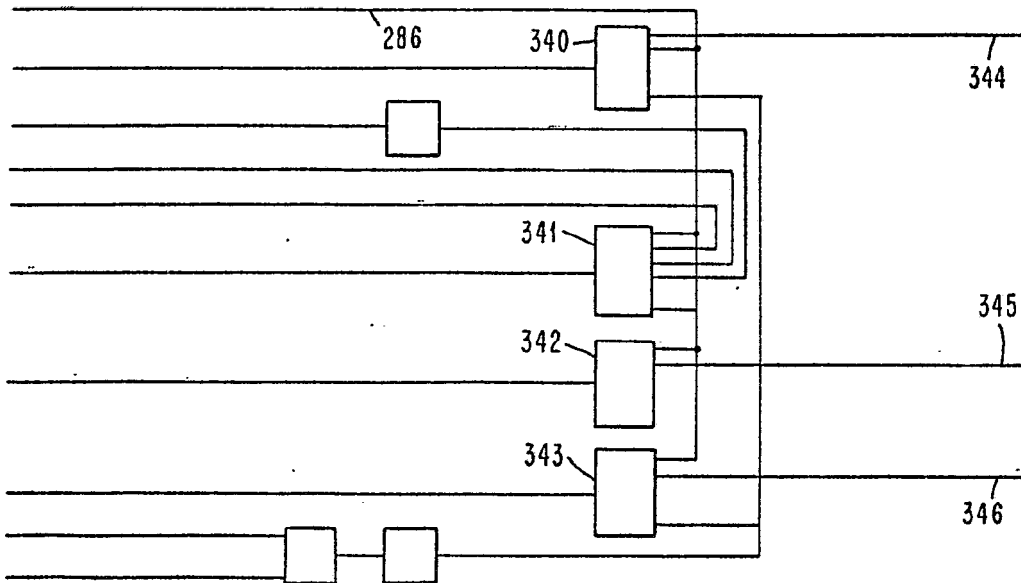
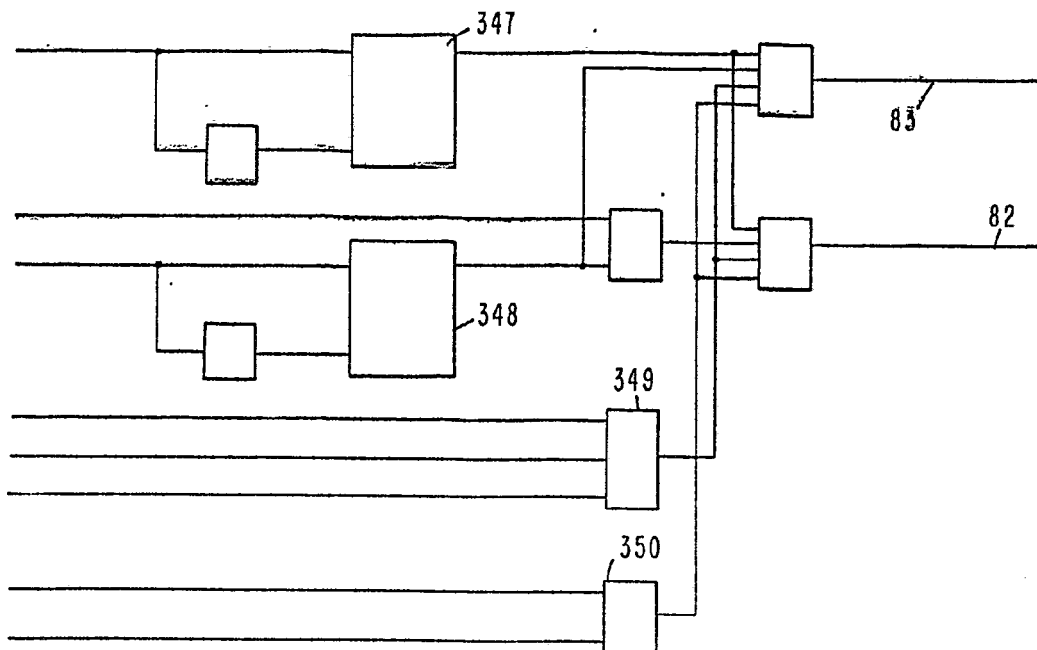


FIG. 26



Alberto de Elzaburu
For Patent