

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



458184

(10) ES	(11) NUMERO 458.184	(12) A 1
(21)	(22) FECHA DE PRESENTACION 26-4-1977	

PATENTE DE INVENCION

P.- 65.556  
IM 3867

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
76/04797-6	27-4-76	Suecia
(47) FECHA DE PUBLICIDAD	(41) CLASIFICACION INTERNACIONAL	(42) PATENTE DE LA QUE ES DIVISIONARIA
	H04J, H04Q	
(54) TITULO DE LA INVENCION		
"DISPOSITIVO PERFECCIONADO PARA PROPORCIONAR SINCRONISMO DE FASE DE UNA ESTACION DE TRANSITO EN UNA RED DE TELECOMUNICACION DIGITAL"		
(71) SOLICITANTE (S)		
TELEFONAKTIEBOLAGET L M ERICSSON		
DOMICILIO DEL SOLICITANTE		
S-126 25 Estocolmo, Suecia		
(72) INVENTOR (ES)		
Walter Ghisler, Aleksander Marlevi y Johan Clof Anüs		
(73) TITULAR (ES)		
(74) REPRESENTANTE		
DON ALBERTO DE ELZABURU MARQUEZ		

1 El invento se refiere a un dispositivo para  
proporcionar sincronismo de fase de una estación de trán-  
sito en una red de telecomunicación digital, que compren-  
de, dentro de un bucle bloqueado en fase, un oscilador con-  
5 trolado en tensión, que tiene una salida dispuesta para  
suministrar una señal de reloj de estación y una entrada  
de control capaz de ser accionada por señales de reloj de  
línea que pertenecen a una pluralidad de líneas que entran  
procedentes de otras estaciones de tránsito en la red de  
10 telecomunicación y un comparador de fase que está dispues-  
to para comparar la fase de la señal de reloj de estación  
con las fases de las señales de reloj de líneas y tiene  
una salida conectada a la entrada de control del oscila-  
dor controlado en tensión mediante un filtro de bucle.

15 Un dispositivo para proporcionar sincronismo  
de fase de una estación de tránsito en una red de teleco-  
municación digital está descrito en la patente sueca N<sup>o</sup>  
7.212.945-5, que da también un resumen de la técnica an-  
terior. En este dispositivo de sincronización conocido,  
20 un bucle bloqueado en fase comprende un comparador de fa-  
se que consiste en un número de circuitos de báscula dis-  
puestos para proporcionar señales de comparación de fase  
para una señal de reloj de estación procedente de un osci-  
lador controlado en tensión y señales de reloj de línea  
25 que pertenecen a una pluralidad de líneas que entran pro-  
cedentes de otras estaciones de tránsito en la red de tele-  
comunicación. Las señales de comparación de fase están  
dispuestas para influir sobre una entrada de control del  
oscilador controlado en tensión, después de que han sido  
30 en primer lugar combinadas mediante una resistencia res-

1 pectiva en una red promediadora.

Las señales de reloj de línea pertenecientes a una pluralidad de líneas que entran procedentes de diferentes estaciones de tránsito en una red de telecomunicación raramente muestran, sin embargo, la misma estabilidad y, además, la estabilidad puede variar en el tiempo para una misma señal de reloj de línea. Una contramedida es utilizar diferentes valores de las resistencias del circuito promediador en el dispositivo de sincronización conocido. Sin embargo, el hecho de que pueda ser necesario cambiar frecuentemente estas resistencias, resulta ser una dificultad.

El invento está basado en el conocimiento de dicho problema de estabilidad y proporciona para su solución medios que hacen fácil cambiar frecuentemente dicho promedio.

El invento cuyas características aparecen en las reivindicaciones adjuntas se explicará a continuación más en detalle con referencia al dibujo adjunto en el que:

20 La figura 1 muestra un diagrama de bloques de una realización preferida del dispositivo de acuerdo con el invento para proporcionar sincronismo de fase de una estación de tránsito en una red de telecomunicación digital y,

25 La figura 2 muestra un diagrama lógico de un comparador de fase digital que está incluido en el dispositivo de la figura 1.

La figura 1 muestra un diagrama de bloques de una realización preferida del dispositivo de acuerdo con el invento para proporcionar sincronismo de fase de una -

30

1 estación de tránsito en una red de telecomunicación digi-  
tal. El dispositivo incluye, dentro de un bucle bloqueado  
en fase, un oscilador controlado en tensión 1 que tiene  
una salida 2 dispuesta para alimentar una señal de reloj  
5 de estación y una entrada de control 3 capaz de ser accio-  
nada por señales de reloj de línea que pertenecen a una  
pluralidad de líneas 4 que entran procedentes de otras es-  
taciones de tránsito en la red de telecomunicación, y un  
comparador de fase 5 que está dispuesto para comparar la  
10 fase de la señal de reloj de estación con las fases de las  
señales de reloj de línea y que tiene una salida 6 conecta-  
da a la entrada de control 3 del oscilador 1 controlado en  
tensión mediante un filtro de bucle.

El filtro de bucle comprende, de acuerdo con el  
15 invento, una memoria 7 que tiene una entrada de direccio-  
nes 8 y una salida de lectura 9 y está dispuesto para alma-  
cenar coeficientes de ponderación seleccionados para las  
señales de reloj de línea, un contador de direcciones 10  
que tiene una entrada 11 conectada a la salida 2 del osci-  
20 lador 1 controlado en tensión mediante un divisor de fre-  
cuencia 12 y una salida que está dispuesta para una lectu-  
ra cíclica de palabras de direcciones asignadas a dichas  
líneas entrantes 4 y que está conectada a la entrada 8 de  
direcciones de la memoria 7, y un multiplicador 13 que tie-  
25 ne una primera entrada conectada a la salida 6 del compa-  
rador de fase 5, una segunda entrada conectada a la salida  
de lectura 9 de la memoria 7 y una salida 14 conectada a  
la entrada de control 3 del oscilador 1 controlado en ten-  
sión mediante un circuito promediador 15, estando conecta-  
30 do un paso multiplexador 16 en tiempo entre dichas líneas

1 entrantes 4 y el comparador de fase 5 y teniendo una en-  
trada de dirección 17 conectada a la salida del contador  
de direcciones 10. Las señales de reloj de línea son re-  
ducidas en frecuencia en correspondencia con la reducción  
5 en frecuencia de la señal de reloj de estación por medio  
del divisor de frecuencia 12, estando provistas las líneas  
entrantes 4 para este propósito de un reductor de frecuen-  
cia respectivo 18 que, de acuerdo con el ejemplo, está  
constituido por un detector de palabra de sincronización.

10 En el circuito promediador 15, el producto re-  
sultante del multiplicador 13 es aplicado a una unidad  
aritmética 19 que lo suma a una suma de producto acumula-  
da en un registro 20 y que, después de ello, inscribe una  
nueva suma de producto acumulado en el registro 20 median-  
15 te una puerta Y 21. La suma de producto acumulada que se  
obtiene de la unidad aritmética 19 después de N sumas, -  
donde N es igual al número de líneas 4 que entran, es ali-  
mentada además a un bloque de filtro 22 mediante un con-  
tacto de muestreo 23 controlado por el contador de direc-  
20 ciones 10 a través de un descodificador 24, siendo repues-  
to por ello el registro 20 simultáneamente, por lo que se  
inhibe la inscripción desde la unidad aritmética 19 mer-  
ced a un contacto de inhibición 25 conectado a una entra-  
da de control de la puerta Y 21 y controlado por el desco-  
25 dificador 24 en sincronismo con el contacto de muestreo  
23.

30 El bloque de filtro 22 consiste, de acuerdo con  
el ejemplo, en un filtro digital 26 seguido por un conver-  
tidor 27 digital a analógico. En la patente sueca nº  
369.012 se ha descrito una realización adecuada del fil-

1 tro 26 que hace fácil cambiar su función de transferencia  
H, por ejemplo en correspondencia a una decisión de que no  
se hará el promedio en el circuito 15 con respecto a  $N$  tér-  
minos de producto, donde  $N$  es igual al número de líneas 4  
5 que entran, sino con respecto a  $N-P$  términos de producto  
producidos por el multiplicador 13. El símbolo  $P$  indica  
aquí un número de líneas 4 entrantes que son despreciadas  
con respecto a sus señales de reloj de línea, dándose el  
valor cero a sus coeficientes de ponderación almacenados  
10 pertenecientes en la memoria 7. La decisión puede ser mo-  
tivada por el hecho de que la estabilidad de fase de las  
señales de reloj de línea en dichas  $P$  líneas entrantes 4  
se ha deteriorado tanto con relación a la estabilidad de  
las señales de reloj de línea en las otras líneas entran-  
15 tes 4, que solamente una reducción de sus coeficientes de  
ponderación no es una contramedida suficiente. Deben men-  
cionarse dos casos especialmente, a saber, cuando  $N-P$  se  
hace igual a 1, a fin de que la señal de reloj de estación  
sea subordinada a una señal de reloj de línea y cuando  $N-P$   
20 se hace igual a cero, resultando entonces la señal de reloj  
de estación asíncrona con relación a las señales de reloj  
de línea. En sistemas de telecomunicación digitales es  
esencial que todas estas alternativas sean accesibles y es  
tén, de acuerdo con el invento, proporcionadas por cambios  
25 de los coeficientes de ponderación almacenados en la memo-  
ria 7 y, si se requiere, cambios de la función de transfe-  
rencia  $H$  en el filtro digital 26. Todos estos cambios son  
realizados simplemente por una sustitución de un contenido  
de memoria digital que puede conseguirse de modo manual o  
30 automático en una manera de por sí conocida.

1                   La figura 2 muestra un diagrama lógico del com-  
parador 5 de fase en el dispositivo de la figura 1. Un cir-  
cuito báscula monoestable 30 disparado por un borde tiene  
una entrada 31 dispuesta para ser alimentada con dicha se-  
5                   ñal de reloj de estación reducida en frecuencia y para -  
reaccionar con un borde anterior de esta, suministran, en  
una salida 32, un impulso de corta duración para activación  
del multiplicador 13 y el circuito promediador 15, leyéndo-  
se un resultado de cómputo en un contador 33 al multiplica-  
10                   dor 13 a través de una salida 34 del contador 33. Una se-  
gunda báscula monoestable 35 disparada por un borde está  
conectada en cascada con la báscula monoestable 30 y está  
dispuesta para reaccionar en el borde posterior del impul-  
so en la salida 32, suministrando un impulso de corta du-  
15                   ración a una entrada de reposición del contador 33 y a una  
entrada de ajuste de una báscula biestable 36.

                  El contador 33 tiene una entrada de reloj dis-  
puesta para ser alimentada con impulsos de alta frecuencia  
procedentes de un generador 37 de impulsos de reloj median-  
20                   te una puerta Y 38 activada por la báscula biestable 36.  
Una tercera báscula monoestable 39 disparada por un borde  
tiene una entrada 40 dispuesta para ser alimentada con di-  
chos impulsos de reloj de línea, de frecuencia reducida,  
procedentes del paso multiplexador 16 en tiempo y para reac-  
25                   cionar con el borde anterior de éste suministrando un im-  
pulso de corta duración a una entrada de reposición de la  
báscula biestable 36, cesando la activación de la puerta  
Y 38 y siendo detenido el contador 33. El resultado de  
cómputo del último constituye una señal de comparación de  
30                   fase digital en la que el número de posiciones de dígitos

1 está determinado por la capacidad del contador 33 y por  
la frecuencia del generador 37 de impulsos de reloj. Este  
puede estar constituido, adecuadamente, por un multiplica  
5 dor de frecuencia que es alimentado con una señal de reloj  
de estación procedente de la salida 2 del oscilador 1 con-  
trolado en tensión en la figura 1.

El invento no está limitado a la realización  
descrita, sino que puede ser modificado de muchas maneras  
dentro del alcance de las reivindicaciones adjuntas. En  
10 principio, por ejemplo, no hay nada que prohíba que las  
operaciones digitales del comparador de fase 5, el multi-  
plicador 13, la memoria 7 y el circuito promediador 15 -  
sean reemplazadas por operaciones analógicas correspondien-  
tes. Debe indicarse que el invento es adecuado también  
15 para una denominada sincronización bilateral descrita, por  
ejemplo, en la patente sueca Nº 7.212.945-5, en cuyo caso,  
sin embargo, se requiere otro paso multiplexador en tiempo  
para recibir señales de comparación de fase procedentes  
de las otras estaciones de tránsito de la red de telecomu-  
20 nicación y que han de ser controladas por el contador 10  
de direcciones y medios aritméticos adicionales para res-  
tar las señales de comparación de fase recibidas de su  
señal de comparación de fase asociada mediante el compara-  
dor 5 de fase. Eventualmente, se requieren medios de al-  
25 macenamiento intermedios para las señales de comparación  
de fase recibidas.

30



1

REIVINDICACIONES

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

1ª.- Dispositivo perfeccionado para proporcionar sincronismo de fase de una estación de tránsito en una red de telecomunicación digital, que comprende dentro de un bucle bloqueado en fase, un oscilador controlado en tensión que tiene una salida dispuesta para suministrar una señal de reloj de estación y una entrada de control capaz de ser accionada por señales de reloj de línea pertenecientes a una pluralidad de líneas que entran procedentes de otras estaciones de tránsito de la red de telecomunicación, y un comparador de fase que está dispuesto para comparar la fase de la señal de reloj de la estación con las fases de las señales de reloj de línea, y que tiene una salida conectada a la entrada de control del oscilador controlado en tensión mediante un filtro de bucle, caracterizado porque el filtro de bucle comprende medios de memoria que tienen una entrada de direcciones y una salida de lectura y está dispuesto para almacenar coeficientes de ponderación seleccionados para las señales de reloj de línea, medios controladores de direcciones que tienen una entrada conectada a la salida del oscilador controlado en tensión y una salida dispuesta para una lectura cíclica de palabras de direccio

15

20

25

30

1 nes asignadas a dichas líneas entrantes y conectadas a la  
entrada de direcciones de los medios de memoria, y medios  
multiplicadores que tienen una primera entrada conectada  
a la salida del comparador de fase, una segunda entrada co  
5 nectada a la salida de lectura de los medios de memoria, y  
una salida conectada a la entrada de control del oscilador  
controlado en tensión a través de unos medios promediado-  
res, estando conectado un paso multiplexador en tiempo en-  
tre dichas líneas entrantes y el comparador de fase, y te  
10 niendo una entrada de direcciones conectada a la salida de  
los medios contadores de direcciones.

2ª.- Dispositivo perfeccionado para proporcio-  
nar sincronismo de fase de una estación de tránsito en una  
red de telecomunicación digital.

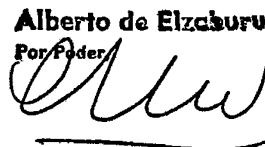
15 Tal y como se ha descrito en la Memoria que an-  
tecede, representado en los dibujos que se acompañan y pa-  
ra los fines que se han especificado.

Esta Memoria consta de diez hojas escritas a  
máquina por una sola cara.

20

Madrid, 10. MAY 1977

P.A.

**Alberto de Elzaburu**  
For Poder  


25

30



Fig. 1

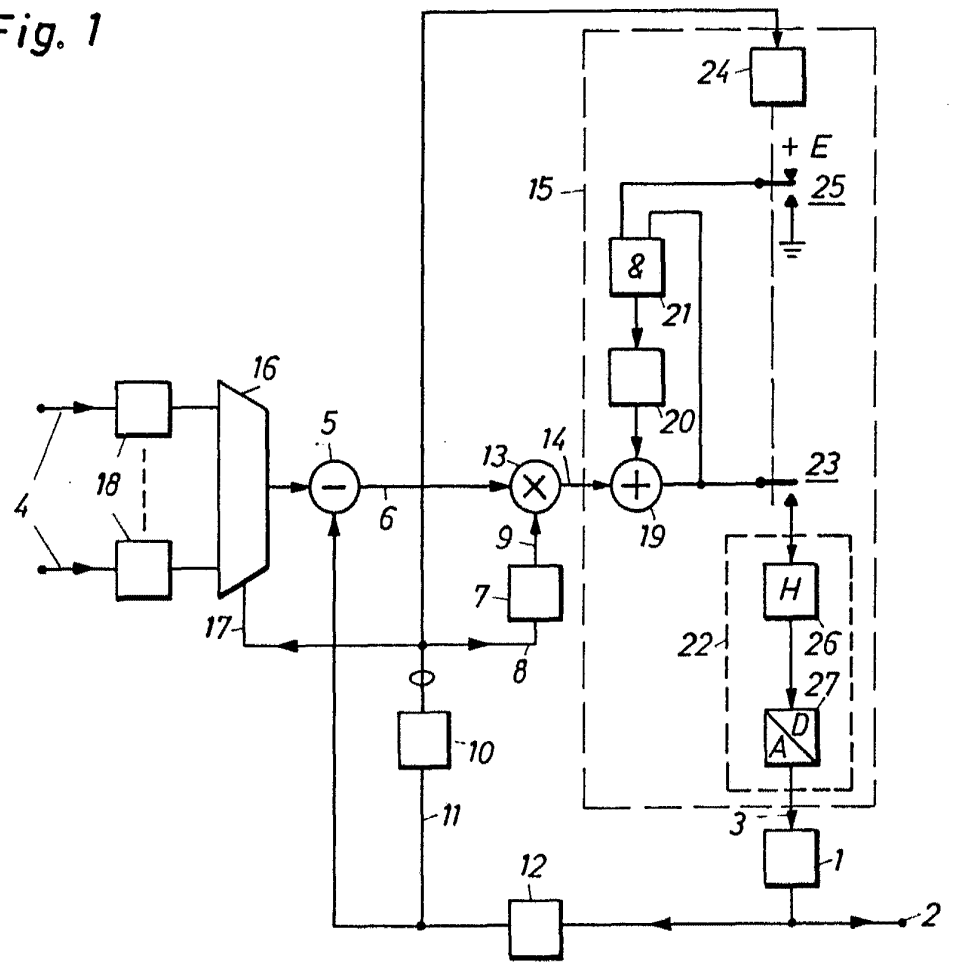
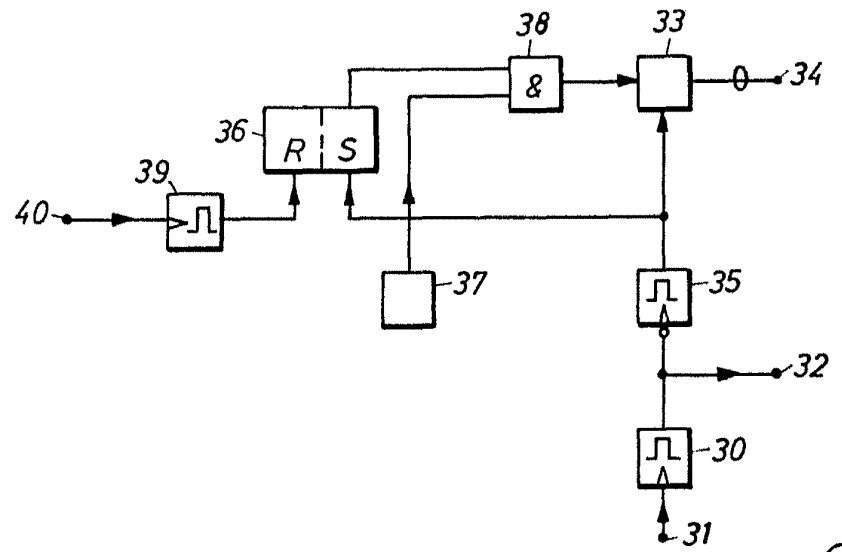


Fig. 2



Alberto de Ezchuru  
Por Padet