

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

⑩ ES	⑪ NUMERO	⑩ A1
	21	
	⑫ FECHA DE PRESENTACION	
	22	20-4-77

PATENTE DE INVENCION

③① PRIORIDADES:		
③② NUMERO	③③ FECHA	③④ PAIS
679.408	22-4-76	Estados Unidos
④⑦ FECHA DE PUBLICIDAD	④⑧ CLASIFICACION INTERNACIONAL	④⑨ PATENTE DE LA QUE ES DIVISIONARIA
	G 06 F	
④② TITULO DE LA INVENCION		
MICRO-ORDENADOR DEL TIPO DE ORGANOS DE TRATAMIENTO MULTIPLES.		
④① SOLICITANTE (S)		
GENERAL ELECTRIC COMPANY		
DOMICILIO DEL SOLICITANTE		
1, River Road, SCHENECTADY, N.Y. 12305 Estados Unidos		
④③ INVENTOR (ES)		
Charles Louis Devlin y Charles William Eichelberger ambos de nacionalidad estadounidense.		
④④ TITULAR (ES)		
④⑤ REPRESENTANTE		
D. BERNARDO UNGRIA GOIBURU		

1 El invento se refiere, en general, a sistemas de  
micro-ordenador y, más particularmente, a una memoria destinada  
da a ser empleada en un sistema de micro-ordenador con órgano  
nos de tratamiento múltiples que utiliza una estructura de  
5 vías de interconexión.

Los micro-ordenadores están tomando una importancia  
creciente en una amplia gama de aplicaciones. Conforme las  
economías realizadas en la fabricación de los micro-órganos  
de tratamiento y de los micro-ordenadores siguen reduciendo  
10 su coste, se utilizarán en aplicaciones cada vez más numeros  
sas. A veces puede ser conveniente utilizar más de una unidad  
de tratamiento conjuntamente con una sola memoria o una parte  
de la misma. Esto puede ser conveniente para dividir las funci  
ones realizadas por un micro-ordenador entre dos o más órgano  
15 nos de tratamiento para aumentar la capacidad del sistema de  
micro-ordenador. Otra ventaja de un sistema de órganos de trata  
tamiento múltiples consiste en que puede obtenerse un coste  
más bajo realizando un sistema complejo con dos o más órganos  
de tratamiento relativamente más económicos, en lugar de utili  
20 lizar un solo órganos de tratamiento más complicado y, por tanto  
to mucho más costoso. Una ventaja suplementaria que puede ser  
obtenida en un sistema de este tipo, es que puede ser diseñado  
de tal manera que, en caso de fallo de un órgano de tratamiento  
to, un segundo órgano de tratamiento realice las funciones del  
25 órgano de tratamiento deficiente, obteniéndose así un grado  
de redundancia que no existe en sistemas dotados de un solo  
órgano de tratamiento. Otra ventaja suplementaria de un sistema  
ma de micro-ordenador con órganos de tratamiento múltiples,  
consiste en que las comunicaciones pueden ser establecidas en  
30 tre dos o más órganos de tratamiento a través de una memoria

1 compartida directamente asequible a cualquier órgano de trata  
miento. Un sistema de este tipo tiene la capacidad de compar  
tir no solamente los datos, sino también la información de  
programación, y además tiene la ventaja de permitir que un  
5 órgano de tratamiento controle la programación de otro modifi  
cando las instrucciones almacenadas en una memoria única. Nu  
merosos micro-ordenadores corrientemente utilizados hoy en  
día están concebidos de acuerdo con una estructura de vías  
para asegurar la comunicación entre el micro-ordenador y los  
10 demás componentes del sistema de micro-ordenador, tales como  
por ejemplo la memoria y los dispositivos de entrada/salida.  
Una estructura de vías de interconexión permite modificar fá  
cilmente un sistema de micro-ordenador mediante sustitución  
de componentes, sin que sea necesario modificar físicamente  
15 los elementos tecnológicos básicos del sistema. Por tanto, es  
conveniente que una memoria compartida, destinada a ser utili  
zada conjuntamente con un sistema de micro-ordenador con órga  
nos de tratamiento múltiples sea compatible con una estructu  
ra de interconexión del tipo de vías.

20 El invento permite obtener en un sistema de micro-  
ordenador con órganos de tratamiento múltiples estas ventajas  
y mejoras, así como otras. De manera resumida, y de acuerdo  
con un aspecto del invento, se proporciona un sistema de micro-  
ordenador con órganos de tratamiento múltiples, que tiene dos  
25 o más órganos de tratamiento, sustancialmente independientes,  
provistos cada uno de su propia estructura de interconexión  
del tipo de vías, y una memoria compartida asequible a cual  
quiera de los órganos de tratamiento sin interferir con el  
funcionamiento adecuado de los demás órganos de tratamiento.  
30 De acuerdo con otro aspecto del invento, se proporciona un mi

1    cro-ordenador con órganos de tratamiento múltiples y con me  
      moría compartida, en el cual un órgano de tratamiento está  
      designado como órgano de tratamiento prioritario y tiene acce  
5    so a la memoria compartida en prioridad sin interferir con  
      el funcionamiento adecuado de los demás órganos de tratamien  
      to. Los tipos de micro-órgano de tratamiento utilizados con  
      juntamente con una memoria compartida del tipo con el cual  
      el invento está relacionado principalmente, funcionan muchas  
      veces de acuerdo con un modo que utiliza activamente una me  
10    moría asociada solamente durante una parte del tiempo, típica  
      mente de acuerdo con la forma de onda de la frecuencia de rit  
      mo, en el cual se necesita la conexión con la memoria solamen  
      te durante una cierta fase de la forma de onda. Una memoria  
      compartida, de acuerdo con el invento, permite que dos micro-  
15    órganos de tratamiento utilicen una memoria compartida de una  
      manera tal que se obtenga una utilización extremadamente efi  
      caz de una sola memoria por dos o más órganos de tratamiento.  
      Una característica de algunas memorias de utilización corrien  
      te consiste en que son capaces de responder a requisitos de  
20    servicio procedentes de un micro-órgano de tratamiento más  
      rápidamente que el órgano de tratamiento es capaz de utilizar  
      su servicio. Por ejemplo, los datos pueden ser escritos en  
      una memoria o extraídos de la misma a una velocidad superior  
      a la velocidad a la cual algunos micro-órganos de tratamiento  
25    son capaces de realizar las operaciones de lectura o de escri  
      tura, Por consiguiente, el invento proporciona unos medios  
      para aumentar el rendimiento de utilización de la memoria, ha  
      ciendo que una sola memoria compartida preste servicio a dos  
      o más órganos de tratamiento para que el tiempo durante el  
30    cual un órgano de tratamiento no necesita el servicio de la

1 memoria sea dedicado al otro órgano de tratamiento. De esta  
manera, una cantidad de tiempo importante durante el cual la  
memoria se mantenía inactiva y que correspondía, por tanto,  
a un tiempo desperdiciado, se utiliza de manera eficaz.

5 De acuerdo con otro aspecto del invento, se propor  
ciona una memoria compartida que puede, si se desea, presen  
tarse a cada uno de dos o más órganos de tratamiento que la  
comparten bajo la forma de una sección diferente de la capaci  
dad de memoria total del órgano de tratamiento. Por ejemplo,  
10 supongamos que cada uno de los dos órganos de tratamiento tie  
ne la capacidad de direccionar 64.000 direcciones de memoria.  
Supongamos, además, que la memoria compartida prevista de  
acuerdo con el invento, tiene una capacidad de 8.000 direccio  
nes. De acuerdo con una característica del invento, las 8.000  
15 direcciones compartidas aparecerán bajo la forma de las direc  
ciones 0 a 7.999 para un primer órgano de tratamiento y 8.000  
a 15.999 para un segundo órgano de tratamiento. Cuando se de  
sea, naturalmente, la memoria compartida puede incluir las  
mismas direcciones para dos o más órganos de tratamiento.

20 El invento podrá entenderse fácilmente leyendo la  
siguiente descripción de unos modos preferidos del mismo, que  
se representan, a título de ejemplo, en los dibujos adjuntos,  
en los cuales:

la figura 1 es un diagrama en bloques de un micro-  
25 ordenador con órganos de tratamiento múltiples de acuerdo con  
el invento, en el cual la memoria está compartida entre dos  
o más órganos de tratamiento;

la figura 2 es un diagrama esquemático lógico deta  
llado de una memoria compartida destinada a ser utilizada con  
30 dos órganos de tratamiento de acuerdo con un modo actualmente

1 preferido de realización del invento;

la figura 3 es otro diagrama esquemático lógico de  
tallado de una memoria compartida de acuerdo con el invento;

5 la figura 4 es un diagrama esquemático lógico deta  
llado de una memoria compartida destinada a ser utilizada con  
más de dos micro-órganos de tratamiento de acuerdo con el in  
vento.

Un micro-ordenador provisto de dos órganos de trata  
miento y que incluye una memoria compartida de acuerdo con el  
10 invento, se ilustra bajo la forma de un diagrama en bloques  
en la figura 1. El ordenador, designado generalmente por 10,  
incluye un primer órgano de tratamiento 12 y un segundo órga  
no de tratamiento 14. Debe entenderse que aunque el invento  
se describirá con relación a la figura 1 respecto a un micro-  
15 ordenador del tipo de órganos de tratamiento múltiples dotado  
de dos órganos de tratamiento, los peritos en la materia se  
darán fácilmente cuenta que pueden utilizarse fácilmente dos,  
tres o más órganos de tratamiento con una sola memoria compar  
tida de acuerdo con las enseñanzas del invento. El órgano de  
20 tratamiento 12 lleva asociada con él una primera estructura  
de vías, generalmente designada por 16, que incluye: una vía  
de direcciones 18, una vía de salida de datos 20, una vía de  
entrada de datos, 22, una vía de control de lectura-escritura  
24 y una vía de espera 26. Los peritos en la materia se darán  
25 cuenta que, aunque la vía de control de escritura-lectura y  
la vía de espera hayan sido ilustradas bajo la forma de con  
ductores únicos y aunque las vías de direcciones y de datos  
hayan sido ilustradas bajo la forma de tres conductores, la  
configuración exacta de las vías variará de acuerdo con el ti  
30 po y el número de las señales que han de ser transmitidas a

1 lo largo de las vías. Por ejemplo, conviene a menudo prever  
entradas y salidas de datos de dirección paralelas, que inclu  
yen hasta 16 bitios. Se observará que la vía de direcciones  
contendrá un número suficiente de conexiones eléctricas dis  
5 tintas para suministrar el número necesario de bitios. De la  
misma manera, las vías de salida de datos y de entrada de da  
tos pueden contener, por ejemplo, 8 bitios de información en  
paralelo, y por tanto, se necesitarán vías de 8 conductores  
por cada una de las vías de entrada de datos y de salida de  
10 datos. Las vías de lectura/escritura y las vías de espera pue  
den realizarse fácilmente utilizando solamente un conductor  
eléctrico con referencia a la masa o, en variante, dos o más  
conductores, si se desea. La forma particular tomada por las  
varias vías depende de la organización del órgano de tratamien  
15 to y del equipo auxiliar relacionado con él que se utilizan  
de acuerdo con el invento. Aunque esto no haya sido ilustrado,  
los peritos en la materia observarán que pueden preverse vías  
suplementarias de acuerdo con unos modos de realización parti  
cualres del invento. Por ejemplo, aunque esto no haya sido  
20 ilustrado, pueden incluirse, como se entenderá fácilmente,  
unas vías de suministro de energía en el sistema de micro-or  
denador 10 de la Figura 1.

Un segundo grupo de vías sustancialmente idénticas  
a las vías 18 a 26 está asociado con un segundo órgano de tra  
25 tamiento 14. Estas vías 18', 20', 22', 24' y 26' corresponden  
a las vías 18 a 26 asociadas con el órgano de tratamiento 12.  
Cada uno de los órganos de tratamiento 12 y 14 y sus estructu  
ras de vías asociadas, está asociado con algunos componentes  
periféricos. El órgano de tratamiento 12 está conectado por  
30 medio de la estructura de vías 16 al dispositivo de entrada/

1 salida 30 y con una memoria local 32. El órgano de tratamien  
to 14 y sus estructuras de vías asociadas 16 está conectado  
con el dispositivo de entrada/salida número 34, con el dispo  
sitivo de entrada/salida 36 y con la memoria local 38. Se en  
5 tenderá que la conexión entre los órganos de tratamiento y  
el equipo asociado descrito más arriba es convencional y, por  
tanto, no se describirá más detalladamente aquí. En breves  
palabras, las vías de direcciones 18 y 18' están alimentadas  
por los órganos de tratamiento 12 y 14, respectivamente, con  
10 la información de direcciones suministrada a cada dispositivo  
conectado a la estructura de vías. La dirección presente en  
cualquier momento dado en la vía de direcciones corresponderá  
a una dirección particular de un dispositivo particular y se  
obtendrá acceso a este dispositivo y al emplazamiento particu  
15 lar del dispositivo al cual corresponde la dirección. Por ejem  
plo, una dirección particular de 16 bitios puede corresponder  
a un emplazamiento determinado de la memoria. Cada vez que la  
combinación particular de bitios aparece en la línea de direc  
ción, este emplazamiento de la memoria queda disponible para  
20 el órgano de tratamiento. Las vías 20 y 22, conjuntamente con  
las vías correspondientes 20' y 22' son las vías de entrada  
y de salida de datos. Estas vías aseguran unos circuitos entre  
los dispositivos para los datos que han de ser transferidos  
de un dispositivo a otro. Las vías de entrada y salida de da  
25 tos transportan los datos propiamente dichos entre los dispo  
sitivos. Por ejemplo, los datos pueden ser inscritos o leídos  
en la memoria aplicando una dirección de memoria a la vía de  
direcciones y aplicando datos procedentes del órgano de trata  
miento a la vía de salida de datos a partir de la cual la di  
30 rección es recibida por el dispositivo direccionado. Se obser

1 vará que puede ser necesario suministrar a la memoria señales  
suplementarias, tales como por ejemplo, las señales del tipo  
transportado por las vías de lectura/escritura 24 y 24' antes  
de que los datos puedan ser introducidos o extraídos de la me  
5 moria u otro dispositivo. Las vías de espera 26 y 26' propor  
cionan señales procedentes del dispositivo que necesita ser  
vicio cuando el dispositivo a partir del cual se requiere el  
servicio es incapaz de satisfacer un requisito. Por ejemplo,  
10 si se suministran datos a un dispositivo de entrada/salida a  
partir de un órgano de tratamiento, a veces ocurre que el órga  
no de tratamiento es capaz de suministrar los datos a una ve  
locidad superior a la velocidad a la cual el dispositivo de  
entrada/salida puede utilizarlos. Con el objeto de impedir  
15 que los datos sean servidos, se manda una señal de espera al  
órgano de tratamiento para moderar la velocidad de circula  
ción de los datos a partir del órgano de tratamiento hasta el  
dispositivo de entrada/salida de modo que se suministren los  
datos a una velocidad a la cual el dispositivo de entrada/sa  
20 lida puede aceptarlos. Esta misma relación puede existir en  
tre dos dispositivos cualesquiera cuando las velocidades a las  
cuales son capaces de realizar varias operaciones son diferen  
tes. Además de los dispositivos descritos más arriba, el micro  
ordenador 10 incluye una memoria compartida 40, La memoria  
25 compartida 40 está conectada con las estructuras de vías aso  
ciadas, tanto con el órgano de tratamiento 12 como con el ór  
gano de tratamiento 14. De acuerdo con un modo de realización  
actualmente preferido de este invento, la memoria compartida  
40 incluye una sola memoria accesible a ambos órganos de tra  
30 tamiento 12 y 14. Una característica del invento consiste en

1 que la memoria compartida 40 puede presentarse a cada uno de los órganos de tratamiento bajo la forma de una porción diferente de la memoria total accesible a cada órgano de tratamiento.

5 Una memoria compartida de acuerdo con un modo actualmente preferido del invento se ilustra, a título de ejemplo, en la figura 2. Se ha previsto una memoria 50 que puede ser ventajosamente una memoria de acceso aleatorio, que incluye un terminal de direcciones 52, un terminal de entrada de datos 54, un terminal de salida de datos 56, un terminal de control de lectura/escritura 58 y un terminal de capacitación de memoria 60. Como se ha indicado más arriba con relación a la descripción de la figura 1, cada uno de los terminales de dirección, entrada de datos, salida de datos, lectura/escritura y capacitación de memoria mencionados más arriba, pueden incluir una o varias conexiones físicas. El terminal de direcciones 52 de la memoria 50 está conectado con las etapas intermedias de tres estados 62 y 64. Las etapas intermedias 62 y 64 aseguran una conexión selectiva entre el terminal de direcciones 52 de la memoria 50 y las vías de direcciones apropiadas, que están asociadas con los dos órganos de tratamiento que tienen acceso a la memoria. De acuerdo con el invento, el módulo de memoria compartida de la figura 2 puede utilizarse fácilmente conjuntamente con una estructura de micro-ordenador del tipo que se ilustra en la figura 1, y en la discusión que sigue se supondrá que la memoria compartida de la figura 2 corresponde a la memoria compartida 40 de la figura 1. Por consiguiente, las etapas intermedias de tres estados 62 y 64 están conectadas con las vías de dirección 18 y 18' de la figura 1. Se observará que aunque las etapas intermedias de tres

1        estados 62 y 64 han sido ilustradas bajo la forma de bloques  
         únicos, se utilizan bloques múltiples según las necesidades,  
         para acomodar conexiones de direcciones múltiples. Las etapas  
         intermedias de tres estados 62 y 64 se caracterizan por sus  
5        terminales de entrada 66 y 68 respectivamente y sus termina  
         les de salida 70 y 72. La etapa intermedia de tres estados  
         62 está provista de un terminal de entrada de puerta 74, el  
         cual, en este modo particular de realización del invento es  
         un terminal de entrada inversor, es decir que activa la etapa  
10        intermedia de tres estados 62 cuando se le aplica una señal  
         de masa o señal lógica cero. En correspondencia con el termi  
         nal de entrada de puerta 76 se ha previsto la etapa interme  
         dia de tres estados 64. Las etapas intermedias de tres esta  
         dos 62 y 64 aseguran una conexión selectiva entre las entra  
15        das 66 y 68 y las salidas 70 y 72. Cuando se aplica una señal  
         de nivel lógico cero al terminal de entrada de puerta 74, por  
         ejemplo, se obtiene una conexión eléctrica de baja impedancia  
         entre la entrada 66 y la salida 70. Cuando se aplica al termi  
         nal de puerta 74 una tensión positiva, es decir un uno lógico,  
20        no se obtiene ninguna conexión entre la entrada 66 y la sali  
         da 70 , y la salida 70 puede flotar, es decir que no está co  
         nectada con cero ni con una señal positiva, sino que se deja  
         en un estado sustancialmente indeterminado. El funcionamiento  
         de la etapa intermedia de tres estados 64 es idéntico. El fun  
25        cionamiento de las etapas intermedias de tres estados 62 y 64  
         puede entenderse fácilmente por analogía con un relé eléctri  
         co del tipo unipolar de una dirección, en el cual los termina  
         les de entrada y de salida 66 y 70 son los contactos del relé  
         y el terminal de puerta 74 asegura la conexión con la bobina  
30        del relé. Los peritos en la materia observarán que la función

1 de las etapas intermedias de tres estados 62 y 64 puede obte  
nerse de varias maneras, y el invento no se limita a ningún  
método o aparato particular para obtener la función descrita  
más arriba.

5 Unas etapas intermedias de tres estados suplementa  
rias 78 y 80 aseguran la conexión selectiva con la entrada de  
lectura/escritura 58 de la memoria 50 a partir de las entradas  
de lectura/escritura 82 y 84, respectivamente. Las etapas in  
termedias de tres estados 86 y 88 aseguran, de manera similar,  
10 la conexión con el borne de entrada de datos 54 a partir de  
las entradas 90 y 92, mientras que las etapas intermedias 94  
y 96 aseguran la conexión desde el borne de salida de datos  
56 de la memoria 50 hasta los terminales de salida 98 y 100.  
Se entiende que, como en el caso de las etapas intermedias 62  
15 y 64, las etapas intermedias 78, 80, 86, 88, 94 y 96 pueden  
asegurar más de una sola conexión eléctrica con las vías ade  
cuadas. Se observará que la naturaleza de las etapas interme  
dias permite una conexión directa con las vías apropiadas de  
los sistemas de micro-ordenador. Por ejemplo, la etapa inter  
20 media 62 está conectada con la vía 18; la etapa intermedia 64  
con la vía 18'; la etapa intermedia 78 con la vía 24; la eta  
pa intermedia 80 con la vía 24'; la etapa intermedia 86 con  
la vía 20; la etapa intermedia 88 con la vía 20'; la etapa in  
termedia 94 con la vía 22, y la etapa intermedia 96 con la  
25 vía 22'. La memoria compartida de la figura 2 incluye además  
unas puertas AND 102 y 104, que están adaptadas, de acuerdo  
con el presente invento, para ser conectadas con aquella par  
te de las vías 18 y 18' que transportan los bitios de direc  
ción de orden más alto. Los peritos en la materia observarán  
30 que la vía de direcciones transporta una multiplicidad de bi

1    tios de dirección en forma binaria. Observando los datos de di  
rección en paralelo, se observará que en el caso en el cual  
la memoria 50 incluye un número de direcciones inferior al nú  
mero total de direcciones disponibles, los bitios de dirección  
5    de orden más alto no se necesitan para especificar, de manera  
unívoca una dirección en la memoria 50 solamente. Sin embargo,  
serán necesarios para distinguir el bloque de direcciones de  
memoria representado por la memoria 50, de las demás direccio  
nes de memoria accesibles al órgano de tratamiento. Por consi  
10   guiente, los bitios de dirección de orden más alto se aplican  
a las puertas AND 102 y 104, que proporcionan en sus salidas  
106 y 108 unas señales cuando se efectúa el direccionamiento  
de la memoria 50. Cada una de las puertas AND 102 y 104 inclu  
ye una multiplicidad de entradas 110 y 112, cuyo número exac  
15   to diferirá en función del tamaño relativo de la memoria 50 y  
de la capacidad de direccionamiento del órgano de tratamiento.  
Ya que las puertas AND 102 y 104 proporcionan salidas cuando  
cada una de sus entradas está sometida a un nivel lógico alto,  
se observará que se obtendrá acceso a la memoria 50 cuando el  
20   órgano de tratamiento correspondiente efectúa el direcciona  
miento de la parte de la memoria que tiene el emplazamiento  
de dirección más alto. Por ejemplo, cuando se proporcionan 16  
bitios por el órgano de tratamiento a la vía de direcciones,  
y además cuando la memoria 50 incluye, por ejemplo, 8.000 di  
25   recciones y cuando las 8.000 direcciones son las 8.000 direc  
ciones que pueden ser direccionadas por el órgano de tratamien  
to, y representando además estas 8.000 direcciones la octava  
parte del número total de direcciones que pueden ser direccio  
nadas por el órgano de tratamiento, se necesitan tres bitios  
30   binarios para determinar, de manera unívoca, cuál de los ocho

1 bloques de memoria está direccionado. Por tanto, en el modo  
de realización del invento que se ilustra en la figura 2, los  
tres bitios de dirección de orden más alto se aplican a las  
entradas 110 de la puerta AND 102 y se produce una salida en  
5 su terminal 106 cuando cada una de las entradas 110 presenta  
un nivel alto. Se observará que cualquiera de los otros siete  
bloques de memoria producirá por lo menos, un bitio en la en  
trada 110 de la puerta AND 102 con un nivel cero o nulo, y no  
se producirá ninguna salida en el terminal 106. Cuando se de  
10 sea, de acuerdo con el invento, direccionar grupos de direccio  
nes de memoria distintos del grupo más alto, pueden utilizarse  
inversores entre la porción de orden más alto de la vía de di  
recciones y la puerta AND 102 para obtener, en su terminal de  
entrada 110 una entrada que incluye tres uno lógicos. Se ob  
15 servará, por tanto, que la memoria 50 puede aparecer para el  
órgano de tratamiento, como siendo uno cualquiera de un cier  
to número de bloques de emplazamientos de memoria. Además,  
las puertas 102 y 104 pueden ser realizadas de tal manera, que  
la memoria 50 aparezca para cada uno de los órganos de trata  
20 miento 12 y 14 como siendo una porción diferente de la memo  
ria direccionable por los órganos de tratamiento correspondien  
tes. Por ejemplo, suponiendo que se suministren tres bitios  
de datos de dirección a cada una de las puertas 102 y 104 y  
suponiendo además que cada uno de los bitios aplicados a la  
25 puerta 104 es invertido antes de ser aplicado a sus entradas  
112, se observará que la puerta 104 proporcionará en su termi  
nal de salida 108 una señal de salida, cada vez que cada uno  
de los bitios de dirección de orden alto es un cero en lugar  
de un uno y que la memoria 50 aparecerá al órgano de tratamien  
30 to 14 como estando constituida por las 8.000 direcciones de

1 memoria más bajas y al órgano de tratamiento 12 como estando  
constituida por las 8.000 direcciones de memoria más altas.

Las puertas AND 116 y 118 aseguran la conexión fi  
nal con la estructura de vías de dos órganos de tratamiento  
5 en sus salidas 120 y 122, respectivamente. La salida 120 está  
conectada con la vía de espera 26 y la salida 122 con la vía  
de espera 26'. Puede verse que la memoria compartida de la fi  
gura 2 está conectada solamente con las estructuras de vía de  
las dos porciones del micro-ordenador con órganos de tratamiento  
10 to múltiples de la figura 1. No se necesita ningún control  
adicional y no se hace ninguna conexión directa entre las dos  
estructuras de vías.

El funcionamiento de la memoria compartida de la fi  
gura 2 exige que se satisfaga un cierto número de condiciones.  
15 La memoria 50 puede ser direccionada por cualquiera de los  
órganos de tratamiento 12 ó 14, pero no puede ser direccionada  
simultáneamente por ambos. Cuando un solo órgano de tratada  
miento efectúa el direccionamiento de la memoria, la memoria  
compartida de la figura 2 facilita el acceso a este órgano de  
20 tratamiento. Cuando ambos órganos de tratamiento necesitan si  
multáneamente el acceso a la memoria, se da el acceso al órgano  
de tratamiento que ha utilizado más recientemente la memoria  
Se observará que un requisito de servicio efectuado por  
un órgano de tratamiento será revelado por la tensión de sal  
25 da elevada en cualquiera de las salidas 106 y 108 de las puertas  
102 y 104. Para facilitar la descripción, se hará referencia  
a señales "altas" y "bajas". Se entiende que estas indicaciones  
se refieren a señales de nivel lógico alto y bajo y no  
se refieren necesariamente a magnitudes relativas particulares.  
30 Los peritos en la materia se darán cuenta que los términos al

1 to y bajo se refieren, respectivamente, a unos lógicos y ce  
ros lógicos. En primer lugar, se supondrá que se ha activado  
solamente la salida 106 de la puerta AND 102 para producir  
una señal alta indicando así que un órgano de tratamiento 12  
5 desea obtener acceso a la memoria. Una señal alta aparece a  
la salida 106 de la puerta AND 102 y simultáneamente en la en  
trada 130 de la puerta NOR 132, en la entrada 138 de la puer  
ta NAND 140 y en la entrada 142 de la puerta NAND 144. Ya que  
el órgano de tratamiento 14 no necesita servicio, la salida  
10 108 de la puerta AND 104 es baja, lo que aplica una señal ba  
ja a la entrada 146 del inversor 148, a la entrada 150 de la  
puerta NAND 152 y a la entrada 154 de la puerta NAND 156. El  
inversor 136 aplica una señal baja a la entrada 172 de la  
puerta NAND 152, cuya salida 174 será necesariamente alta. La  
15 salida 174 de la puerta NAND 152 está conectada con la entra  
da 164 de la puerta NAND 166 y le aplica una señal alta. Ya  
que la entrada 146 del inversor 148 es baja, la salida 158 de  
este inversor aplica una señal alta a la entrada 160 de la  
puerta NAND 140. Ya que la entrada 138 de la puerta NAND 140  
20 es igualmente alta, su salida 162 es baja, proporcionando una  
señal baja a la entrada 176 de la puerta NAND 178, que asegu  
ra que su salida 182 sea alta. La salida 182 está conectada  
con la entrada 167 de la puerta NAND 166 y ya que ambas entra  
das 164 y 167 son altas, la salida 168 de la puerta NAND 166  
25 es baja, aplicando una señal baja a las entradas de puerta  
74 y 184 de las etapas intermedias de tres estados 62 y 78,  
respectivamente. Unas señales lógicas bajas se aplican de la  
misma manera a la entrada 190 de la etapa intermedia de tres  
estados 86 y a la entrada 192 de la puerta NAND 116, que pro  
30 porciona una señal alta en su salida 120. Se recordará que

1 las puertas NAND 116 y 118 están conectadas con las vías de  
espera asociadas con los órganos de tratamiento 12 y 14, res  
pectivamente. De acuerdo con el invento, una señal baja hará  
que el órgano de tratamiento se mantenga en espera y una señal  
5 alta permitirá que continúe funcionando. Por consiguiente, se  
observará que la etapa intermedia de tres estados 62 asegura  
la conexión entre su entrada 66 y la salida 70, conectando  
así la vía de direcciones 18 con la entrada 52 de la memoria  
50. De manera similar, la entrada 82 de la etapa intermedio de  
10 tres estados 78 está conectada con la entrada 58 de la memoria  
50, y la entrada 90 de la etapa intermedio de tres estados 86  
está conectada con la entrada 54 de la memoria 50. Por tanto,  
las vías adecuadas de direcciones, lectura/escritura y datos  
se conectan con la memoria. La activación selectiva de la me  
15 moria, ya sea para recibir o para suministrar datos, se des  
cribirá más adelante.

El funcionamiento de la memoria compartida de la fi  
gura 2, cuando el órgano de tratamiento 14 necesita su servi  
cio, es similar al que se ha descrito más arriba y produce  
20 una señal baja en la salida 182 de la puerta NAND 178, acti  
vando así las etapas intermedias de tres estados 64, 80 y 88  
para asegurar la conexión con la memoria 50 de las entradas  
68, 84 y 92. El funcionamiento de la memoria compartida cuan  
do ambos órganos de tratamiento 12 y 14 necesitan simultánea  
25 mente su servicio, depende del órgano de tratamiento que ha  
obtenido más recientemente acceso a la memoria. Supongamos  
que antes del requisito simultáneo de servicio, que el órgano  
de tratamiento 12 es el que ha utilizado más recientemente la  
memoria, la salida 168 de la puerta NAND 166 proporcionará  
30 una señal baja, mientras que la salida 182 proporcionará una

1 señal alta. Supongamos ahora que ambas puertas NAND 102 y 104  
proporcionan señales bajas indicando que ningún órgano de tra  
tamiento necesita el servicio de la memoria, se aplica una se  
ñal baja a la puerta NAND 140, lo que hace que se aplique una  
5 señal alta a la entrada 164 de la puerta NAND 166. Ya que la  
entrada 167 de la puerta NAND 166 está conectada con la sali  
da 182 de la puerta NAND 178 la cual, como se recordará, está  
suministrando una señal alta, la puerta NAND 166 permanecerá  
en su estado anterior y producirá una señal baja en su salida  
10 168. Esta señal baja se aplica a la entrada 180 de la puerta  
NAND 178 asegurando que una señal alta seguirá siendo produ  
cida en su salida 182. Se observará que las puertas NAND 166  
y 178 están conectadas en un circuito del tipo flip-flop y  
mantienen, respectivamente, una señal baja y una señal alta  
15 en su salida, en ausencia de requisitos de servicio proceden  
tes de cualquier órgano de tratamiento. Supongamos. ahora, que  
ambos órganos de tratamiento necesitan el servicio de la memo  
ria. Las dos salidas 106 y 108 serán altas, aplicando así se  
ñales altas a los inversores 136 y 148, los cuales, por tanto,  
20 producirán señales bajas en sus salidas 158 y 170, respectiva  
mente, asegurando las señales bajas que se obtendrán señales  
altas en las salidas 162 y 174 conectadas con las entradas 176  
y 164 respectivamente. Se recordará que la puerta NAND 166 es  
25 taba anteriormente en el estado de energización "on", produ  
ciendo una señal baja en su salida 168, y que la puerta NAND  
178 estaba produciendo una señal alta en su salida 182, y se  
observará que estas condiciones continuarán durante el requi  
sito simultáneo de servicio por parte de ambos órganos de tra  
tamiento. Las entradas de la puerta NAND 166 permanecen altas  
30 y las entradas 180 y 176 de la puerta NAND 178 son baja y alta

1      respectivamente, produciendo así una salida alta en el termi  
nal 182 de la puerta NAND 178.

Supongamos ahora que solamente el órgano de trata  
miento 14 efectúa un requisito de servicio de memoria y, por  
5      tanto, que la salida 106 es baja y la salida 108 es alta. Se  
aplican señales altas al inversor 148 y a la entrada 150 de  
la puerta NAND 152. Se aplican señales bajas al inversor 136  
y a la entrada 138 de la puerta NAND 140. Por tanto, la puer  
ta NAND 140 produce una señal alta en su salida 162, mientras  
10     que la puerta NAND 152 produce una señal baja en su salida  
174. La señal baja que aparece a la salida 174 de la puerta  
NAND 152 está conectada con la entrada 164 de la puerta NAND  
166 que produce una señal alta en su salida 168 que está co  
nectada con la entrada 180 de la puerta NAND 178. Ya que la  
15     salida 162 de la puerta NAND 140 está conectada con la entrada  
176 de la puerta NAND 178, su salida 182 pasa al estado de  
nivel bajo y el órgano de tratamiento 14 obtiene acceso a la  
memoria, mientras que se suprime el acceso a la memoria del  
órgano de tratamiento 12.

20             Se observará que, de acuerdo con el invento, como  
se ha descrito más arriba se da acceso a la memoria a cualquier  
órgano de tratamiento que lo requiera cuando los requisitos  
aparecen uno por uno y al órgano de tratamiento que ha obteni  
do acceso más recientemente cuando se reciben requisitos si  
25     multáneos. De esta manera, no se interrumpe ningún órgano de  
tratamiento durante una operación de transferencia con la memo  
ria por un requisito procedente del otro órgano de tratamien  
to.

Es conveniente disponer de dos modos de acceso a la  
30     memoria, un primer modo en el cual se introduce la información

1 en la memoria a partir del órgano de tratamiento o del apara  
to, y un segundo modo en el cual la información es extraída  
de la memoria y conducida al órgano de tratamiento u otro apa  
rato. La memoria compartida de la figura 2 facilita el control  
5 necesario para obtener estos dos modos de acceso. Los peritos  
en la materia se darán cuenta que la naturaleza de la conexión  
eléctrica con la memoria 50, con el objeto de realizar las  
operaciones de lectura y escritura, es algo diferente. En par  
ticular, el borne de salida de datos 56 constituye una fuente  
10 de señal de impedancia relativamente baja, cuyos niveles lóg  
icos determinan la información suministrada por la memoria 50.  
Por tanto, se observará que la salida de datos 56 debe estar  
aislada de la estructura de vías del órgano de tratamiento  
apropiado, salvo cuando se desea extraer la información de la  
15 memoria. El borne de entrada de datos 54 está adaptado para  
recibir la información procedente de la estructura de vías,  
y se caracteriza por una impedancia relativamente elevada. Por  
tanto, no es necesario, durante el tiempo en que un órgano de  
tratamiento particular tiene acceso a la memoria, aislar el  
20 borne 54 mientras no se utiliza realmente. La distinción en  
tre los bornes de entrada de datos y de salida de datos 54 y  
56 podrá entenderse más fácilmente teniendo en cuenta que ca  
da vez que una información aparece en el borne 56, mantiene  
esencialmente la vía de datos con la cual está conectado en  
25 los valores de información del emplazamiento de memoria, que  
ha sido direccionado particularmente. Sin embargo, la vía de  
entrada de datos 54, puede dejarse flotar, ya que la informa  
ción no se introducirá en la memoria, salvo de acuerdo con  
las indicaciones de la señal aplicada al borne de lectura/es  
30 critura 58. Por tanto, el borne de salida de datos 56 está co

1 nectado con las etapas intermedias de tres estados 94 y 96,  
que están controladas por las puertas NAND 144 y 156, respec  
tivamente. A título de ejemplo, y haciendo referencia parti  
cularmente a la puerta NAND 144, se recordará que, cuando so  
5 lamente el órgano de tratamiento 12 desea obtener acceso a  
la memoria, se suministra una señal alta a la entrada 142 de  
la puerta NAND 144. Se recordará, además, que la salida 168  
de la puerta NAND 166 es baja y se observará que esta salida  
está conectada con la entrada 190 del inversor 192, que apli  
10 ca una señal de nivel alto a la entrada 194 de la puerta  
NAND 144. La salida 196 de la puerta NAND 144 está conectada  
con la entrada 198 de la etapa intermedia de tres estados 94  
que se energiza para conectar el terminal de salida 98 con  
el terminal de salida 56 de la memoria 50. Por tanto, la memo  
15 ria 50 se conecta con la vía de datos de salida solamente  
cuando la puerta NAND 102 ha detectado un requisito real de  
servicio. Se observará que las etapas intermedias de tres es  
tados 86 y 88 permanecen activadas para conectar el órgano  
de tratamiento que ha sido el último en recibir servicios  
20 con el borne de entrada de datos 54 de la memoria 50, incluso  
cuando no existen requisitos de servicio. Esto se debe a la  
disposición del circuito flip-flop de las puertas NAND 166 y  
178. La puerta NAND 156 coopera de una manera similar con la  
etapa intermedia de tres estados 96, proporcionando una señal  
25 de salida baja a partir de la salida 200 de la puerta NAND 156  
a la entrada 202 de la etapa intermedia de tres estados 96,  
cada vez que se aplican señales altas a las entradas 204 y  
154 de la puerta NAND 156. Estas señales se aplican cuando  
se activa la puerta AND 104 por un requisito de servicio pro  
30 cedente del órgano de tratamiento 14 y además cuando la puer

1 ta NAND 178 proporciona una señal baja en su salida 182, la  
cual es invertida por el inversor 206 para proporcionar una  
señal alta a su salida 208. Ya que las entradas 204 y 154 de  
la puerta NAND 156 son ambas de nivel alto, su salida 200  
5 proporciona una señal baja para activar la etapa intermedia  
de tres estados 96 y conectar el borne de salida de datos 56  
con la salida 100 de la etapa intermedia de tres estados 96.

Las vías de lectura/escritura 24 y 24' están conec  
tadas selectivamente con el borne de lectura/escritura 58 de  
10 la memoria 50 por las etapas intermedias de tres estados 78 y  
80. Las etapas intermedias 78 y 80 se energizan simultáneamen  
te con las etapas intermedias 62 y 64, respectivamente, y las  
vías de lectura/escritura 24 y 24' controlan la memoria duran  
te los tiempos en que las vías de dirección correspondientes  
15 están conectadas con el borne 52 de la memoria 50. El borne  
de capacitación de memoria 60 está conectado con la salida  
210 de la puerta NOR 132 cuyas entradas 130 y 212 están conec  
tadas con las salidas 106 y 108 de las puertas AND 102 y 104,  
respectivamente. La memoria es capacitada por una señal alta  
20 en la salida 210 de la puerta NOR 132 cada vez que cualquiera  
de las puertas AND 102 y 104 o ambas, proporciona una salida  
indicativa de un requisito de servicio.

Aunque la memoria compartida de la figura 2 propor  
ciona numerosas ventajas y aunque los peritos en la materia  
25 observarán fácilmente que es aplicable de manera general a un  
número cualquiera de combinaciones particulares de órganos de  
tratamiento y memorias de tipo corrientemente empleado, resul  
ta muchas veces ventajoso, de acuerdo con el invento, prever  
algunas características suplementarias específicas que aumen  
30 tan sustancialmente la eficacia de la memoria compartida. La  
figura 3 ilustra una memoria compartida de acuerdo con el in

1    vento que proporciona sustancialmente todas las ventajas de  
la memoria compartida de la figura 2 más algunas característica  
cas suplementarias. Haciendo referencia particularmente a la  
figura 3, en la cual los mismos números de referencia designa  
5    nan elementos parecidos con respecto a la figura 2, se observa  
vará que el inversor 148 de la figura 2 ha sido sustituido  
por la puerta NAND 220 de la figura 3. La puerta NAND 220 incl  
uye una primera entrada 222 que está conectada con la salida  
da 108 de la puerta AND 104 y una segunda entrada 224 conectada  
10    da con el terminal de entrada 226. El inversor 136 ha sido susti  
tituido por una segunda puerta NAND 228 que incluye unos prime  
mero y segundo terminales 230 y 232. La entrada 230 está conc  
nectada con la salida 106 de la puerta AND 102, mientras que  
la entrada 232 está conectada con el terminal de entrada 234.  
15    Los terminales de entrada 226 y 224 están adaptados para ser  
conectados con las vías de estado de los órganos de tratamiento  
to 14 y 12, respectivamente. El funcionamiento de la memoria  
compartida de la figura 3 podrá entenderse más fácilmente cons  
siderando la naturaleza de la información de estado que se  
20    aplica a las entradas 226 y 234. Se insiste sobre el hecho de  
que lo que sigue constituye solamente un ejemplo, y aunque se  
aplique a un micro-ordenador particular, es decir un micro-  
ordenador tipo 8080 fabricado por Intel, los peritos en la mate  
ria podrán utilizar otros equipos de tratamiento que proporci  
25    cionan una información de estado similar, pero cuya forma pued  
de ser diferente, mediante pequeños cambios en la estructura  
ilustrada en la figura 3. La información de estado indica en  
cual de los estados el micro-ordenador se encuentra en un insta  
tante determinado. Para mayor conveniencia, estos estados se  
30    llaman aquí estado de posición relativa y estado activo. Durante

1 te un estado de posición relativa se suministra al borne de  
salida de datos de un micro-ordenador una información indica  
tiva de la operación que se realizará durante el siguiente es  
tado activo. Por ejemplo, durante el período de posición rela  
5 tiva pueden indicarse operaciones de lectura, escritura, en  
trada, salida e interrupción. El estado de posición relativa  
y el estado activo del micro-ordenador se producen alternati  
vamente y el estado de posición relativa es típicamente algo  
más corto que el estado activo, aunque esto no sea necesario  
10 de acuerdo con el invento. La señal aplicada a las entradas  
226 y 234 es una señal de nivel lógico que tiene dos estados,  
un estado bajo durante el período de posición relativa y un  
estado alto durante el período activo.

La estructura de memoria compartida de la figura 3  
15 permite obtener fácilmente tres modos de funcionamiento. En  
un primer modo, un órgano de tratamiento se elige de modo que  
tenga prioridad sobre el otro. Esto se obtiene conectando la  
entrada de la puerta NAND adecuada 220 ó 228, que corresponde  
al órgano de tratamiento que tiene prioridad, de manera perma  
20 nente con una señal lógica alta. Por ejemplo, supongamos que  
se desee dar prioridad al órgano de tratamiento 12. La puerta  
AND que corresponde al órgano de tratamiento 12 es la puerta  
NAND 228 y, por tanto, se conecta la entrada 234 con la señal  
de nivel lógico alto, mientras que la entrada 226 se conecta  
25 con la salida de posición relativa del órgano de tratamiento  
14. Ya que la entrada 234 está conectada permanentemente con  
una señal de nivel lógico alto, cada vez que la entrada 230  
de la puerta NAND 228 es positiva indicando un requisito de  
servicio por parte del órgano de tratamiento 12, puede produ  
30 cirse una señal baja en la salida 236 de la puerta NAND 228 y

1 puede aplicarse esta señal a la entrada 172 de la puerta NAND  
152. La entrada 226 está conectada con la salida de posición  
relativa del órgano de tratamiento 14, y ya que la señal de  
posición relativa descrita más arriba cambia alternativamente  
5 desde una señal alta a una señal baja, está claro que cuando  
un requisito de servicio está presente como lo indica la señal  
alta en la salida 106 de la puerta AND 102, el circuito flip-  
flop que incluye las puertas NAND 166 y 178 será disparado du-  
rante el siguiente período de posición relativa del órgano de  
10 tratamiento 14 después de un requisito de servicio efectuado  
por el órgano de tratamiento 12. Por otra parte, suponemos  
que el órgano de tratamiento 12 ha estado pidiendo servicio  
durante algún tiempo y está todavía pidiendo servicio. Ya que  
la señal de posición relativa procedente del órgano de trata-  
15 miento 12 no está conectada a la puerta NAND 228 sino que una  
señal lógica permanentemente alta está conectada a la entrada  
232, el órgano de tratamiento 12 conservará la conexión con  
la memoria 50, mientras un requisito de servicio esté presen-  
te en la puerta AND 102. Un segundo modo de funcionamiento  
20 permite conseguir una prioridad idéntica, conectando las dos  
entradas 226 y 234 con la polaridad positiva. Este modo de  
funcionamiento corresponde al modo de funcionamiento del modo  
de realización del invento que se ilustra en la figura 2. Es-  
te modo de funcionamiento puede llamarse funcionamiento de  
25 "exclusión hasta que se haga" y presta servicio a un órgano  
de tratamiento siempre y cuando exista un requisito al respec-  
to.

Un tercer sistema actualmente preferido para asig-  
nar prioridad, da también igual prioridad a ambos órganos de  
30 tratamiento, pero permite obtener un rendimiento sustancial

1 mente más elevado del funcionamiento. En este modo, las seña  
les de posición relativa se aplican a las entradas 226 y 234  
a partir de los órganos de tratamiento respectivos 14 y 12.  
Suponiendo que los requisitos de servicio estén presentes en  
5 ambas puertas AND 102 y 104, se obtiene un funcionamiento aut  
tosincronizado. Se asegura el servicio para cada órgano de  
tratamiento sucesivamente, siempre y cuando la información de  
posición relativa del mismo indica un modo de funcionamiento  
activo. Se cambia el servicio al otro órgano de tratamiento  
10 en caso de determinación de modo activo y de comienzo del mod  
o de posición relativa. En el caso particular en el cual el  
modo de posición relativa y el modo activo son de igual longit  
tud, se obtendrá un funcionamiento sincronizado y se suminist  
trará el servicio de la memoria alternativamente a los dos órg  
15 ganos de tratamiento durante sustancialmente el 100% del tiemp  
o. Cuando el período de posición relativa y el período activ  
o son de diferentes longitudes, siendo probablemente más cort  
to el período de posición relativa, se necesita un cierto tiemp  
o de espera. Se ha comprobado que una memoria compartida de  
20 acuerdo con el invento facilita una utilización casi ideal de  
la memoria en el caso de órganos de tratamiento del tipo que  
tiene alternativamente períodos de posición relativa y períod  
os activos, permitiendo que cada órgano de tratamiento utiliz  
ce la memoria durante los períodos en los cuales el otro órgan  
25 no de tratamiento no la necesita, eliminando así lo que const  
tituía hasta la fecha un desperdicio de tiempo de aproximadam  
ente el 50% con respecto a la memoria. La memoria compartida  
de la figura 3 incluye otra característica del invento que ser  
rá útil conjuntamente con algunos modos de realización partil  
30 culares del mismo. Las entradas de lectura de memoria 240 y 242

1 están conectadas con entradas adicionales 244 y 246 de las  
puertas NAND 144 y 156. Algunos sistemas de micro-ordenador  
utilizan direcciones idénticas para emplazamientos de memoria  
específicos y también para emplazamientos de datos de entrada.  
5 Es necesario que una memoria destinada a ser utilizada conjun-  
tamente con un ordenador de este tipo disponga de medios para  
distinguir entre direcciones de memoria y direcciones de en-  
trada. Los terminales de lectura de memoria 240 y 242 reali-  
zan esta función. Las señales se aplican a las entradas 240 y  
10 242 a partir de los órganos de tratamiento 12 y 14, respecti-  
vamente, para indicar si la dirección suministrada por el ór-  
gano de tratamiento es una dirección de memoria o una direc-  
ción de entrada. Una señal lógica alta, aplicada a la entrada  
240 indica que la dirección suministrada por el órgano de tra-  
15 tamiento es una dirección de memoria, mientras que una señal  
de entrada baja aplicada a la entrada 240 indica que se sumi-  
nistra una dirección de entrada. La señal aplicada a la entra-  
da 240 es idéntica aunque esté derivada del órgano de trata-  
miento 14. Se observará que la adición de la información de  
20 lectura de memoria aumenta la capacidad de un sistema de mi-  
cro-ordenador de acuerdo con el invento, ya que se necesita  
un menor número de direcciones y, por tanto, un menor número  
de bits de dirección para obtener acceso a la memoria y a  
un gran número de dispositivos de entrada. Cuando se suminis-  
25 tra una señal de nivel lógico alto en la entrada de lectura  
de memoria 240, por ejemplo, y además cuando se recibe un re-  
quisito de servicio en la puerta AND 102 proporcionando una  
señal alta en su salida 106, la cual se aplica a la entrada  
142 de la puerta NAND 144 y además cuando se proporciona una  
30 señal baja a la salida 168 de la puerta NAND 166, la cual es

1 invertida por el inversor 192 y se aplica a la entrada 194 de  
la puerta NAND 144, la etapa intermedia de tres estados 94 es  
activada por una señal baja aplicada a su entrada 198 para co  
nectar la salida de datos 56 con el terminal de salida 98 que  
5 está conectado con la vía de entrada de datos del sistema de  
micro-ordenador. La etapa intermedia de tres estados 96 es ac  
tivada de la misma manera por la presencia simultánea de seña  
les lógicas altas en las entradas 246, 204 y 154 de la puerta  
NAND 156. Puede verse que, cada vez que cualquiera de las en  
10 tradas de lectura de memoria 240 y 242 tien un nivel bajo, las  
etapas intermedias de tres estados 94 y 98 no pueden ser acti  
vadas y sus salidas 98 y 100 permanecen en estado de impedan  
cia elevada y, por tanto, no interfieren con la adquisición  
de datos por el órgano de tratamiento a partir del dispositi  
15 vo de entrada direccionado.

Los peritos en la materia observarán que cualquiera  
o ambas de las características de este invento que se ilustran  
en la figura 3, es decir la signación de una prioridad median  
te utilización de la información de posición relativa, y el  
20 incremento de la capacidad de direccionamiento mediante la  
utilización de una información de lectura de memoria, puede  
aplicarse de acuerdo con este invento a una memoria comparti  
da del tipo ilustrado aquí. Se insiste, además, sobre el he  
cho de que ninguna de estas características es indispensable  
25 y que ninguna depende de la otra.

Una memoria compartida, de acuerdo con el invento,  
puede realizarse fácilmente para que sea posible compartir la  
memoria entre tres o más órganos de tratamiento. La figura 4  
ilustra un modo de realización del invento, en el cual se ha  
30 previsto la conexión de tres órganos de tratamiento con una

1 sola memoria, conservando, sin embargo, todas las caracterís-  
ticas y ventajas de la memoria compartida de la figura 3. La  
memoria compartida de la figura 4 incluye, al mismo tiempo,  
la utilización de la información de posición relativa y ade-  
5 más la utilización de una información de lectura de memoria  
del tipo descrito más arriba conjuntamente con la memoria com-  
partida de la figura 3. En la figura 4, los mismos números de  
referencia indican elementos parecidos a los que se emplean  
en las figuras 2 y 3. El funcionamiento de la memoria compar-  
10 tida de la figura 4 es sustancialmente idéntico al la fi-  
gura 3, salvo la adición de algunos elementos lógicos, para  
asegurar la conexión simultánea de la memoria compartida con  
tres órganos de tratamiento. Por consiguiente, la figura 4 se  
describirá de manera algo más detallada que la figura 3, sien-  
15 do su principio de funcionamiento igualmente aplicable a la  
figura 4. Sin embargo, se describirán claramente en lo que si-  
gue las diferencias entre las figuras 3 y 4.

La memoria compartida de la figura 4, designada ge-  
neralmente por 300, incluye etapas intermedias de tres esta-  
20 dos suplementarias 302, 304, 306 y 308, que aseguran la cone-  
xión selectiva con las vías de direcciones, lectura/escritura  
entrada de datos y salida de datos, respectivamente, de un  
tercer órgano de tratamiento. Las etapas intermedias de tres  
estados 302, 304, 306 y 308 corresponden, y son sustancialmen-  
25 te idénticas, a las etapas intermedias existentes, que conec-  
tan selectivamente las vías de direcciones, de lectura/escri-  
tura, de entrada de datos y de salida de datos de los primero  
y segundo órganos de tratamiento, con la memoria 50. La memo-  
ria compartida 300 incluye, además, una puerta AND 310 suple-  
30 mentaria para conectar los bitios de dirección de orden alto

1 del tercer órgano de tratamiento con la memoria compartida,  
una puerta NAND 312, que se conecta con la vía de espera del  
tercer órgano de tratamiento, y una puerta NAND 314 que se  
conecta con la vía de lectura de memoria del tercer órgano de  
5 tratamiento. Las puertas NAND 320, 322 y 324 están conectadas  
con las salidas de las puertas AND 102, 104 y 310, mientras  
que las puertas OR 326, 328 y 330 están conectadas con las  
puertas AND 116, 118 y 312, respectivamente, que proporcionan  
las señales de espera a los tres órganos de tratamiento. Las  
10 señales de posiciones relativas se aplican a las entradas 340,  
342 y 344 que están conectadas con las puertas NAND 320, 322  
y 324, respectivamente.

El funcionamiento de la memoria compartida 300 pue  
de entenderse más fácilmente examinando varias condiciones de  
15 funcionamiento que se indican a título de ejemplo. Para sim  
plificar la descripción que sigue, los micro-ordenadores que  
se utilizan conjuntamente con la memoria compartida 300 serán  
designados por 1, 2 y 3. El micro-ordenador 1 está conectado  
con las etapas intermedias de tres estados 62, 78, 86 y 94.  
20 Además, está conectado con la puerta AND 102, con la puerta  
AND 116, con la entrada de lectura de memoria 240, y con la  
entrada de posición relativa 340. El micro-ordenador número  
2 está conectado con las etapas intermedias de tres estados  
64, 80, 88 y 96. El órgano de tratamiento 2 está además conec  
25 tado con la entrada de lectura de memoria 242, con la puerta  
AND 118, con la puerta AND 104, y con la entrada de posición  
relativa 342. El órgano de tratamiento 3 está conectado con  
las etapas intermedias de tres estados 302, 304, 306 y 308.  
Además, está conectado con la entrada de lectura de memoria  
30 346, con la puerta AND 310, con la puerta AND 312 y con la en

1 trada de posición relativa 344. Supongamos ahora que un requi  
sito de servicio está indicado por la aplicación de señales  
lógicas altas a las entradas de la puerta AND 102. Supongamos  
además, que los órganos de tratamiento 2 y 3 no necesitan ser  
5 vicio y, por tanto, que las puertas 104 y 310 aplican señales  
lógicas bajas a sus salidas. Unas señales altas se suministran  
a la puerta NAND 320, a la puerta NAND 348 y a la puerta NAND  
144. La entrada 340 suministra una señal alta a la puerta NAND  
320 cuando el ordenador 1 está en su modo activo, y la puerta  
10 NAND 360 suministra una señal alta a la última entrada de la  
puerta NAND 320, cada vez que el órgano de tratamiento 1 es  
el último que ha tenido acceso a la memoria. Cuando las tres  
entradas de la puerta NAND 320 tienen un nivel alto, se obtie  
ne una salida de nivel bajo que se aplica a la puerta NAND  
15 350 y a la puerta NAND 352, impidiendo así la activación de  
cualquiera de los flip-flop 362 ó 364. Para mayor convenien  
cia, las puertas NAND 366 y 368 se llamarán colectivamente  
flip-flop 362, mientras que las puertas NAND 370 y 372 se lla  
marán colectivamente flip-flop 364. De la misma manera, las  
20 puertas NAND 360 y 374 constituyen el flip-flop 376. Todos es  
tos flip-flop son idénticos, y cada uno puede ser activado  
aplicando una señal lógica baja a una primera entrada de cada  
uno de ellos, siendo dicha señal de entrada la entrada 378 en  
el caso del flip-flop 376, la entrada 380 en el caso del flip-  
25 flop 362 y la entrada 382 en el caso del flip-flop 364. Puede  
verse que aplicando un cero a cualquiera de estas entradas se  
obtiene un uno en las salidas correspondientes de las puertas  
NAND 360, 366 y 370. Cuando cualquiera de los flip-flop está  
activado, se aplica una señal de nivel bajo a las etapas in  
30 termedias de tres estados apropiadas que están asociadas con

1 el órgano de tratamiento correspondiente. Se entenderá que el  
flip-flop 376 corresponde al órgano de tratamiento 1, el flip-  
flop 362 corresponde al órgano de tratamiento 2 y el flip-  
flop 364 corresponde al órgano de tratamiento 3. Se entenderá  
5 además, que cada flip-flop vuelve a cero cuando se aplica una  
señal lógica baja a la entrada de la puerta NAND 374, de la  
puerta NAND 368 o de la puerta NAND 362. Cada uno de los  
flip-flop 376, 362 y 364 permanecerá en estado activado o de  
reposición, indefinidamente, si no se le aplican señales su  
10 plementarias. Las puertas AND 384, 386 y 388 proporcionan la  
señal de reposición al flip-flop. Cada una de estas puertas  
AND incluye dos entradas, una entrada a partir de cada una de  
las puertas NAND 348, 350 y 352 con la cual no está asociada.  
La puerta AND 384 está asociada con la puerta NAND 348, la  
15 puerta AND 386 está asociada con la puerta NAND 350 y la puer  
ta AND 388 está asociada con la puerta NAND 352. Por tanto,  
por ejemplo la puerta AND 384 tiene una primera entrada proce  
dente de la puerta NAND 352 y una segunda entrada procedente  
de la puerta NAND 350. Se observará que cada vez que una cual  
20 quiera de estas entradas es igual a cero, se obtendrá un cero  
a la salida de la puerta AND 384, impidiendo así la activación  
del flip-flop 376. Por consiguiente, cada vez que cualquiera  
de los órganos de tratamiento 2 ó 3 tiene acceso a la memoria  
50, el órgano de tratamiento 1 no puede obtener acceso a la  
25 memoria e interrumpe el acceso a la activación. Las puertas  
AND 386 y 388 están conectadas de la misma manera. La capaci  
dad que tiene la memoria compartida de la figura 4 para impe  
dir la interrupción de una operación en curso entre un órgano  
de tratamiento y la memoria impide la interrupción prematura  
30 de una operación en curso de realización con la memoria.

1                   La memoria 300 incluye un sistema para determinar  
cual de los dos requisitos de memoria será aceptado. Suponga  
mos, por ejemplo, que se han recibido requisitos de servicio  
a partir de los órganos de tratamiento 1 y 2, produciendo así  
5                   señales de nivel lógico alto en las salidas de las puertas  
AND 102 y 104, respectivamente. Supongamos además, que el ór  
gano de tratamiento 2 es el que ha tenido acceso en último lu  
gar a la memoria 50, y, por tanto, que el flip-flop 362 está  
activado y produce una salida de nivel bajo en la salida de la  
10                   puerta NAND 368 y una salida alta a la salida de la puerta  
NAND 366. Supongamos por otra parte, que los flip-flop 376 y  
364 están en posición de descanso, produciendo señales de ni  
vel bajo en las salidas de las puertas AND 360 y 370. Estas  
señales de nivel bajo se aplican a las puertas NAND 320 y 324,  
15                   respectivamente, las cuales suministran a sus salidas señales  
altas que están conectadas con la puerta NAND 350. Ya que se  
reciben requisitos de servicio a partir de los órganos de tra  
tamiento 1 y 2, obteniéndose así señales altas en las salidas  
de las puertas AND 102 y 104, las salidas de las puertas NAND  
20                   320, 322 y 324 presentan un nivel alto, un nivel bajo y un ni  
vel alto, respectivamente, suponiendo que las señales de posi  
ción relativa aplicadas a las entradas 340, 342 y 344 tienen  
todas un nivel alto. La puerta NAND 322 proporciona señales  
bajas a las puertas NAND 348 y 352, impidiendo así que cada  
25                   uno de los flip-flop 376 y 364 sea activado, pudiendo activar  
se solamente el flip-flop 362. Como se ha descrito, todas las  
entradas de la puerta NAND 350 tienen un nivel alto, y por tan  
to esta puerta produce a su salida un nivel bajo, que activa  
el flip-flop 362 y conecta el equipo de tratamiento 2 con la  
30                   memoria 50.

1                    Los peritos en la materia observarán que las entra  
das de posición relativa aplicadas a las entradas 340, 342 y  
344 tienen importancia solamente cuando están presentes requi  
5                    sitos simultáneos de servicio procedentes de dos o más órga  
nos de tratamiento. En este caso, un órgano de tratamiento  
tiene acceso a la memoria solamente si su información de posi  
ción relativa indica un modo activo, y se suprime el acceso,  
el cual se proporciona a otro órgano de tratamiento, cuando  
el primer órgano de tratamiento indica un modo de posición re  
10                    lativa.

                  El funcionamiento de las puertas NAND 144, 156 y  
314 corresponde sustancialmente a las puertas correspondientes  
de las figuras 2 y 3. Cada una de las puertas proporciona una  
señal lógica baja en su salida durante la coincidencia de:  
15                    una señal de lectura de memoria aplicada a las entradas 240,  
242 y 346; un requisito de servicio suministrado a partir de  
las puertas AND 102, 104 y 310, y un estado de activación de  
los flip-flop 376, 362 y 364. El funcionamiento de la memoria  
compartida por varios órganos de tratamiento, que utiliza una  
20                    señal de lectura de memoria ha sido descrito más arriba y no  
se repetirá aquí. La puerta NOR 390 proporciona una señal de  
capacitación de memoria de nivel lógico bajo cada vez que una  
cualquiera de las puertas AND 102, 104 ó 310 indica un requi  
sito de servicio mediante la presencia de una señal lógica al  
25                    ta en su salida.

                  Las puertas OR 326, 328 y 330 suministran señales  
a las puertas NAND 116, 118 y 312, respectivamente, cada vez  
que cualquiera de los flip-flop 376, 362 y 364 está activado.  
Por ejemplo, la puerta OR 326 proporciona una señal alta a la  
30                    puerta NAND 116 cada vez que cualquiera de los flip-flop 362

1    6 364 está activado. De la misma manera, la puerta OR 328 pro  
porciona una señal alta a la puerta NAND 116 cada vez que  
cualquiera de los flip-flop 376 ó 364 está activado. Además,  
la puerta OR 330 proporciona una señal alta a la puerta NAND  
5    312 cada vez que cualquiera de los flip-flop 376 ó 362 está  
activado. La coincidencia de una señal alta procedente de una  
de las puertas OR 326, 328 y 330 con un requisito de servicio  
indicado por una señal alta procedente de las puertas AND 102,  
104 ó 310 proporciona una señal de espera a la salida de una  
10   o varias de las puertas NAND 116, 118 y 312, indicando al ór  
gano de tratamiento adecuado que, aunque necesite servicio,  
uno de los demás órganos de tratamiento está utilizando la me  
moría y, por tanto, el órgano de tratamiento que efectúa el  
requisito debe esperar.

15           Los peritos en la materia observarán que en ciertas  
condiciones pueden recibirse requisitos de servicio simultá  
neos a partir de dos órganos de tratamiento, ninguno de los  
cuales ha sido el último en tener acceso a la memoria 50. Mien  
tras que la memoria 300 asegura el servicio a uno de los órga  
20   nos de tratamiento que lo requiere, de manera más o menos alea  
toria, puede ser conveniente obtener un acceso del tipo prio  
ritario. Por tanto, de acuerdo con el invento, puede ser con  
veniente prever unos condensadores conectados entre las sali  
das de las puertas NAND 348, 350 y 352 y la masa. Estos conden  
25   sadores darán lugar a un cierto retardo en la respuesta de  
las puertas NAND 348, 350 y 352, de acuerdo con el valor del  
condensador. Por consiguiente, de acuerdo con el invento, la  
puerta NAND asociada con el micro-ordenador al cual se desea  
dar la mayor prioridad está provista del condensador más pe  
30   queño o no está provista de ningún condensador, mientras que

1 la puerta NAND asociada con el órgano de tratamiento al cual  
se desea dar la segunda prioridad, se dota de un condensador  
de valor algo más importante y la puerta NAND asociada con el  
equipo de tratamiento final se dota del condensador que tiene  
5 la capacidad más importante.

Los peritos en la materia entenderán fácilmente cómo  
10 mo la memoria compartida 300 responde a una variedad de requi-  
sitos de condiciones de servicio, haciendo referencia a la fi-  
gura 4. Por tanto, no se juzga necesario describir más deta-  
lladamente las condiciones de funcionamiento particulares. Se  
observará además que, haciendo referencia a las figuras 2-4  
y a las descripciones que corresponden a éstas, los peritos  
en la materia podrán ampliar, si lo desean, una memoria com-  
partida, construida de acuerdo con el invento, para funcionar  
15 con un número de órganos de tratamiento superior al que está  
incluido en cualquiera de los ejemplos que se describen aquí.

Se ha descrito una memoria compartida de acuerdo  
con el invento, que proporciona numerosas ventajas respecto  
a la memoria de la técnica anterior. El funcionamiento de una  
20 memoria compartida de acuerdo con el invento es posible, uti-  
lizando solamente las estructuras interconectadas por medio  
de vías de un cierto número de micro-ordenadores, sin necesi-  
dad de interconexiones suplementarias entre ellos y sin ne-  
cesidad de efectuar un control de un micro-ordenador por el  
25 otro. Una memoria compartida de acuerdo con el invento, permi-  
te obtener un mayor rendimiento, una mayor velocidad de fun-  
cionamiento y una mayor fiabilidad, sin que sea necesario mo-  
dificar los micro-ordenadores asociados con ella.

Muchas de las características descritas más arriba,  
30 conjuntamente con la descripción del invento, constituyen unas

1 soluciones originales a un cierto número de problemas. Por  
ejemplo, como se ha indicado más arriba, una memoria comparti  
da de acuerdo con el invento puede presentar a diferentes ór  
ganos de tratamiento el aspecto de diferentes emplazamientos  
5 de direcciones. Además, se han indicado unos medios para obte  
ner un método sencillo y directo para establecer una priori  
dad entre dos o más órganos de tratamiento. Otra característi  
ca del invento consiste en un funcionamiento sincronizado me  
diante la utilización de la información de posición relativa  
10 suministrada por dos o más órganos de tratamiento conectados  
con una sola memoria compartida de acuerdo con el invento.  
Las aplicaciones de las memorias compartidas, de acuerdo con  
el invento, están limitadas solamente por las necesidades del  
usuario. Por ejemplo, en un sistema sencillo de dos órganos  
15 de tratamiento, un primer órgano de tratamiento puede ser uti  
lizado para realizar operaciones aritméticas sobre datos mien  
tras que un segundo órgano de tratamiento conectado con la  
misma memoria compartida que el primer órgano de tratamiento,  
puede ser utilizado para organizar los datos, de modo que pre  
20 senten una forma utilizable a su salida. Se obtiene así la ven  
taja de que el primer órgano de tratamiento puede proporcio  
nar datos de salida sustancialmente en tiempo real a partir  
de varias entradas, mientras que el segundo órgano de trata  
miento efectúa la organización de la salida. De manera simi  
25 lar, los datos pueden ser transferidos entre órganos de trata  
miento de manera más eficaz que la que era posible hasta la  
fecha. El órgano de tratamiento que dispone de los datos puede  
transcribirlos a la memoria en cuanto están disponibles y no  
necesita esperar que el otro órgano de tratamiento esté prepa  
30 rado para recibirlos. De la misma manera, el órgano de trata

1 miento que efectúa la recepción puede extraer los datos de la  
memoria en cualquier momento después de su transferencia, y  
no necesita interrumpir una operación cualquiera que está rea-  
lizando en razón de la necesidad de la disponibilidad simultá-  
5 nea de dos órganos de tratamiento para efectuar la transfe-  
ren-  
cia.

Las memorias compartidas de acuerdo con el invento,  
pueden ser utilizadas de diversas maneras para realizar sis-  
temas de órganos de tratamiento múltiples. Por ejemplo, como  
10 se ha indicado más arriba, varios órganos de tratamiento pue-  
den conectarse con una sola memoria o, en variante, pueden co-  
nectarse memorias y órganos de tratamiento en una estructura  
en forma de cadena, estando un solo órgano de tratamiento co-  
nectado con dos memorias y estando cada memoria conectada con  
15 dos órganos de tratamiento, siendo las conexiones entre los  
órganos de tratamiento y las memorias del tipo ilustrado en  
la figura 1, en la cual, por ejemplo, el órgano de tratamien-  
to 14 está conectado con una segunda memoria compartida, la  
cual, a su vez, está conectada con otro órgano de tratamiento  
20 de la manera ilustrada y descrita.

En resumen, la presente patente de invención que se  
solicita deberá recaer en las siguientes

#### REIVINDICACIONES

1. Micro-ordenador del tipo de órganos de tra-  
25 tamiento múltiples, el cual incluye, por lo menos, dos ór-  
ganos de tratamiento sustancialmente independientes, que  
está constituido por:

un dispositivo de memoria compartida,

un dispositivo conectado con dicho dispositivo de  
30 memoria y con cada uno de dichos órganos de tratamiento inde-

mte

1 pendientes para conectar selectivamente dicha memoria con di-  
chos órganos de tratamiento en respuesta a los requisitos de  
servicio procedentes de dichos órganos de tratamiento, para  
conectar dicha memoria con los órganos de tratamiento que re-  
5 quieren servicio solamente si se recibe un requisito de servi-  
cio y con el equipo de tratamiento que ha sido el último en  
recibir servicio si se reciben dos o más requisitos de servi-  
cio.

2. Micro-ordenador según la reivindicación 1, ca-  
10 racterizado porque se ha previsto un primer órgano de trata-  
miento que tiene una vía de direcciones, una vía de datos de  
entrada y una vía de datos de salida,

un segundo órgano de tratamiento que tiene una vía  
de direcciones, una vía de datos de entrada y una vía de da-  
15 tos de salida,

teniendo dicho dispositivo de memoria compartida  
una vía de direcciones, una vía de datos de entrada y una vía  
de datos de salida, y

estando dichos dispositivos conectados con dicha  
20 vía de dirección, dicha vía de datos de entrada y dicha vía de  
datos de salida de dicho primer órgano de tratamiento; y con  
dicha vía de direcciones, dicha vía de datos de entrada y dicha  
vía de datos de salida de dicho segundo órgano de tratamiento;  
y con dicha vía de direcciones, dicha vía de datos de entrada  
25 y dicha vía de datos de salida de dicha memoria compartida,  
para conectar selectivamente dicha vía de dicha memoria con  
dichas vías de dichos primero y segundo órganos de tratamien-  
to en respuesta a señales elegidas, que aparecen en dichas  
vías de direcciones de dichos primero y segundo órganos de  
30 tratamiento.

mCe

1                   3. Micro-ordenador según la reivindicación 2, ca-  
racterizado porque dicho dispositivo para conectar selectiva-  
mente dichas vías de memoria con dichas vías de órganos de tra-  
tamiento, incluye unos medios para conectar dichas vías de me-  
5                   5                   5                   5                   5                   5                   5                   5  
memoria con las vías de dicho órgano de tratamiento que ha sido  
conectado últimamente con las vías de dicha memoria en respues-  
ta a dichas señales elegidas cuando dichas señales elegidas es-  
tán presentes en las vías de direcciones de ambos primero y se-  
gundo órgano de tratamiento.

10                   4. Micro-ordenador según la reivindicación 1, que  
incluye una multiplicidad de micro-órganos de tratamiento sus-  
tancialmente independientes, caracterizado por estructuras de ter-  
minales de entrada y de salida, en el cual

15                   se ha previsto una multiplicidad de memorias compari-  
tadas, estando cada una de dichas memorias compartidas conec-  
tada solamente con las vías de cada una de dichos dos órganos  
de tratamiento;

20                   incluyendo cada una de dichas memorias un dispositi-  
vo de memoria y un dispositivo de control, sirviendo dicho  
dispositivo de control para conectar selectivamente dicho dis-  
positivo de memoria con una u otra de dichas estructuras de  
vías conectadas con cada una de dichas memorias compartidas  
solamente en respuesta a las señales presentes en dichas es-  
25                   estructuras de vías.

5. Micro-ordenador según la reivindicación 2, ca-  
racterizado porque dicho dispositivo de memoria compartida  
está constituido por:

un primer órgano de tratamiento que tiene unas  
vías de entrada y de salida, que incluyen:

30                   una vía de direcciones; una vía de entrada de datos;

*me*

1 una vía de salida de datos; una vía de espera; y una vía de lectura/escritura;

un segundo órgano de tratamiento, que tiene unas vías de entrada y de salida, que incluyen:

5 una vía de direcciones; una vía de entrada de datos; una vía de salida de datos; una vía de espera y una vía de lectura/escritura;

10 un dispositivo de memoria, que incluye un terminal de direcciones, un terminal de entrada de datos y un terminal de lectura/escritura;

estando dichos primero y segundo órganos de tratamiento conectados solamente uno a la vez con dicho dispositivo de memoria en respuesta a las señales que aparecen en dichas vías.

15 6. Micro-ordenador según la reivindicación 5, caracterizado porque dicho dispositivo de memoria está constituido por una memoria de acceso aleatorio.

20 7. Micro-ordenador según la reivindicación 6, que incluye un dispositivo de etapa intermedia de tres estados, conectado con cada una de dichas vías de dichos primero y segundo órganos de tratamiento y con dichos terminales de dicho dispositivo de memoria.

25 8. Micro-ordenador según la reivindicación 7, que incluye unos medios conectados con dichas vías de direcciones de dichos primero y segundo órgano de tratamiento para reconocer las direcciones, que corresponden a las direcciones de dicha memoria de acceso aleatorio y para conectar dicha memoria con uno de dichos primero y segundo órganos de tratamiento cuando una dirección, que corresponde a una dirección de dicha memoria de acceso aleatorio ha sido detectada.

30

*mce*

1                   9. Micro-ordenador según la reivindicación 8,  
caracterizado porque incluye unos medios para conectar  
dicha memoria con el órgano de tratamiento que ha sido conec-  
tado en último lugar con dicha memoria cuando una dirección  
5                   que corresponde a una dirección de dicha memoria ha sido de-  
tectada en cada una de dichas vías de direcciones de dichos  
primero y segundo órganos de tratamiento al mismo tiempo.

10                   10. Micro-ordenador según la reivindicación 9,  
caracterizado porque incluye un dispositivo de circuito flip-  
flop, que puede ser accionado para ser activado por unas se-  
ñales de dirección, que corresponden a las direcciones de me-  
moria situadas en dicha memoria y que aparecen en la vía de  
direcciones de dicho primer órgano de tratamiento, y para  
que vuelvan a su posición de descanso por medio a señales de  
15                   dirección, que corresponden a las direcciones de memoria de  
dicha memoria que aparecen en la vía de direcciones de dicho  
segundo órgano de tratamiento; y

20                   un dispositivo para impedir que dicho circuito flip-  
flop sea activado o vuelva a su posición de descanso cada vez  
que las señales que corresponden a direcciones de memoria de  
dicha memoria aparecen en ambas vías de direcciones de dichos  
primero y segundo órganos de tratamiento.

25                   11. Micro-ordenador según la reivindicación 10,  
caracterizado además porque incluye:

                    una primera vía de posición relativa asociada acti-  
vamente con dicho primer órgano de tratamiento; y

                    una segunda vía de posición relativa asociada ac-  
tivamente con dicho segundo órgano de tratamiento, transpor-  
tando dichas primera y segunda vías de posición relativa unas  
30                   primera y segunda señales de posición relativa, indicando res-

*mte*

1 pectivamente dichas primera y segunda señales de posición  
relativa si cada uno de dichos primero y segundo órganos de  
tratamiento está en un modo de posición relativa o en un modo  
activo; y

5 un dispositivo conectado con dichas primera y segun-  
da vías de posición relativa para que dicho dispositivo de  
circuito flip-flop pueda ser activado o pueda volver a su po-  
sición de descanso por medio de cualquiera de dichos primero  
o segundo órganos de tratamiento cuando el otro de dichos pri-  
10 mero y segundo órganos de tratamiento está en el modo de po-  
sición relativa.

12. Micro-ordenador según la reivindicación 1, en  
el cual dicha memoria compartida está conectada con unos pri-  
mero y segundo micro-órganos de tratamiento, caracterizado por-  
15 que incluye:

un dispositivo controlable para conectar selectiva-  
mente dicho dispositivo de memoria con cualquiera de las es-  
estructuras de vías de dichos primero y segundo órganos de tra-  
tamiento, pero no con ambas estructuras de vías simultáneamen-  
20 te;

un dispositivo conectado con dichas estructuras de  
vías de dichos primero y segundo órganos de tratamiento para  
detectar las señales lógicas en ellos y para controlar dicho  
dispositivo controlable, con el objeto de conectar dicha me-  
25 moria con uno u otro de dichos órganos de tratamiento, pero no  
con ambos, solamente en respuesta a las señales presentes en  
dichas estructuras de vías.

13. Micro-ordenador según la reivindicación 12,  
caracterizada además porque incluye unos medios para hacer  
30 que dicha memoria aparezca a cada uno de dichos órganos de tra-

me

1 tamiento como incluyendo direcciones de memoria diferentes.

14. Micro-ordenador según la reivindicación 12, caracterizada porque dicho dispositivo de memoria está constituido por un dispositivo de memoria de acceso aleatorio.

5 15. Micro-ordenador según la reivindicación 14, caracterizado además porque incluye unos medios para realizar el acceso prioritario a dicho dispositivo de memoria, haciendo que un órgano de tratamiento elegido entre dichos primero y segundo órganos de tratamiento obtenga acceso a  
10 dicha memoria en prioridad con respecto al otro de dichos primero y segundo órganos de tratamiento.

16. Micro-ordenador según la reivindicación 14, caracterizada porque dicho dispositivo para conectar selectivamente dicho dispositivo de memoria con dichas primera  
15 y segunda estructuras de vías incluye unos dispositivos de etapas intermedias de tres estados.

17. Micro-ordenador según la reivindicación 12, caracterizada además porque incluye un dispositivo que responde a las señales de posición relativa procedentes de dichos  
20 primero y segundo órganos de tratamiento, con el objeto de asegurar un acceso sincronizado a dicha memoria.

18. Se reivindica por último como objeto sobre el que ha de recaer la patente de invención que se solicita:  
25 MICRO ORDENADOR DEL TIPO DE ORGANOS DE TRATAMIENTO MULTIPLES.

---

30

M.E

---

1                    Todo conforme queda descrito y reivindicado en  
la presente Memoria descriptiva que consta de cuarenta y  
cinco páginas mecanografiadas y dibujos adjuntos.

5                    Madrid, 20 de Abril de 1977  
BERNARDO UNGRIA  
P.P.



10

15

20

25

ME

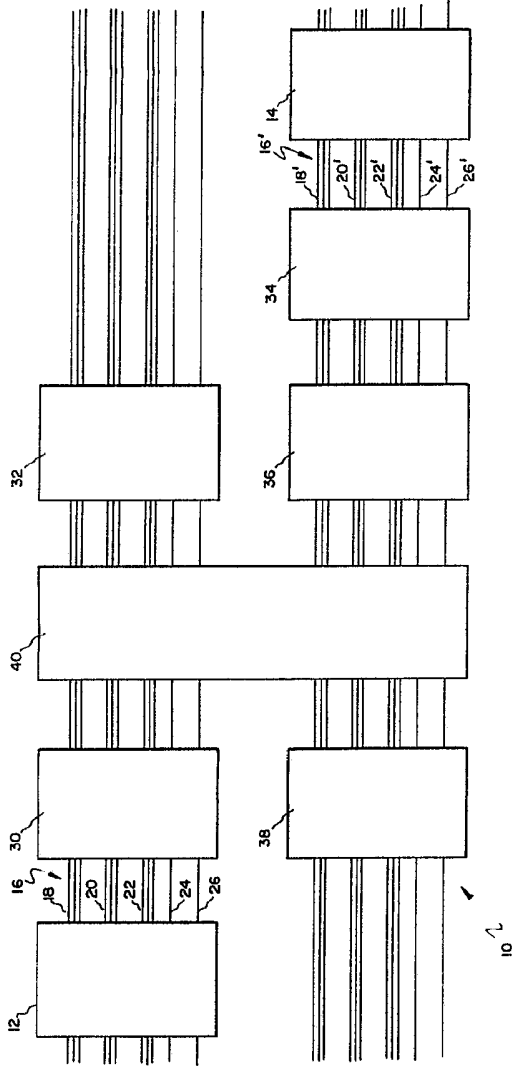


Fig. 1

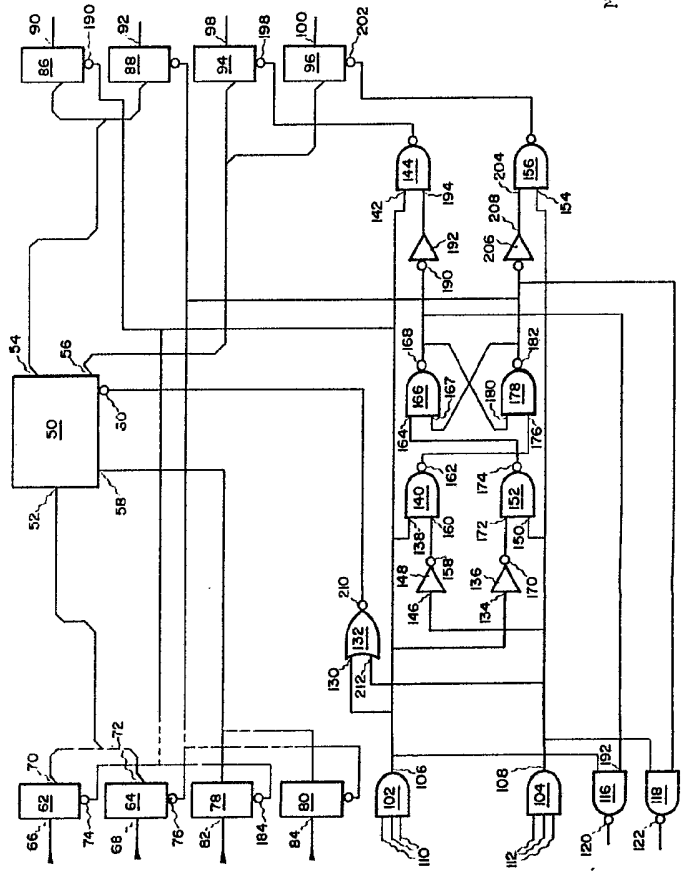
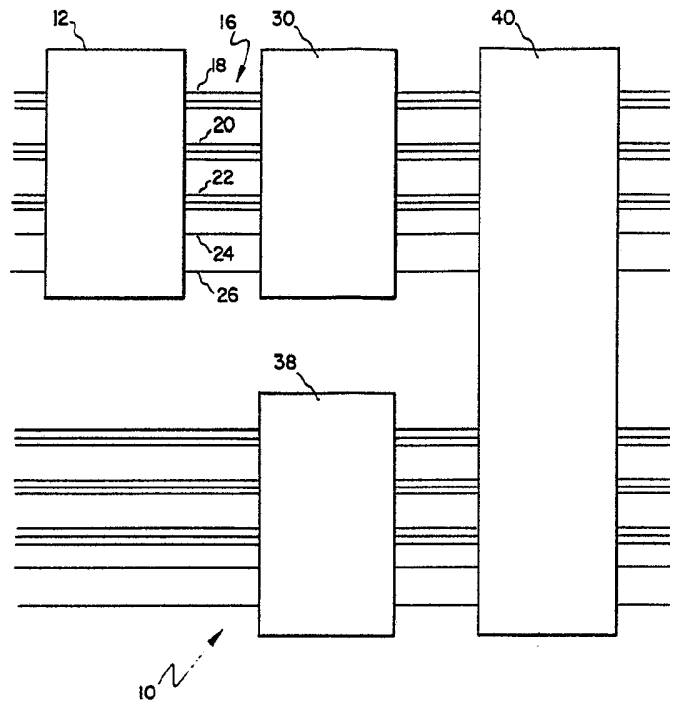


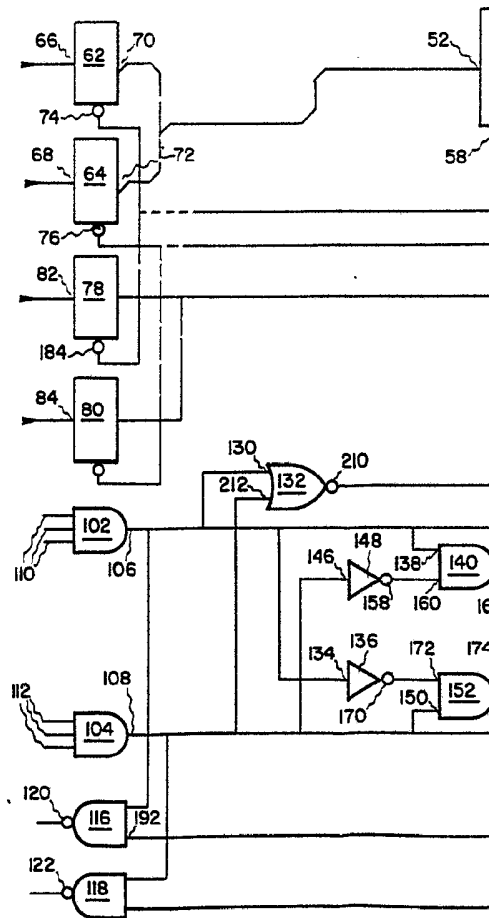
Fig. 2

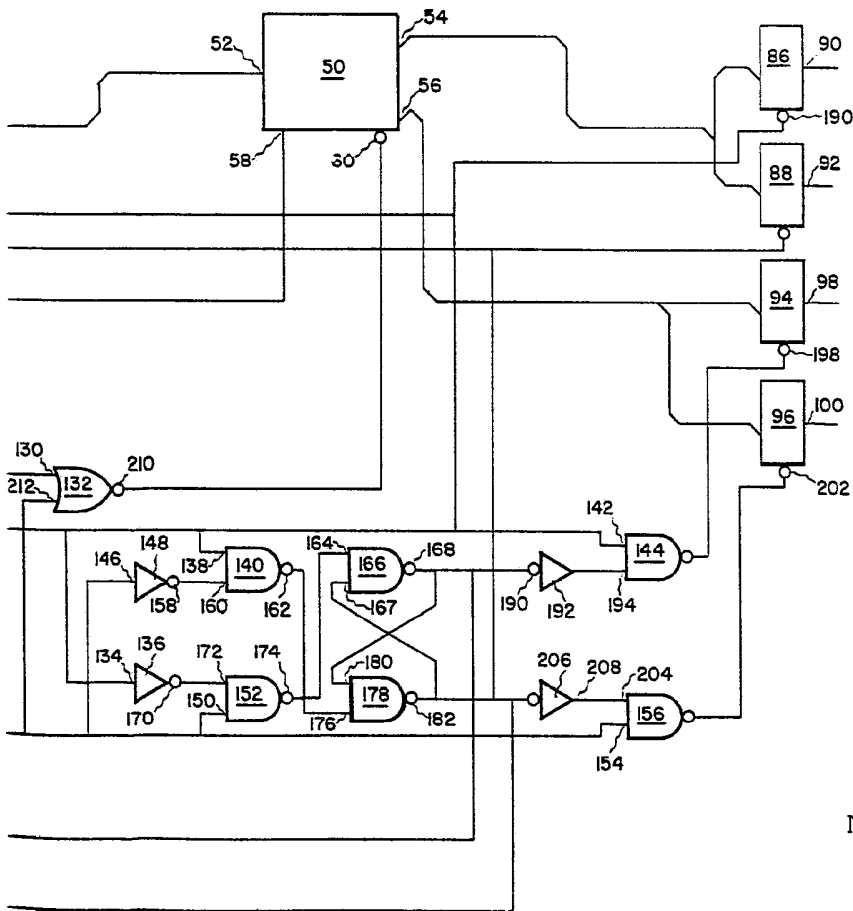
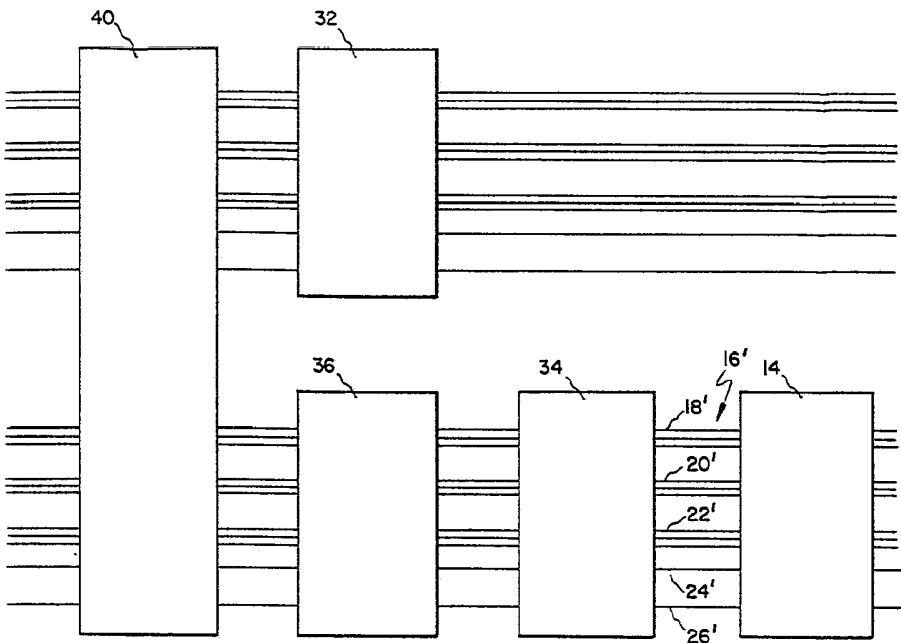
ESCALA VARIABLE  
 Madrid 20 abril 1972  
 BERNARDO TORRES  
 EXP. 110

*Fig. 1*



*Fig. 2*





ESCALA VARIABLE  
Madrid 20 abril 1977  
BERNARDO UNGRVA  
D.P.

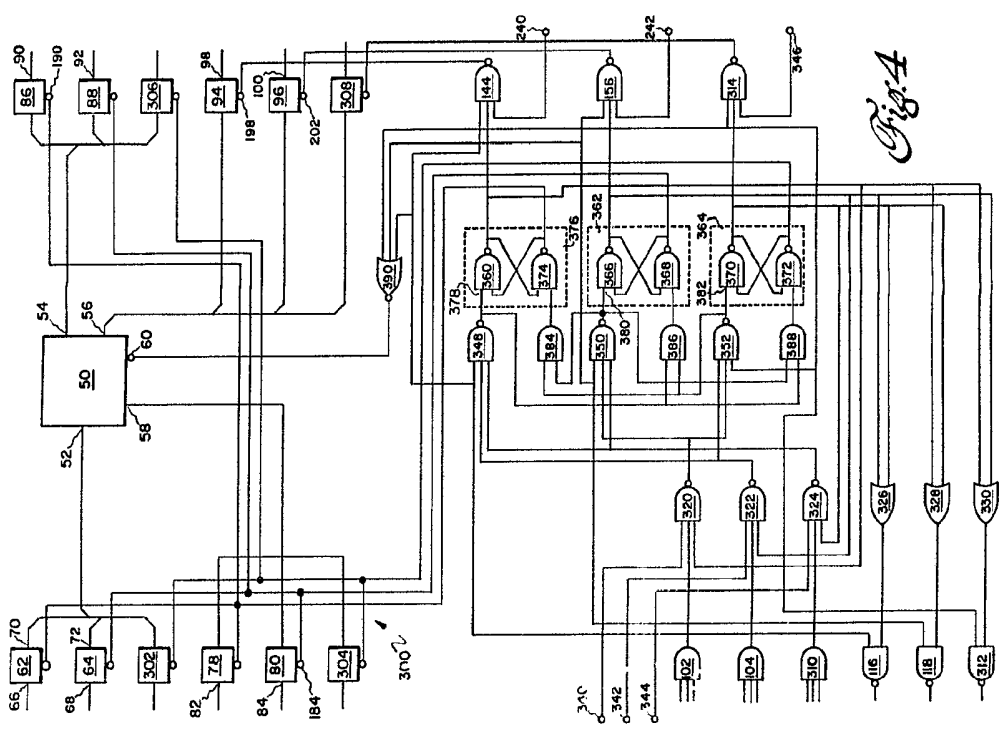


Fig. 4

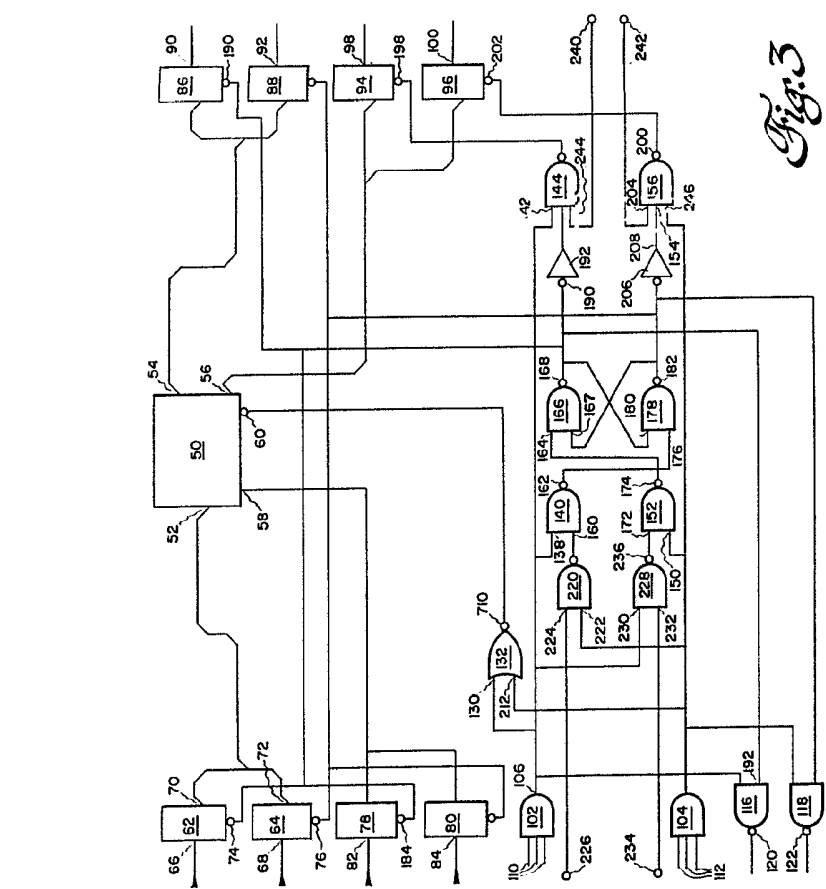
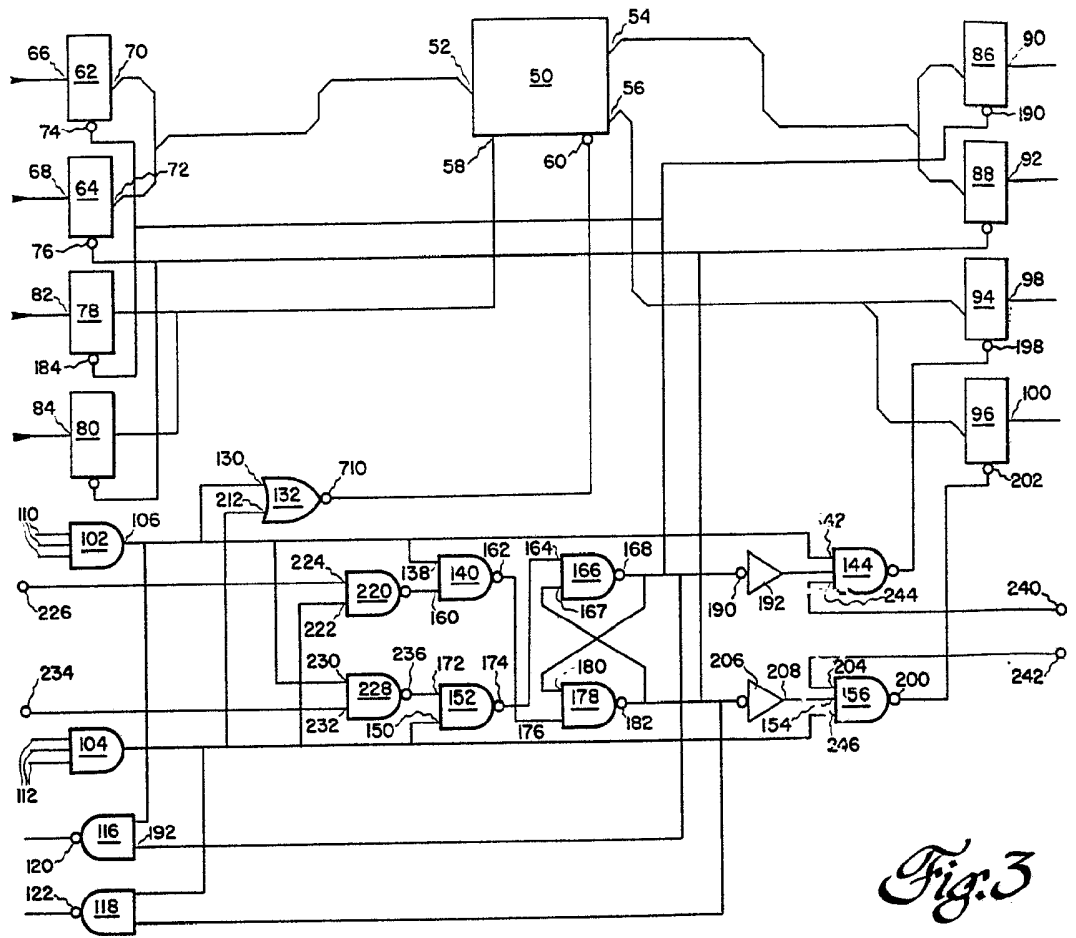


Fig. 3

ESCALA VARIABLE  
 Madrid 20 abril 1977  
 BERNARDO SERRA

PAID



*Fig. 3*

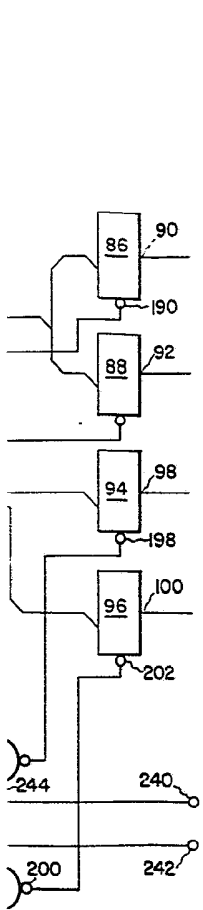


Fig. 3

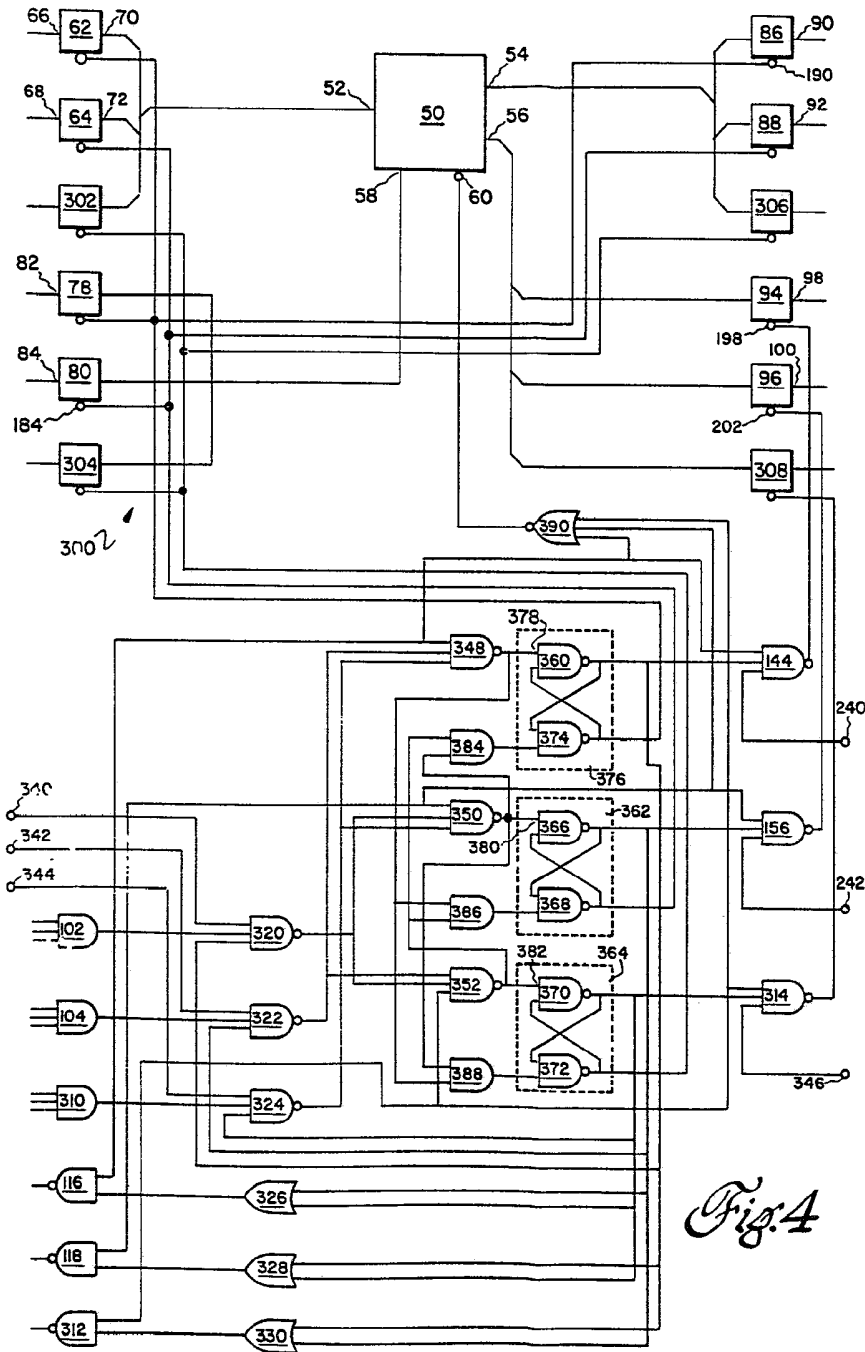


Fig. 4

ESCALA VARIABLE  
Madrid 20 abril 1977  
BERNARDO UNGRIA