



ESPAÑA

19	ES	11	NUMERO	10	A1
		21	457764		
		22	FECHA DE PRESENTACION		
			13 ABR. 1977		

PATENTE DE INVENCION

50 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
47039/1976	24-4-1976	JAPON.
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06K	
54 TITULO DE LA INVENCION		
Perfeccionamientos en disposiciones de control de acceso de memoria, en dispositivos multi-procesadores de datos.		
71 SOLICITANTE (S)		
FUJITSU LIMITED. (sociedad japonesa).		
DOMICILIO DEL SOLICITANTE		
KAWASAKI (JAPON) nº 1015, Kamikodanaka, Nakahara-ku.		
72 INVENTOR (ES)		
1) Genzo NAGANO. (los tres de nacionalidad japonesa). 2) Hisoshi NAKAMURA. 3) Yukio SOHMA.		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. CARLOS ROEB UNGEHEUER.		

1 El presente invento se relaciona con una disposición de
control de acceso de memoria y más particularmente a una
disposición de control de acceso de memoria, que emplea
un registro de traslado, almacenando información de di-
5 rección de una unidad de memoria (mencionada a continua-
ción como un almacenaje lógico) en su estado ocupado y
es capaz de controlar la recepción de una petición de
acceso con una construcción simple aún en el caso, en que
el número de almacenajes lógicos accesibles independien-
10 temente se incrementase.

En tal disposición de tratamiento múltiple, por ejemplo,
se comparte un almacenaje de gran capacidad por una plu-
ralidad de dispositivos de acceso, es decir, unidades cen-
15 trales de tratamiento y/o elaboradores de canal para in-
crementar el paso de caudal por peticiones múltiples de
tratamiento desde los dispositivos de acceso, los tiem-
pos de espera de los dispositivos de acceso se abrevian
formando un almacenaje de gran capacidad con una plura-
20 lidad de almacenajes lógicos, accesibles independiente-
mente e incrementando el número de almacenajes lógicos.
Se ha conocido en la técnica una disposición de control
de acceso de memoria del tipo, en que se disponen flip-
25 flops, para tener uno a uno correspondencia con los al-
macenajes lógicos, y el estado de cada almacenaje lógico
es comprobado basándose en el contenido de cada flip-
flop y recibe la petición de acceso cuando está vacío el
almacenaje lógico al que se pide el acceso. En este ti-
30 po de disposición de control de acceso de memoria, sin

1 embargo, es necesario incrementar el número de flip-flops
con un incremento en el número de almacenajes lógicos.
Por lo tanto, donde se dispone un gran número de almace-
najes lógicos, la disposición general de control resulta
5 voluminosa.

Un objeto de este invento es procurar una disposición de
control de acceso de memoria cuya escala pueda retenerse
pequeña, aún cuando se provea a un gran número de alma-
cenajes lógicos.

10 Otro objeto de este invento es procurar una disposición
de control de acceso, en que el estado de cada almace-
naje lógico es almacenado en un registro de traslado, te-
niendo etapas, correspondientes en número, al tiempo de
ciclo de una memoria principal y aún si el número de al-
15 macenajes lógico se incrementase, el número de etapas
del registro de traslado permanece invariado para mante-
ner pequeña la escala de la disposición.

Otro objeto de este invento es procurar una disposición
20 de control de acceso de memoria, en que se almacena in-
formación para identificar un dispositivo de acceso, en
un registro de traslado y cuando los datos requeridos se
leen, desde una memoria, a la que se ha accedido, la in-
formación para identificar el dispositivo de acceso, al
25 que se devuelven los datos leídos, puede obtenerse fácil-
mente leyendo la información desde el registro de tras-
lado.

Todavía otro objeto de este invento es procurar una dis-
30 posición de control de acceso de memoria, en que pueda

1 conseguirse fácilmente una escritura parcial.
Otros objetos, características y ventajas del presente
invento, resultarán a continuación más plenamente evidentes
de la siguiente descripción, tomada conjuntamente
con los dibujos anexos.

5 La fig. 1, es un diagrama de bloque ilustrando un ejemplo de un sistema de tratamiento múltiple teniendo una
disposición de control de acceso de memoria.

10 La fig. 2, es un diagrama de bloque mostrando un ejemplo
de disposiciones de control de acceso de memoria de la
técnica anterior.

15 La fig. 3, es un diagrama de bloque explicativo del principicio de la disposición de control de acceso de memoria
de acuerdo con este invento.

20 La fig. 4, es un diagrama de bloque ilustrando una ejecución del sistema de control de acceso de memoria, de
acuerdo con este invento y

La fig. 5, es un diagrama de conexión mostrando en detalle un circuito comparador usado en la fig. 4.

25 En la fig. 5, significan: A = desde 18; B = válido; C =
SEG no; D = LS no; E = hacia etapa 2; F = desde 6-2; G =
desde 6-m.

La fig. 1, muestra en forma de bloque, la construcción
de un ejemplo de la disposición de tratamiento múltiple
para explicar en general la disposición de control de
acceso de memoria. En la fig. 1, el número de referencia
1, indica una memoria principal; 1-0, 1-1, ... 1-n de-

30

1 signa almacenajes lógicos accesibles independientemente;
2 identifica una disposición de control de acceso de me-
3 moria; y 3-0, 3-1, 3-2 y 3-3 denotan una unidad central
4 de tratamiento (CPU A), una unidad de tratamiento central
5 (CPU#/B), un elaborador de canal (CHP #/B) que puede tener
6 acceso a la memoria principal 1, respectivamente.
7 En general, la disposición de tratamiento múltiple tiene
8 la construcción de modo que la pluralidad de almacenajes
9 lógicos 1-0, 1-1, ... 1-n se comparten por la pluralidad
10 de dispositivos de acceso 3-0, 3-1, 3-2 y 3-3. Entre el
11 almacenaje lógico y el dispositivo de acceso se dispone
12 la disposición 2 de control de acceso de memoria, que re-
13 cibe peticiones de los dispositivos de acceso 3-0, 3-1,
14 3-2 y 3-3 para acceder a los almacenajes lógicos 1-0, 1-1
15 ... 1-n.
16 En este caso, la disposición 2, de control de acceso de
17 memoria convencional tiene flip-flops, que tienen una
18 correspondencia con los almacenajes lógicos 1-0, 1-1,
19 ... 1-n. El estado de los almacenajes lógicos 1-0, 1-1...
20 1-n se detecta por los flip-flops y, basándose en los
21 resultados de la detección, se reciben peticiones desde
22 los dispositivos de acceso 3-0, 3-1, 3-2 y 3-3.
23 Haciendo ahora referencia a la fig. 2, un detector de es-
24 tado de almacenaje lógico se describirá en tal sistema de
25 control de acceso de memoria convencional.
26 En la fig. 2, los números de referencia 9-0, 9-1, ... 9-n
27 representan circuitos detectores de estado de almacenaje
28 lógico que están dispuestos correspondiendo a los alma-
29
30

1 cenajes lógicos 1-0, 1-1, ... 1-n, respectivamente y for-
man una parte de la disposición 2 de control de acceso
de memoria (fig. 1). Los circuitos detectores de estado
5 9-0, 9-1, ... 9-n, respectivamente incluyen registros
10-0, 10-1, ... 10-n para almacenar direcciones de los
almacenajes lógicos, circuitos comparadores 11-0, 11-1,
... 11-n, flip-flops 12-0, 12-1, ... 12-n y contadores de
ocupación 13-0, 13-1, ... 13-n. Y los circuitos detecto-
res de estado 9-0, 9-1, ... 9-m son de la misma constru-
10 ción.

 Cuando datos de la dirección solicitada, a la que deba
tenerse acceso se introducen desde un terminal 14, los
mismos se distribuyen a los circuitos detectores de es-
tado 9-0, 9-1, ... 9-n. Por ejemplo, en el circuito de-
15 tector 9-0, detector de circuito, los datos suministrados
al mismo desde el terminal 14 y la dirección del almace-
naje lógico almacenada en el registro 10-0, se comparan
entre sí en el circuito comparador 11-0. Donde ambas di-
recciones son coincidentes entre sí y la salida Q desde
20 el flip-flop 12-0, sirviendo como brida de ocupación, es
"0" (indicando que el correspondiente almacenaje lógico
está vacío) el circuito comparador 11-0 deriva de ello
una señal de coincidencia CS. La señal de coincidencia
25 CS es alimentada directamente al almacenaje lógico 1-0
a través de una línea de control para comenzar el alma-
cenaje lógico 1-0, comenzando la operación de acceso. La
arriba mencionada señal/CS de coincidencia se alimenta
30 a un terminal S del flip-flop 12-0 para ajustarle, procu-

1 rando su salida " en la forma de "1" para producir una
indicación de "ocupado". También, la señal de coincidencia CS se aplica al contador de ocupado 13-0 para ponerlo en marcha. Mientras se tiene acceso al almacenaje lógico 1-0, el contador de ocupado 13-0 cuenta impulsos de reloj, correspondientes al tiempo del ciclo del acceso y después de completar la cuenta, emite una señal a un terminal R del flip-flop 12-0 para reajustarlo, por lo que su salida Q es alterada a "0" para procurar una indicación de "vacío".

5

10

15

20

25

30

 Cuando la dirección suministrada al terminal 14 y la dirección almacenada en el registro 10-0 no son coincidentes entre sí, no se produce la señal de coincidencia CS, y aún cuando fueran coincidentes entre sí, si estuviera ocupado el correspondiente almacenaje lógico, la salida Q desde el flip-flop 12-0 es "1" como se ha descrito arriba, de modo que la señal de coincidencia CS, no se genera y no se inicia el acceso.

 En la técnica anterior arriba descrita, puesto que los circuitos detectores de estado tienen que disponerse correspondiendo a los almacenajes lógicos, es necesario incrementar los circuitos de detector de estado en proporción al número de almacenajes lógicos usados.

 Por ejemplo, en el caso, en que la memoria principal 1 (fig. 1) comprendiera 64 almacenajes lógicos 1-0, 1-1, ... 1-63, 64 circuitos detectores de estado, cada uno incluyendo un flip-flop, serían necesarios. Por lo tanto, la disposición 2 de control de acceso de memoria se hace

1 inevitablemente voluminosa de acuerdo con el número de al
macenajes lógicos empleados.

5 La fig. 3, es un diagrama de bloque explicativo del prin-
cipio de la disposición de control de acceso de memoria
según este invento. En la fig. 3, el número de referencia
2 indica una disposición de control de acceso de memoria;
4, designa un circuito de control de prioridad, que deter-
mina los niveles de prioridad de peticiones para acceso,
que entraron desde 2 o más de la pluralidad de dispositi-
10 vos de acceso 3-0 hasta 3-3 sustancialmente al mismo tiem-
po; 5, identifica un registro de traslado, que comprende
etapas de registro de traslado 5-1, 5-2, 5-3, ... 5-m co-
rrespondiendo en número a señales de reloj del tiempo de
15 ciclo de la memoria principal 1 (fig.1) y que almacena
información de dirección de aquél o de aquellos almacena-
jes lógicos 1-0, 1-2, ... 1-n que está o están ocupados;
5-1, 5-2, 5-3, ... 5-m denotan las arriba mencionadas eta-
pas de registro de traslado, en que los contenidos alma-
20 cenados se trasladan en secuencia a la derecha, en sin-
cronismo con una señal de reloj c-1; 6, representa un cir-
cuito comparador, en que la información de dirección de-
signada por la petición para acceder seleccionada por el
circuito 4 de control de prioridad se compara con el con-
25 tenido almacenado en cada una de las etapas de registro
de traslado 5-1, 5-2, ... 5-m; 6-1, 6-2, 6-3, ... 6-m mos-
trando pasos OR exclusivos; 7, se refiere a un circuito
detector de no coincidencia, por ejemplo, un paso AND que
30 produce una señal de lógica "1" sólo cuando todas las

1 salidas de los pasos OR exclusivos 6-1, 6-2, ... 6-m son
de la lógica "1"; y 8, indica un paso AND. Los siguientes
describirán la operación de la disposición 2 de control
de acceso de memoria en conexión con el caso, en que el
5 dispositivo de acceso 3-1 solicite el acceso al almacena-
je lógico 1-2.
La petición de acceso desde el dispositivo de acceso 3-1
se suministra el circuito 4 de control de prioridad y se
dá el nivel de prioridad basado en las relaciones respec-
10 to a otros dispositivos de acceso 3-0, 3-2 y 3-3. Supo-
niendo que, en el momento en que la petición de acceso
desde el dispositivo de acceso 3-1, se seleccionase por
el circuito 4 de control de prioridad y de ello resulta-
se una salida, el almacenaje lógico 1-2 designado por la
15 petición de acceso llegase a accederse, es decir, en la
condición "ocupado", la información de dirección del al-
macenaje lógico designado 1-2 ya está almacenada en al-
guna de las etapas de registro de traslado 5-1, 5-2, ...
20 5-m del registro 5 de traslado en el momento arriba in-
dicado. Como resultado de esto, una señal de lógica "0"
es decir, una señal de coincidencia, es sacada desde el
correspondiente paso OR exclusivo 6-1, 6-2, ... 6-m hacia
una de las etapas de registro de traslado 5-1, 5-2, ...
25 5-m, que tiene almacenada en la misma la arriba citada
información de dirección. En este caso, los otros pasos
OR exclusivos procuran señales de lógica "1" es decir,
señales de no coincidencia. Por lo tanto, el circuito 7
30 detector de no coincidencia produce una señal de lógica

1 "0" y no se inicia el acceso a un almacenaje lógico de-
designado 1-2. Por otra parte, el paso 8AND es desconecta-
do por la señal de lógica "0" desde el circuito 7 detec-
tor de no coincidencia , y el contenido de las arriba ci-
5 tadas peticiones de acceso desde el circuito 4 de control
de prioridad no se almacena en la primera etapa 5-1 del
registro 5 de traslado. Esta información se envía al cir-
cuito 4 de control de prioridad. Después de ello, el cir-
cuito 4 de control de prioridad puede funcionar para po-
10 ner la arriba citada petición de acceso en el estado de
espera o para hacer que las operaciones arriba citadas
se realicen basándose en la petición de acceso del si-
guiente nivel de prioridad.

15 Entonces, cuando la información de dirección del almace-
naje lógico designado 1-2 en su estado "ocupado" se tras-
lada hacia la derecha en el registro 5 de traslado en
sincronismo con la señal de reloj y rebotado desde la úl-
tima etapa 5-m del registro de traslado 5, queda vacío
20 el almacenaje lógico 1-2. Bajo tales condiciones, si se
selecciona la petición de acceso habiendo designado el
almacenaje lógico como se ha descrito arriba, las sali-
das de los pasos OR exclusivos 6-1, 6-2, ... 6-m se pro-
veen todas de la lógica "1" y el circuito 7 detector de
25 no coincidencia deriva de ello la señal de lógica "1".
Cuando la señal de lógica "1" es así derivada del cir-
cuito 7 detector de no coincidencia, la petición de acce-
so se coloca en la primera etapa 5-1 del registro 5 de
30 traslado a través de paso AND 8 conectado por la señal

1 de lógica "1" desde el circuito detector 7. Al mismo tiempo, que la señal de lógica "1" se deriva del circuito 7 detector de no coincidencia, la disposición 2 de control de acceso de memoria acepta formalmente la arriba citada
5 petición de acceso para comenzar el acceso al almacenaje lógico, designado 1-2.

La dirección, a la que se ha pedido el acceso, así ajustada en la primera etapa 5-1 del registro de traslado 5, se traslada en secuencia desde la primera etapa 5-1 a las
10 etapas siguientes 5-2, 5-3, ... 5-m en sincronismo con la señal de reloj ϕ durante el acceso al almacenaje lógico designado 1-2. Y la arriba citada dirección es rebosada desde la última etapa 5-m del registro de traslado 5 en el momento de completarse el acceso.

15 En el caso de este invento, el registro de traslado 5 almacena en el mismo información para identificar el dispositivo de acceso correspondiente al almacenaje lógico designado, en adición a su información de dirección. A este fin, por ejemplo, en tal caso de datos leídos para
20 el almacenaje lógico designado, cuando los datos se leen desde el almacenaje lógico designado, la información para identificar el dispositivo de acceso arriba citado, se lee desde la última etapa 5-m del registro de traslado
25 5, junto con la información de dirección del almacenaje lógico designado. Basados en la información para identificar el dispositivo de acceso, los datos de lectura se envían al dispositivo de acceso.

30 También, el contenido almacenado en una dirección prede-

1 terminada de la memoria principal 1, puede escribirse de
nuevo parcialmente de un modo fácil y rápido utilizando
el registro de traslado 5. Esto resultará evidente de la
siguiente descripción.

5 La figura 4, ilustra en diagrama de bloque una ejecución
de este invento, que se usa como disposición 2 de control
de acceso de memoria según se ilustra en la fig. 1.

10 En la fig. 4, los números de referencia 15-0 hasta 15-1
indican lumbreras de petición, previstas respectivamente
correspondiendo a dispositivos de acceso 3-0 hasta 3-1;
4, designa un circuito de control de prioridad; 16, 17 y
18 identifican selectores; 8-1, 8-2 y 8-3 denotan pasos
AND; 5, representa un registro de traslado; 6, se refie-
re a un circuito comparador; 7, muestra un circuito de no
coincidencia; 19, indica un selector; y 20 designa un cir-
cuito de fusión. Cuando una petición de acceso para es-
critura se expide desde un dispositivo de acceso, tal co-
mo una unidad de tratamiento central (CPU) o elaborador
de canal (CHP), datos de control, datos de escritura y
la información de dirección de la memoria a la que debe
accederse, se emiten desde el dispositivo de acceso, por
ejemplo, 3-0, a la lumbrera de petición 15-0 correspon-
diente a ello.

25 El circuito 4, de control de prioridad detecta la arriba
citada petición de acceso y determina los niveles de prio-
ridad basados en las relaciones del dispositivo de acceso
hacia otros dispositivos de acceso 3-1 hasta 3-1 permi-
tiendo que acceda a la memoria el dispositivo de acceso

30

1 del nivel de prioridad más alto. En este caso, si la lum
brera de petición 15-0 se determina que es del nivel de
prioridad más alto, el circuito 4 de control de prioridad
5 aplica instrucciones a los selectores 16, 17 y 18 para
seleccionar la lumbrera 15-0 de petición y los datos e
información arriba citados, almacenados en la lumbrera de
petición 15-0 se derivan respectivamente en los extremos
de salida de los selectores 16, 17 y 18.

10 En efecto, los datos de control, los datos de escritura
y la información de dirección de la memoria a la que de-
ba accederse, se procuran en los lados de salida de los
selectores 16, 17 y 18 respectivamente. El acceso de es-
ta memoria se transfiere a través del selector 18 al cir-
15 cuíto comparador 6, en que la información de dirección de
memoria, almacenada en cada etapa de la parte 53 de al-
macenaje de dirección del registro de traslado 5, se com-
para con la parte de dirección del almacenaje lógico LS.
Es decir, se comprueba si el almacenaje lógico LS, en que
20 existe la dirección deseada, está vacío o no lo está. El
resultado de esta comparación se detecta por el circuito
7 detector de no coincidencia y cuando alguna de las eta-
pas del registro no es coincidente con la parte de di-
rección arriba citada, es decir, cuando no está ocupado
25 el almacenaje lógico deseado, el circuito 7 detector de
no coincidencia procura en su terminal 71 una señal de
lógica "1". Como resultado de esto, los pasos AND 8-1,
8-2 y 8-3 se abren para transferir a través de ellos, los
30 arriba citados datos hacia la memoria principal 1, y uli-

1 terriormente, una operación de acceso se inicia por una
señal de control ("L") alimentada desde el punto A. La
información para identificar el dispositivo de acceso se
5 forma por el circuito 4 de control de prioridad y se apli
ca al lado de entrada del paso 8-1, a través de una línea
de señal LB.

 Por otra parte, las entradas desde los pasos AND 8-1, 8-2
y 8-3, se almacenan respectivamente en primeras etapas de
una parte 51 almacenadora de datos de control y parte 52
10 de almacenaje de datos de escritura y una parte 53 de
datos de dirección del registro 5 de traslado y se tras-
ladan cada uno en secuencia a la última etapa en sincro-
nismo con un impulso de reloj.

 El número de etapas del registro 5 de traslado se sele-
15 cciona para corresponder al número de impulsos de reloj,
producidos en el tiempo de ciclo de una operación de acce-
so de la memoria principal L. Por lo tanto, después de
completar la operación de acceso, los datos arriba men-
20 cionados rebosan desde la última etapa del registro 5 de
traslado. En el caso de escritura, cuando los datos rebo-
san desde el registro 5 de traslado, ya se ha completado
la escritura.

 La nueva escritura de una parte de una palabra leída des-
25 de una memoria por una operación de acceso, por ejemplo,
una palabra compuesta de 8 bites (se desean uno o varios
de los 8 bites) se menciona usualmente como escritura par-
cial. En el caso de escritura parcial, los datos almace-
30 nados en una dirección designada se leen y se transfieren

1 al circuito de fusión 20 a través de una línea de lectura RD desde la memoria principal 1. Por otra parte, datos
5 parciales de escritura rebosan desde la última etapa de la parte almacenadora de datos 52 del registro de traslado 5 y se transfieren similarmente al circuito de fusión 20, en que los datos arriba citados se funden en un modelo deseado por el dispositivo de acceso y la salida desde el circuito, de fusión 20 se aplica de nuevo al lado de entrada del selector 17. De una manera similar, los
10 datos de dirección también se aplican desde la última etapa de la parte 53 de almacenaje de dirección del registro de traslado 5 al lado de entrada del selector 18. En este tiempo, por los datos de control, que rebosan desde la parte 51 de almacenaje de datos de control del registro de traslado 5, el circuito 4 de control de prioridad es controlado para inhibir peticiones desde las lumb
15 breras 15-0 hasta 15-1 y, al mismo tiempo, se hace que los selectores 16, 17 y 18 seleccionen el dato de control rebosado desde el registro 5 de traslado, el dato desde el circuito 20 de fusión y el antes mencionado dato de dirección. El dato es escrito en la memoria principal 1, en las direcciones arriba citadas de la misma manera que en el caso de escritura.

20 En el caso de lectura, datos de control, incluyendo la información para identificar el dispositivo de acceso (por ejemplo, 3-1) rebosa desde la parte 51 de almacenaje de datos de control del registro de traslado 5 y alcanza el selector 19 a través de una línea PI para com-

25
30

1 trolar el selector 19, seleccionando el dispositivo de
acceso (por ejemplo, 3-0). Por lo tanto, los datos leí-
dos desde la memoria principal 1 se transfieren al dis-
positivo de acceso, por ejemplo, 3-0, a través de una lí-
nea RD y el selector 19.

5 La fig. 5, es un diagrama de bloque mostrando en detalle
la parte 53 de almacenaje de dirección del registro 5 de
traslado, el circuito comparador 6 y el circuito 7 detec-
tor de no coincidencia empleado en la ejecución de la

10 fig. 4.

En la fig. 5, el número de referencia 53-1 indica una
primera etapa de la parte 53 de almacenaje de dirección
del registro 5 de traslado (fig. 4). En el ejemplo ilus-
trado, la memoria principal 1 está dividida, por ejem-
plo, en 8 segmentos teniendo cada uno dieciseis almace-
najes lógicos (LS). Los almacenajes lógicos de cada seg-
mento reciben la misma dirección. Por lo tanto, la iden-
tificación de un almacenaje lógico requiere la dirección

15 (4-bit) del mismo almacenaje lógico y la dirección (3-
bit) del segmento, al que pertenece el almacenaje lógi-
co. Es necesario que las direcciones del segmento arri-
ba citado y almacenaje lógico y la dirección del área de
almacenaje del almacenaje lógico se almacenen en cada

20 etapa del registro 5 de traslado. Sin embargo, puesto
que esto no está directamente relacionado con este in-
vento, no se dará ninguna descripción. La parte 53 de al-
macenaje de dirección del registro de traslado 5, compren-
de m etapas, tales como las indicadas por 53-1.

25

30

1 La salida desde cada etapa que es indicativa del conteni-
do de cada célula, se introduce en el circuito comparador
6 y se compara con la dirección del almacenaje lógico de-
seado, al que se quiere acceder, que se introduce desde
5 el selector 18. En la fig. 5, sólo se ilustra una parte
comparadora 6-1 para la primera etapa. El número de re-
ferencia 21, indica una línea de datos para dirigir la
transferencia desde el selector 18 al circuito comparador
6; 22, designa una línea de datos, a través de la cual
10 se transfiere el contenido de cada célula de la primera
etapa. Los correspondientes de ambas líneas de datos sir-
ven como dos entradas de cada uno de los pasos OR exclu-
sivos de 22-0 hasta 22-7. Por lo tanto, cuando las dos
entradas a cada paso OR exclusivo son coincidentes entre
15 sí (cada uno "1" ó "0") la salida desde el paso OR ex-
clusivo es "0" y en el caso de no coincidencia la salida
es "1". La salida desde los pasos OR exclusivos desde
22-0 hasta 22-7, se aplican al paso 23 OR. Por lo tanto,
20 cuando las dos entradas a cada uno de los pasos OR exclu-
sivos 22-0 a 22-7 son coincidentes entre sí, las salidas
de los pasos OR exclusivos son todas "0", y si no lo fue-
ran, la salida desde el paso OR 23 es "1".

25 La parte comparadora 6-1 formada con los pasos OR exclu-
sivos 22-0 hasta 22-7 y el paso OR 23, se provee para
cada etapa de la parte 53 de almacenaje de dirección del
registro de traslado 5. Estos comparadores 6-1 hasta 6-m,
(sólo se ilustra 6-1), forman el circuito comparador 6.
30 El circuito 7 de no coincidencia, está formado con el

1 paso, AND 24 teniendo m entradas y las salidas desde las
partes comparadoras 6-1 hasta 6-m se aplican al paso 24
AND. Por lo tanto, si los pares de entradas correspon-
dientes por lo menos en una de las partes comparadoras
5 6-1 hasta 6-m son todos coincidentes y si la salida desde
la parte comparadora es "0", la salida desde el paso AND
24, es decir, la salida 7l desde el circuito 7 detector
de no coincidencia es "0". Si por lo menos uno de los
pares de entradas es no coincidente en todas las partes
10 del comparador 6-1 hasta 6-m y si su salidas son todas
"1", la salida 7l desde el circuito 7 detector de no coin-
cidencia es "1".

En el caso de una petición de acceso a una memoria desde
cierto dispositivo de acceso, los datos de acceso desea-
dos, a los que debe accederse, se transfieren desde el
15 selector 18 al circuito comparador 6 a través de la lí-
nea 21 según se ha descrito anteriormente en conexión con
la fig. 4. Este dato de dirección se compara con el dato
de dirección almacenado en cada etapa de la parte 53 de
20 almacenaje de dirección del registro de traslado 5 según
se ha descrito anteriormente respecto a la fig. 5. En el
caso de que ningún dato sea coincidente entre sí, el al-
macenaje lógico de la dirección arriba citada no está
25 ocupado y la salida desde el circuito 7 detector de no
coincidencia es "1", de modo que tiene lugar la opera-
ción de acceso, según se expone respecto a la fig. 4.
Sin embargo, cuando la parte de los datos de dirección,
30 que determina el almacenaje lógico introducido al cir-

1 cuíto comparador 6 desde la línea de datos 21 coincide
 con la parte del dato de dirección determinando el al-
 macenaje en una de las etapas de la parte 53 del almace-
5 naje de dirección del registro de traslado 5, el almace-
 naje lógico, arriba citado, está ocupado y debe evitarse
 nuevo acceso. En este caso, puesto que la salida 71 des-
 de el circuito 7 detector de no coincidencia es "0", y
 los pasos AND 8-1, 8-2, y 8-3 mostrados en la fig. 4 no
 se abren. Además, puesto que la salida A también es "0",
10 se impide el acceso al arriba citado almacenaje lógico.
 En el caso de una petición actual de acceso, se añade un
 bit válido "1" al dato de dirección de la petición para
 indicar su validez.

15 En la disposición de control de acceso de este invento,
 se procura un registro de traslado, que traslada en sin-
 cronismo con una señal de reloj y el número de etapas
 del registro de traslado se selecciona de modo que el
 tiempo necesario para trasladar el contenido almacenado
20 desde la primera a la última de las etapas del registro
 de traslado pueda corresponder al tiempo de acceso de
 memoria. En el momento de solicitar un acceso a una me-
 moria de una cierta dirección, la dirección se almacena
 en la primera etapa del registro de traslado y se tras-
25 lada en secuencia a las etapas subsiguientes, en cincro-
 nismo con la señal de reloj. Puesto que la dirección se
 traslada a la segunda etapa después de una señal de re-
 loj, la dirección de otro acceso de memoria puede alma-
 cenarse en la primera etapa. Por consiguiente, puede
30

1 ejecutarse un nuevo acceso de memoria en cada señal de
reloj y las direcciones de los accesos de memoria duran-
te la ejecución se almacenan todas en cualquier etapa
del registro de traslado, de modo que es posible compro-
5 bar si está ocupado o no está el almacenaje lógico.
Además, es inconveniente procurar a cada almacenaje ló-
gico un circuito de control para comprobar su estado de
acceso como en la técnica anterior. Es decir, donde el
número de almacenajes lógicos sea mayor que un cierto
10 valor, por ejemplo, desde ocho a dieciseis, un número
requerido de circuitos de control aumenta en proporción
al número de almacenajes lógicos usados y la escala de
la disposición de control de acceso de memoria se aumen-
ta inevitablemente. En el presente invento, sin embargo,
15 aún cuando aumentase el número de almacenajes lógicos,
permanece invariada la escala de la disposición de con-
trol de acceso de memoria.
Además, en la disposición de control de acceso de memo-
ria de este invento, un control de transferencia de da-
tos leídos a un dispositivo de acceso, puede realizarse
fácilmente con un pequeño número de dispositivos adicio-
nales y también puede efectuarse fácilmente escritura
parcial.
25 Pueden introducirse numerosas variaciones en la disposi-
ción arriba descrita, y pueden hacerse diversas ejecucio-
nes del invento sin apartarse de su idea; por lo tanto,
se propone que toda la materia contenida en la descrip-
ción precedente y en los dibujos adjuntos, deba interpre-

1

tarse como ilustrativo y no en sentido limitativo.

La presente patente de invención recaerá sobre las siguientes reivindicaciones.

5

o-o-o-o-o-o-o-o-o-o-o-o-o-o

o-o-o-o-o-o-o

o

10

15

20

25

30

REIVINDICACIONES

1
5
10
15
20
25

1.- Perfeccionamientos en disposiciones de control de acceso de memoria, en dispositivos multi-procesadores de datos, estando previstos entre por lo menos un dispositivo de acceso y una memoria principal compuesta de una pluralidad de almacenajes lógicos, accesibles independientemente y recibe por lo menos una petición desde el dispositivo de acceso, basado en el estado de la memoria principal, para permitir acceso a uno de los almacenajes lógicos, caracterizados porque está dispuesto un registro de traslado, compuesto de etapas de registro correspondiendo al tiempo de ciclo de la memoria principal y un circuito comparador, almacenándose en el registro de traslado, información de dirección de uno o varios de los almacenajes ocupados, y trasladándose secuencialmente en sincronismo con una señal de registro de tiempo; comparándose el contenido de cada etapa del registro de traslado con información de dirección del almacenaje lógico designado, basado en la petición del dispositivo de acceso en el circuito comparador; y, basado en el resultado de la comparación, la petición es recibida para generar una señal de control para acceder al almacenaje lógico designado.

30

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque se ha previsto un circuito detector de no coincidencia para detectar que los resultados de comparación del contenido de todas las etapas del registro

1 de traslado con la petición desde el dispositivo de acceso sean todos no coincidentes y generando una señal de control para acceder.

5 3.- Perfeccionamientos según las reivindicaciones precedentes, estando previsto el sistema de control de acceso entre por lo menos un dispositivo de acceso y una memoria principal, compuesta de una pluralidad de almacenajes lógicos accesibles independientemente y que recibe por lo menos una petición desde el dispositivo de acceso, basado en el estado de la memoria principal para permitir acceso a uno de los almacenajes lógicos, caracterizados porque está previsto un registro de traslado, compuesto de etapas de registro correspondiendo al tiempo de ciclo de la memoria principal y un circuito comparador; incluyendo la información de dirección de la memoria principal, la dirección de uno o varios de los almacenajes lógicos ocupados e información de identificación de información del dispositivo de acceso, habiendo generado la información de dirección, almacenándose en el registro de traslado y trasladándose secuencialmente en sincronismo con una señal de registro de tiempo, comparándose la información de dirección del almacenaje lógico, almacenada en cada etapa del registro de traslado, con la información de dirección del almacenaje lógico designado, basado en la petición del dispositivo de acceso; basado en el resultado de la comparación, la petición es recibida para generar una señal de control para acceder; y se ejecuta un control para transferir datos leídos desde

10

15

20

25

30

1 la dirección de la memoria principal al dispositivo de
acceso, basado en la información de identificación del
dispositivo de acceso, almacenada en una predeterminada
de las etapas del registro de traslado.

5 4.- Perfeccionamientos según las reivindicaciones prece-
dentes, estando previsto el sistema por lo menos entre
un dispositivo de acceso y una memoria principal, com-
puesta de una pluralidad de etapas lógicas, accesibles
independientemente y recibe por lo menos una petición
10 desde el dispositivo de acceso basada en el estado de la
memoria principal, para permitir acceso a uno de los al-
macenajes lógicos, caracterizados porque se ha previsto
un registro de traslado compuesto de etapas de registro
correspondiendo al tiempo de ciclo de la memoria princi-
15 pal, un circuito comparador y un circuito de fusión; in-
formación de dirección de la memoria principal inclu-
yendo la dirección de una o varias de los almacenajes
lógicos ocupados y se almacenan datos parciales de es-
20 critura en el registro de traslado y se trasladan secuen-
cialmente en sincronismo con una señal de registro de
tiempo; la información de dirección del almacenaje lógi-
co, almacenada en cada etapa del registro de traslado,
se compara con la información de dirección de la almace-
25 nadora lógica designada, basada en la petición desde el
dispositivo de acceso; basado en el resultado de la com-
paración, la petición es recibida para generar una señal
de control para acceder; los datos parciales de escritura
30 rebosados desde el registro de traslado y los datos lei-

1

dos desde la dirección de la memoria principal se fusionan en el circuito de fusión; y se ejecuta un control para escribir los datos fusionados en la dirección de la memoria principal, usando el mismo medio de control que para la operación ordinaria de escritura.

5

5.- Perfeccionamientos en disposiciones de control de acceso de memoria, en dispositivos multi-procesadores de datos.

10

Según se describe y reivindica en esta memoria descriptiva.

Se detalla e ilustra con los dibujos que se acompañan.

Y cuya memoria descriptiva consta de 24 hojas de texto, foliadas y escritas a máquina por una sola de sus caras.

Madrid,

13 ABR. 1977

15

CARLOS ROEB
P. P.

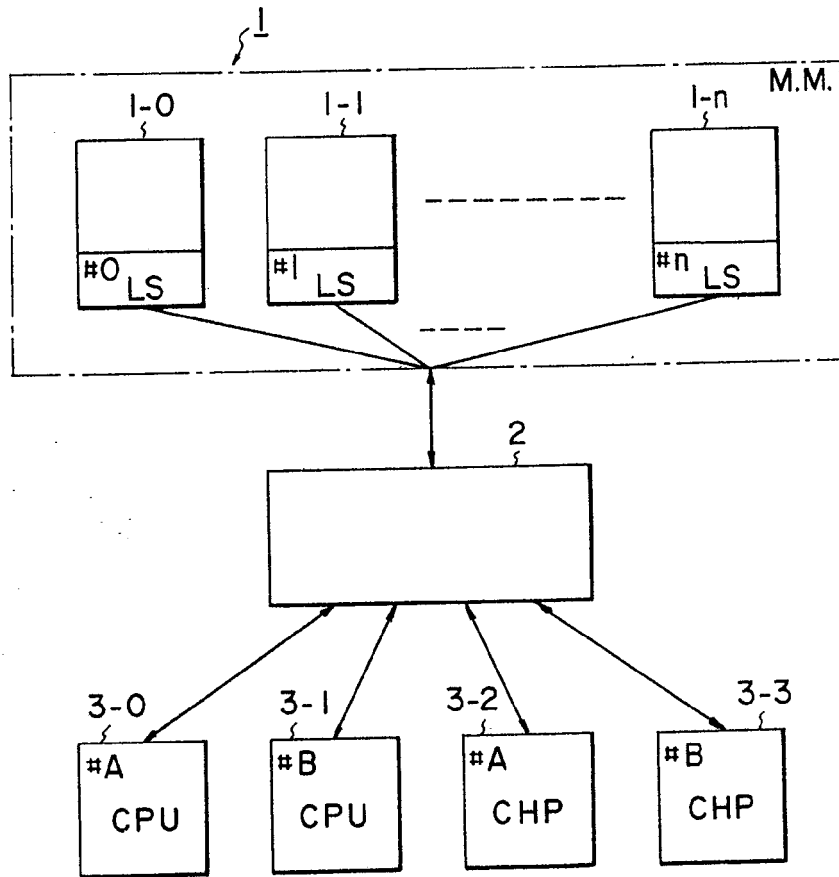
Fdo.: Pedro Nicazimran

20

25

30

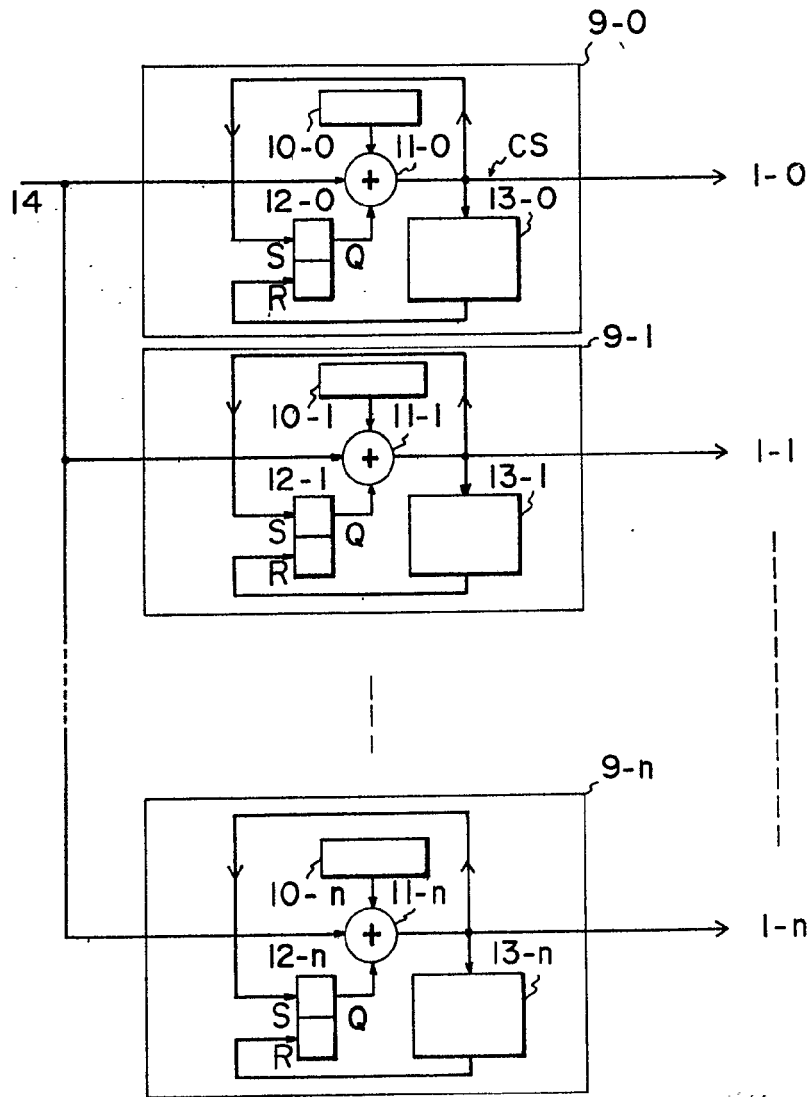
FIG. 1



27.283.

ESCALA
GAR
R. P.
Escalera

FIG. 2



27.283.

ESCI
CAL
RIP
Escriba

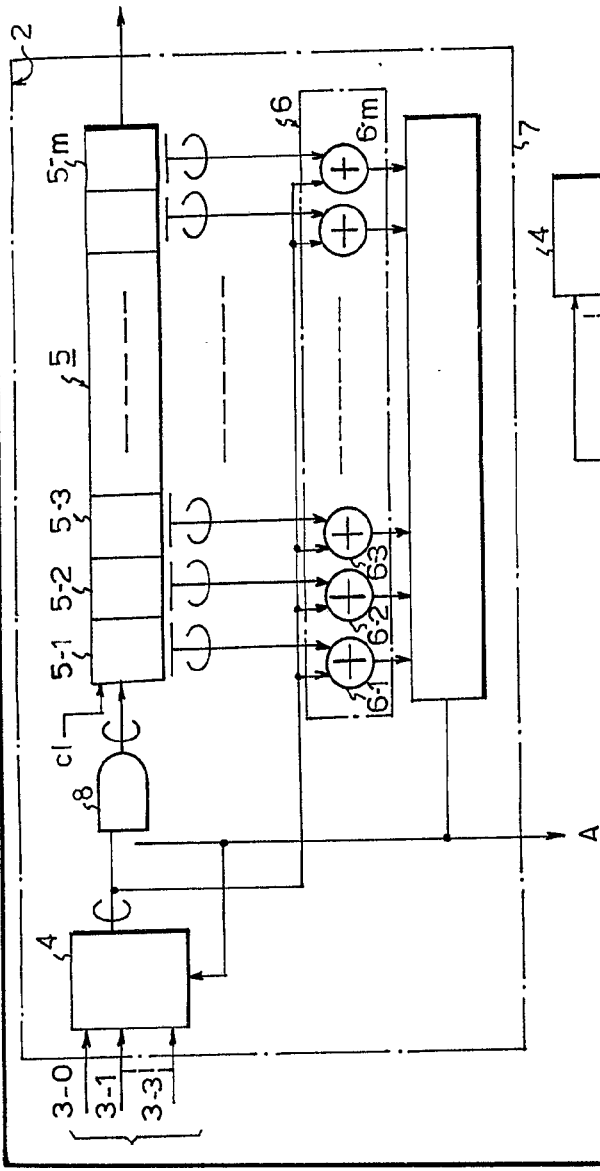


FIG. 3

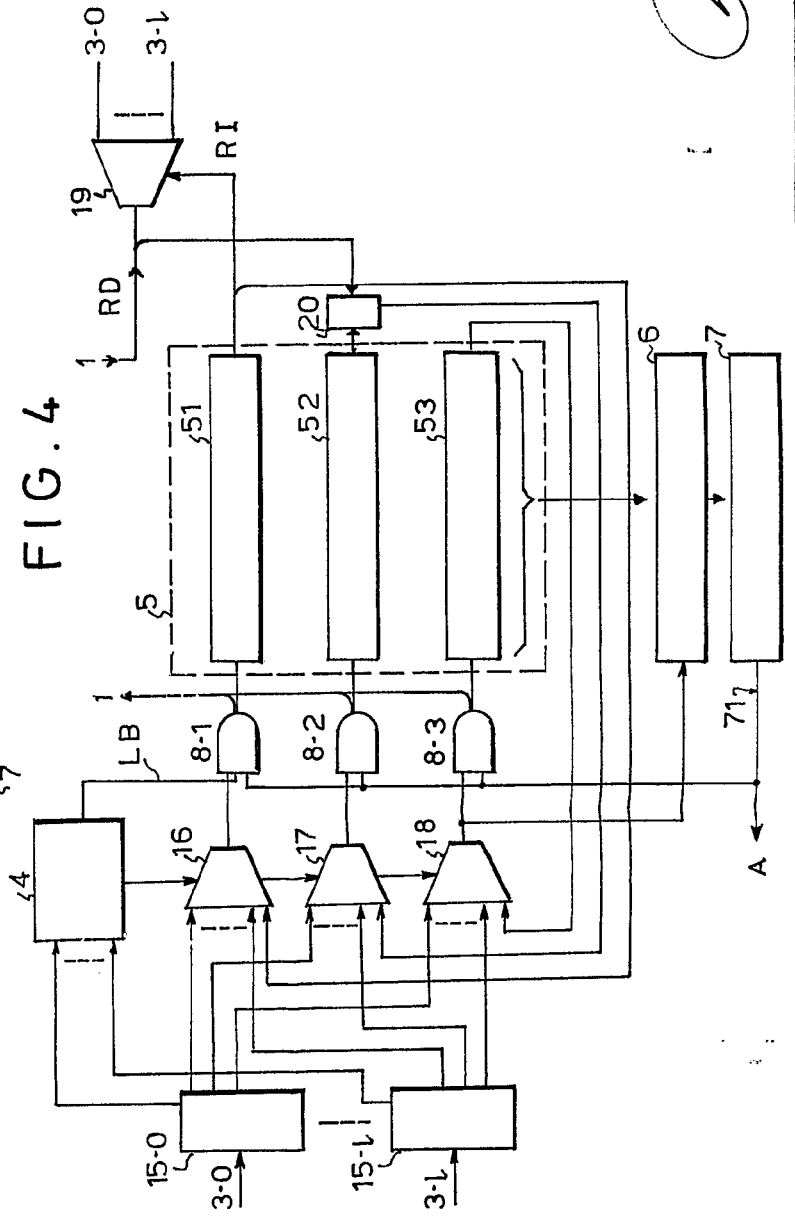


FIG. 4

Handwritten signature or initials in a circle.

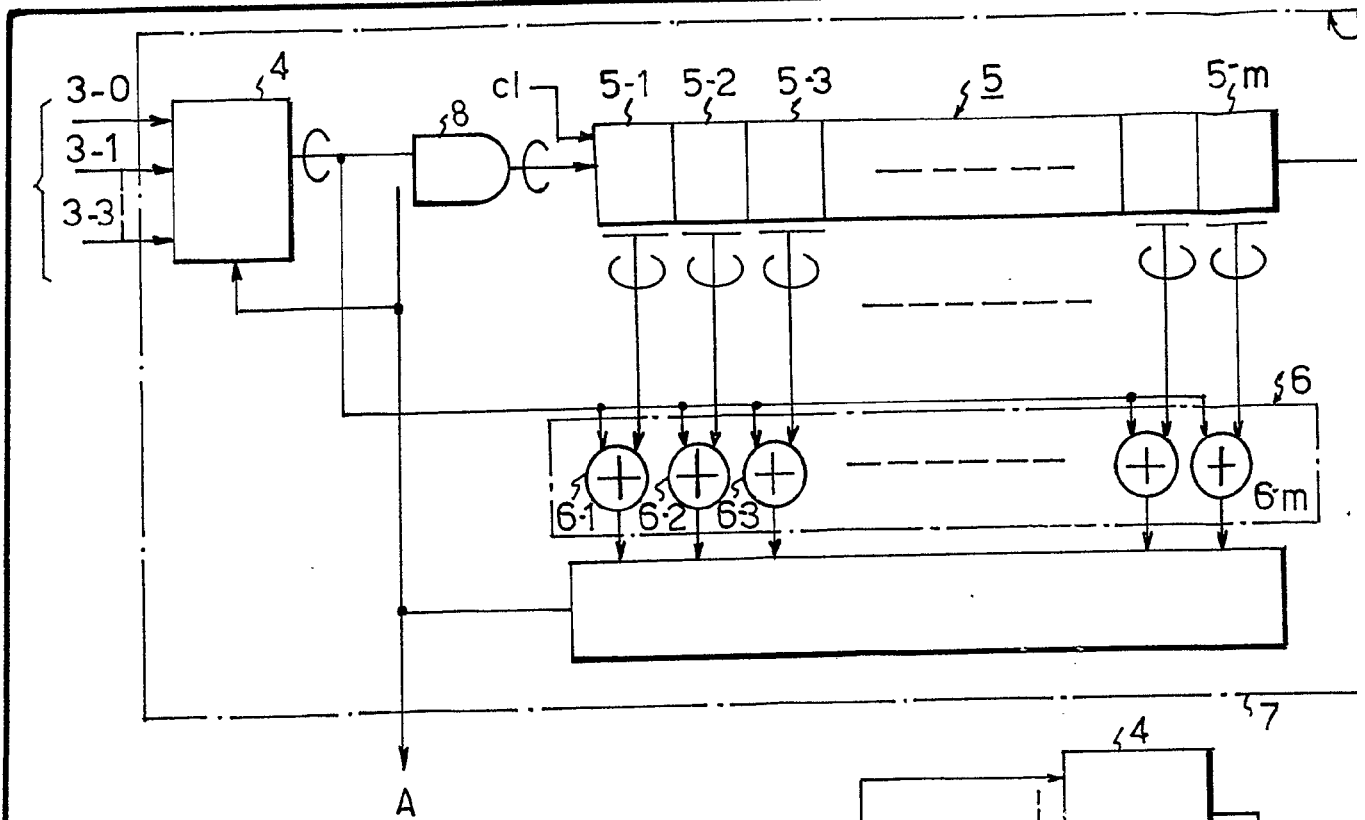
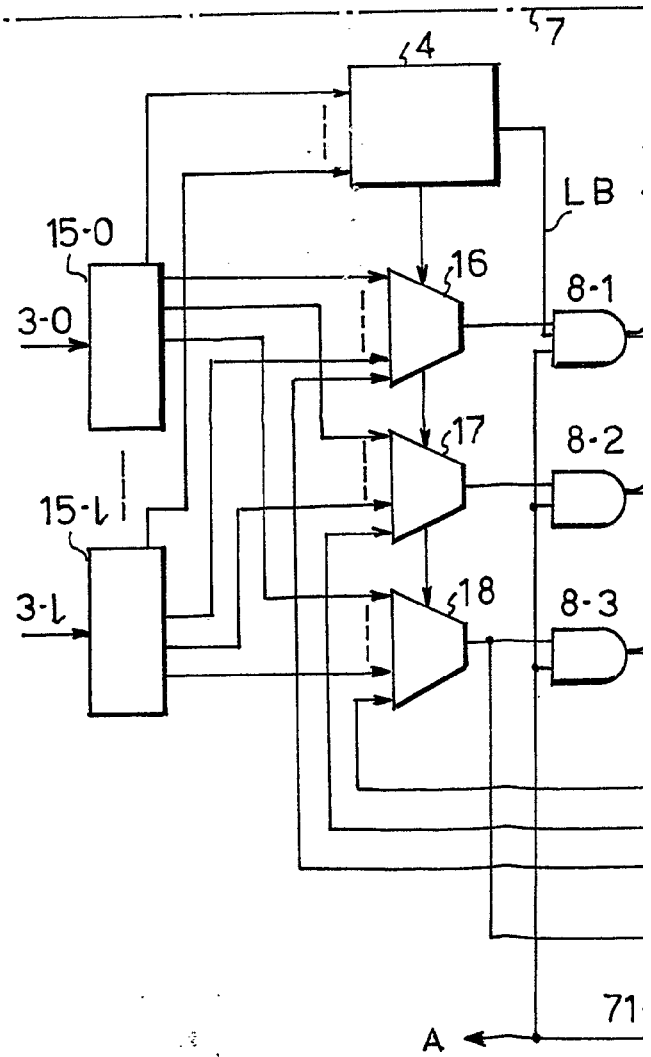


FIG. 3



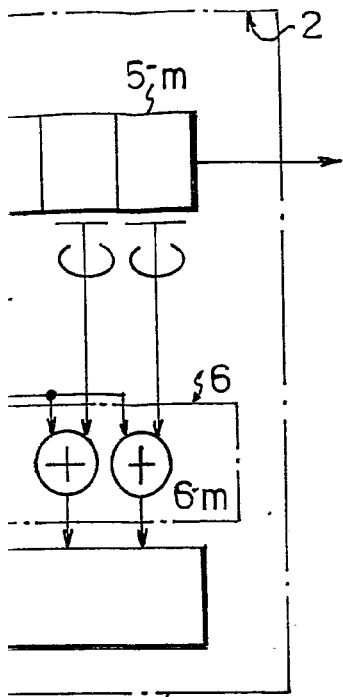


FIG. 4

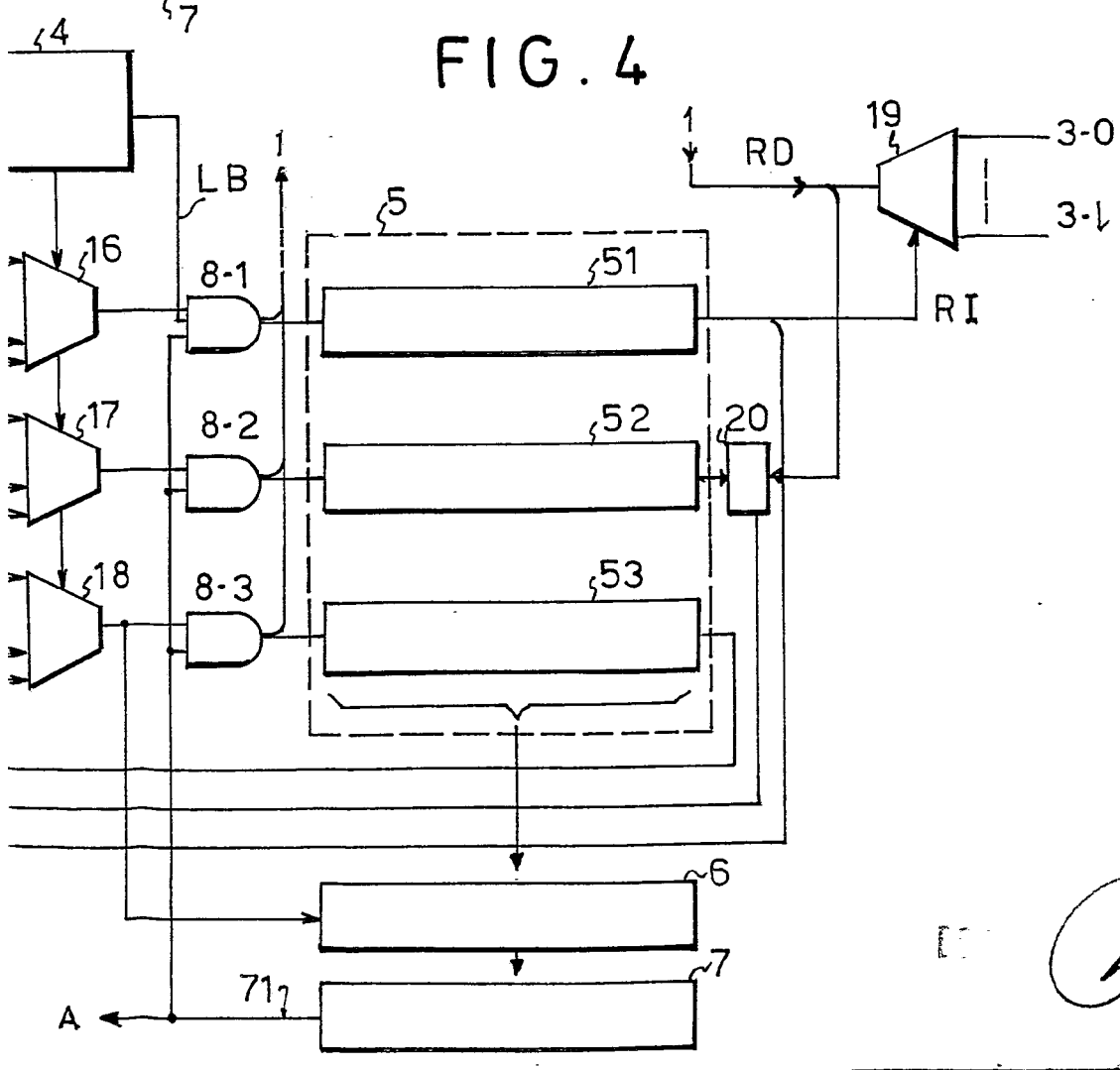
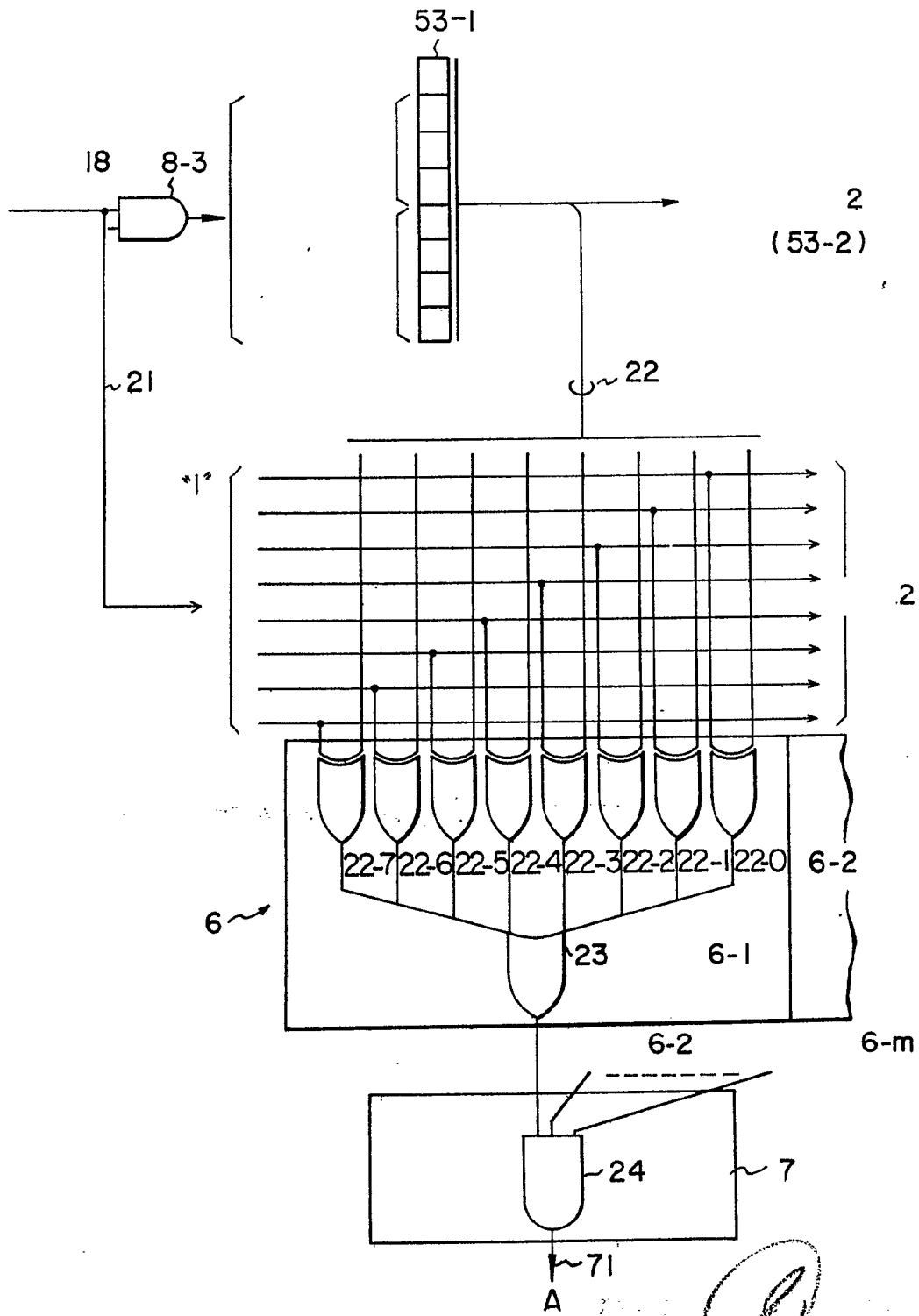


FIG. 5



27.283.