



(19) ES	(11) NUMERO 457.427	(10) A 1
(21)	(22) FECHA DE PRESENTACION 1-4.77	

P.- 65.143

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO 682.225	(32) FECHA 30-4-76	(33) PAIS E.U.A.
---	-----------------------	---------------------

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL G11B	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(64) TITULO DE LA INVENCION "UN CIRCUITO DE DETECCION DE SEÑALES"
--

(71) SOLICITANTE (S) INTERNATIONAL BUSINESS MACHINES CORPORATION

DOMICILIO DEL SOLICITANTE Armonk, N.Y. 10504, Estados Unidos de América
--

(72) INVENTOR (ES) Jerry Duane Dixon.
--

(73) TITULAR (ES)

(74) REPRESENTANTE D. OSCAR DE ELZABURU FERNANDEZ
--

ACM.

1 La presente invención se refiere a la percepción
de señales con el propósito de detectar un diseño o pauta
especial de distribución de señales, y más en particular
a la utilización de un ordenador programado para percibir
5 y detectar un diseño especial.

 En el registro o grabación de señales magnéticas,
y en particular en el registro magnético en archivos o me-
morias de disco, se utiliza un método de registro de frecuen-
cia doble. El registro de frecuencia doble implica el regis-
10 tro de unas transiciones de flujo magnético a una frecuencia
de reloj o de sincronismo, viniendo los datos binarios re-
presentados por la presencia o la ausencia de una transición
de flujo entre transiciones de flujo de reloj. Esta forma de
registro proporciona unos medios por los cuales es posible
15 hacer que un oscilador de frecuencia variable (VFO) respon-
da a las señales reproducidas procedentes de la grabación
magnética sincronizando y controlando el muestreo de los da-
tos grabados.

 En los registros o grabaciones de discos magnéti-
20 cos, cada pista se divide normalmente en cierto número de
sectores, constando cada sector de varios caracteres de iden-
tificación y control a los fines de la detección de datos
dentro del sector. Uno de los detalles o elementos de infor-
mación de control para controlar la sucesiva reproducción es
25 un campo denominado de marca o designación de acceso. El con-
tenido de datos fijos de un campo de marca de acceso identi-
fica el tipo de campo que sigue a la marca de acceso. La uni-
dad de mando o control del archivo se ve impulsada a buscar
esta particular combinación de datos con el fin de controlar
30 el uso de la información identificada sucesiva. Como otras

1 porciones de la información registrada pueden incluir datos
normales que tengan el mismo contenido de datos que el cam-
po de marca de acceso que se busca, a la detección del campo
particular de datos se le ha incorporado una forma adicional
5 de detección de señales. La detección de marcas de acceso es,
por lo tanto, una forma especial de registro magnético en la
que los datos binarios se entremezclan o diversifican con
períodos de reloj o de sincronismo normales. Ahora bien, en
lugar de haber una transición de flujo magnético para cada
10 período de reloj, se eliminan de la grabación ciertas transi-
ciones de flujo en los instantes de reloj. Por lo tanto, una
unidad de mando de archivo de disco magnético reconocerá con
certidumbre la detección de la marca de acceso, al detectar-
se el singular diseño o pauta de distribución de datos, en
15 unión del diseño singular de impulsos de reloj presentes y
omitidos dentro del carácter de ocho bitios que se esté per-
cibiendo.

Como la frecuencia a la cual es preciso detectar
las señales de datos y de reloj es bastante elevada, las
20 unidades de mando de archivo ya conocidas han venido requi-
riendo un equipo físico y una lógica especiales, utilizados
solamente para este fin. Aun cuando las unidades de mando de
archivos de disco magnético vienen realizándose físicamente
a base de utilizar mini- o microordenadores programados, ha
25 tenido que incluirse el equipo físico de usos especiales,
porque los ordenadores no tenían la velocidad ni la potencia
de instrucciones necesarias para operar a tan alta veloci-
dad.

Por todo ello, es objeto de la presente invención
30 un microordenador controlado por programa, con circuitería

1 sencilla, adecuado para detectar los datos y la secuencia de reloj de las marcas de acceso.

5 La presente invención incluye una cantidad mínima de circuitería en la unidad de mando del archivo de disco magnético, además de la que recibe señales de un archivo de disco magnético grabado en frecuencia doble con el fin de generar señales de datos y de reloj con arreglo a métodos de reproducción de frecuencia doble. Un microordenador programado, con el fin de percibir o detectar señales de datos y
10 de reloj, incluye, entre las instrucciones controladoras para el ordenador, una instrucción de "detectar", una instrucción de "salir", y las de "saltar a cero", "saltar a distinto de cero" y "saltar y esperar". En la ausencia de la instrucción de saltar y esperar, o de "salto y espera", que se va a describir, las instrucciones anteriormente indicadas podrían usarse con el fin de detectar o percibir las señales
15 de reloj, las de reloj que falten (omisiones de reloj) y las de datos, pero en ciertas situaciones no podrían ejecutarse con rapidez suficiente para asegurar unas adecuadas operaciones de detección. La ejecución de la instrucción de salto y espera, en el microordenador, tiene el efecto de seleccionar y tomar por lectura, de las instrucciones de programa en almacenaje, la siguiente instrucción identificada por la información de acceso contenida en la instrucción. Una
20 vez conseguido el acceso a la instrucción siguiente, la instrucción de saltar (o "bifurcar") y esperar tendrá por efecto el de detener el reloj del ordenador, impidiendo que se inicie la ejecución de la instrucción a la que acaba de tenerse acceso. Las señales de regulación de tiempo creadas en
25 la circuitería de datos y detección de reloj de la unidad de
30

1 mando de archivo tendrán por efecto el de volver a poner en
marcha el reloj del ordenador con el fin de iniciar la eje-
cución de la instrucción anteriormente seleccionada para
acceso, obteniéndose con ello una inmediata sincronización
5 del microordenador con respecto a las señales que se estén
detectando.

En los dibujos adjuntos:

- la figura 1 es una representación del formato de registros magnéticos en un disco magnético;
- 10 - la figura 2 es un esquema funcional de la circulación de datos de un microordenador programado utilizado en la presente invención; y
- la figura 3 ilustra la lógica incluida en una unidad de mando de archivo de disco, utilizada a los fines
15 de la detección de marcas de acceso.

En la fig. 1 se muestra un disco 10 magnéticamente grabado, que consta de una pluralidad de pistas 11 de registro o grabación, cada una de las cuales puede estar dividida en una pluralidad de sectores 12. El formato de cada uno de los sectores 12 es el que se representa en 13.

En cada una de las pistas 11 de registro o grabación habrá una marca de índice 14 precedida de un hueco 15, que señala o significa el principio del sector 1. Las porciones grabadas indicadas con "GAP" ("hueco") se utilizan
25 para la sincronización, para los datos siguientes. El primer campo significativo de un sector es el campo de sincronismo (SYNC), que consta de seis baterías de bitios (de 8 bitios binarios) de "ceros" binarios grabados. El campo de sincronismo se utiliza para dar una indicación inicial de
30 que el campo inmediato sucesivo va a ser probablemente el

1 campo 16 de marca de acceso, y sincroniza la circuitería de
detección. El campo 16 de marca de acceso (AM) precede a va-
rias baterías de bitios de datos binarios codificados, deno-
minados "campo de ID", que dan la identidad del sector que
5 se va a comparar con la identidad de un sector que se esté
buscando. El campo de verificación cíclica (CYCLIC CHECK) es
un campo de representaciones de código de detección de erro-
res, para el campo de ID. El campo de sincronismo inmediato
sucesivo precede a otro campo 17 de marca de acceso, codifi-
cado con datos identificativos del campo inmediato sucesivo,
10 que es un campo de datos o un campo de control. El campo cí-
clico inmediato que sigue al campo de datos es otro campo de
verificación cíclica redundante, generado para el campo de da-
tos precedente. El hueco 3º (GAP 3) señala el final del pri-
mer sector.

15 Para ahorrar tiempo en la búsqueda de un sector
particular, una vez que la unidad de mando de archivo haya
recibido la identificación del sector requerido, empezará
una búsqueda inmediata para localizar, y adaptar o poner
20 en concordancia, el campo de ID. Puesto que la información,
cualquiera que sea, registrada en una pista particular pue-
de adoptar muchas formas, es posible que un carácter detec-
tado en un campo de datos o en cualquier otro campo pueda,
de hecho, concordar con la identificación codificada del cam-
po de ID del sector que se está buscando. Por lo tanto, la
25 unidad de mando de archivo debe estar informada de la locali-
zación exacta de la cabeza reproductora magnética, para te-
ner la seguridad de que la información que se está detectan-
do es, de hecho, el campo de identificación de un sector cual-
quiera. El método para asegurarse de que se está detectando
30

1 el campo de identificación (ID) exige que éste vaya precedi-
do del campo 16 de marca de acceso, el cual, a su vez, va
precedido por el campo de sincronismo consistente en seis
5 baterías de bitios de "ceros". Asimismo, como los datos pue-
den estar grabados de muy diferentes formas, es concebible
que un campo de datos pudiese constar de seis baterías de bi-
tios de "ceros" binarios, seguidas de unos datos codificados
que fuesen idénticos a los datos contenidos en el campo 16
de marca de acceso, y también seguidas de datos que, concebi-
10 blemente, pudiesen concordar con los datos codificados del
campo de ID.

Para ofrecer la absoluta seguridad de que se es-
tán percibiendo el campo de sincronismo, el campo 16 de mar-
ca de acceso y el campo de ID, el campo 16 de marca de acce-
15 so no sólo está codificado con una particular secuencia de
datos, sino que se omiten o pasan por alto algunas transicio-
nes de flujo de las que normalmente aparecen en instantes de
de reloj o sincronismo. Por lo tanto, es rasgo característi-
co de la presente invención que se prevé la circuitería ne-
cesaria para primero detectar una secuencia de ceros bina-
rios en el campo de sincronismo, seguida de la detección de
20 los datos contenidos en el campo de marca de acceso, en
unión de un diseño o pauta de distribución de señales de re-
loj presentes y señales de reloj omitidas.

25 La representación gráfica indicada en 18 es la de
las transiciones de flujo magnético grabadas en el disco mag-
nético para delinear el campo 16 de marca de acceso. Como an-
tes se ha dicho, se utiliza, y se representa en 18, una gra-
bación magnética de doble frecuencia. La representación "C"
30 identifica las transiciones de flujo producidas en los perio-

1 dos de reloj. El símbolo $\bar{0}$ indica una señal de reloj omiti-
da o ausente. En la grabación de doble frecuencia, la detec-
ción de la frecuencia "F" tiene lugar cuando se detectan se-
ñales de reloj adyacentes sin señal intermedia, y representan
5 un "cero" binario. Cuando las transiciones de flujo se pro-
ducen a la frecuencia "2F", ha aparecido una transición de
flujo entre dos transiciones de flujo de reloj, y ello re-
presenta un "uno" binario.

10 Como se indica en 13, se representan dos campos,
16 y 17, de marca de acceso. La codificación de datos del
primer campo 16 de marca de acceso se ilustra en la gráfica
18 y consta de la codificación binaria hexadecimal FE, que
en forma binaria está representada por el grupo 11111110. La
representación FE identifica el campo de marca de acceso
15 que precede a un campo de ID. El segundo campo 17 de marca
de acceso puede preceder a un campo de datos y, por lo tan-
to, está codificado con una codificación hexadecimal FD; y,
cuando el segundo campo 17 de marca de acceso preceda a una
información de control que contenga campos, estará codifica-
da en F8.
20

Una limitación en el uso de señales de reloj pre-
sentes y omitidas, para la detección de marcas de acceso,
exige que, si hay ausencia u omisión de señales de reloj, se
deba grabar necesariamente un "uno" binario a cada lado del
25 período del período de reloj ausente, para mantener en sin-
cronismo el oscilador de frecuencia variable.

La fig. 2 es un esquema funcional de las partes
principales de un microordenador utilizado en la presente
invención. El control básico del ordenador se hace por me-
30 dio de un reloj 19 que, por medio de un generador 20 de im-

1 pulsos de regulación de tiempo y unos controles de ciclo 21,
proporcione cierto número de señales de control T0, T1, ...
Tn. La señal Tn indica el final de la ejecución de una ins-
5 trucción de programa contenida en un registro de OP y desco-
dificador 22. La memoria 23 contiene datos, una secuencia
de instrucciones de programa y otra información de control.
La selección para acceso o toma de datos o instrucciones de
programa de la memoria 23 se hace bajo el control de un re-
10 gistro 24 de acceso a la memoria. El registro 24 de acceso
a la memoria recibe doce bits binarios de información de
acceso procedente de varias fuentes, entre las que se inclu-
ye un registro 25 de acceso de instrucciones que, en respues-
ta a un incrementador 26 de +1, tiene por efecto el de obte-
ner acceso a instrucciones secuenciales de la memoria 23 pa-
15 ra su transferencia al registro 22 de OP.

En lugar de tenerse acceso a la instrucción secuen-
cial sucesiva utilizando el registro 25 de acceso de ins-
trucciones, las instrucciones de "salto" o bifurcación (rup-
tura de la secuencia normal de instrucciones) descodifica-
20 das en el registro 22 de OP harán que la información de ac-
ceso se introduzca en el registro 24 de acceso a la memoria,
originándose así el acceso a una instrucción distinta de la
que sigue en la secuencia. Con el fin de permitir el salto
a instrucciones de una nueva secuencia, y el retorno a la
25 secuencia anterior, se prevé un registro 27 de enlace de re-
torno y un registro 28 de copia o de apoyo. Otra fuente de
información de acceso es la constituida por unos registros
seleccionables para acceso, denominados registros de acceso
de datos (DAR) y dispuestos en una pila o "paquete" 29.

30 El camino de circulación de datos dentro del orde-

1 nador incluye una unidad de aritmética y lógica (ALU) 30, cu
ya salida puede presentarse a una pila 31 de registros de da
tos. Los datos procedentes de la memoria 23 se transferiran,
5 por medio de un ensamblador 32, a un registro A (33) o a un
registro B (34). Los registros 33 y 34 pueden seleccionarse
para acceso por medio de instrucciones de programa, con el
objeto de presentar ocho bitios binarios a una barra colec-
10 tora 35 de salida de datos de I/O, o de periféricos, o pue-
den también seleccionarse para acceso con el fin de recibir
datos por una barra colectora 36 de llegada de datos de I/O.
La descodificación de instrucciones de I/O en el registro
22 de OP hace que se presenten ocho bitios binarios en una
barra colectora 37 de acceso de I/O. Los ocho bitios bina-
15 rios de información de acceso presentes en la barra colec-
tora 37 pueden ser descodificados en otros dispositivos, ta-
les como una unidad de mando o control de archivo, de tal ma-
nera que la información presente en la barra colectora 37 de
acceso de I/O pueda ser utilizada para identificar particu-
20 lares registros, circuitos de enganche o "cerrojo" o inclu-
so circuitos lógicos individuales, a los fines de control
o detección por parte del ordenador.

Una instrucción particular de programa, esencial
para la detección de marcas de acceso utilizando el ordena-
dor, es la instrucción denominada de "saltar y esperar", o
25 salto y espera (BAW). Esta instrucción, al ser descodifica-
da en el registro 22 de OP, tendrá por efecto el de habilitar
o preparar un circuito de coincidencia 38 que responda a la
señal final Tn de control de la instrucción de salto y espe-
ra activando un circuito de enganche, enclavamiento o "ce-
30 rrojo" 39 que tiene por efecto detener el reloj 19. El "ce-

1 cerrojo" 39 se repondrá o desactivará por medio de una señal
presente en la línea 40 de iniciación de reloj, y recibida
de la circuitería lógica contenida en la unidad de mando del
archivo de disco, que se analizará más adelante. Antes de ac
5 tivarse el cerrojo 39 en respuesta a la instrucción de BAW,
otras señales de control habrán tenido el efecto de utilizar
la porción de acceso de la instrucción de salto y espera
(BAW) del registro 22 de OP, a través del registro 24 de
acceso a la memoria, para traer de la memoria 23 la instruc
10 ción de programa identificada por la instrucción de BAW. Es-
ta instrucción se tendrá disponible a la salida de la memo-
ria 23 en el instante de activarse el cerrojo 39, detenién-
dose el reloj. Al recibirse en el cerrojo 39 la señal 40 de
15 iniciación o puesta en marcha del reloj, el reloj 19 se pon-
drá en marcha, la instrucción se cargará o meterá en el re-
gistro 22 de OP y dará comienzo la ejecución de la instruc-
ción.

La fig. 3 muestra parte de la lógica existente en
una unidad de mando o control de archivo de disco magnéti-
20 co, controlada y percibida por las instrucciones de progra-
ma procedentes del ordenador. Las dos órdenes básicas he-
chas a la lógica, descodificadas por las instrucciones con-
tenidas en el registro 22 de OP de la fig 2, son la orden
de "salir" y la orden de "detectar". Con cada una de estas
25 órdenes básicas, en ciertas líneas de señal que luego se es-
tudian, hay una representación hexadecimal de la informa-
ción presente en la barra colectora 37 de acceso. Los ocho
bitios binarios presentes en la barra colectora 37 de acce-
so, procedentes del ordenador, se descodificarán e identi-
30 ficarán unos "cerrojos" o unas puertas de coincidencia par-

1 ticulares, para ser controlados o detectados respectivamente.

5 En la fig. 3, la información magnética reproducida, compuesta de una secuencia de señales de reloj y de datos, se recibe en una línea 41 de datos de lectura de archivo (FILE READ DATA). Con arreglo a los métodos de grabación magnética de frecuencia doble ya conocidos, la secuencia de señales de reloj y de datos se utiliza en un oscilador 42 de frecuencia variable (VFO) para obtener una regulación automática de tiempo, con el fin de separar las señales recibidas por la línea 41 en señales normalizadas de datos, presentes en una línea 43, y señales normalizadas de reloj, presentes en una línea 44. El oscilador 42 de frecuencia variable, funciona de tal manera que la combinación de señales de reloj y señales de datos proporciona una sincronización. De faltar una larga serie de señales de datos o de faltar, conforme a la presente invención, señales de reloj, se logra un efecto de compensación, o de "volante". A causa del efecto de compensación, en una línea 45 se producen unas señales a una frecuencia basada en el control previo ejercido por las señales de reloj y de datos recibidas por la línea 41. Un circuito de báscula 46 se activará, y desactivará o repondrá, utilizando las señales normalizadas de reloj de la línea 44 y las de reloj con efecto de compensación de la línea 45, con el fin de producir, en unos circuitos de coincidencia 47 y 48, unos impulsos de tiempo de datos (DATA TIME) por la línea 49 y unos impulsos de tiempo de reloj (CLOCK TIME) por la línea 50, respectivamente.

30 Una señal de reloj de mando de archivo (FILE CONTROL CLOCK) se produce en una línea 51 procedente de la sa-

1 lida de un circuito disyuntivo 52, que recibe entradas de un
circuito de coincidencia 53 o de un circuito y/o de coinci-
5 dencia 54. La señal de reloj de unidad de mando de archivo,
de la línea 51, se utiliza en otros circuitos de la unidad
de mando del archivo de disco magnético. Esta señal de reloj
de mando 51 tiene por efecto, cuando un circuito de coinci-
dencia 55 es habilitado por un "cerrojo" 56, el de producir
la señal presente en la línea 40 de la fig. 2, que tiene
por consecuencia poner en marcha el reloj 19 del ordenador.
10 El "cerrojo" 56 estará normalmente en la condición de repues-
to o desactivado, inhabilitándose así el circuito de coinci-
dencia e impidiéndose que éste produzca la señal de inicia-
ción del reloj de ordenador, por la línea 40.

15 En la presente invención, cuando se esté detectan-
do la marca de acceso, el circuito de coincidencia 53 se ve-
rá habilitado por medio de un inversor 57 cuando un cerrojo
58 de puertas de reloj esté en la condición de repuesto. El
cerrojo 58 será activado por una señal presente en la línea
59 procedente del ordenador cuando la unidad de mando de ar-
20 chivo se esté utilizando para inscribir datos en el disco
magnético. Una vez puesto el cerrojo 58 en la condición de
activado, los impulsos procedentes de un oscilador básico por
la línea 60 serán pasados por el circuito de coincidencia
54 para proveer la señal 51 de reloj de mando básica. Esta
25 será la señal de reloj utilizada en el sistema a los fines
de inscribir información en el disco magnético.

30 Antes del momento en que la lógica ilustrada en
la fig. 3 se haga efectiva, la unidad de mando de archivo
que lleva incorporado el ordenador programado habría reci-
bido instrucciones para buscar el campo de ID de sector en

1 una pista particular, con fines de comparación con el sec-
tor de ID deseado, presentado a la unidad de mando de archi-
vo. El ordenador programado incluirá una secuencia de pro-
5 programa de instrucciones utilizada principalmente para compa-
rar el campo de ID detectado, procedente del disco magnéti-
co, con el campo de ID solicitado. Ahora bien, una de las
primeras instrucciones de esa secuencia hará que el ordena-
dor tome una bifurcación del programa en cuestión, con con-
cordancia del campo de ID, saltando a la secuencia de ins-
10 trucciones utilizada en relación con la fig. 3, a los fines
de búsqueda del campo de marcas de acceso asociado a los
campos de ID.

La primera instrucción de programa con que se en-
cuentra el ordenador a los fines de iniciar la búsqueda del
15 campo 16 de marca de acceso asociado a un campo de ID, es una
orden de "salir" ("OUT") recibida por la línea 61. La expre-
sión (B7) entre paréntesis representa la codificación hexa-
decimal contenida en la barra colectora 37 de acceso, proce-
dente del ordenador.

20 En respuesta a la señal presente en la línea 61
se activan y desactivan o reponen varios cerrojos, entre
los cuales están incluidos los mencionados cerrojos 56 de
habilitar la puesta en marcha del reloj y 58 de puerta de
reloj, que respectivamente habiliten el circuito de coin-
25 cidencia 55 y el circuito de coincidencia 53. Esto habilita
la señal de reloj 51 de la unidad de mando de archivo, para
ser generada y sincronizada con señales recibidas en la lí-
nea 41, y permite la iniciación o puesta en marcha requeri-
da del reloj 19 del ordenador por la línea 40, durante el
30 período de detección de marcas de acceso.

1 Otros cerrojos adicionales, afectados por la señal
presente en la línea 61, incluyen un cerrojo 62 de ganancia
alta, un cerrojo 63 de sincronismo de datos, un cerrojo 64 de
inhibición de anillo de bitios y un cerrojo 65 de búsqueda de
5 marcas de acceso (AM). La ejecución de la orden de "salir"
(OUT CMD) presente en la línea 61 pone a la lógica de la fig.
3 en disposición de responder a instrucciones adicionales,
procedentes del ordenador, para detectar la secuencia de da-
tos, señales de reloj y ausencia u omisión de señales de re-
10 loj, que constituyen la marca de acceso. Esto tiene por efec-
to, mediante el funcionamiento del cerrojo 62 de ganancia
alta, el cerrojo 63 de sincronismo de datos y el cerrojo
64 de inhibir el anillo de bitios, el de hacer que el or-
denador responda a, y detecte, el campo de sincronismo de
15 "ceros" binarios que precede al campo 16 de marca de acce-
so en cada sector de datos. El campo de sincronismo, como se
indica en la fig. 1, consta de seis baterías de bitios de
"cero" binario que, con arreglo al método de registro de do-
ble frecuencia, proporciona una secuencia de impulsos sólo
20 en respuesta a unas transiciones de flujo representativas
de períodos de reloj. La función del cerrojo 62 de ganancia
alta es la de controlar el VFO separador 42 de datos con el
fin de sincronizar, lo más pronto posible, con las señales
de reloj que se están recibiendo por la línea 41. El oscila-
25 dor 42 de frecuencia variable (VFO) responde a la condición
de repuesto, o desactivado, del cerrojo 63 de sincronismo
de datos reconociendo el hecho de que no habrá ninguna se-
ñal de "uno" binario recibida en la línea 41 con el propó-
sito de ayudar a la sincronización.

30 La salida del cerrojo 64 de inhibir el anillo de

1 bitios controla un anillo 66 de bitios que tiene ocho posi-
ciones, correspondientes a los ocho bitios binarios que cons-
tituyen un carácter de una batería de bitios registrada en
5 el archivo de disco. Analizándolo con mayor detalle, se pre-
vé un circuito de coincidencia 67 que responda cuando el
anillo de bitios se halla en la posición 0, y es detectado
por una señal presente en la línea 68.

10 Como parte de la búsqueda del campo 16 de marcas
de acceso, una secuencia de instrucciones contenida en el
ordenador incluye una determinada instrucción, identificada
como "orden de detectar" (BB) que genera una señal en una
línea 69 (SENSE CMD), la cual tiene por efecto, en un cir-
cuito de coincidencia 70, el de presentar al ordenador, por
15 la barra colectora de datos que hay en 36, el estado de las
señales de datos percibidas, ya sean "unos" o "ceros" bina-
rios. La secuencia de programa del ordenador es tal que, an-
tes de hacer que la lógica de la fig. 3 tenga el efecto de
detectar la marca de acceso, deben recibirse por lo menos
dieciséis "ceros" binarios del campo de sincronismo prece-
dente. Como el campo de datos de un sector cualquiera par-
ticular también podría tener registrada una amplia secuencia
de ceros binarios, durante la secuencia de búsqueda de por
lo menos 16 ceros binarios, de detectarse un "uno" binario,
20 indicativo de que la cabeza detectora no está en el campo
de sincronismo, se reiniciaría la búsqueda de 16 ceros bi-
narios en sucesión.

25 Si en un momento cualquiera se han detectado quin-
ce ceros binarios, se generará, en la línea 71 una instruc-
ción de ordenador designada como orden de "salir" (BD). La
30 señal presente en la línea 71 tendrá por efecto el de activar

1 el cerrojo 65 de búsqueda de marcas de acceso (AM), el ce-
rrojo 64 de inhibir el anillo de bitios, y reponer el cerro-
jo 62 de ganancia alta. Al activarse el cerrojo 64 de inhi-
bir anillo de bitios, el anillo 66 de bitios se repondrá,
5 yendo a la posición 7^a, en disposición de recibir los ocho
bitios binarios de la secuencia de datos codificados de la
marca de acceso. Además, el cerrojo 62 de ganancia alta se
repone, en preparación para hacer que el oscilador de fre-
cuencia variable (VFO) 42 responda normalmente a las seña-
les recibidas por la línea 41.
10

Una vez que el ordenador haya obtenido por mues-
treo un décimosexto "cero" binario en secuencia, tal como
el indicado en 72, en la fig. 1, una orden de detectar (7D)
presente en la línea 73 examinará el circuito de coinciden-
cia 74 que recibe la señal de reloj normalizada, presente
15 en la línea 44, para su presentación al ordenador en la ba-
rra colectora 36 de llegada de datos. Si la cabeza reproduc-
tora está en realidad "leyendo" la señal de reloj ilustrada
en 75 de la fig. 1, ello representa que éste es el comienzo
de la secuencia de marcas de acceso. De lo contrario, se
guardará el cero binario detectado por el circuito de coin-
cidencia 74, y la lógica indicada en la fig. 3 estará en
disposición de reconocer el primer "uno" binario indicado
20 con el número 76 en la fig. 1. Dieciséis ceros binarios po-
drían haberse detectado muy temprano en el campo de sincro-
nismo que precede a la marca de acceso 16. Esto pone a la
circuitaría de la fig. 3 en disposición de detectar la pri-
mera señal de datos 76 del campo 16 de marca de acceso.
25

Al detectarse en la línea 43 de la fig. 3 el pri-
mer "uno" binario (indicado en 76 en la fig. 1), el circui-
to de coincidencia 77 dará una salida que repone el cerrojo
30

1 64 de inhibir el anillo de bitios, y activa el cerrojo 63
de sincronismo de datos. El anillo 66 de bitios, por lo
tanto, avanzará al nivel de recuento de cero, detectado por
5 el circuito de coincidencia 67, y los bitios binarios de
la porción de datos del campo 16 de marca de acceso serán
detectados. Para tener la seguridad de que la porción de da-
tos de la marca de acceso se acumula adecuadamente, el ani-
llo de bitios 66 debe estar en sincronismo de caracteres,
10 muestreado o analizado por el circuito de coincidencia 67
antes de dejar seguir el resto de la detección de la marca
de acceso. El cerrojo 63 de sincronismo de datos, que se es-
tá activando por la acción del "uno" binario 76 de la por-
ción de datos de la marca de acceso, tiene por efecto el de
15 hacer que el separador de datos 42 (VFO) se sincronice con
las señales de datos que se estén recibiendo en la línea 41
y con los impulsos de reloj 45 de efecto compensador, en
vista del hecho de que la secuencia de señales de impulso en
41 puede ahora incluir señales de reloj "ausentes".

20 Los ocho bitios binarios representativos de la
porción de datos de la marca de acceso, esto es, la secuen-
cia de "unos" y "ceros" binarios, se acumulará en un seria-
dor-deseriodor (SER-DES) 78 de ocho bitios que forma parte
de la unidad de mando de archivo. La porción de datos de la
marca de acceso, presentada en la línea 43, se acumulará en
25 el seriador-deseriodor 78.

A medida que la porción de datos de la marca de
acceso se va acumulando, una serie de órdenes de detectar
(7D) presente en la línea 73 examinará o muestreará el circui-
to de coincidencia 74 para presentar al ordenador, por la
30 barra colectora de datos en 36, el estado de las señales de

1 reloj recibidas. La secuencia de instrucciones del ordena-
dor para percibir la presencia de señales de reloj, o au-
sencia de señales de reloj, comprobar el estado de las seña-
les de reloj y proseguir con la detección de la marca de
5 acceso, o reiniciar la detección, requiere una secuencia bá-
sica de instrucciones. Esta secuencia incluye el uso de la
instrucción de "salto y espera" (BAW) antes mencionada, la
orden de percibir (SENSE CMD) indicada en la línea 73 y una
instrucción de salto que comprueba el estado de la señal de
10 reloj percibida, tal como viene presentada en la barra co-
lectora de datos, en 36, desde el circuito de coincidencia
74. La verificación del estado de la señal de reloj perci-
bida en el circuito de coincidencia 74 se hace por medio de
una instrucción de salto que tiene por efecto el de traer
15 de la memoria 23 del ordenador una instrucción secuencial
siguiente, si el estado de la señal de reloj percibida es el
apropiado con arreglo al formato indicado en 18, en la fig.
1. Si el estado de la señal de reloj percibida no es el apro-
piado de acuerdo con la secuencia indicada en 18, la instruc-
20 ción de salto tiene por efecto el de hacer que la secuencia
de programa vuelva o retorne a la instrucción que, una vez
descodificada, produce la señal presente en la línea 61. Es-
to tendrá el efecto de reponer o desactivar la lógica de la
fig. 3, y la secuencia de programa del ordenador, reinicián-
25 dose una búsqueda del campo de sincronismo precedente y, por
lo tanto, del campo 16 de marca de acceso.

A medida que prosiga la detección adecuada de la
secuencia de señales de reloj y omisión de señales de reloj,
se pondrá en ejecución una instrucción de ordenador dando,
30 en una línea 79, una señal para indicar que la detección ha

1 proseguido hasta el punto indicado en 80 en la figura 1 y
que tendrá el efecto de reponer el cerrojo 65 de búsqueda
de marcas de acceso y el cerrojo 63 de sincronismo de datos.
5 La secuencia de programa proseguirá como antes se ha dicho,
pero el cerrojo 63 de sincronismo de datos, al estar respues
to o desactivado, tendrá el efecto de controlar el VFO sepa
rador de datos 42, dando a conocer que ha de empezar ahora
a sincronizar usando transiciones de reloj, en lugar de
10 transiciones de datos, puesto que ahora habrá señales de
reloj presentes en la línea 41 con arreglo a lo indicado en
18 en la fig. 1.

Al proseguir la secuencia de programa del ordena
dor, en respuesta a la recepción del estado correcto y ade
cuado de las señales de presencia y ausencia de reloj en la
15 línea 41, habrá una prueba final del estado de la secuencia
de señales y omisión de señales de reloj, que comprueba la
señal de reloj indicada en 81. Si está bien, se habrá reci
bido la secuencia apropiada de señales de reloj y omisión
de reloj, de la marca de acceso. En este momento, se hace
20 una comprobación final de la detección de una marca de acce
so apropiada, generando para ello una señal en la línea 82
que haga que el circuito de coincidencia 83 tenga el efecto
de transferir al ordenador los datos recibidos y almacenados
en el seriador-deseriador 78, para su comparación con el con
25 tenido esperado de datos FE, indicándose con ello que la mar
ca de acceso detectada estaba en efecto asociada a un campo
de ID. Una vez efectuada esta verificación final, la secuen
cia de programa retornará a la secuencia primitiva que se
introdujo para la comparación del campo de ID.

30 Para cada señal de reloj que se vaya a percibir y

1 probar, hay un grupo de tres instrucciones de programa a
las que se tiene acceso desde la memoria 23 del ordenador.
La primera instrucción de cada secuencia es una instrucción
de "salto y espera", que detiene el reloj 19 de la fig. 2
5 tras el acceso de la segunda instrucción de la secuencia
utilizada para percibir los datos de la señal de reloj. La
instrucción que percibe o detecta las señales de reloj y la
omisión de señales de reloj se hará efectiva al generarse la
señal 51 de reloj de control de archivo, habilitándose el
10 circuito de coincidencia 55 de la fig. 3 para producir la
señal 40 de iniciación de reloj. La instrucción de percibir
se pondrá en ejecución, almacenándose una indicación del es-
tado de la señal de presencia o ausencia de reloj recibida
en la línea 41. La tercera instrucción de cada una de estas
15 secuencias es la instrucción de "salto a condición de reloj"
que, cuando el estado de la señal de reloj es el esperado
por la instrucción de salto, hará que se tenga acceso a la
instrucción siguiente de la secuencia. Esta será la primera
instrucción de un grupo sucesivo, o sea otra instrucción de
20 "salto y espera". Si el estado del reloj no es el esperado
por la instrucción de salto, la porción de acceso de la ins-
trucción de salto hará que la secuencia de programa vuelva a
la instrucción que genera la señal en la línea 61, instruc-
ción ésta que, en la secuencia, precede a los grupos de ins-
25 trucciones compuestos de las instrucciones de "salto y es-
pera", "detectar" y "salto".

Se ha mostrado, pues, la lógica usada en combina-
ción con las secuencias de programa de un ordenador para per-
cibir o detectar el estado y la secuencia apropiada de seña-
30 les de reloj y omisión de señales de reloj. En ausencia de

1 una instrucción, tal como la de "salto y espera", sería di-
fícil sincronizar el ordenador, relativamente lento, con las
señales de presencia y ausencia de reloj, más rápidas. Si
hubiese variaciones en la sincronización de los dos sistemas,
5 sería posible que se generasen señales de presencia o de omi-
sión de reloj en un momento, durante el funcionamiento cí-
clico del ordenador, en que no estuviese adecuadamente en
ejecución una particular instrucción de detectar señales
de reloj, de tal modo que, antes del instante en que se pu-
10 diera acceder a una nueva instrucción de detectar, en la se-
cuencia apropiada, la señal de reloj que se fuese a probar
habría desaparecido, dando resultados erróneos.

REIVINDICACIONES

20 Los puntos de invención propia y nueva que se pre-
sentan para que sean objeto de esta solicitud de Patente de
Invención en España, por VEINTE años, son los que se recogen
25 en las reivindicaciones siguientes:

30 1ª.- Un circuito de detección de señales, que in-
cluye: una fuente de información compuesta de una secuencia
o sucesión de señales; unos medios de regulación de tiempo
para generar una señal de reloj de control; un ordenador pro-
gramado con memoria, que incluye un reloj de ordenador que

1 define un ciclo de ordenador, una memoria accesible para
instrucciones de programa, una barra colectora de datos, me-
dios de acceso a instrucciones para normalmente obtener ac-
ceso a las instrucciones tomándolas en secuencia de dicha me-
5 memoria accesible, y medios de descodificación, en el que ca-
da ciclo de ordenador comienza con la ejecución de una fun-
ción especificada por dichos medios de descodificación de
instrucciones, y que además incluye medios, conectados y ca-
paces de responder a dichos medios de descodificación de ins-
10 trucciones, para señalar la descodificación de una primera
instrucción con el fin de obtener acceso a una segunda ins-
trucción, y conectados a dicho reloj del ordenador para in-
hibir el comienzo del siguiente ciclo de ordenador; unos
medios conectados a dicho reloj de ordenador, y conectados y
15 capaces de responder a dicha señal de reloj de control, pa-
ra iniciar el siguiente ciclo de ordenador; y unos medios,
conectados y capaces de responder a dichos medios de desco-
dificación de instrucciones, señalando la descodificación de
dicha segunda instrucción, para indicar el estado de cada se-
20 ñal procedente de dicha fuente de información.

2ª.- El circuito de detección de señales de la
reivindicación 1ª, en el que dicho ordenador incluye además:
unos medios, conectados y capaces de responder a dichos me-
dios de descodificación de instrucciones, señalando la des-
25 codificación de una tercera instrucción, para comprobar el
estado de dichos medios indicadores dando una señal de re-
sultado; y unos medios determinantes de acceso, conectados y
capaces de responder a dicha señal de resultado, y conecta-
dos a dichos medios de acceso a instrucciones, para obtener
30 acceso selectivamente a la siguiente instrucción de la secuen-

[Handwritten signature]

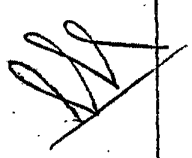
1 cia, o a otra instrucción adicional.

5 3ª.- El circuito de detección de señales de la re-
vindicación 2ª, en el que dichos medios de comprobar del ci-
tado ordenador incluyen medios para comprobar el estado par-
ticular de los citados medios indicadores, y para generar,
sea una primera, sea una segunda señal de resultado; y di-
chos medios determinantes de acceso son capaces de responder
a dicha primera señal de resultado obteniendo acceso a dicha
siguiente instrucción de la secuencia, y son capaces de res-
ponder a dicha segunda señal de resultado obteniendo acceso
a dicha instrucción adicional.

15 4ª.- El circuito de detección de señales de la
reivindicación 3ª, en el que dicha memoria accesible inclu-
ye una pluralidad de grupos, que incluye un grupo final, de
dichas instrucciones primera, segunda, tercera y siguiente
de la secuencia, siendo dicha instrucción siguiente otra de
dichas primeras instrucciones; y dicha instrucción adicional
precede, en la ejecución secuencial, a la primera de dicho
grupo de instrucciones primera, segunda y tercera.

20 5ª.- El circuito de detección de señales de la re-
vindicación 4ª, en el que: dicha fuente de información inclu-
ye medios para generar una secuencia prefijada y un número
prefijado de señales y de señales de omisión; y dicha plura-
lidad de grupos de dichas instrucciones primera, segunda y
tercera es igual a dicho número prefijado, y cada una de di-
chas terceras instrucciones comprueba un estado prefijado,
con arreglo a dicha secuencia prefijada; y dicha instrucción
siguiente, que va detrás de dicha tercera instrucción del ci-
tado grupo final, tiene el efecto de proporcionar una indica-
ción de secuencia completa.

30



1 6ª.- El circuito de detección de señales de la
reivindicación 5ª, en el que dicha fuente de información
incluye medios para generar una secuencia prefijada de seña
5 les alternantes entre señales de reloj y señales de datos;
y dichos medios indicadores de estado son capaces de respon
der a dichas señales de reloj indicando la presencia o au
sencia de las mismas.

10 7ª.- El circuito de detección de señales de la
reivindicación 6ª, en el que se incluyen además: unos me
dios de memoria o almacenaje de datos, conectados y capa
ces de responder a unas señales de datos procedentes de di
cha fuente de información, para almacenar dicha secuencia
de señales de datos; y unos medios, conectados y capaces de
15 responder a dicha indicación de secuencia completa y a di
chos medios de almacenaje de datos, para trasladar o trans
ferir dichas señales de datos a los medios de utilización.

8ª.- Un circuito de detección de señales.

20 Tal y como se ha descrito en la Memoria que ante
cede, representado en los dibujos que se acompañan y con los
fines que se han especificado.

Esta Memoria consta de VEINTICINCO hojas escritas
a máquina por una sola cara.

Madrid, 18. FEB. 1977

P.A. Oscar de Elizaburu
Por Poder

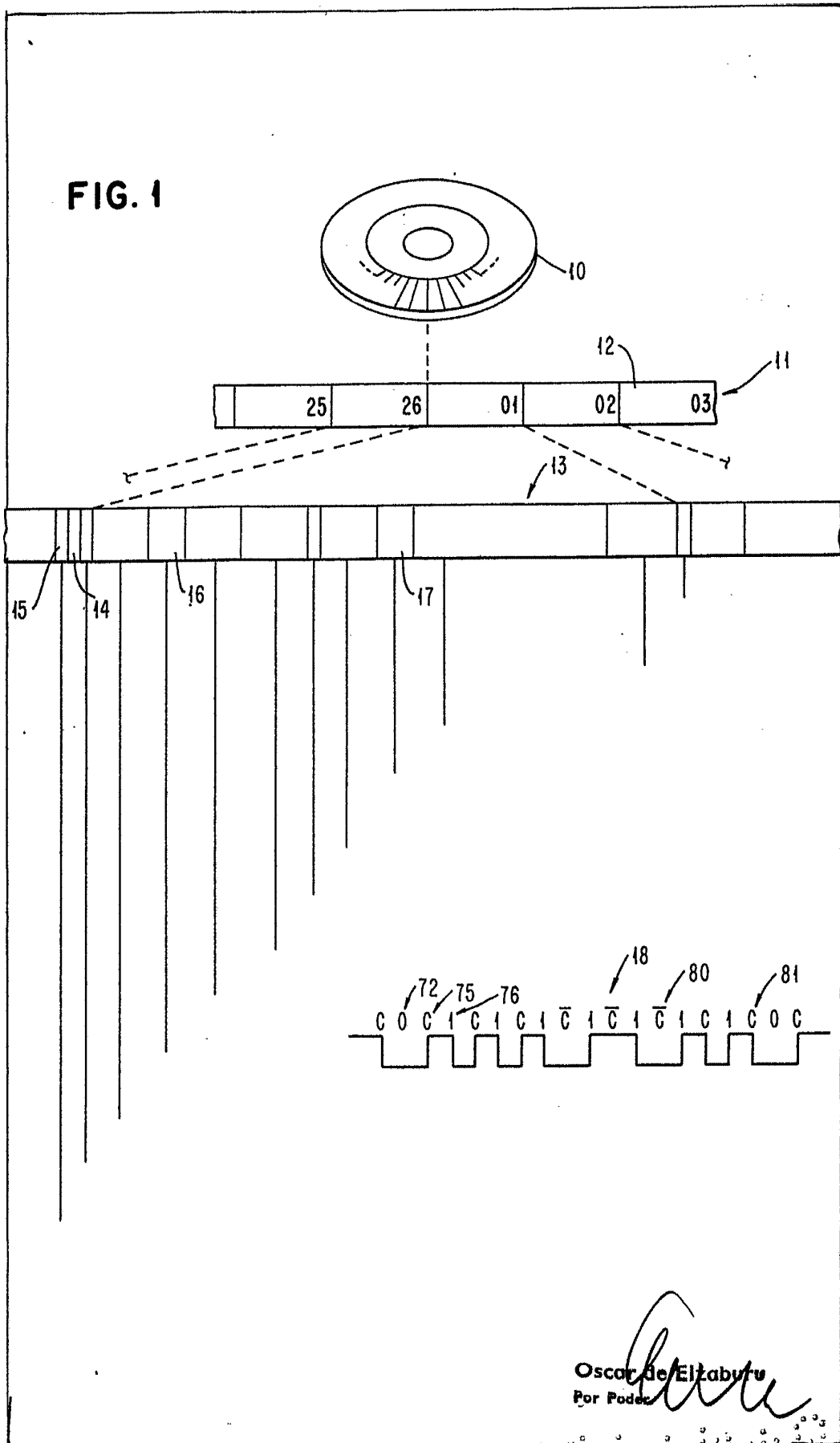
25

30

VAL.-

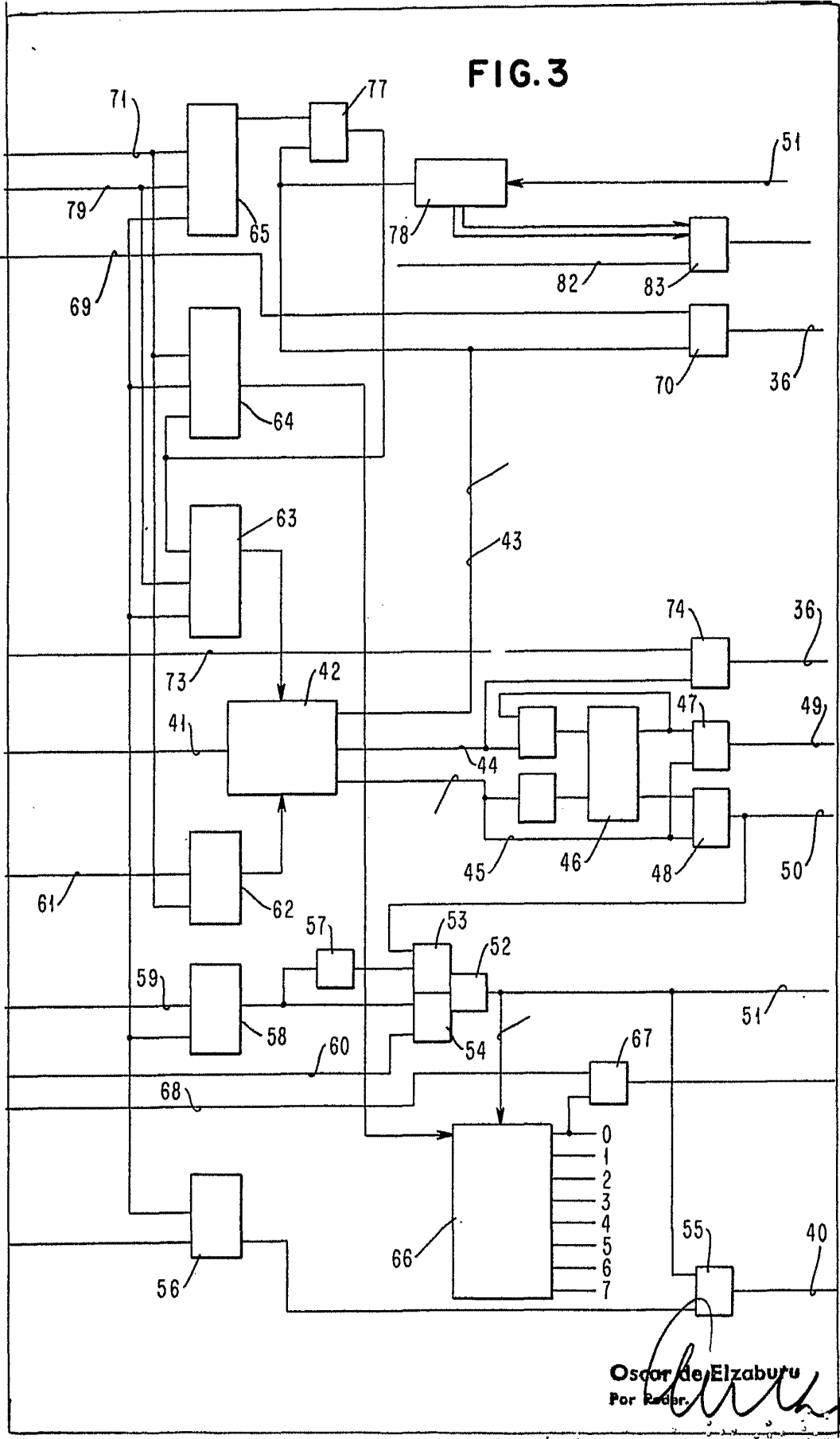
[Handwritten signature]

FIG. 1



Oscar de Elizaburu
Por Poder

FIG. 3



Oscar de Elizaburu
Por Redar.