

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

⑩ ES	⑪ NUMERO	⑬ A 1
	21	
	⑭ FECHA DE PRESENTACION	
	22	30-3-1977

PATENTE DE INVENCION

P.- 65.311
BU9-75-013

⑯ PRIORIDADES:	⑳ FECHA	㉑ PAIS
㉒ NUMERO		
672.197	31-3-76	E.U.A.

④7 FECHA DE PUBLICIDAD	⑤1 CLASIFICACION INTERNACIONAL	⑥2 PATENTE DE LA QUE ES DIVISIONARIA
	G 11 C	

④4 TITULO DE LA INVENCION

"PERFECCIONAMIENTOS INTRODUCIDOS EN UN DISPOSITIVO DE MEMORIA ORGANIZADO POR PALABRAS"

⑦1 SOLICITANTE (S)

INTERNATIONAL BUSINESS MACHINES CORPORATION

DOMICILIO DEL SOLICITANTE

Armonk, Nueva York 10504, Estados Unidos de América

⑦2 INVENTOR (ES)

Wilbur David PRICER

⑦3 TITULAR (ES)

⑦4 REPRESENTANTE

DON ALBERTO DE ELZABURU MARQUEZ

PRINCIPIOS BASICOS DEL INVENTO

1. Campo del Invento

Este invento se refiere a circuitos integrados
5 semiconductores de memoria, y más en particular a circuitos de memoria que utilizan un condensador para almacenar dígitos binarios de información.

2. Descripción de la Técnica Anterior:

Los circuitos integrados semiconductores de memoria, particularmente los que utilizan celdas que incluyen esencialmente un condensador de almacenamiento y un conmutador, han conseguido altas densidades de celdas de memoria. Uno de los circuitos más simples para proporcionar pequeñas celdas de memoria está descrito en la Patente Norteamericana 3.387.286, presentada el 14 de julio de
10 1967 por R.H. Dennard; cedida al presente cesionario. Cada una de estas celdas utiliza un condensador de almacenamiento y un transistor de efecto de campo que actúa como conmutador para conectar selectivamente el condensador a
15 una línea de percepción de bitios. En las Patentes Norteamericanas 3.811.076, por W. M. Smith y 3.841.926 por R. H. Garnache y W. M. Smith, ambas presentadas el 2 de enero de 1973 y también cedidas al presente cesionario, está
20 expuesta una celda de memoria de transistor de efecto de campo de un solo dispositivo del tipo descrito en la Patente de Dennard anteriormente identificada, realizada con pequeñas dimensiones utilizando una capa de silicio policristalino impurificado separada por un medio dieléctrico dispuesto sobre la superficie de un sustrato semiconductor
25 para formar un condensador de almacenamiento. Estas dos
30

Últimas patentes ilustran también sobre un proceso que utiliza muy eficazmente una capa de aislamiento doble de dióxido de silicio y nitruro de silicio.

5 En la solicitud norteamericana en tramitación cedida al presente cesionario, que tiene el Número de Serie 587.528, presentada el 16 de junio de 1975 por W. D. Pricer y J.E. Selleck, está descrito un conjunto de memoria construido utilizando pequeñas celdas que emplean condensadores de almacenamiento y transistores bipolares.

10 En este último conjunto, que está organizado por palabras, cada uno de los condensadores de almacenamiento de estas celdas tiene simplemente un terminal conéctado a una línea de percepción de bitios independiente mientras que se establece acceso simultáneamente a celdas seleccionadas que

15 forman una palabra utilizando un impulso de palabra para acoplamiento al otro terminal de los condensadores de almacenamiento de esa palabra. Mediante el acceso simultáneo al otro terminal de todos los condensadores de almacenamiento de una palabra particular no se requiere aislamiento entre celdas de la palabra.

20

RESUMEN DEL INVENTO

Un objeto de este invento es crear una celda de memoria mejorada que tiene una superficie muy pequeña que utiliza un único condensador de almacenamiento y un conmutador simplificado.

25

Otro objeto de este invento es crear un conjunto de memoria mejorado que tiene una densidad muy alta.

Aun otro objeto de este invento es crear un conjunto de memoria de muy alta densidad que es simple

30

y poco costoso de fabricación.

Aun un objeto adicional de este invento es crear un conjunto de memoria mejorado en donde el tamaño de cada una de las celdas del conjunto es equivalente solamente a cuatroyveces el área de la intersección de una línea de palabra y una línea de percepción de bitio.

Un objeto adicional de este invento es crear un conjunto de memoria mejorado organizado por palabras al cual se establece acceso mediante una disposición de conmutación muy simple que utiliza tecnología unipolar.

Aún otro objeto de este invento es crear un conjunto de memoria mejorado de alta densidad que tiene celdas organizadas en la forma de una pluralidad de palabras, incluyendo las celdas sustancialmente solo condensadores de almacenamiento formados en la superficie de un sustrato semiconductor sin que se requiera aislamiento en el sustrato entre las celdas de cada palabra.

De acuerdo con las enseñanzas de este invento es producida una celda de memoria en un sustrato semiconductor que tiene un tipo de conductividad dado disponiendo una fuente de cargas en la superficie del sustrato y una primera y una segunda placas conductoras con un medio dieléctrico dispuesto entre el sustrato y las placas. Está conectada una línea de palabra a la primera placa y está conectada una línea de bitio a la segunda placa. Tensiones aplicadas sobre las líneas de palabra y bitio producen capas de inversión en la superficie del sustrato para formar, con las placas, condensadores de inversión. La primera y segunda placas están dispuestas de modo que se forma una capa de inversión continua desde la fuente de carga a

uno de los condensadores de inversión a través de la capa de inversión del otro condensador. La información es almacenada en la celda almacenando cantidades predeterminadas de cargas, preferiblemente electrones, a partir de la fuente de carga en "pozos" de empobrecimiento de portadores producidos por la tensión sobre la línea de bitio.

De acuerdo con las enseñanzas de un aspecto adicional de este invento, se crea un conjunto de memoria semiconductora de circuito integrado producido mediante una tecnología unipolar con celdas muy pequeñas, cada una de las cuales incluye sustancialmente solo un condensador de almacenamiento que tiene una línea de percepción de bitio conectada a uno de los terminales del condensador y una línea de palabra que proporciona acoplamiento al otro terminal del condensador. En una realización de este invento, se produce una fuente de cargas en la superficie de un sustrato semiconductor y se forma una pluralidad de condensadores de inversión también en la superficie del sustrato semiconductor en una relación de separación con respecto a la fuente de cargas. La información es escrita en los condensadores aplicando impulsos de tensión binarios a uno de los terminales de los condensadores, mientras que un impulso de palabra produce capas de inversión en la superficie del sustrato para interconectar en una disposición en serie la fuente de cargas con cada uno de los condensadores. Los impulsos binarios de tensión tienen diferentes magnitudes para representar un bitio de información 0 y 1. Las magnitudes de tensión diferentes producen pozos de empobrecimiento de portadores de profundidad correspondiente en el sustrato.,

Cuando un impulso de palabra conecta los condensadores a la fuente de cargas los pozos más profundos almacenan más cargas, que pueden entonces ser detectadas por determinación de la carga a través de los condensadores de inversión cuando un impulso de palabra conecta nuevamente la fuente de carga con cada uno de los condensadores y las líneas de percepción de bitios están mantenidas a potenciales sustancialmente iguales.

Los precedentes y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción más particular de las realizaciones preferidas del invento, como se ilustra en los dibujos que se acompañan.

BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 es una vista en corte de una realización de un conjunto de memoria semiconductora de acuerdo con el presente invento.

La figura 2 es un diagrama esquemático eléctrico simplificado del conjunto de memoria ilustrado en la figura 1.

La figura 3A es una vista en planta del conjunto de memoria ilustrado en la figura 1, que representa celdas acopladas a dos líneas de palabra.

La figura 3B es un corte tomado a través de la figura 3A según la línea 3B-3B.

La figura 3C es un corte tomado a través de la figura 3A según la línea 3C-3C, y

La figura 4 es una vista en corte similar a la ilustrada en la figura 3B, pero de otra realización del conjunto de memoria semiconductora del presente invento.

DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

Con referencia a la figura 1, con más detalle, está representada una vista en corte del conjunto de memoria del invento, que incluye un substrato 10 semiconductor que tiene dispuestas en el mismo regiones 12 y 14 de difusión. El substrato 10 puede ser del tipo de conductividad p, típicamente impurificado con boro, con las regiones 12 y 14 de difusión de tipo n^+ , típicamente impurificadas con fósforo o arsénico. Los terminales 16 y 18 están conectados a las regiones 12 y 14 de difusión, respectivamente, para proporcionar tensiones de polarización adecuadas para producir una fuente de cargas. Está dispuesta sobre la superficie del substrato 10 semiconductor una primera capa 20 de aislamiento que está compuesta preferiblemente por dióxido de silicio. Está formada una segunda capa 22 de aislamiento, preferiblemente compuesta por nitruro de silicio, sobre la primera capa 20 de aislamiento. El espesor de la capa 20 de dióxido de silicio puede ser, por ejemplo, de 500 angstroms y el espesor de la capa 22 de nitruro de silicio puede ser, por ejemplo, de 200 angstroms. Están dispuestas una pluralidad de líneas 24, 26, 28 y 30 conductoras, conectadas mutuamente en paralelo, sobre las capas 22 y 20 aislantes entre las regiones 12 y 14 de difusión. Las líneas conductoras 24, 26, 28 y 30, compuestas preferiblemente por silicio policristalino impurificado, están cubiertas por capas aislantes 32, 34, 36 y 38, respectivamente, de silicio policristalino sometido a tratamiento de oxidación. Está dispuesta una línea 40 metálica sobre las líneas 24, 26, 28 y 30 conductoras en una dirección ortogonal a la dirección de las líneas 24, 26, 28 y 30 con-

ductoras. Las líneas conductoras y la línea metálica están aisladas entre sí por las capas 32, 34, 36 y 38 aislantes. Las líneas 24, 26, 28 y 30 conductoras son porciones de las líneas B1, B2, B3 y B4 de percepción de bitio, y la línea 40 metálica es una porción de una línea W1 de palabra.

En el funcionamiento del conjunto ilustrado en la figura 1, está aplicada una tensión adecuada a los terminales 16 y 18 para proporcionar una fuente de cargas, preferiblemente electrones, procedentes de las regiones 12 y 14 de difusión. Están aplicadas tensiones que representan dígitos binarios a las líneas B1, B2, B3 y B4 de percepción de bitio. Las tensiones aplicadas a estas líneas de percepción de bitio producen pozos de empobrecimiento de portadores en el substrato 10 semiconductor, como se indica por las líneas discontinuas 42, 44, 46 y 48. La profundidad de cada uno de estos pozos de empobrecimiento depende de la magnitud de la tensión aplicada a las respectivas líneas 24, 26, 28 y 30 conductoras. Estas líneas 24, 26, 28 y 30 conductoras, junto con los pozos de empobrecimiento y las capas 20 y 22 de aislamiento dobles, forman los condensadores 50, 52, 54 y 56 de almacenamiento de una línea W1 de palabra definida por la línea 40 metálica. Puede verse en la figura 1 que los pozos 42 y 46 de empobrecimiento de portadores asociados a los condensadores 50 y 54 de almacenamiento son más profundos que los pozos 44 y 48 de potencial asociados con los condensadores 52 y 56, respectivamente. En el conjunto ilustrado en la figura 1 se supondrá que los pozos 42 y 46 de potencial más profundos están previstos para representar un bitio 1 de información binaria, mientras que los pozos 44 y 48 menos profundos están destinados a representar

un bitio 0 de información binaria. Con el fin de almacenar información en los condensadores 50, 52, 54 y 56, es necesario introducir cargas en los pozos de potencial de estos condensadores desde las regiones 12 y 14 de difusión. Para introducir cargas de las fuentes 12 y 14 de carga en los pozos 42, 44, 46 y 48 de empobrecimiento de portadores se produce un camino de conducción selectivamente entre las fuentes 12 y 14 y cada uno de los pozos 42, 44, 46 y 48 de empobrecimiento. Este camino es producido creando regiones 58 adicionales de empobrecimiento de portadores en la superficie del substrato 10 semiconductor entre las regiones 12 y 14 de difusión y las regiones 42 y 48 de empobrecimiento, respectivamente, y también entre las regiones 42 y 44, 44 y 46, y 46 y 48 de empobrecimiento. Estas regiones 58 de empobrecimiento son producidas por un impulso de palabra que tiene una polaridad positiva aplicado a la línea W1 de palabra. Como es sabido, las cargas fluyen desde las regiones 12 y 14 de difusión a través de las regiones 58 de empobrecimiento de portadores en pozos de potencial que están a un potencial inicialmente más positivo que el potencial aplicado a los terminales 16 y 18 para formar una capa de inversión en la superficie del substrato 10. Después que se han llenado de cargas los pozos 42, 44, 46 y 48 de empobrecimiento finaliza el impulso de palabra y las regiones 42, 44, 46 y 48 de empobrecimiento, que forman ahora capas de inversión, son aisladas de las fuentes 12 y 14 de cargas y entre sí. La tensión presente sobre las líneas B1, B2, B3 y B4 de bitio que representa la información binaria es eliminada después que ha finalizado el impulso de línea de palabra y permanecen en el substrato 10 grupos o paquetes de carga de dos

magnitudes diferentes para representar los dígitos binarios almacenados. En un conjunto preferido de acuerdo con este invento, es suministrado a todas las líneas de bitio en todos los instantes un potencial de reposo de aproximadamente + 5 voltios. Dependiendo de los datos a ser escritos en los condensadores 50, 52, 54 y 56 de almacenamiento para almacenar una palabra dada, las líneas B1, B2, B3 y B4 de bitio seleccionadas tienen sus tensiones elevadas de + 5 voltios a + 10 voltios y es aplicado a la línea W1 de palabra un impulso de palabra de aproximadamente + 5 voltios. Para leer la información almacenada en los condensadores 50, 52, 54 y 56, es aplicado a la línea W1 de palabra nuevamente un impulso de + 5 voltios, permaneciendo al potencial de reposo las líneas de bitio, para conectar todos los condensadores a la tensión de referencia en los terminales 16 y 18. Las líneas de bitio que habían estado sometidas a una tensión de + 10 voltios mientras tenía lugar la operación de escritura, es decir las que almacenan un bitio 1 de información, experimentarán una señal de descarga positiva relativamente fuerte, mientras que las otras líneas de bitio que representan un bitio 0 de información recibirán una señal sustancialmente de magnitud cero. Alternativamente, si se desea, el potencial de reposo aplicado sobre las líneas de bitio puede ser de + 10 voltios, mientras que la tensión de excitación de bitio puede ser bajada a + 5 voltios cuando se almacena información, por ejemplo, en los condensadores de almacenamiento que han de almacenar bitios 0 de información binaria.

Con el fin de comprender con mayor claridad el invento, está representado en la figura 2 un diagrama

eléctrico esquemático simplificado del conjunto de memoria ilustrado en la figura 1 en donde las mismas cifras de referencia indican elementos similares. Los elementos de principio del conjunto ilustrados en la figura 1 están representados en la figura 2 como líneas B1, B2, B3 y B4 de bitio conectadas a las placas 24, 26, 28 y 30, respectivamente. Estas placas 24, 26, 28 y 30 junto con las placas 42, 44, 46 y 48, identificadas como regiones de empobrecimiento de portadores o capas de inversión en relación con la figura 1, forman los condensadores 50, 52, 54 y 56 de almacenamiento, respectivamente. Las placas 42, 44, 46 y 48 están conectadas a un potencial V_{ref} de referencia a través de los conmutadores 58, indicados también como regiones de empobrecimiento o capas de inversión en relación con la figura 1, cuando se aplica el impulso de palabra a la línea W1 de palabra de la figura 1 para activar los conmutadores 58 simultáneamente. Los conmutadores 58 funcionan simultáneamente puesto que la línea W1 de palabra que incluye la línea 40 metálica, como puede verse en la figura 1, está en contacto íntimo con la capa 22 de nitruro de silicio en las zonas comprendidas entre los condensadores 50, 52, 54 y 56 y entre los condensadores 50 y 56 y las regiones 12 y 14 de difusión, respectivamente, para producir las regiones 58 de empobrecimiento de portadores de interconexión. Puede verse que aplicando tensiones de magnitud superior a, por ejemplo, las líneas B1 y B3 de bitio cuando están cerrados los conmutadores 58, se almacena una carga mayor en los condensadores 50 y 54 que la que se almacena en los condensadores 52 y 56. La diferencia de tensión en estos condensadores puede en-

tonces detectarse fácilmente mediante técnicas de medida de tensión conocidas.

En la figura 3A está dispuesta una vista en planta de un conjunto de memoria que muestra dos líneas W1 y W2 de palabra. La línea W1 de palabra es la misma línea de palabra ilustrada en corte en la figura 1. La vista en corte representada en la figura 1 está indicada en la figura 3A como tomada según la línea 1-1 en dicha figura 3A. La línea W2 de palabra es similar a la línea W1 de palabra y tiene como porción de la misma otra línea 60 metálica que es similar a la línea 40 metálica de la línea W1 de palabra. Las líneas W1 y W2 de palabra están conectadas a un excitador 62 de palabra que produce los impulsos de palabra necesarios para las líneas W1 y W2 de palabra. Las líneas W1 y W2 de palabra comparten las líneas B1, B2, B3 y B4 de bitio que están conectadas a la unidad 64. La unidad 64 incluye cualesquiera excitadores de bitio adecuados, amplificadores de percepción, y una fuente de polarización. En instantes adecuados la unidad 64 produce impulsos de bitio para escribir información en los condensadores 50, 52, 54 y 56 de almacenamiento en cooperación con un impulso que aparece sobre una línea seleccionada de las líneas W1 y W2 de palabra. Cuando se lee información de los condensadores 50, 52, 54 y 56 de almacenamiento, los excitadores de bitio están desconectados de las líneas B1, B2, B3 y B4 de bitio y los amplificadores de percepción están conectados a estas líneas de bitio, como es bien conocido en la técnica. Puesto que las líneas de bitio que incluyen las líneas 24, 26, 28 y 30 conductoras tienen preferiblemente un potencial de reposo de aproximadamente + 5 vol

5 tios, puede ser utilizada la unidad 64 para proporcionar la tensión de polarización de ± 5 voltios para estas líneas conductoras. Aunque los condensadores 50, 52, 54 y 56 a lo largo de una línea de palabra no requieren aislamiento mutuo, los condensadores asociados con una de las líneas W1 y W2 de palabra deben estar aislados de los condensadores de la obra de las líneas W1 y W2 de palabra. Consiguientemente, como se indica en las figuras 3A, 3B, que representa una vista en corte tomada a lo largo de 10 las líneas 3B-3B de la figura 3A, y la figura 3C, que es una vista en corte tomada a través de la línea 3C-3C de la figura 3A, están dispuestas bandas 66 gruesas de óxido para aislar las líneas de palabra entre sí. Puede comprenderse que el conjunto de memoria ilustrado en las figuras 15 3A, 3B y 3C, que tiene dos líneas W1 y W2 de palabra, funciona del mismo modo que lo hace el conjunto ilustrado en la figura 1 del dibujo excepto en que deberá comprenderse adicionalmente que el excitador 62 de palabra responde a circuitos conocidos, no representados, que seleccionan 20 solamente una línea de palabra a la vez. Consiguientemente, es seleccionada la línea W1 de palabra asociada con los condensadores 50, 52, 54 y 56 de almacenamiento, o bien es seleccionada la línea W2 de palabra asociada con condensadores de almacenamiento similares a los condensadores 50, 25 52, 54 y 56. Los condensadores de almacenamiento asociados con la línea W2 de palabra están situados en la intersección de las líneas 24, 26, 28 y 30 conductoras y la línea 60 metálica de la línea W2 de palabra. Cuando el conjunto de memoria de este invento funciona con dos o más líneas 30 de palabra, la tensión aplicada a las regiones 12 y 14

de difusión debe tener un valor tal que no se produzca ninguna perturbación, o bien se produzca una perturbación pequeña, en las celdas de memoria de las líneas de palabra que no son seleccionadas.

5 Deberá observarse que la tensión aplicada a los terminales 16 y 18 para introducir cargas en el substrato 10 para los pozos 42, 44, 46 y 48 de potencial deberá tener una magnitud tal que las regiones 12 y 14 de difusión de tipo n^+ produzcan una alimentación suficiente de electrones para llenar los pozos en un período de tiempo corto. 10 Un ejemplo de magnitudes y polaridades de tensión adecuadas para el conjunto ilustrado en las figuras 3A, 3B y 3C es: -3,0 voltios aplicados al substrato 10 y aproximadamente $+3,5$ a $+4,0$ voltios aplicados a cada uno de los 15 terminales 16 y 18 cuando la tensión aplicada a la línea de palabra está comprendida entre 0 y $+5$ voltios y la tensión aplicada a las líneas de bitio está comprendida entre $+5$ y $+10$ voltios. Deberá observarse también que, puesto que este conjunto de memoria utiliza celdas dinámicas, 20 deben ser repuestas a sus valores originales dentro de intervalos de tiempo predeterminados con el fin de evitar la pérdida de la información almacenada. Puede utilizarse cualquier técnica de reposición a valores originales adecuada conocida.

25 En la figura 4 está representada una vista en corte similar a la ilustrada en la figura 3B pero que corresponde a otra realización del conjunto de memoria semiconductor del presente invento. Varios de los elementos representados en la figura 4 son similares a los ilustrados en la figura 3, representando cifras de referencia si- 30

milares los mismos elementos. Sin embargo, la realización representada en la figura 4 difiere de la ilustrada en la figura 3B en que la capa 66 gruesa de óxido representada en las figuras 3A, 3B y 3C ha sido eliminada y está dispuesta una barrera 68 de canal obtenida por implantación iónica entre las líneas de palabra indicadas por las líneas 40 y 60 conductoras y fuera de las mismas. La barrera 68 de canal formada por implantación iónica, que puede ser producida por la introducción de boro en el substrato 10, como es conocido, proporciona el aislamiento entre las líneas W1 y W2 de palabra que fue proporcionado en la figura 3B por la capa 66 gruesa de óxido. La realización de la figura 4 difiere también de la ilustrada en la figura 3B en que la realización de la figura 4 incluye regiones 70 de difusión que forman con las líneas 24, 26, 28 y 30 conductoras los condensadores de almacenamiento para el conjunto. Puede utilizarse impurificación por fósforo o arsénico para formar las regiones 70 de difusión bajo las líneas 24, 26, 28 y 30 conductoras donde se cortan con las líneas 40 y 60 metálicas. La realización del conjunto de memoria ilustrado en la figura 4 funciona del mismo modo que lo hace la realización ilustrada en la figura 3B excepto en que el potencial de reposo de, por ejemplo, + 5 voltios, no se requiere sobre las líneas 24, 26, 28 y 30 conductoras, y los dígitos binarios pueden ser representados simplemente por los niveles de 0 y + 5 voltios para los bits 0 y 1 de información, debido a la utilización de las regiones 70 de difusión. Un aspecto importante de la realización ilustrada en la figura 4 es que el conjunto está construido en forma más planar, con la excepción de las

líneas 40 y 60 metálicas. En la fabricación de esta realización, las barreras 68 de canal pueden ser formadas por implantación iónica después que han sido formadas las líneas 40 y 60 metálicas, con el fin de alinear con exactitud las barreras 68 de canal en el substrato 10.

El conjunto de memoria ilustrado en las figuras 3A, 3B y 3C está fabricado de un modo similar a los dispositivos acoplados por carga que están expuestos, por ejemplo, en la Patente Norteamericana 3.819.959, cedida al presente cesionario, por Joseph J. Chang y John W. Sumilas. Después que han sido formadas las líneas de tensión de referencia obtenidas por difusión indicadas en las figuras como regiones 12 y 14 de difusión, se obtiene por crecimiento sobre la superficie del substrato 10 la capa 66 gruesa de óxido o, si se desea, de óxido-aluminio. Se obtiene en la capa 66 gruesa de óxido una línea por mordentado químico y se forma la capa 20 delgada de óxido por crecimiento en la línea mordentada. Se deposita entonces sobre la totalidad de la superficie una capa 22 delgada de nitru- ro. Se deposita después silicio policristalino impurificado y se ataca químicamente para formar las líneas 24, 26, 28 y 30 conductoras. Los condensadores de almacenamiento o nudos están definidos por la intersección de las líneas de silicio policristalino impurificado y la banda 20 de óxido delgada. El conmutador para conectar los pozos de potencial a las fuentes 12 y 14 de cargas está definido por el espacio comprendido entre las líneas 24, 26, 28 y 30 de silicio policristalino adyacentes a lo largo de la banda delgada de óxido. Se observará que este proceso de fabricación es muy simple y requiere solamente dos máscaras las cuales,

incluso si no coinciden con precisión, definen las áreas de celda del conjunto.

Puede verse que, de acuerdo con este invento, se ha producido un conjunto de memoria muy denso y fabricado por un procedimiento simple, como puede observarse más particularmente por la vista en planta ilustrada en la figura 3A. El tamaño de cada celda es igual sólo aproximadamente a cuatro veces el área de la intersección de la línea W1 o W2 de palabra, y más particularmente de la intersección de la capa 20 de dióxido de silicio o capa delgada de óxido con una de las líneas 24, 26, 28 y 30 de bitio o líneas conductoras.

Puede también verse que, de acuerdo con el invento, las líneas 40 y 60 metálicas pueden ser, si se desea, líneas de silicio policristalino impurificado similares a las líneas 24, 26, 28 y 30 conductoras. Adicionalmente, las líneas 24, 26, 28 y 30 conductoras pueden ser líneas metálicas conductoras, tales como líneas de aluminio. Cuando se desea, las capas 20 y 22 dobles dispuestas sobre el substrato 10 entre las bandas 66 gruesas de óxido de las figuras 3A, 3B y 3C pueden ser sustituidas por una única capa de aislamiento compuesta por cualquier material dieléctrico conocido, tal como dióxido de silicio. También, en algunas circunstancias en que puede desearse disponer regiones de difusión de tipo n+ bajo las líneas 24, 26, 28 y 30 conductoras a fin de eliminar la necesidad de mantener un potencial de reposo de 5 voltios sobre las líneas de bitio, puede también desearse utilizar las bandas 66 gruesas de óxido para proporcionar el aislamiento necesario entre líneas de palabra.

Aún cuando el invento ha sido particularmente expuesto y descrito con referencia a realizaciones preferidas del mismo, se entenderá por los expertos en la técnica que pueden realizarse diversos cambios en su forma y detalles sin apartarse de la esencia y campo de aplicación del invento.

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

1ª.- Perfeccionamientos introducidos en un dispositivo de memoria organizado por palabras, con celdas de memoria capacitivas en los puntos de cruce entre líneas de bitios/lectura y líneas de palabras de la matriz de memoria, así como con dispositivos de activación, caracterizados porque en un sustrato de semiconductor de un primer tipo de conductividad están dispuestos tramos de conducción del otro tipo de conductividad, en forma de tira, conectados a una fuente de tensión de referencia y que sirven de fuente para la puesta a disposición de portadores de carga, porque en paralelo con los citados tramos de conducción y aisladas del sustrato, en una primera dirección de coordenadas, están previstas líneas de bitios/lectura que están conectadas a circuitos de activación, porque en una segunda dirección de coordenadas están previstas líneas de palabras que están conectadas a un amplificador excitador de palabras, y porque en la zona de los puntos de cruce entre líneas de activación existen condensadores de memoria de inversión cuyas primeras armaduras de condensador están formadas por las líneas de bitios, y cuyas segundas armadu-

ras de condensador están formadas por zonas de empobrece-
miento en capas de inversión en la superficie del sustra-
to de semiconductor, influenciadas por tensiones de señal
en la correspondiente línea de bitios, cuyas zonas de empo-
brecimiento debajo de una línea de palabras pueden ser co-
nectadas en serie con la citada fuente para portadores de
carga a través de zonas de empobrecimiento situadas entre
aquéllas e influenciadas por un impulso de palabra.

2ª.- Perfeccionamientos según la reivin-
dicación 1ª, caracterizados porque se ha previsto un sus-
trato de semiconductor con el tipo de conductividad p, en
el que se han introducido tramos de conducción en forma
de tira impurificados con n⁺ para la formación de una
fuente de electrones.

3ª.- Perfeccionamientos según la reivin-
dicación 1ª, caracterizados porque la superficie del sus-
trato de semiconductor está cubierta con una capa aislan-
te doble, de la que la capa inferior está hecha de óxido
de silicio y la capa superior está hecha de nitruro de si-
licio.

4ª.- Perfeccionamientos según la reivin-
dicación 1ª, caracterizados porque las líneas de bitios
están hechas de silicio policristalino.

5ª.- Perfeccionamientos según la reivin-
dicación 1ª, caracterizados porque las líneas de palabras
están constituidas por líneas de tiras metálicas.

6ª.- Perfeccionamientos según la reivin-
dicación 1ª, caracterizados porque las líneas de palabras
están aisladas entre sí mediante una capa de óxido.

7ª.- Perfeccionamientos según la reivin-

dicación 1ª, caracterizados porque en calidad de limitaciones de canal se han previsto en el sustrato de semiconductor unas zonas implantadas con iones.

5 8ª.- Perfeccionamientos introducidos en un dispositivo de memoria organizado por palabras.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan, y con los fines que se han especificado.

10 Esta Memoria consta de veinte hojas escritas a máquina por una sola cara.

Madrid, 28. ABR. 1977

P. A.

Alberto de la Cruz
Por Pedro

15

20

25

30

MM.-

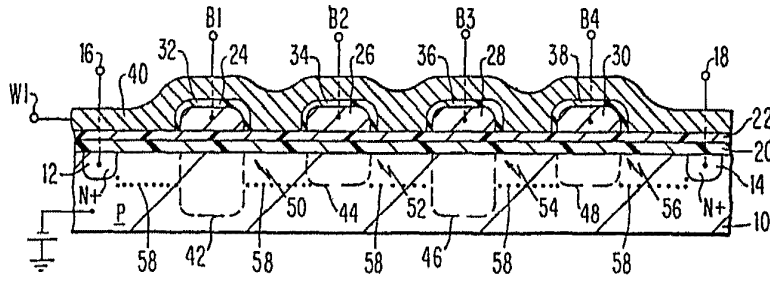


FIG. 1

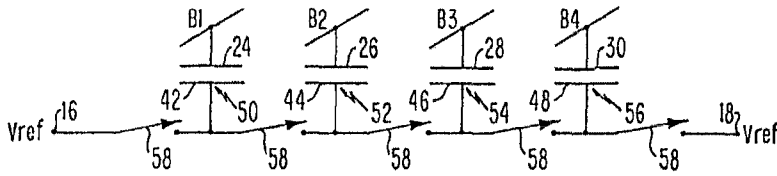


FIG. 2

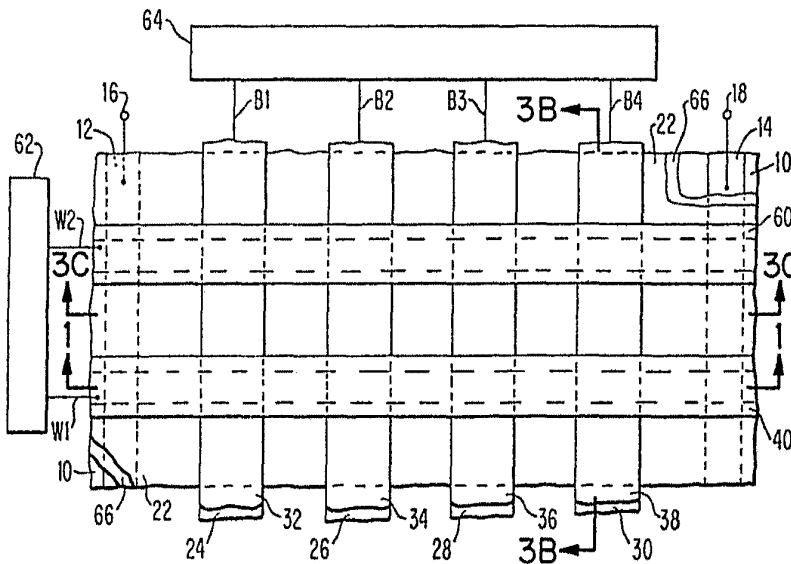


FIG. 3A

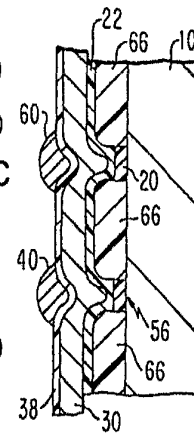


FIG. 3B

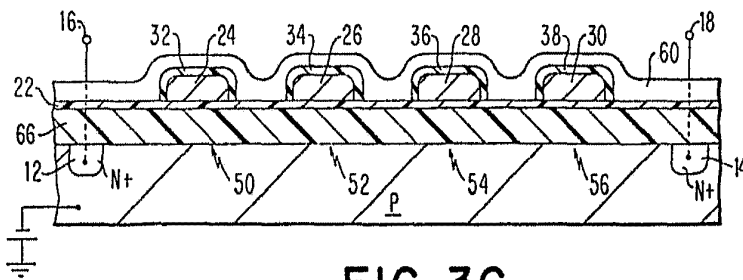


FIG. 3C

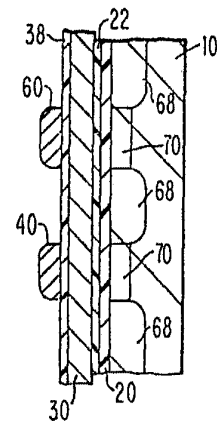


FIG. 4

Alberto de Elizalde
Por Poder