



19 ES 11 457282 10 A 1  
21  
22 FECHA DE PRESENTACION  
29 MAR. 1977

PATENTE DE INVENCION

20 PRIORIDADES: 21 NUMERO			22 FECHA			23 PAIS		
EN 76 09 391			31 de Marzo de 1.976			Francia.		
47 FECHA DE PUBLICIDAD		51 CLASIFICACION INTERNACIONAL			62 PATENTE DE LA QUE ES DIVISIONARIA			
		G 0 6 F						
54 TITULO DE LA INVENCION								
PERFECCIONAMIENTOS EN LOGICAS SECUENCIALES PROGRAMABLES.								
71 SOLICITANTE (S)								
COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS CIT-ALCATEL.								
DOMICILIO DEL SOLICITANTE								
12 rue de la Baume, 75008 Paris, (Francia).								
72 INVENTOR (ES)								
RENE DEGLIN, Ing., GILBERT REYMOND, Ing.								
73 TITULAR (ES)								
74 REPRESENTANTE								
D. JAIME GOMEZ-ACEBO Y MODET.								

La presente invención tiene por objeto un conjunto de circuitos electrónicos de lógica secuencial asociado a una memoria. Se utiliza en las industrias en relación con el control de aparellajes electrónicos ó electro mecánicos, y particularmente en las telecomunicaciones.

5 La finalidad de la invención es realizar un conjunto lógico capaz de efectuar las tareas de intercara de un calculador en particular para el control de un autoconmutador. En la técnica conocida, el pilotaje de un autoconmutador por calculador puede tomar diversas formas: grandes calculadores que efectúan todas las tareas por mediación de periféricas cableadas ó programadas de poca ptencia lógica pero de caudal elevado; conjunto de mi  
10 nicalculadores que efectúan cada uno una parte de las tareas y pilotados por un calculador central. La descentralización de las funciones es una técnica cada vez más utilizada en razón de su flexibilidad, por lo que el calculador central ya no está molestado por las tareas rutinarias.

15 La utilización de periféricas inteligentes presenta sin embargo inconvenientes. La creación de materiales exactamente adaptados a su función conduce a una demasiada diversificación. Por otra parte, la utilización de minicalculadores fabricados a gran escala es costosa en la medida en que todas las posibilidades de estos aparatos no son explotadas, tanto más  
20 costosa cuanto, si se desea despojar lo más posible a la red de conexión de toda función lógica, el número de minicalculadores a utilizar se vuelve demasiado elevado.

El conjunto lógico según la invención es capaz, con una programación adaptada a cada utilización de realizar todas las funciones lógicas de conexión entre un calculador central y una red de conexión totalmente  
25 pasiva; lógica de acceso a la barra colectora de entrada-salida del calculador, lógica de control de los puntos de conexión de la red, lógicas de supervisión tales como lógica de conector y de registrador;

Esta lógica de tipo secuencia, está organizada alrededor de una  
30 una unidad aritmética y lógica de tratamiento asociada a un conjunto de -

registros y a una memoria. La unidad aritmética y lógica, de tipo conocido, efectúa operaciones sobre dos operandos orígenes que pueden ser registros ó entradas del conjunto lógico ó una palabra memoria y el resultado es enviado a un destinatario, por ejemplo un registro, un grupo de salidas ó una palabra memoria. El direccionado de los orígenes y del destinatario, así como el código de operaciones contenidos en la palabra de instrucción leída en memoria.

La lógica según la invención es particularmente interesante por su flexibilidad de utilización. Por una parte la memoria y los registros pueden ser sucesiva ó simultáneamente origen y destinatario y sufrir una gran variedad de operaciones. Esto ha sido hecho posible en particular mediante la utilización de circuitos lógicos de tres estados, poseyendo las salidas un estado suplementario de alta impedancia, lo que permite emplear numerosas conexiones omnibus ó colectoras. De otro lado, es posible efectuar en un tiempo muy corto, mucho más pequeño que la duración media de una instrucción, varias operaciones complementarias tales como ensayos. En particular toda operación que no sea en si misma un ensayo puede ser surtida de un ensayo del resultado.

La invención tiene por objeto una lógica secuencial programable que permite el tratamiento de informaciones, el control de órganos eléctricos ó electrónicos, ó la transmisión y el tratamiento parcial de informaciones intercambiadas entre al menos un órgano central de control y órganos eléctricos ó electrónicos, y equipada de una memoria que comprende palabras de instrucciones dirigidas por un contador ordinal y palabras de datos dirigidos por un registro, y equipada de una unidad aritmética y lógica de tratamiento que permite el tratamiento de dos palabras orígenes de las cuales una es almacenada en un registro de entrada, de un registro de instrucción y de un cierto número de registros de informaciones.

Según una característica de la invención, por una parte, el acceso a la unidad de tratamiento se realiza por un multiplexador cuya salida

da se conecta en paralelo al registro de entrada del primer origen y al segundo origen, y cuyas entradas se conectan cada una a un registro origen y a la salida de la memoria, estando posicionado el multiplexador en función de un código origen contenido en el registro de instrucción, y por otra parte la información de salida de la unidad de tratamiento es enviada al destinatario por una barra colectora conectada en paralelo a la entrada de cada uno de los destinatarios posibles, conectándose la salida de la unidad de tratamiento a la barra colectora por un circuito lógico cuyas salidas tienen un estado de alta impedancia cuando no están validadas.

Una forma de realización de la invención se describe a continuación a título de simple ejemplo, de modo a hacer resaltar las características. Este ejemplo no limitativo se describe con ayuda de las figuras anexas siguientes, en las que:

La figura 1 representa el conjunto de la lógica secuencial según la invención.

La figura 2 representa las señales emitidas por la base de tiempo.

La aplicación descrita se refiere a una lógica secuencial realizada en circuitos integrados en técnica TTL, asociada a una memoria modular de acceso directo. Esta lógica está destinada a efectuar todas las tareas lógicas de conexión entre un minicalculador de control y la red de conexión pasiva de un autocorrelador.

La lógica secuencial comprende una unidad aritmética y lógica de tratamiento ALU (figura 1) que trata palabras de 12 e.b. Comprende dos orígenes O1 y O2 y una salida S. La entrada O permite recibir el código de operación. La unidad ALU puede estar formada de tres cajas de circuitos integrados de tipo TTL standard SL 74181 que permiten efectuar 16 operaciones lógicas y 16 operaciones aritméticas (en particular suma y multiplicación lógicas, transmisión simple ó con inversión; suma y multiplicación aritmética con ó sin retención, substracción etc).

Una barra colectora de salida BS de la unidad ALU da acceso a los destinatarios. El sistema comprende un registro de entrada EN, que no puede ser más que el origen para la unidad ALU, un registro de salida S0 - que no puede ser más que destinatario, y registros de índice X e Y, y de acumulación A que pueden ser origen ó destinatario. Una memoria M y su contador ordinal C son igualmente origen ó destinatario. El acceso a la barra colectora de salida BS a partir de la salida S de la unidad ALU se realiza por un multiplexador MX1 de salidas de 3 estados que dan el acceso ó bien directamente a la salida S (12 hilos) ó bien a la salida 4 hilos (completa dos por 8 hilos a conectar a la masa que da un estado 0) de un circuito de ensayo binario TB cuya entrada de 12 hilos se conecta a la salida S de la unidad ALU. El circuito TB es un codificador de prioridad que indica, en código binario, el rango de la entrada del estado 0 que tiene el peso más elevado. Se utiliza por ejemplo dos circuitos del tipo TTL estandard 74148 en paralelo. Una salida suplementaria TZ es marcada cuando los 12 hilos ensayados están en el estado 1.

La barra colectora BS de 12 hilos se conecta a la entrada de los registros S0, A, X, Y, del contador ordinal C, e igualmente a la entrada de una puerta P1 y de un multiplexador MX2 que dan cada uno acceso a una parte de las posiciones binarias de entrada de la memoria M.

La memoria modular M está formada por cuatro bloques de 1024 palabras. Cada palabra de 16 e.b. es dividida en dos octetos dirigibles por separado, estando formados los bloques de 16 cajas de 1.024 palabras 1 e.b.. La salida de cada caja posee un estado de elevada impedancia. Las salidas de tres estados están representadas en el dibujo por un pequeño cuadrado.

El direccionado comprende 14 e.b. : 0 a 9 para la dirección de la palabra en un bloque, 10-11 para la dirección del bloque, 12-13 para la validación de la palabra completa, del primer octeto ó del segundo octeto. Los 12 primeros e.b. son recibidos, a la entrada de direccionado AD

de la memoria M, a la salida de un multiplexador MX3.

En la fase de adquisición de las órdenes y de los datos contenidos en la memoria, el multiplexador MX3 da acceso al contador ordinal C y en la fase de ejecución de las órdenes, da acceso a un registro de direccionado RAD de 14 e.b., cuyas dos últimas salidas se conectan directamente a la memoria.

A la salida de la memoria, una puerta P2 y un multiplexador - MX4 dan acceso a una barra colectora memoria EM de 16 hilos, con posibilidad de enviar el segundo octeto de la palabra memoria sobre el primero ó el segundo octeto de la barra colectora. La barra colectora EM da acceso al registro de instrucciones MI (16 e.b.), da un multiplexador MX5 de entrada hacia la unidad ALU, ( que será descrito más tarde ) y a un circuito adicionador AD (12 e.b.) que permite la selección de las direcciones memorias. Para ello, la otra entrada de 12 hilos del circuito AD, que corresponde al índice a añadir a la palabra memoria, se conecta a la salida de un multiplexador MX9 que da acceso al adicionador a partir de los registros de índice X e Y, y del acumulador A.

La salida del adicionador AD se conecta a la entrada de dos - registros OP1 y OP2 de 14 e.b. que permiten el almacenamiento de dos direcciones memorias. Los e.b. 0 a 11 se cargan por el adicionador, y los e.b. 12 y 13 se proporcionan directamente por la memoria a través de la puerta P2.

Las salidas de tres estados de los registros OP1 y OP2 (14 hilos) son multiplicadas entre sí y sobre la entrada de los circuitos siguientes:

- del registro del direccionado RAD (14 hilos)
- de una puerta P3 de acceso al contador C (12 hilos 0 a 11)
- de un multiplexador MX6 (12 hilos 0 a 11) que da acceso al multiplexador MX5 de entrada de la unidad ALU, ya sea a partir de las salidas comunes de los registros OP1, OP2, ó bien a partir del contador C.

El mecanismo de acceso a la unidad ALU es el siguiente: el multiplexador MX5 comprende n entradas de 12 hilos, siendo n el número de orígenes directos (A, X, Y, PE, BM, MX6). El multiplexador es dividido en dos partes que desvian respectivamente los pesos binarios 0 a 7 y 8 a 11, para permitir el acceso de palabras de 8 e.b. a la salida de un multiplexador -

5 MX7. La palabra origen 1 es almacenada en un registro RE cuya salida se conecta a la entrada O1 de la unidad ALU; los e.b. 0 a 7 son recibidos en la entrada D1 del registro RE, conectada a la salida de una puerta "0" P4 que abre el acceso ya sea a partir del multiplexador MX7, ó bién a partir de la

10 parte de 8 e.b. del multiplexador MX5. Los e.b. 8 a 11 del registro RE son recibidos en la entrada D2. El origen O2 recibe los e.b. 0 a 7 de la puerta P4 y los e.b. 8 a 11 del multiplexador MX5.

El código de operación, contenido en la palabra de instrucción cargada en el registro MI, es transmitido a la entrada C0 por un decodificador DC. Algunas salidas del decodificador pilotan igualmente el multiplexador MX1 para permitir el ensayo de salida por el circuito TB.

15

El multiplexador de entrada MX5 está posicionado por el código de origen, abriendo un multiplexador MX8 sucesivamente el camino a los códigos de origen 1 (OR1) y de origen 2 (OR2) contenidos en la palabra de instrucción.

20

El código del destinatario (DES) contenido en la palabra de instrucción permite la validación en escritura del circuito destinatario, realizándose el direccionado de este último por un multiplexador DX cuyas salidas VE1 a VEM se conectan a las entradas de validación de escritura de m circuitos destinatarios.

25

En el ejemplo descrito aquí, el multiplexador MX7 se utiliza para dar acceso a los circuitos de temporización T0, T1, T2, de un conjunto de temporización T, cargado por una base de tiempos BT.

El desarrollo secuencial de una instrucción comprende un cierto número de fases t0 a t7 de las que algunas pueden ser saltadas, por ejem

30

5 plo en función del número de palabras a leer en memoria, y evidentemente se-  
gún el resultado de ensayos. Los tiempos  $t_0$  a  $t_7$ , así como tiempos activos  
intermedios  $t_a$ ,  $t_b$  (figura 2) son proporcionados por un circuito FL que rea-  
grupa un gran número de funciones lógicas que permiten validar en tiempo de  
seado los diversos circuitos tales como puertas, multiplexadores y regis-  
tros. Para los circuitos destinatarios con respecto a la unidad ALU, ya va-  
lidados por el demultiplexador DX, el circuito FL proporciona el estado ló-  
gico que permite disparar su carga por los datos contenidos en la unidad -  
ALU, en el instante deseado.

10 Las informaciones de entradas para el circuito FL son proporcio-  
nadas:

- por la base de tiempos BT :  $t_a$ ,  $t_b$ ,  $t_c$ , puesta a cero Rz
- por la palabra de instrucciones: código de los orígenes y de destinatario  
15 otras informaciones X tales como número de palabras a leer en memoria, ensa-  
yo del resultado y direccionado de ruptura,
- por el circuito de ensayo TB (punto  $t_z$ )

20 El circuito FL, cuyo funcionamiento detallado no es útil para -  
la comprensión de la aplicación descrita, no posee particularidades origina-  
les y no será descrito aquí: sus principales funciones serán indicadas en  
la descripción del desarrollo de una instrucción.

El funcionamiento de la lógica según la invención se descompone  
en dos partes: inicialización y ejecución.

La inicialización comprende las fases  $t_0$  a  $t_3$ :

25	Fase $t_0$	tiempo $t_a$	Lectura memoria al direccionado $C_0$ contenido en el
		$t_b$	contador ordinal C
	Fase $t_1$	tiempo $t_a$	Carga del registro MI
		$t_b$	progresión de C ( $C = C_0 + 1$ )
			ensayo del número de palabras memoria a leer y salto
			a T4 si es igual a 1
30	Fase $t_2$	tiempo $t_a$	Carga del registro OP1

tiempo tb progresión de C ( $C = C_0 + 2$ )

ensayo del número de palabras y salto a t4 si es igual a 2

fase t3 tiempo ta carga del registro OP2

5

tb progresión de C ( $C = C_0 + 3$ )  
paso a ejecución

La ejecución comprende las fases t4 a t7:

Fase t4 tiempo ta Ensayo de la periférica que indica ó bien la validación de entrada ó bien la disponibilidad de salida. Si el ensayo es negativo, salto a t0

10

tb Carga del registro de direccionado RAD a partir d'OP1 si la memoria interviene como origen ó como destinatario salvo en el siguiente caso:

15

OR1 = un registro ) en cuyo caso OP2 es cargado  
OR2 = OP1 ) en RAD  
DES : memoria )

Fase t5 tiempo ta Apertura del origen OR1

tb carga de OR1 en el registro de entrada RE

Fase t6 tiempo ta apertura del origen OR2

20

tb apertura del destinatario  
lectrua del e.b. de ensayo

T ( $T = 0$  salto a t0

( $T = 1$  paso a t7

Fase t7 Ensayo de los 12 e.b. del resultado (circuito TB) :

25

una salida en el estado 1 - salto a t0 - todas las salidas a cero - carga del contador C a partir de OP1 ó OP2 según el valor de un elemento binario de direccionado de ruptura contenido en el registro MI.

Este funcionamiento es pilotado por el conjunto de funciones lógicas FL en las siguientes condiciones:

30

- controles de cambios de fase : las informaciones son proporcionadas por

una parte por la base de tiempos (puesta a cero, instantes  $t_a$  y  $t_b$ , instante  $t_c$  al final de cada tiempo de reloj que permite incrementar un contador de fases ). Por otro lado, los saltos son controlados en función del número de palabras ( fases  $t_0$  a  $t_3$ ) y de los ensayos,

5 - controles de los circuitos: a cada fase, los controles son emitidos en función de los códigos recibidos (orígenes, destinatarios) ó simplemente - del número de fase (por ejemplo la validación de la puerta P3 y del multiplexador MX1 en fase  $t_7$ ).

10 Quede bien entendido que la invención no se limita a la aplicación descrita que no representa más que una organización y una tecnología particulares.

15 Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

5 1.- Perfeccionamientos en lógicas secuenciales programables, -  
que permiten el tratamiento de informaciones, el control de órganos eléctri-  
cos ó electrónicos ó la transmisión y el tratamiento parcial de informacio-  
nes intercambiadas entre al menos un órgano central de control y unos órga-  
nos eléctricos ó electrónicos y equipadas de una memoria que comprende pala-  
bras de instrucción y palabras de dato, de una unidad de tratamiento arit-  
mética y lógica, de un registro de instrucción, de varios registros de in-  
formaciones, y de registros de operandos cuyo contenido puede ser seleccio-  
10 nado por adición del contenido de uno de los registros de informaciones, -  
siendo controlada la lógica por un conjunto lógico que recibe informaciones  
de una base de tiempos y del registro de instrucciones y que emite las se-  
ñales de reloj necesarias para el funcionamiento de las diversas partes de  
la lógica secuencial, caracterizados porque el acceso a la unidad de trata-  
15 miento se realiza por un multiplexador cuyas entradas se conectan a la sa-  
lida de la memoria de los registros de informaciones y de los registros de  
operandos, conectándose la salida de la unidad de tratamiento por mediación  
de un circuito cuyas salidas tienen un estado de alta impedancia a una bar-  
ra colectora de salida conectada a la entrada de la memoria de los diferen-  
20 tes registros de informaciones y de los registros de operandos, y porque -  
el desarrollo de una destrucción memoria se efectúa en dos periodos dividi-  
dos en un cierto número de fases, el primer periodo utilizado para la ad-  
quisición de una ó varias palabras memoria de la instrucción y el segundo  
periodo utilizado sucesivamente para un ensayo de las entradas de la lógi-  
25 ca secuencial y para una operación de la unidad de tratamiento.

30 2.- Perfeccionamientos según la reivindicación 1, caracteriza-  
dos porque cuando una instrucción comprende varias palabras memorias de -  
las que la primera es almacenada en el registro de instrucciones y las si-  
guientes en registros de operandos cuyo contenido puede ser seleccionado -  
por adición del contenido de al menos uno de los registros orígenes, los -

registros de operandos pueden ser orígenes para la unidad de tratamiento, y el desarrollo de una instrucción memoria se efectúa, en dos periodos, divididos en un cierto número de fases, el primer periodo utilizado para la adquisición de las palabras memorias de la instrucción, y el segundo periodo utilizado sucesivamente para el ensayo de las periféricas y la validación de cada uno de los orígenes y después del destinatario, y la lógica comprende un conjunto lógico que recibe informaciones de una base de tiempos y del registro de instrucciones que permite emitir las señales de reloj, debiendo ser las señales correspondientes a las fases citadas y las señales de control de los órganos, activas durante cada uno de los periodos.

3.- Perfeccionamientos según las reivindicaciones 1 ó 2, caracterizados porque cuando la unidad aritmética y lógica efectúa para cada instrucción una operación definida por un código de operación cargado en el registro de instrucción, toda instrucción, a excepción de las instrucciones de ensayo, puede comprender un ensayo del resultado, conectándose la salida de la unidad de tratamiento a un circuito de ensayo, y siendo el circuito lógico de salidas de alta impedancia, un multiplexador gobernado en función del código de operación y que permite transmitir a la barra colectora las informaciones recibidas ya sea directamente a la salida de la unidad de tratamiento ó bien a la salida del circuito de ensayo.

4.- Perfeccionamientos según la reivindicación 3, caracterizados porque el circuito de ensayo es un codificador de código 1 entre n en binario de prioridad, que indica el rango de la primera de sus entradas que presenta un estado lógico determinado, y porque una al menos de las salidas del circuito se conecta al conjunto lógico de modo a permitir un salto de fase para algunos valores dados por el ensayo.

5.- Perfeccionamientos según las reivindicaciones 3 ó 4, caracterizados porque el resultado del ensayo permite cargar el contador ordinal con el contenido de uno de los registros de operandos, determinado en función de un código de dirección de ruptura contenido en el registro de

instrucciones, efectuándose la validación del registro elegido por el código por el conjunto lógico y conectándose la conexión entre los registros de - operando y el contador, por una puerta gobernada en el momento del ensayo.

5 6.- Perfeccionamientos según las reivindicaciones 1 ó 2, caracterizados porque cuando la memoria es dirigida por palabras ó por fracciones de palabras, la lógica secuencial comprende circuitos de entrada y de salida de la memoria, que permiten decalar la posición de las informaciones leídas ó escritas en fracciones de palabras con respecto a la posición correspondiente de la barra colectora de entrada ó de salida.

10 7.- Perfeccionamientos según las reivindicaciones 1 ó 2 caracterizados porque cuando una instrucción comprende varias palabras en memoria, la primera palabra, cargada en el registro de instrucciones, comprende los códigos que indican la operación de la unidad de tratamiento, los orígenes y el destinatario, la solicitud de ensayos y la dirección de ruptura, y el número de palabras que comprende la instrucción, comprendiendo cada una de 15 las palabras siguientes una dirección memoria eventualmente a seleccionar y una dirección de fracción de palabra.

20 8.- Perfeccionamientos en lógicas secuenciales programables; tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

Esta Memoria consta de 12 hojas escritas a máquina por una sola cara.

Madrid, 29 MAR 1977

COMPAGNIE INDUSTRIELLE DES TELECOMMUNICATIONS CIT-ALCATEL.

I. GOMEZ ACEBO Y MURIEDO

D. P. Firmado L. García Estanislao

25

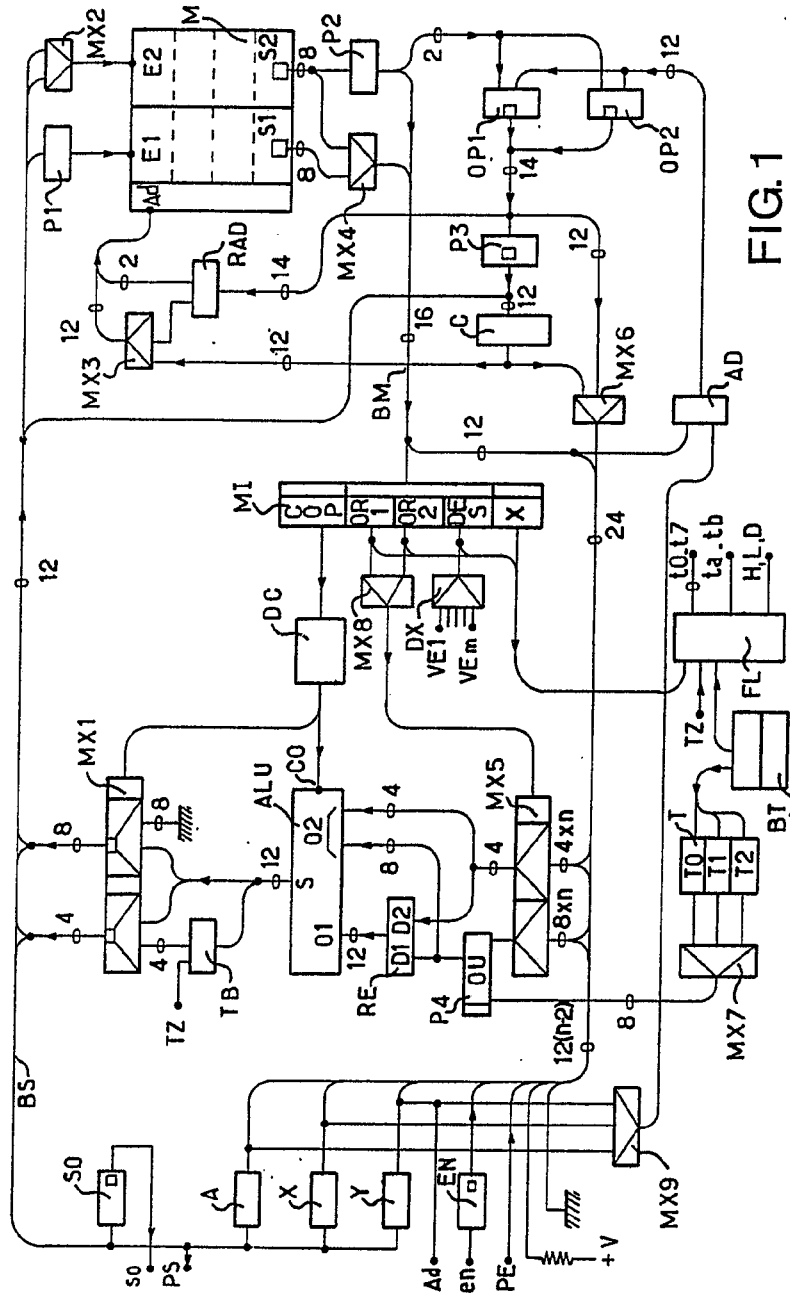
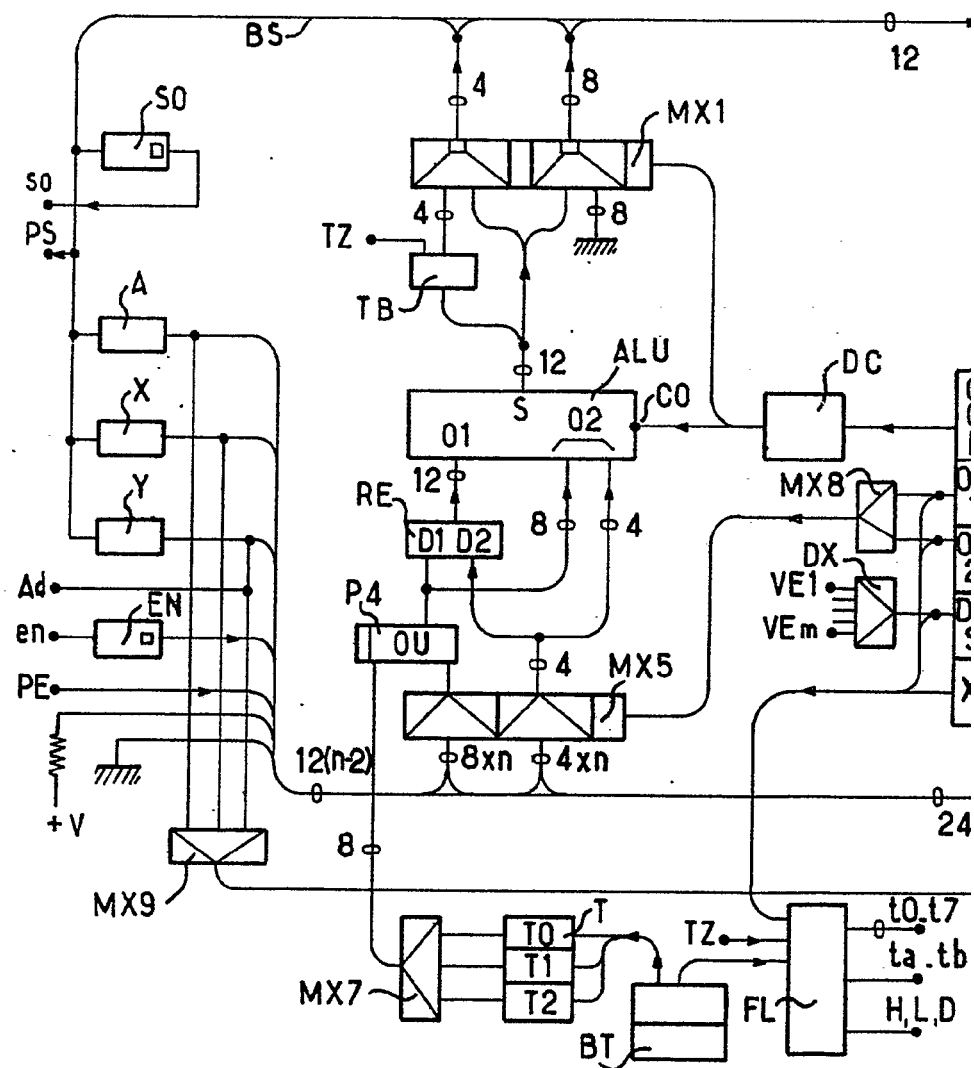


FIG. 1

ESCALA  
VA

Madrid 19 APR. 1977  
J. M. CORTES  
D. J. GARCIA  
*[Signature]*



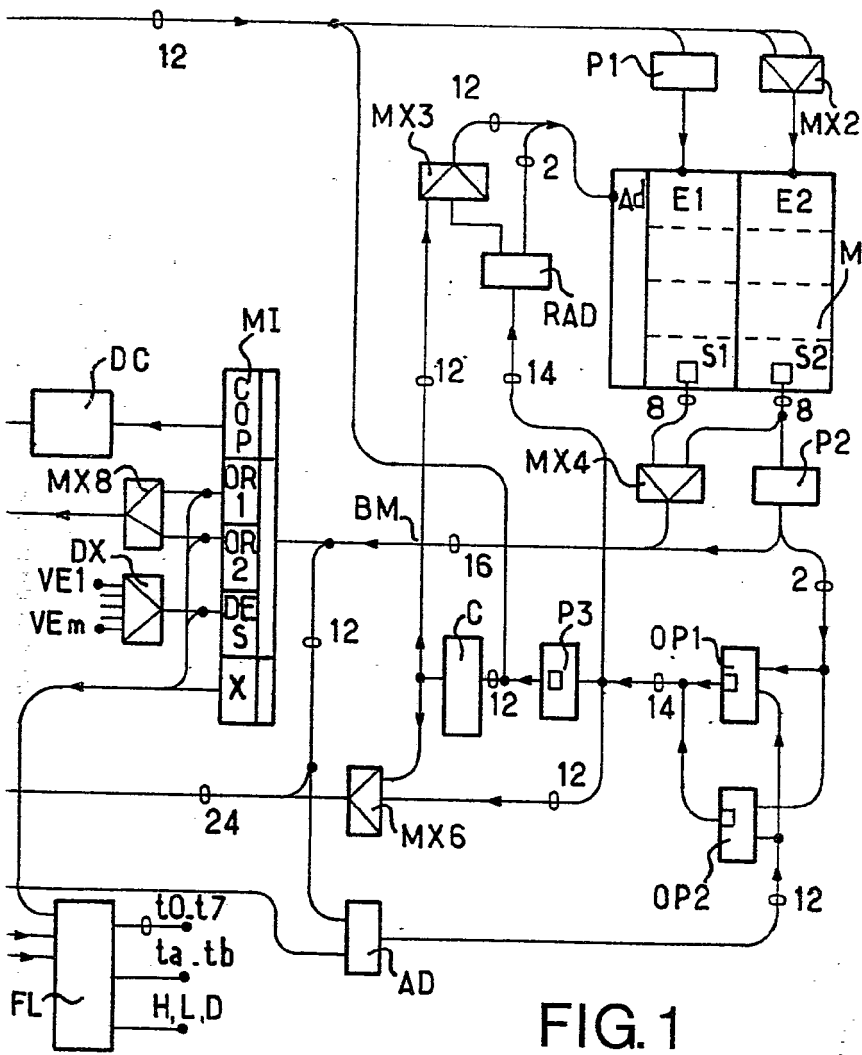


FIG. 1

ESCALA  
VARIANTE

Madrid 12 ABR. 1977

J. M. GOMEZ ACEDOS Y PONSUGA

Ingenieros de Oficio. L. Coeta Fernández

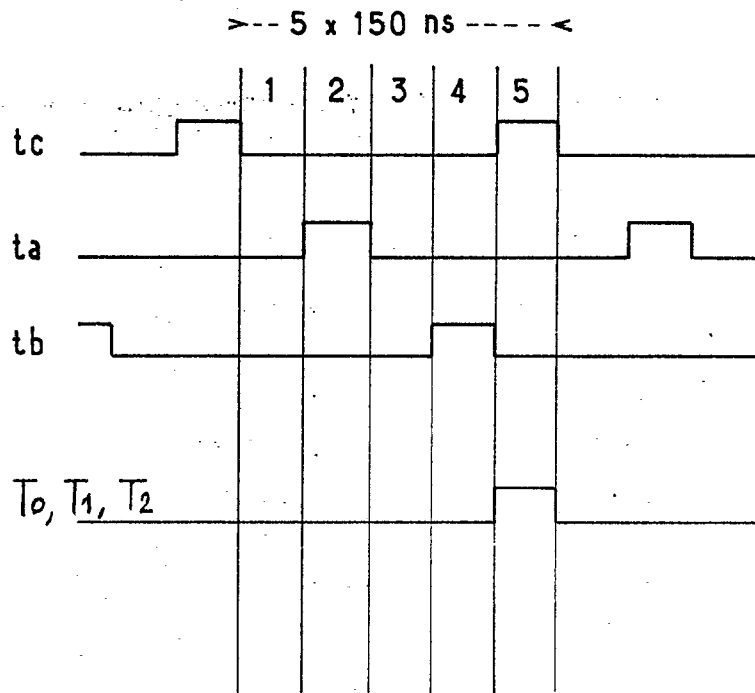


FIG. 2

ESCALA  
VAR.  
12 ABR. 1977  
CIT-ALCATEL